

特長

LF411とTL081の機能強化置き換えバージョン

AC性能

±0.01%へのセトリング・タイム: 1.0 μs

最小スルーレート: 16 V/μs (AD711J)

最小ユニティ・ゲイン帯域幅: 3 MHz (AD711J)

DC性能

オフセット電圧: 最大0.25 mV (AD711C)

ドリフト: 最大3 μV/°C (AD711C)

最小オープン・ループ・ゲイン: 200 V/mV (AD711K)

ノイズ: 0.1 Hz~10 Hzで最大4 μV p-p (AD711C)

プラスチック・ミニDIP、プラスチック SOIC、ハーメチックCERDIP、ハーメチック・メタル・カン・パッケージを採用

MIL-STD-883B準拠製品を提供

次の規格に準拠したテープまたはリールで出荷

EIA-481A規格

表面実装 (SOIC)

デュアル・バージョン: AD712

製品説明

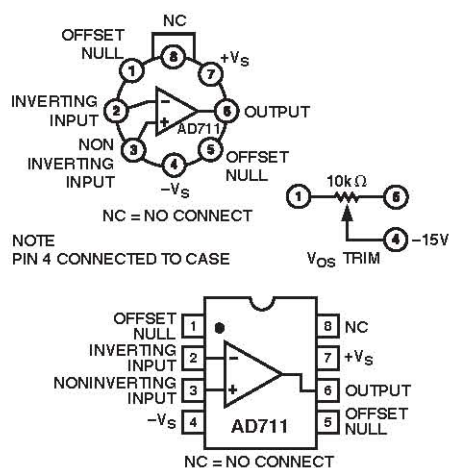
AD711 は、低価格で高性能な高速高精度モノリシック・オペアンプです。このデバイスの非常に小さいオフセット電圧とオフセット電圧ドリフトは、最新のレーザ・ウェハー・トリミング技術により可能になりました。これらの性能上の利点を使うと、多くの場合バイポーラ・オペアンプで実現した旧型の高精度 BiFET を使った既存デザインを容易にアップグレードすることができます。

このオペアンプは優れた AC 性能と DC 性能を持つため、アクティブ・フィルタ・アプリケーションに適しています。AD711 は、16 V/μs のスルーレートと 1 μs のセトリング・タイム(±0.01%へのセトリング)を持つため、12 ビットの D/A コンバータと A/D コンバータや高速積分器のバッファとして最適です。セトリング・タイムは同様の IC アンプより優れています。

AD711 は、優れたノイズ性能と低入力電流の組み合わせを持つため、フォトダイオードのブリアンプにも適しています。88 dB の同相モード除去比と 400 V/mV のオープン・ループ・ゲインにより、高速なユニティ・ゲイン・バッファ回路でも 12 ビット性能を保証します。

AD711 は標準オペアンプ構成のピン配置を持ち、7 種類の性能グレードがあります。AD711J と AD711K は 0°C~70°C の商用温度範囲で、AD711A、AD711B、AD711C は -40°C~+85°C の工業用温度範囲で、それぞれ仕様を規定しています。AD711S と AD711T は -40°C~+125°C の軍用温度範囲仕様で、MIL-STD-883B, Rev. C 準拠品を提供しています。

接続図



商用温度範囲仕様および工業用温度範囲仕様の高信頼性 PLUS スクリーニング製品も提供しています。PLUS スクリーニングには、環境テストおよび物理テストの他に 168 時間のバーンインが含まれています。

AD711 は、8 ピンのプラスチック・ミニ DIP、スモール・アウトライン、CERDIP、TO-99 メタル・カン、またはチップ・フォームで提供しています。

製品のハイライト

1. AD711 は、優れた全体性能を低価格で提供します。
2. アナログ・デバイス社の最新プロセス技術と 100%テストにより、低入力オフセット電圧(C グレード最大 0.25 mV /J グレード最大 2 mV)を保証します。入力オフセット電圧は、動作状態で規定しています。アナログ・デバイス社のレーザ・ウェハー・ドリフト・トリミング・プロセスは、入力オフセット電圧ドリフトを最大 3 μV/°C (AD711C)に削減します。
3. AD711 は、高精度 DC 性能と優れたダイナミック応答を提供します。±0.01%へのセトリングは 1 μs で、最小スルーレートは 16 V/μs です。このため、AC 性能と DC 性能の組み合わせを必要とする DAC や ADC のバッファのようなアプリケーションに最適です。
4. AD711 では 4 μV p-p (0.1~10 Hz)の最大電圧ノイズをテストして保証しています(AD711C)。
5. アナログ・デバイス社の一致度の優れたイオン注入 JFET では、片方の入力で最大 25 pA の入力バイアス電流(AD711C) と最大 10 pA の入力オフセット電流 (AD711C)を保証しています。入力バイアス電流と入力オフセット電流は、ウォームアップ状態で保証します。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2002 Analog Devices, Inc. All rights reserved.

AD711—仕様 (特に指定がない限り、 $V_S = \pm 15\text{ V}$ @ $T_A = 25^\circ\text{C}$)

Parameter	J/A/S			K/B/T			C			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
INPUT OFFSET VOLTAGE ¹										
Initial Offset		0.3	2/1/1		0.2	0.5		0.10	0.25	mV
T_{MIN} to T_{MAX}			3/2/2			1.0			0.45	mV
vs. Temp		7	20/20/20		5	10		2.5		$\mu\text{V}/^\circ\text{C}$
vs. Supply	76	95		80	100		86	110		dB
T_{MIN} to T_{MAX}	76/76/76			80			86			dB
Long-Term Stability		15			15			15		$\mu\text{V}/\text{Month}$
INPUT BIAS CURRENT ²										
$V_{\text{CM}} = 0\text{ V}$		15	50		15	50		15	25	pA
$V_{\text{CM}} = 0\text{ V @ } T_{\text{MAX}}$			1.1/3.2/51			1.1/3.2/51			1.6	nA
$V_{\text{CM}} = \pm 10\text{ V}$		20	100		20	100		20	50	pA
INPUT OFFSET CURRENT										
$V_{\text{CM}} = 0\text{ V}$		10	25		5	25		5	10	pA
$V_{\text{CM}} = 0\text{ V @ } T_{\text{MAX}}$			0.6/1.6/26			0.6/1.6/26			0.65	nA
FREQUENCY RESPONSE										
Small Signal Bandwidth	3.0	4.0		3.4	4.0		3.4	4.0		MHz
Full Power Response		200			200			200		kHz
Slew Rate	16	20		18	20		18	20		$\text{V}/\mu\text{s}$
Settling Time to 0.01%		1.0	1.2		1.0	1.2		1.0	1.2	μs
Total Harmonic Distortion		0.0003			0.0003			0.0003		%
INPUT IMPEDANCE										
Differential		$3 \times 10^{12} \parallel 5.5$			$3 \times 10^{12} \parallel 5.5$			$3 \times 10^{12} \parallel 5.5$		$\Omega \parallel \text{pF}$
Common Mode		$3 \times 10^{12} \parallel 5.5$			$3 \times 10^{12} \parallel 5.5$			$3 \times 10^{12} \parallel 5.5$		$\Omega \parallel \text{pF}$
INPUT VOLTAGE RANGE										
Differential ³		± 20			± 20			± 20		V
Common-Mode Voltage ⁴		$+14.5, -11.5$			$+14.5, -11.5$			$+14.5, -11.5$		V
T_{MIN} to T_{MAX}	$-V_S + 4$		$+V_S - 2$	$-V_S + 4$		$+V_S - 2$	$-V_S + 4$		$+V - 2$	V
Common-Mode										
Rejection Ratio										
$V_{\text{CM}} = \pm 10\text{ V}$	76	88		80	88		86	94		dB
T_{MIN} to T_{MAX}	76/76/76	84		80	84		86	90		dB
$V_{\text{CM}} = \pm 11\text{ V}$	70	84		76	84		76	90		dB
T_{MIN} to T_{MAX}	70/70/70	80		74	80		74	84		dB
INPUT VOLTAGE NOISE										
		2			2			2	4	$\mu\text{V p-p}$
		45			45			45		$\text{nV}/\sqrt{\text{Hz}}$
		22			22			22		$\text{nV}/\sqrt{\text{Hz}}$
		18			18			18		$\text{nV}/\sqrt{\text{Hz}}$
		16			16			16		$\text{nV}/\sqrt{\text{Hz}}$
INPUT CURRENT NOISE		0.01			0.01			0.01		$\text{pA}/\sqrt{\text{Hz}}$
OPEN-LOOP GAIN	150	400		200	400		200	400		V/mV
	100/100/100			100			100			V/mV
OUTPUT CHARACTERISTICS										
Voltage	$+13, -12.5$	$+13.9, -13.3$		$+13, -12.5$	$+13.9, -13.3$		$+13, -12.5$	$+13.9, -13.3$		V
	$\pm 12/\pm 12/\pm 12$	$+13.8, -13.1$		± 12	$+13.8, -13.1$		± 12	$+13.8, -13.1$		V
Current		25			25			25		mA
POWER SUPPLY										
Rated Performance		± 15			± 15			± 15		V
Operating Range	± 4.5		± 18	± 4.5		± 18	± 4.5		± 18	V
Quiescent Current		2.5	3.4		2.5	3.0		2.5	2.8	mA

注

¹ 入力オフセット電圧仕様は、 $T_A = 25^\circ\text{C}$ で 5 分間動作後について保証します。² バイアス電流仕様は、 $T_A = 25^\circ\text{C}$ で 5 分間動作後にいずれかの入力で最大値を保証します。これより高い温度では、電流は 10°C ごとに 2 倍になります。³ いずれの入力電圧もグラウンドより $\pm 10\text{ V}$ を超えないように、入力間の電圧として定義されます。⁴ いずれかの入力で -14.1 V の負同相モード電圧を超えると、出力位相の反転が発生します。

仕様は予告なく変更されることがあります。

絶対最大定格¹

電源電圧	± 18 V
内部消費電力 ²	500 mW
入力電圧 ³	± 18 V
出力短絡継続時間	制限なし
差動入力電圧	+V _S および -V _S
保存温度範囲 (Q、H)	-65°C ~ +150°C
保存温度範囲 (N)	-65°C ~ +125°C
動作温度範囲	
AD711J/K	0°C ~ +70°C
AD711A/B/C	-40°C ~ +85°C
AD711S/T	-55°C ~ +125°C
ピン温度範囲 (ハンダ処理 60 sec)	300°C

注

¹ 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

² 熱特性:

8 ピン・プラスチック・パッケージ: $\theta_{JC} = 33^{\circ}\text{C/W}$; $\theta_{JA} = 100^{\circ}\text{C/W}$

8 ピン CERDIP パッケージ: $\theta_{JC} = 22^{\circ}\text{C/W}$; $\theta_{JA} = 110^{\circ}\text{C/W}$

8 ピン・メタル・カン・パッケージ: $\theta_{JC} = 65^{\circ}\text{C/W}$; $\theta_{JA} = 150^{\circ}\text{C/W}$

8 ピン SOIC パッケージ: $\theta_{JC} = 43^{\circ}\text{C/W}$; $\theta_{JA} = 160^{\circ}\text{C/W}$

³ 電源電圧が±18 V 以下の場合は、絶対最大電圧は電源電圧に等しくなります。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option*
*AD711AH	-40°C to +85°C	8-Pin Metal Can	H-08A
AD711AQ	-40°C to +85°C	8-Pin Ceramic DIP	Q-8
*AD711BQ	-40°C to +85°C	8-Pin Ceramic DIP	Q-8
*AD711CH	-40°C to +85°C	8-Pin Metal Can	H-08A
AD711JN	0°C to 70°C	8-Pin Plastic DIP	N-8
AD711JR	0°C to 70°C	8-Pin Plastic SOIC	RN-8
AD711JR-REEL	0°C to 70°C	8-Pin Plastic SOIC	RN-8
AD711JR-REEL7	0°C to 70°C	8-Pin Plastic SOIC	RN-8
AD711KN	0°C to 70°C	8-Pin Plastic DIP	N-8
AD711KR	0°C to 70°C	8-Pin Plastic SOIC	RN-8
AD711KR-REEL	0°C to 70°C	8-Pin Plastic SOIC	RN-8
AD711KR-REEL7	0°C to 70°C	8-Pin Plastic SOIC	RN-8
*AD711SQ/883B	-55°C to +125°C	8-Pin Ceramic DIP	Q-8
*AD711TQ/883B	-55°C to +125°C	8-Pin Ceramic DIP	Q-8

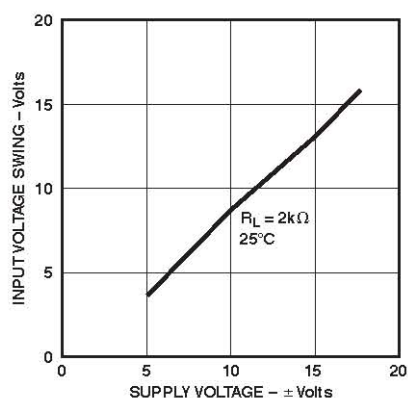
*新しいデザインではありません。2002 年 4 月に供給停止。

ESD に関する注意

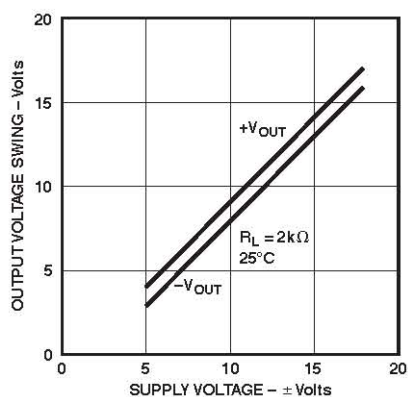


ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

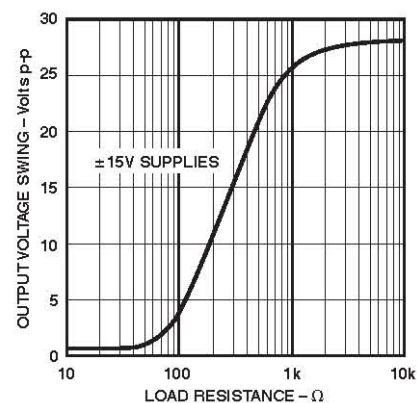
AD711-代表的な性能特性



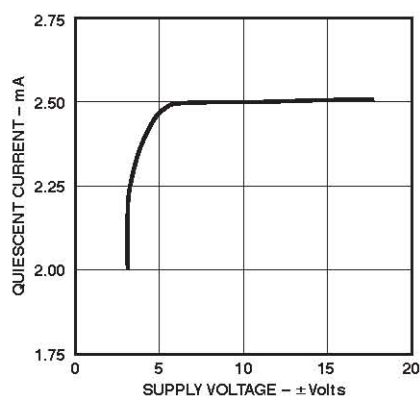
特性 1. 電源電圧対入力電圧振幅



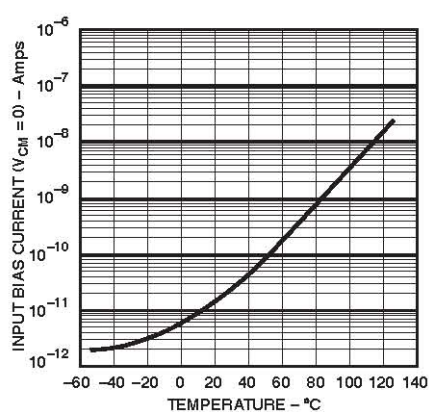
特性 2. 電源電圧対出力電圧振幅



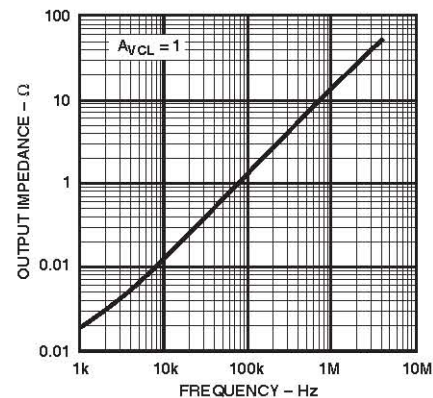
特性 3. 負荷抵抗対出力電圧振幅



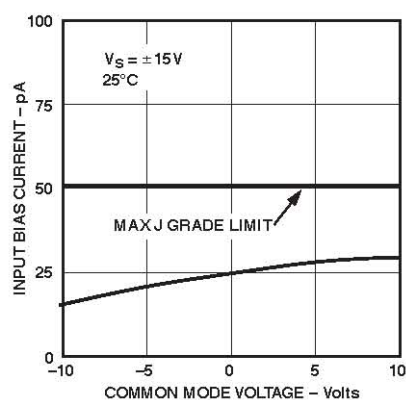
特性 4. 電源電圧対静止電流



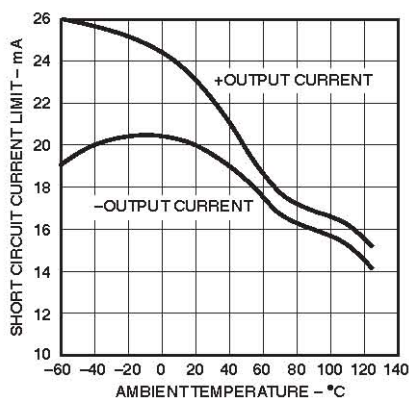
特性 5. 入力バイアス電流の温度特性



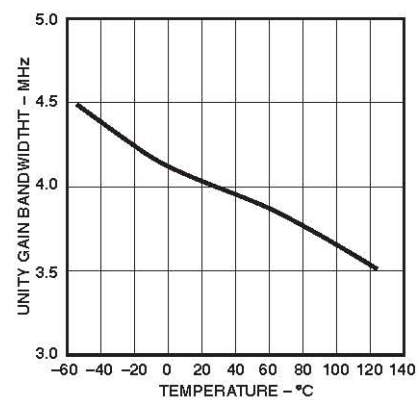
特性 6. 出力インピーダンスの周波数特性



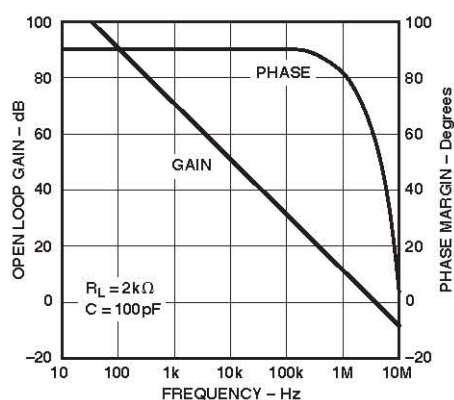
特性 7. 同相モード電圧対入力バイアス電流



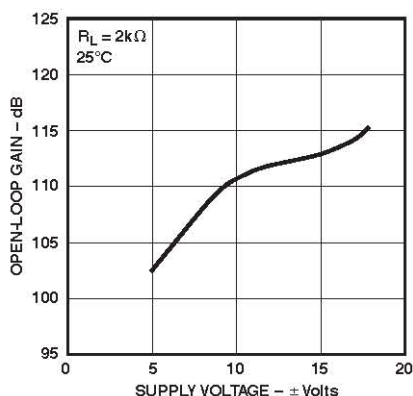
特性 8. 短絡電流制限値の温度特性



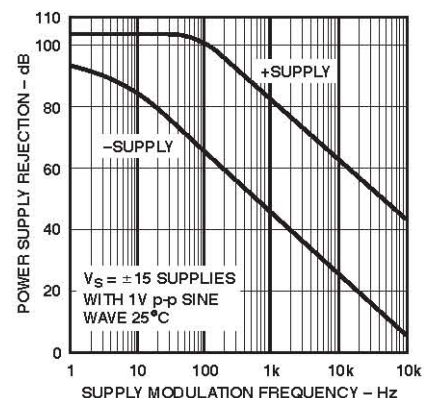
特性 9. ユニティ・ゲイン帯域幅の温度特性



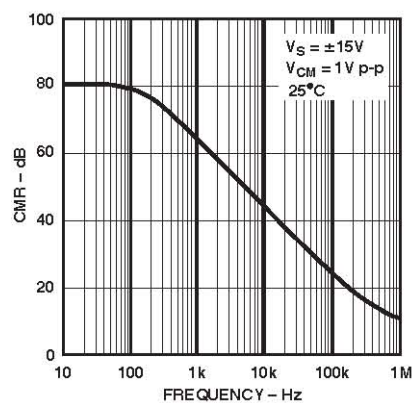
特性 10. オープン・ループ・ゲインと位相マージンの周波数特性



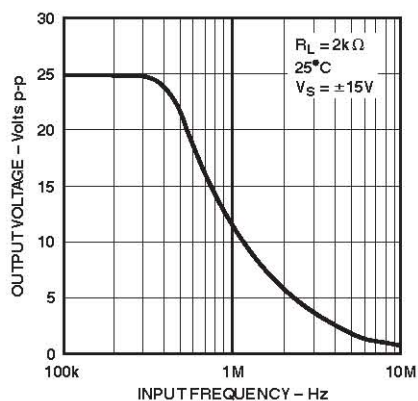
特性 11. 電源電圧対オープン・ループ・ゲイン



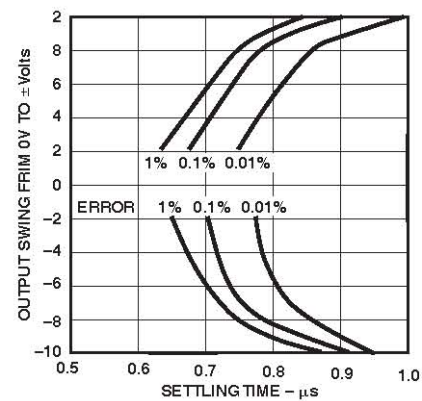
特性 12. 電源除去比の周波数特性



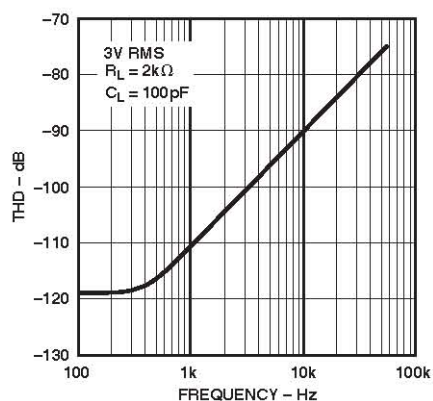
特性 13. 同相モード除去比の周波数特性



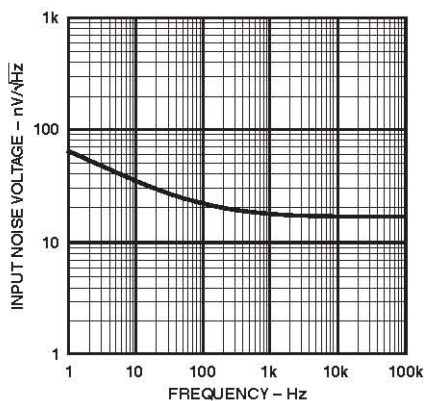
特性 14. 大信号周波数応答



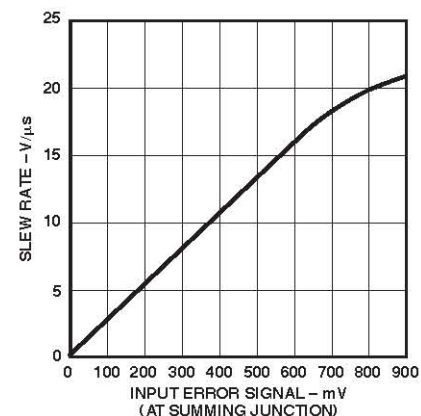
特性 15. セットリング・タイム対出力振幅および誤差



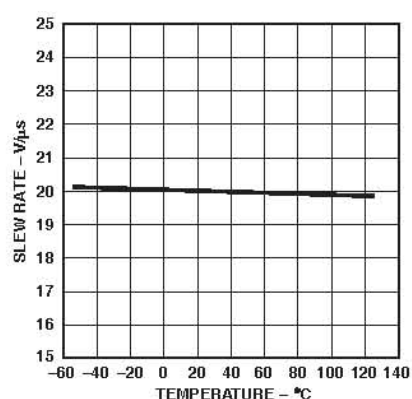
特性 16. 総合高調波歪みの周波数特性



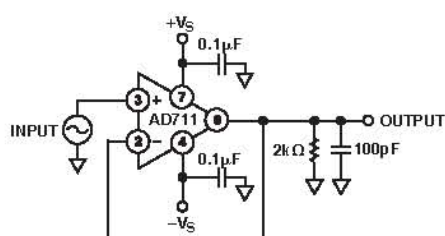
特性 17. 入力ノイズ電圧のスペクトル密度



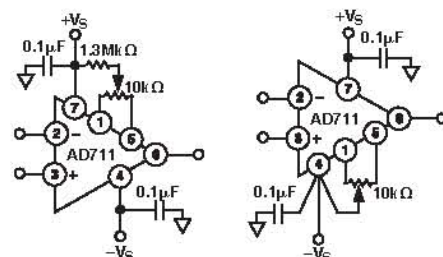
特性 18. 入力誤差信号対スルーレート



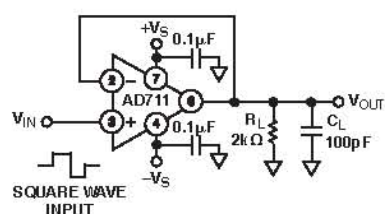
特性 19. スルーレートの温度特性



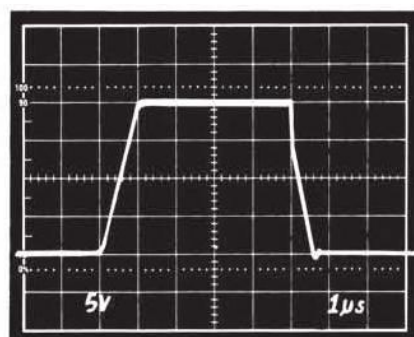
特性 20. T.H.D. のテスト回路



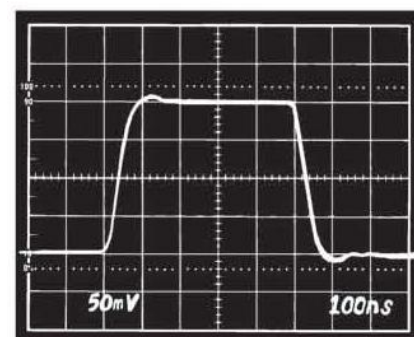
特性 21. オフセット・ヌル設定



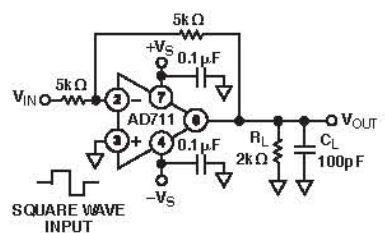
特性 22a. ユニティ・ゲイン・フォロア



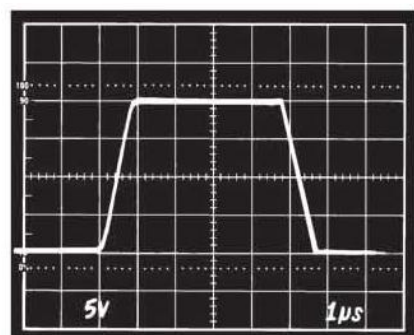
特性 22b. ユニティ・ゲイン・フォロアのパルス応答(大信号)



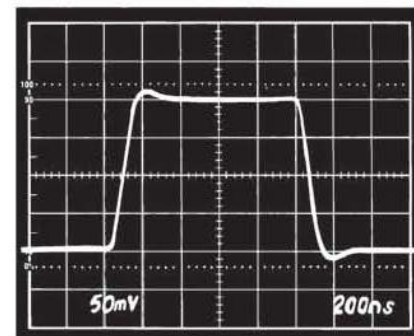
特性 22c. ユニティ・ゲイン・フォロアのパルス応答(小信号)



特性 23a. ユニティ・ゲイン・インバータ



特性 23b. ユニティ・ゲイン・インバータのパルス応答(大信号)



特性 23c. ユニティ・ゲイン・インバータのパルス応答(小信号)

セトリング・タイムの最適化

大部分のバイポーラ高速 D/A コンバータは電流出力であるため、多くのアプリケーションでは電流から電圧へ変換する外付けオペアンプが必要です。コンバータとオペアンプの組み合わせのセトリング・タイムは、DAC と出力アンプのセトリング・タイムに依存します。これは次式で近似されます。

$$t_{S\ Total} = \sqrt{(t_{S\ DAC})^2 + (t_{S\ AMP})^2} \quad (1)$$

DAC バッファ・オペアンプのセトリング・タイムは、回路のノイズ・ゲイン、DAC 出力容量、DAC 出力スケーリング抵抗に対する外付け補償容量に応じて変化します。

バイポーラ DAC のセトリング・タイムは、一般に 100 ns~500 ns です。従来型オペアンプは、一般的な最新 DAC のセトリング・タイムより大きいセトリング・タイムを必要としたため、アンプのセトリング・タイムが高速な電圧出力 D/A コンバータ機能の主な制約条件になっていました。1 μs のセトリング・タイム(最終値の ±0.01%)を持つ AD711/712 ファミリー・オペアンプの登場により、高速な最新 DAC を実現できるようになりました。

AD711 ファミリーは、セトリング・タイムの大幅な改善に加えて、低オフセット電圧、低オフセット電圧ドリフト、高オープン・ループ・ゲインにより、フル動作温度範囲で 12 ビット精度を保証します。

AD711 の優れた高速性能を図 2 のオシロスコープ写真に示します。測定は、低入力容量アンプを AD711 の加算点に直結して行いました。両図には、ワーストケース状態のフルスケール入力変化を示します。DAC の 4 kΩ [10 kΩ||8 kΩ = 4.4 kΩ]出力インピーダンスと 10 kΩ 帰還抵抗により、オペアンプ・ノイズ・ゲイン=3.25 となります。DAC 電流出力にはオペアンプ出力で 10 V のステップが発生します(図 2a では-10 から 0 V へ)。

このため、理想オペアンプでは、±1/2 LSB (±0.01%)へのセトリングのためには、加算点に 375 μV 以下の電圧が現れる必要があります。これは、入力と出力との間の誤差(AD711 の加算点に現れる電圧)が 375 μV 以下である必要があることを意味します。図 2 に示すように、AD711/の組み合わせの総合セトリング・タイムは 1.2 μs になります。

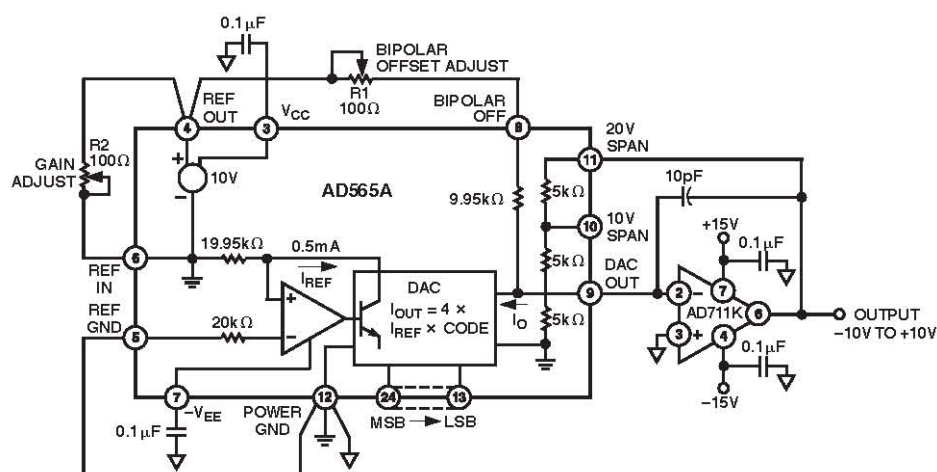
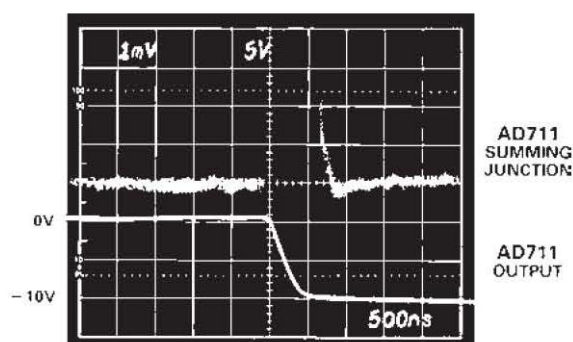
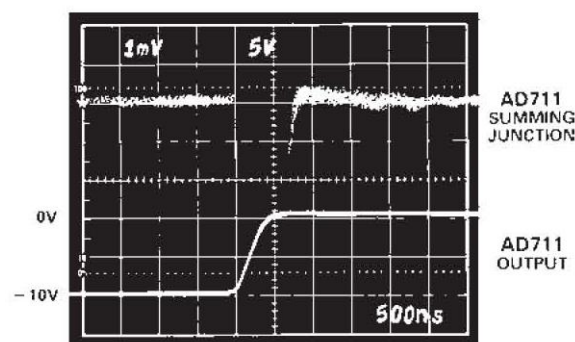


図 1. ±10 V 電圧出力のバイポーラ DAC



a. (フル・スケールの立ち下がり変化)



b. (フル・スケールの立ち上がり変化)

図 2. AD711 + AD565A のセトリング特性

オペアンプのセトリング・タイム—数学モデル

AD711 のデザインでは、個々の回路部品の最適化に注意を払っています。さらに、慎重にトレードオフを行い、ゲイン帯域幅積(4 MHz)とスルーレート(20 V/μs)を非常に高速なセトリング・タイムを得るように十分大きくし、かつ位相マージン(したがって安定性)を大幅に損なわないように大き過ぎないようにしています。AD711 はこのようにデザインされているため、10 V 出力ステップで 1 μs 以内に±0.01%へセトリングすると同時に、ユニティ・ゲイン・フォロアとして動作したとき 100 pF の負荷容量を駆動する能力を維持しています。

オペアンプをユニティ・ゲイン・クロスオーバー周波数= $\omega_0/2\pi$ の理想積分器としてモデル化すると、式 1 はバイポーラ DAC または CMOS DAC の出力に I/V コンバータとして接続されたオペアンプから構成される回路(図 3a)の小信号動作を正確に表現します。オペアンプの有限なスルーレートとその他の非直線性効果を無視する場合、この式はシステムの出力を完全に記述します。

$$\frac{V_O}{I_{IN}} = \frac{-R}{\frac{R(C_f + C_X)}{\omega_0} s^2 + \left(\frac{G_N}{\omega_0} + RC_f \right) s + 1} \quad (3)$$

ここで、

$\omega_0/2\pi$ = オペアンプの ユニティ・ゲイン周波数

G_N = 回路の“ノイズ” ゲイン($1 + R/R_0$)

この式を C_f について解くと、

$$C_f = \frac{2 - G_N}{R\omega_0} + \frac{2\sqrt{RC_X\omega_0 + (1 - G_N)}}{R\omega_0} \quad (4)$$

これらの式で、コンデンサ C_X はオペアンプの反転端子に現れる合計容量。DAC バッファ・アプリケーションをモデル化する場合、図 3a のノートン等価回路を直接使用することができます。コンデンサ C_X は DAC 出力とオペアンプ入力容量の合計容量 (両者は並列)。

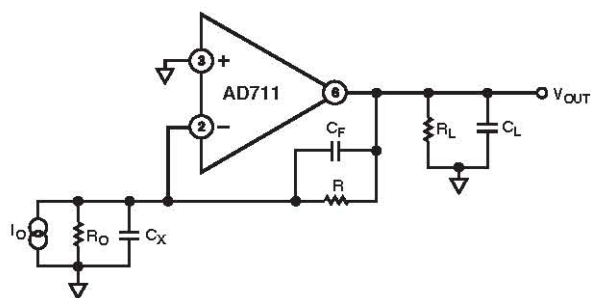


図 3a.電流出力 DAC バッファとして使用した AD711 の簡略化モデル

R_0 と I_0 をテブナン等価 V_{IN} と R_{IN} で置き換えると、汎用反転アンプ(図 26b)が得られます。この一般モデルを使う場合、シンプルな反転オペアンプをシミュレーションするときは、コンデンサ C_X はオペアンプのいずれかの入力容量になり、DAC バッファをモデルするときは、DAC 出力とオペアンプ入力の合計容量になることに注意してください。

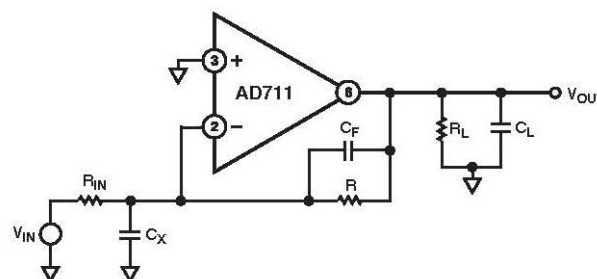


図 3b.インバータとして使用した AD711 の簡略化モデル

両ケースとも、容量 C_X のためにシステムは 1 極応答から 2 極応答に変わります。この極の追加により、オペアンプ出力にピーキングまたはリングングが発生してセトリング・タイムが大きくなります。 C_X の値は適切な精度で計算できるため、小さいコンデンサ値(C_f)を式 2 を使って選択して、入力極を相殺させてアンプ応答を最適化することができます。図 4 に、 $R = 4 \text{ k}\Omega$ の AD711 に対する式 2 の図式解法を示します。

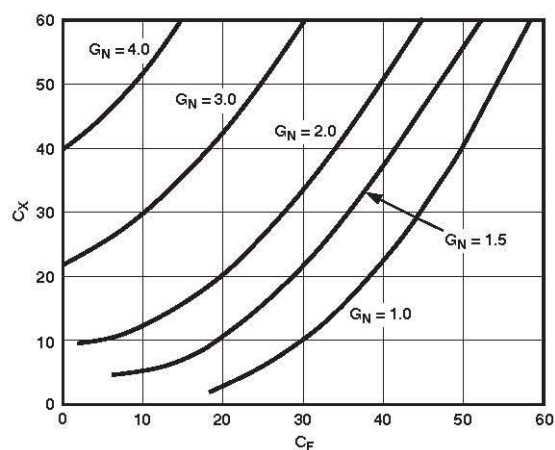


図 4. C_X の値対コンデンサ C_f の値

図 5a と図 5b の写真に、図 6 のセトリング・テスト回路を使った AD711 のダイナミック応答を示します。

セトリング・タイム測定での入力、高レベルが平坦なパルスが発生するジェネレータから駆動します。A1 の偽加算ノードからの誤差信号出力は、A2 によりクランプ/増幅された後に、再度クランプされます。したがって、誤差信号は 2 回クランプされます。1 回目はアンプ A2 の過負荷を防止するため、2 回目はオシロスコープ・プリアンプの過負荷を防止するためです。Tektronix 社のオシロスコープ・プリアンプ・タイプ 7A26 を慎重に選択しました。これらの入力レベルでは過負荷しないためです。アンプ A2 は、非常に高速な FET 入力オペアンプである必要があります。ゲイン= 10 で A1 の誤差信号出力を増幅します。

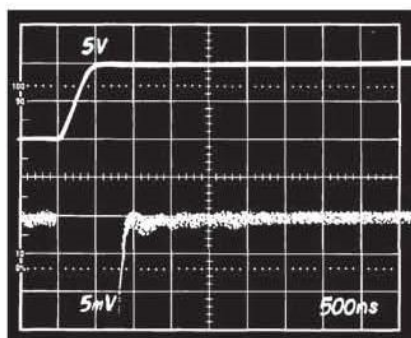


図 5a. セットリング特性、0 V→+10 V ステップ
上側: AD711 の出力 (5 V/Div)
下側: 増幅された誤差電圧(0.01%/Div)

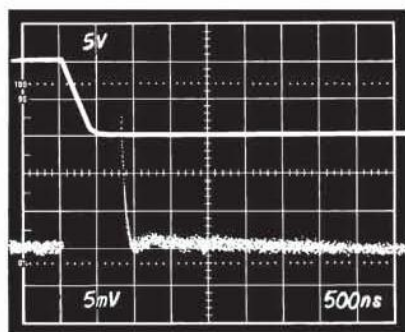


図 5b. セットリング特性、0 V→-10 V ステップ
上側: AD711 の出力 (5 V/Div)
下側: 増幅された誤差電圧(0.01%/Div)

ガーディング

AD711 BiFET オペアンプは低入力バイアス電流(15 pA)と低ノイズ特性を持つため、フォトダイオードのプリアンプやピコアンペア電流を電圧に変換するコンバータのような電位計アプリケーションに適しています。プリント回路ボードのレイアウトや構造に図 7 に示すようなガード技術を使うことは、リーク電流を小さくするために重要です。ガード・リングを入力と同じレベルの低インピーダンス電位に接続します。高インピーダンスの信号ラインは、プリント回路ボード上で短くする必要があります。

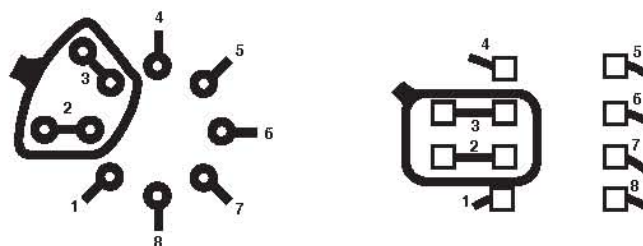


図 7. ガード入力のボード・レイアウト

D/A コンバータ・アプリケーション

AD711 は、CMOS DAC 用の優れた出力アンプです。2 象限動作と 4 象限動作に使用することができます。反転 R2R ラダーを採用する DAC の出力インピーダンスは、1 を多く含むコードでは R に、1 を 1 個含むコードでは 3R に、それぞれ近づきます。すべて 0 のコードでは、出力インピーダンスは無限大になります。

例えば、AD7545 の出力抵抗は 11 kΩ～33 kΩ で変化します。このため、DAC 内部帰還抵抗が 11 kΩ の場合、ノイズ・ゲインは 2 ～ 4/3 で変化します。この変化するノイズ・ゲインにより、アンプの入力オフセット電圧の影響が変化して、DAC アンプ性能に非直線性が生じます。

500 μV のオフセット電圧を保証した AD711K では、この影響を小さくして 12 ビット性能を実現しています。

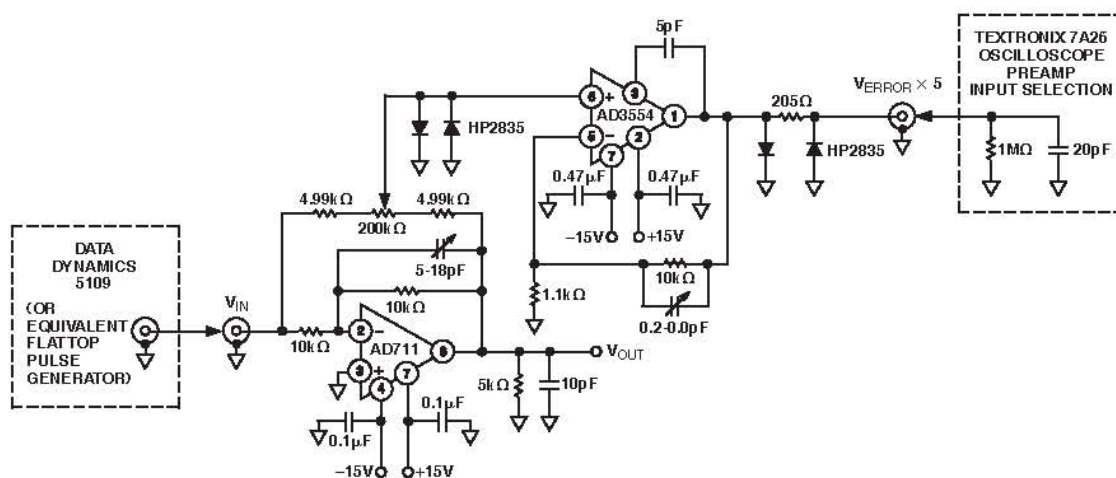


図 6. セットリング・タイムのテスト回路

図8と図9に、ユニポーラ・バイナリ(2象限乗算)動作またはバイポーラ(4象限乗算)動作に構成したAD711と(12ビットCMOS DAC)を示します。コンデンサC1は、オーバーシュートとリングングを抑える位相補償を提供します。

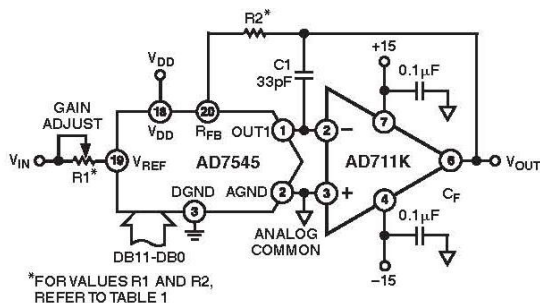


図8.ユニポーラ・バイナリ動作

R1とR2により、DACのゼロ・オフセットとゲイン誤差をキャリブレーションします。これらの抵抗の規定値はAD7545のグレードに依存し、次に示します。

表1. AD7545のグレード対トリム抵抗の推奨値、 $V_{DD} = 5V$

TRIM RESISTOR	JN/AQ/SD	KN/BQ/TD	LN/CQ/UD	GLN/GCQ/GUD
R1	500 Ω	200 Ω	100 Ω	20 Ω
R2	150 Ω	68 Ω	33 Ω	6.8 Ω

ノイズ特性

ノイズのランダム性により、特に1/f領域では、実用的に規定することは困難です。同時に、高精度計装機器のデザインでは、機器のフル精度を実現するために最大ノイズ・レベルの保証が必要です。

AD711Cグレードは、4.0 μV p-pの最大レベル、0.1 Hz~10 Hzの帯域幅で規定しています。各AD711Cには、100%のノイズ・テストを10 sec間隔で2回行っています。4.0 μV を超えて変化するデバイスは不合格にします。スクリーン・ロットは、次に品質管理でAQLベースの確認を受けます。

AD711のその他の全グレードは、6 μV p-p、0.1 Hz~10 Hzの規定値を使ってAQLベースでサンプル・テストされています。

A/Dコンバータ・アナログ入力の駆動

図11に示すようなA/Dコンバータのアナログ入力を駆動するオペアンプは、負荷状態がダイナミックに変化しても一定出力電圧を維持できる必要があります。

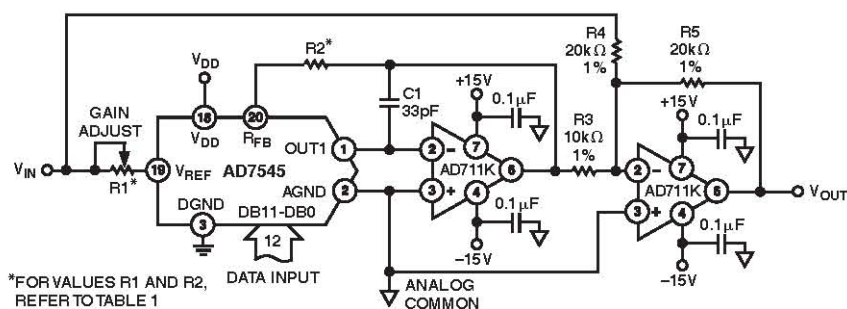
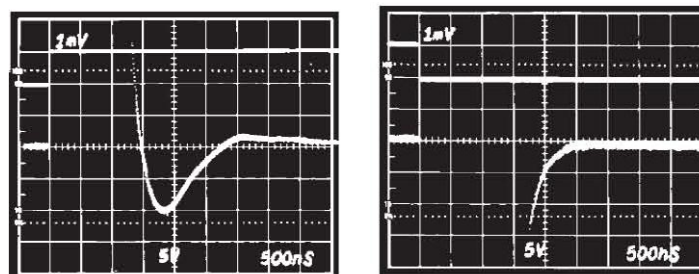


図9.バイポーラ動作

逐次比較型コンバータでは、切り替えられる一連のトライアル電流と入力電流が比較されます。比較ポイントはダイオードでクランプされますが、数百mVの差が生じて、A/D入力電流の高周波変調が発生します。

図10aと図10bに、AD7545のDAC出力バッファとして使用した場合のAD711のセトリング・タイム特性を示します。



a. フル・スケールの立ち上がり変化 b. フル・スケールの立ち下がり変化

図10. AD711 + AD565Aのセトリング特性

ループ・ゲインにより、帰還アンプの出力インピーダンスが意図的に低くされます。ループ・ゲインが低い高周波では、アンプ出力インピーダンスはオープン・ループ値に近づくことができます。大部分のICアンプは、電流制限抵抗があるため25 Ω の最小オープン・ループ出力インピーダンスになります。コンバータ負荷の変化を反映する数百 μA の電流により、瞬時入力電圧に誤差が発生します。

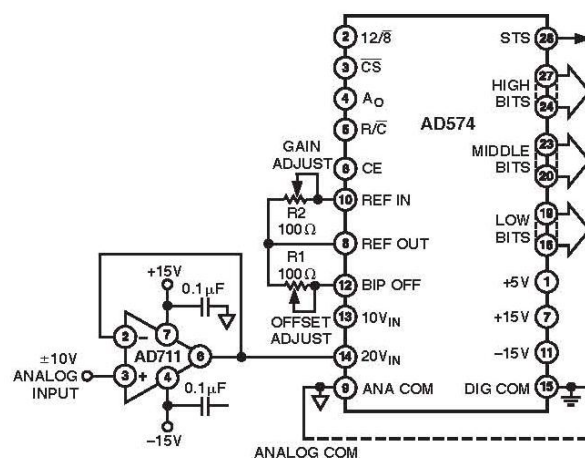
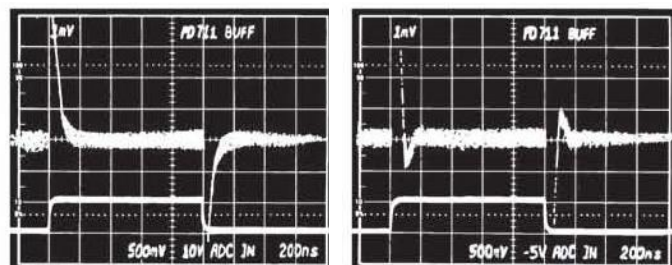


図11. ADCのユニティ・ゲイン・バッファとして使用したAD711

A/D 変換速度が大きくなく、かつアンプ帯域幅が十分な場合、コンバータでの比較の前にアンプ出力は公称値へ戻りますが、多くのアンプは比較的狭い帯域幅を持つため、出力過渡電圧からの回復が低速になります。AD711 は広い帯域幅と高いオープン・ループ・ゲインを持つため、高速 A/D コンバータの駆動に最適です。



a. ソース電流 = 2 mA

b. シンク電流 = 1 mA

図 12. ADC 入力ユニティ・ゲイン・バッファの回復時間

大きな容量負荷の駆動

図 13 の回路では、アンプから 1500 pF を超える容量負荷を駆動できる 100 Ω のアイソレーション抵抗を使用しています。この抵抗は、負荷から高周波帰還をアイソレーションして回路を安定化します。低周波帰還は、100 Ω の直列抵抗と負荷容量 C_L で構成されるローパス・フィルタを経由してアンプ加算点に戻されます。図 14 に、この接続の代表的な過渡応答を示します。

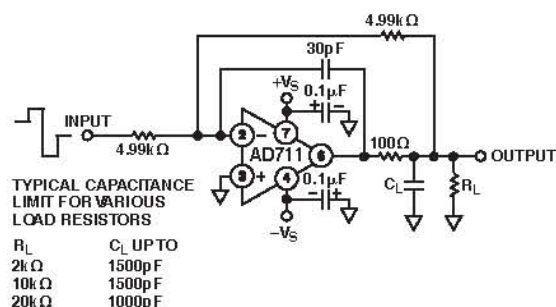


図 13. 大きな容量負荷を駆動する回路

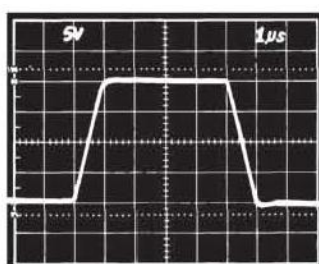


図 14. 過渡応答 $R_L = 2 \text{ k}\Omega$, $C_L = 500 \text{ pF}$

アクティブ・フィルタ・アプリケーション

オペアンプを使うアクティブ・フィルタ・アプリケーションでは、フィルタ性能を最適化するためにアンプの DC 精度が重要です。アンプのオフセット電圧とバイアス電流は、出力誤差の原因になります。オフセット電圧はフィルタを通過して増幅されて、大きな出力オフセットになります。大きな値の入力抵抗を必要とする低周波アプリケーションでは、これらの抵抗を流れるバイアス電流も、オフセット電圧を発生させます。

さらに、高い周波数では、オペアンプのダイナミック動作を慎重に考慮する必要があります。この場合、スルーレート、帯域幅、オープン・ループ・ゲインが、オペアンプの選択で重要になります。スルーレートは高速で、かつ歪みを小さくするために対称である必要があります。フィルタの周波数応答は、アンプの帯域幅とフィルタ・ゲインの組み合わせにより支配されます。

AD711 のような高性能アンプを使用すると、すべてのアクティブ・フィルタ・アプリケーションで DC 誤差と AC 誤差を小さくすることができます。

2 次ローパス・フィルタ

図 15 に、2 次のバターワース・ローパス・フィルタとして構成された AD711 を示します。図の値ではコーナー周波数は 20 kHz ですが、AD711 の広い帯域幅により、数百 kHz のコーナー周波数も可能です。部品選択の式を次に示します。

$$R1 = R2 = \text{ユーザ選択値 (一般に } 10 \text{ k}\Omega \sim 100 \text{ k}\Omega) \quad (4)$$

$$C1 = \frac{1.414}{(2\pi)(f_{\text{cutoff}})(R1)}, C2 = \frac{0.707}{(2\pi)(f_{\text{cutoff}})(R1)} \quad (5)$$

ここで、

$C1$ と $C2$ はの単位は F です。

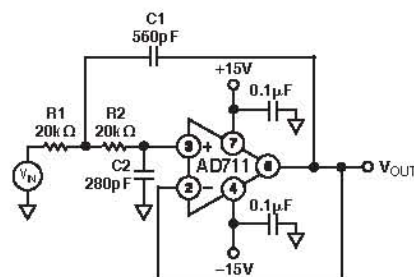


図 15. 2 次ローパス・フィルタ

フィルタの重要な特性は、帯域外除去比です。図 15 に示すシンプルな 20 kHz ローパス・フィルタを使用して、クロック・パルスまたは高周波で大きいエネルギーを持つサンプリング・グリッチが混入した信号をコンディショニングすることができます。

AD711 は低出力インピーダンスと広い帯域幅を持つため、図 16 に示すように高周波フィードスルーを小さくすることができます。

上側のカーブは、別の低価格 BiFET オペアンプのカーブであり、フィードスルーが 5 MHz で 17 dB 高くなっています。

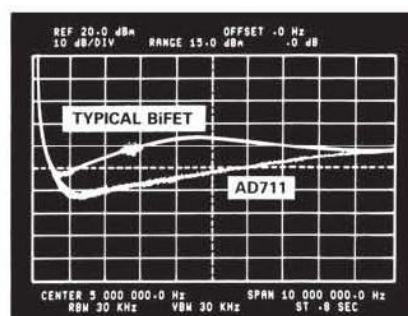


図 16.

9 極チェビシェフ・フィルタ

図 17 に、周波数依存のアクティブ負抵抗(FDNR)を使った 9 極チェビシェフ・フィルタに使用した AD711 とそのデュアル・バージョン AD712 を示します。このフィルタのカットオフ周波数は 50 kHz で、90 dB 以上の除去比を持つため、100 kHz スループットの 12 ビット・データ・アキュイジション・システムで、折り返し防止フィルタとして使うことができます。

図 17 に示すように、フィルタは 4 個の FDNR (A、B、C、D) で構成されています。これらの FDNR の値は、 4.9395×10^{-15} Fsec と 5.9276×10^{-15} Fsec です。各 FDNR アクティブ回路は、合計 8 個の極に対して 2 極応答を提供します。9 番目の極は、0.001 μ F のコンデンサと 124 k Ω の抵抗(アンプ A2 のピン 3)から構成されています。図 18 に、各 FDNR の回路と R の選択を示します。最適性能を得るためには、0.001 μ F のコンデンサは 1% 以上の一致度で選択し、すべての抵抗は 1% より優れた偏差を持つ必要があります。

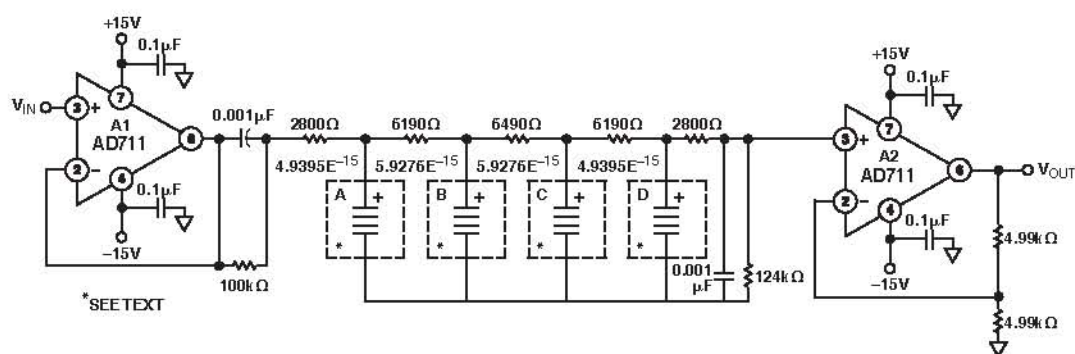


図 17. 9 極チェビシェフ・フィルタ

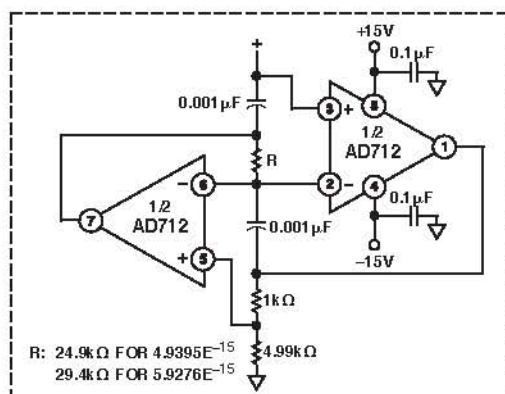


図 18. 9 極チェビシェフ・フィルタの FDNR

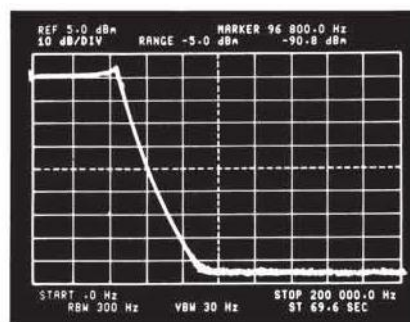


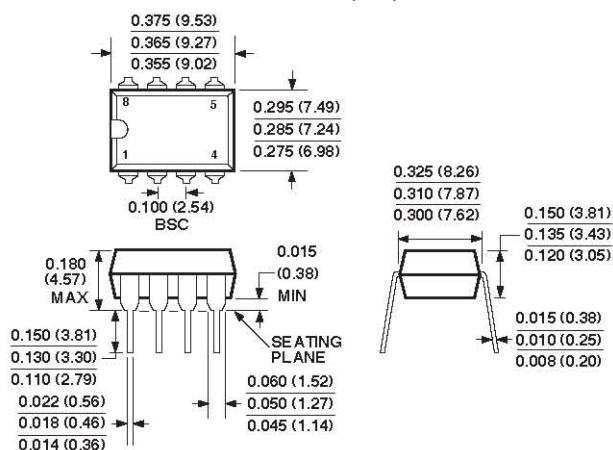
図 19. 9 極チェビシェフ・フィルタの高周波数応答

外形寸法

8ピン・プラスチック・デュアルインライン・パッケージ[PDIP]

(N-8)

寸法: インチ(mm)



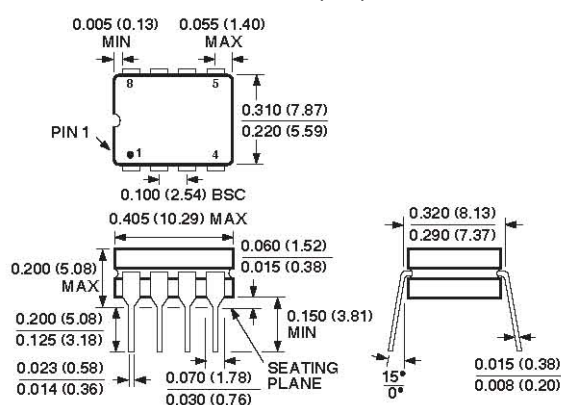
COMPLIANT TO JEDEC STANDARDS MO-095 AA

CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETERS DIMENSIONS (IN PARENTHESES)

8ピン・セラミックDIP-ガラス・ハーメチック・パッケージ[CERDIP]

(Q-8)

寸法: インチ(mm)



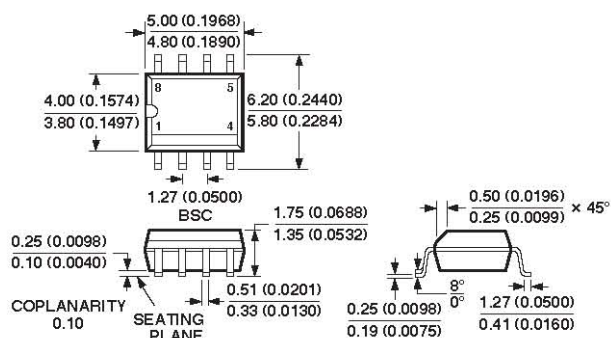
CONTROLLING DIMENSIONS ARE IN INCH; MILLIMETERS DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

8ピン標準スモール・アウトライン・パッケージ[SOIC]

ナロー・ボディ

(RN-8)

寸法: mm (インチ)



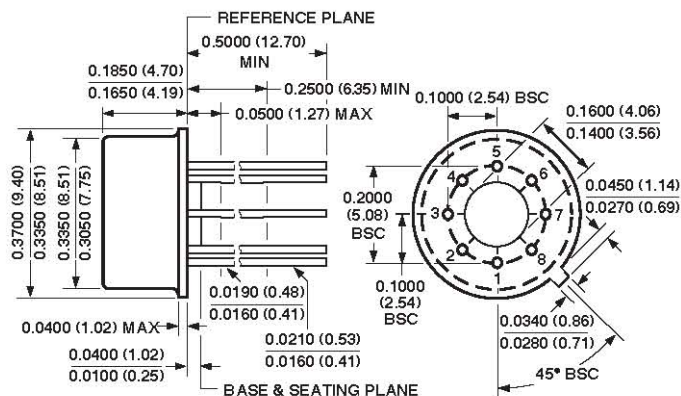
COMPLIANT TO JEDEC STANDARDS MS-012AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

8ピン・メタル・カン [TO-99]

(H-8)

寸法: インチ (mm)



COMPLIANT TO JEDEC STANDARDS MO-002AK

CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETERS DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN

改訂履歴

Location	Page
10/02—Data Sheet changed from REV. D to REV. E.	
Edits to ABSOLUTE MAXIMUM RATINGS.....	3
10/02—Data Sheet changed from REV. C to REV. D.	
Edits to CONNECTION DIAGRAMS	1
Updated OUTLINE DIMENSIONS	13
5/02—Data Sheet changed from REV. B to REV. C.	
Change from Small Outline Package (R-8)	13
Edits to ORDERING GUIDE	3
Deleted METALLIZATION PHOTOGRAPH	3