



8チャンネル、12ビット、構成可能 ADC/DAC、リファレンス内蔵、 SPI インターフェース付き

Known Good Die

AD5592R-1-KGD

特長

8チャンネル、構成可能 ADC/DAC/GPIO
以下のいずれかの組み合わせで構成可能

- 8 × 12ビット DAC チャンネル
- 8 × 12ビット ADC チャンネル
- 8 × 汎用デジタル入出力ピン

温度センサー内蔵

SPI インターフェース

アプリケーション

制御および監視

汎用アナログおよびデジタル入出力

概要

AD5592R-1-KGD には、8本の I/Ox ピン (I/O0 ~ I/O7) があり、D/A コンバータ (DAC) 出力、A/D コンバータ (ADC) 入力、

デジタル出力、デジタル入力として個別に構成できます。I/Ox ピンがアナログ出力として構成される場合は、12ビット DAC で駆動されます。DAC の出力範囲は、 $0V \sim V_{REF}$ または $0V \sim 2 \times V_{REF}$ です。I/Ox ピンがアナログ入力として構成される場合は、アナログ・マルチプレクサ経由で12ビット ADC に接続されます。ADC の入力範囲は、 $0V \sim V_{REF}$ または $0V \sim 2 \times V_{REF}$ です。ADC のスループット・レートは合計 400 kSPS です。I/Ox ピンは、デジタル、汎用入出力 (GPIO) ピンとしても構成できます。シリアル・パライフェラル・インターフェース (SPI) の書き込みまたは読み出しを介して、GPIO 書き込みデータ・レジスタまたは GPIO 読み出し構成レジスタにアクセスすることで、GPIO ピンの状態を設定したり、リードバックすることが可能です。

アプリケーションと技術情報の詳細については、[AD5592R](#) データシートを参照してください。

KGD (Known Good Die) : これらのダイは、データシートの仕様を十分に発揮します。

機能ブロック図

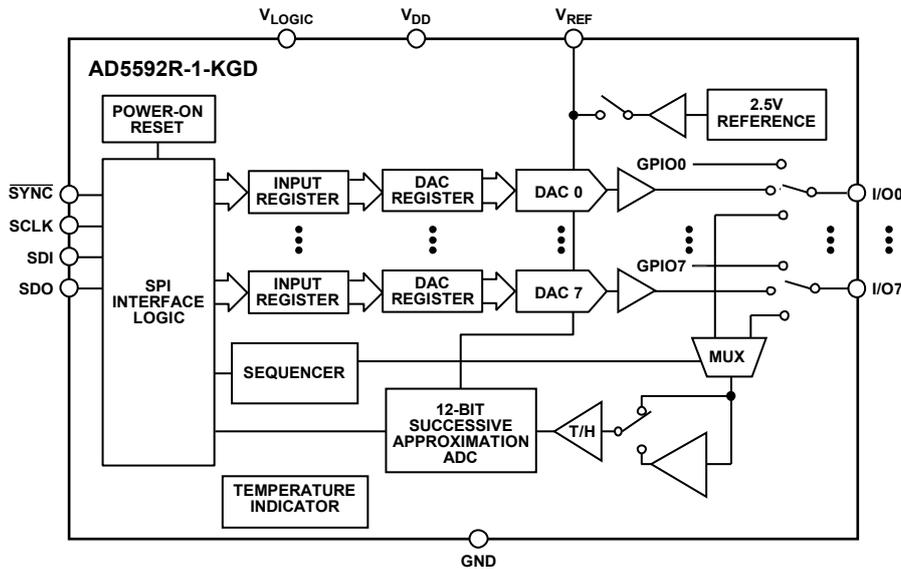


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	絶対最大定格.....	7
アプリケーション.....	1	ESDに関する注意.....	7
概要.....	1	ピン配置およびピン機能の説明.....	8
機能ブロック図.....	1	外形寸法.....	10
改訂履歴.....	2	ダイの仕様とアセンブリの推奨事項.....	10
仕様.....	3	オーダー・ガイド.....	10
タイミング特性.....	6		

改訂履歴

2/2018—Revision 0: Initial Version

仕様

特に指定のない限り、VDD = 2.7 V ~ 5.5 V、VREF = 2.5 V（外部）、RL = 2 kΩ（GNDへ接続）、CL = 200 pF（GNDへ接続）、TA = TMIN ~ TMAX、温度範囲 = -40 °C ~ +105 °C。

表 1.

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
ADC PERFORMANCE					f _{IN} = 10 kHz sine wave
Resolution		12		Bits	
Input Range	0		V _{REF}	V	When using the internal ADC buffer, there is a dead band of 0 V to 5 mV
	0		2 × V _{REF}	V	
Integral Nonlinearity (INL)	-2		+2	LSB	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Offset Error			±5	mV	
Gain Error			0.3	% FSR	
Throughput Rate			400	kSPS	
Track Time (t _{TRACK})	500			ns	
Conversion Time (t _{CONV})			2	μs	
Signal-to-Noise Ratio (SNR)		69		dB	V _{DD} = 2.7 V, input range = 0 V to V _{REF}
		67		dB	V _{DD} = 3.3 V, input range = 0 V to V _{REF}
		61		dB	V _{DD} = 5.5 V, input range = 0 V to 2 × V _{REF}
Signal-to-Noise-and-Distortion (SINAD) Ratio		69		dB	V _{DD} = 2.7 V, input range = 0 V to V _{REF}
		67		dB	V _{DD} = 3.3 V, input range = 0 V to V _{REF}
		60		dB	V _{DD} = 5.5 V, input range = 0 V to 2 × V _{REF}
Total Harmonic Distortion (THD)		-91		dB	V _{DD} = 2.7 V, input range = 0 V to V _{REF}
		-89		dB	V _{DD} = 3.3 V, input range = 0 V to V _{REF}
		-72		dB	V _{DD} = 5.5 V, input range = 0 V to 2 × V _{REF}
Peak Harmonic or Spurious Noise (SFDR)		91		dB	V _{DD} = 2.7 V, input range = 0 V to V _{REF}
		91		dB	V _{DD} = 3.3 V, input range = 0 V to V _{REF}
		72		dB	V _{DD} = 5.5 V, input range = 0 V to 2 × V _{REF}
Aperture Delay		15		ns	V _{DD} = 3 V
		12		ns	V _{DD} = 5 V
Aperture Jitter		50		ps	
Channel-to-Channel Isolation		-95		dB	f _{IN} = 5 kHz
Input Capacitance		45		pF	
Full Power Bandwidth		8.2		MHz	At 3 dB
		1.6		MHz	At 0.1 dB
DAC PERFORMANCE ²					
Resolution		12		Bits	
Output Range	0		V _{REF}	V	
	0		2 × V _{REF}	V	
Integral Nonlinearity (INL)	-1		+1	LSB	
Differential Nonlinearity (DNL)	-1		+1	LSB	
Offset Error	-3		+3	mV	
Offset Error Drift		8		μV/°C	
Gain Error			±0.2	% FSR	Output range = 0 V to V _{REF}
			±0.1	% FSR	Output range = 0 V to 2 × V _{REF}
Zero Code Error		0.65	2	mV	
Total Unadjusted Error		±0.03	±0.25	% FSR	Output range = 0 V to V _{REF}
		±0.015	±0.1	% FSR	Output range = 0 V to 2 × V _{REF}
Capacitive Load Stability			2	nF	R _{LOAD} = ∞
			10	nF	R _{LOAD} = 1 kΩ

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
Resistive Load	1			kΩ	
Short-Circuit Current		25		mA	
DC Crosstalk	-4		+4	μV	Due to single channel, full-scale output change
DC Output Impedance		0.2		Ω	
DC Power Supply Rejection Ratio (PSRR)		0.15		mV/V	DAC code = midscale, V _{DD} = 3 V ± 10% or 5 V ± 10%
Load Impedance at Rails ³		25		Ω	
Load Regulation		200		μV/mA	V _{DD} = 5 V ± 10%, DAC code = midscale, -10 mA ≤ I _{OUT} ≤ +10 mA
		200		μV/mA	V _{DD} = 3 V ± 10%, DAC code = midscale, -10 mA ≤ I _{OUT} ≤ +10 mA
Power-Up Time		7		μs	Coming out of power-down mode, V _{DD} = 5 V
AC SPECIFICATIONS					
Slew Rate		1.25		V/μs	Measured from 10% to 90% of full scale
Settling Time		6		μs	¼ scale to ¾ scale settling to 1 LSB
DAC Glitch Impulse		2		nV-sec	
DAC to DAC Crosstalk		1		nV-sec	
Digital Crosstalk		0.1		nV-sec	
Analog Crosstalk		1		nV-sec	
Digital Feedthrough		0.1		nV-sec	
Multiplying Bandwidth		240		kHz	DAC code = full scale, output range = 0 V to V _{REF}
Output Voltage Noise Spectral Density		200		nV/√Hz	DAC code = midscale, output range = 0 V to 2 × V _{REF} , measured at 10 kHz
Signal-to-Noise Ratio (SNR)		81		dB	
Peak Harmonic or Spurious Noise (SFDR)		77		dB	
Signal-to-Noise-and-Distortion (SINAD) Ratio		74		dB	
Total Harmonic Distortion (THD)		-76		dB	
REFERENCE INPUT					
V _{REF} Input Voltage	1		V _{DD}	V	
DC Leakage Current	-1		+1	μA	No I/Ox pins configured as DACs
Reference Input Impedance		12		kΩ	DAC output range = 0 V to 2 × V _{REF}
		24		kΩ	DAC output range = 0 V to V _{REF}
REFERENCE OUTPUT					
V _{REF} Output Voltage	2.495	2.5	2.505	V	At ambient
V _{REF} Temperature Coefficient		20		ppm/°C	
Capacitive Load Stability		5		μF	R _L = 2 kΩ
Output Impedance		0.15		Ω	V _{DD} = 2.7 V
		0.7		Ω	V _{DD} = 5 V
Output Voltage Noise		10		μV p-p	0.1 Hz to 10 Hz
Output Voltage Noise Density		240		nV/√Hz	At ambient, f = 10 kHz, C _L = 10 nF
Line Regulation		20		μV/V	At ambient, sweeping V _{DD} from 2.7 V to 5.5 V
		10		μV/V	At ambient, sweeping V _{DD} from 2.7 V to 3.3 V
Load Regulation					
Sourcing		210		μV/mA	At ambient, -5 mA ≤ load current ≤ +5 mA
Sinking		120		μV/mA	At ambient, -5 mA ≤ load current ≤ +5 mA
Output Current Load Capability		±5		mA	V _{DD} ≥ 3 V
GPIO OUTPUT					
I _{SOURCE} , I _{SINK}		1.6		mA	
Output Voltage					
High (V _{OH})	V _{DD} - 0.2			V	I _{SOURCE} = 1 mA
Low (V _{OL})			0.4	V	I _{SOURCE} = 1 mA

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
GPIO INPUT					
Input Voltage					
High (V_{IH})	$0.7 \times V_{DD}$			V	
Low (V_{IL})			$0.3 \times V_{DD}$	V	
Input Capacitance		20		pF	
Hysteresis		0.2		V	
Input Current		± 1		μA	
LOGIC INPUTS					
Input Voltage					
High (V_{INH})	$0.7 \times V_{LOGIC}$			V	
Low (V_{INL})			$0.3 \times V_{LOGIC}$	V	
Input Current (I_{IN})	-1		+1	μA	Typically 10 nA
Input Capacitance (C_{IN})			10	pF	
LOGIC OUTPUT (SDO)					
Output High Voltage (V_{OH})	$V_{LOGIC} - 0.2$			V	$I_{SOURCE} = 200 \mu A$, $V_{DD} = 2.7 V$ to $5.5 V$
Output Low Voltage (V_{OL})			0.4	V	$I_{SINK} = 200 \mu A$
Floating-State Output Capacitance		10		pF	
TEMPERATURE SENSOR					
Resolution		12		Bits	
Operating Range	-40		+105	$^{\circ}C$	
Accuracy		± 3		$^{\circ}C$	5 sample averaging
Track Time			5	μs	ADC buffer enabled
			20	μs	ADC buffer disabled
POWER REQUIREMENTS					
V_{DD}	2.7		5.5	V	
I_{DD}			2.7	mA	Digital inputs = 0 V or V_{DD} , I/O0 to I/O7 configured as DACs and ADCs, internal reference on, ADC buffer on, DAC code = 0xFFF, range is 0 V to $2 \times V_{REF}$ for DACs and ADCs
Power-Down Mode			3.5	μA	
$V_{DD} = 5 V$ (Normal Mode)		1.6		mA	I/O0 to I/O7 are DACs, internal reference, gain = 2
		1		mA	I/O0 to I/O7 are DACs, external reference, gain = 2
		2.4		mA	I/O0 to I/O7 are DACs and sampled by the ADC, internal reference, gain = 2
		1.1		mA	I/O0 to I/O7 are DACs and sampled by the ADC, external reference, gain = 2
		1		mA	I/O0 to I/O7 are ADCs, internal reference, gain = 2
		0.75		mA	I/O0 to I/O7 are ADCs, external reference, gain = 2
		0.5		mA	I/O0 to I/O7 are general-purpose outputs
		0.5		mA	I/O0 to I/O7 are general-purpose inputs
		0.5		mA	I/O0 to I/O3 are general-purpose outputs, I/O4 to I/O7 are general-purpose inputs
$V_{DD} = 3 V$ (Normal Mode)		1.1		mA	I/O0 to I/O7 are DACs, internal reference, gain = 1
		1		mA	I/O0 to I/O7 are DACs, external reference, gain = 1
		1.1		mA	I/O0 to I/O7 are DACs and sampled by the ADC, internal reference, gain = 1
		0.78		mA	I/O0 to I/O7 are DACs and sampled by the ADC, external reference, gain = 1
		0.75		mA	I/O0 to I/O7 are ADCs, internal reference, gain = 1

Parameter	Min	Typ	Max	Unit ¹	Test Conditions/Comments
V_{LOGIC}		0.5		mA	I/O0 to I/O7 are ADCs, external reference, gain = 1
I_{LOGIC}		0.45		mA	I/O0 to I/O7 are general-purpose outputs
		0.45		mA	I/O0 to I/O7 are general-purpose inputs
	1.62		V_{DD}	V	
			3	μA	

¹ 特に指定のない限り、デシベルで表記されるすべての仕様は、フルスケール入力 (FSR) を基準とし、フルスケールより 0.5 dB 低い入力信号でテストされます。
² 特に指定のない限り、DC仕様は出力無負荷でテストされます。直線性は、8 ~ 4095 のコード範囲を使って計算されます。 $V_{\text{REF}} = V_{\text{DD}}$ の場合の上側デッドバンドは 10 mV です。
³ どちらかの電源レールに負荷電流が流れているとき、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの 25 Ω (代表値) のチャンネル抵抗によって制限されます。例えば、1 mA のシンク電流が流れている場合、最小出力電圧 = 25 Ω × 1 mA = 25 mV となります。

タイミング特性

特に指定のない限り、すべての入力信号は $t_R = t_F = 5 \text{ ns}$ (V_{DD} の 10% ~ 90%) で仕様規定され、 $(V_{\text{IL}} + V_{\text{IH}})/2$ の電圧レベル、 $T_A = T_{\text{MIN}} \sim T_{\text{MAX}}$ で時間を測定しています。

表 2.

Parameter	$1.62 \text{ V} \leq V_{\text{LOGIC}} < 3 \text{ V}$	$3 \text{ V} \leq V_{\text{LOGIC}} \leq 5.5 \text{ V}$	Unit	Test Conditions/Comments
t_1	33	20	ns min	SCLK cycle time, write operation
	65	50	ns min	SCLK cycle time, read operation
t_2	16	10	ns min	SCLK high time
t_3	16	10	ns min	SCLK low time
t_4	15	10	ns min	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
	2	2	$\mu\text{s max}$	$\overline{\text{SYNC}}$ to SCLK falling edge setup time
t_5	7	7	ns min	Data setup time
t_6	5	5	ns min	Data hold time
t_7	15	10	ns min	SCLK falling edge to $\overline{\text{SYNC}}$ rising edge
t_8	30	30	ns min	Minimum $\overline{\text{SYNC}}$ high time for write operations
	60	60	ns min	Minimum $\overline{\text{SYNC}}$ high time for register read operations
t_9	0	0	ns min	$\overline{\text{SYNC}}$ rising edge to next SCLK falling edge
t_{10}	56	25	ns max	SCLK rising edge to SDO valid

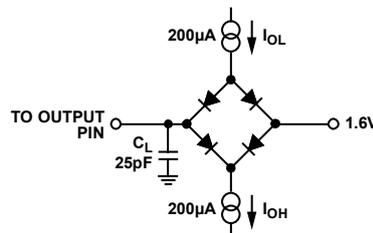


図 2. ロジック出力 (SDO) タイミング仕様の負荷回路

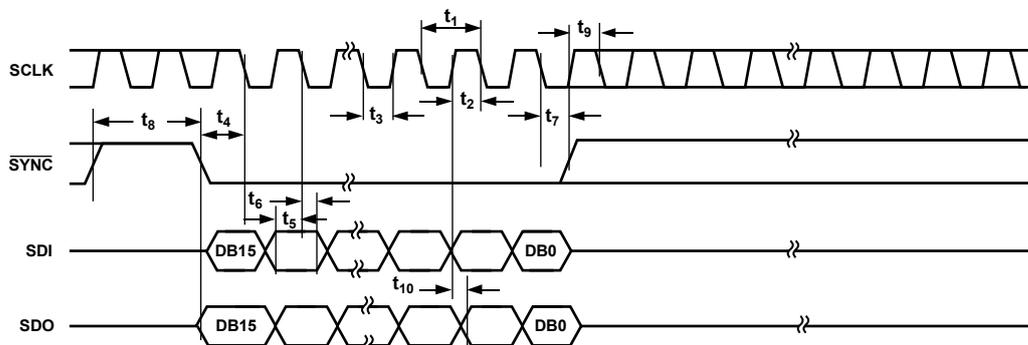


図 3. タイミング図

絶対最大定格

特に指定のない限り、TA = 25 °C。最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

表 3.

Parameter	Rating
V _{DD} to GND	-0.3 V to +7 V
V _{LOGIC} to GND	-0.3 V to +7 V
Analog Input Voltage to GND	-0.3 V to V _{DD} + 0.3 V
Digital Input Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V
Digital Output Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V
V _{REF} to GND	-0.3 V to V _{DD} + 0.3 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T _J max)	150°C
Lead Temperature	JEDEC industry standard
Soldering	J-STD-020

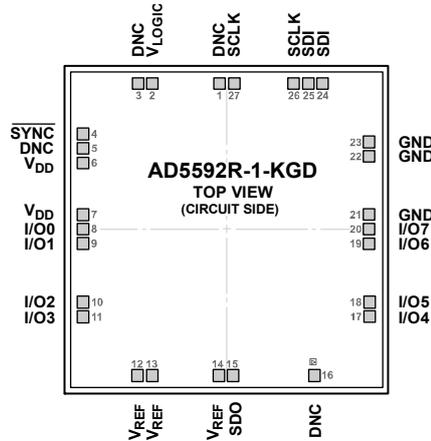
上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.

1988B-005

図 4. パッド構成

表 4. パッド機能の説明

パッド番号	X 軸 (μm)	Y 軸 (μm)	記号	説明
1	-43.545	882	DNC	接続なし。
2	-457.925	882	V _{LOGIC}	インターフェース電源。
3	-542.925	882	DNC	接続なし。
4	-882	585.115	SYNC	同期。アクティブ・ローのコントロール入力。SYNC は、入力データに対するフレーム同期化信号です。SYNC がロー・レベルになると、データは次の 16 回の立下がりエッジで転送されます。
5	-882	500.115	DNC	接続なし。
6	-882	415.115	V _{DD}	電源入力。AD5592R-1-KGD は 2.7 V ~ 5.5 V の電源で動作します。
7	-882	84.685	V _{DD}	電源入力。AD5592R-1-KGD は 2.7 V ~ 5.5 V の電源で動作します。
8	-882	-0.315	I/O0	入出力 0。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
9	-882	-85.355	I/O1	入出力 1。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
10	-882	-456.09	I/O2	入出力 2。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
11	-882	-541.13	I/O3	入出力 3。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
12	-542.925	-882	V _{REF}	リファレンス入出力
13	-457.925	-882	V _{REF}	リファレンス入出力
14	-43.545	-882	V _{REF}	リファレンス入出力
15	41.455	-882	SDO	データ出力。ロジック出力。
16	542.65	-882	DNC	接続なし。
17	882	-541.09	I/O4	入出力 4。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
18	882	-456.09	I/O5	入出力 5。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
19	882	-85.355	I/O6	入出力 6。このピンは、DAC、ADC、汎用デジタル入力または出力として個別に構成できます。
20	882	-0.315	I/O7	入出力 7。このピンは、DAC、ADC、汎用デジタル入力または出力として構成できます。I/O7 は、ADC 変換の実行を示す BUSY 信号として構成することもできます。
21	882	84.685	GND	グラウンド・リファレンス。
22	882	450.105	GND	グラウンド・リファレンス。
23	882	535.105	GND	グラウンド・リファレンス。

パッド 番号	X 軸 (μm)	Y 軸 (μm)	記号	説明
24	585.145	882	SDI	データ入力ロジック入力。
25	500.145	882	SDI	データ入力ロジック入力。
26	415.105	882	SCLK	シリアル・クロック入力。
27	41.455	882	SCLK	シリアル・クロック入力。

外形寸法

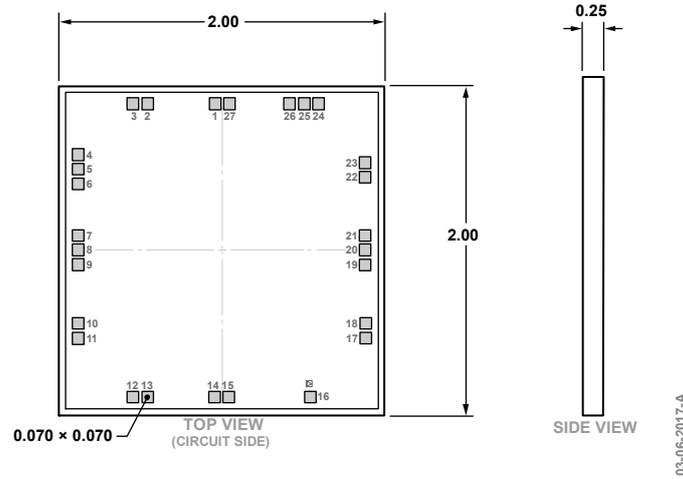


図 5.27 パッド・ベア・ダイ [チップ]
(C-27-1)
寸法: mm

ダイの仕様とアセンブリの推奨事項

表 5. ダイの仕様

Parameter	Value	Unit
Die Size (Maximum)	2000 × 2000	μm
Bond Pad (Minimum)	70 × 70	μm
Thickness	250	μm
Scribe Line Width	80	μm
Bond Pad Composition	AlCu (0.5%)	%
Passivation Type	Polyimide	Not applicable
Backside Bias	GND	Not applicable

表 6. アセンブリの推奨事項

Assembly Component	Recommendation
Die Attach	Epoxy Adhesive
Bonding Method	1.0 mil, 2N gold wire ¹

¹ 寿命を延ばすため、高い温度で使用する前に金ワイヤの適合性を評価してください。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD5592R-1-KGD-PT	-40°C to +105°C	27-Pad Bare Die [CHIP]	C-27-1