

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 1 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 1 月 5 日

製品名： AD4684/AD4685

対象となるデータシートのリビジョン(Rev)： Rev.0

訂正箇所： 32 ページ 最下行のノート 1 の内容

【誤】

AD4684 と **AD4683** の評価には、EVAL-AD7386FMCZ を使用してください。

【正】

AD4684 と **AD4685** の評価には、EVAL-AD7386FMCZ を使用してください。

1MSPS/500kSPS、4 チャンネル、 16 ビットのデュアル同時サンプリング SAR ADC

特長

- ▶ 16 ビットのデュアル同時サンプリング SAR ADC
- ▶ シングルエンド・アナログ入力
- ▶ 2:1 マルチプレクサを備えた 4 チャンネル
- ▶ チャンネル・シーケンサ・モード
- ▶ スループット・レート
 - ▶ 1MSPS (AD4684)
 - ▶ 500kSPS (AD4685)
- ▶ S/N 比 (代表値)
 - ▶ $V_{REF} = 3.3V$ (外部リファレンス) 時に 87.5dB
 - ▶ $OSR_MODE = 1$ 、 $OSR = 8$ 、 $RES = 1$ 、 $V_{REF} = 2.5V$ (内部リファレンス) 時に 93dB
- ▶ オーバーサンプリング機能内蔵
- ▶ $\pm 1.5LSB$ (代表値) の INL
- ▶ 分解能増強機能
- ▶ 10ppm/°C (最大) の 2.5V 内部リファレンス
- ▶ アラート機能
- ▶ 温度範囲: $-40^{\circ}C \sim +125^{\circ}C$
- ▶ 16 ピン、3mm × 3mm LFCSP

アプリケーション

- ▶ モータ・コントロールのポジション・フィードバック
- ▶ モータ・コントロールの電流検出
- ▶ ソナー
- ▶ 電力品質
- ▶ データ・アキュイジション・システム
- ▶ エルビウム添加光増幅器 (EDFA) アプリケーション
- ▶ 同相および直交位相の復調

概要

AD4684/AD4685 は、3.0V~3.6V の電源で動作する、16 ビットの高速デュアル同時サンプリング逐次比較レジスタ (SAR) A/D コンバータ (ADC) で、AD4684 は最大 1MSPS、AD4685 は最大 500kSPS のスループット・レートを実現します。アナログ入力のタイプはシングルエンドで、 $\overline{CS}$ の立下がりエッジでサンプリングと変換が行われます。

AD4684/AD4685 は、シーケンサと集積化オーバーサンプリング・ブロックを内蔵することで、低帯域領域でのダイナミック・レンジを向上させ、ノイズを低減しています。バッファ付き 2.5V 内部リファレンスを備えていますが、代わりに、最大 3.3V の外部リファレンスを使用することも可能です。変換プロセスとデータ・アキュイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ (DSP) とインターフェース接続できます。AD4684/AD4685 は別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応できます。AD4684/AD4685 は、16 ピンの 3mm × 3mm リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用し、動作は $-40^{\circ}C \sim +125^{\circ}C$ の範囲で仕様規定されています。

製品のハイライト

1. 4 チャンネル、デュアル同時サンプリング ADC。
2. ピン互換の製品ファミリ。
3. 高スループット・レート: 1MSPS (AD4684) および 500kSPS (AD4685)。
4. 省スペースの 16 ピン、3mm × 3mm LFCSP。
5. オーバーサンプリング・ブロックを集積化することで、ダイナミック・レンジと S/N 比が向上し、SCLK の速度条件が緩和。
6. シングルエンド・アナログ入力。
7. サンプリング・コンデンサの容量が小さいため、アンプの駆動負荷が低減。

機能ブロック図

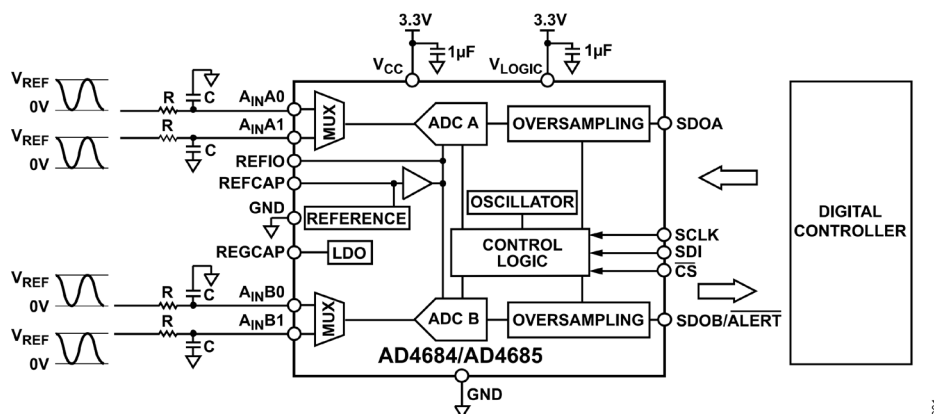


図 1. 機能ブロック図

目次

特長	1	コンバータの動作	14
アプリケーション	1	アナログ入力構造	14
概要	1	ADC の伝達関数	14
製品のハイライト	1	アプリケーション情報	16
機能ブロック図	1	電源	17
仕様	3	動作モード	18
タイミング仕様	5	チャンネル選択	18
絶対最大定格	7	シーケンサ	18
熱抵抗	7	オーバーサンプリング	19
静電放電 (ESD) 定格	7	分解能増強	21
ESD に関する注意	7	アラート	21
ピン配置およびピン機能の説明	8	電力モード	22
代表的な性能特性	9	内部リファレンスおよび外部リファレンス	22
用語の定義	13	ソフトウェア・リセット	22
微分非直線性 (DNL)	13	診断セルフ・テスト	22
積分非直線性 (INL)	13	インターフェース	23
ゲイン誤差	13	変換結果の読出し	23
ゲイン誤差の温度ドリフト	13	低遅延リードバック	24
ゲイン誤差マッチ	13	デバイス・レジスタからの読出し	24
オフセット誤差	13	デバイス・レジスタへの書込み	24
オフセット誤差の温度ドリフト	13	レジスタ	27
S/N 比 (SNR)	13	レジスタのアドレス指定	28
スプリアスフリー・ダイナミック・レンジ (SFDR)	13	CONFIGURATION1 レジスタ	28
全高調波歪み (THD)	13	CONFIGURATION2 レジスタ	29
信号/ノイズ+歪み (SINAD)	13	ALERT レジスタ	30
チャンネル間メモリ	13	ALERT_LOW_THRESHOLD レジスタ	31
電源電圧変動除去比 (PSRR)	13	ALERT_HIGH_THRESHOLD レジスタ	31
アパーチャ遅延	13	外形寸法	32
アパーチャ・ジッタ	13	オーダー・ガイド	32
動作原理	14	評価用ボード	32
回路説明	14		

改訂履歴

7/2022—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、リファレンス電圧 (V_{REF}) = 2.5V (内部)、サンプリング周波数 (f_{SAMPLE}) = 1MSPS、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 、オーバーサンプリング無効。

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
THROUGHPUT					
Single Channel Pair	SEQ = 0 AD4684			1	MSPS
	AD4685			500	kSPS
Alternating Channels	SEQ = 1 AD4684			500	kSPS
	AD4685			250	kSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL)		-1.0	± 0.5	+1.0	LSB
Integral Nonlinearity (INL)		-3.5	± 1.5	+3.5	LSB
Gain Error		-0.025	± 0.006	+0.025	%FS
Gain Error Temperature Drift		-3	± 1	+3	ppm/ $^{\circ}C$
Gain Error Match		-0.025	± 0.006	+0.025	%FS
Offset Error		-0.6	± 0.1	+0.6	mV
Offset Error Temperature Drift		-3	± 1	+3	$\mu V/^{\circ}C$
Offset Error Match		-0.5	0.12	+0.5	mV
AC ACCURACY					
Dynamic Range	Input frequency (f_{IN}) = 1 kHz $V_{REF} = 3.3$ V external		87.8		dB
			86		dB
Oversampled Dynamic Range	OSR_MODE = 1, OSR = 4, RES = 1		91.5		dB
Signal-to-Noise Ratio (SNR)	$V_{REF} = 3.3$ V external	85.5	87.5		dB
		83.5	85.5		dB
	OSR_MODE = 1, OSR = 8, RES = 1		93		dB
	$f_{IN} = 100$ kHz		85.3		dB
Spurious-Free Dynamic Range (SFDR)			-100		dB
Total Harmonic Distortion (THD)	$V_{REF} = 3.3$ V external		-99		dB
			-98		dB
	$f_{IN} = 100$ kHz		-96		dB
Signal-to-Noise-and-Distortion (SINAD)	$V_{REF} = 3.3$ V	85	87.4		dB
		83	85.5		dB
Channel to Channel Isolation			-109.7		dB
Channel to Channel Memory			-93.5		dB
ANALOG INPUT					
Voltage Input Range		0		V_{REF}	V
DC Leakage Current			0.1	1	μA
Input Capacitance	When in track mode		18		pF
	When in hold mode		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	At -0.1 dB		5.3		MHz
	At -3 dB		22		MHz
Aperture Delay			2		ns
Aperture Delay Match			300	450	ps
Aperture Jitter			20		ps

仕様

表 1. 仕様

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE INPUT AND OUTPUT					
V_{REF} Input	External reference				
Voltage Range		2.49		3.4	V
Current			0.47	0.51	mA
V_{REF} Output Voltage	At 25°C	2.498	2.5	2.502	V
	−40°C to +125°C	2.496	2.5	2.505	V
V_{REF} Temperature Coefficient			1	10	ppm/°C
V_{REF} Noise			7		μV rms
DIGITAL INPUTS (SCLK, SDI, $\overline{CS}$)					
Logic Levels					
Input Voltage					
Low (V_{IL})				$0.2 \times V_{LOGIC}$	V
High (V_{IH})		$0.8 \times V_{LOGIC}$			V
Input Current					
Low (I_{IL})		−1		+1	μA
High (I_{IH})		−1		+1	μA
DIGITAL OUTPUTS (SDOA, SDOB/ $\overline{ALERT}$)					
Output Voltage					
Low (V_{OL})	Sink current (I_{SINK}) = 300 μA			0.4	V
High (V_{OH})	Source current (I_{SOURCE}) = −300 μA	$V_{LOGIC} - 0.3$			V
Floating State					
Leakage Current				±1	μA
Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}					
		3.0	3.3	3.6	V
	External reference = 3.3 V	3.2	3.3	3.6	V
V_{LOGIC}		1.65		3.6	V
V_{CC} Current (I_{VCC})					
Normal Mode (Operational)	AD4684, 1 MSPS		7	8.5	mA
	AD4685, 500 kSPS		5	6	mA
Normal Mode (Static)			2.2	3	mA
Shutdown Mode			100	200	μA
V_{LOGIC} Current (I_{VLOGIC})					
Normal Mode (Operational)	SDOA and SDOB at 0x1FFF		0.8	1	mA
Normal Mode (Static)			10	200	nA
Shutdown Mode			10	200	nA
Power Dissipation					
Total Power (P_{TOTAL}) (Operational)			27	35	mW
V_{CC} Power (P_{VCC})					
Normal Mode (Operational)	AD4684, 1 MSPS		24	31	mW
	AD4685, 500 kSPS		17	22	mW
Normal Mode (Static)			7.3	10.8	mW
Shutdown Mode			330	720	μW
V_{LOGIC} Power (P_{VLOGIC})					
Normal Mode (Operational)	SDOA and SDOB at 0x1FFF		2.6	3.6	mW
Normal Mode (Static)			33	720	nW
Shutdown Mode			33	720	nW

仕様

タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V$ （内部）、 $T_A = -40^{\circ}C \sim +125^{\circ}C$ 。すべての仕様には 10pF の負荷が含まれます。

表 2. タイミング仕様

パラメータ	最小値	代表値	最大値	単位	説明
t_{CYC}	1			μs	変換と変換の間の時間
	2			μs	AD4685
	2			μs	AD4684 交互変換チャンネル
	4			μs	AD4685 交互変換チャンネル
t_{SCLKED}	0.8			ns	$\overline{CS}$ の立下がりエッジから最初の SCLK 立下がりエッジまでの時間
t_{SCLK}	25			ns	SCLK 周期
t_{SCLKH}	10			ns	SCLK のハイ時間
t_{SCLKL}	10			ns	SCLK のロー時間
t_{CSH}	10			ns	$\overline{CS}$ のパルス幅
t_{QUIET}	10			ns	変換までのインターフェース禁止時間
t_{SDOEN}					$\overline{CS}$ のローから SDOA と SDOB/ $\overline{ALERT}$ がイネーブルされるまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOH}	2			ns	SCLK 立上がりエッジから SDOA および SDOB/ $\overline{ALERT}$ ホールドまでの時間
t_{SDOS}					SCLK 立上がりエッジから SDOA および SDOB/ $\overline{ALERT}$ セットアップまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
			8	ns	$1.65V \leq V_{LOGIC} < 2.3V$
t_{SDOT}			8	ns	$\overline{CS}$ の立上がりエッジから SDOA および SDOB/ $\overline{ALERT}$ が高インピーダンスになるまでの時間
t_{SDIS}	1			ns	SCLK 立下がりエッジまでの SDI セットアップ時間
t_{SDIH}	1			ns	SCLK 立下がりエッジ後の SDI ホールド時間
t_{SCLKCS}	0			ns	SCLK 立上がりエッジから $\overline{CS}$ 立上がりエッジまでの時間
$t_{CONVERT}$			190	ns	変換時間
t_{RESET}					ソフトウェア・リセット後から変換開始までの有効時間 (図 41 参照)
		250		ns	ソフト・リセット後から変換開始までの有効時間
		800		ns	ハード・リセット後から変換開始までの有効時間
$t_{ACQUIRE}$					取得時間
	850/1700			ns	AD4684 シングル・チャンネル/交互チャンネル
	1850/3700			ns	AD4685 シングル・チャンネル/交互チャンネル
$t_{POWERUP}$					変換までの電源アクティブ時間
			5	ms	最初の変換が可能
			11	ms	1%以内にセトリングするまでの時間 (内部リファレンス使用時)
			5	ms	1%以内にセトリングするまでの時間 (外部リファレンス使用時)
$t_{REGWRITE}$			5	ms	レジスタへの読書きアクセスが可能になるまでの電源アクティブ時間
$t_{STARTUP}$					パワーダウン・モード終了後から変換開始までの時間 (図 40 参照)
			11	ms	1%以内にセトリングするまでの時間 (内部リファレンス使用時)
			10	μs	1%以内にセトリングするまでの時間 (外部リファレンス使用時)
t_{ALERTS}			200	ns	$\overline{CS}$ から $\overline{ALERT}$ 指示までの時間 (図 39 参照)
t_{ALERTC}			12	ns	$\overline{CS}$ から $\overline{ALERT}$ クリアまでの時間 (図 39 参照)

仕様

タイミング図

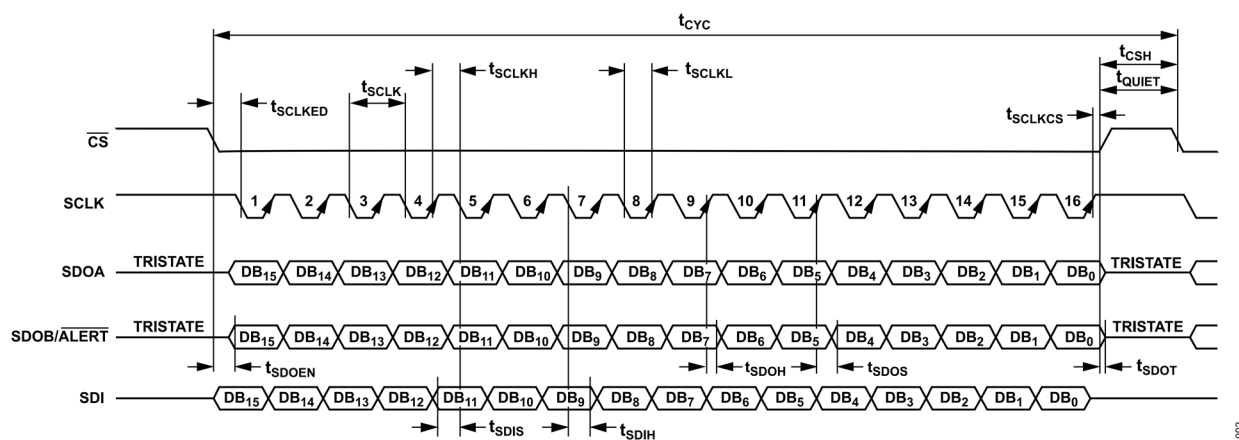


図 2. シリアル・インターフェースのタイミング図

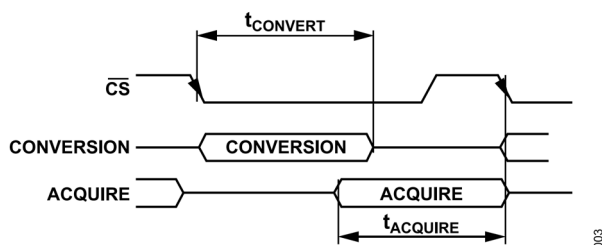


図 3. 内部変換取得時間

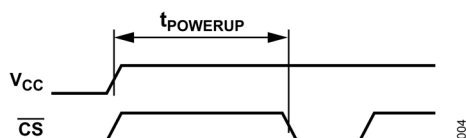


図 4. 変換までのパワーアップ時間

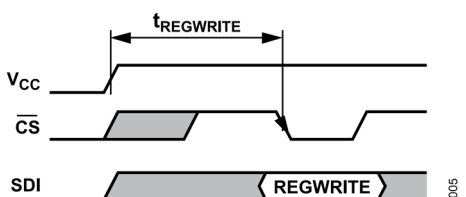


図 5. レジスタの読書きアクセスまでのパワーアップ時間

絶対最大定格

表 3. 絶対最大定格

Parameter	Rating
V_{CC} to GND	-0.3 V to +4 V
V_{LOGIC} to GND	-0.3 V to +4 V
Analog Input Voltage to GND	-0.3 V to $V_{REF} + 0.3$ V, $V_{CC} + 0.3$ V or 4 V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V or 4 V
Digital Output Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V or 4 V
REFIO Input to GND	-0.3 V to $V_{CC} + 0.3$ V or 4 V
Input Current to Any Pin Except Supplies	± 10 mA
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Pb-Free Soldering Reflow	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-16-45 ¹	55.4	12.7	°C/W

¹ テスト条件 1：熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを ESD に対して保護された環境においてのみ取り扱う場合のものです。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4684/AD4685 の ESD 定格

表 5. AD4684/AD4685、16 ピン LFCSP

ESD Model	Withstand Threshold (V)	Class
HBM	± 4000	3A
FICDM	± 1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

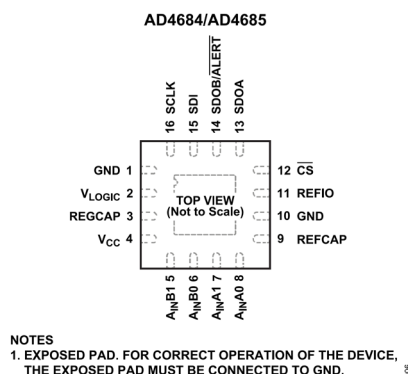


図 6. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。これらのピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V _{LOGIC}	ロジック・インターフェースの電源電圧（1.65V～3.6V）。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 1.9V です。
4	V _{CC}	電源入力電圧（3.0V～3.6V）。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
5, 6	A _{IN} B1, A _{IN} B0	ADC B のアナログ入力。
7, 8	A _{IN} A1, A _{IN} A0	ADC A のアナログ入力。
9	REFCAP	バンド・ギャップ・リファレンスのデカップリング・コンデンサ・ピン。0.1μF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 2.5V です。デバイスが外部リファレンスで動作するよう設定されている場合、0.1μF のコンデンサは不要です。
11	REFIO	リファレンス入出力 2.5V の内部リファレンスは、外部で使用するようデバイスを設定している場合、このピンを出力として使用できます。また、2.5V～3.3V の外部リファレンスをこのピンに入力することもできます。リファレンス電圧源を選択する際は、CONFIGURATION1 レジスタの REFSEL ビットを適切に設定する必要があります。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。1μF のコンデンサをこのピンから GND へ接続する必要があります。
12	$\overline{\text{CS}}$	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力に変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を備えています。
13	SDOA	シリアル・データ出力 A。このピンは、ADC A または ADC B の変換結果、もしくはいずれかの内蔵レジスタのデータにアクセスするための、シリアル・データ出力ピンとして機能します。
14	SDOB/ $\overline{\text{ALERT}}$	シリアル・データ出力 B (SDOB)。このピンは、ADC B の変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 アラート表示出力 ($\overline{\text{ALERT}}$)。このピンは、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。
15	SDI	シリアル・データ入力。このピンは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
16	SCLK	シリアル・クロック入力。このシリアル・クロック入力、ADC とのデータ転送に使用します。
	EPAD	露出パッド。デバイスを正しく動作させるために、露出パッドを GND に接続する必要があります。

代表的な性能特性

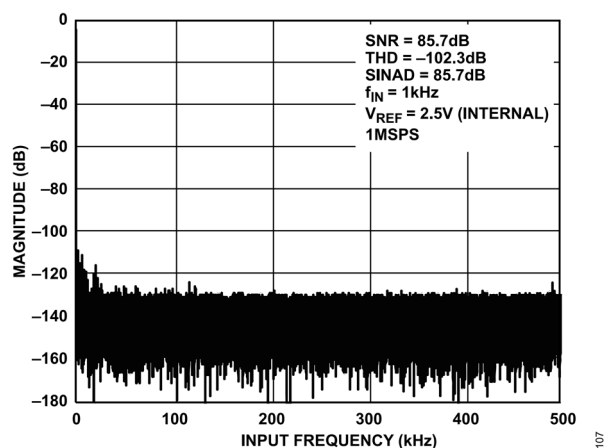
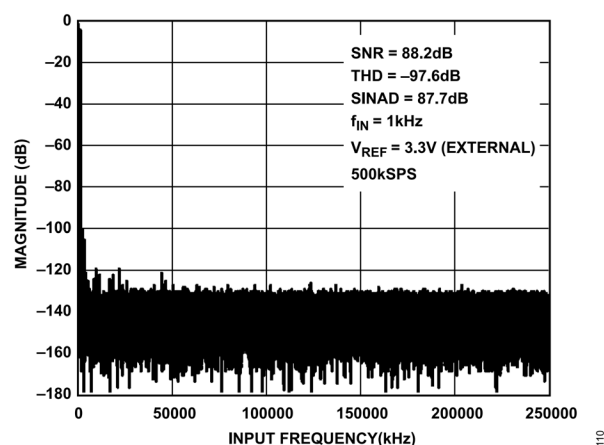
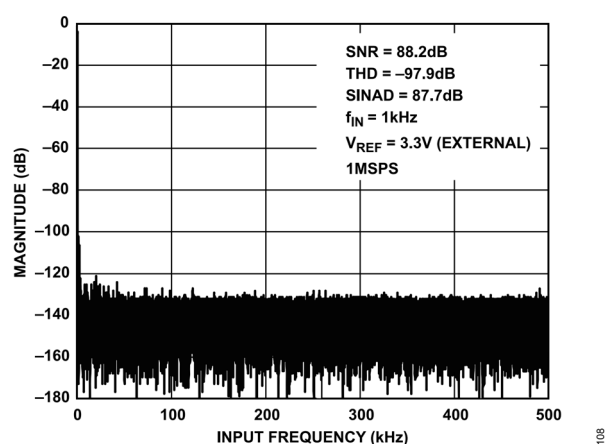
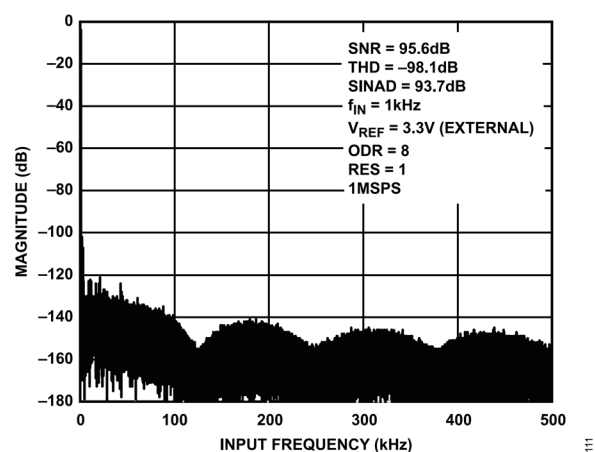
図 7. AD4684 の高速フーリエ変換 (FFT)、 $V_{REF} = 2.5V$ (内部)図 10. AD4685 の FFT、 $V_{REF} = 3.3V$ (外部)図 8. AD4684 の FFT、 $V_{REF} = 3.3V$ (外部)

図 11. オーバーサンプリング有効時の AD4684 の FFT

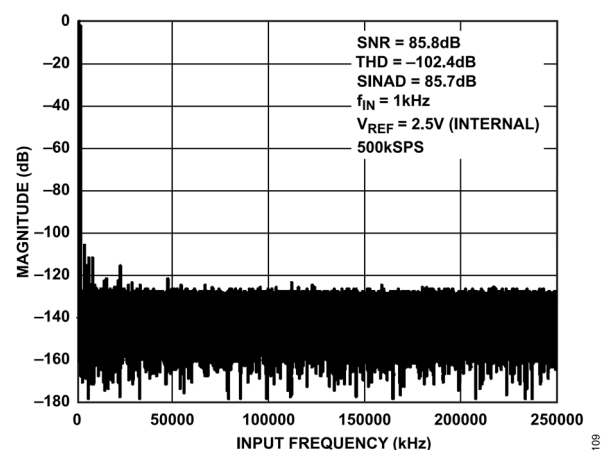
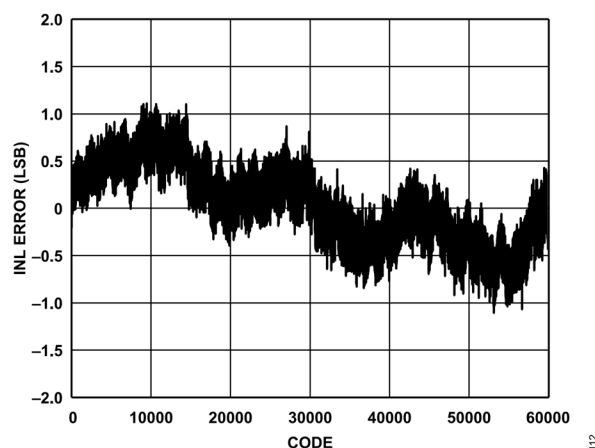
図 9. AD4685 の FFT、 $V_{REF} = 2.5V$ (内部)

図 12. INL 誤差

代表的な性能特性

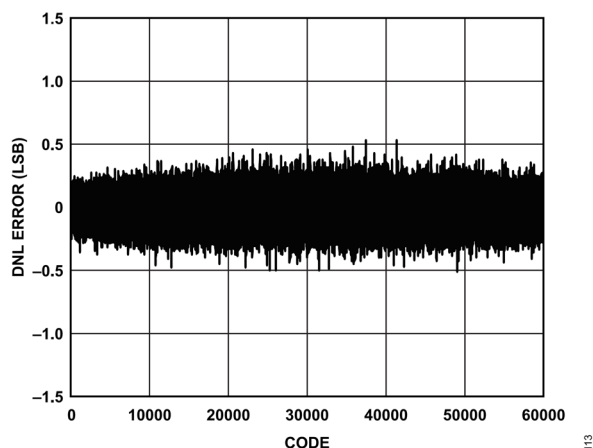


図 13. DNL 誤差

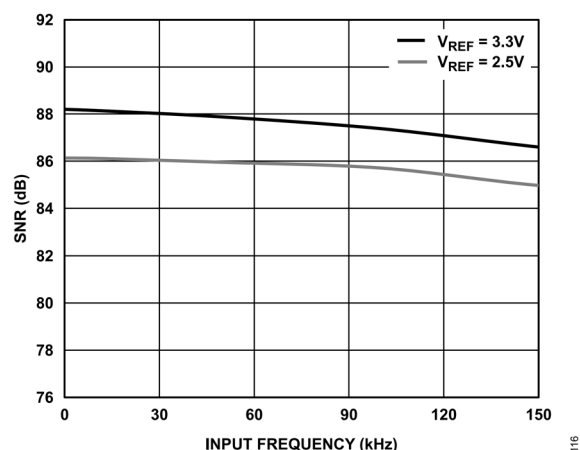


図 16. AD4685 の S/N 比と入力周波数の関係

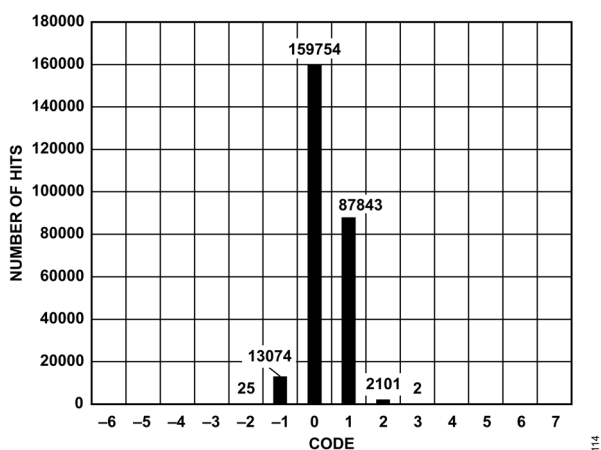


図 14. コード中央値での DC ヒストグラム

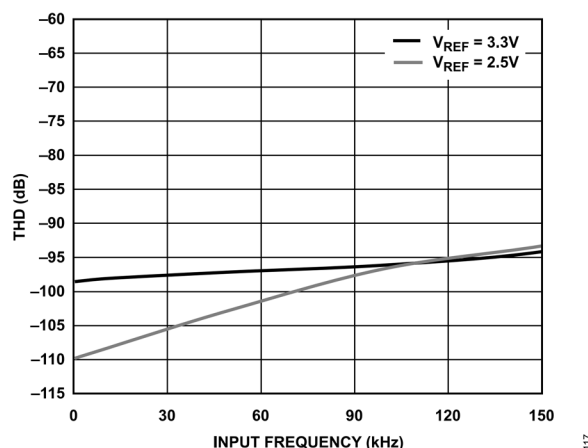


図 17. AD4684 の THD と入力周波数の関係

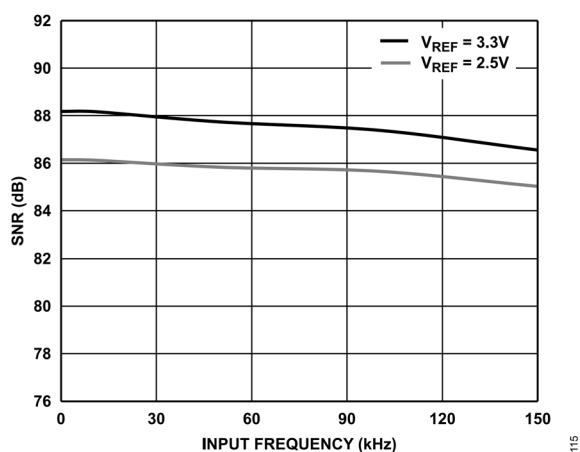


図 15. AD4684 の S/N 比と入力周波数の関係

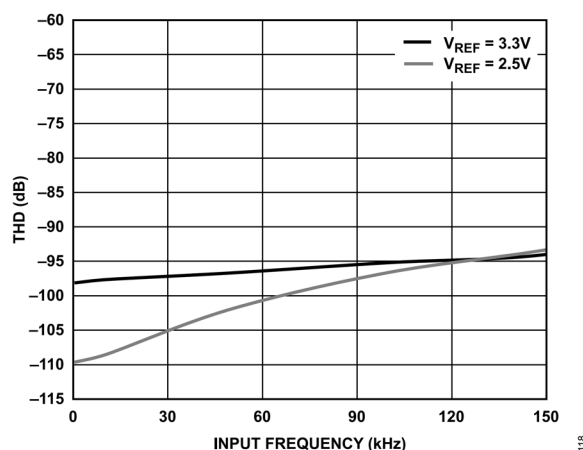


図 18. AD4685 の THD と入力周波数の関係

代表的な性能特性

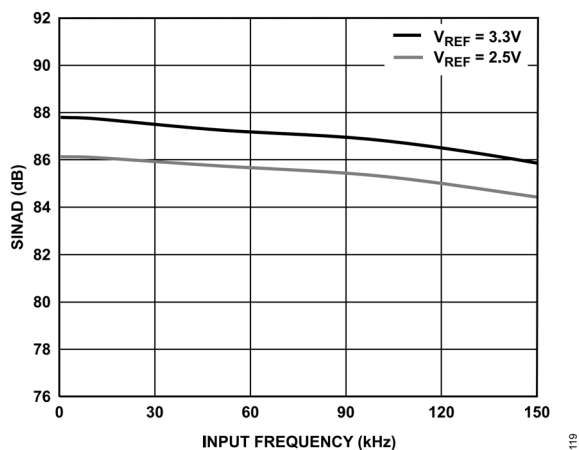


図 19. AD4684 の SINAD と入力周波数の関係

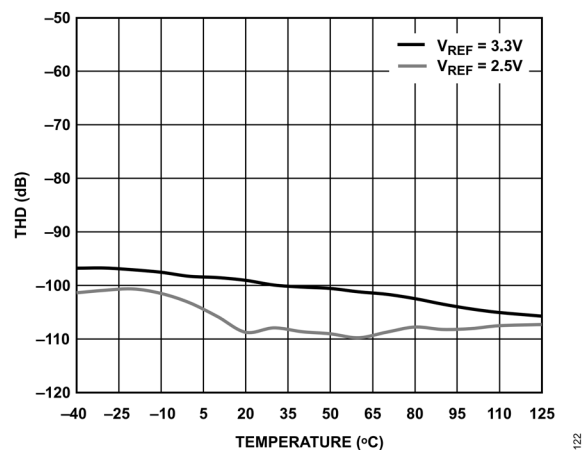


図 22. AD4684 の THD と温度の関係

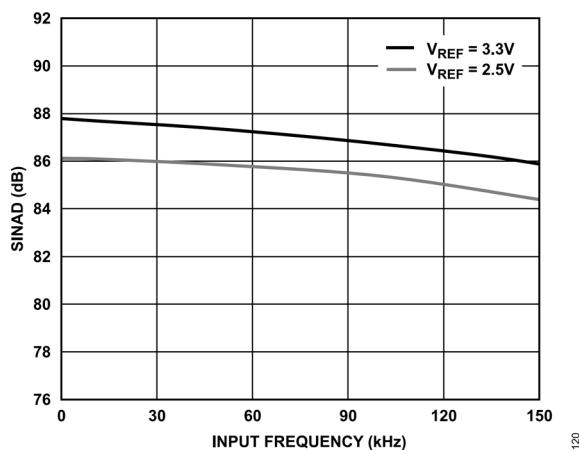


図 20. AD4685 の SINAD と入力周波数の関係

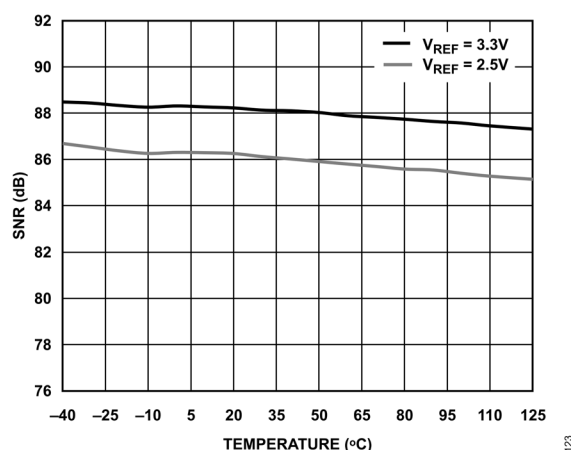


図 23. AD4685 の S/N 比と温度の関係

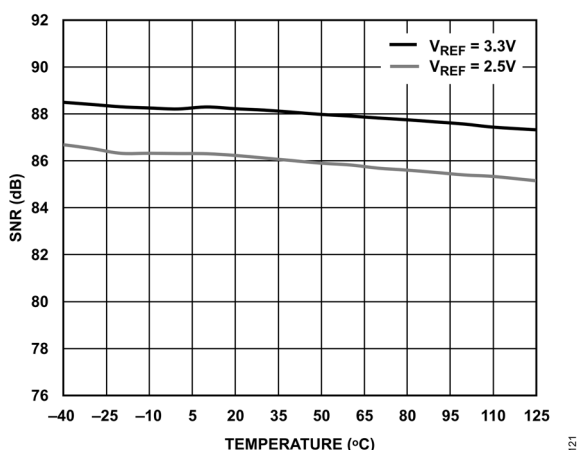


図 21. AD4684 の S/N 比と温度の関係

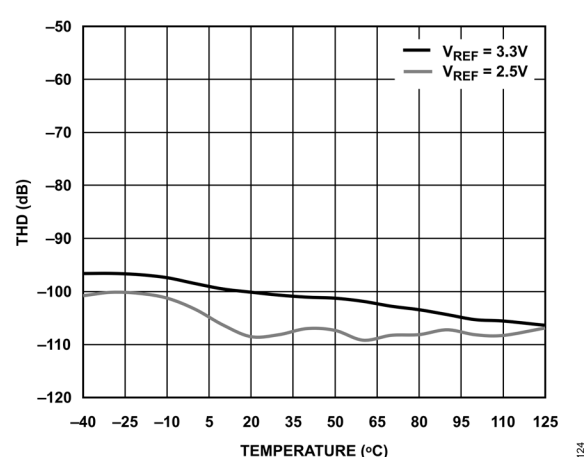


図 24. AD4685 の THD と温度の関係

代表的な性能特性

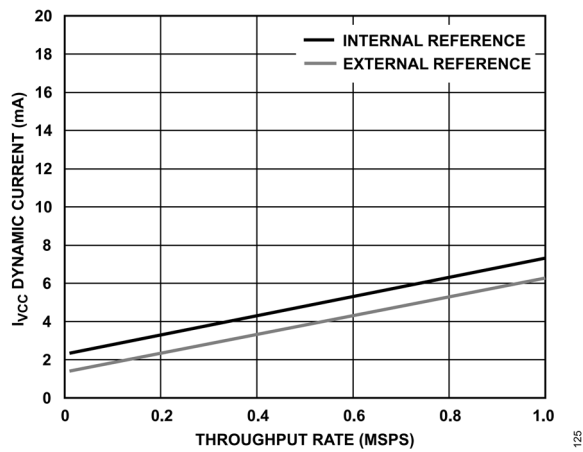
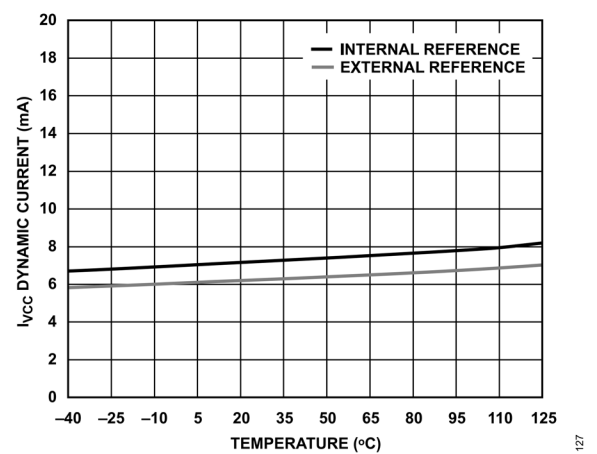
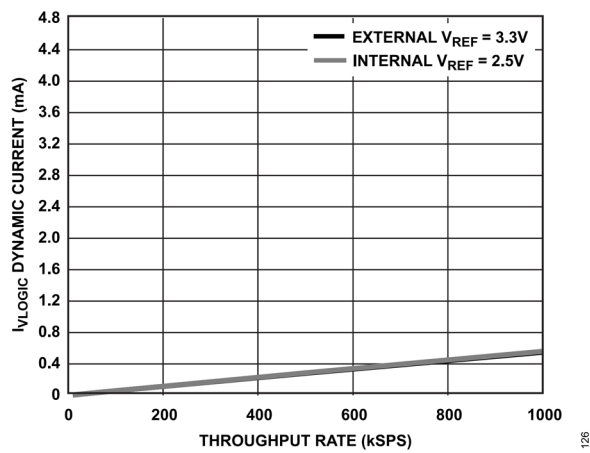
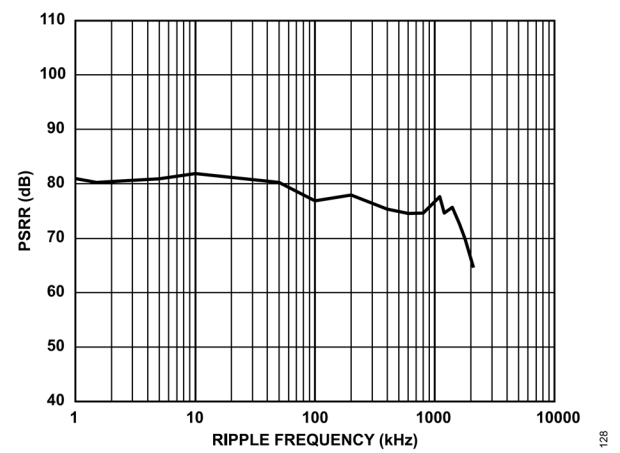
図 25. I_{VCC} 動的電流とスループット・レートの関係図 27. I_{VCC} 動的電流と温度の関係図 26. I_{VLOGIC} 動的電流とスループット・レートの関係

図 28. PSRR とリップル周波数の関係

用語の定義

微分非直線性 (DNL)

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差

最初の遷移 (000...000 から 000...001) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生する必要があります。最後の遷移 (111...110 から 111...111) は、公称フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差の温度ドリフト

1°C の温度変化あたりのゲイン誤差の変化。

ゲイン誤差マッチ

ゲイン誤差マッチは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

オフセット誤差

最初の遷移はアナログ・グラウンドより $\frac{1}{2}$ LSB 上のレベルで発生する必要があります。オフセット誤差は、そのポイントからの実際の遷移の偏差をいいます。

オフセット誤差の温度ドリフト

1°C の温度変化あたりのゼロ誤差の変化。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波成分と直流成分を除く）の実効値総和に対する実際の入力信号の実効値の比です。S/N 比の単位はデシベルです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

全高調波歪み (THD)

THD は、フルスケール入力信号の rms 値に対する最初の 5 次高調波成分の実効値総和の比率で、単位はデシベルです。

信号／ノイズ+歪み (SINAD)

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和（高調波成分は含むが、直流成分は除く）に対する実際の入力信号の実効値の比です。SINAD 値はデシベルで表されます。

チャンネル間メモリ

チャンネル間メモリは、シーケンサ・モード時のチャンネル間のクロストーク・レベルを表す尺度です。ADC の 1 つのアナログ入力チャンネルに特定の周波数のフルスケール信号を印加しておき、別の周波数のフルスケール信号を印加したときに、対をなす ADC チャンネル内で最初の信号がどの程度減衰するかを測定することで求められます。求めた値は通常、デシベル単位で表示され、ADC A および ADC B の両方について測定されます。

電源電圧変動除去比 (PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。電源電圧変動除去は、電源電圧の公称値からの変化によるフルスケール遷移点の最大変化量です。PSRR は、フルスケール周波数 f の ADC の出力電力と、ADC の V_{CC} 電源に印加された FS 周波数の 100mV p-p サイン波の電力の比で定義されます。

$$PSRR \text{ (dB)} = 10 \log(P_f/P_{fs})$$

ここで、
 P_f は周波数 f の ADC の出力電力、
 P_{fs} は V_{CC} 電源にカップリングしたフルスケール周波数での電力です。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能の尺度で、 $\overline{CS}$ 入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD4684/AD4685 は、シングルエンド、4 チャンネルの高速デュアル同期サンプリング 16 ビット SAR ADC です。これらのデバイスは、3.3V 電源で動作し、AD4684 では最大 1MSPS、AD4685 では最大 500kSPS のスループット・レートの特長としています。

AD4684/AD4685 は、SAR ADC 2 個、マルチプレクサ 1 個、シーケンサ 1 個、および個別のデータ出力ピン 2 本を備えたシリアル・インターフェース 1 個で構成されています。16 ピン LFCSP に収容されており、代替ソリューションに比べ、かなりのスペースが節約できるという利点をもたらします。

データにはデバイスのシリアル・インターフェースを介してアクセスできます。インターフェースは、1 つまたは 2 つのシリアル出力で動作します。AD4684/AD4685 には、2.5V の内部リファレンス V_{REF} が備わっています。外部リファレンスが必要な場合は、内部リファレンス・バッファを無効化し、2.5V~3.3V の範囲のリファレンスを使用できます。内部リファレンスをシステムの別の場所で使用する場合は、リファレンス出力をバッファする必要があります。AD4684/AD4685 のアナログ入力範囲は 0V~ V_{REF} です。

AD4684/AD4685 は、オーバーサンプリング・ブロックを内蔵することで性能を向上させています。移動平均オーバーサンプリング・モードが使用可能です。変換の間の消費電力を節約できるパワーダウン・オプションも備わっています。デバイスの設定は標準的なシリアル・インターフェースを介して行うことができます。詳細については、[インターフェース](#)のセクションを参照してください。

コンバータの動作

AD4684/AD4685 には 2 個の SAR ADC があり、それぞれが 2 個の容量性 DAC を中心に構成されています。[図 29](#) にこれらの ADC の 1 つのアクイジション・モードの簡略回路図、[図 30](#) に変換モードの簡略回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。[図 29](#) (アクイジション・フェーズ) では、SW2 は閉じて、SW1 は位置 A にあり、コンパレータは均衡状態を維持し、サンプリング・コンデンサ (C_S) アレイは入力信号を取得します。

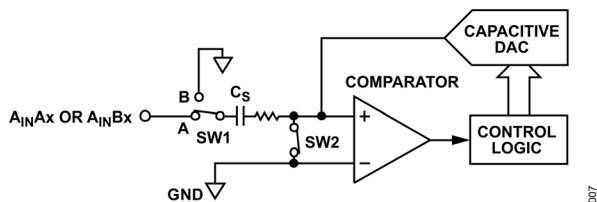


図 29. ADC アクイジション・フェーズ

ADC が変換を開始すると ([図 30](#) 参照)、SW2 が開いて、SW1 が位置 B に切り替わり、コンパレータが不均衡状態になります。コントロール・ロジックと電荷再配分式 DAC を使って、容量性 DAC に対して一定量の電荷を加減して、コンパレータを均衡状態に戻すようにします。コンパレータが均衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。

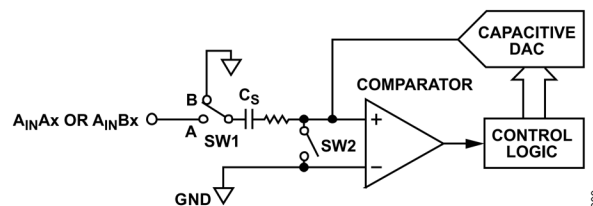


図 30. ADC 変換フェーズ

アナログ入力構造

[図 31](#) に、AD4684/AD4685 のアナログ入力構造の等価回路を示します。2 個のダイオードにより、アナログ入力の ESD 保護が行われます。アナログ入力信号が電源レールを 300mV 以上上回ることのないよう、注意する必要があります。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

[図 31](#) に示すコンデンサ C_1 は通常 3pF で、主にピン容量によって決まります。抵抗 R_1 は、スイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗の値は通常約 200Ω です。コンデンサ C_2 は、ADC のサンプリング・コンデンサで、容量は通常 15pF です。

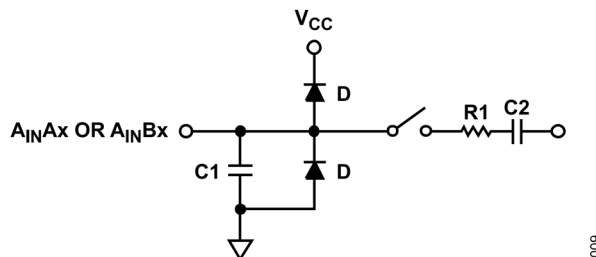


図 31. 等価アナログ入力回路、変換フェーズ = スイッチ開、トラック・フェーズ = スイッチ閉

ADC の伝達関数

AD4684/AD4685 では、2.5V~3.3V のリファレンスを使用します。AD4684/AD4685 は、アナログ入力 ($A_{IN}A0$ と $A_{IN}A1$ 、 $A_{IN}B0$ と $A_{IN}B1$) の電圧をデジタル出力に変換します。

変換結果は MSB ファーストで、ストレート・バイナリです。LSB の大きさは $(V_{REF})/2^N$ (N は ADC の分解能) です。ADC の分解能は、選択したデバイスの分解能と分解能増強モードが有効かどうかによって決まります。[表 7](#) に、異なる分解能と異なるリファレンス電圧に対する LSB の大きさを、マイクロボルト単位で示します。

AD4684/AD4685 の理想的な伝達特性を[図 32](#)に示します。

表 7. LSB の大きさ

Resolution	2.5 V Reference (μ V)	3.3 V Reference (μ V)
16 Bits	38.1	50.4
18 Bits	9.55	12.6

動作原理

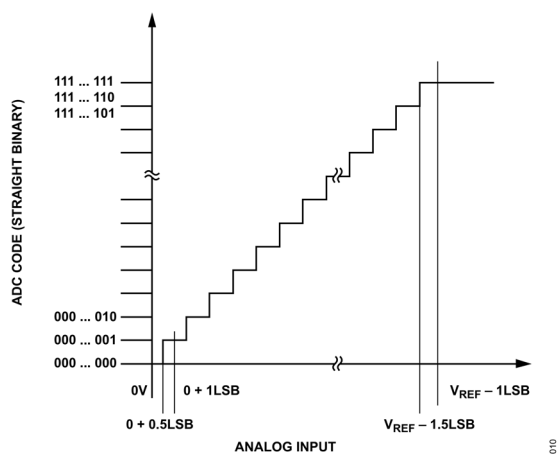


図 32. ADC の理想的な伝達関数

アプリケーション情報

図 33 に、AD4684/AD4685 のフル機能シグナル・チェーン接続の一例を示します。図 33 に示すように、V_{CC} ピン、V_{LOGIC} ピン、REGCAP ピン、REFIO ピンは適切なデカップリング・コンデンサを用いて、デカップリングされています。

露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、ボードのグラウンドに接続する必要があります。

差動 RC フィルタをアナログ入力に配置して、性能を確保する必要があります。一般的なアプリケーションでは、R = 33Ω、C = 330pF とすることを推奨します。

AD4684/AD4685 の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ω の抵抗を SDOA ピンと SDOB/ALERT ピンの近くに直列に配置して、AD4684/AD4685 にカップリングするデジタル・インターフェースからのノイズを抑制します。

AD4684/AD4685 の各シングルエンド・アナログ入力は、0V ~ V_{REF} の電圧を受け入れることが可能で、アンプで容易に駆動できるため、最適な性能が発揮できます。表 8 に、AD4684/AD4685 のアプリケーションに最適な、フル機能シグナル・チェーン・ソリューション向けの推奨部品を示します。

AD4684/AD4685 は、REFIO ピンからアクセスできるバッファ付き 2.5V 内部リファレンスを備えています。このバッファ付き 2.5V 内部リファレンスを外部回路に接続する場合は、ADA4807 などの外部バッファを使用する必要があります。どちらのデバイスも、ADR4525 や ADR4533 などの、2.5V ~ 3.3V の超低ノイズ高精度電圧リファレンスを外部リファレンス電圧源として使用することもできます。

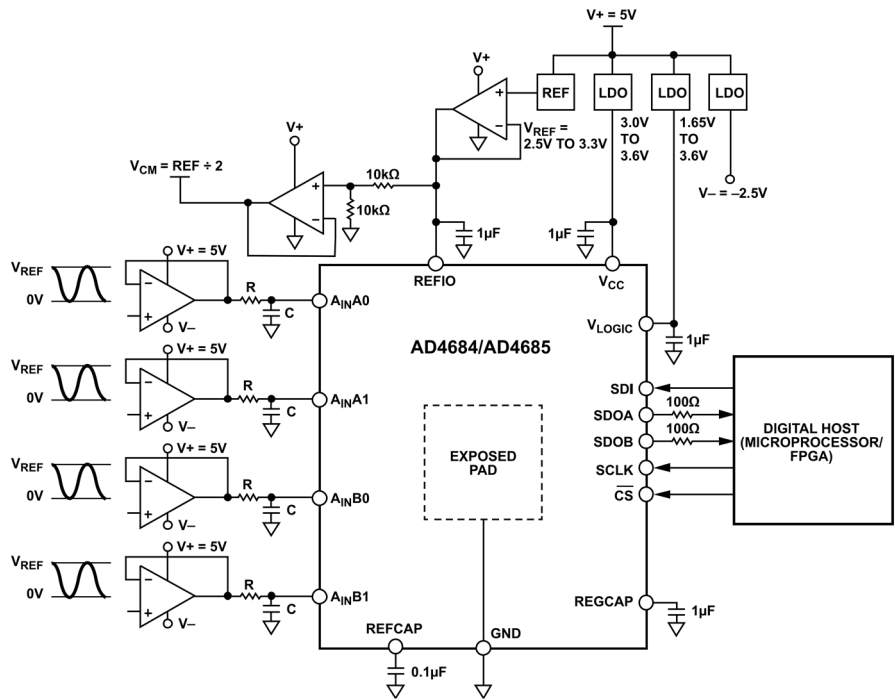


図 33. 代表的なアプリケーション回路 (V_{CM} は共通モード電圧。V+ および V- の詳細については電源のセクションを参照。)

表 8. シグナル・チェーンの部品

併用デバイス	デバイス名	説明	代表的なアプリケーション
ADC Driver	ADA4896-2	1nV/√Hz のレール to レール出力アンプ	高精度、低ノイズ、高周波数
	ADA4807-2	1mA のレール to レール出力アンプ	高精度、低消費電力、高周波数
	ADA4940-2	超低消費電力、完全差動、低歪み	高精度、低密度、低消費電力
	LTC6227	低歪み、レール to レール出力オペアンプ	高精度、低ノイズ、高周波数
External Reference	ADR4525	超低ノイズ、高精度、2.5V 電圧リファレンス	2.5V のリファレンス電圧
	ADR4533	超低ノイズ、高精度、3.3V 電圧リファレンス	3.3V のリファレンス電圧
LDO	ADP166	低静止電流、150mA、LDO レギュレータ	V _{CC} および V _{LOGIC} 用 3.0V ~ 3.6V 電源
	ADP7104	低ノイズ、CMOS LDO レギュレータ	ドライバ・アンプ用 5V 電源
	ADP7182	低ノイズ・ライン・レギュレータ	ドライバ・アンプ用 -2.5V 電源

アプリケーション情報

電源

図 33 に示す代表的なアプリケーション回路の電力は、単一の 5V (V+) 電源からシグナル・チェーン全体に供給されています。この 5V 電源には、低ノイズの CMOS 低ドロップアウト (LDO) レギュレータ (例えば、ADP7105) を使用できます。ドライバ・アンプの電源は、+5V (V+) と、インバータ (例えば、ADM660) から供給される -2.5V (V-) によって供給されます。インバータは +5V を -5V に変換し、この電圧を ADP7182 低ノイズ電圧レギュレータに供給して -2.5V を出力します。

AD4684/AD4685 の 2 個の独立電源 V_{CC} と V_{LOGIC} は、それぞれアナログ回路とデジタル・インターフェースに電力を供給するもので、これらは ADP166 などの静止電流が小さい LDO レギュレータで供給できます。ADP166 は、代表的な V_{CC} および V_{LOGIC} レベルである 1.2V~3.3V の範囲の固定電圧を出力する最適な電源です。 V_{CC} 電源と V_{LOGIC} 電源はどちらも、1 μ F のコンデンサを使用して個別にデカップリングします。このコンデンサは、AD4684/AD4685 の近くに配置し、短く広いパターンで接続して低インピーダンス経路を形成し、電源ラインでのグリッチを減らします。更に、AD4684/AD4685 に電力供給する内部 LDO レギュレータもあります。この内部レギュレータは、デバイスの内部使用専用に 1.9V を供給します。REGCAP ピンは、短く広いパターンを用いて 1 μ F のコンデンサで GND からデカップリングします。このコンデンサは AD4684/AD4685 の REGCAP ピンおよび GND ピンの近くに配置します。

パワーアップ

AD4684/AD4685 は、電源シーケンシングにおいて容易に損傷することはありません。 V_{CC} および V_{LOGIC} には、どのシーケンスでも印加できます。外部リファレンスは、 V_{CC} および V_{LOGIC} 供給後に印加する必要があります。アナログ信号とデジタル信号は、外部リファレンス供給後に印加する必要があります。

AD4684/AD4685 では、 V_{CC} および V_{LOGIC} に印加してから ADC の変換結果が安定するまでに、 $t_{POWERUP}$ の時間が必要です。図 4 に推奨するパワーアップ・タイミングと $\overline{CS}$ をハイに保つ状態を示します。パワーアップ後にソフトウェア・リセットを行うことが推奨される良好な方法です。詳細についてはソフトウェア・リセットのセクションを参照してください。

動作モード

AD4684/AD4685 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

チャンネル選択

ADC の変換用チャンネル・ペア ($A_{IN}A0$ と $A_{IN}B0$ 、 $A_{IN}A1$ と $A_{IN}B1$) は、CONFIGURATION1 レジスタの CH ビットを設定することで選択できます。CH ビットが 0 に設定されている場合、 $A_{IN}A0$ チャンネルと $A_{IN}B0$ チャンネルが同時に変換されます。一方、CH ビットが 1 に設定されている場合、 $A_{IN}A1$ チャンネルと $A_{IN}B1$ チャンネルが同時に変換されます。

変換するチャンネルを変更する場合、ADC には追加のセトリング時間が必要です。 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルを切り替える場合の最大スループット・レートは、AD4684 の場合 500kSPS、AD4685 の場合 250kSPS です。

シーケンサ

AD4684/AD4685 では、内蔵シーケンサを使用して、 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルを自動で切り替えるよう設定できます。

このシーケンサは、CONFIGURATION1 レジスタの SEQ ビットで制御できます。SEQ ビットが 0 にセットされた場合、シーケンサはディスエーブルになります。SEQ を 1 に設定すると、シーケンサはイネーブルになります。CH ビットは、シーケンサ・モードではクエリされません。シーケンサは、常に $A_{IN}X0$ チャンネルで始まり、次に $A_{IN}X1$ チャンネルに移動します。 $A_{IN}X1$ チャンネルの変換後、シーケンサは $A_{IN}X0$ チャンネルにループバックし、シーケンスを再開します。

変換するチャンネルを変更する場合、ADC には追加のセトリング時間が必要です。 $A_{IN}X0$ チャンネルと $A_{IN}X1$ チャンネルを切り替える場合の最大スループット・レートは、AD4684 の場合 500kSPS、AD4685 の場合 250kSPS です。

図 34 に手動チャンネル選択のセットアップ、図 35 にチャンネル・シーケンサのセットアップを示します。

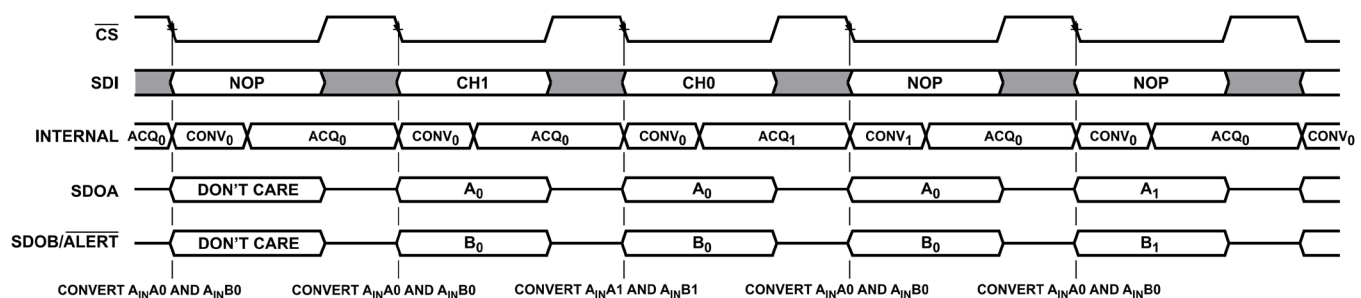


図 34. 手動チャンネル選択のセットアップ

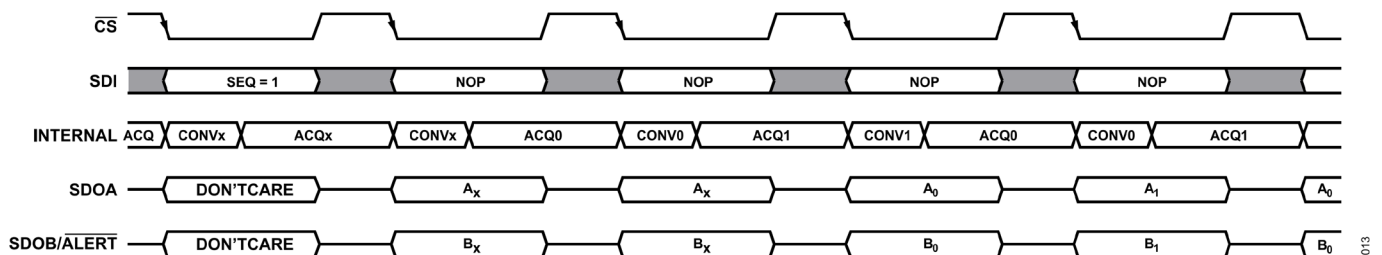


図 35. チャンネル・シーケンサのセットアップ

動作モード

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADC の結果の精度を向上することができます。アナログ入力サンプルを複数取得して平均化することで、ADC の量子化ノイズや熱ノイズ (kTC) に由来するノイズ成分を除去します。AD4684/AD4685 はオンチップで移動平均オーバーサンプリング機能を実行できます。

移動平均オーバーサンプリング機能は、CONFIGURATION1 レジスタの OS_MODE ビットに 1 を、OSR のビット [2:0] にゼロ以外の有効な値を書き込むことで有効化できます。また、CONFIGURATION1 レジスタの OS_MODE ビットに 0 を、OSR のビット [2:0] にゼロ値を書き込むことで無効化できます。

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションと、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングには、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスが含まれます。このプロセスの結果がデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し (FIFO) バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じ状態に維持できます。移動平均オーバーサンプリング・モードは、OS_MODE ビットをロジック 1 にし、OSR ビットを有効な非ゼロ値とすることで設

定されます。デジタル・フィルタのオーバーサンプリング比は、OSR ビットを用いて制御できます。各種オーバーサンプリング・レートを選択するためのオーバーサンプリング・ビットのデコードを表 9 に示します。出力結果は、AD4684/AD4685 用に 16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの RES ビットを設定することで実現できます。詳細については分解能増強のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換はCS の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さは、オーバーサンプリング比の設定によらず 8 です。FIFO は、パワーオン・リセット (POR) 後の最初の変換、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換、または、REFSEL ビットがトグルされた後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。このシフトによって、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移が可能となり、また、FIFO が満たされるのを待たずに様々な移動平均オーバーサンプリング比が可能となります。

OSR ビットで定義された n 個のサンプルが FIFO から取得、加算されて、n で除算されます。CS の立下がりエッジ間の時間は、目的のデータ出力レートに応じてユーザが制御できるサイクル時間です。

図 36 に移動平均オーバーサンプリング・モードの設定を示します。

表 9. AD4684 の移動平均オーバーサンプリングの概要

Oversampling Ratio	Throughput Rate (kSPS)	SNR (dB Typical)			
		V _{REF} = 2.5 V		V _{REF} = 3.3 V	
		RES = 0	RES = 1	RES = 0	RES = 1
Disabled	1000	86.1	86.1	88.1	88.2
2	1000	87.9	88.3	89.4	89.9
4	1000	90.5	91.3	91.8	92.8
8	1000	92.8	94.2	93.7	95.6

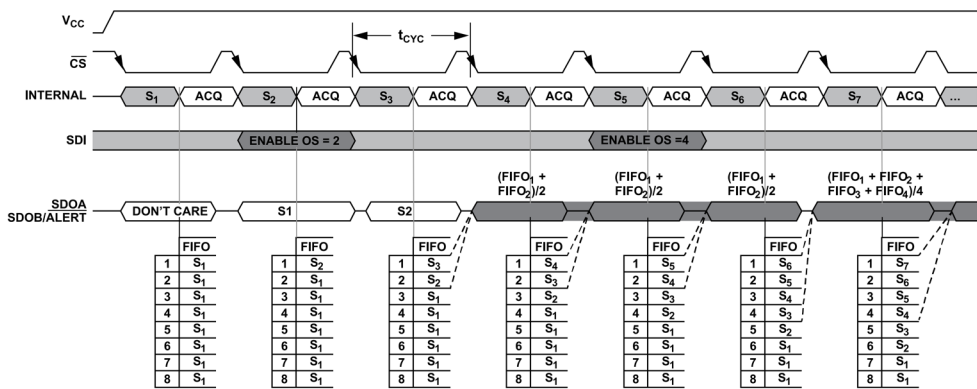


図 36. 移動平均オーバーサンプリング・モードの設定

動作モード

シーケンサ・モードでのオーバーサンプリング

シーケンサ・モードにある場合、AD4684/AD4685 では A_{INX0} チャンネルおよび A_{INX1} チャンネルでのオーバーサンプリングを実行できます。2 サイクル分の遅延の後に、オーバーサンプリング・モードでレジスタの更新と変換の開始が行われ、AD4684/AD4685 は自動的に A_{INX0} と A_{INX1} の切替えを繰り返します。図 37 にシーケンサ・モードでの移動平均オーバーサンプリングのタイミング図を示します。

シーケンサ・モードでオーバーサンプリングを実行するには、CONFIGURATION1 レジスタの OSR ビットにゼロ以外の値を書込み、平均化を行うサンプル数を選択します。更に、OS_MODE ビットを 1 に設定すると同時に、CONFIGURATION1 レジスタの SEQ ビットを 1 に設定します。

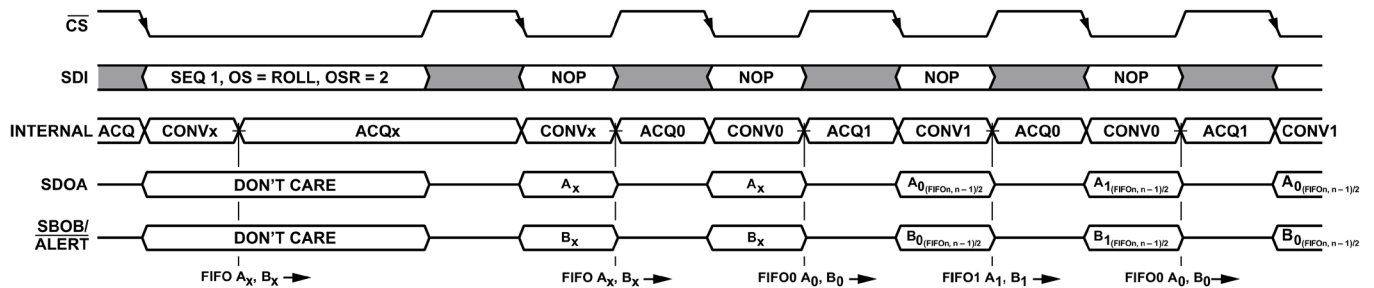


図 37. 移動平均オーバーサンプリングのシーケンサ・モード

動作モード

分解能増強

AD4684/AD4685 の変換結果出力データのデフォルト・サイズは 16 ビットです。内蔵のオーバーサンプリング機能を有効化すると、ADC の性能は 16 ビット・レベルを上回ることができます。この性能の増強をするために、2 ビットの分解能を追加できます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD4684/AD4685 を有効なオーバーサンプリング・モードに設定すると、AD4684/AD4685 の変換結果のサイズは 18 ビットになります。このモードでは、AD4684/AD4685 のデータを伝搬するために 18SCLK サイクルが必要です。図 38 にこの分解能増強を図示します。

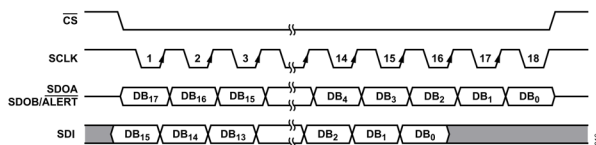


図 38. 分解能増強

アラート

アラート機能は範囲外インジケータで、変換結果が範囲を外れたことを示す初期インジケータとして使用できます。変換結果値レジスタが ALERT_HIGH_THRESHOLD レジスタのアラート上限値を超えた場合、または ALERT_LOW_THRESHOLD レジスタのアラート下限値を下回った場合にアラート・イベントがトリガされます。ALERT_HIGH_THRESHOLD レジスタと

ALERT_LOW_THRESHOLD レジスタは、すべての ADC に共通です。詳細なアラート情報については、[ALERT レジスタ](#)のセクションを参照してください。このレジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDOBI/ALERT ピンの $\overline{\text{ALERT}}$ 機能に出力されるよう設定できます。SDOBI/ALERT ピンは、CONFIGURATION1 レジスタおよび CONFIGURATION2 レジスタの次のビットを設定することで、 $\overline{\text{ALERT}}$ に設定できます。

- ▶ SDO ビットを 1 に設定します。
- ▶ ALERT_EN ビットを 1 に設定します。

更に、ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタに有効な値を設定します。

アラート指示機能は、オーバーサンプリング・モードと非オーバーサンプリング・モードの両方で使用できます。

SDOBI/ALERT ピンの $\overline{\text{ALERT}}$ 機能は、変換の終了時に更新されます。アラート・レジスタのアラート指示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。SDOBI/ALERT ピンの $\overline{\text{ALERT}}$ 機能は、 $\overline{\text{CS}}$ の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、アラート・レジスタのアラート・ステータスをクリアできます。

図 39 にアラートの動作を示します。

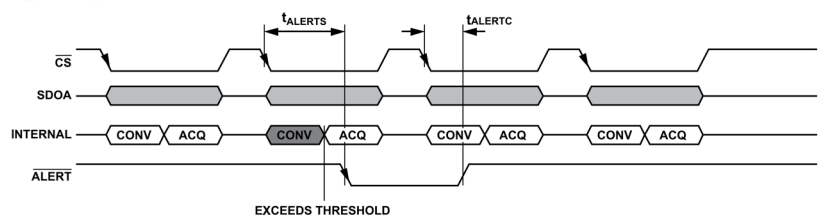


図 39. アラートの動作

動作モード

電力モード

AD4684/AD4685 には、通常動作モードとパワーダウン・モードの 2 つの電力モードがあります。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートとの比を最適化できます。

CONFIGURATION1 レジスタの PMODE ビットをプログラムすることで AD4684/AD4685 の電力モードを設定します。PMODE をロジック 0 に設定すると通常動作モード、ロジック 1 に設定するとパワーダウン・モードになります。

通常動作モード

スループット・レートを最大にするには、AD4684/AD4685 をノーマル・モードに維持します。AD4684/AD4685 内の全ブロックが常にフルパワーとなり、必要に応じて ADC 変換を $\overline{\text{CS}}$ の立下がりエッジで開始できます。AD4684/AD4685 が変換を行っていないとき、デバイスは静的モードになり、消費電力を自動的に削減します。変換を実行するには、追加電流が必要となります。そのため、AD4684/AD4685 の消費電力はスループットに応じて増加します。

パワーダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、各変換の間に ADC をパワーダウンするか、高スループット・レートで一連の変換を実行した後これらのバースト変換の間にユーザ・アプリケーションに応じて比較的長い時間 ADC をパワーダウンするか、どちらかの方法でシャットダウン・モードを使用します。AD4684/AD4685 がパワーダウン・モードになると、内部リファレンス（有効な場合）を含め、すべてのアナログ回路がパワーダウンされます。AD4684/AD4685 がパワーダウン・モードを終了できるよう、シリアル・インターフェースは、パワーダウン・モードの間もアクティブ状態を維持します。

パワーダウン・モードに移行するには、CONFIGURATION1 レジスタの電力モード設定ビット PMODE に、ロジック 1 を書き込みます。AD4684/AD4685 はシャットダウンされ、消費電流が削減されます。

パワーダウン・モードを終了し通常動作モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、パワーダウン・モードを開始しても終了しても変わりません。パワーダウン・モードの終了後、変換を開始するまでに、回路がオンになるための十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスを安定させる必要があります。

パワーダウン・モード動作を図 40 に示します。

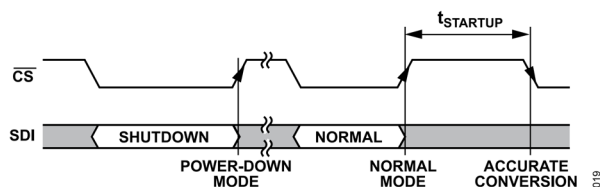


図 40. パワーダウン・モードの動作

内部リファレンスおよび外部リファレンス

AD4684/AD4685 には、主にデバイス動作のリファレンス電圧として使用されるバッファ付き 2.5V 内部リファレンスが備わっています。REFIO ピンを介してこのバッファ付き 2.5V 内部リファレンスを外部で使用する場合は、外部バッファを介して外部回路と接続する必要があります。また、更に正確なリファレンスや更に高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部供給のリファレンスの電圧範囲は 2.5V~3.3V です。推奨する外部電圧リファレンスは、2.5V リファレンスの場合は ADR4525、3.3V リファレンスの場合は ADR4533 です。

内部か外部かのリファレンスの選択は、CONFIGURATION1 レジスタの REFSEL ビットによって設定できます。REFSEL ビットを 0 に設定すると、内部リファレンス・バッファが有効化されます。外部リファレンスを使用する場合は、REFSEL ビットを 1 に設定し、REFIO ピンに外部リファレンスを供給する必要があります。

ソフトウェア・リセット

AD4684/AD4685 には、ソフト・リセットとハード・リセットの 2 つのリセット・モードがあります。リセットは、CONFIGURATION2 レジスタのリセット・ビットに書き込むことで開始できます。図 41 にソフトウェア・リセットの動作を示します。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。アラート・レジスタはクリアされます。リファレンスと LDO レギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。

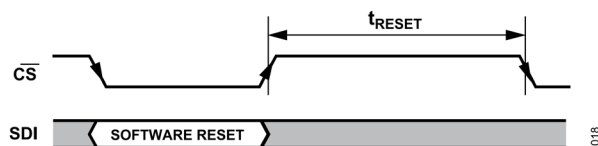


図 41. ソフトウェア・リセット動作

診断セルフ・テスト

AD4684/AD4685 は、POR 後またはソフトウェア・ハード・リセットの後、診断セルフ・テストを実行し、デバイスに正しい設定がロードされるようにします。

セルフ・テストの結果は、アラート・レジスタの SETUP_F ビットに表示されます。SETUP_F ビットがロジック 1 に設定されると、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD4684/AD4685 はデフォルト状態にリセットされます。

インターフェース

AD4684/AD4685 とのインターフェースは SPI を介して行います。インターフェースは、 $\overline{\text{CS}}$ 、SCLK、SDOA、SDOB/ $\overline{\text{ALERT}}$ 、SDI の各ピンで構成されています。

$\overline{\text{CS}}$ 信号は、シリアル・データ転送をフレーミングし、ADC 変換プロセスを開始します。 $\overline{\text{CS}}$ の立下がりエッジは、アナログ入力 がサンプリングされた時点でトラック & ホールドをホールド・モードにし、パスはスリーステートから取られます。

SCLK 信号は、SDOA、SDOB、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最少 16 個の SCLK が必要です。変換の読出しに必要な SCLK パルスの最小数は、デバイスの分解能と構成設定に依存します。

ADC の変換動作は、内部発振器によって駆動され、SCLK 信号には依存しません。

AD4684/AD4685 には、SDOA と SDOB の 2 つのシリアル出力信号があります。最大スループットを実現するには、SDOA と SDOB の両方を 2 線モードで使用し、変換結果を読み出します。スループットを下げる必要がある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットを設定することで、2 線モードとするか 1 線モードとするかを選択できます。

SPI 読出し、SPI 書込み、オーバーサンプリングの各モードに巡回冗長性チェック (CRC) 動作を設定することで、インターフェースの動作が変わります。正しい動作を確保するために、関連する CRC 読出し、CRC 書込み、CRC 多項式の各セクションを参照してください。

変換結果の読出し

$\overline{\text{CS}}$ 信号によって変換プロセスが開始されます。 $\overline{\text{CS}}$ 信号がハイからローに遷移すると、ADC A と ADC B の両方の ADC が同時に変換を開始します。AD4684/AD4685 には 1 サイクルのリードバック遅延があります。そのため、変換結果は次の SPI アクセスで読み出すことができます。その場合、 $\overline{\text{CS}}$ 信号をローで受けると、変換結果が SDOA および SDOB/ $\overline{\text{ALERT}}$ ピンにクロックに応じて出力されます。次の変換もこの時点で開始されます。変換結果は、AD4684/AD4685 の 16 ビット・ワードとしてデバイスからシフト出力されます。変換結果の MSB は、 $\overline{\text{CS}}$ の立下がりエッジでシフト出力されます。その他のデータは、シリアル・クロック (SCLK) 入力の制御の下でデバイスからシフト出力されます。データは SCLK の立上がりエッジでシフト出力され、データ・ビットは立下がりエッジと立上がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 $\overline{\text{CS}}$ をハイで受けると、SDOA ピンと SDOB/ $\overline{\text{ALERT}}$ ピンは高インピーダンス状態に戻ります。

変換結果を SDOA ピンと SDOB/ $\overline{\text{ALERT}}$ ピンに伝搬するのに必要な SCLK サイクル数は、設定されるシリアル動作モード、および分解能増強が有効かどうかによって異なります (詳細は、[図 42](#) および [表 10](#) を参照)。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK パルスが必要です (詳細は [CRC](#) のセクションを参照)。 $\overline{\text{CS}}$ 信号によって変換が開始されるため、データのフレーミングと同様、1 つのフレーム内でアクセスを完了する必要があります。

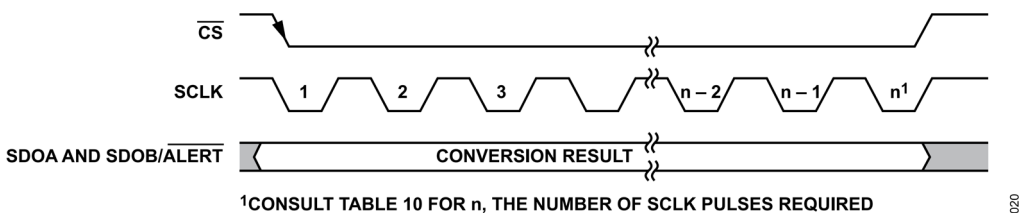


図 42. 変換結果の読出し

表 10. 変換結果の読出しに必要な SCLK 数 n

Interface Configuration	Resolution Boost Mode	CRC Read	Number of SCLK Pulses
2-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
1-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44

インターフェース

シリアル 2 線モード

2 線モードに設定するには、CONFIGURATION2 レジスタの SDO ビットを 0 に設定します。2 線モードでは、ADC A の変換結果が SDOA ピンに出力され、ADC B の変換結果が SDOB/ALERT ピンに出力されます。詳細については図 43 を参照してください。

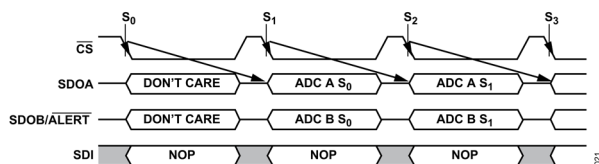


図 43. 2 線モードの変換結果の読出し

シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションでは、1 線モードで動作するようシリアル・インターフェースを設定できます。1 線モードでは、ADC A および ADC B からの変換結果がシリアル出力 SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B の変換結果が出力されます。詳細については図 44 を参照してください。

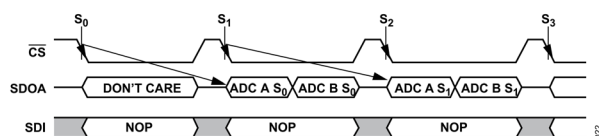


図 44. 1 線モードの変換結果の読出し

分解能増強モード

AD4684/AD4685 におけるデフォルトの分解能と出力データ・サイズは 16 ビットです。内蔵オーバーサンプリング機能を有効化すると、ノイズが抑制されデバイス性能が向上します。この性能の増強を実現するために、変換出力データで 2 ビットの分解能を追加できます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD4684/AD4685 を有効なオーバーサンプリング・モードにした場合、変換結果のサイズは 18 ビットになります。分解能増強モードが有効になっている場合、データを伝搬するためには 18SCLK が必要です。

低遅延リードバック

AD4684/AD4685 のインターフェースには、図 45 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間の終了後、変換を開始した最初の $\overline{\text{CS}}$ パルスの後の 2 番目の $\overline{\text{CS}}$ パルスを使用して、変換結果をリードバックできます。この動作を図 45 に示します。

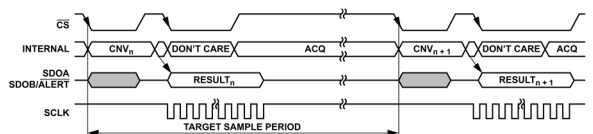


図 45. 低スループットでの低遅延

デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作 (NOP) コマンドのいずれかの追加 SPI コマンドを発行します。読出しコマンドのフォーマットを表 13 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット [D14:D12] には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット [D11:D0]) は無視されます。図 46 に、AD4684/AD4685 レジスタの読出しタイミングの詳細を示します。



図 46. レジスタ読出し

デバイス・レジスタへの書き込み

AD4684/AD4685 のすべての読出しおよび書き込みレジスタは、SPI を介して書き込むことができます。SPI の書き込みアクセスの長さは、CRC の書き込み機能によって決まります。CRC の書き込みが無効な場合は、SPI アクセスは 16 ビット、CRC 書き込みが有効な場合は 24 ビットです。書き込みコマンドのフォーマットを表 13 に示します。書き込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット [D14:D12] には、レジスタのアドレスが格納されます。後続の 12 ビット (ビット [D11:D0]) には、選択したレジスタに書き込むデータが格納されます。図 47 に、AD4684/AD4685 レジスタの書き込みタイミングの詳細を示します。

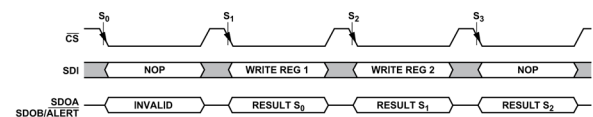


図 47. レジスタ書き込み

CRC

AD4684/AD4685 には CRC チェックサム・モードがあり、これを使用すると、データ伝送中のエラーを検出することでインターフェースの堅牢性を向上させることができます。CRC 機能は、SPI 読出しと SPI 書き込みに対して個別に選択できます。例えば、SPI 書き込みには CRC 機能を有効化してデバイス設定の予期しない変更を防止する一方、SPI 読出しに対しては有効化しないことにより、高いスループットを維持することができます。CRC 機能は、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

有効にすると、CRC が変換結果またはレジスタ読出しに付加され、8 ビット・ワードを形成します。CRC は ADC A と ADC B の

Rev. 0 | 25 of 32

インターフェース

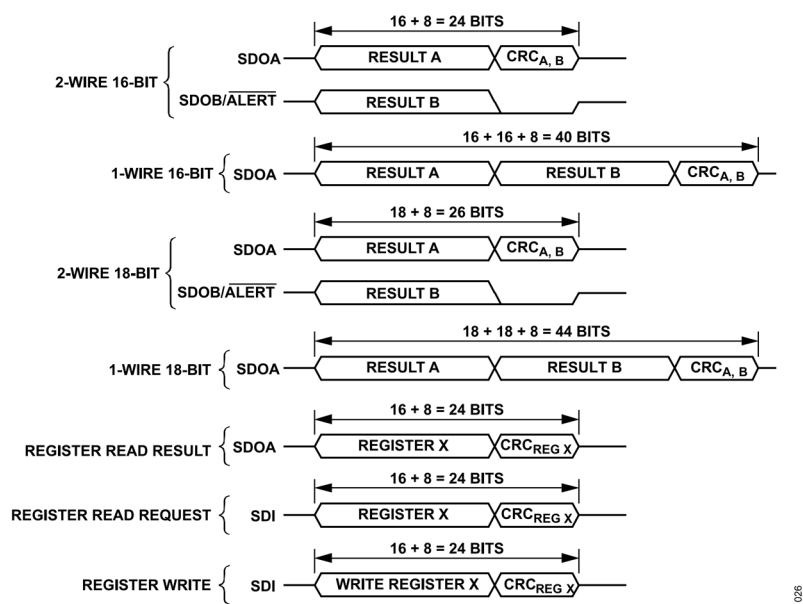


図 48. CRC の動作

520

レジスタ

AD4684/AD4685 にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。表 12 に、AD4684/AD4685 で使用可能な全レジスタの概要を示します。レジスタは、リード/ライト (R/W) または読出し専用 (R) です。書込み専用レジスタへの読出しリクエストは無視されます。読出し専用レジスタへの書込みリクエストは無視されます。

その他のレジスタ・アドレスへの書込みは NOP とみなされ、無視されます。表 12 に示したもの以外のレジスタ・アドレスへの読出しリクエストは NOP とみなされ、次の SPI フレームで送信されるデータは変換結果です。

表 12. レジスタの説明

			Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8			
Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x1	CONFIGURATION1	[15:8]	ADDRESSING				CH		SEQ	OS_MODE	OSR[2]	0x0000	R/W
		[7:0]	OSR[1:0]		CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE			
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED				SDO	0x0000	R/W
		[7:0]	RESET										
0x3	ALERT	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R	
		[7:0]	RESERVED		AL_B_HIGH	AL_B_LOW	RESERVED		AL_A_HIGH	AL_A_LOW			
0x4	ALERT_LOW_THRES HOLD	[15:8]	ADDRESSING				ALERT_LOW[11:8]				0x0000	R/W	
		[7:0]	ALERT_LOW[7:0]										
0x5	ALERT_HIGH_THRES HOLD	[15:8]	ADDRESSING				ALERT_HIGH[11:8]				0x0FFF	R/W	

レジスタ

レジスタのアドレス指定

AD4684/AD4685 でのシリアル・レジスタ転送は、16 の SCLK サイクルで構成されます。デバイスに書き込まれた 4 つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この 4 つの MSB は、レジスタ・アドレス (REGADDR)、ビット [2:0]、およびリード/ライト・ビット (WR) で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・

レジスタが選択されるかを指定します。リード/ライト・ビットは、アドレス指定されたレジスタが有効な書き込みレジスタの場合、指定されたレジスタに SDI 入力の残りの 12 ビットのデータをロードするかどうかを決めます。WR ビットが 1 の場合、レジスタ選択ビットによって指定されたレジスタにビットがロードされます。WR ビットが 0 の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 13. アドレス指定レジスタのフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR			[D11:D0]											

表 14. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	このビットに 1 が書き込まれていると、このレジスタのビット [D11:D0] を REGADDR で指定されるレジスタに書き込みます (ただしそのレジスタのアドレスが有効な場合)。または、0 が書き込まれていると、SDOA ピンに送信される次のデータが指定されたレジスタから読み出されます (ただし、そのレジスタのアドレスが有効な場合)。
D14 to D12	REGADDR	WR = 1 の場合、REGADDR ビットの内容によって、表 12 に示したもののの中からレジスタが選択されます。WR = 0 で REGADDR ビットに有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時に SDOA ピンに出力されます。WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが格納されている場合、SDI ラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリードバックされます。
D11 to D0	[D11:D0]	WR ビットが 1 で REGADDR ビットに有効なアドレスが格納されている場合、これらのビットは、REGADDR ビットによって指定されたレジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス : 0x1、リセット : 0x0000、レジスタ名 : CONFIGURATION1

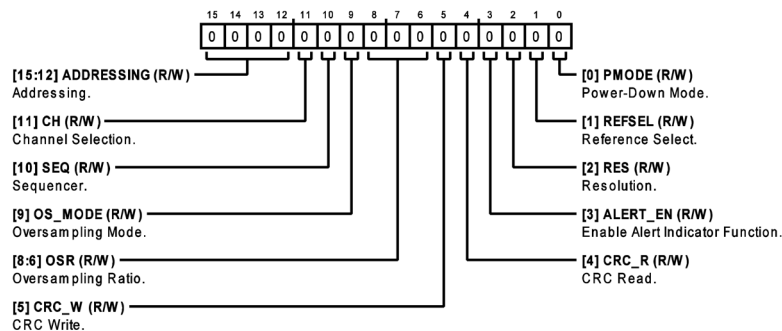


表 15. CONFIGURATION1 のビットの説明

ビット	記号	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
11	CH	チャンネル選択。変換対象のチャンネルを選択します。 0 : チャンネル 0。ADC のチャンネル 0 (A _{IN} A0 および A _{IN} B0) を選択します。 1 : チャンネル 1。ADC のチャンネル 1 (A _{IN} A1 および A _{IN} B1) を選択します。	0x0	R/W
10	SEQ	シーケンサ。ADC の A _{IN} X0 チャンネルと A _{IN} X1 チャンネルの間を循環して変換を行います。 0 : シーケンサをディスエーブル。 1 : シーケンサをイネーブル。	0x0	R/W
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを有効化します。 0 : ディスエーブル。 1 : イネーブル。	0x0	R/W

レジスタ

表 15. CONFIGURATION1 のビットの説明

ビット	記号	説明	リセット	アクセス
[8:6]	OSR	オーバーサンプリング比。すべての ADC に対して移動平均モードのオーバーサンプリング比を設定します。移動平均モードでは、×2、×4、×8 のオーバーサンプリング比に対応します。 000 : ディスエーブル。 001 : ×2。 010 : ×4。 011 : ×8。 100 : ディスエーブル。 101 : ディスエーブル。 110 : ディスエーブル。 111 : ディスエーブル。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を追加してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOA および SDOB/ALERT インターフェースの CRC 機能を制御します。 0 : CRC 機能なし。 1 : CRC 機能。	0x0	R/W
3	ALERT_EN	アラート指示機能を有効化。SDO ビットが 1 の場合に、このレジスタは機能します。それ以外の場合、ALERT_EN ビットは無視されます。 0 : SDOB。 1 : ALERT。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルトの分解能に設定されます。 0 : 通常分解能。 1 : 2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0 : 内部リファレンスを選択。 1 : 外部リファレンスを選択。	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定します。 0 : ノーマル・モード。 1 : パワーダウン・モード。	0x0	R/W

CONFIGURATION2 レジスタ

アドレス : 0x2、リセット : 0x0000、レジスタ名 : CONFIGURATION2

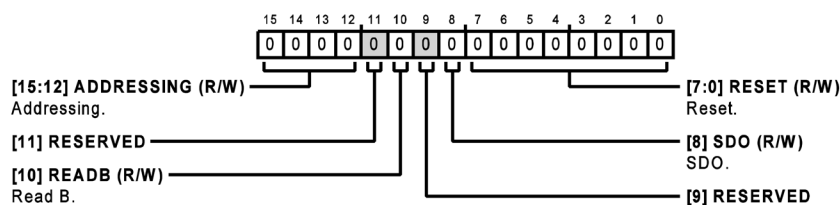


表 16. CONFIGURATION2 のビットの説明

ビット	記号	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備。	0x0	R

レジスタ

表 16. CONFIGURATION2 のビットの説明

ビット	記号	説明	リセット	アクセス
8	SDO	SDO。変換結果のシリアル・データ出力。 0 : 2 線-変換データは SDOA ピンおよび SDOB/ALERT ピンの両方に出力されます。 1 : 1 線-変換データは SDOA ピンのみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。0x3C-ソフト・リセットを実行します。一部のブロックが更新されます。レジスタの内容は変わりません。ALERT レジスタがクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。0xFF-ハード・リセットを実行します。デバイス内の可能なブロックはすべてリセットされます。レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

ALERT レジスタ

アドレス : 0x3、リセット : 0x0000、レジスタ名 : ALERT

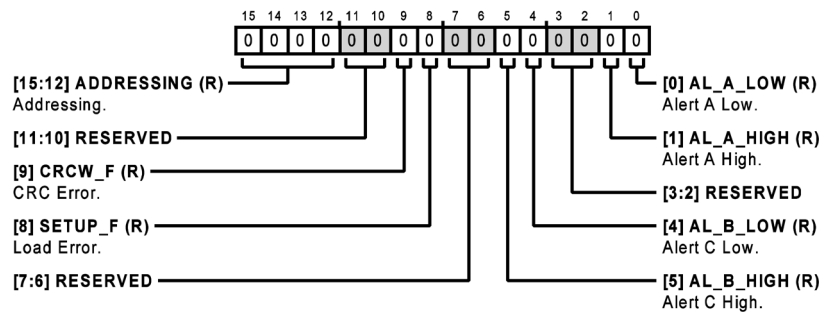


表 17. ALERT のビットの説明

ビット	記号	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書き込みコマンドが CRC エラーのために失敗したことを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0 : CRC エラーなし。 1 : CRC エラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_F ビットは、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、ALERT レジスタの読出し時にはクリアされません。このビットをクリアし、デバイスを再起動するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0 : セットアップ・エラーなし。 1 : セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備。	0x0	R
5	AL_B_HIGH	アラート B ハイ。このアラート指示ハイ・ビットは、ADC B の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート指示。 0 : アラート指示なし。	0x0	R
4	AL_B_LOW	アラート B ロー。このアラート指示ロー・ビットは、ADC B の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1 : アラート指示。 0 : アラート指示なし。	0x0	R
[3:2]	RESERVED	予備。	0x0	R

レジスタ

表 17. ALERT のビットの説明

ビット	記号	説明	リセット	アクセス
1	AL_A_HIGH	アラート A ハイ。このアラート指示ハイ・ビットは、ADC A の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：アラート指示なし。 1：アラート指示。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート指示ロー・ビットは、ADC A の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォルト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1：アラート指示。 0：アラート指示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス：0x4、リセット：0x0000、レジスタ名：ALERT_LOW_THRESHOLD

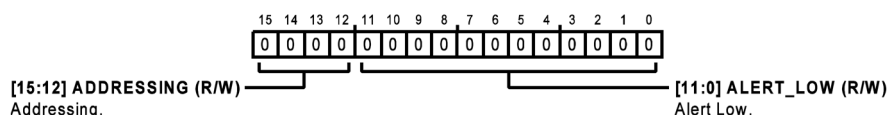


表 18. ALERT_LOW_THRESHOLD のビットの説明

ビット	記号	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。データ・ビット [D11:D0] は、16 ビットの内部アラート・ロー・レジスタの MSB です。残りの 4 ビットは 0x0 に固定され、変換結果が ALERT_LOW_THRESHOLD を下回った場合にアラートをセットし、変換結果が ALERT_LOW_THRESHOLD を上回るとアラートを解除します。	0x0	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス：0x5、リセット：0x0FFF、レジスタ名：ALERT_HIGH_THRESHOLD

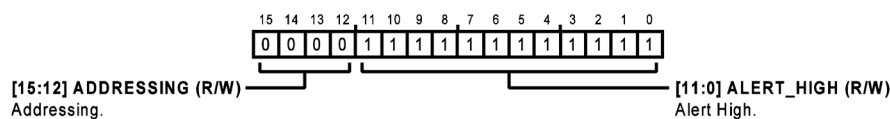


表 19. ALERT_HIGH_THRESHOLD のビットの説明

ビット	記号	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。データ・ビット [D11:D0] は、16 ビットの内部アラート・ハイ・レジスタの MSB です。残りの 4 ビットは 0xF に固定され、変換結果が ALERT_HIGH_THRESHOLD を上回った場合にアラートをセットし、変換結果が ALERT_HIGH_THRESHOLD を下回るとアラートを解除します。	0xFFF	R/W

外形寸法

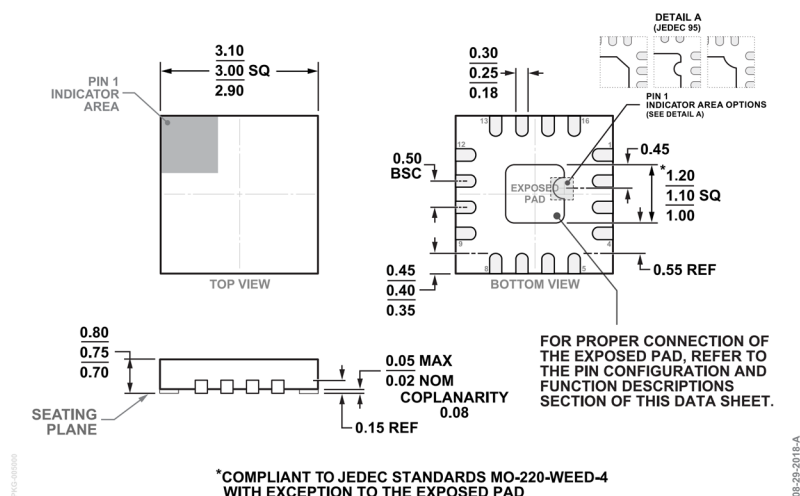


図 49.16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 3mm × 3mm ボディ、0.75mm パッケージ高
 (CP-16-45)
 単位: mm

更新: 2022 年 5 月 23 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option	Marking Code
AD4684BCPZ-RL	-40°C to +125°C	16-Lead LFCSP (3 mm × 3 mm × 0.75 mm w/ EP)	Reel, 5000	CP-16-45	CAQ
AD4684BCPZ-RL7	-40°C to +125°C	16-Lead LFCSP (3 mm × 3 mm × 0.75 mm w/ EP)	Reel, 1500	CP-16-45	CAQ
AD4685BCPZ-RL	-40°C to +125°C	16-Lead LFCSP (3 mm × 3 mm × 0.75 mm w/ EP)	Reel, 5000	CP-16-45	CAR
AD4685BCPZ-RL7	-40°C to +125°C	16-Lead LFCSP (3 mm × 3 mm × 0.75 mm w/ EP)	Reel, 1500	CP-16-45	CAR

¹ Z = RoHS 準拠製品。

評価用ボード

Model ^{1,2}	Description
EVAL-AD7386FMCZ	AD7386 Evaluation Board

¹ Z = RoHS 準拠製品。

² AD4684 と AD4683 の評価には、EVAL-AD7386FMCZ を使用してください。