



差動入力、1MSPS/500kSPS デュアル同時サンプリング SAR ADC

データシート

AD4680/AD4681

特長

16 ビット ADC ファミリー
デュアル同時サンプリング
完全差動アナログ入力
スループットの変換レート
AD4680 : 1MSPS
AD4681 : 500kSPS
S/N 比 (代表値)
 $V_{REF} = 3.3V$ (外部リファレンス) で 92.5dB
OSR = 8×、RES = 1 で 100dB
オーバーサンプリング機能内蔵
分解能増強機能
INL (最大値) : 1.5LSB
2.5V の内部リファレンス (10ppm/°C)
高速シリアル・インターフェース
動作温度: -40°C~+125°C
3mm × 3mm、16 ピン LFCSP パッケージ
幅広いコモンモード電圧範囲
アラート機能

アプリケーション

モータ・コントロールのポジション・フィードバック
モータ・コントロールの電流検出
ソナー
電力品質
データ・アキュイジション・システム
エルビウム添加光増幅器 (EDFA) アプリケーション
同相 (I) および直交位相 (Q) の復調

概要

AD4680/AD4681 は、ピン互換の 16 ビット・デュアル同時サンプリング、高速、低消費電力、逐次比較レジスタ (SAR) A/D コンバータ (ADC) で、3.0V~3.6V の電源で動作し、AD4680 が 1MSPS、AD4681 が 500kSPS のスループット・レートを備えています。アナログ入力のタイプは差動で、幅広いコモンモード電圧を入力でき、 \overline{CS} の立下がりエッジでサンプリングと変換を実行します。内蔵の集積化オーバーサンプリング・ブロックが低帯域領域でのダイナミック・レンジを向上させ、ノイズを低減します。バッファ付き 2.5V 内部リファレンスを備えていますが、代わりに、最大 3.3V の外部リファレンスを使用することも可能です。変換プロセスとデータ・アキュイジションでは標準的なコントロール入力を使用しているため、マイクロプロセッサやデジタル・シグナル・プロセッサ (DSP) と容易にインターフェース接続できます。また、別個のロジック電源を使用することにより、1.8V、2.5V、3.3V のインターフェースに対応します。AD4680/AD4681 は、16 ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) を採用し、動作温度範囲は-40°C~+125°C で仕様規定されています。

関連製品

ADC 用ドライバ: [ADA4896-2](#)、[ADA4940-2](#)、[ADA4807-2](#)、[LTC6227](#)
電圧リファレンス: [ADR4533](#)、[ADR4525](#)
低ドロップアウト・レギュレータ: [ADP166](#)、[ADP7104](#)、[ADP7182](#)
その他の関連製品は AD4680 および AD4681 製品ページに記載されています。

表 1. 関連製品

Input Type	16-Bit	14-Bit	12-Bit
Differential	AD7380	AD7381	
Pseudo Differential	AD7383	AD7384	
Single-Ended	AD7386	AD7387	AD7388

機能ブロック図

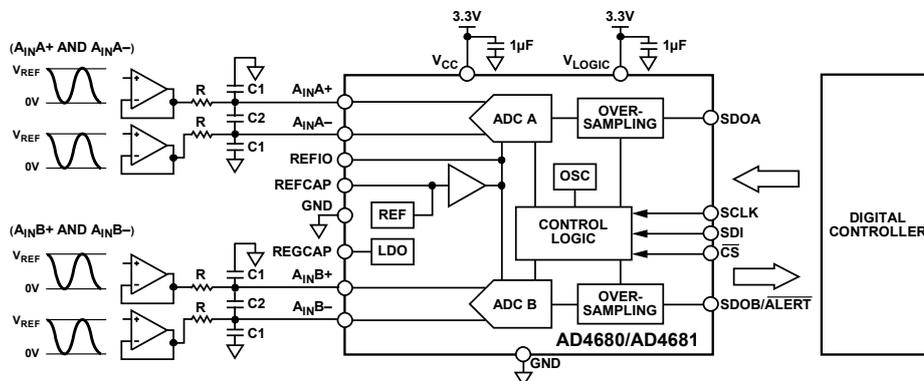


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2020 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	オーバーサンプリング	18
アプリケーション	1	分解能増強	19
概要	1	アラート	19
関連製品	1	電力モード	20
機能ブロック図	1	内部リファレンスおよび外部リファレンス	20
改訂履歴	2	ソフトウェア・リセット	20
仕様	3	診断セルフ・テスト	20
タイミング仕様	5	インターフェース	21
絶対最大定格	7	変換結果の読出し	21
熱抵抗	7	低遅延リードバック	22
静電放電 (ESD) 定格	7	デバイス・レジスタからの読出し	23
ESD に関する注意	7	デバイス・レジスタへの書込み	23
ピン配置およびピン機能の説明	8	CRC	23
代表的な性能特性	9	レジスタ	25
用語の定義	13	レジスタのアドレス指定	25
動作原理	14	CONFIGURATION1 レジスタ	26
回路説明	14	CONFIGURATION2 レジスタ	27
コンバータの動作	14	ALERT レジスタ	27
アナログ入力構造	14	ALERT_LOW_THRESHOLD レジスタ	28
ADC の伝達関数	15	ALERT_HIGH_THRESHOLD レジスタ	28
アプリケーション情報	16	外形寸法	29
電源	16	オーダー・ガイド	29
動作モード	18		

改訂履歴

10/2020—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、リファレンス電圧 (V_{REF}) = 2.5V (内部)、サンプリング周波数 (f_{SAMPLE}) = 1MSPS (AD4680) または 500kSPS (AD4681)、 $T_A = -40^\circ C \sim +125^\circ C$ 、オーバーサンプリング無効。FS はフルスケールを意味します。

表 2.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
RESOLUTION		16			Bits
THROUGHPUT					
AD4680				1	MSPS
AD4681				500	kSPS
DC ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity (DNL) Error		-1.0	± 0.7	+1.0	LSB
Integral Nonlinearity (INL) Error		-1.5	± 0.7	+1.5	LSB
Gain Error		-0.015	± 0.002	+0.015	% FS
Gain Error Temperature Drift		-11	± 1	+11	ppm/ $^\circ C$
Gain Error Match		-0.01	± 0.002	+0.01	% FS
Offset Error	25 $^\circ C$ 、 $V_{CC} = 3.3V$	-0.2	± 0.01	+0.2	mV
		-0.5		+0.5	mV
Zero Error Drift		-2	± 0.5	+2	$\mu V/^\circ C$
Zero Error Matching		-0.5	± 0.1	+0.5	mV
AC ACCURACY					
Dynamic Range	入力周波数 (f_{IN}) = 1kHz $V_{REF} = 3.3V$ (外部リファレンス)		93.3		dB
			91.8		dB
Oversampled Dynamic Range	オーバーサンプリング比 (OSR) = 4 \times		95.2		dB
Signal-to-Noise Ratio (SNR)	$V_{REF} = 3.3V$ (外部リファレンス)	91	92.5		dB
		89.5	91		dB
	OSR = 8 \times 、RES = 1、 $V_{REF} = 3.3V$ (外部リファレンス)		100		dB
	$f_{IN} = 100kHz$		89		dB
Spurious-Free Dynamic Range (SFDR)			112		dB
Total Harmonic Distortion (THD)			-113		dB
	$f_{IN} = 100kHz$		-104		dB
Signal-to-Noise-and-Distortion (SINAD) Ratio	$V_{REF} = 3.3V$ (外部リファレンス)	90	92.5		dB
		89	91		dB
Channel to Channel Isolation			-110		dB
ANALOG INPUT					
Voltage Range	(A_{INX+}) - (A_{INX-})	$-V_{REF}$		$+V_{REF}$	V
Absolute Input Voltage	A_{INX+} 、 A_{INX-}	-0.1		$V_{REF} + 0.1$	V
Common-Mode Input Range	A_{INX+} 、 A_{INX-}		0.2 to $V_{REF} - 0.2$		V
Analog Input Common-Mode Rejection Ratio (CMRR)	$f_{IN} = 500kHz$		-75		dB
DC Leakage Current			0.1	1	μA
Input Capacitance	トラック・モード時		18		pF
	ホールド・モード時		5		pF
SAMPLING DYNAMICS					
Input Bandwidth	-0.1dB		6		MHz
	-3dB		25		MHz
Aperture Delay			2		ns
Aperture Delay Match			26	100	ps
Aperture Jitter			20		ps

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
REFERENCE INPUT AND OUTPUT					
V_{REF} Input Voltage Range	外部リファレンス	2.49		3.4	V
V_{REF} Input Current	外部リファレンス				
AD4680	1MSPS		0.26	0.29	mA
AD4681	500kSPS		0.23	0.26	mA
V_{REF} Output Voltage	25°C	2.498	2.5	2.502	V
	-40°C~+125°C	2.495		2.505	V
V_{REF} Temperature Coefficient			1	10	ppm/°C
V_{REF} Noise			7		μV rms
DIGITAL INPUTS (SCLK, SDI, CS)					
Logic Levels					
Input Voltage					
Low (V_{IL})				$0.2 \times V_{LOGIC}$	V
High (V_{IH})		$0.8 \times V_{LOGIC}$			V
Input Current					
Low (I_{IL})		-1		+1	μA
High (I_{IH})		-1		+1	μA
DIGITAL OUTPUTS (SDOA, SDOB/ALERT)					
Output Coding		Twos complement			Bits
Output Low Voltage (V_{OL})	シンク電流 (I_{SINK}) = 300μA			0.4	V
Output High Voltage (V_{OH})	ソース電流 (I_{SOURCE}) = -300μA	$V_{LOGIC} - 0.3$			V
Floating-State Leakage Current				±1	μA
Floating-State Output Capacitance			10		pF
POWER SUPPLIES					
V_{CC}	外部リファレンス = 3.3V	3.0	3.3	3.6	V
		3.2	3.3	3.6	V
V_{LOGIC}		1.65		3.6	V
V_{CC} Current (I_{VCC})					
Normal Mode (Operational)	AD4680、1MSPS		7.28	8.4	mA
	AD4681、500kSPS		4.76	5.6	mA
Normal Mode (Static)			2.3	2.8	mA
Shutdown Mode			100	200	μA
V_{LOGIC} Current (I_{VLOGIC})	SDOA および SDOB/ALERT、0x1FFF				
Normal Mode (Operational)	AD4680、1MSPS		884	950	μA
	AD4681、500kSPS		438	470	μA
Normal Mode (Static)			10	200	nA
Shutdown Mode			10	200	nA
POWER DISSIPATION					
Total Power (P_{TOTAL})					
	AD4680		29.4	33.7	mW
	AD4681		18.7	21.9	mW
V_{CC} Power (P_{VCC})					
Normal Mode					
Operational	AD4680、1MSPS		26.2	30.3	mW
	AD4681、500kSPS		17.1	20.2	mW
Static			7	10	mW
Shutdown Mode			330	720	μW
V_{LOGIC} Power (P_{VLOGIC})					
Normal Mode					
Operational	AD4680、1MSPS		3.2	3.4	mW
	AD4681、500kSPS		1.6	1.7	mW
Static			33	720	nW
Shutdown Mode			33	720	nW

タイミング仕様

特に指定のない限り、 $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{LOGIC} = 1.65V \sim 3.6V$ 、 $V_{REF} = 2.5V$ （内部）、 $T_A = -40^\circ C \sim +125^\circ C$ 。

表 3.

パラメータ	Min	Typ	Max	単位	説明
t_{CYC}	1			μs	変換と変換の間の時間 AD4680
	2			μs	AD4681
t_{SCLKED}	190			ns	\overline{CS} 立下がりエッジから最初の SCLK 立下がりエッジまでの時間
t_{SCLK}	25			ns	SCLK 周期
t_{SCLKH}	10			ns	SCLK のハイ時間
t_{SCLKL}	10			ns	SCLK のロー時間
t_{CSH}	10			ns	\overline{CS} パルス幅
t_{QUIET}					変換までのインターフェース禁止時間
	500			ns	
t_{SDOEN}	1500			ns	\overline{CS} ローから SDOA と SDOB/ \overline{ALERT} がイネーブルされるまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
t_{SDOH}	2		8	ns	$1.65V \leq V_{LOGIC} < 2.25V$
				ns	SCLK 立上がりエッジから SDOA および SDOB/ \overline{ALERT} ホールドまでの時間
t_{SDOS}					SCLK 立上がりエッジから SDOA および SDOB/ \overline{ALERT} セットアップまでの時間
			6	ns	$V_{LOGIC} \geq 2.25V$
t_{SDOT}			8	ns	$1.65V \leq V_{LOGIC} < 2.25V$
			45	ns	\overline{CS} 立上がりエッジから SDOA および SDOB/ \overline{ALERT} がハイ・インピーダンスになるまでの時間
t_{SDIS}	1			ns	SCLK 立下がりエッジまでの SDI セットアップ時間
t_{SDIH}	1			ns	SCLK 立下がりエッジ後の SDI ホールド時間
t_{SCLKCS}	0			ns	SCLK 立上がりエッジから \overline{CS} 立上がりエッジまでの時間
$t_{CONVERT}$			190	ns	変換時間
$t_{ACQUIRE}$					取得時間
	810			ns	AD4680
t_{RESET}	1800			ns	AD4681
				ns	ソフトウェア・リセット後から変換開始までの有効時間 (図 37 参照)
		250		ns	ソフト・リセット後から変換開始までの有効時間
$t_{POWERUP}$				ns	ハード・リセット後から変換開始までの有効時間
				ms	変換までの電源アクティブ時間
			5	ms	最初の変換が可能
$t_{REGWRITE}$			11	ms	1%以内にセトリングするまでの時間 (内部リファレンス使用時)
			5	ms	1%以内にセトリングするまでの時間 (外部リファレンス使用時)
			5	ms	レジスタへの読書きアクセスが可能になるまでの電源アクティブ時間
$t_{STARTUP}$					シャットダウン・モード終了後から変換までの時間
			11	ms	1%以内にセトリングするまでの時間 (内部リファレンス使用時)
			10	μs	1%以内にセトリングするまでの時間 (外部リファレンス使用時)
t_{ALERTS}			200	ns	\overline{CS} から \overline{ALERT} 指示までの時間 (図 36 参照)
t_{ALERTC}			12	ns	\overline{CS} から \overline{ALERT} クリアまでの時間 (図 36 参照)

タイミング図

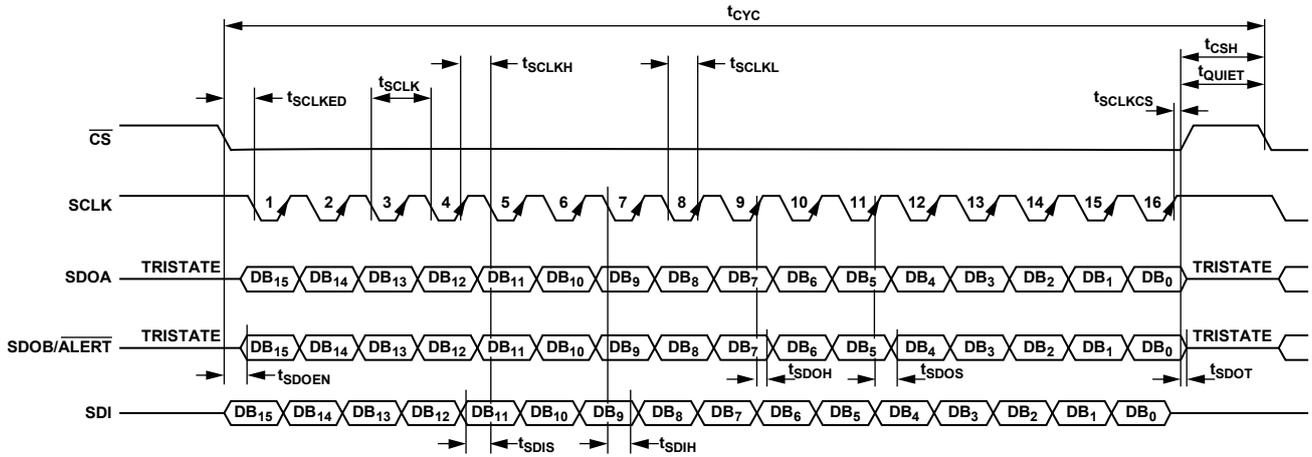


図 2. シリアル・インターフェースのタイミング図

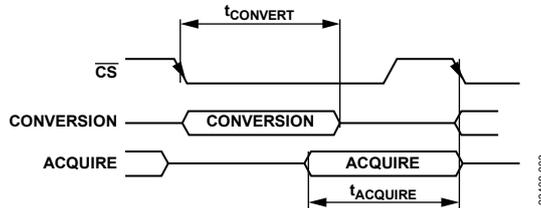


図 3. 内部変換取得時間

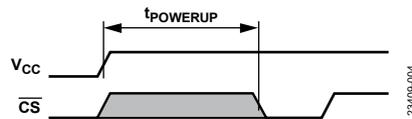


図 4. 変換までのパワーアップ時間

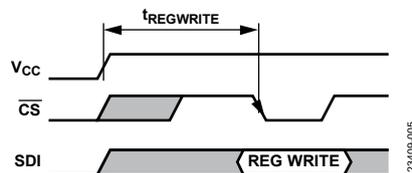


図 5. レジスタの読書きアクセスまでのパワーアップ時間

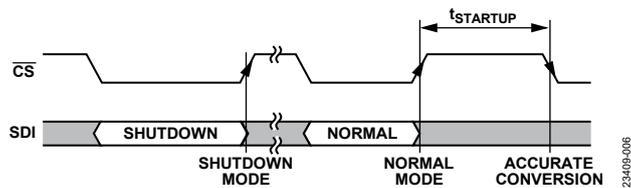


図 6. シャットダウン・モードからノーマル・モードまでの時間

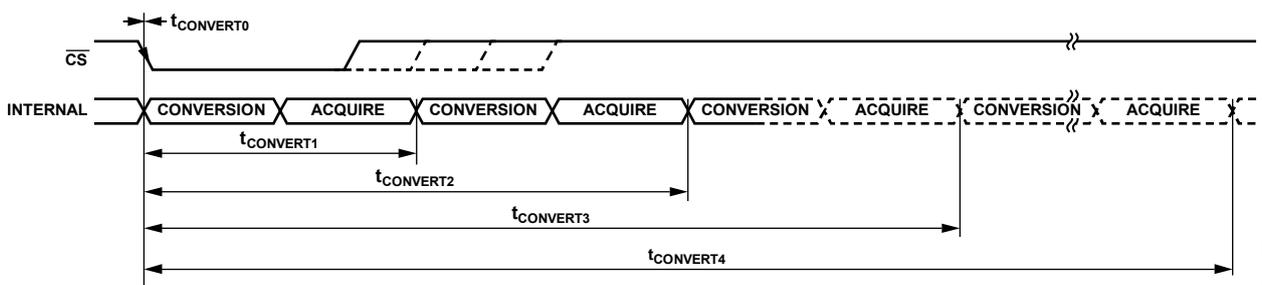


図 7. OS ノーマル・モードでの変換タイミング

絶対最大定格

表 4.

Parameter	Rating
V _{CC} to Ground (GND)	-0.3 V to +4 V
V _{LOGIC} to GND	-0.3 V to +4 V
Analog Input Voltage to GND	-0.3 V to V _{REF} + 0.3 V, V _{CC} + 0.3 V, or 4 V (whichever is smaller)
Digital Input Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V, or 4 V (whichever is smaller)
Digital Output Voltage to GND	-0.3 V to V _{LOGIC} + 0.3 V, or 4 V (whichever is smaller)
Reference Input and Output (REFIO) Input to GND	-0.3 V to V _{CC} + 0.3 V, or 4 V (whichever is smaller)
Input Current to Any Pin Except Supplies	±10 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Pb-Free Soldering Reflow Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然体流での周囲とジャンクションの間の熱抵抗です。θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 5. 熱抵抗

Package Type	θ _{JA}	θ _{JC}	Unit
CP-16-45 ¹	55.4	12.7	°C/W

¹ テスト条件 1: 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESDS1 を参照してください。

静電放電 (ESD) 定格

ESD に関する以下の情報は、ESD に敏感なデバイスを ESD 保護がなされた場所で取り扱う場合にのみ適用できます。

人体モデル (HBM) は、ANSI/ESDA/JEDEC JS-001 規格に基づいています。

電界誘起帯電デバイス・モデル (FICDM) は、ANSI/ESDA/JEDEC JS-002 規格に基づいています。

AD4680/AD4681 の ESD 定格

表 6. AD4680/AD4681、16 ピン LFCSP

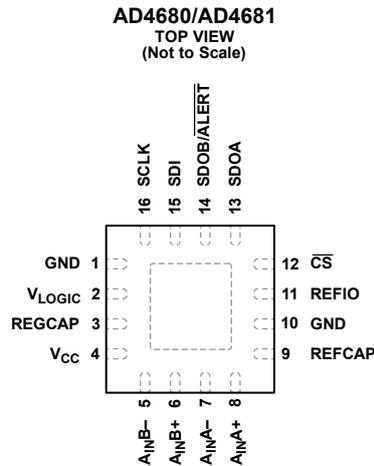
ESD Model	Withstand Threshold (V)	Class
HBM	±4000	3A
FICDM	±1250	C3

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. EXPOSED PAD. FOR CORRECT OPERATION OF THE DEVICE,
THE EXPOSED PAD MUST BE CONNECTED TO GROUND.

234409-008

図 8. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1, 10	GND	グラウンド基準ポイント。このピンは、デバイスの全回路に対するグラウンド基準ポイントです。
2	V _{LOGIC}	ロジック・インターフェースの電源電圧 (1.65V~3.6V)。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
3	REGCAP	内蔵レギュレータの電圧出力に対するデカップリング・コンデンサ・ピン。1μF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 1.9V です。
4	V _{CC}	電源入力電圧 (3.0V~3.6V)。1μF のコンデンサを使用して、このピンを GND からデカップリングします。
5, 6	A _{IN} B ⁻ , A _{IN} B ⁺	ADC B のアナログ入力。この 2 つのアナログ入力は差動ペアを構成します。
7, 8	A _{IN} A ⁻ , A _{IN} A ⁺	ADC A のアナログ入力。この 2 つのアナログ入力は差動ペアを構成します。
9	REFCAP	バンドギャップ・リファレンスのデカップリング・コンデンサ・ピン。0.1μF のコンデンサを使用して、このピンを GND からデカップリングします。このピンの標準電圧は 2.5V です。
11	REFIO	リファレンス入出力。2.5V の内部リファレンスは、外部で使用するようデバイスを設定している場合、このピンを出力として使用できます。また、2.5V~3.3V の外部リファレンスをこのピンに入力することもできます。内部、外部のいずれのリファレンスを選択しても、このピンにはデカップリングが必要です。1μF のコンデンサをこのピンから GND へ接続する必要があります。
12	\overline{CS}	チップ・セレクト入力。アクティブ・ローのロジック入力。この入力は、AD4680/AD4681 の変換開始とシリアル・データ転送のフレーミングの 2 通りの機能を提供します。
13	SDOA	シリアル・データ出力 A。このピンは、ADC A または ADC B の変換結果、もしくはいずれかの内蔵レジスタのデータにアクセスするための、シリアル・データ出力ピンとして機能します。
14	SDOB/ALERT	シリアル・データ出力 B (SDOB)。このピンは、変換結果にアクセスするためのシリアル・データ出力ピンとして機能します。 アラート指示出力 (ALERT)。このピンは、ローになることで変換結果が設定閾値を超えたことを示すアラート・ピンとして機能します。
15	SDI	このピンは、上記のようにシリアル・データ出力ピン、またはアラート指示出力ピンとして機能できます。 シリアル・データ入力。このピンは、内蔵コントロール・レジスタに書き込まれたデータを提供します。
16	SCLK	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。
	EPAD	露出パッド。デバイスを正しく動作させるために、露出パッドをグラウンドに接続する必要があります。

代表的な性能特性

特に指定のない限り、 $V_{REF} = 2.5V$ (内部)、 $V_{CC} = 3.6V$ 、 $V_{LOGIC} = 3.3V$ 、 $f_{IN} = 1kHz$ 、 $T_A = 25^\circ C$ 。

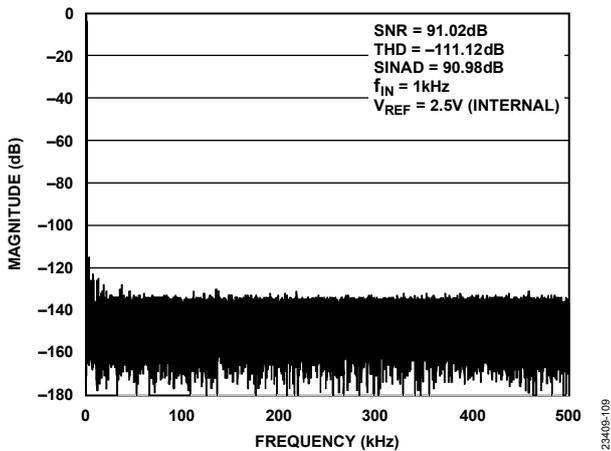


図 9. AD4680 の高速フーリエ変換 (FFT)、 $V_{REF} = 2.5V$ (内部)

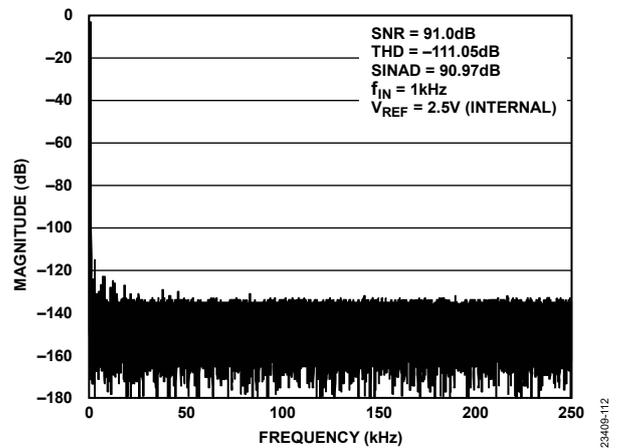


図 12. AD4681 の FFT、 $V_{REF} = 2.5V$ (内部)

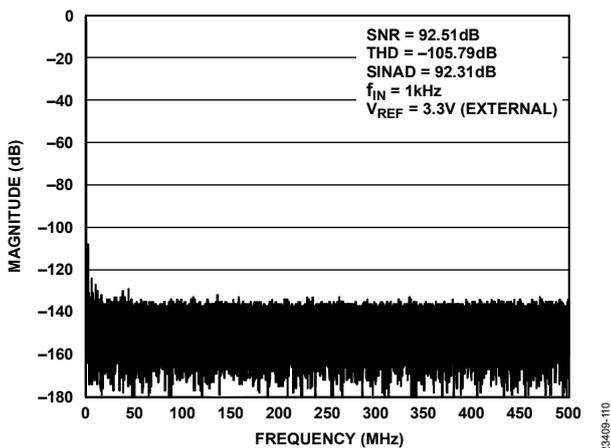


図 10. AD4680 の FFT、 $V_{REF} = 3.3V$ (外部)

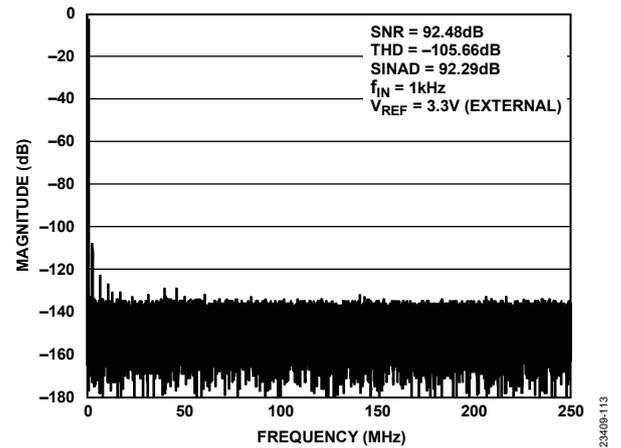


図 13. AD4681 の FFT、 $V_{REF} = 3.3V$ (外部)

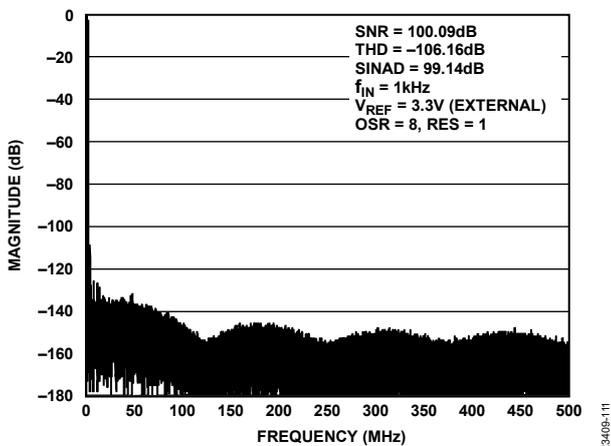


図 11. オーバーサンプリングした場合の AD4680 の FFT、 $V_{REF} = 3.3V$ (外部)

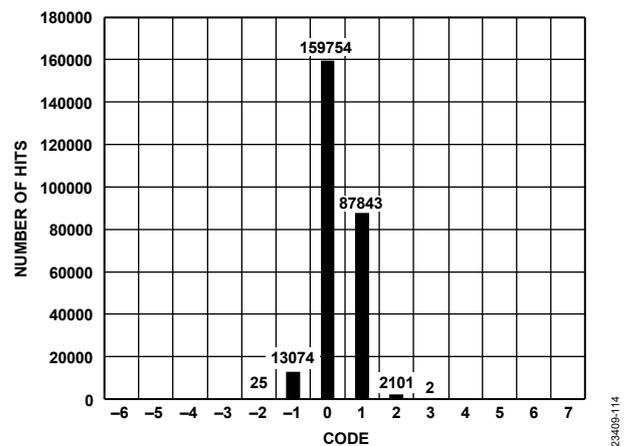


図 14. コード中央値での DC ヒストグラム

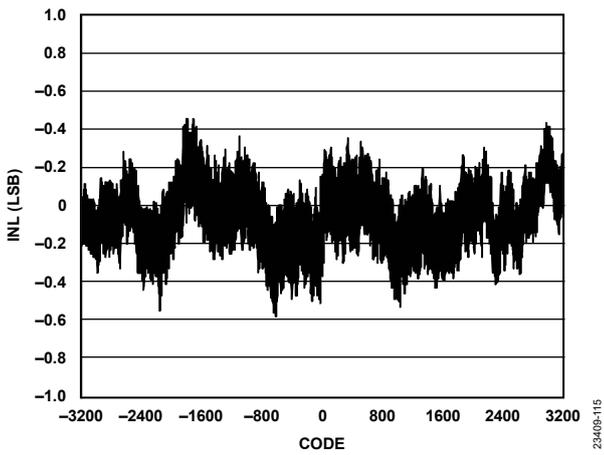


図 15. INL エラー

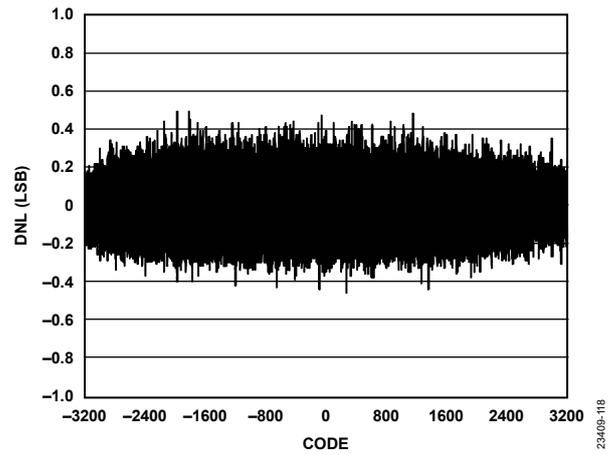


図 18. DNL エラー

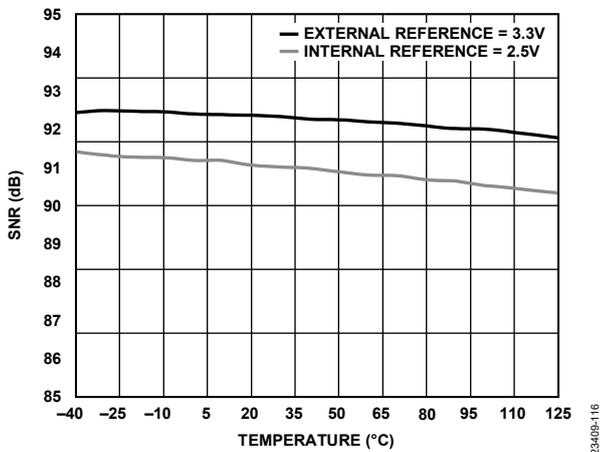


図 16. S/N 比の温度特性

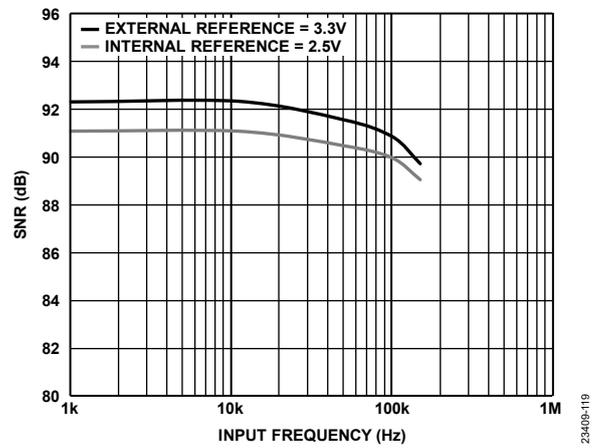


図 19. AD4680 の S/N 比と入力周波数の関係

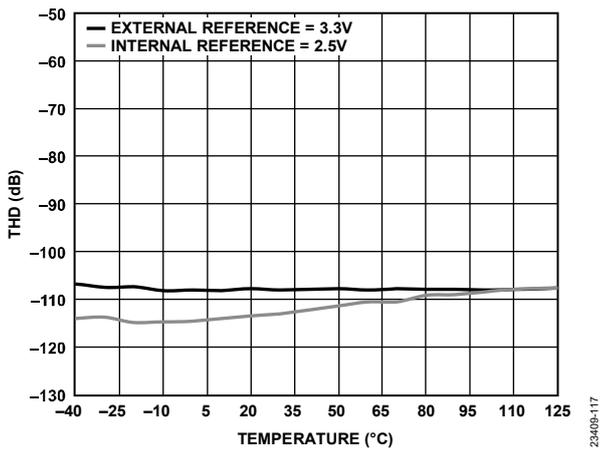


図 17. THD の温度特性

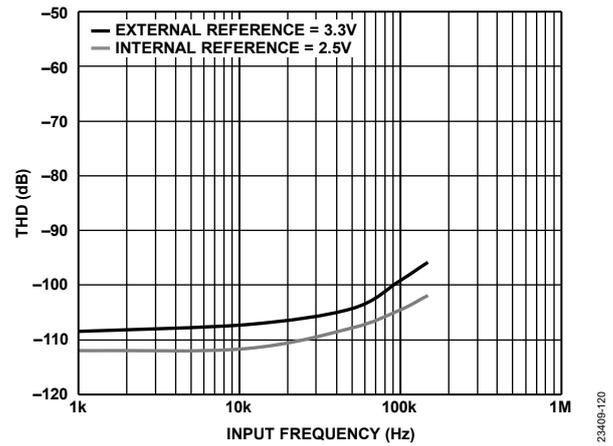


図 20. AD4680 の THD と入力周波数の関係

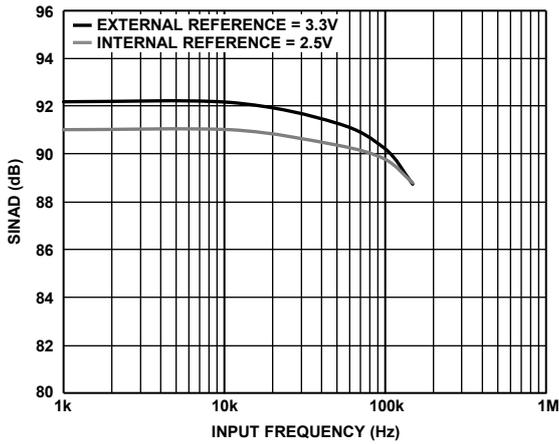


図 21. AD4680 の SINAD と入力周波数の関係

23409-121

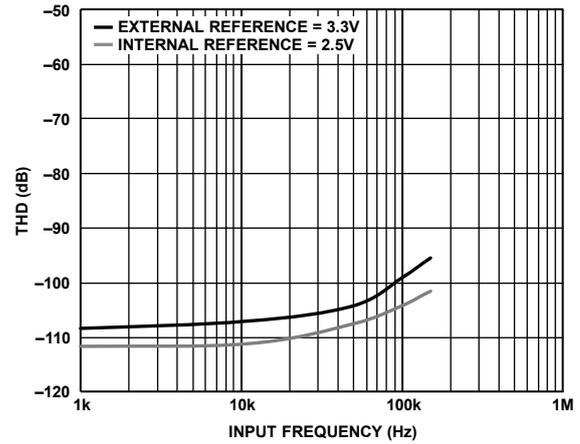


図 24. AD4681 の THD と入力周波数の関係

23409-224

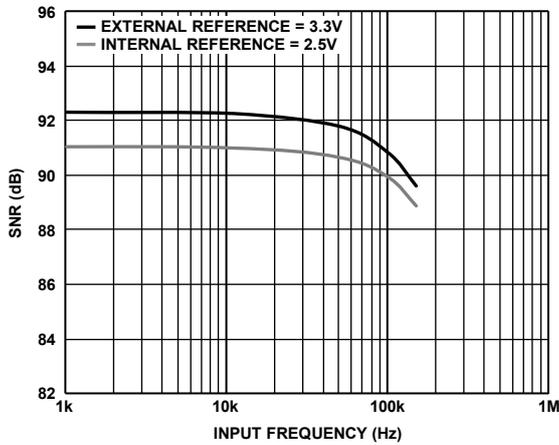


図 22. AD4681 の S/N 比と入力周波数の関係

23409-122

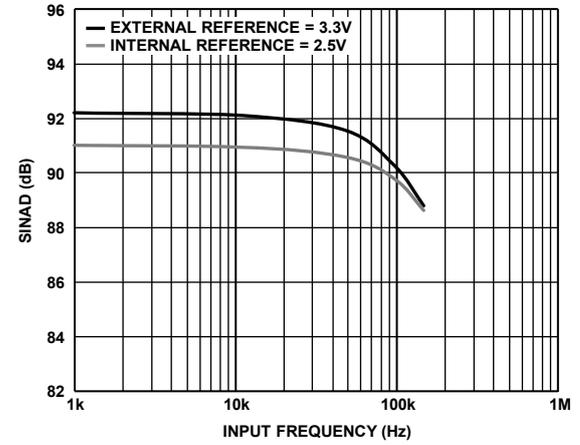


図 25. AD4681 の SINAD と入力周波数の関係

23409-225

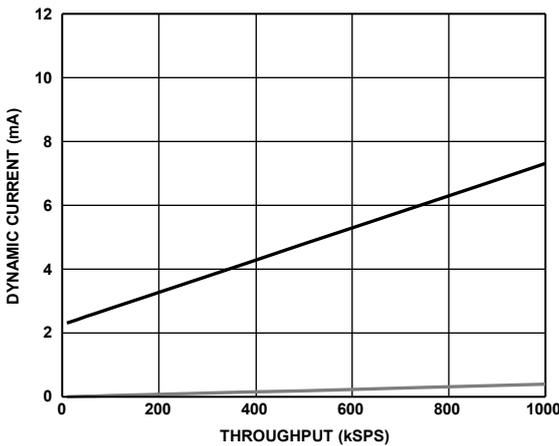


図 23. 動的電流とスループットの関係

23409-223

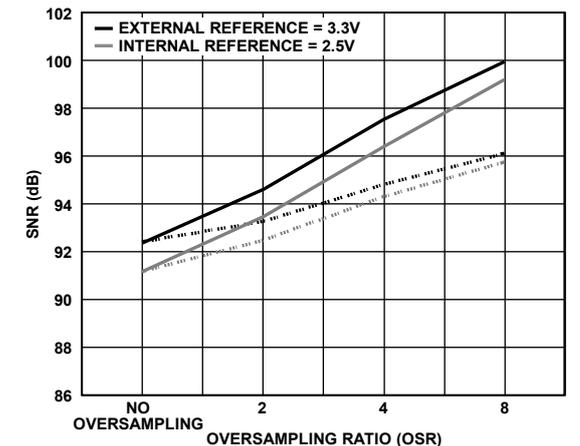


図 26. AD4680 の S/N 比とオーバーサンプリング比の関係、オーバーサンプリング・モード

23409-226

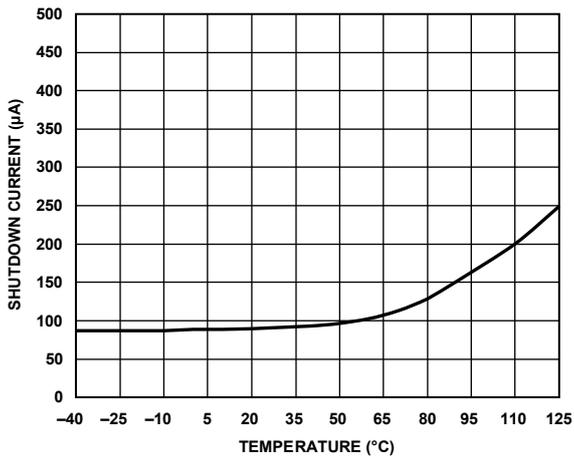


図 27. シャットダウン電流の温度特性

23409-123

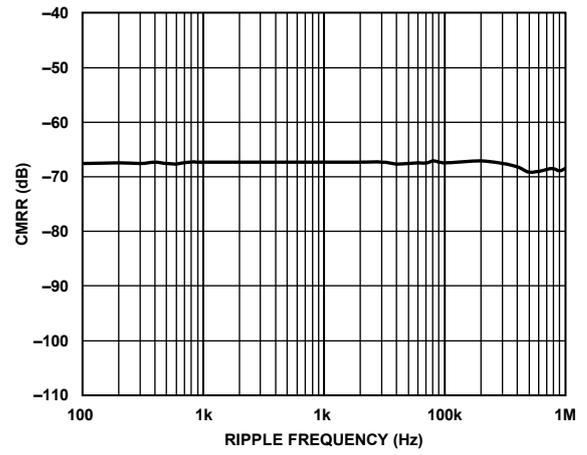


図 29. CMRR とリップル周波数の関係

23409-126

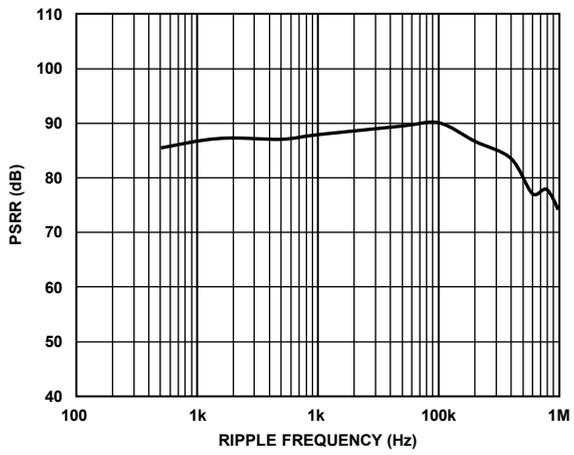


図 28. 電源電圧変動除去比 (PSRR) とリップル周波数の関係

23409-125

用語の定義

微分非直線性 (DNL)

理想的な ADC では、コード遷移は 1LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。DNL はノー・ミス・コードが確保される分解能で仕様規定されます。

積分非直線性 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

ゲイン誤差

最初の遷移 (100...000 から 100...001) は負の公称フルスケールより $\frac{1}{2}$ LSB 上のレベルで発生します。最後の遷移 (011...110 から 011...111) は、公称フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧で発生します。実際のゲインにおける最初の遷移と最後の遷移間の変化量および理想的なゲインにおける最初の遷移と最後の遷移間の変化量は一致しません。この変化量の相違がゲイン誤差になります。

ゲイン誤差ドリフト

ゲイン誤差ドリフトは、1°Cの温度変化あたりのゲイン誤差の変化です。

ゲイン誤差マッチング

ゲイン誤差マッチングは、負のフルスケール誤差の入力チャンネル間の差と正のフルスケール誤差の入力チャンネル間の差です。

ゼロ誤差

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゼロ誤差ドリフト

ゼロ誤差ドリフトは、1°Cの温度変化あたりのゼロ誤差の変化です。

ゼロ誤差マッチング

ゼロ誤差マッチングは、入力チャンネル間のゼロ誤差の差です。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波成分と直流成分を除く) の実効値の総和に対する実際の入力信号の実効値の比です。SNR 値はデシベル (dB) で表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号との差で、単位は dB です。

全高調波歪み (THD)

THD は、フルスケール入力信号の実効値に対する最初の 5 次高調波成分の実効値総和の比率で、単位は dB です。

信号/ノイズ+歪み (SINAD) 比

SINAD は、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対する実際の入力信号の実効値の比です。SINAD 値は dB で表されます。

同相ノイズ除去比 (CMRR)

CMRR は、 A_{INX+} と A_{INX-} のコモンモード電圧に印加された周波数 f の 200mVp-p サイン波の電力に対する、周波数 f の ADC 出力電力の比です。CMRR は dB で表されます。

$$CMRR = 10 \log (P_{ADC_IN} / P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は A_{INX+} と A_{INX-} に印加される周波数 f のコモンモード電力、

P_{ADC_OUT} は、周波数 f での ADC の出力電力です。

アパーチャ遅延

アパーチャ遅延は、アキュジション性能の尺度で、 \overline{CS} 入力の立下がりエッジから入力信号が変換のために保持されるまでの時間です。

アパーチャ遅延マッチ

アパーチャ遅延マッチは、ADC A と ADC B 間のアパーチャ遅延の差です。

アパーチャ・ジッタ

アパーチャ・ジッタはアパーチャ遅延の変動です。

動作原理

回路説明

AD4680/AD4681 は、高速デュアル同時サンプリング、完全差動の 16 ビット SAR ADC です。3.0V~3.6V の電源で動作し、1MSPS (AD4680) または 500kSPS (AD4681) のスループット・レートを実現できます。

AD4680/AD4681 は、SAR ADC 2 個と、個別のデータ出力ピン 2 本を備えたシリアル・インターフェース 1 個で構成されています。16 ピン LFCSP に収容されており、各種代替ソリューションに比べ、かなりのスペースが節約できるという利点をもたらします。

データにはデバイスのシリアル・インターフェースを介してアクセスできます。インターフェースは、1つまたは2つのシリアル出力で動作します。AD4680/AD4681 は、2.5V の内部リファレンス V_{REF} を備えています。外部リファレンスが必要な場合は、内部リファレンスをディスエーブルし、2.5V~3.3V の範囲のリファレンスを供給できます。内部リファレンスをシステムの別の場所で使用する場合は、リファレンス出力をバッファする必要があります。AD4680/AD4681 の差動アナログ入力範囲は、コモンモード電圧 (V_{CM}) $\pm V_{REF}/2$ です。

AD4680/AD4681 は、オーバーサンプリング・ブロックを内蔵することで、性能が向上しています。移動平均オーバーサンプリング・モードや、変換の間の消費電力を節約できるパワーダウン・オプションも利用できます。デバイスの設定は標準的なシリアル・インターフェースを介して行うことができます (インターフェースのセクションを参照)。

コンバータの動作

AD4680/AD4681 には 2 個の SAR ADC があり、それぞれが 2 個の容量性 D/A コンバータ (DAC) を中心に構成されています。

図 30 にアキュイジション・フェーズ、図 31 に変換フェーズにある ADC の簡略化した回路図を示します。ADC は、コントロール・ロジック、SAR、2 個の容量性 DAC で構成されています。

図 30 (アキュイジション・フェーズ) では、SW3 は閉じて、SW1 と SW2 は位置 A にあります。コンパレータは平衡状態を維持しており、サンプリング・コンデンサ (C_s) アレイは入力差動信号を取得することができます。

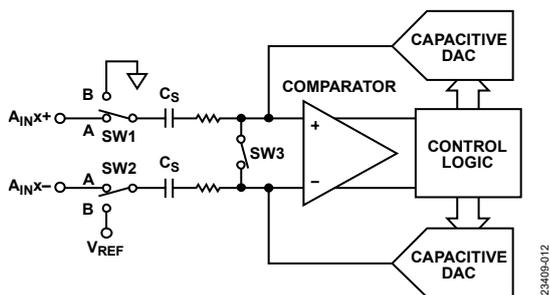


図 30. ADC アキュイジション・フェーズ

ADC が変換を開始すると (図 31)、SW3 が開いて、SW1 と SW2 が位置 B に移動し、コンパレータが非平衡状態になります。変換を開始すると、入力も両方とも切断されます。コントロール・ロジックと電荷再配分式 DAC を使って、サンプリング・コンデンサ・アレイに対して一定量の電荷を加算および減算し、コンパレータを平衡状態に戻すようにします。

コンパレータが平衡状態に戻ると、変換が完了します。コントロール・ロジックは ADC の出力コードを生成します。AINX+ および AINX- ピンの駆動源の出力インピーダンスはマッチングさせる必要があります。マッチングしていない場合、2 つの入力のセトリング・タイムが異なり、誤差が生じます。

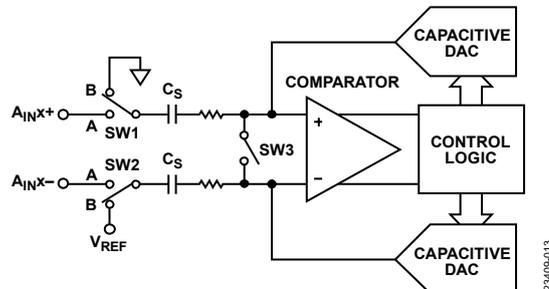


図 31. ADC 変換フェーズ

アナログ入力構造

図 32 に、AD4680/AD4681 のアナログ入力構造の等価回路を示します。4 個のダイオード (D) により、アナログ入力の ESD 保護機能を実現しています。アナログ入力信号が電源レールを 300mV 以上上回ることはないよう、注意してください。この制限を超えると、ダイオードが順方向バイアスとなり、基板への導通が発生します。各ダイオードがデバイスに回復不能な損傷を与えない最大電流は 10mA です。

図 32 に示すコンデンサ C1 は通常 3pF で、主にピン容量によって決まります。抵抗 R1 はスイッチのオン抵抗で構成される集中定数コンポーネントです。この抵抗の値は通常約 200Ω です。コンデンサ C2 は ADC のサンプリング・コンデンサで、容量は通常 15pF です。

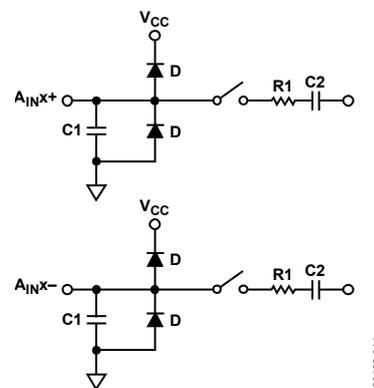


図 32. 等価アナログ入力回路、変換フェーズ-スイッチ開、トラック・フェーズ-スイッチ閉

アプリケーション情報

AD4680/AD4681 の代表的なアプリケーション回路を図 34 に示します。図に示すように、V_{CC} ピン、V_{LOGIC} ピン、REGCAP ピン、REFIO ピンを適切なデカップリング・コンデンサを用いてデカップリングします。

露出パッドはデバイス上の回路のグラウンド基準ポイントとなるもので、ボードのグラウンドに接続する必要があります。

差動 RC フィルタをアナログ入力に配置することで最適な性能を確保できます。代表的なアプリケーションでは、抵抗 (R) = 33 Ω、C1 = 68pF、C2 = 330pF とすることを推奨します。

AD4680/AD4681 の性能は、デジタル・インターフェースのノイズの影響を受ける可能性があります。この影響はボード・レイアウトと設計に依存します。デジタル・ラインとデジタル・インターフェースの距離を最小にするか、100Ωの抵抗を SDOA ピンと SDOB/ALERT ピンの近くに直列に配置して、デジタル・インターフェースから AD4680/AD4681 にカップリングするノイズを抑制します。

AD4680/AD4681 の 2 つの差動チャンネルは 0V ~ V_{REF} の入力電圧範囲に対応し、幅広いコモンモード電圧を備えているため、様々な信号の変換が可能です。これらのアナログ入力ピンはアンプを使用して容易に駆動できます。表 9 に、このアプリケーションに最適な推奨ドライバ・アンプを示します。

AD4680/AD4681 は、REFIO ピンからアクセスできるバッファ付き 2.5V 内部リファレンスを備えています。バッファ付き 2.5V 内部リファレンスを外部回路に接続する場合は、ADA4807-2 などの外部バッファを使用する必要があります。また、どちらのデバイスも、ADR4533 や ADR4525 など、2.5V ~ 3.3V の超低ノイズ、高精度電圧リファレンスを外部電圧源として使用することができます。

表 9. シグナル・チェーンの部品

併用デバイス	部品名	説明	代表的なアプリケーション
ADC 用ドライバ	ADA4896-2	1nV/√Hz のレール to レール・アンプ	高精度、低ノイズ、高周波数
	ADA4940-2	超低消費電力、完全差動、低歪み	高精度、低密度、低消費電力
	ADA4807-2	1mA のレール to レール・アンプ	高精度、低消費電力、高周波数
	LTC6227	低歪み、レール to レール出力オペアンプ	高精度、低ノイズ、高周波数
外部リファレンス	ADR4525	超低ノイズ、高精度電圧リファレンス	2.5V のリファレンス電圧
	ADR4533	超低ノイズ、高精度電圧リファレンス	3.3V のリファレンス電圧
LDO レギュレータ	ADP166	低静止電流、150mA、LDO レギュレータ	V _{CC} および V _{LOGIC} 用 3.0V ~ 3.6V 電源
	ADP7104	低ノイズ、CMOS LDO レギュレータ	ドライバ・アンプ用 5V 電源
	ADP7182	低ノイズ・ライン・レギュレータ	ドライバ・アンプ用 -2.5V 電源

電源

図 34 に示す代表的なアプリケーション回路の電力は、5V (V+) の単電源からシグナル・チェーン全体に供給されています。この 5V 電源には、低ノイズ、CMOS、低ドロップアウト (LDO) レギュレータ (ADP7105) を使用することができます。ドライバ・アンプの電源は、5V (V+) と、インバータ (ADM660) からの -2.5V (V-) によって供給されます。インバータが +5V を -5V に変換した後、ADP7182 低ノイズ電圧レギュレータによって -2.5V で出力されます。アナログ回路用の V_{CC} とデジタル・インターフェース用の V_{LOGIC} の 2 つの個別電源は、ADP166 などの低静止電流 LDO レギュレータを使用して供給できます。ADP166 は、代表的な V_{CC} および V_{LOGIC} レベルである 1.2V ~ 3.3V の範囲の固定電圧を出力する最適な電源です。V_{CC} 電源と V_{LOGIC} 電源はどちらも、1μF のコンデンサを使用して個別にデカップリングします。更に、内部 LDO レギュレータも AD4680/AD4681 に電力を供給します。この内部レギュレータは、デバイスの内部使用専用で 1.9V を供給します。REGCAP ピンは、1μF のコンデンサで GND からデカップリングします。

パワーアップ

AD4680/AD4681 は、電源シーケンシングによって容易に損傷することはありません。V_{CC} および V_{LOGIC} には、どのシーケンスでも印加できます。外部リファレンスは、V_{CC} および V_{LOGIC} 供給後に印加する必要があります。

AD4680/AD4681 では、V_{CC} および V_{LOGIC} に印加してから ADC の変換結果が安定するまでに、t_{POWERUP} の時間が必要です。セットアップ時間が経過する前に CS パルスを印加したり、AD4680/AD4681 にインターフェース接続を行ったりしても、ADC の動作に悪影響はありませんが、この時間中の変換結果は、データシートの仕様を満足していない可能性があるため、無視してください。

動作モード

AD4680/AD4681 には、デバイスの動作モードを制御できる設定レジスタがいくつか内蔵されています。

オーバーサンプリング

オーバーサンプリングは、アナログ電子機器において広く使用されている手法で、ADC の結果の精度を向上することができます。アナログ入力サンプルを複数取得して平均化することで、ADC の量子化ノイズや熱ノイズ (kTC) に由来するノイズ成分を除去します。AD4680/AD4681 は、移動平均オーバーサンプリング機能を内蔵しています。

移動平均オーバーサンプリング機能は、CONFIGURATION1 レジスタの OS_MODE ビットに 1 を、OSR ビット (ビット [8:6]) にゼロ以外の有効な値を書き込むことで有効になります。また、CONFIGURATION1 の OS_MODE に 0 を、OSR ビットにゼロ値を書き込むことで無効になります。

移動平均オーバーサンプリング

移動平均オーバーサンプリング・モードは、出力データ・レートを高くすることが必要なアプリケーションと、S/N 比やダイナミック・レンジが高いことが望ましいアプリケーションで使用できます。移動平均オーバーサンプリングは、多数のサンプリングを行い、それらを加算し、その結果をサンプリング数で除するというプロセスで構成されます。このプロセスの結果がデバイスから出力されます。プロセスが完了しても、サンプリングしたデータはクリアされません。移動平均オーバーサンプリング・モードでは、平均計算において、最新のサンプルの先入れ先出し (FIFO) バッファを使用し、それにより ADC スループット・レートと出力データ・レートを同じ状態に維持できます。

デジタル・フィルタのオーバーサンプリング比は、オーバーサンプリング・ビット OSR を使用して制御します (表 10 参照)。出力結果は、16 ビットの分解能にデシメートされます。これ以上の分解能が必要な場合は、CONFIGURATION1 レジスタの分解能増強ビット RES を設定することで実現できます。詳細については分解能増強のセクションを参照してください。

移動平均オーバーサンプリング・モードでは、ADC の全変換は CS の立下がりエッジで制御と開始が行われます。変換が完了すると、結果は FIFO にロードされます。FIFO の長さは、オーバーサンプリング比の設定によらず 8 です。FIFO は、パワーオン・リセット後の最初の変換、ソフトウェア制御のハード・リセットまたはソフト・リセット後の最初の変換、または、REFSEL ビットがトグルされた後の最初の変換で満たされます。新しい変換結果は、OSR ビットおよび OS_MODE ビットのステータスに関わらず、各 ADC 変換完了時に FIFO にシフトされます。この変換によって、FIFO が満たされるのを待たずに、オーバーサンプリングなしのモードから移動平均オーバーサンプリングへの継ぎ目のない遷移や、様々な移動平均オーバーサンプリング比が可能となります。

OSR ビットで定義された n 個のサンプルが FIFO から取得、加算されて、n で除算されます。CS の立下がりエッジ間の時間は、目的のデータ出力レートに応じてユーザが制御できるサイクル時間です。

表 10. 移動平均オーバーサンプリング性能の概要

Oversampling Ratio	AD4680				Output Data Rate (kSPS Maximum)	AD4681		Output Data Rate (kSPS Maximum)
	SNR (dB Typical)					SNR (dB Typical)		
	V _{REF} = 2.5 V		V _{REF} = 3.3 V			RES = 0	RES = 1	
RES = 0	RES = 1	RES = 0	RES = 1	RES = 0	RES = 1	RES = 0	RES = 1	
Disabled	91	91	92.5	92.5	1000	85	85	500
2	92	93	93.2	94.5	1000	84.5	87.7	500
4	94	96	94.8	97.2	1000	85	91	500
8	95.5	98.6	95.9	99.6	1000	85.5	93	500

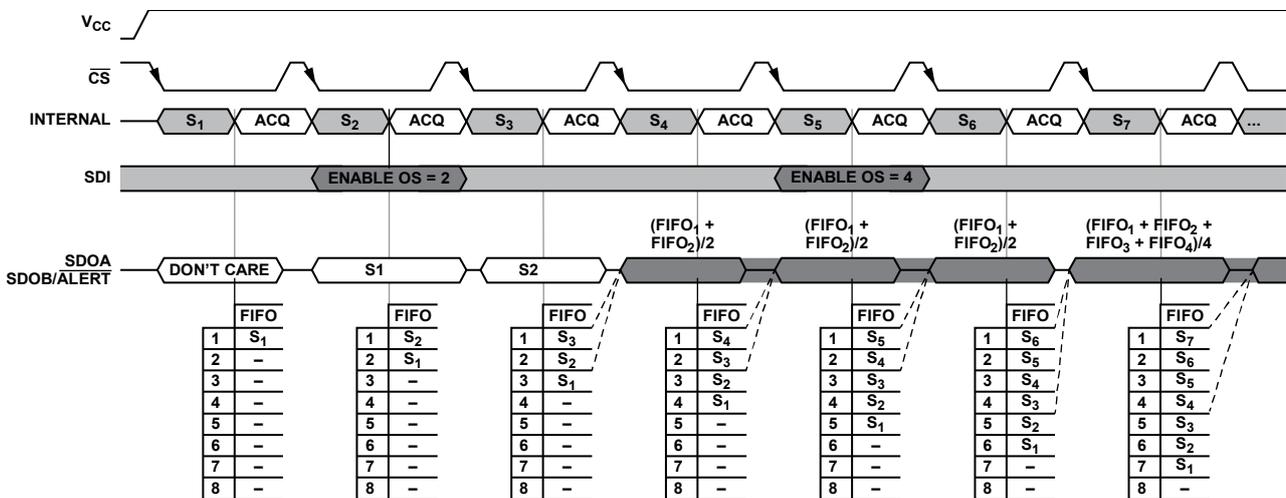


図 35. 移動平均オーバーサンプリングの動作

分解能増強

AD4680/AD4681 における変換結果のデフォルト出力データ・サイズは 16 ビットです。内蔵オーバーサンプリング機能を有効化すると、ADC の性能は 16 ビットを上回ることができます。この性能向上を実現するために、2 ビットを追加した分解能を可能とすることができます。CONFIGURATION1 レジスタの RES ビットをロジック 1 に設定し、AD4680/AD4681 を有効なオーバーサンプリング・モードにした場合、変換結果のサイズは 18 ビットになります。このモードでは、AD4680/AD4681 のデータを伝搬するために 18SCLK サイクルが必要です。

アラート

アラート機能は、範囲外インジケータで、変換結果が範囲を外れたことを示す初期インジケータとして使用できます。変換結果値レジスタが ALERT_HIGH_THRESHOLD レジスタのアラート上限値を超えた場合、または ALERT_LOW_THRESHOLD レジスタのアラート下限値を下回った場合にアラート・イベントがトリガされます。ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタは、すべての ADC に共通です。閾値を設定する際には、アラートの上限閾値は常に下限閾値より大きな値にする必要があります。詳細なアラート情報については、ALERT レジスタのセクションを参照してください。

ALERT レジスタには、ADC あたり 2 つのステータス・ビットがあり、1 つは上限、もう 1 つは下限に対応しています。すべての ADC のアラート信号の論理 OR により、共通のアラート値が作成されます。この値は、SDO/ALERT ピンの ALERT 機能に出力されるよう設定できます。SDO/ALERT ピンは、CONFIGURATION1 レジスタおよび CONFIGURATION2 レジスタの次のビットを設定することで、ALERT に設定できます。

- SDO ビットを 1 に設定します。
- ALERT_EN ビットを 1 に設定します。
- ALERT_HIGH_THRESHOLD レジスタと ALERT_LOW_THRESHOLD レジスタに有効な値を設定します。

アラート指示機能は、移動平均オーバーサンプリング・モードと非オーバーサンプリング・モードの両方で使用できます。

SDO/ALERT ピンの ALERT 機能は、変換の終了時に更新されません。ALERT レジスタのアラート指示ステータス・ビットも更新され、次の変換の終了前に読み出す必要があります。SDO/ALERT ピンの ALERT 機能は、CS の立下がりエッジでクリアされます。ソフトウェア・リセットを発行しても、ALERT レジスタのアラート・ステータスをクリアできます。

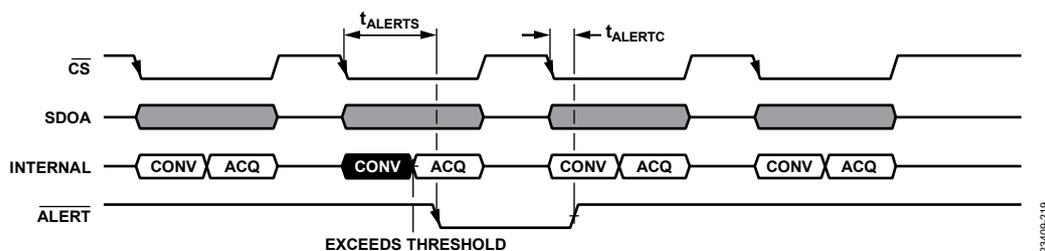


図 36. アラートの動作

電力モード

AD4680/AD4681 には、ノーマル・モードとシャットダウン・モードの 2 つの電力モードがあります。これらの動作モードによって、柔軟なパワー・マネージメント・オプションが提供されるため、様々なアプリケーション条件に対して消費電力とスループット・レートの比を最適化できます。

CONFIGURATION1 レジスタの PMODE ビットをプログラムすることで AD4680/AD4681 の電力モードを設定します。PMODE をロジック 0 に設定するとノーマル・モード、ロジック 1 に設定するとシャットダウン・モードになります。

ノーマル・モード

スループット・レートを最大にするには、AD4680/AD4681 をノーマル・モードに維持します。AD4680/AD4681 内の全ブロックが常にフルパワーとなり、必要に応じて ADC 変換を CS の立下がりエッジで開始できます。AD4680/AD4681 が変換を行っていないとき、デバイスは静的モードになり、消費電力を自動的に削減します。変換を実行するには追加電流が必要となるため、消費電力はスループットに応じて増加します。

シャットダウン・モード

スループット・レートを下げて消費電力を抑制する必要がある場合は、各変換の間に ADC をパワーダウンするか、高スループット・レートで一連の変換を実行した後、これらのバースト変換の間相対的に長い時間 ADC をパワーダウンするかのどちらかの方法で、シャットダウン・モードを使用します。AD4680/AD4681 がシャットダウン・モードになると、内部リファレンス（有効な場合）を含め、すべてのアナログ回路がパワーダウンされます。シリアル・インターフェースはシャットダウン・モードの間もアクティブ状態のままなので、AD4680/AD4681 のシャットダウン・モードを終了させることができます。

シャットダウン・モードに入るには、CONFIGURATION1 レジスタの PMODE ビットに書き込みます。AD4680/AD4681 はシャットダウンされ、消費電流が削減されます。

シャットダウン・モードを終了しノーマル・モードに戻るには、CONFIGURATION1 レジスタの PMODE ビットをロジック 0 に設定します。すべてのレジスタ構成設定は、シャットダウン・モードを開始しても終了しても変わりません。シャットダウン・モードの終了後、回路がオンになってから変換を開始するまでには、十分な時間が必要です。内部リファレンスが有効な場合、正確な変換を行うには、リファレンスを安定させることが必要です。

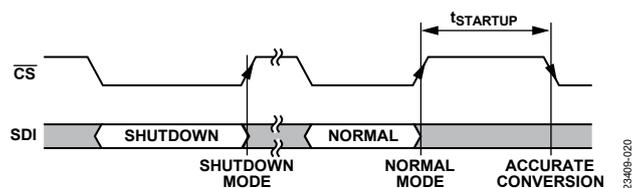


図 38. シャットダウン・モード動作

内部リファレンスおよび外部リファレンス

AD4680/AD4681 には、主にデバイス動作のリファレンス電圧として使用されるバッファ付き 2.5V 内部リファレンスが搭載されています。REFIO ピンを介してこのバッファ付き 2.5V 内部リファレンスを外部で使用する場合は、外部バッファを介して外部回路と接続する必要があります。また、更に正確なリファレンスや更に高いダイナミック・レンジが必要な場合は、外部リファレンスを使用できます。外部リファレンスは、2.5V~3.3V の範囲で供給できます。

リファレンスの選択（内部または外部）は、CONFIGURATION1 レジスタの REFSEL ビットによって設定します。REFSEL を 0 に設定すると、内部リファレンス・バッファがイネーブルされます。外部リファレンスを使用したい場合は、REFSEL ビットを 1 に設定し、REFIO ピンに外部リファレンスを供給する必要があります。

ソフトウェア・リセット

AD4680/AD4681 には、ソフト・リセットとハード・リセットの 2 つのリセット・モードがあります。リセットは、CONFIGURATION2 レジスタのリセット・ビットに書き込むことで開始できます。

ソフト・リセットは、設定可能なレジスタの内容を保持しますが、インターフェースと ADC ブロックを更新します。すべての内蔵ステート・マシンは再初期化され、オーバーサンプリング・ブロックと FIFO は消去されます。ALERT レジスタはクリアされます。リファレンスと LDO レギュレータの電源は供給されたままです。

ハード・リセットでは、ソフト・リセットでリセットされるブロックの他、すべてのユーザ・レジスタがデフォルト状態にリセットされ、リファレンス・バッファと内部発振器ブロックもリセットされます。

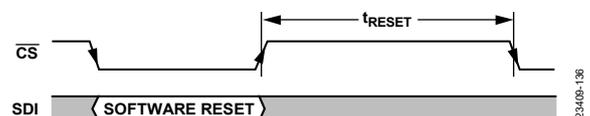


図 37. ソフトウェア・リセット動作

診断セルフ・テスト

AD4680/AD4681 は、パワーオン・リセット (POR) 後またはソフトウェア・ハード・リセットの後、診断セルフ・テストを実行し、設定が正しくデバイスにロードされるようにします。

セルフ・テストの結果は、ALERT レジスタの SETUP_F ビットに示されます。SETUP_F ビットがロジック 1 にセットされた場合、診断セルフ・テストは不合格です。不合格になった場合、ソフトウェア・ハード・リセットが実行され、AD4680/AD4681 のレジスタはデフォルト状態にリセットされます。

インターフェース

AD4680/AD4681 へのインターフェース接続は、シリアル・インターフェースを通じて行います。インターフェースは、 \overline{CS} 、SCLK、SDOA、SDOB/ALERT、SDI の各ピンで構成されています。

\overline{CS} 信号は、シリアル・データ転送をフレーミングし、ADC 変換プロセスを開始します。 \overline{CS} の立下がりエッジは、アナログ入力サンプルがサンプリングされた時点でトラック&ホールドをホールド・モードにし、バスはスリーステートから取られます。

SCLK 信号は、SDOA、SDOB、SDI の各信号を通じて、データをデバイスに同期させたり、同期を解除したりします。レジスタからの読書きを行うには、最少で 16 SCLK サイクルが必要です。変換の読出しに必要な SCLK サイクルの最少数は、デバイスの分解能と構成設定に依存します (表 11 参照)。

ADC の変換動作は、内部発振器によって駆動され、SCLK 信号には依存しません。

AD4680/AD4681 には、SDOA と SDOB の 2 つのシリアル出力信号があります。最大スループットを実現するには、SDOA と SDOB の両方を 2 線モードで使用して変換結果を読み出します。スループットを下げることがある場合や、オーバーサンプリングを使用する場合は、SDOA 信号のみを使用する 1 線モードで変換結果を読み出すことができます。CONFIGURATION2 レジスタの SDO ビットを設定することで、2 線モードとするか 1 線モードとするかを選択できます。

巡回冗長性チェック (CRC) 動作を SPI 読出し、または SPI 書込みに設定することで、インターフェースの動作が変わります。適切な動作を確保するために、関連する **CRC 読出し**、**CRC 書込み**、**CRC 多項式**の各セクションを参照してください。

変換結果の読出し

\overline{CS} 信号によって変換プロセスが開始されます。 \overline{CS} 信号がハイからローに遷移すると、ADC A と ADC B の両方の ADC が同時に変換を開始します。AD4680/AD4681 には 1 サイクルのリードバック遅延があります。そのため、変換結果は次の SPI アクセス

で使用できます。次いで、 \overline{CS} 信号をローで受けると、変換結果がシリアル出力ピンにクロックに応じて出力されます。次の変換もこの時点で開始されます。

変換結果は、16 ビットでデバイスからシフト出力されます。変換結果の MSB は、 \overline{CS} の立下がりエッジでシフト出力されます。その他のデータは、SCLK 入力の制御の下でデバイスからシフト出力されます。データは SCLK の立下がりエッジでシフト出力され、データ・ビットは立下がりエッジと立下がりエッジの両方で有効です。SCLK の最後の立下がりエッジの後、再度 \overline{CS} をハイで受けると、SDOA ピンと SDOB/ALERT ピンはハイ・インピーダンス状態に戻ります。

変換結果を SDOA ピンと SDOB/ALERT ピンに伝搬するのに必要な SCLK サイクル数は、設定されるシリアル動作モード、および分解能増強モードが有効かどうかによって異なります (詳細は、図 39 および表 11 を参照)。CRC 読出しが有効になっている場合、CRC 情報を伝搬するには、追加の SCLK サイクルが必要です (詳細は CRC のセクションを参照)。

\overline{CS} 信号によって変換が開始され、データがフレーミングされるため、すべてのデータ・アクセスは 1 つのフレーム内で完了する必要があります。

表 11. 変換結果の読出しに必要な SCLK サイクル数 n

Interface Configuration	Resolution Boost Mode	CRC Read	SCLK Cycles
2-Wire	Disabled	Disabled	16
		Enabled	24
	Enabled	Disabled	18
		Enabled	26
1-Wire	Disabled	Disabled	32
		Enabled	40
	Enabled	Disabled	36
		Enabled	44

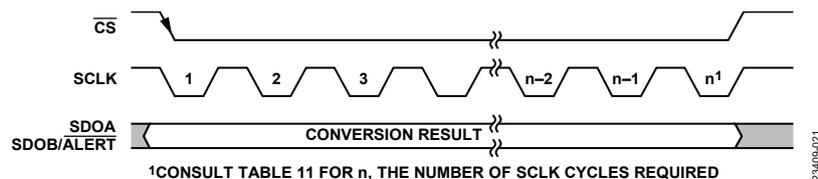


図 39. 変換結果の読出し

シリアル 2 線モード

2線モードに設定するには、CONFIGURATION1 レジスタの SDO ビットを 0 に設定します。2線モードでは、ADC A の変換結果が SDOA ピンに出力され、ADC B の変換結果が SDOB/ALERT ピンに出力されます (図 40 参照)。

シリアル 1 線モード

スループット・レートが遅くても構わないアプリケーションでは、1線モードで動作するようシリアル・インターフェースを設定できます。1線モードでは、ADC A および ADC B からの変換結果がシリアル出力 SDOA に出力されます。すべてのデータを伝搬するには、追加の SCLK サイクルが必要です。まず ADC A のデータが出力され、次いで ADC B の変換結果が出力されま

低遅延リードバック

AD4680/AD4681 のインターフェースには、図 42 に示すように、1 サイクル分の遅延があります。低スループット・レートで動作するアプリケーションの場合、変換結果の読出しの遅延を減少できます。変換時間 $t_{CONVERT}$ の終了後、変換を開始した最初の CS パルスの後の 2 番目の CS パルスを使用して、変換結果をリードバックできます。この動作を図 42 に示します。

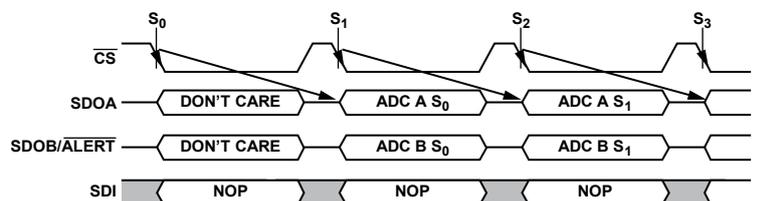


図 40. 2 線モードの変換結果の読出し

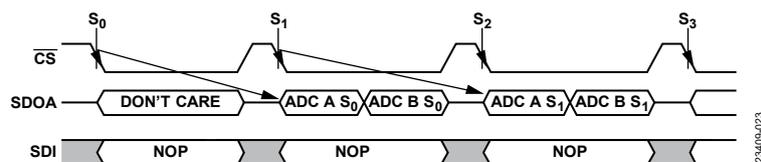


図 41. 1 線モードの変換結果の読出し

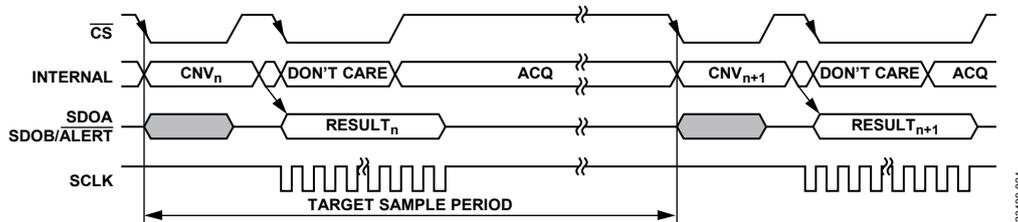


図 42. 低スループットでの低遅延

デバイス・レジスタからの読出し

デバイス内のすべてのレジスタは、シリアル・インターフェースを介して読み出すことができます。レジスタを読み出すには、レジスタの読出しコマンドを発行した後、有効なコマンドまたは無操作コマンド (NOP) のいずれかの追加 SPI コマンドを発行します。読出しコマンドのフォーマットを表 14 に示します。読出しコマンドを選択するには、ビット D15 を 0 に設定する必要があります。ビット [D14:D12] にはレジスタのアドレスが格納され、後続の 12 ビット (ビット [D11:D0]) は無視されます。

デバイス・レジスタへの書込み

AD4680/AD4681 のすべてのリード/ライト・レジスタは、シリアル・インターフェースを介して書き込むことができます。SPI の書込みアクセスの長さは、CRC の書込み機能によって決まります。CRC の書込みが無効な場合は、SPI アクセスは 16 ビット、CRC 書込みが有効な場合は 24 ビットです。書込みコマンドのフォーマットを表 14 に示します。書込みコマンドを選択するには、ビット D15 を 1 に設定する必要があります。ビット [D14:D12] にはレジスタのアドレスが格納され、後続の 12 ビット (ビット [D11:D0]) には、選択したレジスタに書き込むデータが格納されます。

CRC

AD4680/AD4681 には CRC チェックサム・モードがあり、これを使用するとデータ伝送中のエラーを検出することで、インターフェースの堅牢性を向上させることができます。CRC 機能は、SPI インターフェース読出しと SPI インターフェース書込みに対して個別に選択できます。例えば、SPI 書込みには CRC 機能を有効化してデバイス設定に対する予期しない変更を防止する一方、SPI 読出しには無効化して高いスループットを維持することができます。CRC 機能は、CONFIGURATION1 レジスタの CRC_W ビットと CRC_R ビットを設定することで制御できます。

CRC 読出し

有効化すると、CRC が変換結果またはレジスタ読出しに付加され、8 ビット・ワードを形成します。CRC は ADC A と ADC B の変換結果で計算され、SDOA に出力されます。また、CRC はレジスタ読出し出力についても計算され、付加されます。

CRC 読出し機能は、2 線 SPI モード、1 線 SPI モード、分解能増強モードで使用できます。

CRC 書込み

CRC 書込み機能を有効化するには、CONFIGURATION1 レジスタの CRC_W ビットを 1 に設定する必要があります。CRC_W ビットを 1 に設定して CRC 機能を有効化するには、リクエスト・フレームに有効な CRC が付加されていることが必要です。

CRC 機能が有効化されると、有効な CRC コマンドを備えていない限りすべてのレジスタ書込みリクエストは無視され、CRC 書込み機能の有効化と無効化を行うには、有効な CRC が必要となります。

CRC 多項式

CRC チェックサム計算では、常に多項式 $x^8 + x^2 + x + 1$ が使用されます。

変換の読出し時にチェックサムを生成する方法の例を以下に示します。2 つのチャンネルの 16 ビット・データの変換結果を結合し、32 ビット・データを作成します。この 32 ビット・データの 8 個の MSB が反転され、8 ビット分だけ左にシフトし 8 個のロジック 0 で終わる数を作成されます。多項式の MSB が、データの左端にあるロジック 1 と合うように、多項式の値の位置決めを実行します。次に、排他的論理和 (XOR) 関数をデータに適用してより短い数値を新たに生成し、多項式の MSB が新たなデータの最も左にあるロジック 1 と隣接し合うように、多項式の値の位置決めをし直します。このプロセスを、元のデータが多項式の値 (8 ビット・チェックサム) よりも小さくなるまで繰り返します。この例における多項式は 100000111 です。

2 つのチャンネルの元のデータを 0xAAAA および 0x5555、すなわち、1010 1010 1010 1010 および 0101 0101 0101 0101 とします。この 2 つのチャンネルのデータは、右に 8 個の 0 を含めた上で結合され、1010 1010 1010 1010 0101 0101 0101 0101 0000 0000 になります。

表 12 に、AD4680/AD4681 の 16 ビット、2 チャンネル・データの CRC 計算を示します。最後の XOR 操作では、計算結果 (余り) が多項式より小さくなっています。したがって、この余りが、仮定したデータの CRC となります。

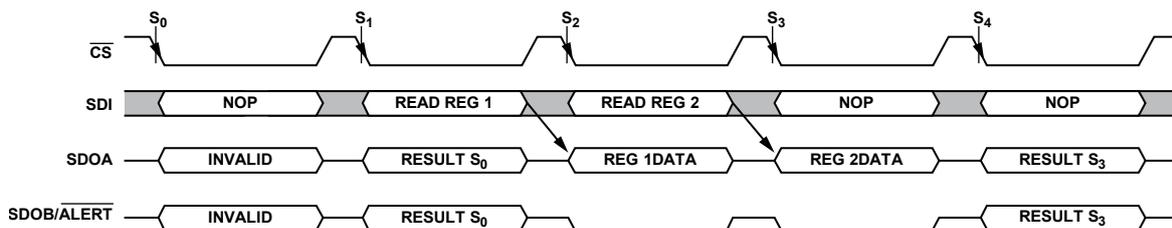


図 43. レジスタ読出し

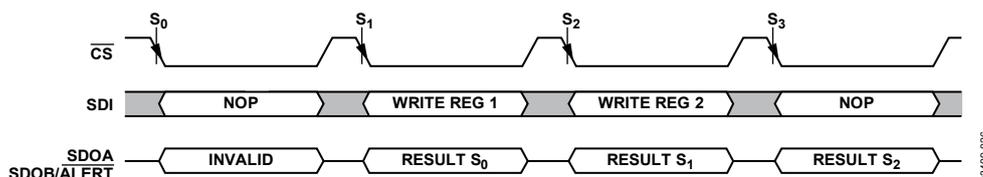


図 44. レジスタ書込み

レジスタ

AD4680/AD4681にはデバイス設定用に、ユーザ設定可能なレジスタが内蔵されています。表 13 に、AD4680/AD4681 で使用可能な全レジスタの概要を示します。レジスタは、リード/ライト (R/W) または読出し専用 (R) です。書込み専用レジスタへの読出しリクエストは無視されます。読出し専用レジスタへの書込みリクエストは無視されます。それ以外のレジスタ・アドレスへの書込みはすべて NOP とみなされ、無視されます。表 13 に示したものの以外のレジスタ・アドレスへの読出しリクエストは NOP とみなされ、次の SPI フレームで送信されるデータは変換結果です。

表 13. レジスタの一覧

Hex. No.	Register Name	Bits	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Reset	R/W
			Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0		
0x1	CONFIGURATION1	[15:8]	ADDRESSING				RESERVED		OS_MODE	OSR, Bit 2	0x0000	R/W
		[7:0]	OSR, Bits[1:0]	CRC_W	CRC_R	ALERT_EN	RES	REFSEL	PMODE			
0x2	CONFIGURATION2	[15:8]	ADDRESSING				RESERVED		SDO	0x0000	R/W	
		[7:0]	RESET									
0x3	ALERT	[15:8]	ADDRESSING				RESERVED		CRCW_F	SETUP_F	0x0000	R
		[7:0]	RESERVED	AL_B_HIGH	AL_B_LOW	RESERVED	AL_A_HIGH	AL_A_LOW				
0x4	ALERT_LOW_THRESHOLD	[15:8]	ADDRESSING				ALERT_LOW, Bits[11:8]				0x0800	R/W
		[7:0]	ALERT_LOW, Bits[7:0]									
0x5	ALERT_HIGH_THRESHOLD	[15:8]	ADDRESSING				ALERT_HIGH, Bits[11:8]				0x07FF	R/W
		[7:0]	ALERT_HIGH, Bits[7:0]									

レジスタのアドレス指定

AD4680/AD4681でのシリアル・レジスタ転送は、16の SCLK サイクルで構成されます。デバイスに書き込まれた4つの MSB は、どのレジスタが指定されているか判断するためにデコードされます。この4つの MSB は、レジスタ・アドレス (REGADDR) であるビット [14:12] とリード/ライト・ビット (WR) で構成されます。レジスタ・アドレス・ビットは、どのオンチップ・レジスタが選択されるかを指定します。アドレス指定されたレジスタが有効な書込みレジスタの場合、リード/ライト・ビットは、指定されたレジスタに SDI 入力の残りの12ビット・データをロードするかどうかを決めます。WR ビットが1の場合、レジスタ選択ビットによって指定されたレジスタにビットがロードされます。WR ビットが0の場合、このコマンドは読出しリクエストとみなされます。アドレス指定したレジスタ・データは、次の読出し操作中に読み出すことができます。

表 14. アドレス指定レジスタのフォーマット

MSB															LSB
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WR	REGADDR			Data											

表 15. アドレス指定レジスタのビットの説明

ビット	記号	説明
D15	WR	このビットに1が書き込まれていると、このレジスタのビット [11:0] を REGADDR で指定されるレジスタに書き込みます (ただし、そのレジスタのアドレスが有効な場合)。代わりに、0が書き込まれていると、次に SDOA ピンに送信するデータを指定されたレジスタから読み出します (ただし、そのレジスタのアドレスが有効な場合)。
D14 to D12	REGADDR	WR = 1 の場合、REGADDR の内容によって、表 13 に示したレジスタの中から選択されます。 WR = 0 で REGADDR に有効なレジスタ・アドレスが格納されている場合、指定されたレジスタの内容が次のインターフェース・アクセス時に SDOA ピンに出力されます。 WR = 0 で REGADDR に 0x0、0x6、0x7 のいずれかが格納されている場合、SDI ラインの内容は無視され、次のインターフェース・アクセスによって、変換結果がリードバックされます。
D11 to D0	Data	WR ビットが1で REGADDR ビットに有効なアドレスが格納されている場合、これらのビットは、REGADDR ビットによって指定されたレジスタに書き込まれます。

CONFIGURATION1 レジスタ

アドレス：0x1、リセット：0x0000、レジスタ名：CONFIGURATION1

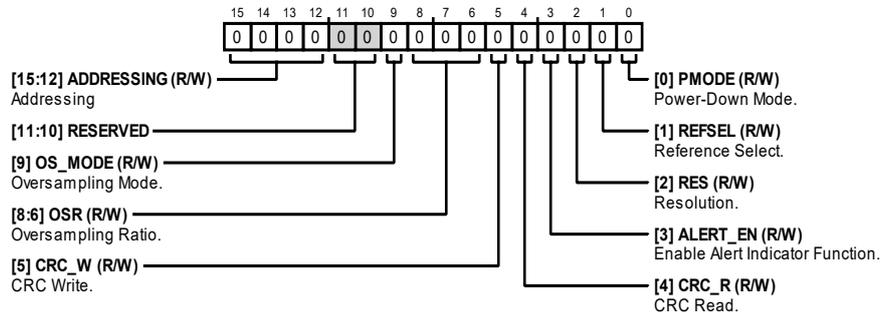


表 16. CONFIGURATION1 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:10]	RESERVED	予備。	0x0	R
9	OS_MODE	オーバーサンプリング・モード。ADC のオーバーサンプリング・モードを有効化します。 0：無効。 1：有効。	0x0	R/W
[8:6]	OSR	オーバーサンプリング比。すべての ADC に対して移動平均モードのオーバーサンプリング比を設定します。移動平均モードでは、×2、×4、×8 のオーバーサンプリング比に対応します。 000：無効。 001：2×。 010：4×。 011：8×。 100：無効。 101：無効。 110：無効。 111：無効。	0x0	R/W
5	CRC_W	CRC 書込み。SDI インターフェースの CRC 機能を制御します。このビットを 0 から 1 にセットする場合、コマンドの後に有効な CRC を追加してこの設定ビットをセットする必要があります。有効な CRC が受信されない場合、フレーム全体が無視されます。ビットが 1 にセットされている場合、CRC ではこれを 0 にクリアする必要があります。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
4	CRC_R	CRC 読出し。SDOA および SDOB/ALERT インターフェースの CRC 機能を制御します。 0：CRC 機能なし。 1：CRC 機能。	0x0	R/W
3	ALERT_EN	アラート表示機能を有効化。SDO ビット（レジスタ 0x2、ビット 8）= 1 のとき、アラート機能（SDOB/ALERT ビン）が有効化されます。それ以外の場合、ALERT_EN ビットは無視されます。 0：SDOB。 1：ALERT。	0x0	R/W
2	RES	分解能。変換結果のデータ・サイズを設定します。OSR = 0 の場合、これらのビットは無視され、分解能はデフォルト値に設定されます。 0：通常分解能。 1：2 ビット高い分解能。	0x0	R/W
1	REFSEL	リファレンスの選択。ADC のリファレンス源を選択します。 0：内部リファレンスを選択。 1：外部リファレンスを選択。	0x0	R/W
0	PMODE	パワーダウン・モード。電力モードを設定します。 0：通常動作モード。 1：シャットダウン・モード。	0x0	R/W

CONFIGURATION2 レジスタ

アドレス：0x2、リセット：0x0000、レジスタ名：CONFIGURATION2

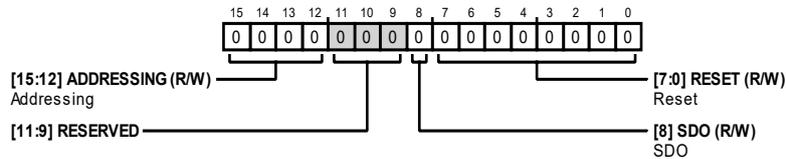


表 17. CONFIGURATION2 レジスタのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:9]	RESERVED	予備。	0x0	R
8	SDO	SDO。変換結果のシリアル・データ出力。 0：2線、変換データは SDOA ピンおよび SDOB/ALERTピンの両方に出力されます。 1：1線、変換データは SDOA ピンのみに出力されます。	0x0	R/W
[7:0]	RESET	リセット。 0x3C に設定するとソフト・リセットが実行され、一部のブロックが更新されますが、レジスタの内容は変わりません。ALERTレジスタはクリアされ、オーバーサンプリング保存された変数やアクティブ・ステート・マシンは消去されます。 0xFF に設定するとハード・リセットが実行され、デバイス内の可能な限りすべてのブロックがリセットされ、レジスタの内容はデフォルトに戻ります。その他の値はすべて無視されます。	0x0	R/W

ALERTレジスタ

アドレス：0x3、リセット：0x0000、レジスタ名：ALERT

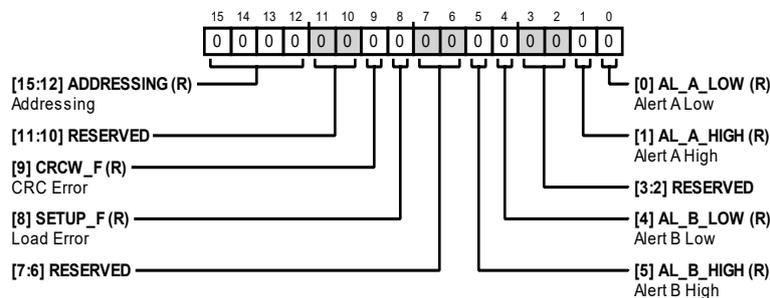


表 18. ALERTのビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R
[11:10]	RESERVED	予備。	0x0	R
9	CRCW_F	CRC エラー。レジスタ書き込みコマンドが CRC エラーのために失敗したことを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 0：CRC エラーなし。 1：CRC エラー。	0x0	R
8	SETUP_F	ロード・エラー。SETUP_F は、起動時にデバイス設定データが正しく読み込まれなかったことを示します。このビットは、ALERTレジスタの読み出し時にはクリアされません。このビットをクリアし、デバイスを再起動するには、CONFIGURATION2 レジスタを介したハード・リセットが必要です。 0：セットアップ・エラーなし。 1：セットアップ・エラー。	0x0	R
[7:6]	RESERVED	予備。	0x0	R

ビット	ビット名	説明	リセット	アクセス
5	AL_B_HIGH	アラート B ハイ。このアラート指示ハイ・ビットは、ADC B の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
4	AL_B_LOW	アラート B ロー。このアラート指示ロー・ビットは、ADC B の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
[3:2]	RESERVED	予備。	0x0	R
1	AL_A_HIGH	アラート A ハイ。このアラート指示ハイ・ビットは、ADC A の入力チャンネルの変換結果が ALERT_HIGH_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R
0	AL_A_LOW	アラート A ロー。このアラート指示ロー・ビットは、ADC A の入力チャンネルの変換結果が ALERT_LOW_THRESHOLD レジスタの設定値を超えているかどうかを示します。このフォールト・ビットはスティッキーで、レジスタが読み出されるまでセットされたままになります。 1: アラート表示。 0: アラート表示なし。	0x0	R

ALERT_LOW_THRESHOLD レジスタ

アドレス: 0x4、リセット: 0x0800、レジスタ名: ALERT_LOW_THRESHOLD

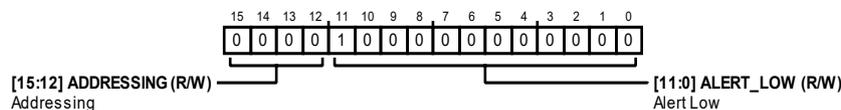


表 19. ALERT_LOW_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_LOW	アラート・ロー。ALERT_LOW のビット [11:0] は、ALERT_LOW レジスタ内の MSB (ビット [15:4]) に移動します。レジスタ内の残りのビット [3:0] は、0x0 に固定されます。変換結果が ALERT_LOW_THRESHOLD を下回るとアラートをセットし、ALERT_LOW_THRESHOLD を上回るとアラートを解除します。	0x800	R/W

ALERT_HIGH_THRESHOLD レジスタ

アドレス: 0x5、リセット: 0x07FF、レジスタ名: ALERT_HIGH_THRESHOLD

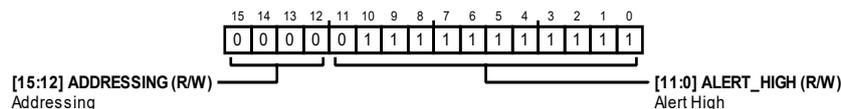


表 20. ALERT_HIGH_THRESHOLD のビットの説明

ビット	ビット名	説明	リセット	アクセス
[15:12]	ADDRESSING	アドレス指定。ビット [15:12] によって、該当するレジスタのアドレスが指定されます。詳細については、 レジスタのアドレス指定 のセクションを参照してください。	0x0	R/W
[11:0]	ALERT_HIGH	アラート・ハイ。ALERT_HIGH のビット [11:0] は、ALERT_HIGH レジスタ内の MSB、ビット [15:4] に移動します。レジスタ内の残りのビット [3:0] は、0xF に固定されます。変換結果が ALERT_HIGH_THRESHOLD を上回るとアラートをセットし、ALERT_HIGH_THRESHOLD を下回るとアラートを解除します。	0x7FF	R/W

外形寸法

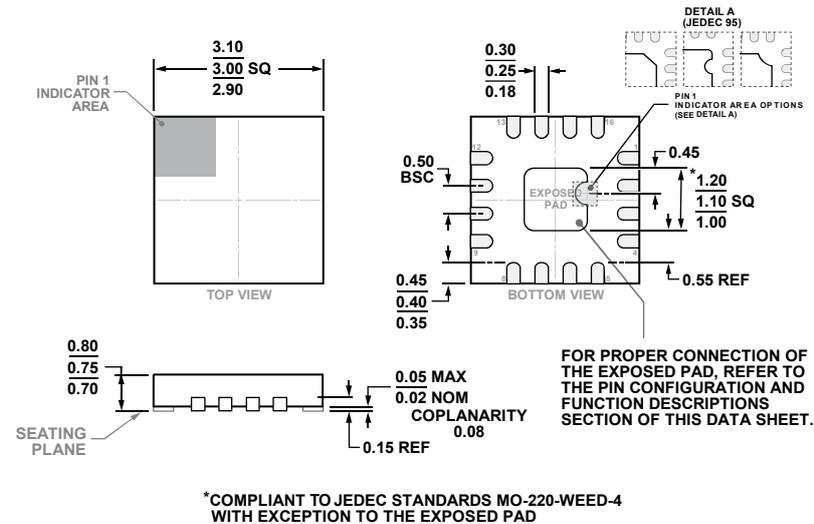


図 46. 16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 3mm × 3mm ボディ、0.75mm パッケージ高
 (CP-16-45)
 寸法：mm

オーダー・ガイド

Model ^{1, 2}	Resolution	Throughput Rate	Temperature Range	Package Description	Package Option	Marking Code
AD4680BCPZ-RL	16-Bit	1 MSPS	-40°C to +125°C	16-Lead LFCSP	CP-16-45	CAK
AD4680BCPZ-RL7	16-Bit	1 MSPS	-40°C to +125°C	16-Lead LFCSP	CP-16-45	CAK
AD4681BCPZ-RL	16-Bit	500 kSPS	-40°C to +125°C	16-Lead LFCSP	CP-16-45	CAM
AD4681BCPZ-RL7	16-Bit	500 kSPS	-40°C to +125°C	16-Lead LFCSP	CP-16-45	CAM
EVAL-AD7380FMCZ				AD7380 Evaluation Board		

¹ Z = RoHS 準拠製品

² AD4680 と AD4681 の評価には、EVAL-AD7380FMCZ を使用してください。EVAL-AD7380FMCZ は、EVAL-SDP-CHIZ 高速コントローラ・ボードと互換性があります。