

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年3月22日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年3月22日

製品名：AD4630-24/AD4632-24

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所 34 ページ、左の段、下から 2 行目

【誤】

ここで、
tTRANS は遷移時間、

【正】

ここで、
tTRANS は転送時間、

24ビット、2MSPS/500kSPSのデュアル・チャンネルSAR ADC

特長

- ▶ 高性能
 - ▶ スループット：1チャンネルあたり最大2MSPS（AD4630-24）または500kSPS（AD4632-24）
 - ▶ INL：±0.9ppm（最大値）（-40°C～+125°C）
 - ▶ S/N比：105.7dB（代表値）
 - ▶ THD：-127dB（代表値）
 - ▶ NSD：-166dBFS/Hz（代表値）
- ▶ 低消費電力
 - ▶ 15mW/チャンネル（2MSPS時）
 - ▶ 5mW/チャンネル（500kSPS時）
 - ▶ 1.5mW/チャンネル（10kSPS時）
- ▶ Easy Drive機能によるシステムの複雑さの軽減
 - ▶ DC入力の場合0.6μAの低入力電流（2MSPS時）
 - ▶ 広い入力共通モード電圧範囲： $-(1/128) \times V_{REF} \sim +(129/128) \times V_{REF}$
- ▶ 柔軟な外部リファレンス電圧範囲：4.096V～5V
 - ▶ 2μFのバイパス・コンデンサを使用する高精度のリファレンス・バッファを内蔵
- ▶ プログラマブルなブロック平均化フィルタによる最大2¹⁶のデシメーション
 - ▶ サンプリング分解能を30ビットに拡張
 - ▶ オーバーレンジ・ビットおよび同期ビット
- ▶ Flexi-SPIデジタル・インターフェース
 - ▶ チャンネルあたり1、2、または4個のSDOレーンによりSCKの低速化が可能
 - ▶ エコー・クロック・モードにより、デジタル・アイソレータが容易に使用可能
 - ▶ 1.2V～1.8Vのロジックに対応
- ▶ 7mm×7mmの64ボールCSP_BGAパッケージに電源およびリファレンス・コンデンサを内蔵し、システム・フットプリントを縮小

アプリケーション

- ▶ ATE（自動試験装置）
- ▶ デジタル制御ループ
- ▶ 医療用計測機器
- ▶ 地震計測
- ▶ 半導体製造
- ▶ 科学計測器

機能ブロック図

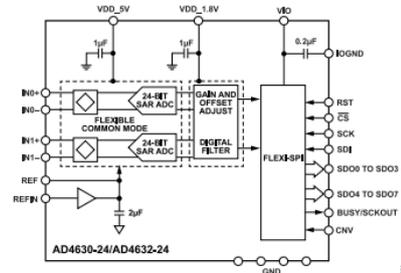


図 1. 機能ブロック図

概要

AD4630-24/AD4632-24は、同時サンプリングおよびEasy Drive™機能を備えた、2MSPSまたは500kSPSの2チャンネル逐次比較レジスタ（SAR）A/Dコンバータ（ADC）です。最大±0.9ppmのINLと24ビットでのノー・ミス・コードが確保されたAD4630-24/AD4632-24は、-40°C～+125°Cで比類ない精度を実現します。図1にAD4630-24/AD4632-24の機能アーキテクチャを示します。

低ドリフト高精度のリファレンス・バッファが内蔵されているため、電圧リファレンスを他のシステム回路と容易に共有できます。5Vのリファレンスを使用する場合、AD4630-24/AD4632-24のダイナミック・レンジは106dB（代表値）です。低ノイズ・フロアのため、シグナル・チェーンに必要なゲインや消費電力を下げることができます。プログラマブルなデシメーション・レシオをプログラム可能なブロック平均化フィルタにより、ダイナミック・レンジを最大153dBまで増加させることができます。差動入力範囲と共通モード電圧範囲が広いこと、入力において電圧リファレンス（±VREF）の全範囲を飽和することなく使用でき、シグナル・コンディショニング条件とシステム・キャリブレーションを簡素化できます。Easy Driveのアナログ入力ではセトリングが向上しているため、AD4630-24/AD4632-24に対応可能なアナログ・フロント・エンド部品の選択肢が広がります。シングルエンド信号と差動信号のどちらにも対応可能です。

用途の広いFlexi-SPIシリアル・ペリフェラル・インターフェース（SPI）により、ホスト・プロセッサとADCを容易に統合できます。広いデータ・クロッキング・ウィンドウ、複数のSDOレーン、オプションのデュアル・データ・レート（DDR）データ・クロッキングにより、2MSPSまたは500kSPSのサンプリング・レートで動作しながら、シリアル・クロックを10MHzに下げることができます。エコー・クロック・モードとADCホスト・クロック・モードでは、タイミング条件が緩和されるため、デジタル・アイソレータが容易に使用できます。

AD4630-24/AD4632-24の64ボールチップ・スケールパッケージ・ボール・グリッド・アレイ（CSP_BGA）には、重要な電源とリファレンス・バイパス・コンデンサがすべて搭載されているため、フットプリントとシステムの部品数を削減すると共に、ボード・レイアウトによる影響を軽減することができます。

Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。

※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	インターフェース設定Aレジスタ	41
アプリケーション	1	インターフェース設定Bレジスタ	41
機能ブロック図	1	デバイス設定レジスタ	42
概要	1	チップ・タイプ・レジスタ	42
仕様	4	製品IDロー・レジスタ	42
タイミング仕様	6	製品IDハイ・レジスタ	42
絶対最大定格	12	チップ・グレード・レジスタ	43
熱抵抗	12	スクラッチパッド・レジスタ	43
静電放電 (ESD) 定格	12	SPIリビジョン・レジスタ	43
ESDに関する注意	12	ベンダIDロー・レジスタ	44
ピン配置およびピン機能の説明	13	ベンダIDハイ・レジスタ	44
代表的な性能特性	15	ストリーム・モード・レジスタ	44
用語の定義	20	インターフェース設定レジスタ	45
動作原理	21	インターフェース・ステータスAレジスタ	45
概要	21	設定モード終了レジスタ	45
コンバータの動作	22	平均化モード・レジスタ	46
伝達関数	22	チャンネル0オフセット・レジスタ	46
アナログ機能	22	チャンネル1オフセット・レジスタ	47
デジタル・サンプリング処理機能	23	チャンネル0ゲイン・レジスタ	48
アプリケーション情報	25	チャンネル1ゲイン・レジスタ	48
代表的なアプリケーション図	25	モード・レジスタ	49
アナログ・フロント・エンドの設計	26	内部発振器レジスタ	49
リファレンス回路の設計	26	出力ドライバ・レジスタ	50
デバイスのリセット	27	テスト・パターン・レジスタ	50
電源	27	デジタル診断レジスタ	51
シリアル・インターフェース	28	デジタル・エラー・レジスタ	51
SPI信号	28	外形寸法	52
サンプル変換タイミングとデータ転送	30	オーダー・ガイド	52
クロック・モード	31	評価用ボード	52
データ・クロック条件とタイミング	34		
レイアウトのガイドライン	39		
レジスタ	40		
レジスタの詳細	41		

改訂履歴

7/2022—Rev. 0 to Rev. A

Added AD4632-24	1
Changes to Features Section and General Description Section	1
Changes to Table 1	4
Changes to Table 2	6
Changes to Table 7 Title, Figure 9 Title, and Figure 10 Title	38
Change to Figure 25 Title	17
Added Figure 26; Renumbered Sequentially	17
Change to Figure 30 Title and Figure 35 Title	18
Added Figure 31	18

目次

Added Figure 36.....	19
Changes to Overview Section.....	21
Changes to Converter Operation Section.....	22
Changes to Serial Interface Section, SPI Signals Section, and Table 13.....	28
Change to Sample Conversion Timing and Data Transfer Section.....	30
Changes to Host Clock Mode Section, Figure 54 Title, Dual Data Rate Section, 1-Lane Output Data Clocking Mode Section, and 2-Lane Output Data Clocking Mode Section.....	32
Changes to 4-Lane Output Data Clocking Mode Section, Interleaved Lane Output Data Clocking Mode Section, and Table 14.....	33
Change to Basic and Averaging Conversion Cycles Section.....	34
Changes to Host Clock Mode Timing Section Title, 1-Lane, Host Clock Mode, SDR Section, and 1-Lane, Host Clock Mode, DDR Section.....	38
Change to Table 43.....	49
Changes to Figure 60 and Figure 60 Title.....	52
Changes to Ordering Guide.....	52

11/2021—Revision 0: Initial Version

仕様

特に指定のない限り、VDD_5V = 5.4V、VDD_1.8V = 1.8V、VIO = 1.8V、REFIN = 5V、入力コモンモード = 2.5V、サンプリング周波数 (fs) = 2MSPS (AD4630-24) および500kSPS (AD4632-24)、および全仕様はTMIN~TMAXでの値です。代表値はTA = 25°Cでの値です。

表 1. 仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
RESOLUTION		24			Bits
ANALOG INPUT					
Voltage Range	INx+電圧 (VINx+) - INx-電圧 (VINx-)	$-(65/64) \times V_{REF}$		$+(65/64) \times V_{REF}$	V
Absolute Input Voltage	GNDを基準としたVINx+、VINx-	$-(1/128) \times V_{REF}$		$+(129/128) \times V_{REF}$	V
Common-Mode Input Range	$(V_{INx+} + V_{INx-})/2$	$-(1/128) \times V_{REF}$		$+(129/128) \times V_{REF}$	V
Common-Mode Rejection Ratio (CMRR)	入力周波数 (fIN) = 10kHz		132		dB
Analog Input Current	アクイジション・フェーズ、TA = 25°C		0.4		nA
	DC入力を2MSPSで変換		0.6		μA
Analog Input Capacitance (CIN)	アクイジション・フェーズ		60		pF
	アクイジション・フェーズ外 (ピン容量 (CPIN))		2		pF
THROUGHPUT					
Complete Cycle					
AD4630-24		500			ns
AD4632-24		2000			ns
Conversion Time		264	282	300	ns
Acquisition Phase ¹					
AD4630-24		244	260	275	ns
AD4632-24		1744	1760	1775	ns
Throughput Rate					
AD4630-24		0		2	MSPS
AD4632-24		0		500	kSPS
DC ACCURACY					
No Missing Codes		24			Bits
Integral Nonlinearity (INL) Error		-0.9	±0.1	+0.9	ppm
Differential Nonlinearity (DNL) Error			±0.5		LSB
Transition Noise			29.7		LSB
Zero Error		-90	0	+90	rms
Zero Error Drift			±0.007		μV
Gain Error	バッファをディスエーブル、REF = 5V	-0.004	±0.0002	+0.004	ppm/°C
	バッファをイネーブル、REFIN = 5V	-0.008	±0.0006	+0.008	%FS
Gain Error Temperature Drift	バッファをディスエーブル、REF = 5V		±0.025		%FS
	バッファをイネーブル、REFIN = 5V		±0.07		ppm/°C
Power Supply Sensitivity	VDD_5V = 5.4V ± 0.1V		±0.1		ppm/°C
	VDD_1.8V = 1.8V ± 5%		±0.2		ppm
Low Frequency Noise ²	帯域幅 = 0.1Hz~10Hz		1.8		ppm
AC ACCURACY					
Dynamic Range			106		μV p-p
Noise Spectral Density (NSD)			-166		dB
Total RMS Noise			17.7		dBFS/Hz
Signal to Noise Ratio (SNR)	fIN = 1kHz、-0.5dBFS	103.3	105.7		μV rms
Spurious-Free Dynamic Range (SFDR)	fIN = 1kHz、-0.5dBFS		127		dB
Total Harmonic Distortion (THD)	fIN = 1kHz、-0.5dBFS		-127	-115	dB
Signal-to-Noise-and-Distortion (SINAD) Ratio	fIN = 1kHz、-0.5dBFS	103.3	105.7		dB
Oversampled Dynamic Range	平均化 = 2		109		dB

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
SNR	平均化 = 256		130		dB
	平均化 = 65536		152.7		dB
	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		104		dB
SFDR	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		130		dB
THD	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		-130		dB
SINAD	VDD_5V = 5.0V, f _{IN} = 1kHz, -0.5dBFS, REFIN = 4.096V		104		dB
SNR	f _{IN} = 100kHz, -0.5dBFS		105.6		dB
THD	f _{IN} = 100kHz, -0.5dBFS		-113		dB
SINAD	f _{IN} = 100kHz, -0.5dBFS		104.9		dB
-3 dB Input Bandwidth			74		MHz
Aperture Delay			0.7		ns
Aperture Jitter			1.4		ps rms
CHANNEL-TO-CHANNEL CROSSTALK	f _{IN} = 1kHz, 1.3kHz		-135		dB
INTERNAL REFERENCE BUFFER	外部リファレンスがREFINを駆動				
REFIN Voltage Range	5.3V ≤ VDD_5V ≤ 5.5V	4.95	5	5.05	V
	4.8V ≤ VDD_5V ≤ 5.25V		4.5		V
	4.75V ≤ VDD_5V ≤ 5.25V	4.046	4.096	4.146	V
REFIN Bias Current		-50	5	+50	nA
REFIN Input Capacitance			40		pF
Reference Buffer Offset Error	REFIN = 5V, T _A = 25°C	-100	±25	+100	μV
	REFIN = 4.5V, T _A = 25°C		±25		μV
	REFIN = 4.096V, T _A = 25°C	-100	±25	+100	μV
Reference Buffer Offset Drift			±0.3		μV/°C
Power-On Settling Time			3		ms
EXTERNALLY OVERDRIVEN REFERENCE	外部リファレンスがREFを駆動 (REFIN = 0V)				
REF Voltage Range	5.3V ≤ VDD_5V ≤ 5.5V	4.95	5	5.05	V
	4.8V ≤ VDD_5V ≤ 5.25V		4.5		V
	4.75V ≤ VDD_5V ≤ 5.25V	4.046	4.096	4.146	V
REF Current					
AD4630-24	f _S = 2MSPS		1.8		μA
AD4632-24	f _S = 500kSPS		0.5		μA
REF Input Capacitance			2		μF
DIGITAL INPUTS	1.14V ≤ VIO ≤ 1.89V				
Logic Levels					
Input Voltage Low (V _{IL})		-0.3		+0.35 × VIO	V
Input Voltage High (V _{IH})		0.65 × VIO		VIO + 0.3	V
Input Current Low (I _{IL})		-10		+10	μA
Input Current High (I _{IH})		-10		+10	μA
Input Pin Capacitance			2		pF
DIGITAL OUTPUTS	1.14V ≤ VIO ≤ 1.89V				
Pipeline Delay		Conversion results available immediately after completed conversion			
Output Voltage Low (V _{OL})	シンク電流 (I _{SINK}) = 2mA			0.25 × VIO	V
Output Voltage High (V _{OH})	ソース電流 (I _{SOURCE}) = 2mA	0.75 × VIO			V

仕様

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
POWER SUPPLIES					
VDD_5V	REF = 5V	5.3	5.4	5.5	V
	REF = 4.5V	4.8	5	5.25	V
	REF = 4.096V	4.75	5	5.25	V
VDD_1.8V		1.71	1.8	1.89	V
VIO ³		1.14		1.89	V
Standby Current					
VDD_5V			500		μA
VDD_1.8V			90		μA
VIO			<1		μA
Shutdown Current					
VDD_5V			5		μA
VDD_1.8V			5		μA
VIO			<1		μA
Operating Current, AD4630-24					
VDD_5V	両チャンネルがアクティブ、2MSPS VDD_5V = 5.4V		2.7	3.2	mA
VDD_1.8V	VDD_1.8V = 1.8V		8.2	11.2	mA
VIO	VIO = 1.8V、1レーンSDO		0.6		mA
Operating Current, AD4632-24					
VDD_5V	両チャンネルがアクティブ、500kSPS VDD_5V = 5.4V		1.1	1.5	mA
VDD_1.8V	VDD_1.8V = 1.8V		2.1	3.1	mA
VIO	VIO = 1.8V、1レーンSDO		0.15		mA
Power Dissipation					
	両チャンネルがアクティブ、2MSPS		30	39	mW
	両チャンネルがアクティブ、500kSPS		10	14.2	mW
t _{RESET_DELAY}	パワーオン後、VDD_5VおよびVDD_1.8Vが有効 になってからRSTがアサートされるまでの遅延	3			ms
t _{RESET_PW}	RSTのパルス幅	50			ns
TEMPERATURE RANGE					
Specified Performance	T _{MIN} ~T _{MAX}	-40		+125	°C

- 1 アクイジション・フェーズとは、AD4630-24では2MSPS、AD4632-24では500kSPSのスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間を指します。
- 2 図24の低周波数ノイズ・プロットを参照してください。1/fノイズは、オートゼロ機能により内部で打ち消されます。ノイズ・スペクトル密度は、DC~f_S/2の範囲で実質的に一定です。
- 3 VIO < 1.4Vの場合、ビットIO2Xを1に設定する必要があります。出力ドライバ・レジスタのセクションを参照してください。

タイミング仕様

特に指定のない限り、VDD_5V = 5.4V、VDD_1.8V = 1.8V、VIO = 1.8V、REFIN = 5V、入力コモンモード = 2.5V、f_S = 2MSPS (AD4630-24) または500kSPS (AD4632-24)、および全仕様はT_{MIN}~T_{MAX}での値です。代表値はT_A = 25° Cでの値です。タイミング電圧レベルについては図2を参照してください。VIO < 1.4Vの場合、ビットIO2Xを1に設定する必要があります。

表 2. デジタル・タイミング・インターフェース

Parameter ¹	Symbol	Min	Typ	Max	Unit
Conversion Time—CNV Rising Edge to Data Available	t _{CONV}	264	282	300	ns
Acquisition Phase²					
AD4630-24	t _{ACQ}	244	260	275	ns
AD4632-24	t _{ACQ}	1744	1760	1775	ns
Time Between Conversions					
AD4630-24	t _{CYC}	500			ns
AD4632-24	t _{CYC}	2000			ns

仕様

Parameter ¹	Symbol	Min	Typ	Max	Unit
CNV High Time	t _{CNVH}	10			ns
CNV Low Time	t _{CNVL}	20			ns
Internal Oscillator Frequency	f _{OSC}	75.1	80	84.7	MHz

1 タイミング仕様は、デジタル出力ピンでの負荷容量が5pFであると仮定しています。t_{CONV}、t_{CYC}、t_{SCK}、t_{SCKOUT}は出荷テスト済みです。それ以外のタイミング仕様は特性評価および設計により確保されています。

2 アクイジション・フェーズとは、AD4630-24では2MSPS、AD4632-24では500kSPSのスループット・レートで動作しているときに、入力サンプリング・コンデンサが新規の入力値を取得するために使用できる時間を指します。

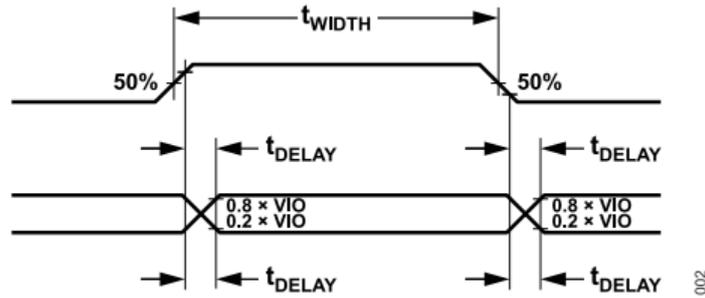


図 2. タイミングの電圧レベル

表 3. レジスタ読出し／書き込みのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
CS Pulse Width	t _{CSPW}	10			ns
SCK Period	t _{SCK}				
V _{IO} > 1.71 V		11.6			ns
V _{IO} > 1.14 V		12.3			ns
SCK Low Time	t _{SCKL}	5.2			ns
SCK High Time	t _{SCKH}	5.2			ns
SCK Falling Edge to Data Remains Valid	t _{HSDO}	2.1			ns
SCK Falling Edge to Data Valid Delay	t _{DSDO}				
V _{IO} > 1.71 V				9.4	ns
V _{IO} > 1.14 V				11.8	ns
CS Rising Edge to SDO High Impedance	t _{CSDIS}			9	ns
SDI Valid Setup Time to SCK Rising Edge	t _{SSDI}	1.5			ns
SDI Valid Hold Time from SCK Rising Edge	t _{HSDI}	1.5			ns
CS Falling Edge to First SCK Rising Edge	t _{CSCK}				
V _{IO} > 1.71 V		11.6			ns
V _{IO} > 1.14 V		12.3			ns
Last SCK Edge to CS Rising Edge	t _{SCKCS}	5.2			ns

仕様

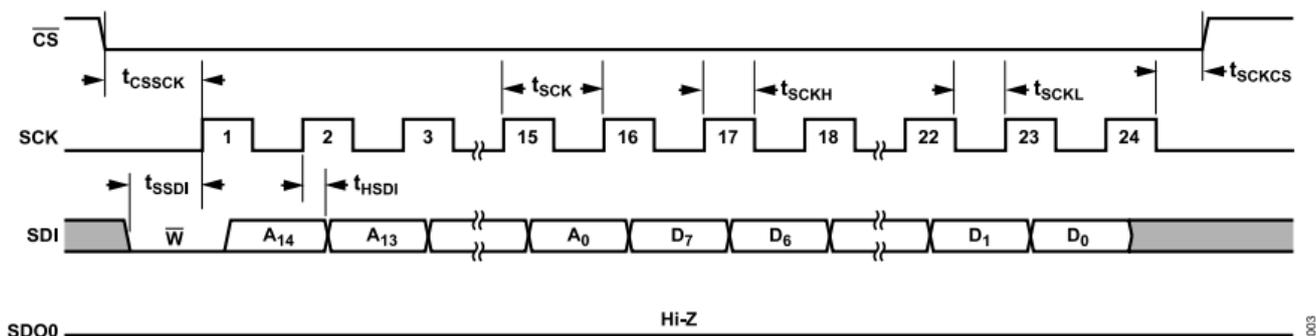


図 3. レジスタ設定モードの書き込みタイミング

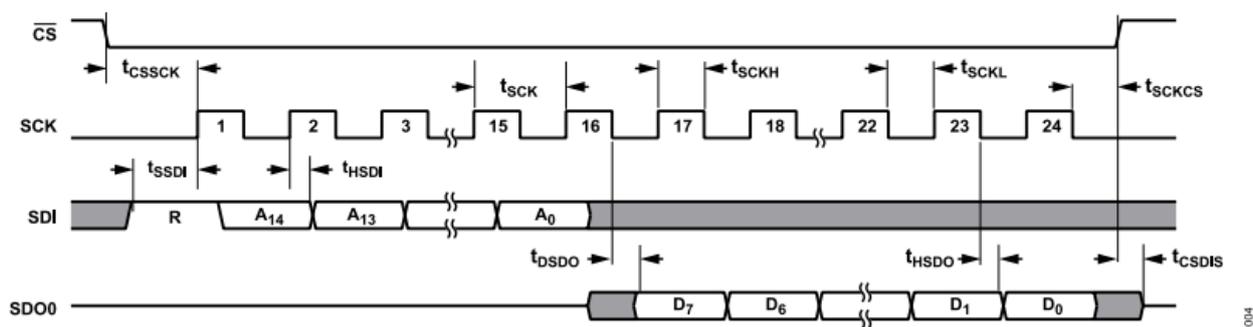


図 4. レジスタ設定モードの読出しタイミング

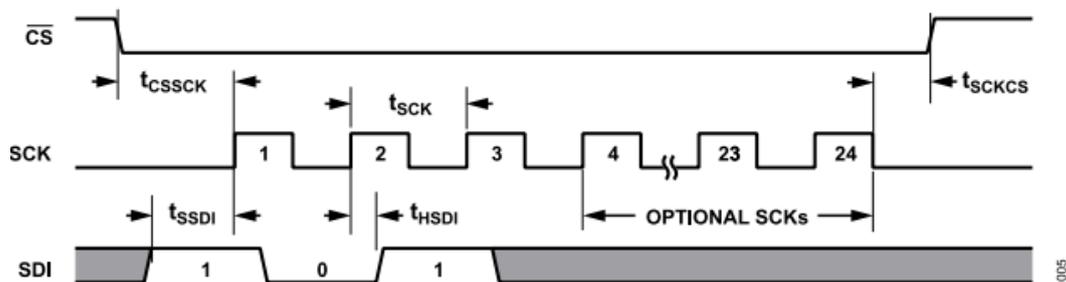


図 5. レジスタ設定モードのコマンド・タイミング

表 4. SPI互換モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}	9.8			ns
VIO > 1.71 V		12.3			ns
VIO > 1.14 V					
SCK Low Time	t_{SCKL}	4.2			ns
VIO > 1.71 V		5.2			ns
VIO > 1.14 V					
SCK High Time	t_{SCKH}	4.2			ns
VIO > 1.71 V		5.2			ns
VIO > 1.14 V					
SCK Falling Edge to Data Remains Valid	t_{HSDO}	1.4			ns
SCK Falling Edge to Data Valid Delay	t_{DSDO}			5.6	ns
VIO > 1.71 V					

仕様

Parameter	Symbol	Min	Typ	Max	Unit
VIO > 1.14 V				8.1	ns
$\overline{\text{CS}}$ Falling Edge to SDO Valid	t _{CSEN}				ns
VIO > 1.71 V				6.8	ns
VIO > 1.14 V				9.3	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t _{CSSCK}				ns
VIO > 1.71 V		9.8			ns
VIO > 1.14 V		12.3			ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t _{SCKCS}	4.2			ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t _{CSDIS}			9	ns
$\overline{\text{CS}}$ Falling Edge to BUSY Rising Edge	t _{CSBUSY}		6		ns

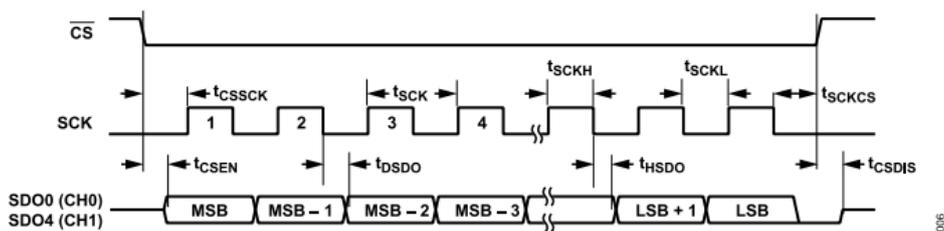


図 6. SPIクロック・モードの1レーンSDRのタイミング

表 5. エコー・クロック・モードのタイミング、SDR、1レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t _{SCK}				
VIO > 1.71 V		9.8			ns
VIO > 1.14 V		12.3			ns
SCK Low Time, SCK High Time	t _{SCKL} , t _{SCKH}				
VIO > 1.71 V		4.2			ns
VIO > 1.14 V		5.2			ns
SCK Rising Edge to Data/SCKOUT Remains Valid	t _{HSDO}	1.1			ns
SCK Rising Edge to Data/SCKOUT Valid Delay	t _{DSDO}				
VIO > 1.71 V				5.6	ns
VIO > 1.14 V				8.1	ns
$\overline{\text{CS}}$ Falling Edge to First SCK Rising Edge	t _{CSSCK}				ns
VIO > 1.71 V		9.8			ns
VIO > 1.14 V		12.3			ns
Skew Between Data and SCKOUT	t _{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to $\overline{\text{CS}}$ Rising Edge	t _{SCKCS}	4.2			ns
$\overline{\text{CS}}$ Rising Edge to SDO High Impedance	t _{CSDIS}			9	ns

仕様

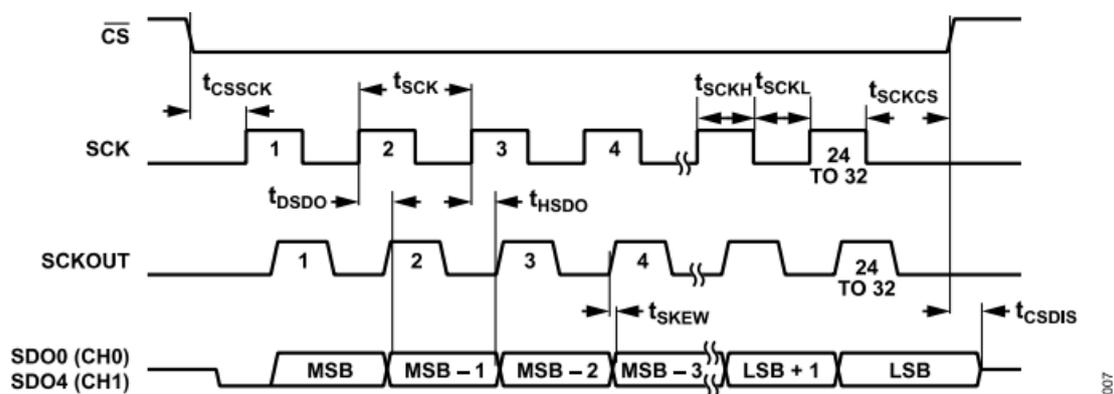


図 7. エコー・クロック・モードのタイミング、SDR、1 レーン

表 6. エコー・クロック・モードのタイミング、DDR、1 レーン

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCK}	12.3			ns
SCK Low Time, SCK High Time	t_{SCKL}, t_{SCKH}	5.2			ns
SCK Edge to Data/SCKOUT Remains Valid	t_{HSDO}	1.1			ns
SCK Edge to Data/SCKOUT Valid Delay	t_{DSDO}				
VIO > 1.71 V				6.2	ns
VIO > 1.14 V				8.7	ns
\overline{CS} Falling Edge to First SCK Rising Edge	t_{CSSCK}	12.3			ns
Skew Between Data and SCKOUT	t_{SKEW}	-0.4	0	+0.4	ns
Last SCK Edge to \overline{CS} Rising Edge	t_{SCKCS}	9			ns
\overline{CS} Rising Edge to SDO High Impedance	t_{CSDIS}			9	ns

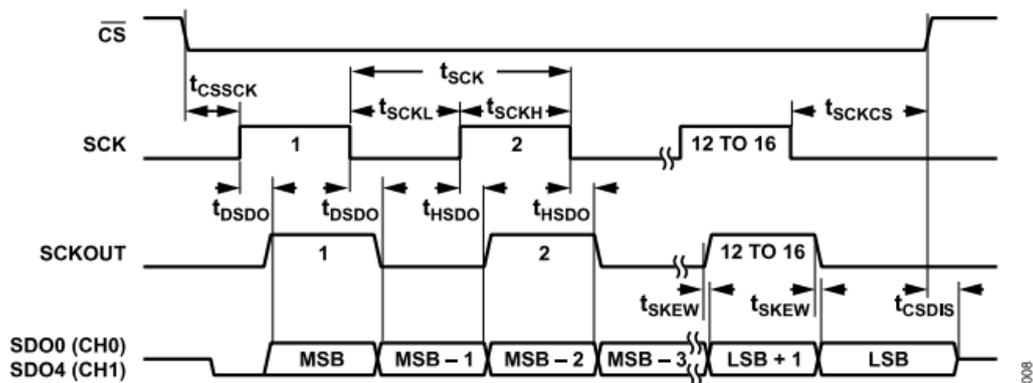


図 8. エコー・クロック・モードのタイミング、DDR、1 レーン

表 7. ホスト・クロック・モードのタイミング

Parameter	Symbol	Min	Typ	Max	Unit
SCK Period	t_{SCKOUT}				
OSC_DIV = No Divide		11.8	12.5	13.3	ns
OSC_DIV = Divide by 2		23.6	25	26.6	ns
OSC_DIV = Divide by 4		47.4	50	53.2	ns
SCK Low Time	$t_{SCKOUTL}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
SCK High Time	$t_{SCKOUTH}$	$0.45 \times t_{SCKOUT}$		$0.55 \times t_{SCKOUT}$	ns
\overline{CS} Falling Edge to First SCKOUT Rising Edge	$t_{DSCKOUT}$				

仕様

Parameter	Symbol	Min	Typ	Max	Unit
VIO > 1.71 V		10	13.6	19	ns
VIO > 1.14 V		10	15	21	ns
Skew Between Data and SCKOUT	t _{SKEW}	-0.4	0	+0.4	ns
Last SCKOUT Edge to CS Rising Edge	t _{SCKOUTCS}	5.2			ns
CS Rising Edge to SDO High Impedance	t _{CSDIS}			9	ns

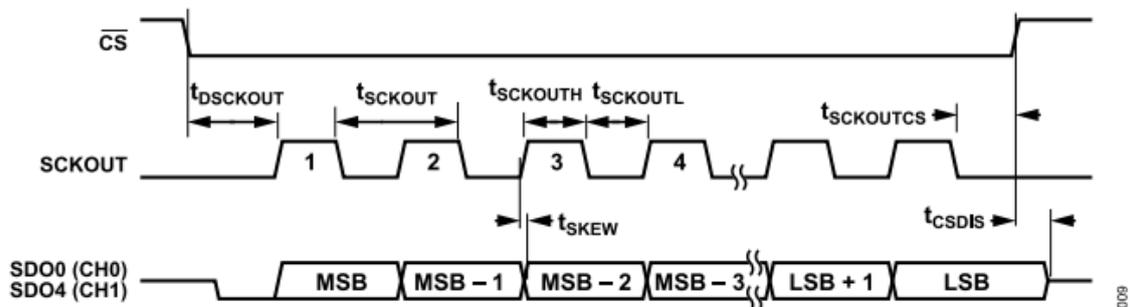


図 9. ホスト・クロック・モードのタイミング、SDR、1レーン

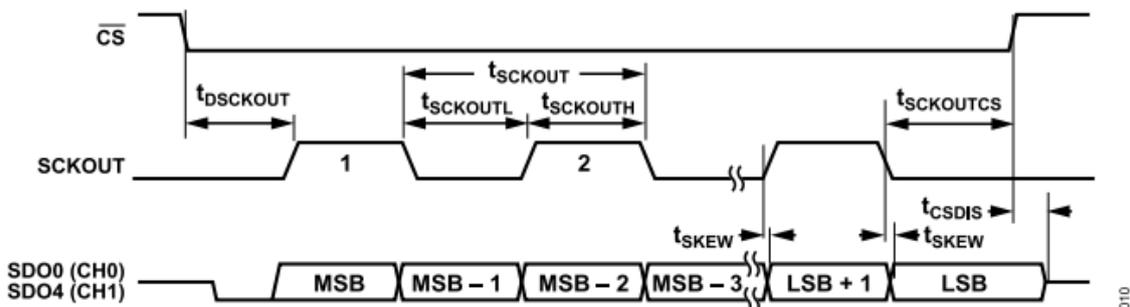


図 10. ホスト・クロック・モードのタイミング、DDR、1レーン

絶対最大定格

表 8. 絶対最大定格

Parameter	Rating
Analog Inputs IN1+, IN1-, IN0+, IN0-, REFIN to GND	-0.3 V ~ VDD_5V + 0.3 V
Supply Voltage VDD_5V, REF to GND	-0.3 V ~ +6.0 V
VDD_1.8V, VIO to GND	-0.3 V ~ +2.1 V
Digital Inputs to GND CNV to GND	-0.3 V ~ VIO + 0.3 V
Digital Outputs to GND	-0.3 V ~ VIO + 0.3 V
Storage Temperature Range	-55°C ~ +150°C
Operating Junction Temperature Range	-40°C ~ +125°C
Maximum Reflow (Package Body) Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本仕様の動作のセクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 9. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
05-08-1797	35	16	°C/W

静電放電（ESD）定格

以下のESD情報は、ESDに敏感なデバイスを取り扱うために示したものです。対象はESD保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002準拠の電界誘起帯電デバイス・モデル（FICDM）。

AD4630-24/AD4632-24のESD定格

表 10. AD4630-24/AD4632-24、64ボールCSP_BGA

ESD Model	Withstand Threshold (kV)	Class
HBM	4	3A
FICDM	1.25	C3

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

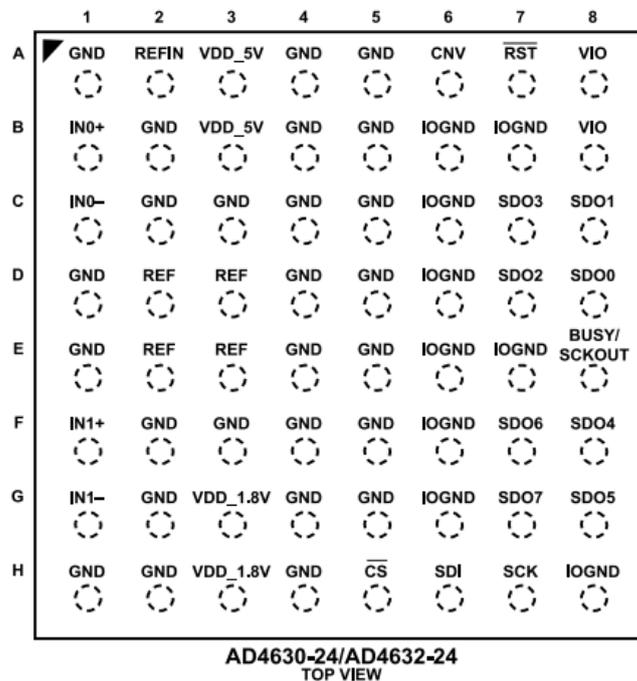


図 11. ピン配置

表 11. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1, D1, E1, H1, B2, C2, F2, G2, H2, C3, F3, A4, B4, C4, D4, E4, F4, G4, H4, A5, B5, C5, D5, E5, F5, G5	GND	P	電源グラウンド。
A2	REFIN	AI	バッファ付きリファレンス入力。内部リファレンス・バッファを用いる場合、REFINを4.096V～5V（GND基準）で駆動します。リファレンス・バッファをディスエーブルする場合は、REFINをGNDに接続し、REFを4.096V～5Vで駆動します。
A3, B3	VDD_5V	P	5V電源。VDD_5Vの範囲はリファレンス値により異なります。5Vリファレンスでは5.3V～5.5V、4.096Vリファレンスでは4.75V～5.25Vです。このピンにはパッケージ内に1μFのバイパス・コンデンサがあります。
A6	CNV	DI	変換入力。この入力の立上がりエッジによってデバイスが起動し、変換が開始されます。ADCの仕様規定された性能を実現するには、この信号が低ジッタであることが必要です。ロジック・レベルはVIOによって決まります。
A7	RST	DI	リセット入力（アクティブ・ロー）。非同期デバイス・リセット。
A8, B8	VIO	P	入出力インターフェースのデジタル電源。このピンの公称電圧はホスト・インターフェースと同じ（1.8V、1.5V、または1.2V）です。このピンにはパッケージ内に0.2μFのバイパス・コンデンサがあります。VIO < 1.4Vの場合、出力ドライバ・レジスタのビットIO2Xを1に設定する必要があります。
B1	IN0+	AI	チャンネル0の正側アナログ入力。
B6, B7, C6, D6, E6, E7, F6, G6, H8	IOGND	P	VIOグラウンド。GNDと同じグラウンド・プレーンに接続します。
C1	IN0-	AI	チャンネル0の負側アナログ入力。
C7	SDO3	DO	チャンネル0のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
C8	SDO1	DO	チャンネル0のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
D2, D3, E2, E3	REF	AI	オプションのバッファなしリファレンス入力。REFは4.096V～5V（GND基準）で駆動します。このピンにはパッケージ内に2μFのバイパス・コンデンサがあります。内部リファレンス・バッファを用いる場合、REFには何も接続しないでください。
D7	SDO2	DO	チャンネル0のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
D8	SDO0	DO	チャンネル0のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。

ピン配置およびピン機能の説明

ピン番号	記号	タイプ ¹	説明
E8	BUSY/SCKOUT	DO	SPIクロック・モードのビジー・インジケータ。このピンは、新たな変換の開始時にハイとなり、変換が終了するとローになります。ロジック・レベルはVIOによって決まります。SCKOUTがイネーブルされている場合、このピン機能は、ホスト・コントローラから入力されるSCKのエコー、または内部発振器から送られるクロックのどちらかになります。
F1	IN1+	AI	チャンネル1の正側アナログ入力。
F7	SDO6	DO	チャンネル1のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
F8	SDO4	DO	チャンネル1のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
G1	IN1-	AI	チャンネル1の負側アナログ入力。
G3, H3	VDD_1.8V	P	1.8V電源。VDD_1.8Vの範囲は1.71V～1.89Vです。このピンにはパッケージ内に1μFのバイパス・コンデンサがあります。
G7	SDO7	DO	チャンネル1のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
G8	SDO5	DO	チャンネル1のシリアル・データ出力。変換結果はこのピンに出力されます。SCKに同期されます。
H5	$\overline{\text{CS}}$	DI	チップ・セレクト入力（アクティブ・ロー）。
H6	SDI	DI	シリアル・データ入力。
H7	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると（ $\overline{\text{CS}}$ = ロー）、変換結果はこのクロックによってシフト出力されます。

1 AIはアナログ入力、Pは電源、DIはデジタル入力、DOはデジタル出力です。

代表的な性能特性

特に指定のない限り、VDD_5V = 5.4V、VDD_1.8V = 1.8V、VIO = 1.8V、REFIN = 5V、入力コモンモード = 2.5V、fs = 2MSPS、および全仕様はTMIN~TMAXでの値です。代表値はTA = 25°Cでの値です。

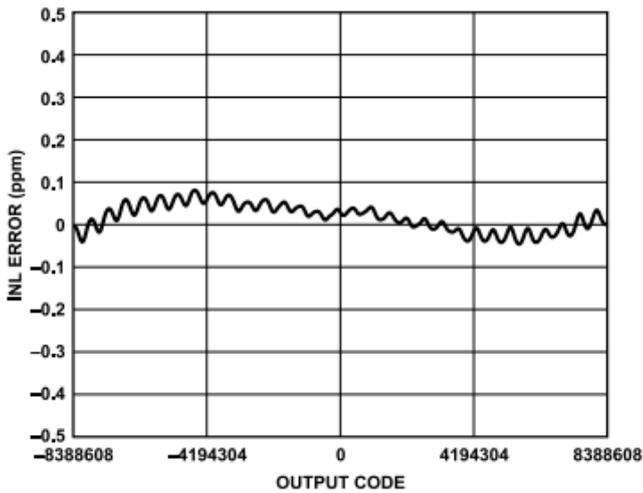


図 12. INL 誤差と出力コードの関係 (差動入力)

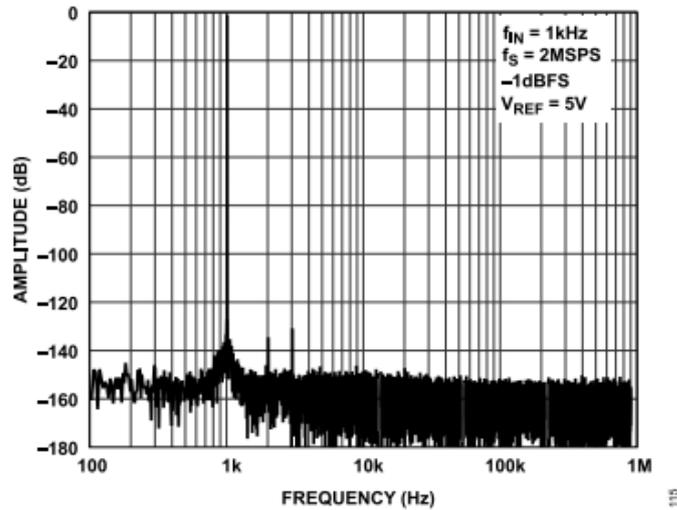


図 15. FFT、2MSPS、fIN = 1kHz、VREF = 5V

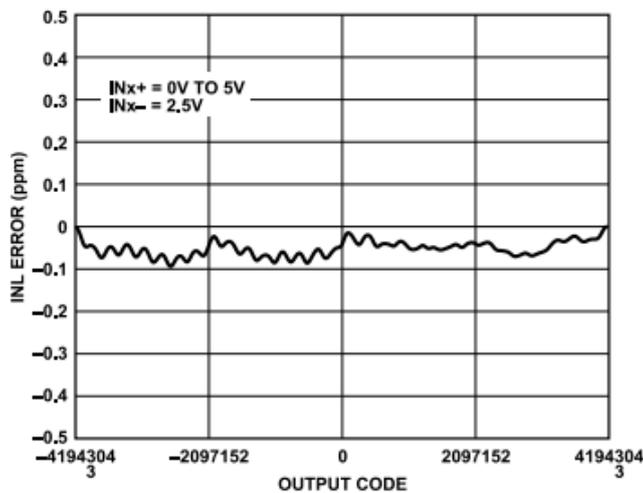


図 13. INL 誤差と出力コードの関係 (シングルエンド入力)

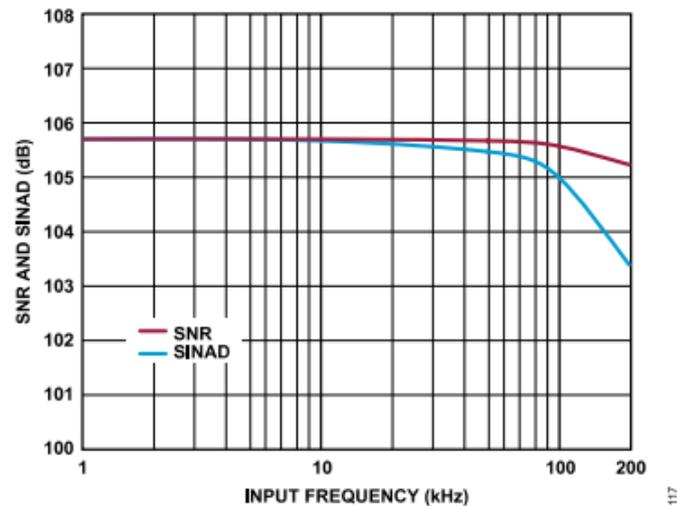


図 16. SNR および SINAD と入力周波数の関係

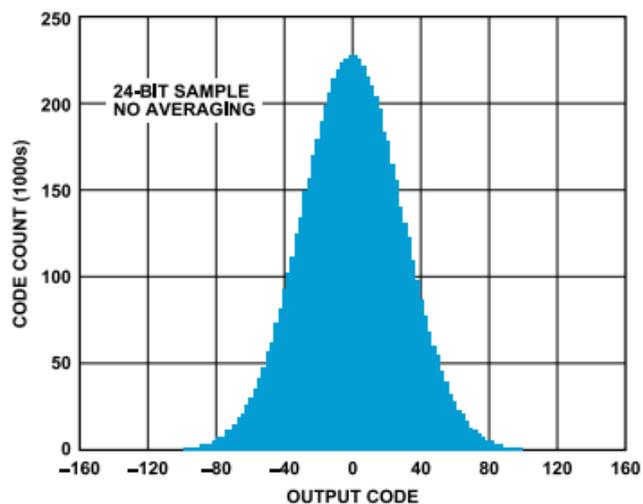


図 14. 入力を短絡した場合のコードのヒストグラム

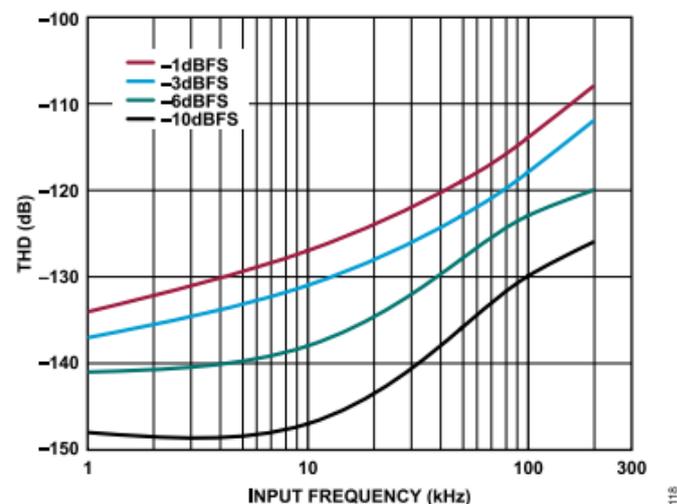


図 17. THD と入力周波数および振幅の関係

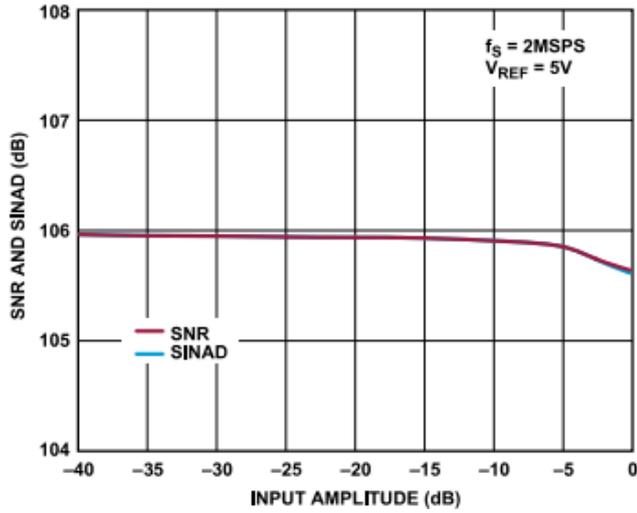


図 18. SNRおよびSINADと入力振幅の関係、 $f_{IN} = 1\text{kHz}$

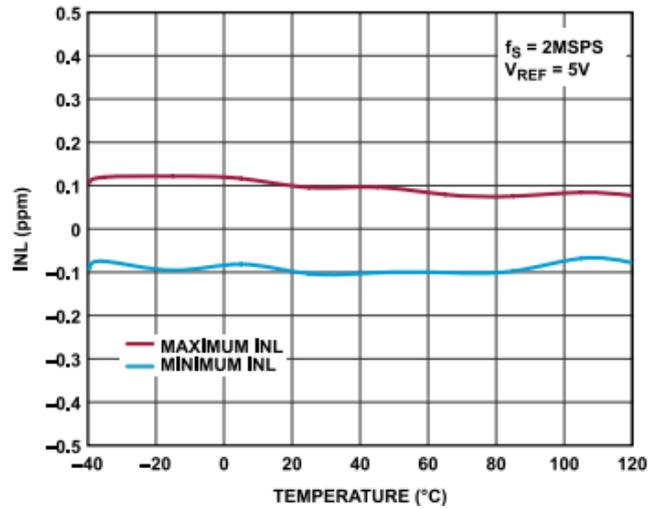


図 21. INLと温度の関係

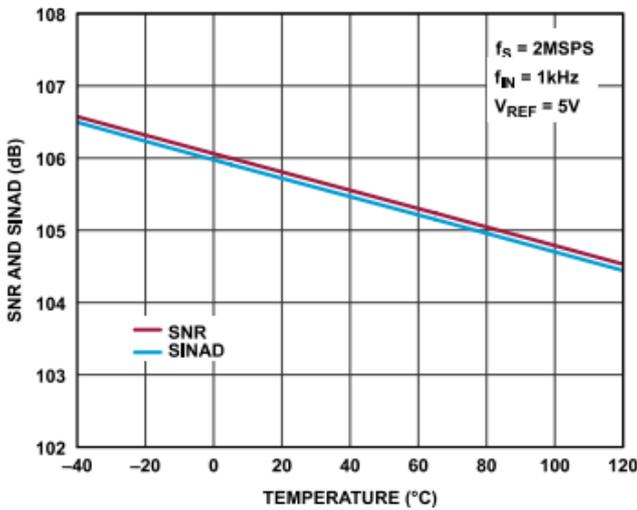


図 19. SNRおよびSINADと温度の関係、 $f_{IN} = 1\text{kHz}$

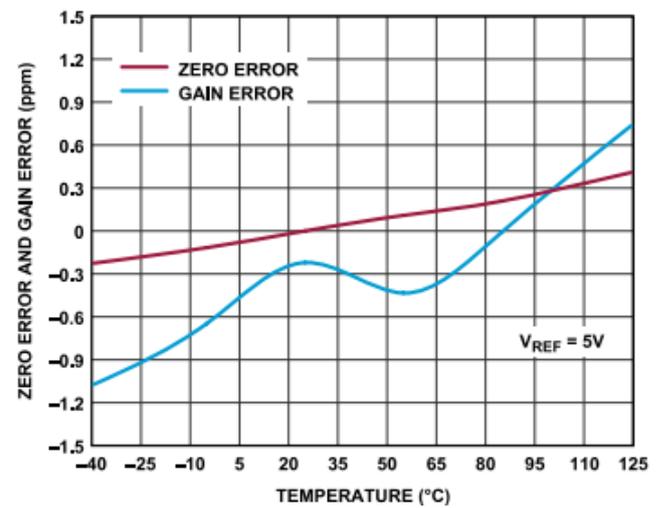


図 22. ゼロ誤差およびゲイン誤差と温度の関係

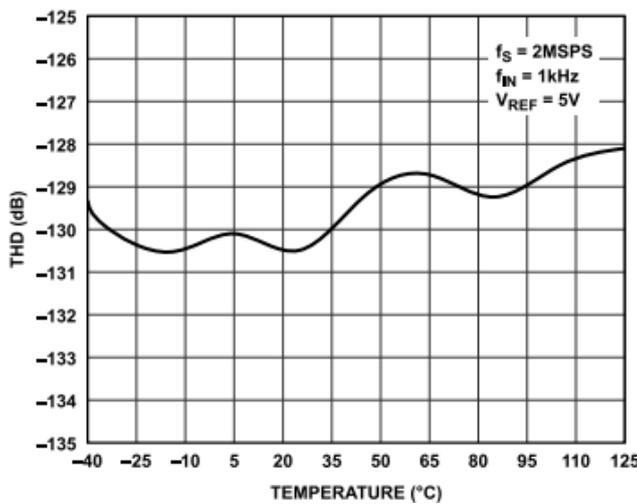


図 20. THDと温度の関係、 $f_{IN} = 1\text{kHz}$

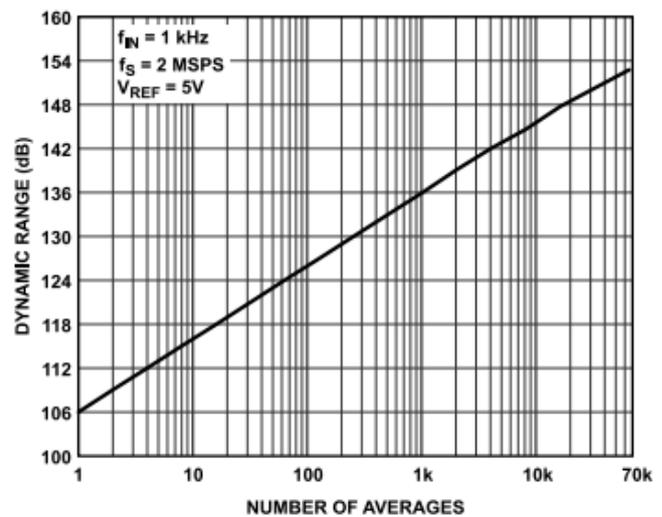


図 23. ダイナミック・レンジと平均化回数との関係

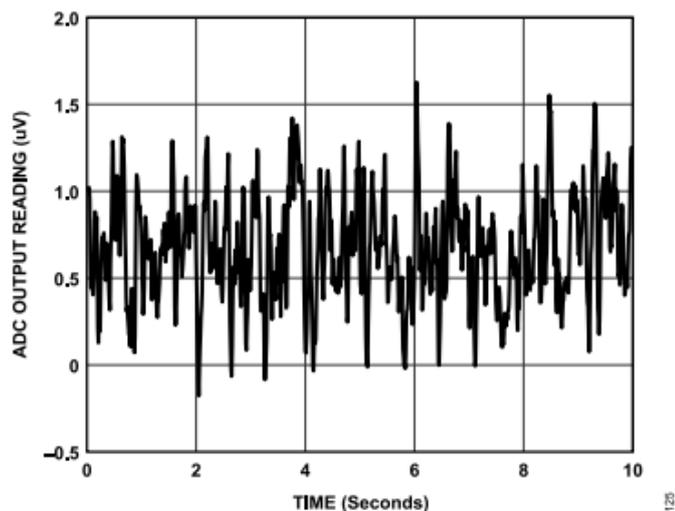


図 24. 低周波数ノイズ（出カデータ・レート = 19.5SPS（2048サンプルの平均化ブロック後））

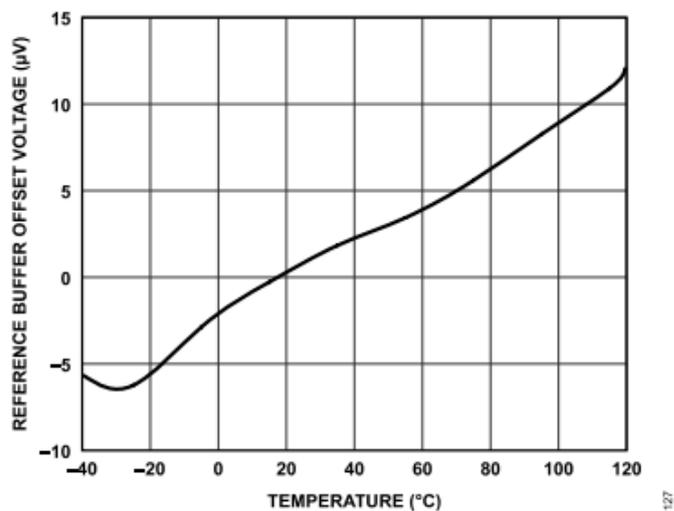


図 27. リファレンス・バッファのオフセット電圧と温度の関係

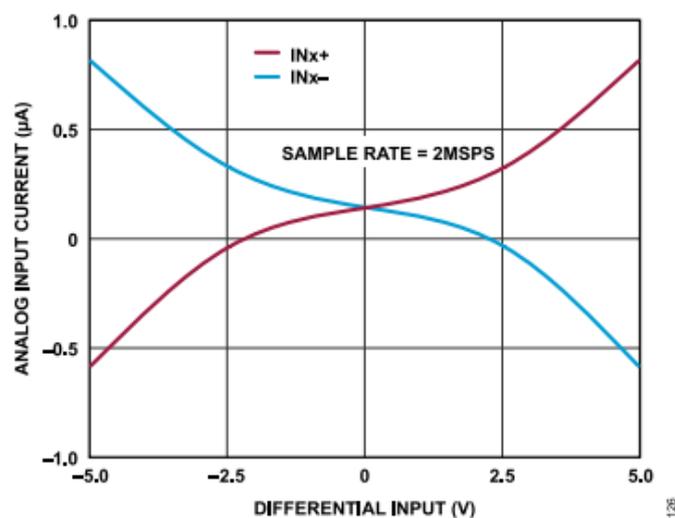


図 25. アナログ入力電流と差動入力電圧の関係、AD4630-24、2MSPS

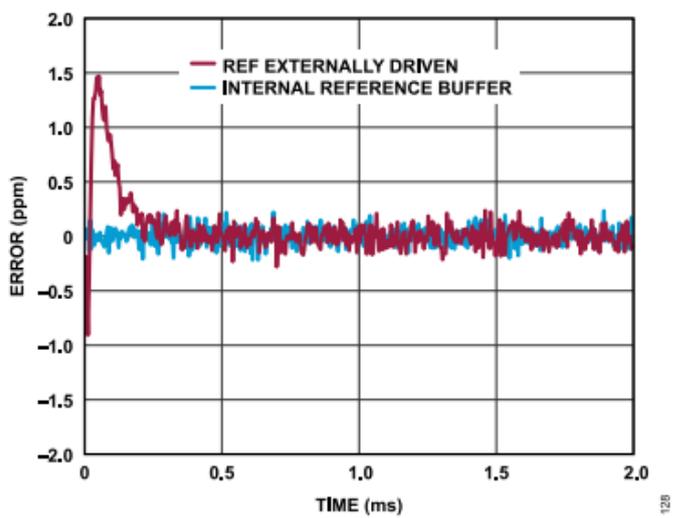


図 28. 長いアイドル時間後の変換バースト時の誤差

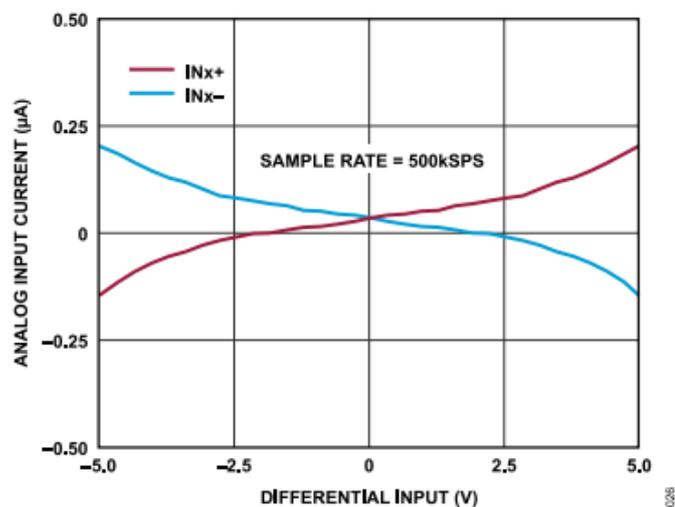


図 26. アナログ入力電流と差動入力電圧の関係、AD4632-24、500kSPS

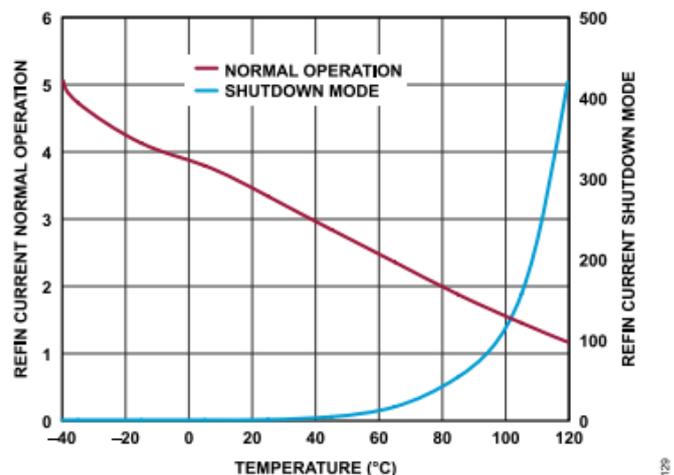


図 29. 通常動作時REFIN電流およびシャットダウン・モード時REFIN電流と温度の関係

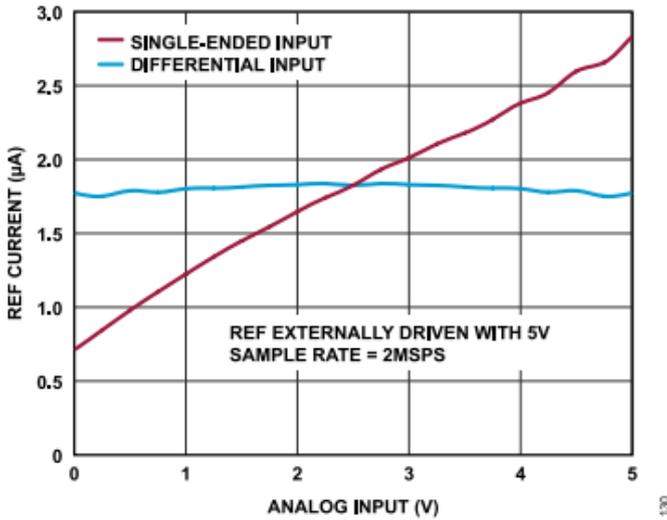


図 30. REF電流とアナログ入力の関係、AD4630-24、2MSPS

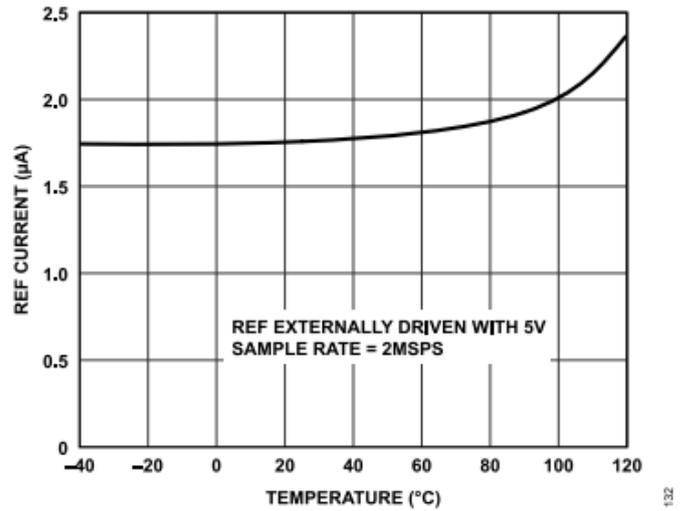


図 33. REF電流と温度の関係

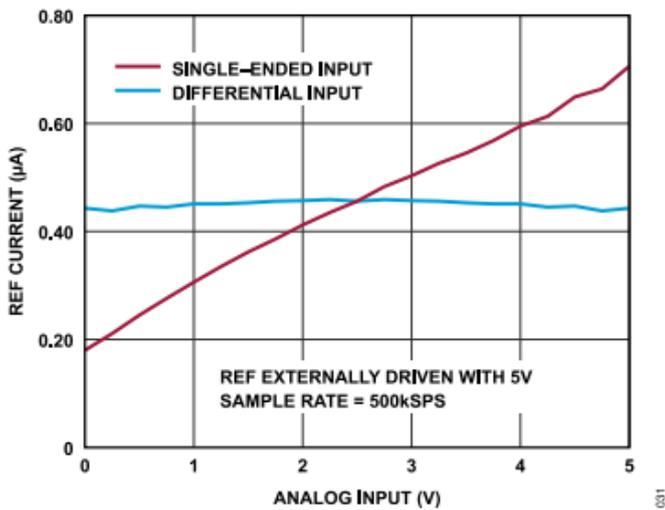


図 31. REF電流とアナログ入力の関係、AD4632-24、500kSPS

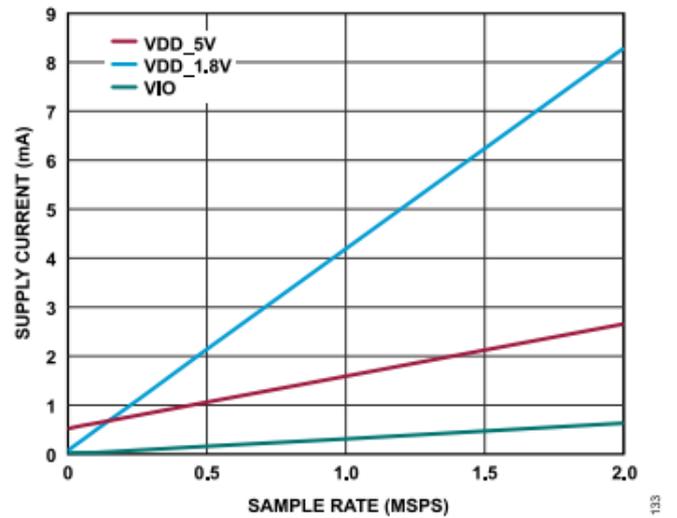


図 34. 電源電流とサンプル・レートの関係

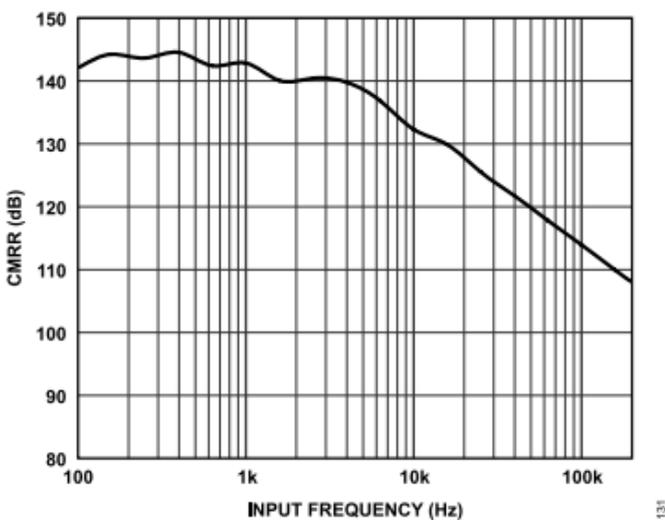


図 32. CMRRと入力周波数の関係

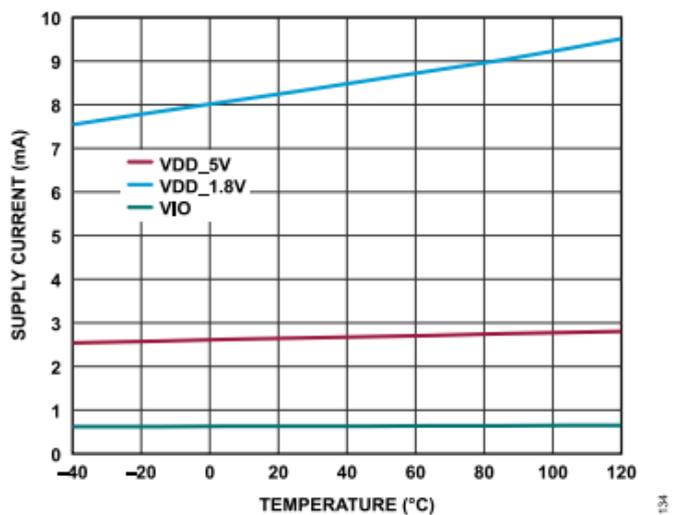


図 35. 電源電流と温度の関係、AD4630-24、2MSPS

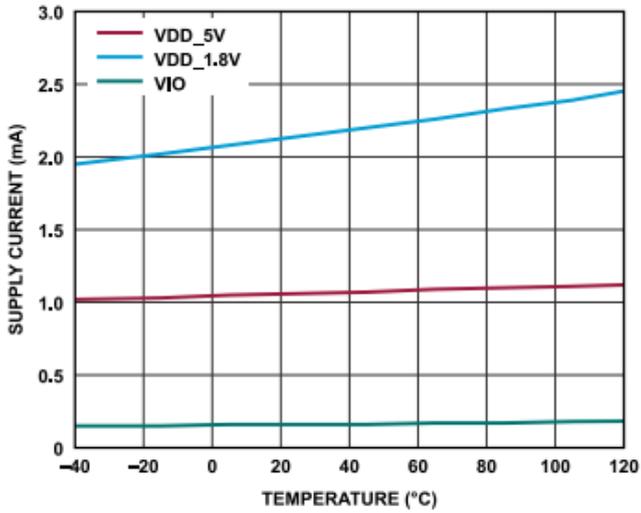


図 36. 電源電流と温度の関係、AD4632-24、500kSPS

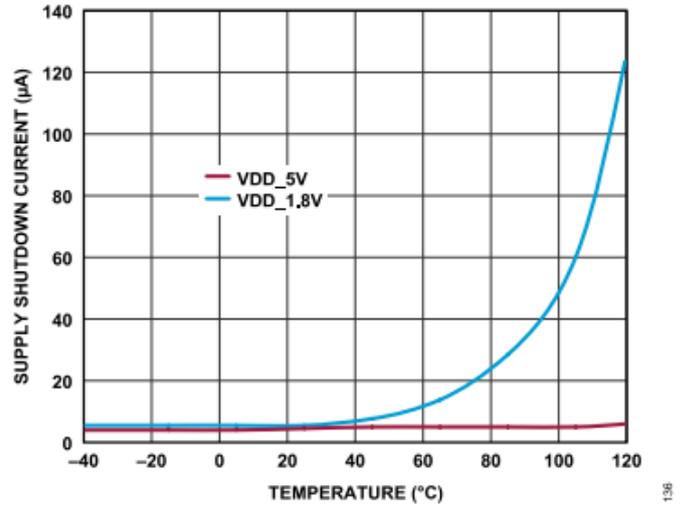


図 38. 電源シャットダウン電流と温度の関係

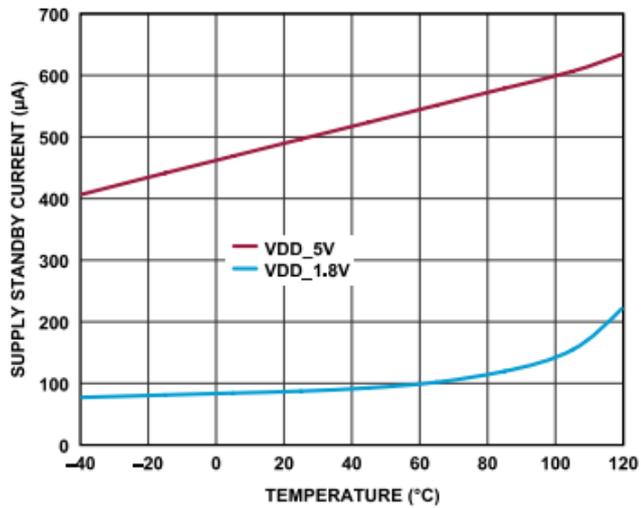


図 37. 電源スタンバイ電流と温度の関係

用語の定義

積分非直線性 (INL) 誤差

INLは、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSBだけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB上回ったレベルとして定義されます。偏差は各コードの中央から真の直線までの距離として測定されます (図40参照)。

微分非直線性 (DNL) 誤差

理想的なADCでは、コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差のことです。多くの場合、DNLはノー・ミス・コードが確保される分解能で仕様規定されます。

ゼロ誤差 (ZE)

ゼロ誤差は、理想的なミッドスケール電圧 (0V) とミッドスケール出力コード (0LSB) を生成する実際の電圧との差です。

ゲイン誤差 (GE)

最初の遷移 (100...00から100...01) は負の公称フルスケールより $\frac{1}{2}$ LSB上のレベルで発生します。最後の遷移 (011...10から011...11) は、公称フルスケールより $1\frac{1}{2}$ LSB低いアナログ電圧で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDRは、フルスケール入力信号の実効値振幅とピーク・スプリアス信号との差で、単位はデシベル (dB) です。

有効ビット数 (ENOB)

ENOBは、サイン波入力による分解能の測定値です。ENOBとSINADの関係は次式で表されます: $ENOB = (SINAD \text{ dB} - 1.76)/6.02$ 。ENOBの単位はビットです。

全高調波歪み (THD)

THDは、フルスケール入力信号実効値に対する2~6次高調波成分実効値の総和の比率で、単位はデシベルです。

ダイナミック・レンジ (DR)

ダイナミック・レンジは、測定したノイズの合計実効値電圧に対するフルスケール・サイン波の実効値電圧の比率です。ダイナミック・レンジの単位はデシベルです。ダイナミック・レンジは、すべてのノイズ・ソースとDNLアーティファクトが含まれるように、-60dBFSの信号で測定されます。

S/N比 (SNR)

SNRは、ナイキスト周波数を下回るすべてのスペクトル成分 (高調波とDCを除く) の実効値総和に対するフルスケール・サイン波の実効値電圧値の比です。S/N比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINADは、ナイキスト周波数を下回るすべてのスペクトル成分の実効値総和 (高調波成分は含むが、直流成分は除く) に対するフルスケール・サイン波の実効値電圧の比です。SINADの単位はデシベルです。

アパーチャ遅延

アパーチャ遅延は、アクイジション性能の測定値です。CNV入力の立上がりエッジから入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、ADCが ± 1 LSBの精度でフルスケール入力ステップを達成するのに必要な時間です。

同相ノイズ除去比 (CMRR)

CMRRは、周波数 f での入力コモンモード電圧に印加された、4.5V p-pのサイン波の電力に対する、周波数 f でのADC出力電力の比です。

$$CMRR(dB) = 10 \times \log(P_{ADC_IN}/P_{ADC_OUT})$$

ここで、

P_{ADC_IN} は、入りに印加された周波数 f でのコモンモード電力、 P_{ADC_OUT} は、周波数 f でのADCの出力電力です。

電源電圧変動除去比 (PSRR)

PSRRは、周波数 f でのADC VDD電源に印加された200mV p-pのサイン波の電力に対する周波数 f でのADC出力電力の比です。

$$PSRR(dB) = 10 \times \log(P_{VDD_IN}/P_{ADC_OUT})$$

ここで、

P_{VDD_IN} は、周波数 f でのVDDピンの電力、 P_{ADC_OUT} は、周波数 f でのADCの出力電力です。

動作原理

図39にAD4630-24/AD4632-24の基本的な機能を示します。

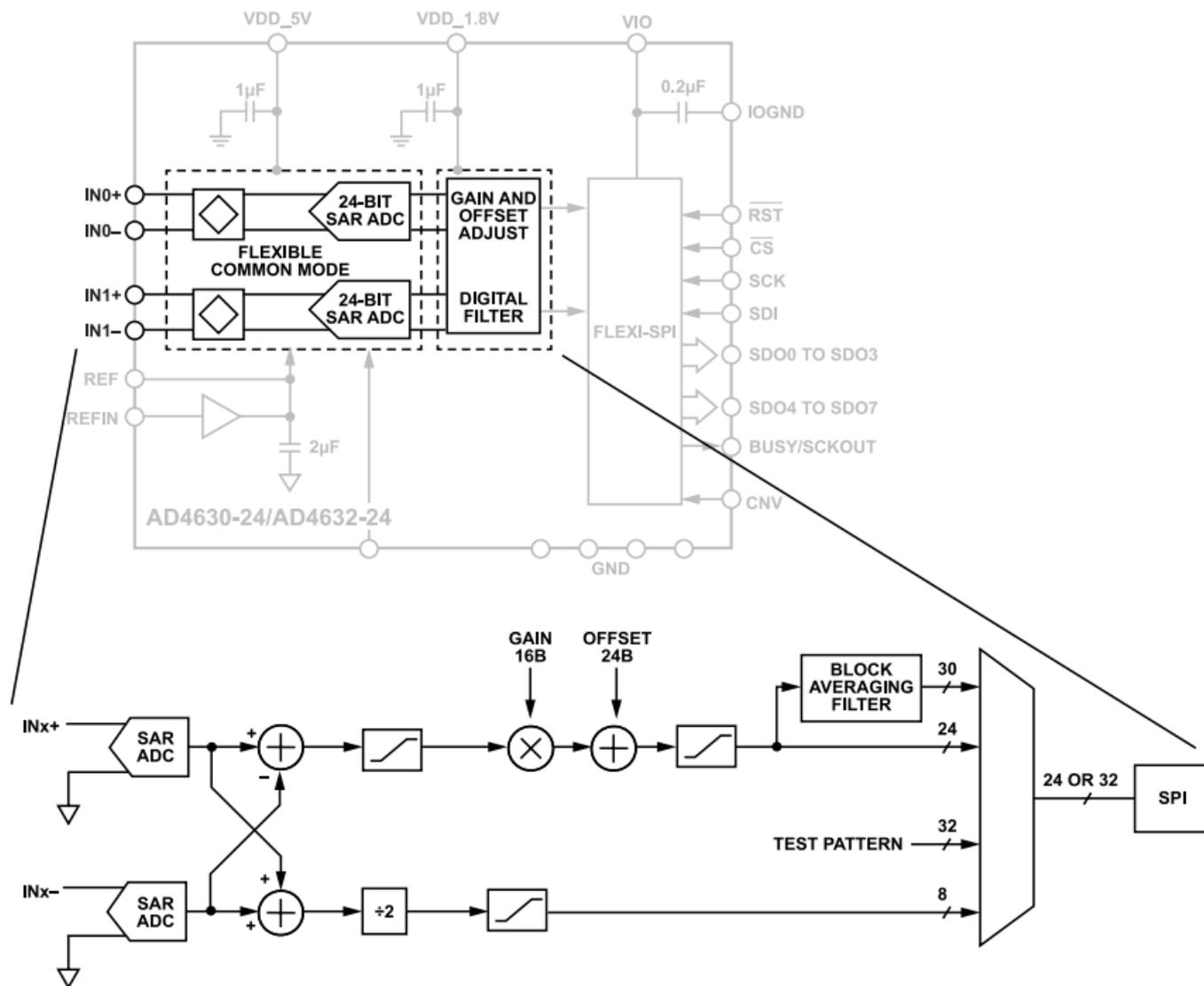


図 39. 機能ブロック図およびチャンネル・アーキテクチャ

概要

AD4630-24/AD4632-24は低ノイズ、低消費電力の高速24ビット・デュアルSAR A/Dコンバータ (ADC) です。AD4630-24は1秒あたり2,000,000サンプルを変換でき (2MSPS)、AD4632-24は1秒あたり500,000サンプルを変換できます (500kSPS)。AD4630-24/AD4632-24には、システムの設計を容易にするいくつかのアナログ機能とデジタル機能があります。アナログ機能には、レベル・シフト条件を緩和する幅広い共通モード電圧範囲や、シグナル・コンディショニングのマージン条件を緩和する $\pm(65/64) \times V_{REF}$ の広い完全差動入力範囲などがあります。

AD4630-24/AD4632-24には、デカップリング・コンデンサが統合されたリファレンス・バッファが内蔵されており、ボード上の外付け部品数を最小限に抑えることができます。内部のトラック&ホールド回路にはパイプライン遅延などの待ち時間がないため、制御ループや高速アプリケーションに最適です。デジタル機能に

は、オフセット補正、ゲイン調整、平均化などがあり、ホスト・プロセッサの負荷を軽減します。デバイスは、いくつかある出力コード・フォーマットのいずれかに設定可能です (選択可能な出力データ・フォーマットの概要のセクションを参照)。

AD4630-24/AD4632-24はFlexi-SPIを用いているため、複数のSPIレーンを通じてデータにアクセスできます。そのため、ホストSPIコントローラに対するクロッキング条件が緩和されます。エコー・クロック・モードもデータ・クロッキングの補助として使用できるため、絶縁型データ・インターフェースを簡単に使用できます。AD4630-24/AD4632-24では、パワーダウン・モード終了後の最初の変換から有効です。このアーキテクチャは、 $\pm 0.9\text{ppm}$ (最大値) のINLを実現すると共に、24ビットのノーマス・コード性能と105.7dBのS/N比を実現しています。AD4630-24の2MSPS時の消費電力はチャンネルあたりわずか15mWです。

動作原理

コンバータの動作

AD4630-24/AD4632-24は、アキュイジション・フェーズと変換フェーズの2つのフェーズで動作します。アキュイジション・フェーズでは、内部のトラック&ホールド回路が各入力ピン (INx+, INx-) に接続され、それぞれのピンで個別に電圧をサンプリングします。立上がりエッジがCNVピンに入力されると変換が始まります。CNVピンの立上がりエッジは、変換が進行中であることを示すBUSY信号もアサートします。BUSY信号は変換の終了時にデアサートされます。変換結果は、入力電圧差を表す24ビットのコードまたは16ビットのコードと、入力コモンモード電圧を表す8ビットのコードになります。デバイス設定に応じて、この変換結果はデジタル的に処理され、出力レジスタにラッチされます。各入力ピンのアキュイジション回路も、直前のサンプル電圧にプリチャージされるため、入力ドライバへのキックバック電荷を最小限に抑えることができます。ホスト・プロセッサは、出力レジスタに内部接続されているSDOxピンを介して出力コードを再取得します。

伝達関数

デフォルト設定では、AD4630-24/AD4632-24は2 × VREFのフルスケール差動電圧を2²⁴のレベルにデジタル化し、VREF = 5Vの場合にLSBサイズは0.596μVになります。24ビットでの1LSBは約0.06ppmであることに注意してください。理想的な伝達関数を図40に示します。差動出力データは2の補数フォーマットです。表12に、入力電圧と差動出力コードの対応関係を示します。

表 12. 入力電圧と出力コードの対応関係

Description	Analog Input Voltage Difference	Digital Output Code (Twos Complement, Hex)
FSR - 1 LSB	$(8388607 \times V_{REF}) / (8388608)$	0x7FFFFFFF
Midscale + 1 LSB	$V_{REF} / (8388608)$	0x000001
Midscale	0 V	0x000000
Midscale - 1 LSB	$-V_{REF} / (8388608)$	0xFFFFF
-FSR + 1 LSB	$-(8388607 \times V_{REF}) / (8388608)$	0x800001
-FSR	$-V_{REF}$	0x800000

アナログ機能

AD4630-24/AD4632-24には、内部トラック&ホールド回路の一部としてプリチャージ回路があります。これは、直前にサンプリングした入力電圧まで内部のサンプリング・コンデンサを充電する回路です。この回路により電荷のキックバックが抑えられるため、他の一般的なSAR ADCよりも容易に駆動できます。このキックバックの減少と延長されたアキュイジション・フェーズを組み合わせると、駆動アンプでのセトリング条件が緩和されます。また、この組合せにより、より大きな抵抗値を使用できるようになり、アンプの安定性向上に役立ちます。更に、RCフィルタの帯域幅が狭くなるため、シグナル・チェーンのノイズや消費電力が低減します。

コモンモード電圧には、各入力ピンに絶対電圧範囲 (-1/128 × VREF ~ 129/128 × VREF) 以外に制限はありません。アナログ入力は、図41に示す等価回路でモデル化できます。アキュイジション・フェーズでは、各入力ピンには約58pFの入力容量 (CIN) が生じます。これは、サンプリング・スイッチの37Ωのオン抵抗 (RON) 直列に配置されたサンプリング・コンデンサによるものです。変換フェーズの間は、各入力ピンには約2pFのCPINが生じます。両方の入力に共通の信号はすべて、ADCの同相ノイズ除去によって減らすことができます。変換時のアナログ入力にはわずかなリーク電流が流れます。

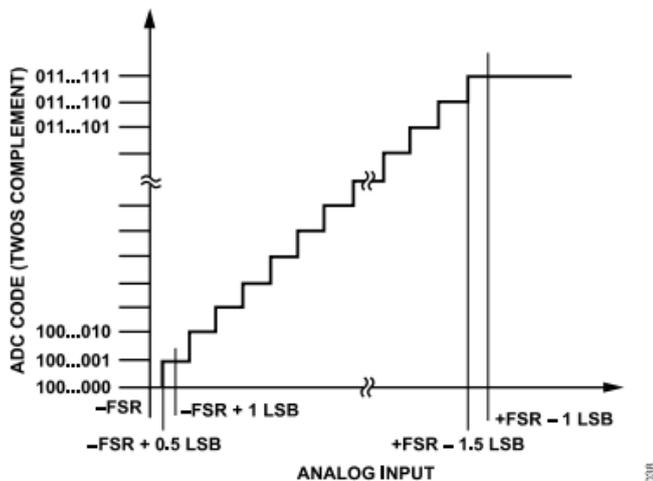


図 40. 差動出力コードに対するADCの理想的な伝達関数 (FSRはフルスケール範囲)

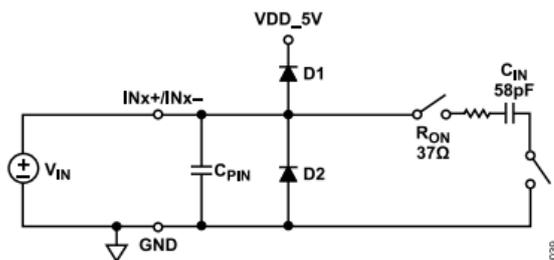


図 41. AD4630-24/AD4632-24の差動アナログ入力の等価回路

各入力ピンは独立にサンプリングされます。各入力ピンが仕様規定されたフルスケール入力範囲内にある限り、変換結果は飽和しません。変換結果をフルスケールのデジタル範囲 (24ビット・ワードの場合 -2²³ ~ +2²³ - 1) を超える数値に割り当てるようデジタル・オフセット・パラメータとデジタル・ゲイン・パラメータが設定されている場合は、デジタル領域で飽和が発生することに注意してください。デジタル・ゲイン・パラメータを1未満の値に設定することで、±(65/64) × VREFまでの入力電圧差を飽和することなくキャプチャし変換できます。

動作原理

良好な性能を発揮するには、アナログ入力ピンのスルー・レートが、アキュイジション・フェーズ時には400V/μs未満、サンプリング時には30V/μs未満であることが必要です。このレートは、RC時定数が12.5nsを超える ($R \times C > 12.5e-9$) よう外部RC回路の値を選択することで確保できます。

デジタル・サンプリング処理機能

AD4630-24/AD4632-24は、信号サンプルに適用できるいくつかのデジタル処理機能およびデータ処理機能をサポートしています。これらの機能は、AD4630-24/AD4632-24の制御レジスタを介して有効化や無効化ができます。図39には、それぞれの入力チャンネルで使用可能なデジタル処理機能およびデータ処理機能を示すADCチャンネル・アーキテクチャのブロック図が記載されています。

フルスケール飽和

仕様規定されているアナログ制限値を片方または両方の入力を超えた場合、変換結果は、(ポスト処理の前に) デジタル的に飽和します。オフセットおよびゲインのスケールリングを施したのち、結果は24ビット表示に切り捨てられます(最大値0x7FFFFFFFおよび最小値0x800000で飽和)。デジタル・オフセットやゲイン・スケールリングを施す場合は特に、意図せぬ飽和を避けるための注意が必要です。これらの機能の使用に関する詳細は、[デジタル・オフセット調整](#)および[デジタル・ゲイン](#)のセクションを参照してください。

コモンモード出力

ホスト・コントローラが0x1または0x2をモード・レジスタのOUT_DATA_MDビット・フィールドに書き込むと(モード・レジスタのセクションを参照)、入力コモンモード電圧を表す8ビットのコードが、入力電圧差を表す16ビットまたは24ビットのコードに追加されます。この8ビット・コードのLSBの大きさは、 $V_{REF}/256$ です。8ビット・コードは、コモンモード入力電圧が0Vの場合は0、 V_{REF} の場合は255で飽和します。8ビット・コードはデジタル・オフセットとゲイン・スケールリングには影響されません。これは、入力電圧差を表すコードにのみ追加されるためです。

ブロック平均化

AD4630-24/AD4632-24は、 2^N ($N=1, 2, 3, \dots, 16$) というプログラマブルなブロック長を持つブロック平均化フィルタ

(SINC1) を備えています。 2^N サンプルの各ブロックを処理した後、フィルタはリセットされます。フィルタは、モード・レジスタのOUT_DATA_MDビット・フィールドに0x3を書き込むことでイネーブルできます(モード・レジスタのセクションを参照)。また、平均化モード・レジスタのAVG_VALビット・フィールドに値 ($1 \leq N \leq 16$) を書き込むこともイネーブルできます(平均化モード・レジスタのセクションを参照)。この設定では、出力サンプル・ワードは32ビットです。30MSBは 2^N サンプルのブロックで平均化された24ビット・コードの数値を表します。一定値のブロックを平均化する場合は、30ビット・コードの24MSBが

24ビット・コードになります。31番目のビット(OR)は、ブロックの1つ以上のサンプルが飽和する場合にハイになる、オーバーレンジ警告ビットです。32番目のビット(SYNC)は、 2^N 変換サイクルごとにハイになり、平均値がサンプルの各ブロックの最後で更新されたことを通知します。フィルタがイネーブルされている場合のデータ・フォーマットについては、[選択可能な出力データ・フォーマットの概要](#)のセクションを参照してください。

平均化モードでの実効データ・レートはCNV周波数(f_{CNV})/ 2^N です。AVG_VALビット・フィールドのNのリセット値は、0x00(平均化なし)です。図56に、平均化モードでのタイミング例を図示します。図42に、 $N=1, 2, 3, 4, 5$ の場合のフィルタの周波数応答を示します。

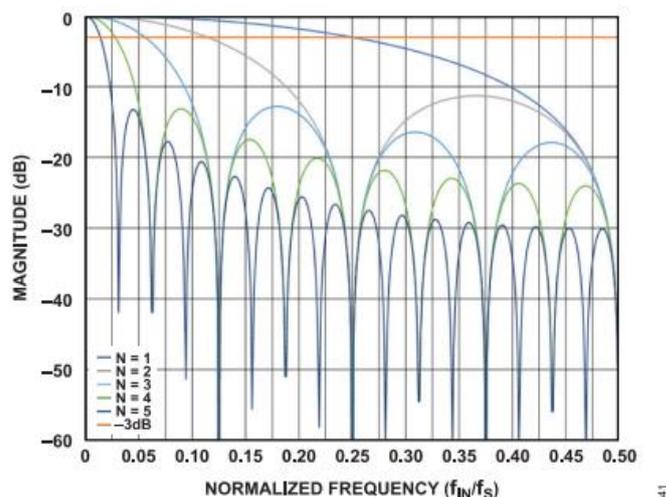


図 42. ブロック平均化フィルタの周波数応答例

デジタル・オフセット調整

各ADCチャンネルは、サンプル・データに24ビットの符号付きオフセット値を追加するよう個別にプログラムできます(レジスタの詳細のセクションを参照)。オフセットをサンプルに追加すると、サンプル・データが数値的に飽和する原因となる場合があります。オフセット機能を使用する場合、このことを考慮する必要があります。デフォルト値は0x000000です。詳細については、AD4630-24/AD4632-24のレジスタ・マップの[チャンネル0オフセット・レジスタ](#)のセクションまたは[チャンネル1オフセット・レジスタ](#)のセクションを参照してください。

デジタル・ゲイン

各ADCチャンネルは、デジタル・サンプルに16ビットの符号なしデジタル・ゲイン(CHx_USER_GAIN)を適用するよう個別にプログラムできます(レジスタの詳細のセクションを参照)。ゲインは次式に基づいて各サンプルに適用されます。

$$Code_{OUT} = Code_{IN} \times (CHx_USER_GAIN/0x8000)$$

ここで、

$$0x0000 \leq CHx_USER_GAIN \leq 0xFFFF$$

です。

有効なゲイン範囲は0~1.99997です。なお、サンプルにゲインを適用すると、数値の飽和の原因となる可能性があります。デフォルト値は0x8000(ゲイン=1)です。± V_{REF} を上回る入力電圧差を測定するには、24ビット/16ビット/30ビットの出力差コードが数値的に飽和しないよう、ゲインを1未満に設定します。詳細については、AD4630-24/AD4632-24のレジスタ・マップの[チャンネル0ゲイン・レジスタ](#)のセクションまたは[チャンネル1ゲイン・レジスタ](#)のセクションを参照してください。

動作原理

テスト・パターン

SPIの機能テストとデバッグを容易にするために、ホスト・コントローラはAD4630-24/AD4632-24に32ビットのテスト・パターンを書き込むことができます（[テスト・パターン・レジスタ](#)のセクションを参照）。テスト・パターン・レジスタに書き込まれた値は両方のADCチャンネルに適用され、チャンネルごとに通常のサンプル・サイクル・タイミングを用いて出力されます。32ビットのテスト・パターン出力モードは、[モード・レジスタ](#)のOUT_DATA_MDビット・フィールドに0x4を書き込むことで有効化できます（[モード・レジスタ](#)のセクションを参照）。テスト・パターン・レジスタに格納されているデフォルト値は0x5A5A0F0Fです。

選択可能な出力データ・フォーマットの概要

図43に、AD4630-24/AD4632-24で使用可能な出力データ・フォーマットの概要を示します。これらはモード・レジスタで選択できます（[モード・レジスタ](#)のセクションを参照してください）。選択したモードは両方のチャンネルに適用される点に注意してください。ORフラグとSYNCフラグはそれぞれ1ビットです。

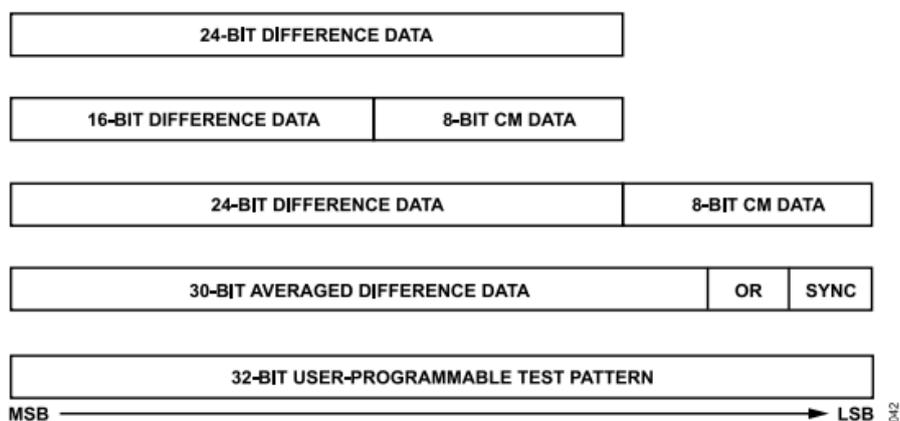


図 43. 選択可能な出力サンプル・フォーマットの概要

アプリケーション情報

代表的なアプリケーション図

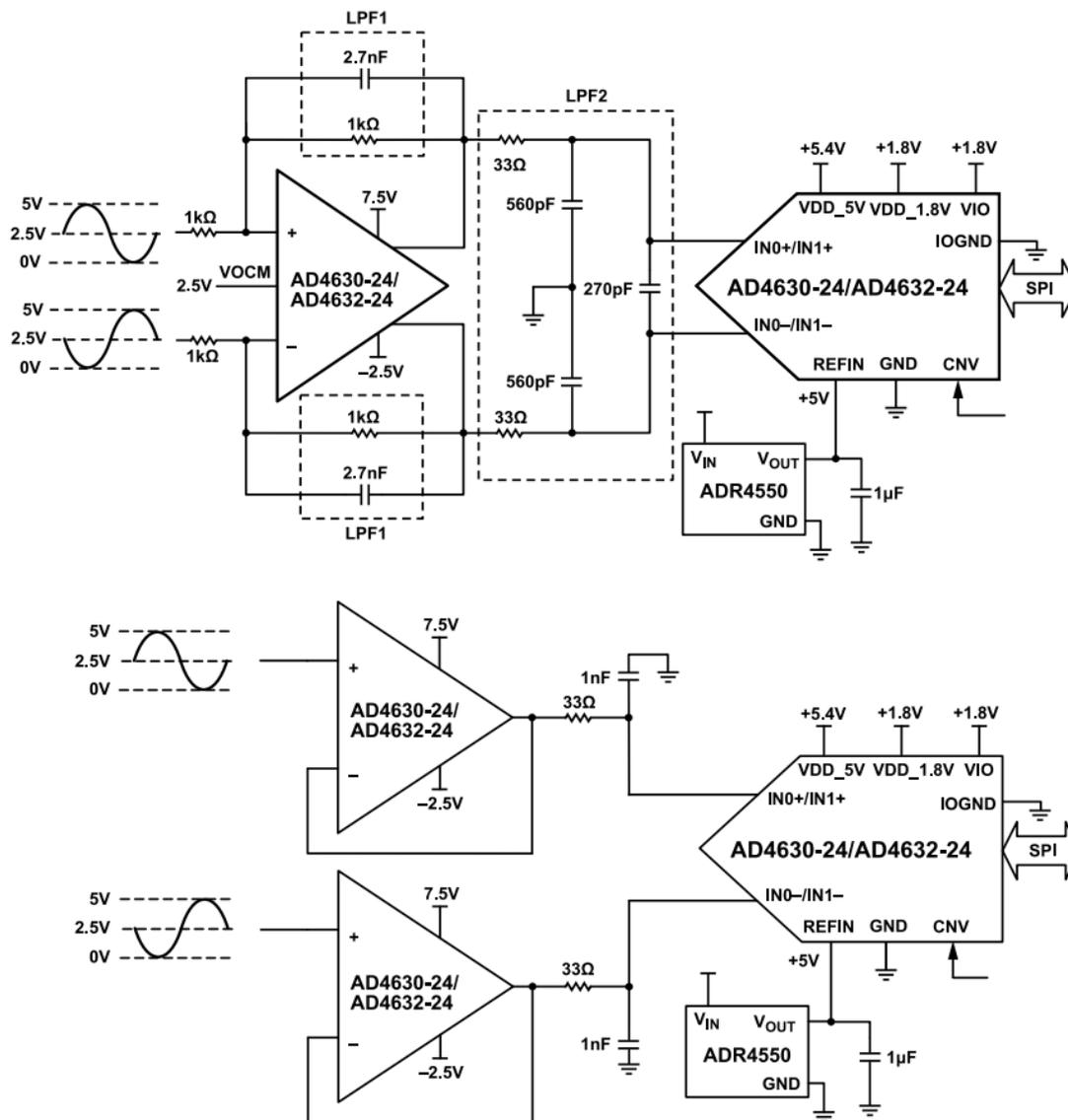


図 44. 代表的なアプリケーション回路図

043

アプリケーション情報

アナログ・フロント・エンドの設計

ドライバ・アンプの選択

図44に、AD4630-24/AD4632-24を駆動する2つの例を示します。どちらのアンプも、追加のシグナル・コンディショニングを行う上流段と組み合わせることができます。また、どちらのアンプもシングルエンド入力または差動入力に対応できます。AD4630-24/AD4632-24の優れたSNRおよびTHD性能を活かすためには、アプリケーション条件を満たすだけの低ノイズ性能と低THD性能を持つドライバ・アンプを選択してください。図44に示すアンプの他、LTC6227もドライバとして選択できます。アナログ・デバイセズでは、いくつかの関連ドライバ・アンプを用意しており、これらはADC用ドライバのウェブページに掲載されています。

リファレンス回路の設計

AD4630-24/AD4632-24は、入力範囲を指定するために外部リファレンスを必要とします。このリファレンスは4.096V~5Vである必要があります。選択対象として最適なリファレンスは、ADR4550またはADR4540です。AD4630-24/AD4632-24には、リファレンスから引き出される電荷を減らす機能がいくつかあるため、他のADCよりも使いやすくなります。ほとんどのアプリケーションで、リファレンスを用いてREFINピンを駆動できます。このピンには、リファレンスとADC回路を絶縁する高精度バッファが内蔵されています。このバッファは高入力インピーダンスで入力電流が小さい（代表値5nA）ため、複数のADCが共通のリファレンスを共有できます。リファレンスとREFIN間でRC回路を使用すれば、リファレンス・ノイズを除去できます（図45参照）。推奨値は、 $100\Omega < R < 1k\Omega$ 、および、 $C \geq 10\mu\text{F}$ です。

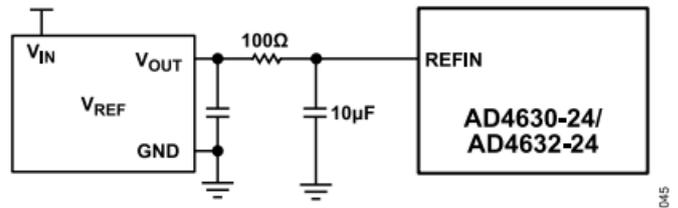


図 45. ノイズ・フィルタ付きリファレンス

ゲイン誤差をできるだけ抑えるために、内部バッファを無効化し（REFIN = 0V）、外部リファレンスを用いてREFピンを駆動することができます。REFピンによって引き出される電流は小さく（2μA未満）、サンプル・レートおよび出力コードによって異なります。（図30参照）。REFピンに内蔵される2μFのコンデンサは、リファレンスの最適なバイパスを提供し、部品数とレイアウトの影響度を低減することでPCB設計を簡略化します。

図46に示すように、長時間のアイドルング後にサンプルのバーストが生じるようなアプリケーションでは、リファレンス電流（ I_{REF} ）が、AD4630-24では約0μAから最大値1.8μA（2MSPS時）、AD4632-24では約0μAから最大値0.5μA（500kSPS時）に急増します。このようにDC電流がステップ状に増加すると、リファレンスの過渡応答が生じます。リファレンス出力電圧の変化は出力コードの精度に影響するため、この過渡応答を考慮する必要があります。リファレンスがREFINピンを駆動している場合は、内部バッファがこれらの遷移を処理できます（図28参照）。外部バッファを用いずにREFピンを駆動する場合や、リファレンスの過渡応答が重要でない場合は、セトリングが高速なLTC6655LN-5リファレンスを推奨します。



図 46. バースト・サンプリングを示すCNV波形

アプリケーション情報

デバイスのリセット

AD4630-24/AD4632-24には、シリアル・インターフェースを使用してデバイス・リセットを実行するオプションが2つあります。ハードウェア・リセットは、 $\overline{\text{RST}}$ ピンにロー・パルスを入力することによって開始されます。ソフトウェア・リセットは、同じ書き込み命令でインターフェース設定レジスタのSW_RESETビットとSW_RESETXビットの両方を1に設定することで開始されます（インターフェース設定レジスタのセクションを参照）。

ハードウェア・リセットまたはソフトウェア・リセットを実行すると、デジタル診断レジスタのRESET_OCCURREDビットがアサートされます（デジタル診断レジスタのセクションを参照）。

RESET_OCCURREDビットは1を書き込むとクリアされます。

RESET_OCCURREDは、AD4630-24/AD4632-24がデバイス・リセットを実行したことをデジタル・ホストが確認するために用いることができます。

AD4630-24/AD4632-24は、VDD_5VとVDD_1.8Vが最初に印加されたときに、パワーオン・リセット（POR）を行うよう設計されています。PORは、ユーザ設定レジスタの状態をリセットし、RESET_OCCURREDビットをアサートします。VDD_5VまたはVDD_1.8Vが仕様規定された動作範囲を下回ると、PORが発生します。POR後にハードウェア・リセットまたはソフトウェア・リセットを行ってください。

図47に $\overline{\text{RST}}$ 入力を用いてデバイスのリセットを行うためのタイミング図を示します。最小の $\overline{\text{RST}}$ パルス幅は50nsで、図47および表1では $t_{\text{RESET_PW}}$ と表記されています。リセットは、電源が有効になり安定してから3ms以後に実行する必要があります（この遅延は図47および表1では $t_{\text{RESET_DELAY}}$ と表記されています）。

ハードウェア・リセットまたはソフトウェア・リセット後は、SPIコマンドや変換は750 μs の間、開始できません。

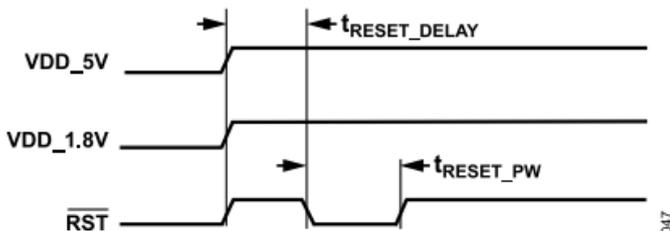


図 47. パワーオン・リセット（POR）のタイミング

電源

AD4630-24/AD4632-24には、特別な電源シーケンシング条件はありません。絶対最大定格のセクションに記載されている最大電圧の関係を遵守してください。VDD_5V電源の電圧範囲は、選択したリファレンス電圧によって異なります（表1のINTERNAL REFERENCE BUFFERまたはEXTERNALLY OVERDRIVEN REFERENCEの仕様を参照してください）。図48に、REFINとREFに関するVDD_5Vの最大値と最小値を示します。VDD_5Vの電圧値が最大値を超える場合、または最小値を下回る場合、デバイスの損傷または性能の低下の原因となります。

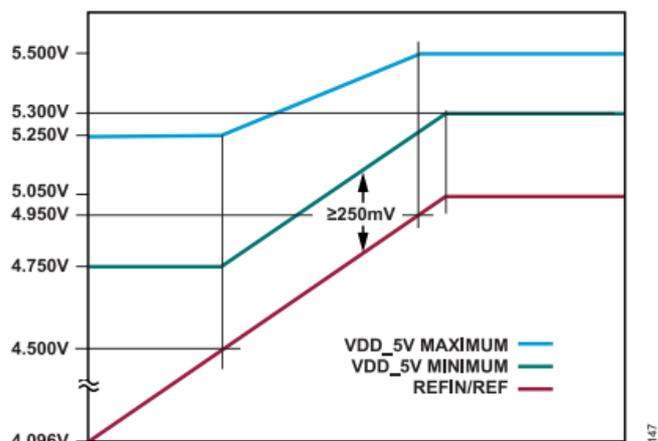


図 48. REFIN/REFに対するVDD_5Vの最小値と最大値

AD4630-24/AD4632-24には、最初の起動時、またはVDD_5VもしくはVDD_1.8Vが指定された動作範囲を下回った場合に、AD4630-24/AD4632-24をリセットするPOR回路があります。

なお、VDD_5V電源およびVDD_1.8V電源はパッケージ内に1 μF のバイパス・コンデンサを内蔵しており、VIOは0.2 μF のバイパス・コンデンサを内蔵しています。これらの内蔵コンデンサにより、部品表（BOM）の数やソリューション・サイズを縮小できます。バルク電源バイパス・コンデンサがADCの近くにない場合、外部コンデンサをADCに隣接させることができます。全電源の最小立上がり時間は100 μs です。

電力消費状態

変換中、AD4630-24/AD4632-24の消費電力は、最大となります。変換が終了すると、AD4630-24/AD4632-24はスタンバイ状態になり、内部回路の大半がパワーダウンして、消費電流は変換状態時の20%未満に低下します。完全な精度を確保するため、リファレンス・バッファなど一部の回路は、スタンバイ状態時もパワーオン状態を維持します。

デバイス設定レジスタのOPERATING_MODESビット・フィールドに0x3を書き込むことで、変換クロックがアイドル状態になっている間、デバイスをより低消費電力のシャットダウン状態に置くことができます（デバイス設定レジスタのセクションを参照）。通常動作モードの場合、このビット・フィールドのデフォルト値は、00です。シャットダウン状態では、消費電流は、10 μA 未満まで低下します。

シャットダウン・モード

シャットダウン・モードに入ると、内部リファレンス・バッファが無効化され、500 Ω のスイッチによりREFINとREFが接続されます（REFINが接地され、REFピンが外部駆動されている場合を除く）。この機能により、REFの2 μF のコンデンサが充電され続け、ADCがシャットダウン・モードを終了したときに高速の回復が可能となります。このキープ・アライブ・スイッチがあるため、シャットダウン・モードに入るとき（400pC）とシャットダウン・モードを終了するとき（5pC）に、REFINピンに多少の電荷が注入されます。シャットダウン・モードを終了すると、REFピンは30 μs 後に正確なものとなります。

シリアル・インターフェース

AD4630-24/AD4632-24は、共通のビット・クロック（SCK）を用いてチャンネルごとに複数レーンのSPIをサポートします。柔軟なVIO電源により、AD4630-24/AD4632-24は1.2V～1.8Vで動作する任意のデジタル・ロジックとやり取りができます。ただし、VIOレベルが1.4V未満の場合、出力ドライバ・レジスタのビットIO2Xを1に設定する必要があります（出力ドライバ・レジスタのセクションを参照してください）。シリアル出力データは、チャンネルあたり最大4個のSDOレーンにクロック同期出力されます。

（図49参照）。出力データに同期したエコー・クロック・モードを使用すると、デジタル・インターフェースでの絶縁を使用する場合のタイミング条件を緩和できます。ホスト・クロック・モードも使用可能です。このモードでは内部発振器を使用してデータ・ビットをクロック同期出力できます。SPI信号のセクションで、AD4630-24/AD4632-24 SPIの動作について説明します。

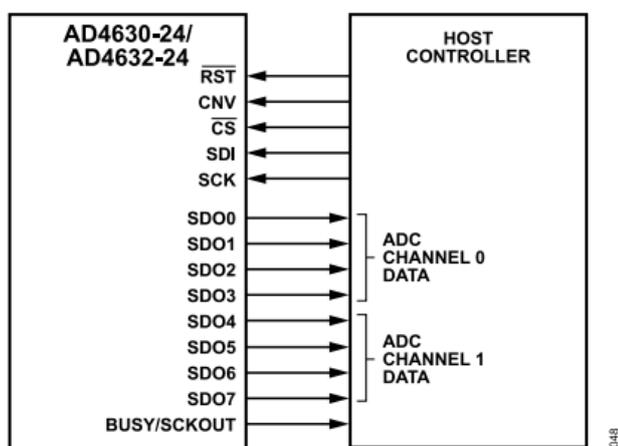


図 49. 複数レーンSPI

SPI信号

SPIは、ADCの設定とサンプリングされたデータの取得の両方を行うために使用される、複数レーンのインターフェースです。SPIは、以下の信号で構成されています。

- ▶ **CS**（入力）。チップ・セレクト。ADCのSDIピンまたはSDO_xピンとの間でデータ転送を行うには、CSをローに設定する必要があります。サンプル・データ読出しのためのCSのタイミングは、BUSYピンの状態を調べることで調整できます。エコー・クロック・モードおよびホスト・クロック・モードでは、BUSYピンがこれらのクロック・モードのビット・クロック出力として用いられるため、CSのタイミングはホスト・プロセッサが制御する必要があります。
- ▶ **SDI**（入力）。ホスト・コントローラからADCへのシリアル・データ入力の流れ。SDIは、AD4630-24/AD4632-24のユーザ・レジスタの1つにデータを書き込む場合にのみ使用されません。
- ▶ **CNV**（入力）。CNV信号はホスト・コントローラによって送出され、サンプル変換を開始します。CNV信号の周波数によってAD4630-24/AD4632-24のサンプリング・レートが決まります。CNVクロックの最大周波数は2MSPSです。
- ▶ **SCK**（入力）。ホスト・コントローラが送出するシリアル・データ・クロック。出力データ転送に対応する最大SCKレートは100MHzです。レジスタの読出しと書込みの場合の最大SCKレートは、VIO > 1.71Vの場合で86MHz、1.14V ≤ VIO < 1.71Vの場合で81MHzです。

- ▶ **SDO0～SDO7**（出力）。ホスト・コントローラへのデータ・レーンです。SDO0～SDO3のレーンはADCのチャンネル0に割り当てられ、SDO4～SDO7のレーンはADCのチャンネル1に割り当てられています。各チャンネルには1、2、または4個のデータ・レーンを設定できます（表14に示す出力データ・モードを参照）。データ・レーンの数はモード・レジスタで設定されます。選択したデータ・レーン数は両方のADCチャンネルに適用される点に注意してください。チャンネルを個別に設定することはできません。
- ▶ **BUSY/SCKOUT**（出力）。BUSY/SCKOUTピンの機能は、選択するクロック・モードによって異なります。その機能を表13にクロック・モードごとに示します。

表 13. 入力電圧と出力コードの対応関係

Clocking Mode	Behavior
SPI	Valid BUSY signal for the ADC conversion status. BUSY goes high when a conversion is triggered by the CNV signal. BUSY goes low when the conversion completes.
Echo	Bit clock. BUSY/SCKOUT is a delayed version of SCK input.
Host	Bit clock. BUSY/SCKOUT sources the clock from the internal oscillator.

レジスタのアクセス・モード

AD4630-24/AD4632-24には、レジスタのセクションで説明するように、デバイスを設定するために使用するプログラマブルなユーザ・レジスタが備わっています。デフォルトでは、起動時のデバイスは変換モードになっています。そのため、ユーザ・レジスタにアクセスするには、図5に示すように、SPIを介してホスト・コントローラが特別なアクセス・コマンドを送出する必要があります。このレジスタ・アクセス・コマンドがSPIを介して送られると、デバイスはレジスタ設定モードになります。レジスタのセクションに記載されたいずれかのユーザ・レジスタから値を読み出すには、ホスト・コントローラが図4に示すパターンを送る必要があります。いずれかのユーザ・レジスタに書込みを行うには、ホスト・コントローラが図3に示すパターンを送る必要があります。どちらの（読出し/書込み）の場合も、ホスト・コントローラは、全トランザクションにわたって常に24個のクロック・パルスをSCKラインに送出し、CSをローに引き下げる必要があります。該当のユーザ・レジスタとの間で読み書きを行った後、ホスト・コントローラは、設定モード終了レジスタに詳細を示すように、レジスタ・アドレス0x0014に0x01を書き込むことで、レジスタ設定モードを終了する必要があります。レジスタの読書きアクセスのアルゴリズムは、以下のとおりです。

1. ダミーのレジスタ・アドレス0x3FFFから読出しを行って、レジスタ設定モードに入る。
2. 目的のユーザ・レジスタ・アドレスとの間で読出しや書込みを行う。
3. レジスタ・アドレス0x0014に0x01を書き込むことで、レジスタ設定モードを終了する。レジスタ設定モードを終了するとレジスタの更新が有効になります。

ストリーム・モード

AD4630-24/AD4632-24がレジスタ設定モードにある間に、レジスタの読出し/書込みトランザクションを一括して実行する方法

シリアル・インターフェース

もあります。読出し/書込みレジスタ・トランザクションを一括して実行するには、CSをローに維持し、また、各レジスタが1バイト（8ビット）幅のみであるためSCKパルスを8の倍数で送出する必要があります。ストリーム・モードでは、アドレスのデクリメントのみが許容されます。つまり、読み書きできるのは最初のレジスタ・アドレスと最初のレジスタ・アドレスのすぐ下のレジスタ・アドレスです。ストリーム・モードのレジスタ・アクセスは、連続したアドレスを持つレジスタ・ブロックに対して行う必要があります。一方で、レジスタ・マップに存在しないレジスタ

をアドレス指定することは可能です。これを行うには、これらのレジスタにすべてゼロを書き込みます。あるいは、読み出す場合は、これらのレジスタから読み出された内容を廃棄します。これはランダムなデータであるためです。どのレジスタ・アドレスが有効で連続しているのかについては、レジスタのセクションを参照してください。例えば、24ビットのオフセット値を一括で読み出すには、レジスタ・アドレス0x0018を最初として24個のSCKパルスを送出する必要があります。所定アドレスから一括読出しを行うためのタイミング図を図50に示します。

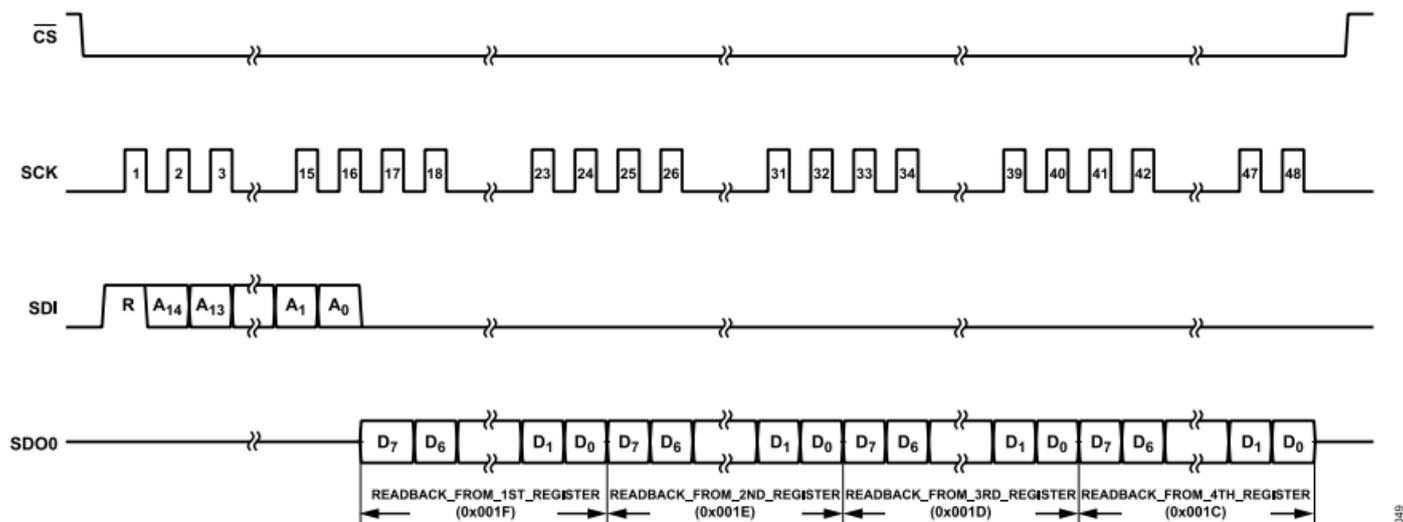


図 50. ストリーム・モードの一括レジスタ読出し動作

シリアル・インターフェース

サンプル変換タイミングとデータ転送

変換は、図51に示すように、CNV信号の立上がりエッジで開始します。変換が完了すると、CSをアサートでき、これによって電流変換結果が出力シフト・レジスタにロードされます。

図51に示すように、サンプルNにはデータ転送ゾーンに2つのオプションがあります。ゾーン1はサンプルNの変換のBUSY信号がデアサートされた直後（SPI変換モード）、あるいは300ns後（エコー・モードおよびホスト・クロック・モード）にCSがアサートされる場合のものです。ゾーン1では、サンプルNを読み出すために利用できる時間が次式で与えられます。

$$\text{ゾーン1のデータ読出しウィンドウ} = t_{CYC} - t_{CONV} - t_{QUIET_CNV_ADV}$$

例えば、 f_{CNV} が2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は198.4ns ($500\text{ns} - 282\text{ns} - 19.6\text{ns}$) です。

ゾーン2は、サンプルNを読み出すためのCSのアサートがサンプルN+1変換が開始されるまで遅延される場合のものです。

データの破損を防ぐため、図51に示すように、CNV信号の各立上がりエッジ前後に静止ゾーンを置く必要があります。CNVの立上がりエッジ直前の静止ゾーンは $t_{QUIET_CNV_ADV}$ で、19.6nsです。CNVの立上がりエッジ直後の静止ゾーンは $t_{QUIET_CNV_DELAY}$ で、9.8nsです。CNVの立上がりエッジを中心とする静止ゾーンの直後にCSがアサートされると仮定すると、データをクロック同期出力するために使用できる時間は次式のようにになります。

$$\text{ゾーン2のデータ読出しウィンドウ} = t_{CYC} - t_{QUIET_CNV_DELAY} - t_{QUIET_CNV_ADV}$$

例えば、 f_{CNV} が2MSPS ($t_{CYC} = 500\text{ns}$) で t_{CONV} の代表値 (282ns) を用いる場合、使用可能なウィンドウ幅は470.6ns ($500\text{ns} - 9.8\text{ns} - 19.6\text{ns}$) です。ゾーン2の転送ウィンドウはゾーン1のウィンドウより長いので、SPIより低速のSCKを使用でき、インターフェースのタイミング条件を緩和できます。ゾーン2を使用してデータ転送を行う場合、静止ゾーンの直後にCSをアサートしてください。CSはサンプルN+1のBUSYの立下がりエッジより少なくとも25ns前にアサートする必要があります。そうでない場合、サンプルNはサンプルN+1で上書きされます。

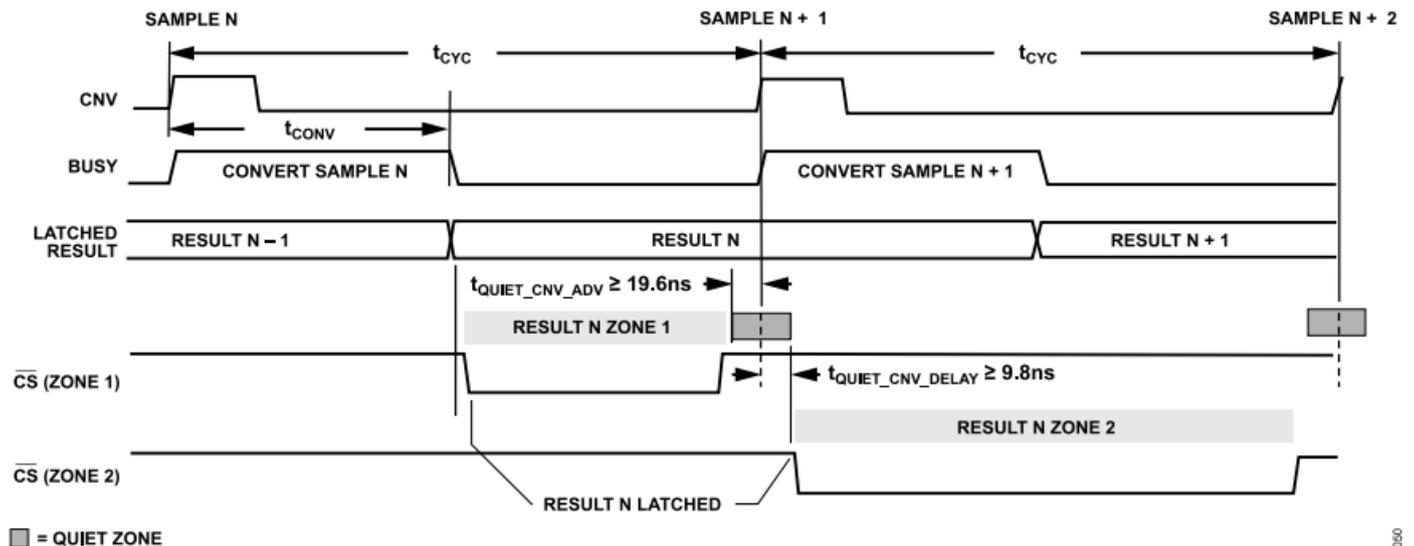


図 51. データ転送ゾーンのタイミング例

シリアル・インターフェース

クロック・モード

このセクションでは、AD4630-24/AD4632-24のSPIがサポートする各種クロック・モードについて説明します。これらのモードは、1レーン、2レーン、4レーンおよびインターリーブ構成で使用できます。クロック・モードは、モード・レジスタ（レジスタの説明については表16を参照）で設定できます。選択したクロック・モードは両方のADCチャンネルに適用される点に注意してください。チャンネルを個別に設定することはできません。

SPIクロック・モード

SPIクロック・モードは、AD4630-24/AD4632-24のデフォルト・クロック・モードで、ホスト・コントローラが固有のクロックを使用して出力データをラッチする、ホストをソースとするビット・クロック（SCK）と等価です。

SPI互換クロック・モードは、モード・レジスタのCLK_MDビット・フィールドに0x0を書き込むことで有効化できます（モード・レジスタのセクションを参照）。インターフェースの接続を図49に示します。このモードでは、BUSY信号が有効で、この信号が変換の完了を示します（BUSYピンのハイからローへの遷移）。簡略化したサンプル・サイクルを図52に示します。平均化モード以外では、ホスト・コントローラが変換の完了を検出するためにBUSY信号を使用せず、内部タイマを使用してデータを再取得する場合には、ホスト・コントローラはCNVパルスの立上がりエッジの後300ns以上待機してからCSをローにアサートする必要があります。ブロック平均化モードで動作する場合は、ホスト・コントローラはブロック最後のサンプルにおけるCNVパルスの立上がりエッジの後300ns以上経過してからCSをローにアサートする必要があります。

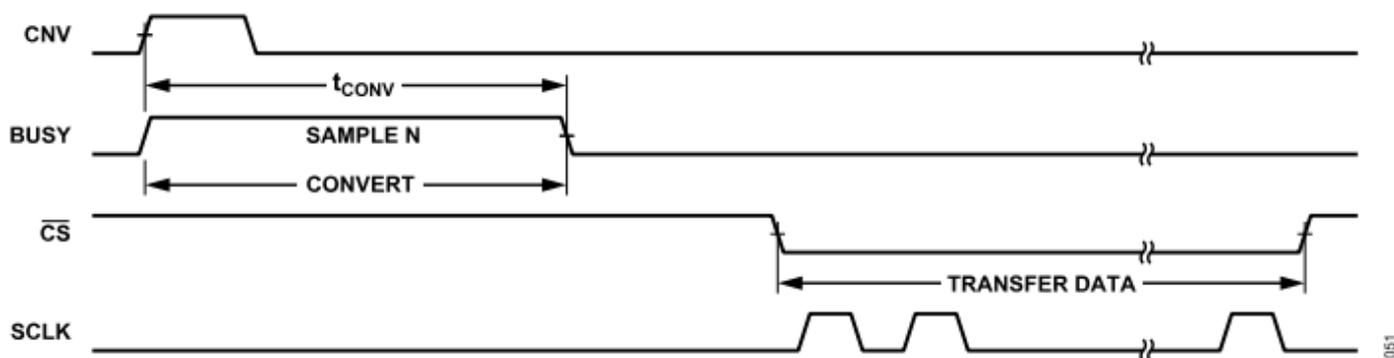


図 52. SPIクロック・モードの代表的なサンプル・サイクル

シリアル・インターフェース

エコー・クロック・モード

図53にエコー・クロック・モードの信号接続を示します。エコー・クロック・モードは、モード・レジスタのCLK_MDビット・フィールドに0x1を書き込むことで有効化できます（モード・レジスタのセクションを参照）。このモードでは、BUSY/SCKOUTピンを使用して変換の完了を検出することはできません。BUSY/SCKOUTピンはビット・クロック出力となり、ホスト・コントローラのSCKを介してBUSY/SCKOUTピンにループすることで出力されます（VIOの電圧に応じて5.4ns～7.9nsの固定遅延あり）。非平均化モードで変換データの再取得を開始するには、ホスト・コントローラはCNVパルスの立上がりエッジの後300ns以上経過してから \overline{CS} をローにアサートする必要があります。ADCがブロック平均化モードに設定されている場合は、ホスト・コントローラはブロック最後のサンプルにおけるCNVパルスの立上がりエッジの後300ns以上経過してから \overline{CS} をローにアサートする必要があります。タイミング図の例は、データ・クロック条件とタイミングのセクションに示されています。エコー・クロック・モードが有効化されている場合、SCKOUTピンはSDOxの遷移に一致するため、データとクロックのタイミングはSDOxとSCKの経路での非対称な伝搬遅延には影響されません。

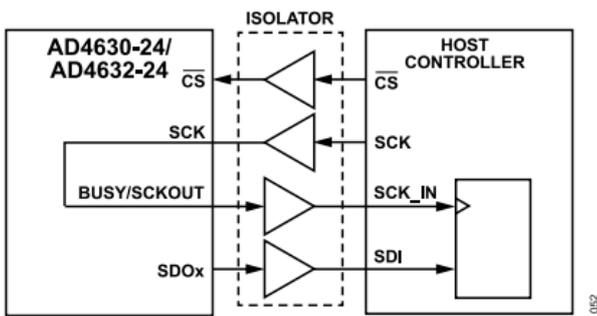


図 53. エコー・クロック・モードの信号経路図

ホスト・クロック・モード

ホスト・クロック・モードが有効化されている場合、内部発振器をビット・クロック源として用います。ホスト・クロック・モードは、モード・レジスタのCLK_MDビット・フィールドに0x2を書き込むことで有効化できます。ビット・クロックの周波数は、1、2、または4の除数を用いて、内部発振器レジスタのOSC_DIVビット・フィールドでプログラムできます（内部発振器レジスタのセクションを参照）。図54にホスト・クロック・モードの信号接続を示します。このモードでは、BUSY/SCKOUTピンはビット・クロックの出力を行うため、これを使用して変換の完了を検出することはできません。AD4630-24/AD4632-24は、ワード・サイズ、アクティブなレーン数、シングル・データ・レート・モードとDDRモードのどちらを選択しているか、に応じて、変換データをクロック同期出力するために必要なクロック・パルス数を自動的に計算します。クロック・パルスの数は、内部発振器レジスタのOSC_LIMITビット・フィールドから読み出すことができます。ホストからのSCKはアクティブにはできません。非平均化モードで変換データを再取得する場合、ホストはCNVパルスの立上がりエッジ後300nsより前に \overline{CS} をローにアサートすることはできません。ADCが2N回平均化を行う平均化モードに設定されている場合、ホストは、ブロック最後のサンプルにおけるCNVパルス立上がりエッジ後300nsより前に \overline{CS} をローにアサートすることはできません。

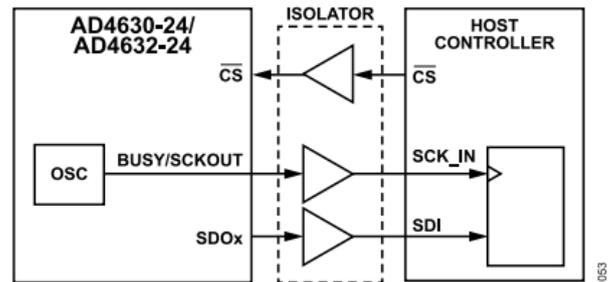


図 54. ホスト・クロック・モードの信号経路例

シングル・データ・レート

シングル・データ・レート・クロック（SDR）は、1クロック・サイクルの間に1個のビット（アクティブ・レーンあたり）がクロック同期出力されるもので、すべての出力設定およびサンプル・フォーマットでサポートされています（表14参照）。SDRクロック・モードは、デフォルトで起動時に有効化される他、モード・レジスタのDDR_MDビットに0を書き込むことでも有効化できます（モード・レジスタのセクションを参照）。

デュアル・データ・レート

デュアル・データ・レート（DDR）モード（1アクティブ・レーンにつき1クロック・サイクルあたり2個のデータ・ビットが遷移）は、ホスト・クロック・モードおよびエコー・クロック・モードでのみ使用可能です。

選択したデータ・レート・モードは両方のADCチャンネルに適用される点に注意してください。DDRクロック・モードは、モード・レジスタのDDR_MDビットに1を書き込むことで有効化できます（モード・レジスタのセクションを参照）。DDRモードは、SDRモードに比べ、変換データをクロック同期出力するために使用するSCKパルスの数は半分になります。

1レーン出力データ・クロック・モード

1レーン出力データ・クロック・モードは、起動時のデフォルトの出力データ・クロック・モードです。1レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x0を書き込むことで有効化できます（モード・レジスタのセクションを参照）。ADCチャンネル0のアクティブ・レーンはSDO0です。ADCチャンネル1のアクティブ・レーンはSDO4です。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する1レーン出力データ・クロック・モードのタイミング図の例は、データ・クロック条件とタイミングのセクションにあります。

2レーン出力データ・クロック・モード

2レーン出力データ・クロック・モードが有効化されている場合、サンプル・ワード・ビットは2つのSDOレーン間で分割されます。図57に2レーンの出力データ・クロック・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。2レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x1を書き込むことで有効化できます（モード・レジスタのセクションを参照）。ホスト・コントローラは、SDOからのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同

シリアル・インターフェース

期出力するために必要なSCKパルス数は、1レーン出力データ・クロック・モードに比べ、2分の1になります。表14に2レーン出力データ・モードのアクティブなSDOレーンを示します。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する2レーン出力データ・クロック・モードのタイミング図の例は、データ・クロック条件とタイミングのセクションにあります。

4レーン出力データ・クロック・モード

4レーン出力データ・クロック・モードが有効化されている場合、サンプル・ワード・ビットは4つのSDOレーン間で分割されます。図58に4レーン・モードのレーン間でのビット割当て方法を示します。ビットの配列は、SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。4レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x2を書き込むことで有効化できます（モード・レジスタのセクションを参照）。ホスト・コントローラは、SDOからのデータを再結合し、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要なSCKパルス数は、1レーン出力データ・クロック・モードに比べ、4分の1になります。4レーン出力データ・クロック・モードでのアクティブなSDOレーンを表14に示します。SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードを使用する4レーン出力データ・クロック・モードのタイミング図の例は、データ・クロック条件とタイミングのセクションにあります。

表 14. サポートしているデータ出力モード

Number of Lanes (per Channel)	Active SDO Lanes		Clock Mode	Supported Data Clocking Mode	Output Sample Data-Word Length
	Channel 0	Channel 1			
1	SDO0	SDO4	SPI	SDR only	24 or 32
			Echo	SDR and DDR	24 or 32
			Host	SDR and DDR	24 or 32
2	SDO0, SDO1	SDO4, SDO5	SPI	SDR only	24 or 32
			Echo	SDR and DDR	24 or 32
			Host	SDR and DDR	24 or 32
4	SDO0, SDO1, SDO2, SDO3	SDO4, SDO5, SDO6, SDO7	SPI	SDR only	24 or 32
			Echo	SDR and DDR	24 or 32
			Host	SDR and DDR	24 or 32
Interleaved	SDO0		SPI	SDR only	48 or 64
			Echo	SDR and DDR	48 or 64
			Host	SDR and DDR	48 or 64

ます。

インターリーブ・レーン出力データ・クロック・モード

インターリーブ・レーン出力データ・クロック・モードでは、チャンネル0とチャンネル1の変換データがSDO0にインターリーブされます。図59に、ビット配置を示します。ビットの配列は、SPIクロック・モード、エコー・クロック・モード、ホスト・クロック・モードで同じです。インターリーブ・レーン出力データ・クロック・モードは、モード・レジスタのLANE_MDビット・フィールドに0x3を書き込むことで有効化できます（モード・レジスタのセクションを参照）。ホスト・コントローラは、SDO0からのデータをデマルチプレクスし、元のサンプル・ワードを再構築します。変換データをクロック同期出力するために必要なSCKパルス数は、1レーン出力データ・クロック・モードに比べ、2倍になります。データ転送はゾーン1またはゾーン2で行うことができます（図51参照）。インターリーブ・レーン出力データ・クロック・モードを用いることで、ホスト・コントローラは1つのSDOレーンを使って両方のADCチャンネルのデータを再取得できるため、デジタル・インターフェースのI/O条件を緩和できます。インターリーブ・レーン・モードのタイミング例は、データ・クロック条件とタイミングのセクションにあります。

データ出力モードのまとめ

AD4630-24/AD4632-24がサポートするデータ出力モードの概要を表14にまとめます。

シリアル・インターフェース

データ・クロック条件とタイミング

基本および平均化変換サイクル

図55に、1回のサンプリングの基本変換サイクルを示します。このサイクルはSPIクロック・モードにあてはまります。エコー・クロック・モードおよびホスト・クロック・モードを使用する場合は、BUSY機能が無効化され、BUSYピンにはビット・クロックが出力されます。データ転送は、サンプル変換タイミングとデータ転送のセクションに記載の条件を満たす必要があります。

表15に、変換タイミング・パラメータの最小値と最大値を示します。これらはすべてのクロック・モードにあてはまります。

表 15. 変換サイクルのタイミング・パラメータ

Parameter	Minimum (ns)	Maximum
t _{CNVH}	10	No specific maximum
t _{CNVL}	20	No specific maximum
t _{CNV}	264	300 ns

データ転送時間の長さは、サンプル分解能、アクティブ・レーン数、SCK周波数、データ・クロック・モード (SDRまたはDDR) によって異なります。転送時間の公称値は次式で与えられます。

$$\text{Data Transfer Function} = t_{\text{TRANS}} = \frac{N_{\text{BITS}}}{M_{\text{LANES}}} \times \frac{1}{f_{\text{SCK}}} \times \frac{1}{K} \text{ seconds}$$

ここで、

t_{TRANS}は遷移時間、

N_{BITS}はクロック同期出力されるビット数、

M_{LANES} = データをクロック同期出力するために使用するレーン数 (1、2、または4)、

f_{SCK} = SCKクロック周波数 (Hz)、

K = 1 (SDRのみ、DDRはSPIクロック・モードでは使用できません)。

所定のf_{SCK}、データ・レーン数、サンプル・ワード・サイズ、SDR/DDRモードに対し、データ転送にゾーン1を使用した場合の最小サンプル時間は、次式のようにになります。

ゾーン1の最小サンプル時間：

$$t_{\text{CYC}} \geq \left(\frac{N_{\text{BITS}}}{M_{\text{LANES}} \times f_{\text{SCK}} \times K} \right) + t_{\text{CONV}} + t_{\text{QUIET_CNV_ADV}}$$

データ転送にゾーン2を使用した場合の最小サンプル時間は、次式のようにになります。

$$t_{\text{CYC}} \geq \left(\frac{N_{\text{BITS}}}{M_{\text{LANES}} \times f_{\text{SCK}} \times K} \right) + t_{\text{QUIET_CNV_DELAY}} + t_{\text{QUIET_CNV_ADV}}$$

図56に、平均化モードが有効でSPIクロック・モードが使用されている場合の、代表的な変換サイクルを示します。平均化されるサンプルの設定数に等しいCNVクロック周期数の間、BUSY信号がアサートされます。BUSY信号がデアサートされると、平均化されたサンプルが使用できるようになります。非平均化モードの場合と同様、設定されたクロック・モードがエコー・クロックまたはホスト・クロックの場合、BUSY信号は出力ビット・クロック (SCKOUT) で置き換えられます。ホスト・コントローラはCSをアサートするタイミングを管理しなければなりません。

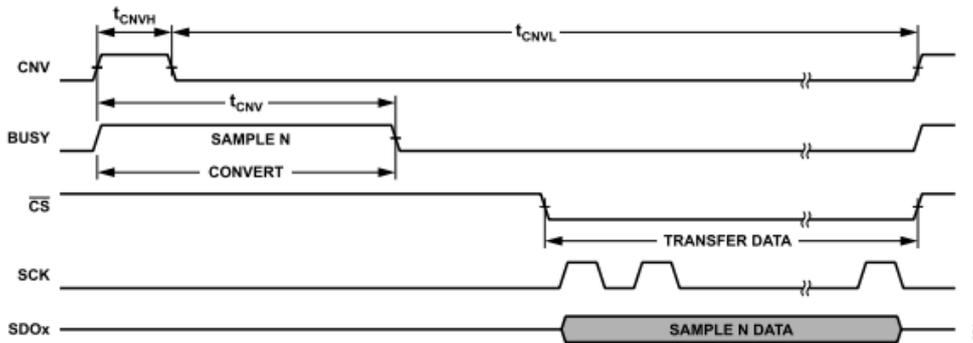


図 55. 基本的なシングル・サンプル変換サイクル



図 56. 平均化モードの変換サイクル例

シリアル・インターフェース

SPIクロック・モードのタイミング図

1-レーン、SDRモード

図6にSDRクロック・モードを使用する1レーン・データ出力の変換サイクル（1クロック・サイクルあたり1ビットの遷移）を示します。このサイクルのタイミングはどちらのADCチャンネルでも同じです。

2-レーン、SDRモード

図57にSDRクロック・モードを使用する2レーン・データ出力の変換サイクルを示します。図57にはチャンネル0のタイミングを示していますが、この図はチャンネル1にもあてはまります。詳細については、2レーン出力データ・クロック・モードのセクションを参照してください。

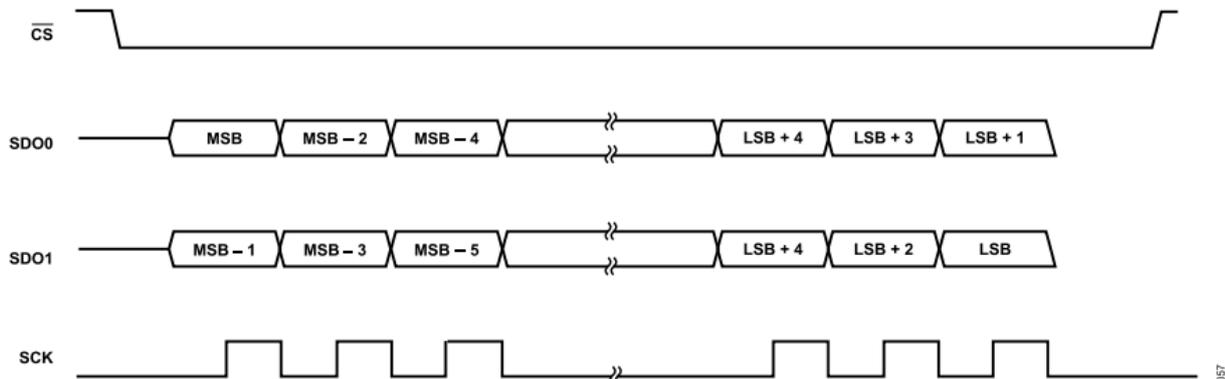


図 57. 2レーン・モード、SDRのタイミング図

シリアル・インターフェース

4レーン、SDRモード

図58にSDRクロック・モードを使用する4レーン・データ出力の変換サイクルを示します。図58にはチャンネル0のタイミングを示

していますが、この図はチャンネル1にもあてはまります。詳細については、4レーン出力データ・クロック・モードのセクションを参照してください。

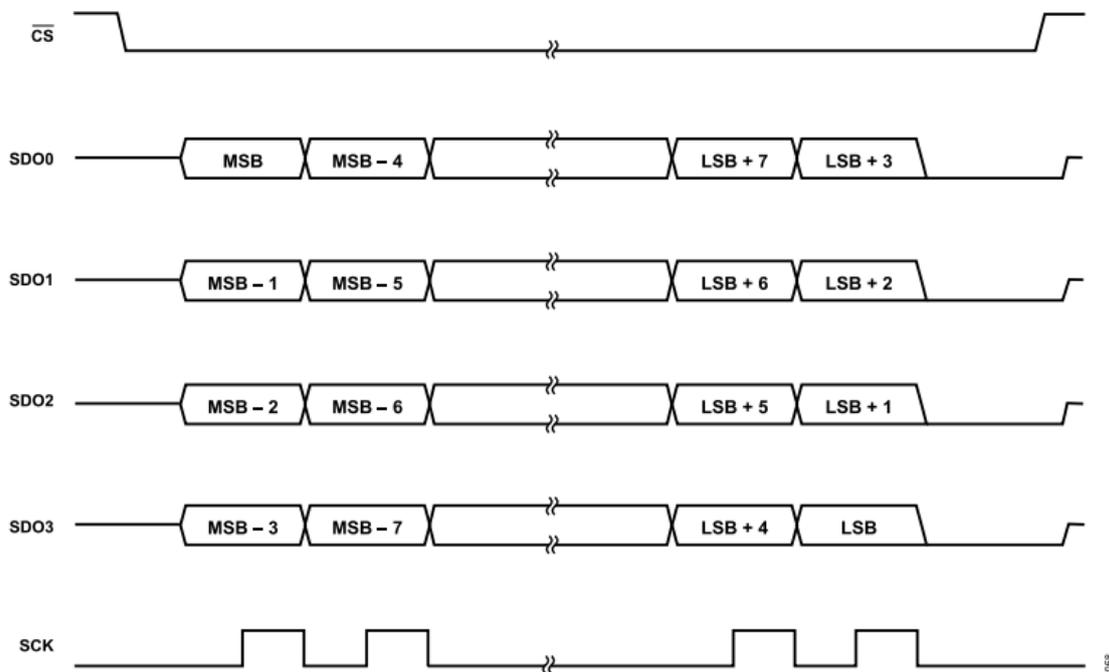


図 58. 4レーン、SDRのタイミング図

シリアル・インターフェース

インターリーブ・モードのタイミング、SDRモード

図59にSDRクロック・モードを使用するインターリーブ・データ出力の変換サイクルを示します。詳細については、[インターリーブ・レーン出力データ・クロック・モード](#)のセクションを参照してください。

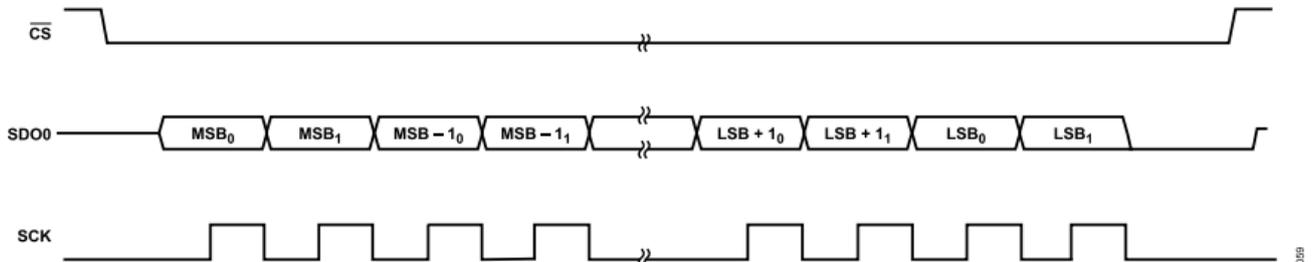


図 59. インターリーブ・モード、SDRのタイミング図

シリアル・インターフェース

エコー・クロックのタイミング図

1レーン、SDRモード、エコー・クロック・モード

図7に1レーン・エコー・クロック・モードでのSDRモード（SCK周期あたり1ビットの遷移）のタイミング関係を示します。信号間のタイミング関係は24ビットと32ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SCKOUTは、入力SCKの遅延バージョンです。この遅延（tDSDO）の最大値は5.6ns（VIO > 1.71Vの場合）です。

SDOxのロジック状態の変化は、SCKOUTの立上がりエッジに一致します。クロックとデータのエッジの一致は、1レーン、2レーン、4レーンの出力データ・モードで同じです。

1レーン、DDRモード、エコー・クロック・モード

図8に1レーン・エコー・クロック・モードでのDDRモード（SCKOUT周期あたり2ビットの遷移）のタイミング関係を示します。信号間のタイミング関係は24ビットと32ビットのどちらのサンプル・ワード・フォーマットにも適用されます。

SDRモードと同様、SCKOUTは入力SCKの遅延バージョンです。SDOxのロジック状態の変化は、SCKOUTの立上がりエッジと立上がりエッジの両方に一致します。

ホスト・クロック・モードのタイミング

1レーン、ホスト・クロック・モード、SDR

図9にSDRモードと1レーン出力データ・クロック・モードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジはデータ・ビットの遷移と一致します。SCKOUT信号の周波数は、内部発振器レジスタで設定されたOSC_DIVの値で制御されず（内部発振器のセクションを参照）。

1レーン、ホスト・クロック・モード、DDR

図10にDDRモードを使用する場合のホスト・クロック・モードのタイミング関係を示します。エコー・クロック・モードと同様、クロックの立上がりエッジと立下がりエッジはデータ・ビットの遷移と一致します。SCKOUT信号の周波数は、内部発振器レジスタで設定されたOSC_DIVの値で制御されます（内部発振器のセクションを参照）。

レイアウトのガイドライン

AD4630-24/AD4632-24の最高性能を実現するために、以下のようなレイアウトのガイドラインを推奨します。

- ▶ AD4630-24/AD4632-24では、VDD_5VおよびVDD_1.8V用に1 μ Fのバイパス・コンデンサを内蔵しています。また、VIOでは0.2 μ Fのコンデンサを内蔵しています。そのため、外部バイパス・コンデンサは不要です。これにより、ボード・スペースの節約、BOM数の低減、レイアウトの影響の緩和が可能になります。
- ▶ すべてのアナログ信号をAD4630-24/AD4632-24の入力するようにし、すべてのデジタル信号をAD4630-24/AD4632-24の右側から入出力するようにすることを推奨します。このようにすることで、アナログ信号とデジタル信号を絶縁する効果があるためです。
- ▶ AD4630-24/AD4632-24の下には安定したグランド・プレーンを用い、すべてのアナログ・グランド (GND) ピンとデジタル・グランド (IOGND) ピンは共通のグランド・プレーンに接続して、グランド・ループが形成されることのないようにします。
- ▶ REFINピンまたはREFピンへのパターンは、その他の信号から絶縁/シールドがなされている必要があります。リファレンス・パターン (REFINまたはREF) の下には信号を配線しないようにしてください。REFピンは2 μ Fの内蔵コンデンサに接続されています。これにより、外部リファレンス・バッファの出力にデカップリング・コンデンサを配置する必要がなくなります。リファレンス (またはバッファ) の出力と選択したリファレンス入力の間にはノイズ除去フィルタを接続する場合は、AD4630-24/AD4632-24にできるだけ近付けて配置する必要があります。

レジスタ

AD4630-24/AD4632-24には、デバイスを設定するために使用するプログラマブルなユーザ・レジスタが備わっています。これらのレジスタは、AD4630-24/AD4632-24がレジスタ設定モードにある場合に読書きできます。表16には、AD4630-24/AD4632-24のユーザ・レジスタおよびレジスタのビット・フィールドの詳細が記載されています。レジスタの詳細のセクションでは、各ビット・フ

ィールドの機能の詳細が説明されています。アクセスのモードは、そのレジスタが読出し専用ビット（R）だけで構成されているか、読出し専用ビットと読出し/書込みビット（R/W）の組合せで構成されているかを指定するものです。読出し専用ビットは、SPI書込みトランザクションでは上書きできませんが、読出し/書込みビットは上書きできます。

表 16. レジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET	RESERVED	ADDR_ASCE NSION	SDO_EN ABLE	RESERVED		SW_RESET X	0x10	R/W			
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INST	STALLING	RESERVED		SHORT_INST RUCTION	RESERVED		0x00	R/W			
0x02	DEVICE_CONFIG	[7:0]	RESERVED						OPERATING_MO DES		0x00	R/W		
0x03	CHIP_TYPE	[7:0]	RESERVED [7:4]				CHIP_TYPE				0x07	R		
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x00	R	
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x20	R	
0x06	CHIP_GRADE	[7:0]	GRADE						DEVICE_REVISION			0x01	R	
0x0A	SCRATCH_PAD	[7:0]	SCRATCH_VALUE									0x00	R/W	
0x0B	SPL_REVISION	[7:0]	SPL_TYPE			VERSION						0x81	R	
0x0C	VENDOR_L	[7:0]	VID[7:0]									0x56	R	
0x0D	VENDOR_H	[7:0]	VID[15:8]									0x04	R	
0x0E	STREAM_MODE	[7:0]	LOOP_COUNT									0x00	R/W	
0x10	INTERFACE_CONFIG_C	[7:0]	RESERVED									0x00	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	RESERVED			CLOCK_COU NT_ERR	RESERVED				0x00	R/W		
0x14	EXIT_CFG_MD	[7:0]	RESERVED							EXIT_CON FIG_MD		0x00	R/W	
0x15	AVG	[7:0]	AVG_SYNC	RESERVED			AVG_VAL				0x00	R/W		
0x16	OFFSET_CH0_LB	[7:0]	CH0_USER_OFFSET[7:0]									0x00	R/W	
0x17	OFFSET_CH0_MB	[7:0]	CH0_USER_OFFSET[15:8]									0x00	R/W	
0x18	OFFSET_CH0_HB	[7:0]	CH0_USER_OFFSET[23:16]									0x00	R/W	
0x19	OFFSET_CH1_LB	[7:0]	CH1_USER_OFFSET[7:0]									0x00	R/W	
0x1A	OFFSET_CH1_MB	[7:0]	CH1_USER_OFFSET[15:8]									0x00	R/W	
0x1B	OFFSET_CH1_HB	[7:0]	CH1_USER_OFFSET[23:16]									0x00	R/W	
0x1C	GAIN_CH0_LB	[7:0]	CH0_USER_GAIN[7:0]									0x00	R/W	
0x1D	GAIN_CH0_HB	[7:0]	CH0_USER_GAIN[15:8]									0x80	R/W	
0x1E	GAIN_CH1_LB	[7:0]	CH1_USER_GAIN[7:0]									0x00	R/W	
0x1F	GAIN_CH1_HB	[7:0]	CH1_USER_GAIN[15:8]									0x80	R/W	
0x20	MODES	[7:0]	LANE_MD			CLK_MD		DDR_MD	OUT_DATA_MD			0x00	R/W	
0x21	OSCILLATOR	[7:0]	OSC_LIMIT							OSC_DIV			0x00	R/W
0x22	IO	[7:0]	RESERVED							IO2X		0x00	R/W	
0x23	TEST_PAT_BYTE0	[7:0]	TEST_DATA_PAT[7:0]									0x0F	R/W	
0x24	TEST_PAT_BYTE1	[7:0]	TEST_DATA_PAT[15:8]									0x0F	R/W	
0x25	TEST_PAT_BYTE2	[7:0]	TEST_DATA_PAT[23:16]									0x5A	R/W	
0x26	TEST_PAT_BYTE3	[7:0]	TEST_DATA_PAT[31:24]									0x5A	R/W	
0x34	DIG_DIAG	[7:0]	POWERUP COMPLETED	RESET_OCC URRED	RESERVED					FUSE_CRC _EN		0x40	R/W	
0x35	DIG_ERR	[7:0]	RESERVED							FUSE_CRC _ERR		0x00	R/W	

レジスタの詳細

インターフェース設定Aレジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェースの設定値。

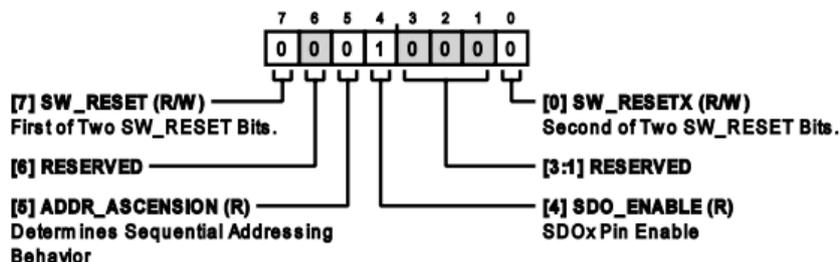


表 17. INTERFACE_CONFIG_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SW_RESET	2つのSW_RESETビットの1つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W
6	RESERVED	予備。	0x0	R
5	ADDR_ASCENSION	シーケンシャルなアドレス指定動作を決定。 0 : ストリーミング時、アクセスされるアドレスはデータ・バイトごとに1ずつデクリメントします。 1 : 有効なオプションではありません。	0x0	R
4	SDO_ENABLE	SDOxピン・イネーブル。	0x1	R
[3:1]	RESERVED	予備。	0x0	R
0	SW_RESETX	2つのSW_RESETビットの2つ目。このビットはこのレジスタの2か所にあります。デバイスのソフトウェア・リセットをトリガするには両方の場所に同時に書き込む必要があります。このレジスタを除くすべてのレジスタがデフォルト値にリセットされます。	0x0	R/W

インターフェース設定Bレジスタ

アドレス : 0x01、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_B

追加のインターフェース設定値。

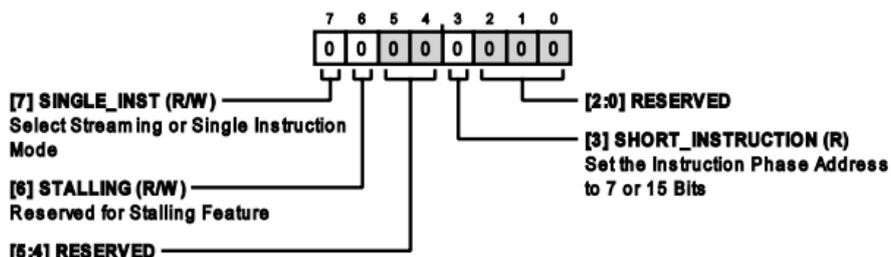


表 18. INTERFACE_CONFIG_Bのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	SINGLE_INST	ストリーム・モードまたは単一命令モードを選択します。 0 : ストリーム・モードを選択。連続するデータ・バイトを受信するごとに、アドレスがデクリメントされます。 1 : 単一命令モードを選択。	0x0	R/W
6	STALLING	ストーリング機能用に予約。	0x0	R/W
[5:4]	RESERVED	予備。	0x0	R
3	SHORT_INSTRUCTION	命令フェーズのアドレスを7ビットまたは15ビットに設定。 0 : 15ビットのアドレス指定 1 : 7ビットのアドレス指定	0x0	R
[2:0]	RESERVED	予備。	0x0	R

デバイス設定レジスタ

アドレス : 0x02、リセット : 0x00、レジスタ名 : DEVICE_CONFIG

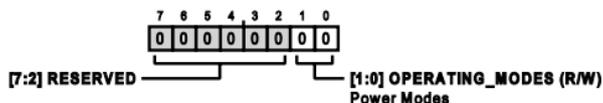


表 19. DEVICE_CONFIGのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	RESERVED	予備。	0x0	R
[1:0]	OPERATING_MODES	電力モード。 00 : 通常動作モード。 11 : シャットダウン・モード。	0x0	R/W

チップ・タイプ・レジスタ

アドレス : 0x03、リセット : 0x07、レジスタ名 : CHIP_TYPE

チップ・タイプは、対象のデバイスが属するアナログ・デバイセズ製品ファミリーを識別するために用います。目的の製品を一意に識別するにはチップ・タイプと製品IDを使用してください。

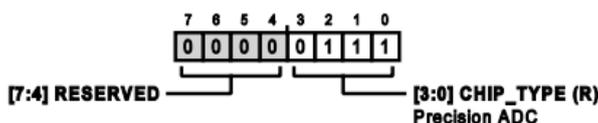


表 20. CHIP_TYPEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:4]	RESERVED	予備。	0x0	R
[3:0]	CHIP_TYPE	高精度ADC。	0x7	R

製品IDロー・レジスタ

アドレス : 0x04、リセット : 0x00、レジスタ名 : PRODUCT_ID_L

製品IDの下位バイト。

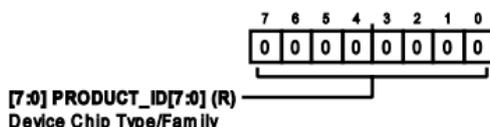


表 21. PRODUCT_ID_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID, Bits[7:0]	デバイスのチップ・タイプ／ファミリー。製品を識別するには、製品IDとチップ・タイプを使用してください。	0x0	R

製品IDハイ・レジスタ

アドレス : 0x05、リセット : 0x20、レジスタ名 : PRODUCT_ID_H

製品IDの上位バイト。

レジスタの詳細

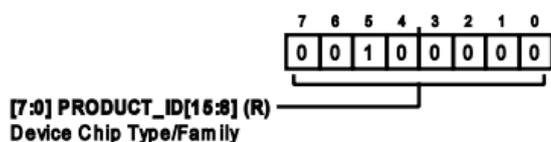


表 22. PRODUCT_ID_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	PRODUCT_ID, Bits[15:8]	デバイスのチップ・タイプ/ファミリー。製品を識別するには、製品IDとチップ・タイプを使用してください。	0x20	R

チップ・グレード・レジスタ

アドレス : 0x06、リセット : 0x01、レジスタ名 : CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。

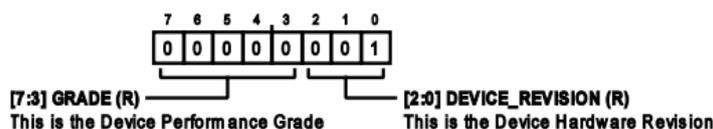


表 23. CHIP_GRADEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:3]	GRADE	デバイス性能のグレードです。 AD4630-24 : 0b00000 AD4632-24 : 0b00010	0x0 0x2	R
[2:0]	DEVICE_REVISION	デバイスのハードウェア・リビジョンです。	0x1	R

スクラッチパッド・レジスタ

アドレス : 0x0A、リセット : 0x00、レジスタ名 : SCRATCH_PAD

このレジスタを使用して書き込みや読み出しをテストできます。

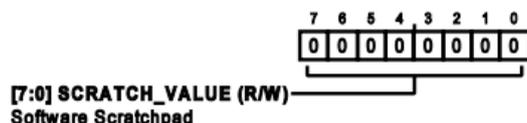


表 24. SCRATCH_PADのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	SCRATCH_VALUE	ソフトウェア・スクラッチパッド。ソフトウェアは、デバイスに副次的な作用を及ぼすことなく、この場所で読み書きができます。	0x0	R/W

SPIリビジョン・レジスタ。

アドレス : 0x0B、リセット : 0x81、レジスタ名 : SPI_REVISION

SPIリビジョンを示します。

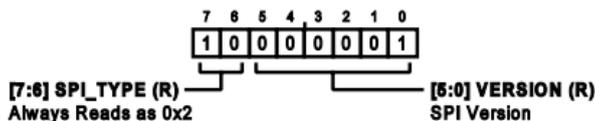


表 25. SPI_REVISIONのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	SPI_TYPE	常に0x2と読み出されます。	0x2	R

レジスタの詳細

ビット	ビット名	説明	リセット	アクセス
[5:0]	VERSION	SPIのバージョン。 01：初版	0x1	R

ベンダIDロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダIDの下位バイト。

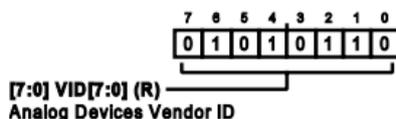


表 26. VENDOR_Lのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID[7:0]	アナログ・デバイセズのベンダID。	0x56	R

ベンダIDハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダIDの上位バイト。

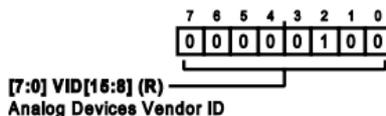


表 27. VENDOR_Hのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	VID [15:8]	アナログ・デバイセズのベンダID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データのストリーミング時のループ長を定義します。

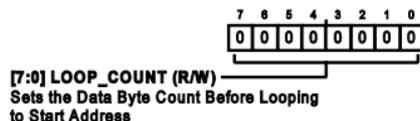


表 28. STREAM_MODEのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	LOOP_COUNT	開始アドレスにループするまでのデータ・バイト・カウントを設定。データのストリーミング時、ゼロ以外の値によって、アドレスが開始アドレスにループ・バックするまでに書き込まれるデータ・バイト数を設定します。この方法で最大255個のバイトを書き込むことができます。値を0x00にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。このレジスタへ書き込みを行うと、ループ値は次のSPI命令にのみ適用され、その命令が終了すると自動的にクリアされます。	0x0	R/W

レジスタの詳細

インターフェース設定レジスタ

アドレス : 0x10、リセット : 0x00、レジスタ名 : INTERFACE_CONFIG_C

追加のインターフェース設定値。

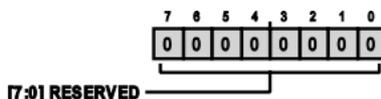


表 29. INTERFACE_CONFIG_Cのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	RESERVED	予備。	0x0	R

インターフェース・ステータスAレジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : INTERFACE_STATUS_A

ステータス・ビットが1にセットされていると、アクティブ状態であることを示しています。ステータス・ビットは対応するビット位置に1を書き込むことでクリアできます。

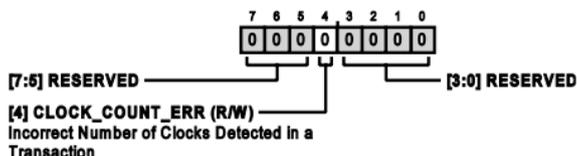


表 30. INTERFACE_STATUS_Aのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:5]	RESERVED	予備。	0x0	R
4	CLOCK_COUNT_ERR	トランザクションで誤った数のクロックを検出。	0x0	R/W
[3:0]	RESERVED	予備。	0x0	R

設定モード終了レジスタ

アドレス : 0x14、リセット : 0x00、レジスタ名 : EXIT_CFG_MD

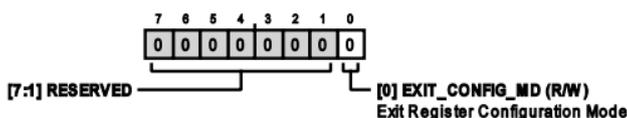


表 31. EXIT_CFG_MDのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	EXIT_CONFIG_MD	レジスタ設定モードを終了。レジスタ設定モードを終了するには1を書き込みます。CS = 1になると自動クリアされます。	0x0	R/W

レジスタの詳細

平均化モード・レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : AVG

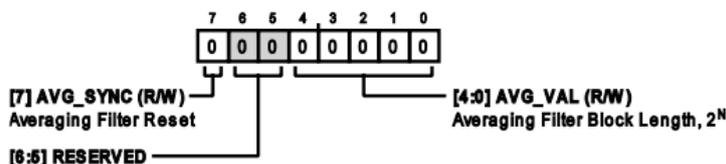


表 32. AVGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	AVG_SYNC	平均化フィルタ・リセット。1 = リセット、自動クリア。	0x0	R/W
[6:5]	RESERVED	予備。	0x0	R
[4:0]	AVG_VAL	平均化フィルタのブロック長、 2^N 。 0x00 = 平均化なし。 0x01 = 2^1 サンプル。 0x02 = 2^2 サンプル。 0x03 = 2^3 サンプル。 0x04 = 2^4 サンプル。 0x05 = 2^5 サンプル。 ... 0x0F = 2^{15} サンプル。 0x10 = 2^{16} サンプル。 0x11 ~ 0x1F = 無効。	0x0	R/W

チャンネル0オフセット・レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : OFFSET_CH0_LB

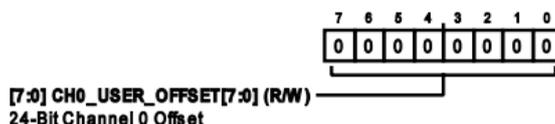


表 33. OFFSET_CH0_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH0_USER_OFFSET[7:0]	24ビットのチャンネル0オフセット。2の補数（符号付き）。1 LSB = $(V_{REF}/2^{23})$ /ゲイン。ゲイン・パラメータの定義については、 チャンネル0ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

アドレス : 0x17、リセット : 0x00、レジスタ名 : OFFSET_CH0_MB

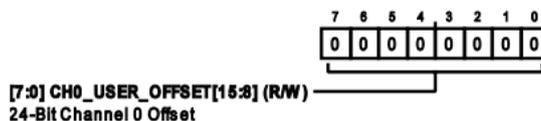


表 34.

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH0_USER_OFFSET[15:8]	24ビットのチャンネル0オフセット。2の補数（符号付き）。1 LSB = $(V_{REF}/2^{23})$ /ゲイン。ゲイン・パラメータの定義については、 チャンネル0ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

レジスタの詳細

アドレス : 0x18、リセット : 0x00、レジスタ名 : OFFSET_CH0_HB

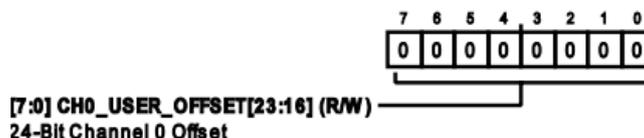


表 35. OFFSET_CH0_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH0_USER_OFFSET[23:16]	24ビットのチャンネル0オフセット。2の補数（符号付き）。1 LSB = (V _{REF} /2 ²³)/ゲイン。ゲイン・パラメータの定義については、 チャンネル0ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

チャンネル1オフセット・レジスタ

アドレス : 0x19、リセット : 0x00、レジスタ名 : OFFSET_CH1_LB

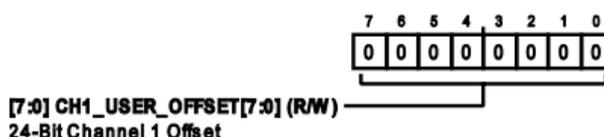


表 36. OFFSET_CH1_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_USER_OFFSET[7:0]	24ビットのチャンネル1オフセット。2の補数（符号付き）。1 LSB = (V _{REF} /2 ²³)/ゲイン。ゲイン・パラメータ値の定義については、 チャンネル1ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

アドレス : 0x1A、リセット : 0x00、レジスタ名 : OFFSET_CH1_MB

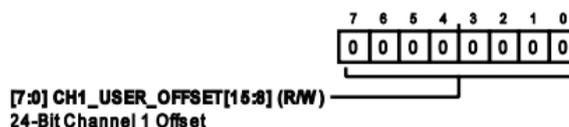


表 37. OFFSET_CH1_MBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_USER_OFFSET[15:8]	24ビットのチャンネル1オフセット。2の補数（符号付き）。1 LSB = (V _{REF} /2 ²³)/ゲイン。ゲイン・パラメータ値の定義については、 チャンネル1ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

アドレス : 0x1B、リセット : 0x00、レジスタ名 : OFFSET_CH1_HB



表 38. OFFSET_CH1_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_USER_OFFSET[23:16]	24ビットのチャンネル1オフセット。2の補数（符号付き）。1 LSB = (V _{REF} /2 ²³)/ゲイン。ゲイン・パラメータ値の定義については、 チャンネル1ゲイン・レジスタ のセクションを参照してください。	0x0	R/W

レジスタの詳細

チャンネル0ゲイン・レジスタ

アドレス : 0x1C、リセット : 0x00、レジスタ名 : GAIN_CH0_LB

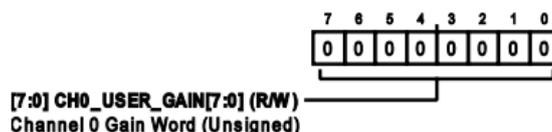


表 39. GAIN_CH0_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH0_USER_GAIN[7:0]	チャンネル0のゲイン・ワード (符号なし)。複数出力 = 入力 × ゲイン・ワード / 0x8000。最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x00	R/W

アドレス : 0x1D、リセット : 0x80、レジスタ名 : GAIN_CH0_HB

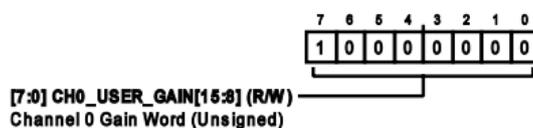


表 40. GAIN_CH0_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH0_USER_GAIN [15:8]	チャンネル0のゲイン・ワード (符号なし)。複数出力 = 入力 × ゲイン・ワード / 0x8000。最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x80	R/W

チャンネル1ゲイン・レジスタ

アドレス : 0x1E、リセット : 0x00、レジスタ名 : GAIN_CH1_LB

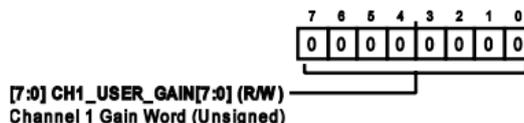


表 41. GAIN_CH1_LBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_USER_GAIN [7:0]	チャンネル1のゲイン・ワード (符号なし)。複数出力 = 入力 × ゲイン・ワード / 0x8000。最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x00	R/W

アドレス : 0x1F、リセット : 0x80、レジスタ名 : GAIN_CH1_HB

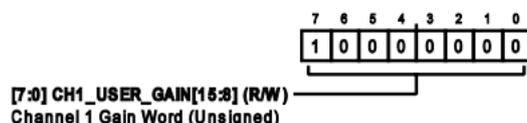


表 42. GAIN_CH1_HBのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CH1_USER_GAIN [15:8]	チャンネル1のゲイン・ワード (符号なし)。複数出力 = 入力 × ゲイン・ワード / 0x8000。最大実効ゲイン = 0xFFFF / 0x8000 = 1.99997。	0x80	R/W

レジスタの詳細

モード・レジスタ

アドレス : 0x20、リセット : 0x00、レジスタ名 : MODES

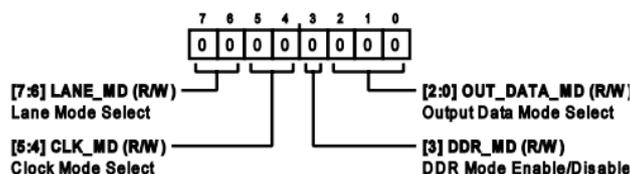


表 43. MODESのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	LANE_MD	レーン・モードの選択。 00 = チャンネルあたり1レーン。 01 = チャンネルあたり2レーン。 10 = チャンネルあたり4レーン。 11 = SDO0でチャンネル0およびチャンネル1がインターリーブ。	0x0	R/W
[5:4]	CLK_MD	クロック・モードの選択。 00 : SPIクロック・モード。 01 : エコー・クロック・モード。 10 : ホスト・クロック・モード。 11 = 無効設定。	0x0	R/W
3	DDR_MD	DDRモードの有効化/無効化。 0 = SDR。 1 = DDR (エコー・クロック・モードおよびホスト・クロック・モードでのみ有効)。	0x0	R/W
[2:0]	OUT_DATA_MD	出力データ・モードの選択。 000 = 24ビット差動データ。 001 = 16ビット差動データ + 8ビット・コモンモード・データ。 010 = 24ビット差動データ + 8ビット・コモンモード・データ。 011 = 30ビット平均化差動データ + ORビット + SYNCビット。 100 = 32ビット・テスト・データ・パターン (テスト・パターン・レジスタのセクションを参照)。	0x0	R/W

内部発振器レジスタ

アドレス : 0x21、リセット : 0x00、レジスタ名 : OSCILLATOR

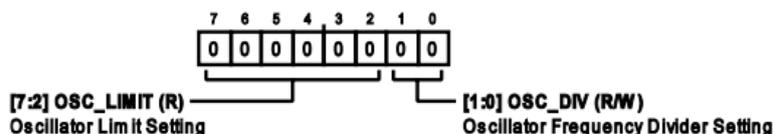


表 44. OSCILLATORのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:2]	OSC_LIMIT	発振器制限の設定値。発振器は、クロック・パルス数に1を加えた数に制限されます。データ・ワード・サイズ、アクティブなSDOレーンの数、データ・レート・モード (SDRまたはDDR) に基づき、AD4630-24/AD4632-24が自動で計算します。	0x0	R
[1:0]	OSC_DIV	発振器分周器の設定値。 00 : 分周なし (1分周)。 01 : 2分周。 10 : 4分周。 11 = 無効設定。	0x0	R/W

レジスタの詳細

出力ドライバ・レジスタ

アドレス : 0x22、リセット : 0x00、レジスタ名 : IO

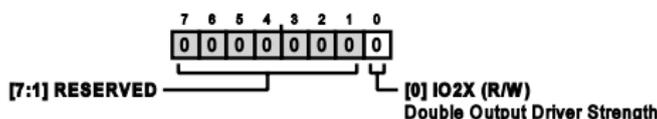


表 45. IOのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	IO2X	ダブル出力ドライバ強度。 1 = ダブル出力ドライバ強度。 0 = 通常出力ドライバ強度。	0x0	R/W

テスト・パターン・レジスタ

アドレス : 0x23、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE0

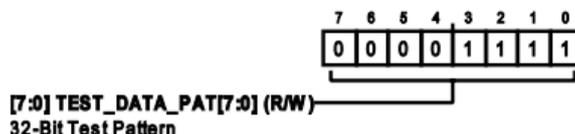


表 46. TEST_PAT_BYTE0のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[7:0]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に両方のチャンネルに適用されま す (モード・レジスタのセクションを参照)。	0xF	R/W

アドレス : 0x24、リセット : 0x0F、レジスタ名 : TEST_PAT_BYTE1

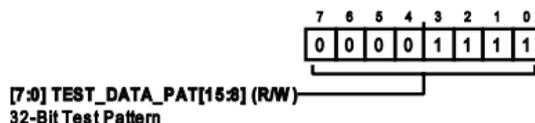


表 47. TEST_PAT_BYTE1のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[15:8]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に両方のチャンネルに適用されま す (モード・レジスタのセクションを参照)。	0xF	R/W

アドレス : 0x25、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE2

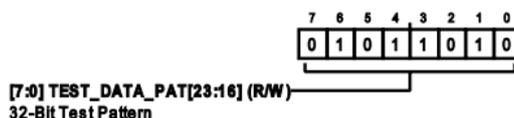


表 48. TEST_PATBYTE2のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[23:16]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に両方のチャンネルに適用されま す (モード・レジスタのセクションを参照)。	0x5A	R/W

レジスタの詳細

アドレス : 0x26、リセット : 0x5A、レジスタ名 : TEST_PAT_BYTE3

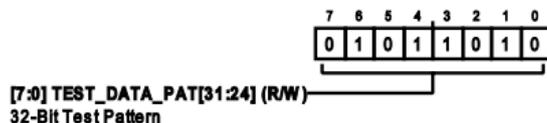


表 49. TEST_PAT_BYTE3のビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	TEST_DATA_PAT[31:24]	32ビットのテスト・パターン。OUT_DATA_MD = 4の場合に両方のチャンネルに適用されません (モード・レジスタのセクションを参照)。	0x5A	R/W

デジタル診断レジスタ

アドレス : 0x34、リセット : 0x40、レジスタ名 : DIG_DIAG

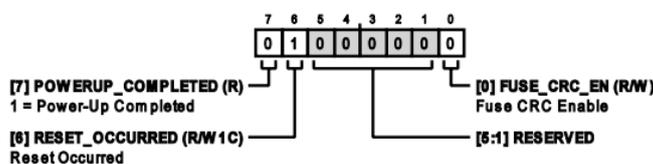


表 50. DIG_DIAGのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	POWERUP_COMPLETED	1 = 起動完了。	0x0	R
6	RESET_OCCURRED	リセット発生。リセットが発生すると、このビットが1にセットされます。クリアするには1を書き込みます (ブラウンアウト検出に役立ちます)。	0x1	R/W1C
[5:1]	RESERVED	予備。	0x0	R
0	FUSE_CRC_EN	ヒューズCRCをイネーブル。1を書き込むと、CRCの再チェックが実行されます。	0x0	R/W

デジタル・エラー・レジスタ

アドレス : 0x35、リセット : 0x00、レジスタ名 : DIG_ERR

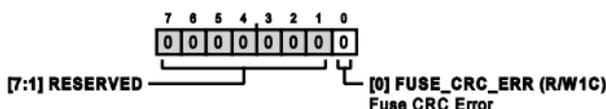


表 51. DIG_ERRのビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:1]	RESERVED	予備。	0x0	R
0	FUSE_CRC_ERR	ヒューズCRCエラー。ヒューズCRCエラーが発生すると、このビットが1にセットされます。クリアするには1を書き込みます。	0x0	R/W1C

外形寸法

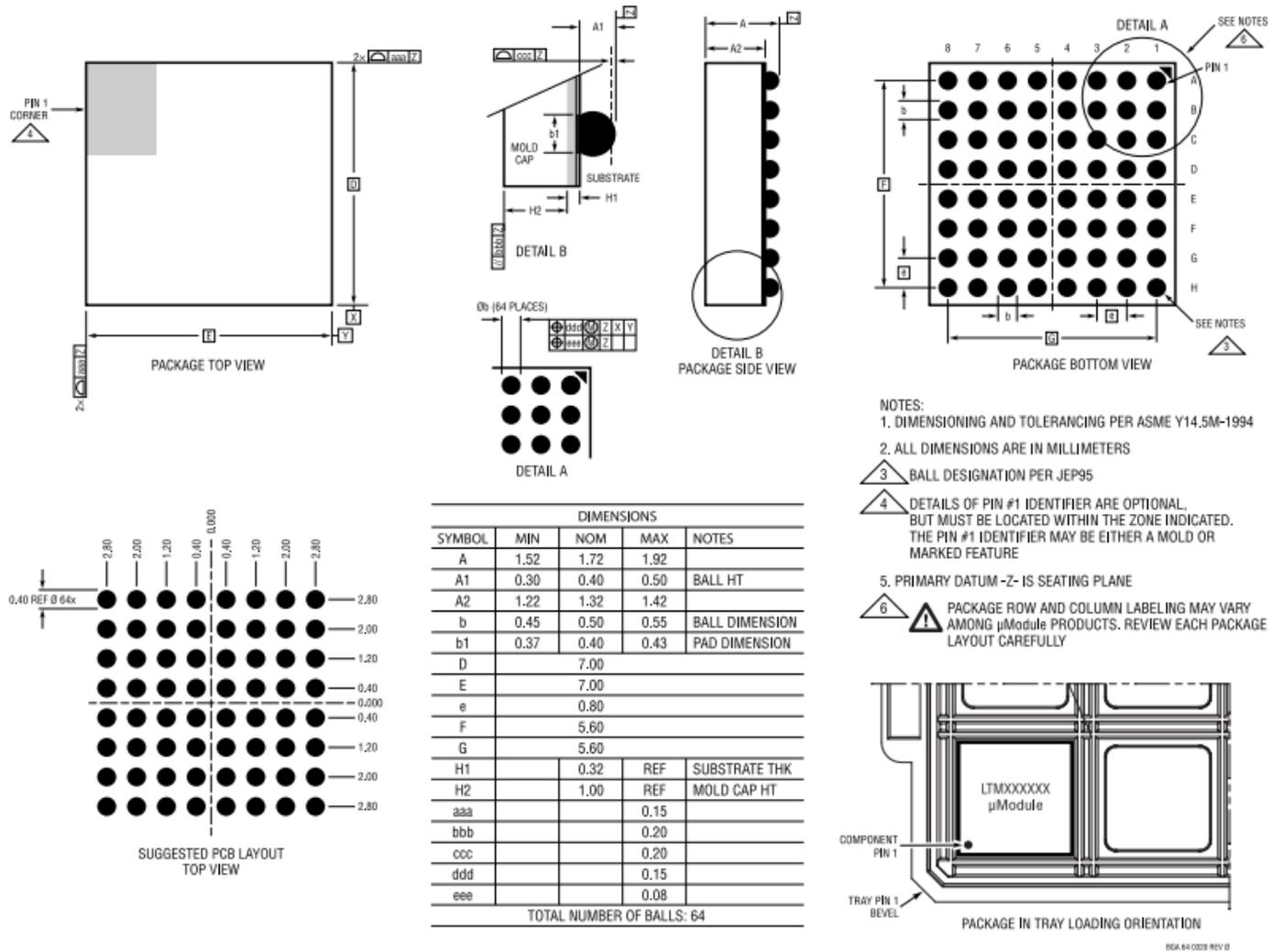


図 60. 64ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA] (05-08-1797) 寸法 : mm

更新 : 2022年6月3日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4630-24BBCZ	-40°C~+125°C	64-Ball CSP-BGA (7 mm × 7 mm × 1.72 mm)	Tray, 260	05-08-1797
AD4630-24BBCZ-RL	-40°C~+125°C	64-Ball CSP-BGA (7 mm × 7 mm × 1.72 mm)	Reel, 2000	05-08-1797
AD4632-24BBCZ	-40°C~+125°C	64-Ball CSP-BGA (7 mm × 7 mm × 1.72 mm)	Tray, 260	05-08-1797
AD4632-24BBCZ-RL	-40°C~+125°C	64-Ball CSP-BGA (7 mm × 7 mm × 1.72 mm)	Reel, 2000	05-08-1797

1 Z = RoHS準拠製品。

評価用ボード

Model ^{1, 2}	Description
EVAL-AD4630-24-KTZ	Evaluation Kit
EVAL-AD4630-24FMCZ	Evaluation Board

1 Z = RoHS準拠製品。

2 EVAL-AD4630-24-KTZおよびEVAL-AD4630-24FMCZはAD4632-24を評価するために使用できます。

