

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月23日

製品名：AD4134

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：53 ページ、右の段、上から5行目

【誤】

「FORMAT0/ピン」

【正】

「FORMAT0/ $\overline{\text{CS}}$ ピン」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月23日

製品名：AD4134

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：64ページ、右の段、ストリーム・モードの項、上から5行目

【誤】

「このプロセスは、非アクティブにならない限り続行します。」

【正】

「このプロセスは、ラインが非アクティブにならない限り続行します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月23日

製品名：AD4134

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：69ページ、左の段、下から4行目

【誤】

「・・・ピンのトグルにより最小 I/O モードを終了します。」

【正】

「・・・ $\overline{\text{CS}}$ ピンのトグルにより最小 I/O モードを終了します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月23日

製品名：AD4134

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：77ページ、表 40. INTERFACE_CONFIG_B のビットの説明、INGLE_INSTR
ビットの説明欄

【誤】

「このビットをセットすると、の状態に関係なくストリーミングを無効化します。」

【正】

「このビットをセットすると、ラインの状態に関係なくストリーミングを無効化します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年8月23日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年8月23日

製品名：AD4134

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：79ページ、表 52. TRANSFER_REGISTER のビットの説明、説明の欄、一番下の文

【誤】

「転送を呼び出す別の方法としては、ローからハイへの遷移を使用する方法があります。」

【正】

「転送を呼び出す別の方法としては、 $\overline{\text{CS}}$ のローからハイへの遷移を使用する方法がありません。」

24 ビット、 4 チャンネル同時サンプリング、 1.5MSPS 高精度エイリアス・フリーADC

特長

- ▶ エイリアス・フリー：固有のアンチエイリアス除去、高性能モード時 102.5dB（代表値）
- ▶ 優れた AC および DC 性能
 - ▶ 108dB のダイナミック・レンジ（ODR = 374kSPS、FIR フィルタ、代表値）
 - ▶ 137dB のダイナミック・レンジ（ODR = 10SPS、sinc3 フィルタ、代表値）
 - ▶ THD：1kHz の入力トーンで -120dB（代表値）
 - ▶ オフセット誤差ドリフト：0.9μV/°C（代表値）
 - ▶ ゲイン・ドリフト：2ppm/°C（代表値）
 - ▶ INL：FSR の ±2ppm（代表値）
- ▶ ダイナミック・レンジ拡張：4:1 と 2:1 の平均化モード
- ▶ 126dB の A 重み付けダイナミック・レンジ
- ▶ 抵抗性 ADC とリファレンス入力
- ▶ 同期が容易：非同期サンプル・レート・コンバータ
 - ▶ 1本の信号線でのマルチデバイス同期
 - ▶ 0.01kSPS~1496kSPS のプログラマブルなデータ・レート（0.01SPS の分解能）
 - ▶ 外部信号による出力データ・レート制御オプション
- ▶ リニア位相デジタル・フィルタ・オプション
 - ▶ 低リップル FIR フィルタ：32μdB の通過帯域リップル、DC~161.942kHz
 - ▶ 低遅延 sinc3 フィルタと sinc6 フィルタ、DC~391.5kHz
 - ▶ 50Hz/60Hz 除去の sinc3 フィルタ

- ▶ クロストーク：130.7dBFS
- ▶ デイジーチェーン接続
- ▶ データと SPI インターフェースの CRC エラー・チェック
- ▶ 2つの電源モード：高性能モードと低消費電力モード
- ▶ 電源：4.5V~5.5V および 1.65V~1.95V
- ▶ 1.8V の IOVDD レベル
- ▶ 外部リファレンス：4.096V または 5V
- ▶ 48MHz の水晶発振器または外部 CMOS クロック
- ▶ SPI またはピン（スタンドアロン）で設定可能な動作
- ▶ 動作温度範囲：-40°C~+105°C
- ▶ 露出パッド付き 8mm × 8mm、56 ピン LFCSP を採用

アプリケーション

- ▶ 電子テストおよび計測
- ▶ オーディオ試験
- ▶ 3相電力の品質解析
- ▶ ループ検証における制御とハードウェア
- ▶ ソナー
- ▶ 予防メンテナンスのための状態監視
- ▶ 音響および材料科学の研究開発

機能ブロック図

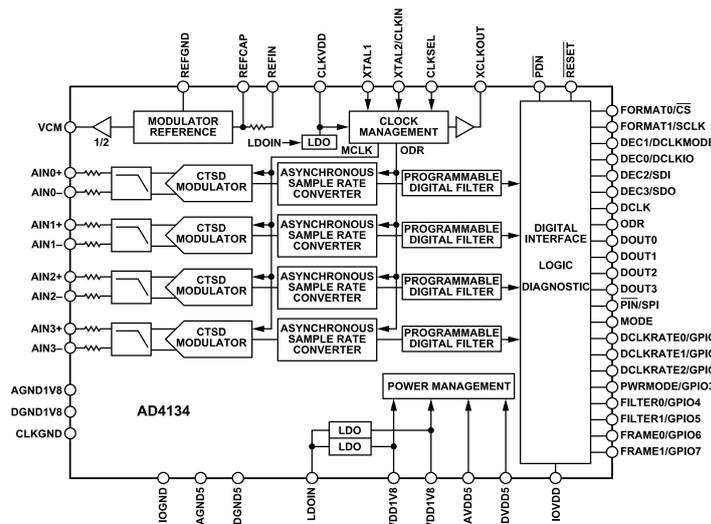


図 1.

アナログ・デバイセズでは、文化的に適切な用語と言語を提供するため、技術文書の更新を行っているところです。このプロセスは広い範囲にわたるものですが、段階的にできるだけ早く行ってまいります。ご協力を感謝します。

Rev. 0

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	デジタル・フィルタの設定	52
アプリケーション	1	データ・インターフェースの設定	53
機能ブロック図	1	電力モード	55
概要	3	固有のアンチエイリアシング・フィルタ・モード	55
仕様	4	ダイナミック・レンジの向上、チャンネル平均化	56
タイミング仕様	10	キャリブレーション	57
絶対最大定格	13	オフセットのキャリブレーション	57
熱抵抗	13	ゲイン・キャリブレーション	57
ESD に関する注意	13	アプリケーション情報	58
ピン配置およびピン機能の説明	14	電源	58
代表的な性能特性	18	リファレンス・ノイズのフィルタリング	59
用語の定義	27	マルチデバイスの同期	60
動作原理	29	コヒーレント・サンプリング	60
連続時間シグマ・デルタ・モジュレータ	29	低遅延デジタル制御ループ	60
駆動が容易な入力とリファレンス	29	自動ゲイン制御	60
固有のアンチエイリアシング・フィルタ (AAF)	30	フロント・エンドの設計例	61
アナログ・フロント・エンド設計の簡素化	31	デジタル・インターフェース	63
ノイズ性能と分解能	32	SPI	63
回路説明	36	データ・インターフェース	65
コア・シグナル・チェーン	36	最小 I/O モード	69
アナログ入力	36	診断機能	70
VCM 出力	36	内部ヒューズの完全性チェック	70
リファレンス入力	37	アナログ入力のオーバーレンジ	71
クロック入力	37	MCLK カウンタ	71
XCLKOUT 出力	37	SPI の監視	71
電源オプション	38	メモリ・マップの完全性チェック	71
リセット	38	ODR 入力の周波数チェック	71
非同期サンプル・レート・コンバータ	38	デジタル・フィルタのオーバーフローとアンダーフロー	72
デジタル・フィルタ	41	DCLK エラー	72
クイック・スタート・ガイド	44	GPIO 機能	73
スタンドアロン・モード	45	PIN エラーの通知	73
低遅延の同期データ・アキュイジション	45	レジスタ・マップ (SPI 制御)	74
デバイス制御	46	レジスタの詳細	77
ピン制御モード	46	外形寸法	92
SPI 制御モード	47	オーダー・ガイド	92
多機能ピン	47	評価用ボード	92
デバイスの設定	48		
出力データ・レートとクロックの設定	48		

改訂履歴

11/2021—Revision 0: Initial Version

概要

AD4134は、クワッド・チャンネル、低ノイズ、同時サンプリングの高精度 A/D コンバータ (ADC) で、優れた機能性とパフォーマンス、および使いやすさを実現しています。

AD4134は、連続時間シグマ・デルタ (CTSD) 変調方式に基づいて、従来必要とされていたシグマ・デルタ ($\Sigma\Delta$) モジュレータに前置されるスイッチド・キャパシタ回路のサンプリングを不要とします。これにより、ADC 入力の駆動条件が緩和されず、CTSD アーキテクチャはまた、ADC エイリアシング周波数帯域周辺の信号を本質的に除去し、デバイス固有のアンチエイリアシング機能を提供し、複雑な外部アンチエイリアシング・フィルタを不要とします。

AD4134には4つの独立したコンバータ・チャンネルが並列に配置され、それぞれに CTSD モジュレータとデジタル・デシメーションおよびフィルタ・パスを備えています。4つの独立した信号ソースの同時サンプリングが可能で、それぞれが 391.5kHz の最大入力帯域幅に対応し、これら4つの信号測定値の間で厳密な位相マッチングを実現します。また、高レベルのチャンネル統合と簡素化されたアナログ・フロント・エンド条件を兼ね備え、小型フォーム・ファクタで高密度マルチチャンネルのデータ・アキュイジション・ソリューションを提供できます。

シグナル・チェーンを簡素化する AD4134 の特性は、アナログ・フロント・エンド回路によって通常導入されるノイズ、エラー、ミスマッチ、および歪みを低減することにより、システム・レベルのパフォーマンスをも向上させます。

AD4134は優れた DC および AC 性能を提供します。各 ADC チャンネルの帯域幅は DC~391.5kHz の範囲であり、温度や圧力から振動や衝撃に至るまで、幅広いセンサー・タイプに対応する、ユニバーサルな高精度データ・アキュイジション・ソリューションの理想的な候補となっています。

AD4134は多数の機能と設定オプションを備えているため、目的のアプリケーションに対して帯域幅、ノイズ、精度、および電力の最適なバランスを柔軟に実現できます。

内蔵の非同期サンプル・レート・コンバータ (ASRC) により、インターポレーションおよびリサンプリング技術を用いて、デシメーション・レシオ、更には出力データ・レート (ODR) を正確に制御できます。また、0.01SPS 未満の調整分解能で 0.01kSPS~1496kSPS の幅広い ODR 周波数に対応し、サンプリング速度を細かく変化させてコヒーレントなサンプリングを実現できます。ODR 値は、ODR_VAL_INT_x および ODR_VAL_FLT_x レジスタ (レジスタ 0x16~0x1C、ASRC マスタ・モード)、または外部クロック源 (ASRC スレーブ・モード) を使用して制御できます。ASRC スレーブ・モード動作により、複数の AD4134 デバイス間で単一システム・クロックへの同期サンプリングが可能です。ASRC は、デジタル・バックエンドから各 ADC への高周波数で低ジッタのマスタ・クロックのルーティングが不要となっているため、中程度の帯域幅のデータ・アキュイジション・システム内のクロック分配条件が簡素化されます。

ASRC はデジタル・フィルタとして機能し、 $\Sigma\Delta$ モジュレータからのオーバーサンプリングされたデータをより低いレートにデシメートして、高精度を優先します。更に、ADC データは、AD4134 のユーザ選択可能なデジタル・フィルタ・プロファイルの1つによって処理され、帯域外信号とノイズが更に除去されて、データ・レートが最終的に目的とする ODR 値にまで低減します。

AD4134は、次の3つの主要なデジタル・フィルタ・プロファイル・オプションを提供します。1) 周波数領域分析に適した、ブリック・ウォール周波数プロファイルを持ち ODR 範囲が 2.5kSPS~374kSPS の広帯域低リップル・フィルタ。2) 低遅延の時間領域分析および低周波数高ダイナミック・レンジ入力タイプに適した、ODR 範囲が 0.01kSPS~1496kSPS の高速応答 sinc3 フィルタ。3) 最適なノイズ性能と応答時間を提供する、ODR 範囲が 2.5kSPS~1.496MSPS の平衡型 sinc6 フィルタ。

AD4134は、2つまたは4つの入力チャンネル間でオンボード平均化を実行することもできます。それにより、帯域幅を維持しながら、2つのチャンネルを組み合わせた場合は 3dB 近く、4つのチャンネルをすべて組み合わせた場合は 6dB 近くダイナミック・レンジが向上します。

AD4134は、シリアル・ペリフェラル・インターフェース (SPI) とハードウェア・ピン設定 (ピン制御モード) の2つのデバイス設定スキームに対応しています。SPI 制御モードでは、AD4134で利用可能なすべての機能と設定オプションにアクセスできます。SPI 制御モードではまた、堅牢なシステム設計を可能にするように設計されたオンボード診断機能にアクセスすることもできます。ピン制御モードには、デバイス設定が簡素化されるという利点があり、スタンドアロン・モードでデバイスがパワーアップ後に自律的に動作できます。

AD4134には、オプションの SPI に加えて、ADC 出力データを送信するための柔軟で独立したデータ・インターフェースがあります。データ・インターフェースはバス・マスタまたはスレーブとして機能可能で、複数の通信バス・プロトコルに対応するための様々なクロッキング・オプションがあります。データ・インターフェースは、デジチェーン接続と、絶縁型アプリケーションに必要なデジタル・アイソレータ・チャンネルの数を最小限に抑えるように設計されたオプションの最小入出力 (I/O) モードもサポートしています。

AD4134 の動作周囲温度範囲は-40°C~105°C です。デバイスは、8mm×8mm の 56ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP) に収められています。

このデータシートでは、FORMAT1/SCLK などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、SCLK のように1つのピン機能だけを表記しています。

仕様

特に指定のない限り、AVDD5 = DVDD5 = 4.5V~5.5V、AVDD1V8 = DVDD1V8 = 1.65V~1.95V、CLKVDD = 1.65V~1.95V、LDOIN = 2.6V~5.5V、IOVDD = 1.65V~1.95V、CLKIN = 48MHz、AGND5 = DGND5 = AGND1V8 = DGND1V8 = IOGND = CLKGND = 0V、REFIN 電圧 (V_{REF}) = 4.096V、T_A = -40°C~+105°C、高性能モード、入力コモンモード電圧 (V_{CM}) = 2.048V、広帯域 0.433 × ODR フィルタ、アンチエイリアス 1 (AA1) モード。特に指定のない限り、代表値は T_A = 25°C、AVDD5 = DVDD5 = 5V、AVDD1V8 = DVDD1V8 = CLKVDD = 1.8V、LDOIN = 1.8V、IOVDD = 1.8V での値です。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC SPEED AND DATA OUTPUT					
ODR					
Wideband 0.10825 × ODR and 0.433 × ODR Filters ^{1, 2}		2.5		374	kSPS
Sinc6 Filter ³		2.5		1496	kSPS
Sinc3 Filter ⁴		0.01		1496	kSPS
-3 dB Bandwidth					
Wideband 0.433 × ODR Filter		1.08		161.942	kHz
Wideband 0.10825 × ODR Filter		0.27		40.48	kHz
Sinc6 Filter		0.47		278.4	kHz
Sinc3 Filter		0.003		391.5	kHz
Data Output Coding			Twos complement, MSB first		
DYNAMIC PERFORMANCE					
	More information is available in the Noise Performance and Resolution section				
Dynamic Range (DR)	Shorted input				
High Performance Mode	ODR = 374 kSPS	105.7	108		dB
	ODR = 10 SPS, sinc3 filter		137		dB
	A weighted, 1 kHz input, -60 dBFS, ODR = 48 kSPS		120		dB
	2:1 channel averaging, A weighted, 1 kHz input, -60 dBFS, ODR = 48 kSPS		123		dB
	4:1 channel averaging, A weighted, 1 kHz input, -60 dBFS, ODR = 48 kSPS		126		dB
Low Power Mode	ODR = 187 kSPS	103.7	106		dB
Signal-to-Noise Ratio	1 kHz, -0.5 dBFS, sine wave input				
High Performance Mode	ODR = 374 kSPS	105.3	107		dB
Low Power Mode	ODR = 187 kSPS	104.6	106		dB
Signal-to-Noise-and-Distortion Ratio (SINAD)	1 kHz, -0.5 dBFS, sine wave input				
High Performance Mode	ODR = 374 kSPS		106.5		dB
Low Power Mode	ODR = 187 kSPS		105.5		dB
Total Harmonic Distortion (THD)	1 kHz, -0.5 dBFS, sine wave input				
High Performance Mode			-120		dB
Low Power Mode			-119		dB
Spurious-Free Dynamic Range ⁵ (SFDR)	1 kHz, -0.5 dBFS, sine wave input				
High Performance Mode			125		dBc
Low Power Mode			125		dBc
INTERMODULATION DISTORTION (IMD)					
	With input tone at 9.7 kHz and 10.3 kHz				
	Second-order		-122		dB
	Third-order		-125		dB
ACCURACY					
Integral Nonlinearity (INL)					
	High performance mode		±2		ppm of FSR
	Low power mode		±2		ppm of FSR

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Offset Error ⁵	High performance mode		±100	±600	μV
	Low power mode		±100	±600	μV
Offset Error Drift	High performance mode		0.9	3.7	μV/°C
	Low power mode		0.8	3	μV/°C
Gain Error ⁶	High performance mode, master mode		±350	±850	ppm of FSR
	Low power mode, master mode		±150	±500	ppm of FSR
Gain Drift			2	5.1	ppm/°C
Voltage Noise	0.1 Hz to 10 Hz		1.01		μV p-p
ANALOG INPUTS					
Differential Input Voltage Range (V_{IN})	$-V_{REF}$ is the negative reference voltage and $+V_{REF}$ is the positive reference voltage	$-V_{REF}$		$+V_{REF}$	V
Input Common-Mode Voltage Range (V_{CM})			$V_{REF}/2$	$AVDD5/2$	V
Input Current			317		μA/V
Input Current Drift			8.3		nA/V/°C
Differential Input Resistance			6.25		kΩ
VCM PIN					
Output Voltage		$V_{REF}/20$		$AVDD5/2$	V
Load Regulation ($\Delta V_{OUT}/\Delta I_L$)			313		μV/mA
Voltage Regulation ($\Delta V_{OUT}/\Delta V_{AVDD5V}$)			993		μV/V
Short-Circuit Current			45		mA
Loading Capacitance				200	pF
Additive Voltage Noise Density			70		nV/√Hz
EXTERNAL REFERENCE					
REFIN Voltage (V_{REF})	REFIN to REFGND high performance mode		4.096 or 5		V
	REFIN to REFGND low power mode		4.096 or 5		V
REFIN Current	All channels on, high performance mode		5.85		mA
	All channels on, low power mode		3.22		mA
	One channel on, high performance mode		1.53		mA
	One channel on, low power mode		0.9		mA
	REFIN off		0.5		μA
REFIN Current Drift			40		nA/V/°C
REFIN Resistance	All channels on		0.7		kΩ
	One channel on		2.66		kΩ
	All channels on, low power mode		1.27		kΩ
	One channel on, low power mode		4.79		kΩ
MODULATOR MAGNITUDE RESPONSE					
High Performance Mode	At 100 kHz, ODR = 374 kSPS		-0.0202		dB
	At 20 kHz, ODR = 374 kSPS		-0.0024		dB
Low Power Mode	At 50 kHz, ODR = 187 kSPS		-0.0122		dB
	At 20 kHz, ODR = 187 kSPS		-0.00189		dB
SYNCHRONIZATION					
Channel to Channel Phase Matching ⁷	At 20 kHz		1.57	3.3	ns
			4.17		ps/°C
Device to Device Phase Matching ⁸	ODR = 1496 kSPS		10		ns

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL FILTER RESPONSE					
Low Ripple Wideband					
Group Delay			39.8/ODR		Sec
Settling Time			79.6/ODR		Sec
Pass-Band Ripple			32		µdB
Pass-Band Frequency (f_{PASS})					
Wideband 0.433 × ODR Filter	±32 µdB pass band		0.4 × ODR		Hz
	-0.1 dB pass band		0.401 × ODR		Hz
	-3 dB bandwidth		0.433 × ODR		Hz
Wideband 0.10825 × ODR Filter	±32 µdB pass band		0.1 × ODR		Hz
	-0.1 dB pass band		0.101 × ODR		Hz
	-3 dB bandwidth		0.10825 × ODR		Hz
Stop Band Frequency (f_{STOP})					
Wideband 0.433 × ODR Filter			0.499 × ODR		Hz
Wideband 0.10825 × ODR Filter			0.2 × ODR		Hz
Stop Band Attenuation			110		dB
Sinc6					
Group Delay			3.25/ODR		
Settling Time			6.5/ODR		
Pass Band	-3 dB bandwidth		0.1861 × ODR		Sec
Sinc3					
Group Delay (GD)	Latency		1.75/ODR		Sec
Settling Time	Complete settling		3.5/ODR		Sec
Pass Band	-3 dB bandwidth		0.2617 × ODR		Sec
Attenuation					
At 50 Hz	50 SPS, 50 Hz ± 1 Hz		102		dB
At 60 Hz	60 SPS, 60 Hz ± 1 Hz		106		dB
At 50 Hz, 60 Hz	10 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz		102		dB
At 50 Hz, 60 Hz	50 SPS, 50 Hz ± 1 Hz, 60 Hz ± 1 Hz, sinc3 rejection, and 50 Hz/60 Hz rejection filter ¹		67		dB
COMBINED RESPONSE					
Overall Group Delay	Sinc3 filter, slave gated mode			7/ODR	Sec
	Sinc6 filter, slave gated mode			9.5/ODR	Sec
REJECTION					
High performance mode					
Power Supply Rejection Ratio					
DC					
AVDD5			97.1		dB
DVDD5			78.5		dB
AVDD1V8			85.5		dB
DVDD1V8			100		dB
IOVDD			101		dB
LDOIN			119.2		dB
CLKVDD			61.4		dB

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Power Supply Rejection AC	100 mV p-p, DC to 24 MHz signal on supply with no decoupling capacitor, value with respect to full-scale input				
AVDD5			101		dB
DVDD5			105		dB
AVDD1V8			97.5		dB
DVDD1V8			113		dB
IOVDD			136		dB
CLKVDD			95.9		dB
Common-Mode Rejection Ratio (CMRR)	100 mV p-p on V_{CM} with no decoupling capacitor				
DC			78.4		dB
AC	Up to 10 kHz		74.5		dB
Crosstalk	-0.5 dBFS, 1 kHz input on adjacent channels		130.7		dBFS
Input Signal Alias Rejection (AA_{REJ})					
High Performance Mode	-6 dBFS output of band tone from master clock (MCLK) - 160 kHz to MCLK + 160 kHz, AA1 mode		85.4		dB
	-6 dBFS output of band tone from MCLK - 160 kHz to MCLK + 160 kHz, Antialiasing 2 (AA2) mode		102.5		dB
Low Power Mode	-6 dBFS output of band tone from MCLK - 80 kHz to MCLK + 80 kHz, AA1 mode		87.4		dB
	-6 dBFS output of band tone from MCLK - 80 kHz to MCLK + 80 kHz, AA2 mode		97.2		dB
EXTERNAL CLOCK INPUT					
Frequency		47.9	48	48.1	MHz
Duty Cycle		40	50:50	60	%
Input Voltage High		$0.65 \times CLKVDD$			V
Input Voltage Low				$0.35 \times CLKVDD$	V
Input Capacitance			10		pF
CRYSTAL OSCILLATOR					
Frequency	± 100 ppm		48		MHz
Start-Up Time			4.4		ms
CLKSEL INPUT LOGIC					
Input High Voltage (V_{INH})		$0.7 \times IOVDD$			V
Input Low Voltage (V_{INL})				$0.3 \times IOVDD$	V
Leakage Currents		-1		+1	μ A
XCLKOUT PIN					
Output Frequency			48		MHz
Rise Time/Fall Time (20% to 80%)	45 pF load		0.85		ps
Duty Cycle	External clock input duty cycle = 50:50		53.8		%
Output Voltage High	Source current (I_{SOURCE}) = 100 μ A	$CLKVDD - 0.2$			V
Output Voltage Low	Sink current (I_{SINK}) = 100 μ A			0.2	V
ODR PIN					
Output Frequency		0.01		1496	kHz
Output Rise Time/Fall Time (20% to 80%)	45 pF load		2.8		ns
Output Voltage High	$I_{SOURCE} = 100 \mu$ A	$IOVDD - 0.2$			V
Output Voltage Low	$I_{SINK} = 100 \mu$ A			0.2	V
Input Frequency (f_{IN})		0.01		1496	kHz
V_{INH}		$0.7 \times IOVDD$			V

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
V_{INL} Input Capacitance	Pin configured as input		10	$0.3 \times IOVDD$	V pF
DCLK PIN					
Output Frequency		2.93		48000	kHz
Output Rise Time/Fall Time (20% to 80%)	45 pF load		2.8		ns
Output Duty Cycle			50:50		%
Output Voltage High	$I_{SOURCE} = 100 \mu A$	$IOVDD - 0.2$			V
Output Voltage Low	$I_{SINK} = 100 \mu A$			0.2	V
f_{IN}				50,000	kHz
V_{INH}		$0.7 \times IOVDD$			V
V_{INL} Input Capacitance	Pin configured as input		10	$0.3 \times IOVDD$	V pF
LOGIC INPUTS					
V_{INH}		$0.7 \times IOVDD$			V
V_{INL} Leakage Currents		-10		$0.2 \times IOVDD$ +10	V μA
LOGIC OUTPUTS					
Output High Voltage (V_{OH})	$I_{SOURCE} = 100 \mu A$	$IOVDD - 0.2$			V
Output Low Voltage (V_{OL})	$I_{SINK} = 100 \mu A$			0.2	V
INTEGRATED LOW DROPOUT (LDO) REGULATOR					
Output Voltage			1.85		V
Input Voltage		2.6		5.5	V
POWER SUPPLY VOLTAGE					
AVDD5 to AGND5		4.5	5	5.5	V
DVDD5 to DGND5		4.5	5	5.5	V
AVDD5 to AGND5	$V_{REF} = 5 V$	4.7	5	5.5	V
DVDD5 to DGND5	$V_{REF} = 5 V$	4.7	5	5.5	V
DVDD1V8 to DGND		1.65	1.8	1.95	V
AVDD1V8 to AGND1V8		1.65	1.8	1.95	V
AVDD1V8 to AGND1V8	$V_{REF} = 5 V$	1.8	1.85	1.95	V
DVDD1V8 to DGND	$V_{REF} = 5 V$	1.8	1.85	1.95	V
IOVDD to IOGND		1.65	1.8	1.95	V
CLKVDD to CLKGND		1.65	1.8	1.95	V
CLKVDD to CLKGND	$V_{REF} = 5 V$	1.8	1.85	1.95	V
POWER SUPPLY CURRENT					
4 channels active, internal LDO regulator bypassed, XCLKOUT disabled					
High Performance Mode					
AVDD5	ODR = 374 kSPS		8.2	11	mA
DVDD5			38.6	44.8	mA
AVDD1V8			56	81	mA
DVDD1V8	Sinc3 filter, ODR = 1496 kSPS		60	69.7	mA
	Sinc6 filter, ODR = 1496 kSPS		60.9	70.9	mA
	Wideband 0.433 \times ODR filter		90	105.5	mA
IOVDD			2.25	3.17	mA
CLKVDD			2.8	3.53	mA

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Low Power Mode	ODR = 187 kSPS				
AVDD5			8.2	11	mA
DVDD5			14.1	16.5	mA
AVDD1V8			51	74.6	mA
DVDD1V8	Sinc3 filter, ODR = 1496 kSPS		30.6	42.1	mA
	Sinc6 filter, ODR = 1496 kSPS		38.5	43.3	mA
	Wideband 0.433 × ODR filter		48.5	56.8	mA
IOVDD			1.27	1.7	mA
CLKVDD			1.89	2.3	mA
TOTAL POWER CONSUMPTION	External LDO mode: AVDD5 = DVDD5 = 5 V, AVDD1V8 = DVDD1V8 = CLKVDD = IOVDD = LDOIN = 1.8 V, internal LDO regulator bypassed, XCLKOUT disabled				
High Performance Mode	ODR = 374 kSPS, Wideband 0.433 × ODR filter				
	4 channels active		504	556.3	mW
	1 channel active		201		mW
	2:1 averaging		472		mW
	4:1 averaging		450		mW
	ODR = 2.5 kSPS, 4 channels active		418		mW
	ODR = 1496 kSPS, 4 channels active, sinc3 filter		446		mW
Low Power Mode	ODR = 187 kSPS, Wideband 0.433 × ODR filter				
	4 channels active		297	342.6	mW
	1 channel active		121		mW
	2:1 averaging		288		mW
	4:1 averaging		254		mW
	ODR = 2.5 kSPS, 4 channels active		260		mW
	ODR = 1496 kSPS, 4 channels active, sinc3 filter		285		mW
High Performance Mode	Internal LDO regulator mode: AVDD5 = DVDD5 = 5 V, LDOIN = 2.6 V, XCLKOUT disabled				
	ODR = 270 kSPS, Wideband 0.433 × ODR filter				
	4 channels active		593		mW
	1 channel active		246		mW
	2:1 averaging		555		mW
	4:1 averaging		530		mW
	ODR = 2.5 kSPS, 4 channels active		484		mW
	ODR = 1496 kSPS, 4 channels active, sinc3 filter		547		mW
Low Power Mode	ODR = 187 kSPS, Wideband 0.433 × ODR filter				
	4 channels active		386		mW
	1 channel active		147		mW
	2:1 averaging		356		mW
	4:1 averaging		334		mW
	ODR = 2.5 kSPS, 4 channels active		316		mW
	ODR = 1496 kSPS, 4 channels active, sinc3 filter		355		mW
Full Power-Down Mode			1		mW
Sleep Mode			15		mW

¹ 内部 LDO レギュレータ・モードの場合、広帯域 FIR フィルタでサポートされる最大の ODR は 270kSPS です。

² スレープ・モードの場合、広帯域 FIR フィルタでサポートされる最大の ODR は 365kSPS です。

³ スレープ・モードの場合、sinc6 フィルタでサポートされる最大の ODR は 1460kSPS です。

仕様

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
⁴ スレーブ・モードの場合、sinc3 フィルタでサポートされる最大の ODR は 1460kSPS です。 ⁵ 最初の 5 つの高調波を除く。 ⁶ システムのフル・キャリブレーションを実行後、オフセット誤差とゲイン誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。ゲイン誤差は、スレーブ・モードでの出力データ・レートの関数です。したがって、出力データ・レートを変更した場合は、ゲイン誤差のキャリブレーションが必要です。経年変化によるドリフトを防ぐために、定期的なシステム・キャリブレーションを実行することを推奨します。 ⁷ 同じデバイスの 2 つのチャンネル間。 ⁸ 任意のデバイスにおける任意の 2 つのチャンネル間。両方のデバイスに同時に発行される DIG_IF_RESET SPI 書込みでのみ、ゲーテッド入力として DCLK を使用する SPI スレーブ・モード。					

タイミング仕様

特に指定のない限り、AVDD5 = DVDD5 = 4.5V ~ 5.5V、AVDD1V8 = DVDD1V8 = 1.65V ~ 1.95V、CLKVDD = 1.65V ~ 1.95V、IOVDD = 1.65V ~ 1.95V、CLKIN = 48MHz、AGND5 = DGND5 = AGND1V8 = DGND1V8 = IOGND = CLKGND = 0V、T_A = -40°C ~ 105°C。特に指定のない限り、代表値は T_A = 25°C での値です。

表 2. デバイス・クロックのタイミング

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
f _{SYSCLK}	System clock frequency			48		MHz
MCLK	Master clock	High performance mode		f _{SYSCLK} /2		Hz
		Low power mode		f _{SYSCLK} /4		Hz
f _{DIGCLK}	Internal digital clock (t _{DIGCLK}) = 1/f _{DIGCLK}			f _{SYSCLK} /2		Hz
f _{DCLK}	Data Interface clock (t _{DCLK}) = 1/f _{DCLK}	DCLK as output, SPI control mode			f _{SYSCLK}	MHz
		DCLK as output, pin control mode			f _{SYSCLK}	MHz
		DCLK as input			50	MHz
f _{SCLK}	SPI clock rate (t _{SCLK}) = 1/f _{SCLK}				50	MHz

DOUTx の信号は、DCLK の立上がりエッジで駆動されます。t_{ODR_PERIOD} は 1/ODR です。図 2 を参照してください。

表 3. ゲーテッド DCLK を使用したデータ・インターフェースのタイミング

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t ₁	ODR high time	Master mode, t _{DCLK} > t _{DIGCLK}	2.5 × t _{DCLK}		3.5 × t _{DCLK}	ns
		Master mode, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}		3 × t _{DIGCLK} + 4	ns
		Slave mode	3 × t _{DIGCLK}			ns
t ₂	ODR low time	Slave mode	3 × t _{DIGCLK}			ns
t ₃	ODR falling edge to DCLK rising edge	Master mode	t _{DCLK} - 2			ns
		Slave mode	8			ns
t ₄	Last data DCLK falling edge to ODR rising edge	Slave mode	2 × t _{DCLK}			ns
t ₅	DCLK rising to DOUTx invalid	Master mode	-4			ns
		Slave mode	0			ns
t ₆	DCLK rising to DOUTx valid	Master mode	0		3	ns
		Slave mode			8.2	ns
t ₇	DCLK low time		t _{DCLK} /2 - 1			ns
t ₈	DCLK high time		t _{DCLK} /2 - 1			ns

仕様

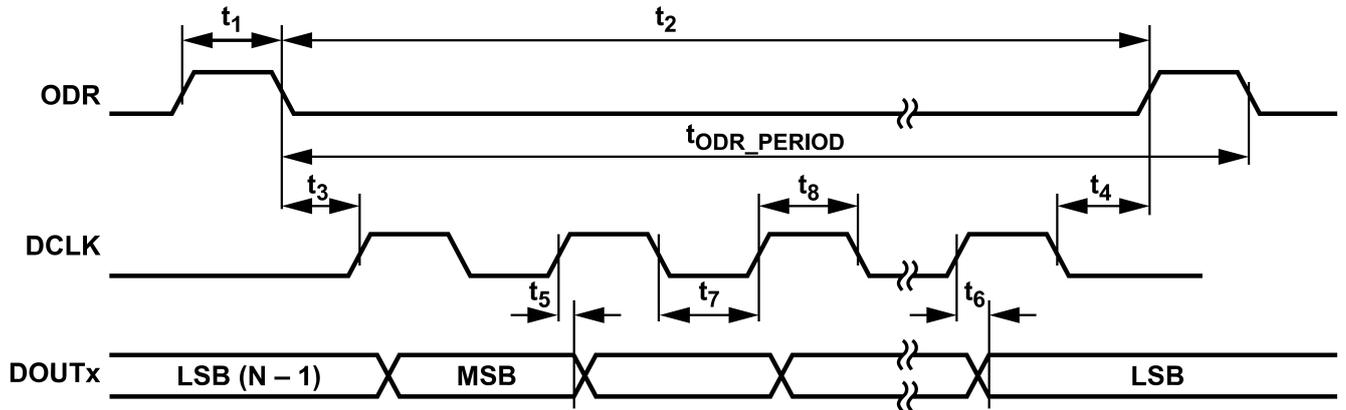


図 2. ゲーテッド DCLK を使用したデータ・インターフェースのタイミング図

DOUTx の信号は、DCLK の立上がりエッジで駆動されます。図 3 を参照してください。

表 4. 自走 DCLK を使用したデータ・インターフェースのタイミング

Parameter	Description	Test Conditions/Comments	Min	Typ	Max	Unit
t ₉	ODR high time	Master mode, t _{DCLK} > t _{DIGCLK}	2.5 × t _{DCLK}		3.5 × t _{DCLK} - t _{DIGCLK} + 4	ns
		Master mode, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}		3 × t _{DIGCLK} + 4	ns
		Slave mode, t _{DCLK} > t _{DIGCLK}	3 × t _{DCLK}			ns
		Slave mode, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}			ns
t ₁₀	ODR low time	Slave mode, t _{DCLK} > t _{DIGCLK}	3 × t _{DCLK}			ns
		Slave mode, t _{DCLK} ≤ t _{DIGCLK}	3 × t _{DIGCLK}			ns
t ₁₁	DCLK rising edge to ODR rising edge	Slave mode	t _{DCLK} /2			ns
t ₁₂	ODR rising edge to DCLK rising edge	Slave mode	t _{DCLK} /2			ns
t ₁₃	ODR sampled high to DOUTx active		3 × t _{DCLK}		3 × t _{DCLK} + 4	
t ₁₄	DCLK rising to DOUTx invalid	Master mode	-4			ns
t ₁₅	DCLK rising to DOUTx valid	Master mode	0		2	ns
		Slave mode			3	ns
t ₁₆	DCLK low time		t _{DCLK} /2 - 1			ns
t ₁₇	DCLK high time		t _{DCLK} /2 - 1			ns

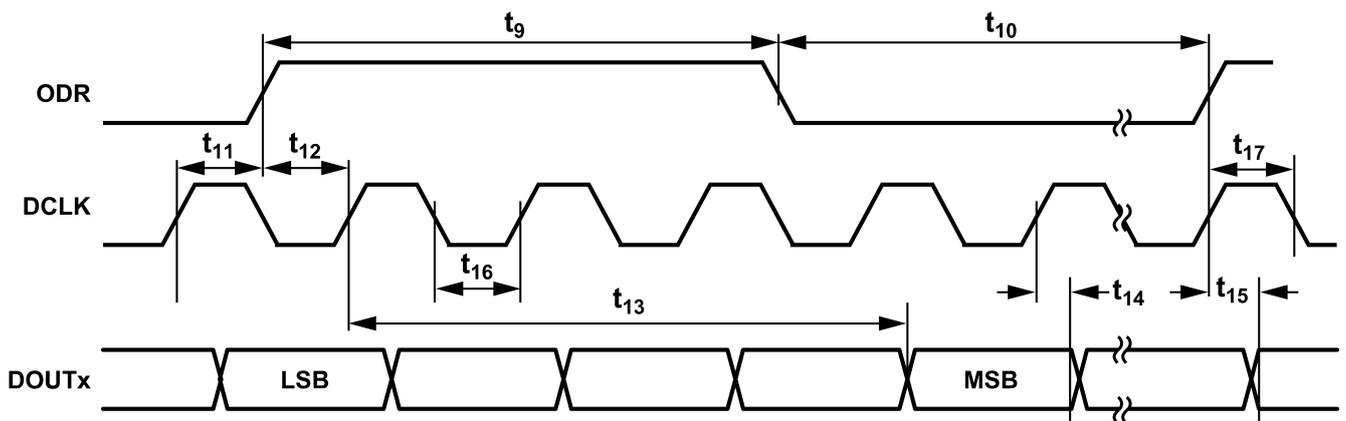


図 3. 自走 DCLK を使用したデータ・インターフェースのタイミング図

SDI は、SCLK の立上がりエッジでサンプリングされます。SDO は、SCLK の立下がりエッジで駆動されます。図 4 を参照してください。

仕様

表 5. SPI のタイミング

Parameter	Description	Min	Typ	Max	Unit
t_{18}	\overline{CS} falling to data out active	0		7	ns
t_{19}	SCLK falling edge to SDO valid			8	ns
t_{20}	SCLK low time	$t_{SCLK}/2 - 1$			ns
t_{21}	SDI setup time	2			ns
t_{22}	SDI hold time	2			ns
t_{23}	SDO hold time after SCLK falling			7	ns
t_{24}	SCLK high time	$t_{SCLK}/2 - 1$			ns
t_{25}	Last SCLK rising edge to \overline{CS} rising edge	t_{SCLK}			ns
t_{26}	\overline{CS} high time	$0.9 \times t_{SCLK}/2$			ns
t_{27}	\overline{CS} falling edge to SCLK rising edge	9			ns

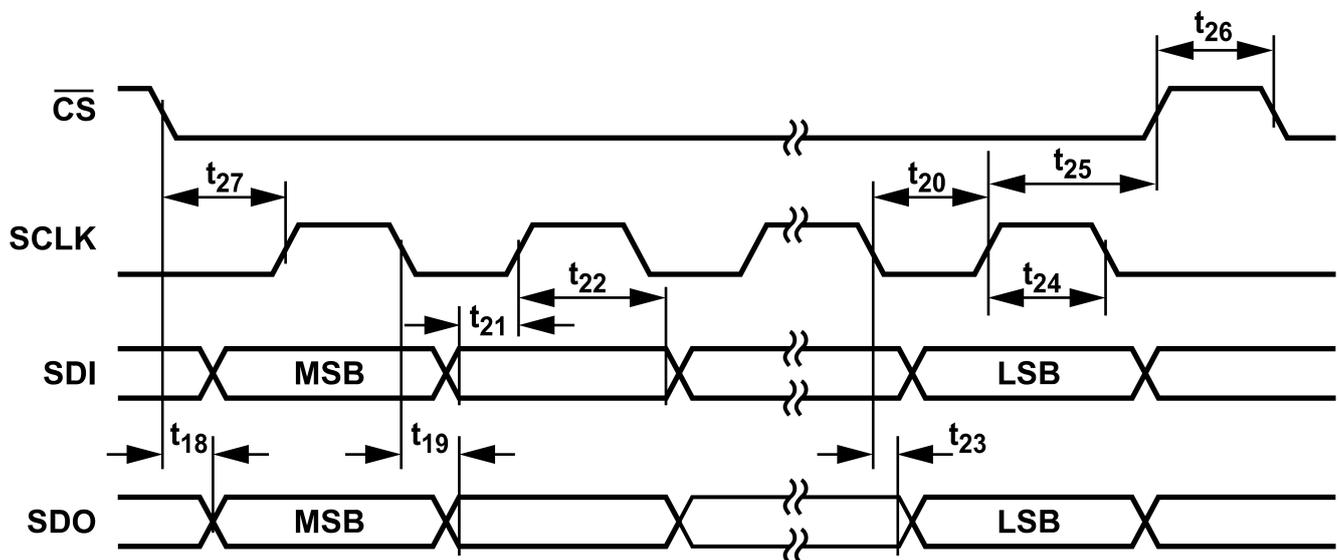


図 4. SPI タイミング図

004

絶対最大定格

表 6. 絶対最大定格

Parameter	Rating
AVDD5 to AGND5	-0.3 V to +6 V
DVDD5 to DGND5	-0.3 V to +6 V
AVDD1V8 to AGND1V8	-0.3 V to 2.2 V or LDOIN + 0.3 V (whichever is lower)
DVDD1V8 to DGND1V8	-0.3 V to 2.2 V or LDOIN + 0.3 V (whichever is lower)
CLKVDD to CLKGND	-0.3 V to 2.2 V or LDOIN + 0.3 V (whichever is lower)
IOVDD to IOGND	-0.3 V to +2.2 V
DGND5 to AGND5	-0.3 V to +0.3 V
AGND1V8 to AGND5	-0.3 V to +0.3 V
DGND1V8 to AGND5	-0.3 V to +0.3 V
IOGND to AGND5	-0.3 V to +0.3 V
CLKGND to AGND5	-0.3 V to +0.3 V
LDOIN to AGND5	AVDD1V8 - 0.3 V to 6 V
AInx± Inputs to AGND5	-1 V to AVDD5 + 0.3 V
REFIN to AGND5	-0.3 V to AVDD5 + 0.3 V
REFCAP to AGND5	-0.3 V to AVDD5 + 0.3 V
REFGND to AGND5	-0.3 V to +0.3 V
Digital I/O Pins to IOGND	-0.3 V to IOVDD + 0.3 V
XCLKOUT, XTAL2/CLKIN, and XTAL1 to CLKGND	-0.3 V to CLKVDD + 0.3 V
Operating Ambient Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Pb-Free Temperature, Soldering Reflow (10 sec to 30 sec)	260°C
Junction Temperature	150°C
Package Classification Temperature	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定された、自然対流での周囲とジャンクションの間の熱抵抗です。 θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
CP-56-9			
2S2P or 1S Test Board	37 ¹	5.4 ²	°C/W
2S2P Test Board with 36 Thermal Vias	27 ³	N/A ⁴	°C/W

¹ JEDEC 自然対流環境で JEDEC 2S2P テスト・ボードに基づいてシミュレートしたデータ。

² JEDEC 1S テスト・ボードに基づいてシミュレートしたデータ。パッケージ表面に冷却板を直接取り付け、露出パッドで測定。

³ JEDEC 自然対流環境で 36 個のサーマル・ビアを備えた JEDEC 2S2P テスト・ボードに基づいてシミュレートしたデータ。

⁴ N/A は該当なし。

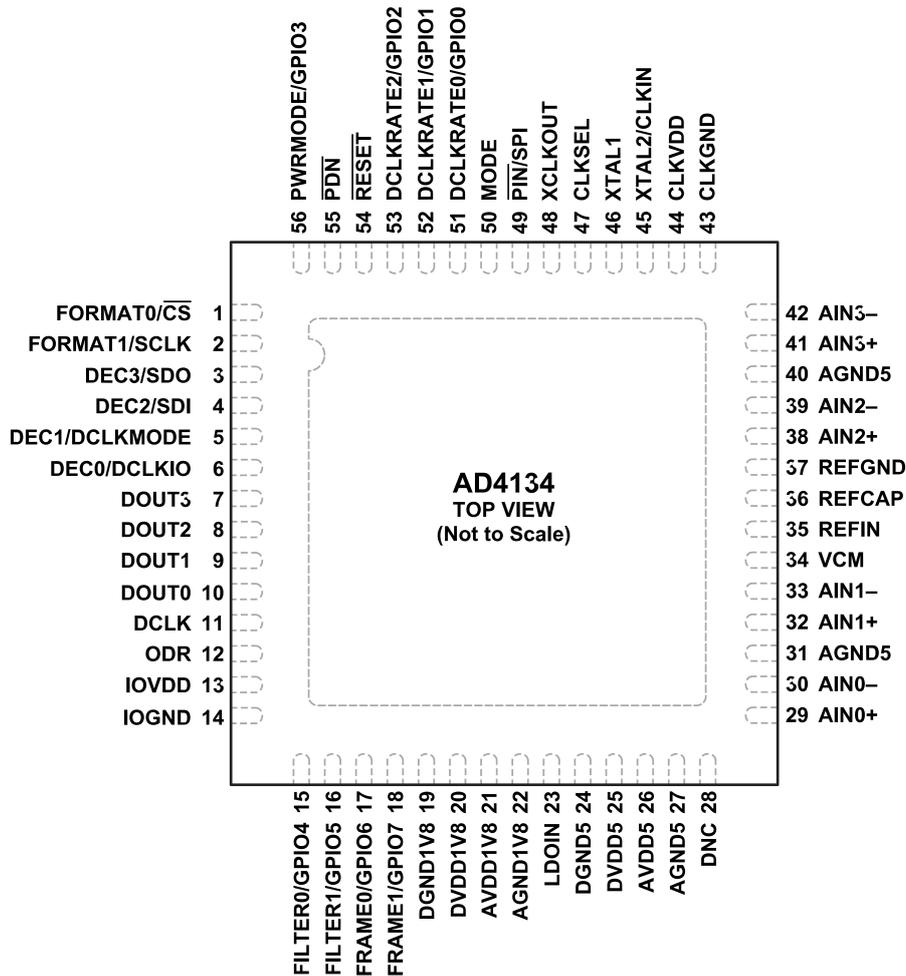
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. EXPOSED PAD. CONNECT THE EXPOSED PAD TO AGND5.

005

図 5. ピン配置

表 8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	FORMAT0/ $\overline{\text{CS}}$	DI	ピン制御モードでの ADC 出力データ・フォーマット選択入力 0 (FORMAT0)。このピンを IOVDD または IOGND に接続して、ADC 変換データの出力に使用する DOUTx ピンの数を設定します。詳細は、 出力チャネルのフォーマットのセクション を参照してください。
2	FORMAT1/ SCLK	DI	ピン制御モードでの ADC 出力データ・フォーマット選択入力 1 (FORMAT1)。このピンを IOVDD または IOGND に接続して、ADC 変換データの出力に使用する DOUTx ピンの数を設定します。詳細は、 出力チャネルのフォーマットのセクション を参照してください。
3	DEC3/SDO	DI/O	SPI 制御モードでのチップ・セレクト入力 ($\overline{\text{CS}}$)。 ピン制御マスタ・モードでのデシメーション・レシオ選択入力 3、または、ピン制御スレーブ・モードでのフェーズ・ロック・ループ (PLL) ロック・ステータス出力 (DEC3)。このピンを IOVDD または IOGND に接続して、出力データ・レートを設定します。詳細は、 出力データ・レートとクロックの設定のセクション を参照してください。ピン制御スレーブ・モードでは、このピンがハイに出力されると、内部 PLL がロックされていることを示します。
4	DEC2/SDI	DI	SPI 制御モードでのシリアル・データ出力 (SDO)。 ピン制御マスタ・モードでのマスタ・モード・デシメーション・レシオ選択入力 2 (DEC2)。このピンを IOVDD または IOGND に接続して、出力データ・レートを設定します。詳細は、 出力データ・レートとクロックの設定のセクション を参照してください。
			SPI 制御モードでのシリアル・データ入力 (SDI)。

ピン配置およびピン機能の説明

表 8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
5	DEC1/ DCLKMODE	DI	ピン制御マスタ・モードでのデシメーション・レシオ選択入力 1 (DEC1)。このピンを IOVDD または IOGND に接続して、出力データ・レートを設定します。詳細は、 出力データ・レートとクロックの設定のセクション を参照してください。 ピン制御スレーブ・モードおよび SPI 制御モードでの DCLK モード制御 (DCLKMODE)。このピンを IOVDD に接続してハイにすると、DCLK が自走モードで動作するように設定されます。このピンをグラウンドに接続してローにすると、DCLK がゲーテッド・モードで動作するように設定されます。
6	DEC0/ DCLKIO	DI	ピン制御マスタ・モードでのデシメーション・レシオ選択入力 0 (DEC0)。このピンを IOVDD または IOGND に接続して、出力データ・レートを設定します。詳細は、 出力データ・レートとクロックの設定のセクション を参照してください。 ピン制御スレーブ・モードおよび SPI 制御モードでの DCLK ピン I/O 方向制御 (DCLKIO)。マスタ・モードでは、このピンを IOVDD に接続して、DCLK を出力として設定します。スレーブ・モードでは、このピンをグラウンドに接続して、DCLK を入力として設定します。DEC1/DCLKMODE ピンがハイ (DCLK が自走モード) の場合、DCLKIO 入力は無視され、DCLK の方向は常に ODR ピンと同じになります。
7	DOUT3	DI/O	データ出力 3。出力データは DCLK に同期し、ODR ピンでフレーム化されます。デジタイゼーション設定では、このピンは下流デバイスからデータを取得するための入力として機能します。
8	DOUT2	DI/O	データ出力 2。出力データは DCLK に同期し、ODR ピンでフレーム化されます。デジタイゼーション設定では、このピンは下流デバイスからデータを取得するための入力として機能します。
9	DOUT1	DO	データ出力 1。出力データは DCLK に同期し、ODR ピンでフレーム化されます。
10	DOUT0	DO	データ出力 0。出力データは DCLK に同期し、ODR ピンでフレーム化されます。
11	DCLK	DI/O	ADC 変換データ・クロック。DOUT0 ピン～DOUT3 ピンの変換データは、DCLK に同期してクロック・アウトされます。ピン制御マスタ・モードでは、DCLK はゲーテッド・モードで動作する出力として設定されず。ピン制御スレーブ・モードまたは SPI 制御モードでは、DCLK の方向と動作モードは、DEC1/DCLKMODE ピンと DCLKIO ピンによって指定します。詳細は、 表 29 を参照してください。マスタ・モードの場合、DCLK 周波数はピン制御モードでは DCLKRATE _x で、SPI 制御モードでは DATA_PACKET_CONFIG レジスタで設定します。
12	ODR	DI/O	出力データ・レートの制御とフレーミング。ODR 信号の周波数は、ADC 出力のデータ・レートと一致します。ODR 信号のエッジを使用して、変換出力のデータ・ビット・ストリームをフレーム化できます。マスタ・モードでは、ODR ピンは、デバイス・マスタ・クロックから供給されるピン・プログラマブルおよびレジスタ・プログラマブルな周波数の出力として設定されます。スレーブ・モードでは、ODR ピンは入力として設定され、外部クロックによって ADC 出力のデータ・レートを制御できます。
13	IOVDD	P	デジタル I/O 電源。このピンによって、すべてのインターフェース I/O ピンのロジック・レベルが設定されます。
14	IOGND	GND	I/O インターフェースのグラウンド・リファレンス。
15	FILTER0/ GPIO4	DI/O	ピン制御モードでのデジタル・フィルタ・タイプ選択入力 0 (FILTER0)。このピンを IOVDD または IOGND に接続して、デジタル・フィルタのオプションを選択します。詳細は、 デジタル・フィルタの設定のセクション を参照してください。 SPI 制御モードでの汎用入出力 4 (GPIO4)。
16	FILTER1/ GPIO5	DI/O	ピン制御モードでのデジタル・フィルタ・タイプ選択入力 1 (FILTER1)。このピンを IOVDD または IOGND に接続して、デジタル・フィルタのオプションを選択します。詳細は、 デジタル・フィルタの設定のセクション を参照してください。 SPI 制御モードでの汎用入出力 5 (GPIO5)。
17	FRAME0/ GPIO6	DI/O	ピン制御モードでの変換出力のデータ・フレーム制御入力 0 (FRAME0)。このピンを IOVDD または IOGND に接続して、変換出力のデータ・フレームを選択します。詳細は、 データ・フレームのセクション を参照してください。 SPI 制御モードでの汎用入出力 6 (GPIO6)。
18	FRAME1/ GPIO7	DI/O	ピン制御モードでの変換出力のデータ・フレーム制御入力 1 (FRAME1)。このピンを IOVDD または IOGND に接続して、変換出力のデータ・フレームを選択します。詳細は、 データ・フレームのセクション を参照してください。 SPI 制御モードでの汎用入出力 7 (GPIO7)。
19	DGND1V8	GND	デジタル電源電圧 1.8V のグラウンド・リファレンス。
20	DVDD1V8	P	デジタル電源電圧 1.8V。このピンは外部ソースまたは内部 LDO レギュレータから供給されます。いずれの場合も、DVDD1V8 と DGND1V8 の間に 10μF のデカップリング・コンデンサが必要です。
21	AVDD1V8	P	アナログ電源電圧 1.8V。このピンは外部ソースまたは内部 LDO レギュレータから供給されます。いずれの場合も、AVDD1V8 と AGND1V8 の間に 10μF のデカップリング・コンデンサが必要です。
22	AGND1V8	GND	アナログ電源電圧 1.8V のグラウンド・リファレンス。
23	LDOIN	P	AVDD1V8、DVDD1V8、および CLKVDD に電源を供給する 3 つの内部 1.8V LDO レギュレータの入力。外部電源を使用して AVDD1V8、DVDD1V8、および CLKVDD に電源を供給する場合、このピンを DVDD1V8 に接続します。LDOIN と DGND1V8 の間に 10μF のデカップリング・コンデンサが必要です。詳細は、 オンボード LDO レギュレータのセクション を参照してください。
24	DGND5	GND	デジタル電源電圧 5V のグラウンド・リファレンス。
25	DVDD5	P	デジタル電源電圧 5V。DVDD5 と DGND5 の間に 10μF のデカップリング・コンデンサが必要です。
26	AVDD5	P	アナログ電源電圧 5V。AVDD5 と AGND5 の間に 10μF のデカップリング・コンデンサが必要です。

ピン配置およびピン機能の説明

表 8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
27	AGND5	GND	アナログ電源電圧 5V のグラウンド・リファレンス。
28	DNC	DNC	接続しないでください。このピンには接続しないでください。
29	AIN0+	AI	ADC チャンネル 0 への正のアナログ入力。
30	AIN0-	AI	ADC チャンネル 0 への負のアナログ入力。
31	AGND5	GND	アナログ電源電圧 5V のグラウンド・リファレンス。
32	AIN1+	AI	ADC チャンネル 1 への正のアナログ入力。
33	AIN1-	AI	ADC チャンネル 1 への負のアナログ入力。
34	VCM	AO	コモンモード電圧出力。VCM 出力は、アナログ・フロント・エンド回路にコモンモード電圧を供給するのに使用できます。VCM ピンは、バッファ付き電圧出力を供給します。レベルは、ピン制御モードでは REFCAP ピンの電圧の 1/2 に固定され、SPI 制御モードではプログラマブルです。0.2nF よりも大きい容量性負荷を駆動する場合は、安定化のためにピンと容量性負荷の間に 50Ω の直列抵抗を接続することを推奨します。
35	REFIN	AI	ADC リファレンス・フィルタ入力。内部の 20Ω 抵抗と REFCAP ピンに外付けしたコンデンサを使用して、リファレンス・ソースのノイズをフィルタ処理します。
36	REFCAP	AO	ADC リファレンス直接入力。このピンを、直接リファレンス入力の外部リファレンス・ソースに接続します。または、リファレンス・ソースを REFIN ピンに接続し、REFCAP ピンと REFGND ピンの間にフィルタ・コンデンサを配置して、リファレンス・ノイズの帯域幅を制限します。詳細は、 リファレンス入力 のセクションを参照してください。
37	REFGND	GND	ADC リファレンスのグラウンド・リファレンス。
38	AIN2+	AI	ADC チャンネル 2 への正のアナログ入力。
39	AIN2-	AI	ADC チャンネル 2 への負のアナログ入力。
40	AGND5	GND	アナログ電源電圧 5V のグラウンド・リファレンス。
41	AIN3+	AI	ADC チャンネル 3 への正のアナログ入力。
42	AIN3-	AI	ADC チャンネル 3 への負のアナログ入力。
43	CLKGND	GND	クロック管理回路のグラウンド・リファレンス。
44	CLKVDD	P	クロック管理回路電源 1.8V。このピンは、外部ソースまたは内部 LDO レギュレータから供給します。いずれの場合も、CLKVDD ピンと CLKGND ピンの間に 2.2μF のデカップリング・コンデンサが必要です。
45	XTAL2/CLKIN	DI	内部水晶発振器の入力 2 (XTAL2)。内蔵クロックを生成するには、XTAL1 ピンと XTAL2/CLKIN ピンの間に水晶発振器を外付けします。 クロック入力 (CLKIN)。外部クロック信号で動作させる場合、このピンを外部クロック源に接続します。詳細については クロック入力 のセクションを参照してください。
46	XTAL1	DI	内部水晶発振器の入力 1。内蔵クロックを生成するには、XTAL1 ピンと XTAL2/CLKIN ピンの間に水晶発振器を外付けします。デバイスをシングルエンドの外部クロック信号で動作させる場合は、このピンをフローティングのままにしておきます。
47	CLKSEL	DI	クロック源選択入力。このピンを IOVDD に接続すると、外付け水晶発振器による内蔵クロック生成がイネーブルされます。外部クロック信号を XTAL2/CLKIN ピンに供給する場合、このピンを IOGND に接続します。
48	XCLKOUT	DO	水晶発振器バッファ出力。内部水晶発振器によって生成されるバッファ付きクロック信号は、このピンで利用できます。この信号は、並列に動作する他の AD4134 デバイスを駆動するのに使用できます。XCLKOUT 出力は、ピン制御モードでは水晶発振器クロック・オプションを選択している場合にのみ、デフォルトでイネーブルにされます。SPI 制御モードでは、XCLKOUT 出力はデフォルトでイネーブルになります。詳細は、 XCLKOUT 出力 のセクションを参照してください。
49	$\overline{\text{PIN}}/\text{SPI}$	DI	デバイス設定モードの制御入力。このピンを IOVDD に接続すると、SPI を介したレジスタ・アクセスによるデバイス設定が可能になります。このピンをグラウンドに接続すると、設定入力ピンを介したデバイス設定が可能になります。
50	MODE	DI	ASRC 動作モードの制御入力。マスタ・モードで動作させるには、このピンを IOVDD に接続します。スレーブ・モードで動作させるには、このピンを IOGND に接続します。
51	DCLKRATE0/ GPIO0	DI/O	ピン制御モードでの DCLK 周波数制御入力 0 (DCLKRATE0)。DCLK を出力に設定している場合、このピンを IOVDD または IOGND に接続して、DCLK とデバイス・マスタ・クロック間の周波数比を設定します。詳細は、 表 30 を参照してください。 SPI 制御モードでの汎用入出力 0 (GPIO0)。
52	DCLKRATE1/ GPIO1	DI/O	ピン制御モードでの DCLK 周波数制御入力 1 (DCLKRATE1)。DCLK を出力に設定している場合、このピンを IOVDD または IOGND に接続して、DCLK とデバイス・マスタ・クロック間の周波数比を設定します。詳細は、 表 30 を参照してください。 SPI 制御モードでの汎用入出力 1 (GPIO1)。

ピン配置およびピン機能の説明

表 8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
53	DCLKRATE2/ GPIO2	DI/O	ピン制御モードでの DCLK 周波数制御入力 2 (DCLKRATE2)。DCLK を出力に設定している場合、このピンを IOVDD または IOGND に接続して、DCLK とデバイス・マスタ・クロック間の周波数比を設定します。詳細は、表 30 を参照してください。
54	$\overline{\text{RESET}}$	DI	SPI 制御モードでの汎用入出力 2 (GPIO2)。 ハードウェア非同期リセット入力。アクティブ・ロー。通常動作時は、このピンを 10kΩ プルアップ抵抗を介して IOVDD に接続します。このピンを IOGND にプルダウンすると、デバイスは強制的にリセットされます。詳細は、リセットのセクションを参照してください。
55	$\overline{\text{PDN}}$	DI	完全パワーダウン・モード制御入力。アクティブ・ロー。通常動作時は、このピンを 10kΩ プルアップ抵抗を介して IOVDD に接続します。このピンを IOGND にプルダウンすると、デバイスは強制的に完全パワーダウン・モードになります。詳細は、電力モードのセクションを参照してください。
56	PWRMODE/ GPIO3	DI/O	ピン制御モードでの電力モード選択入力 (PWRMODE)。高性能モードにするには、このピンを IOVDD に接続します。低消費電力モードにするには、このピンを IOGND に接続します。
	EPAD		SPI 制御モードでの汎用入出力 3 (GPIO3)。 露出パッド。露出パッドは AGND5 に接続します。

¹ DI はデジタル入力、DI/O は双方向デジタル入出力、DO はデジタル出力、P は電源、GND はグラウンド、DNC は未接続、AI はアナログ入力、AO はアナログ出力です。

代表的な性能特性

$V_{REF} = 4.096V$ 、AA1 モード、 $V_{CM} = 2.048V$ 、広帯域 $0.433 \times ODR$ フィルタ。高性能モードのグラフは $ODR = 374kSPS$ 、低消費電力モードのグラフは $ODR = 187kSPS$ でのものです。特に指定のない限り、sinc3 と sinc6 のグラフは $ODR = 1496kSPS$ でのものです。

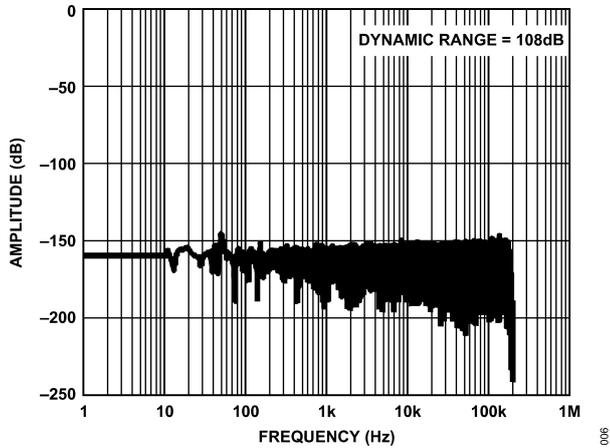


図 6. ダイナミック・レンジ性能、高性能モード、広帯域 $0.433 \times ODR$ フィルタ、 $ODR = 374kSPS$

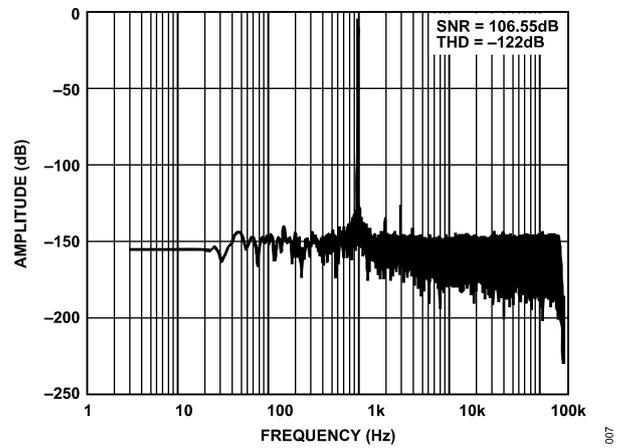


図 9. FFT、高性能モード、 $-0.5dBFS$ 、広帯域 $0.433 \times ODR$ フィルタ、 $ODR = 374kSPS$

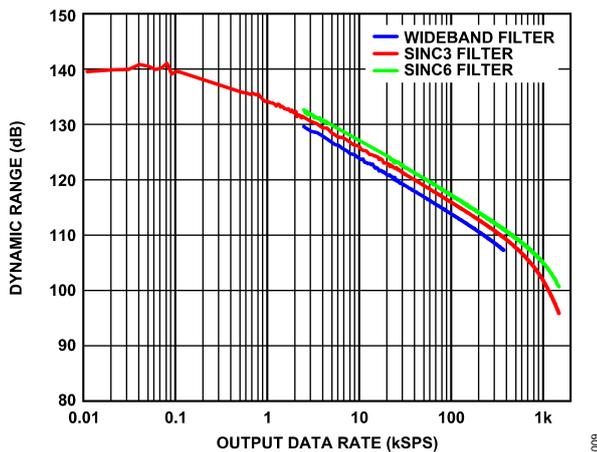


図 7. ダイナミック・レンジと出力データ・レートの関係、高性能モード、広帯域 FIR、sinc3 および sinc6 フィルタ

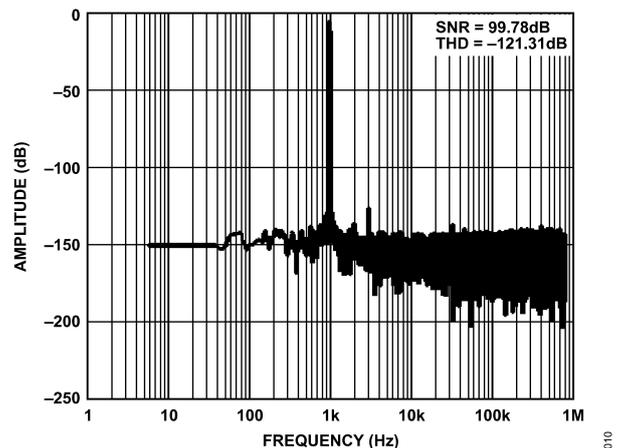


図 10. FFT、高性能モード、sinc6 フィルタ、 $-0.5dBFS$ 、 $ODR = 1496kSPS$

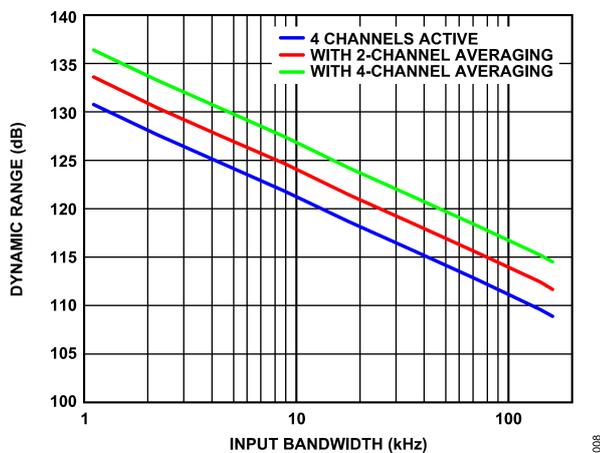


図 8. ダイナミック・レンジと入力帯域幅の関係、広帯域 $0.433 \times ODR$ フィルタ

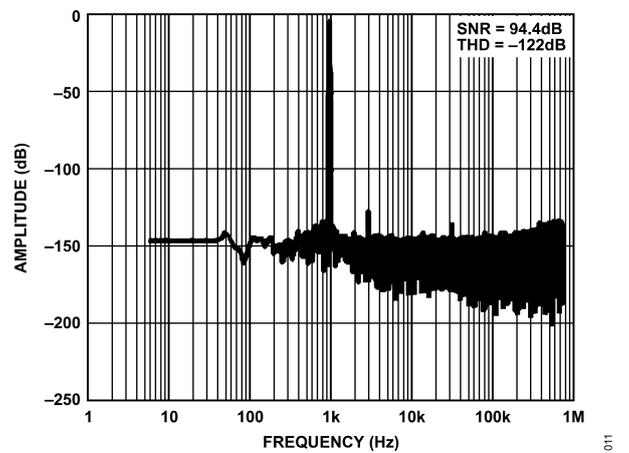


図 11. FFT、高性能モード、sinc3 フィルタ、 $-0.5dBFS$ 、 $ODR = 1496kSPS$

代表的な性能特性

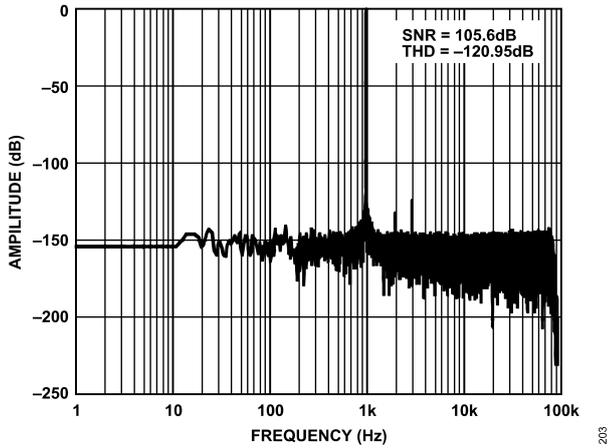


図 12. FFT、低消費電力モード、広帯域 0.433 × ODR フィルタ、-0.5dBFS、ODR = 187kSPS

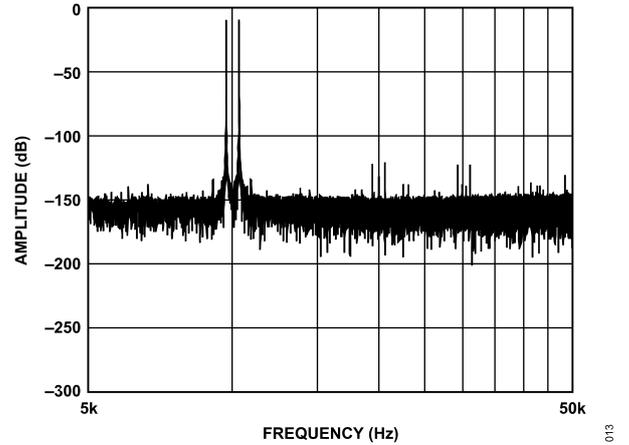


図 15. IMD、9.7kHz および 10.3kHz の入力信号、広帯域 0.433 × ODR フィルタ

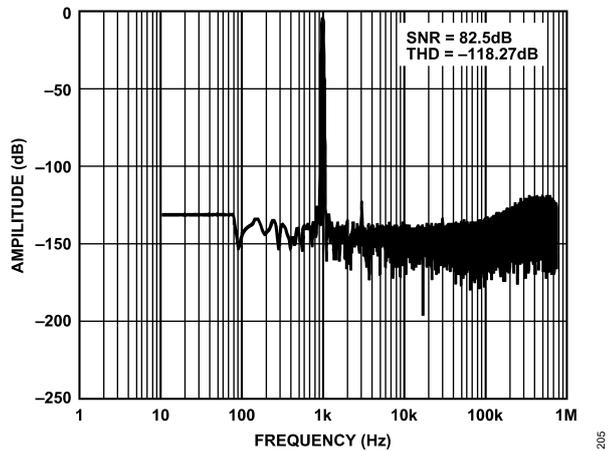


図 13. .FFT、低消費電力モード、sinc6 フィルタ、-0.5dBFS

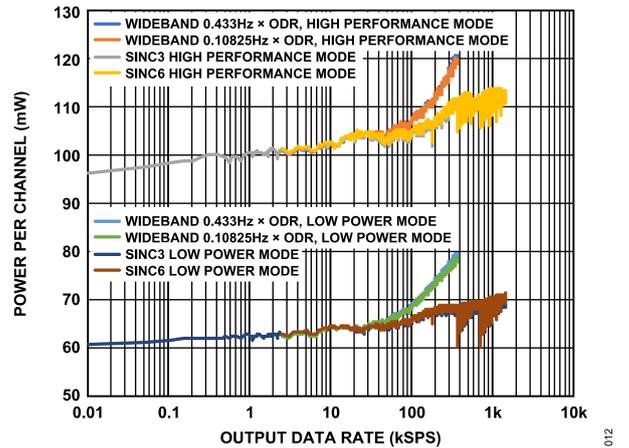


図 16. チャンネルあたりの消費電力と出力データ・レートの関係

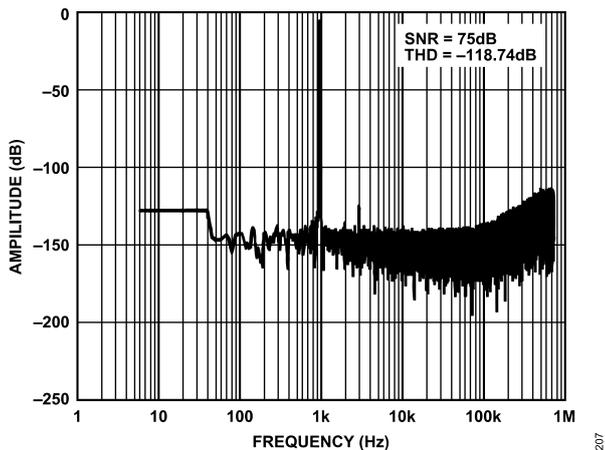


図 14. FFT、低消費電力モード、sinc3 フィルタ、-0.5dBFS

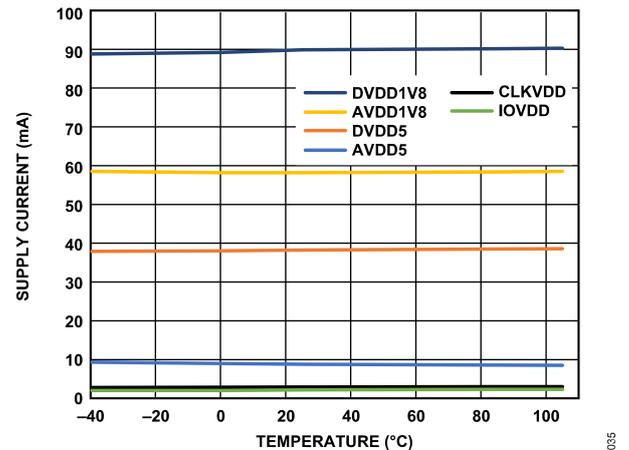


図 17. 電源電流と温度の関係、広帯域 0.433 × ODR フィルタ

代表的な性能特性

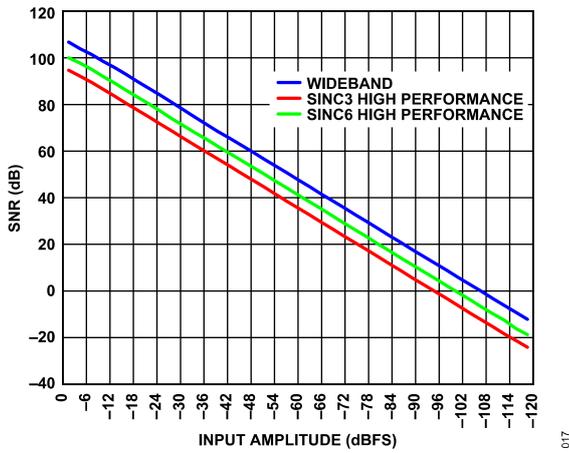


図 18. S/N 比と入力振幅の関係、1kHz のトーン

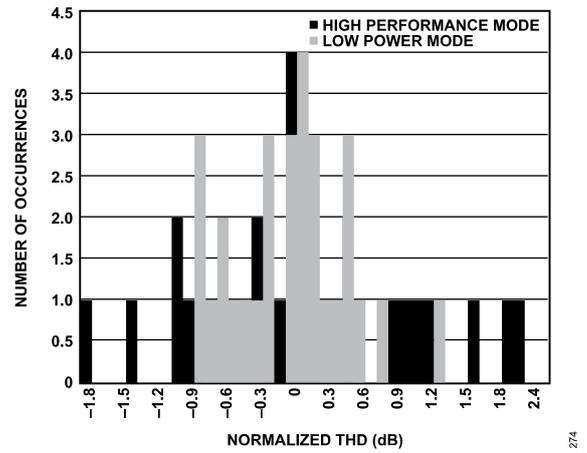


図 21. THD ヒストグラム

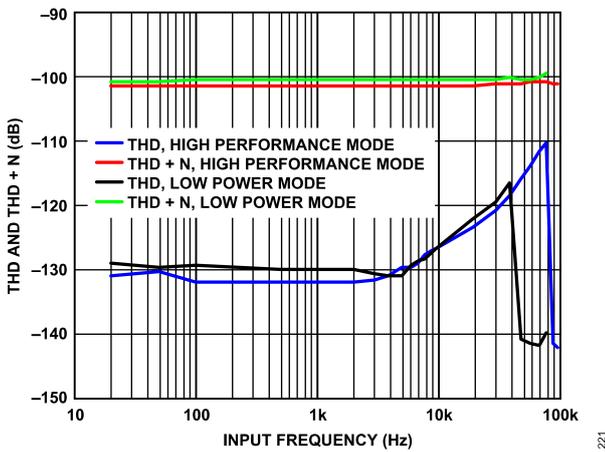


図 19. THD および THD + N と入力周波数の関係、
-6dBFS 入力、0.433 × ODR フィルタ

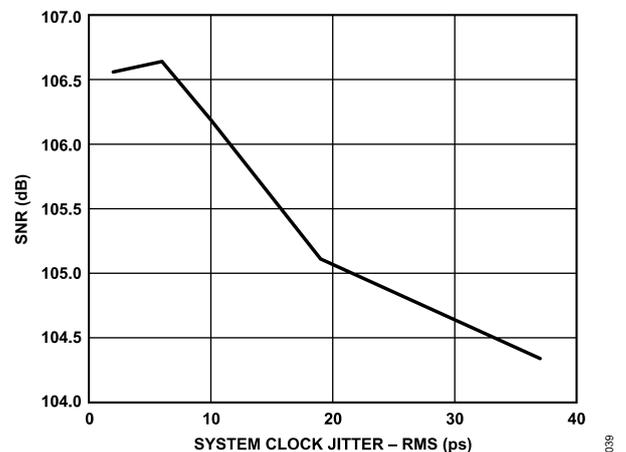


図 22. S/N 比とシステム・クロック・ジッタの関係、
広帯域 0.433 × ODR フィルタ

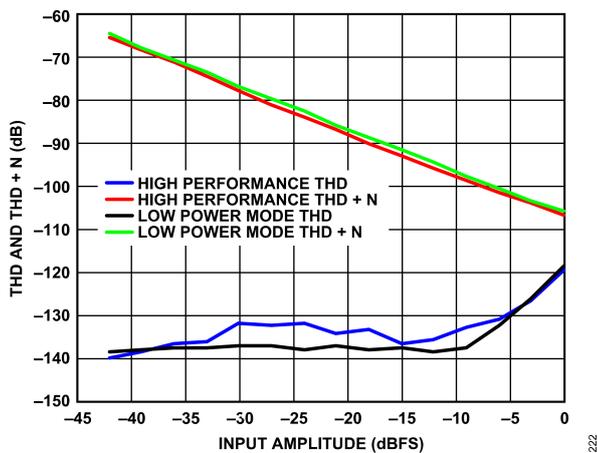


図 20. THD および THD + N と入力振幅の関係、
広帯域フィルタ、1kHz のトーン

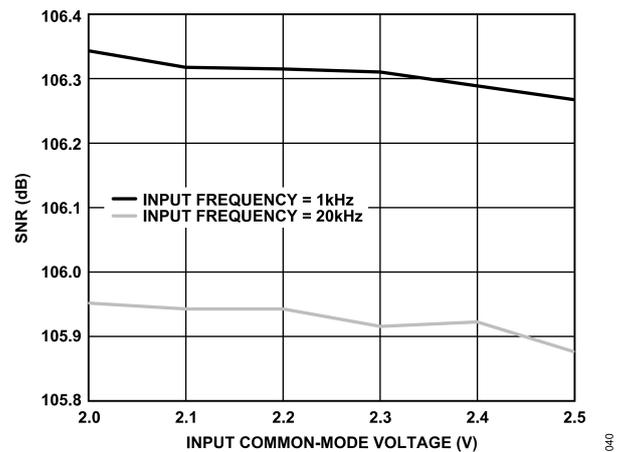


図 23. S/N 比と入力コモンモード電圧の関係、
広帯域 0.433 × ODR フィルタ

代表的な性能特性

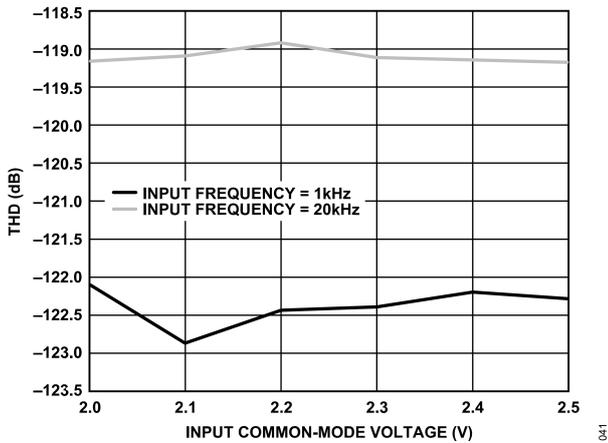


図 24. THD と入カコモンモード電圧の関係、0.5dBFS 入力トーン、広帯域 0.433 × ODR フィルタ、フルスケール入力トーン

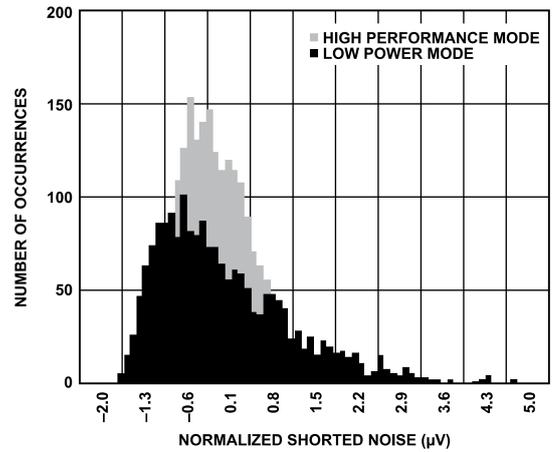


図 27. 短絡ノイズ、0.433 × ODR フィルタ

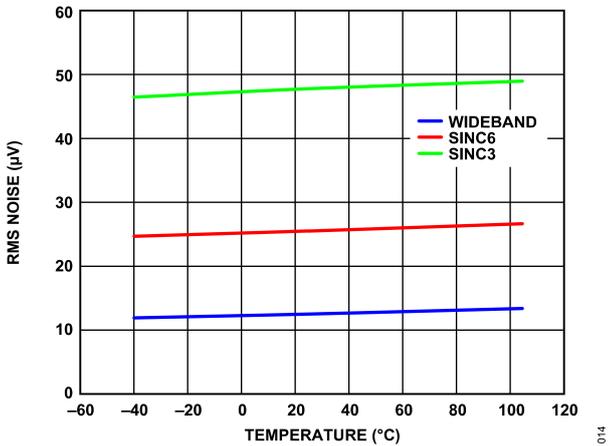


図 25. 実効値ノイズと温度の関係、広帯域 0.433 × ODR、sinc6 および sinc3 フィルタ

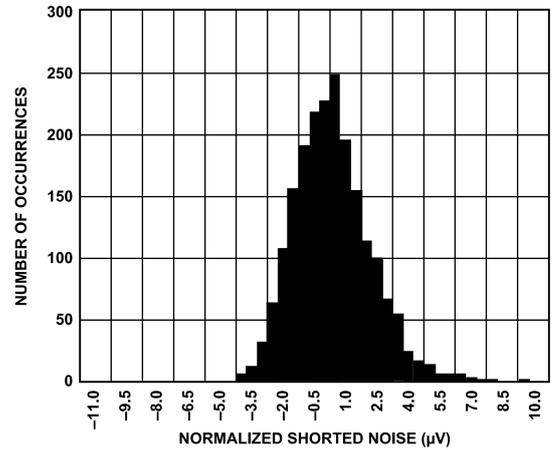


図 28. 短絡ノイズ、sinc3 フィルタ、高性能モード

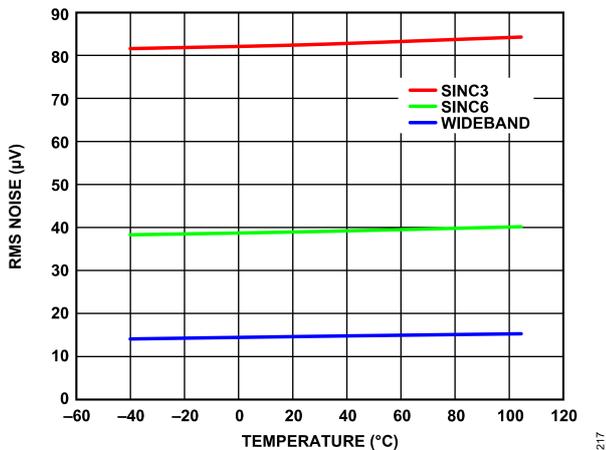


図 26. 実効値ノイズと温度の関係、低消費電力モード、広帯域 0.433 × ODR フィルタ、sinc6、sinc3 (ゲイン = 1、VCM = AV_{DD}/2)

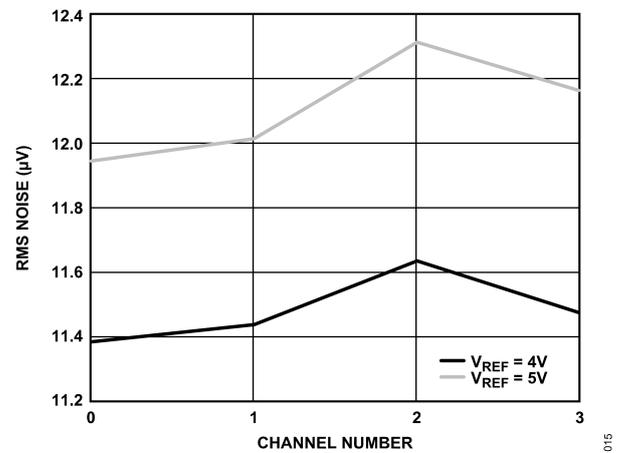


図 29. 異なる V_{REF} 値でのチャンネルあたりの実効値ノイズ、広帯域 0.433 × ODR フィルタ、高性能モード

代表的な性能特性

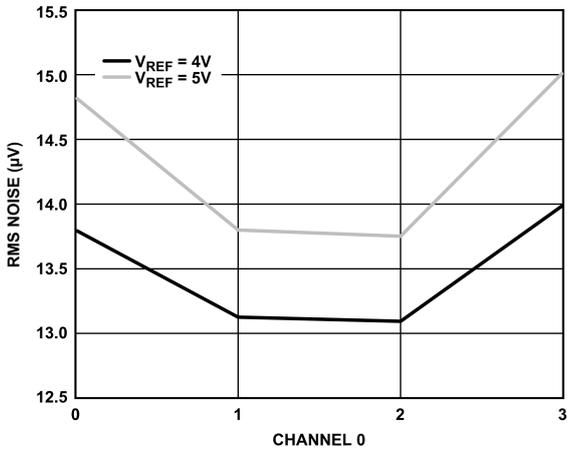


図 30. 異なる V_{REF} 値でのチャンネルあたりの実効値ノイズ、広帯域 $0.433 \times ODR$ フィルタ、低消費電力モード

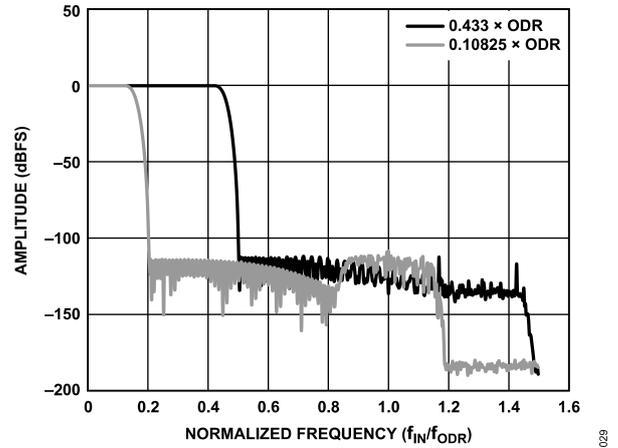


図 33. 出力振幅と正規化周波数の関係 (f_{IN}/f_{ODR})、フルスケール入力信号、広帯域 $0.433 \times ODR$ フィルタ、高性能モード

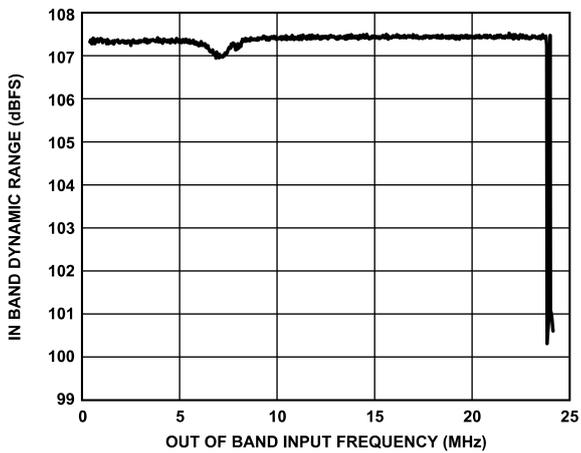


図 31. 帯域内ダイナミック・レンジと帯域外入力周波数の関係、1V p-p 入力信号、広帯域 $0.433 \times ODR$ フィルタ、高性能モード

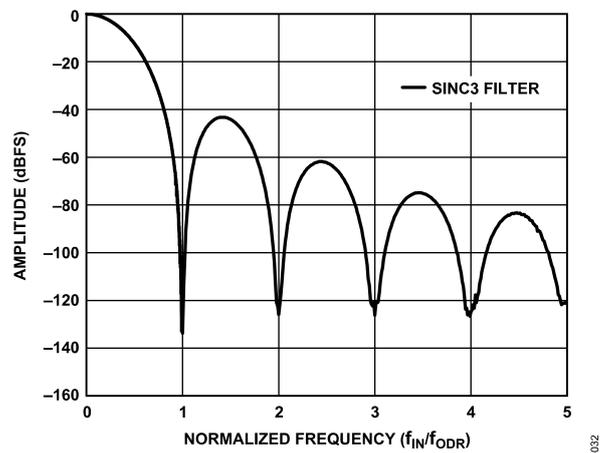


図 34. 振幅と正規化周波数の関係 (f_{IN}/f_{ODR})、sinc フィルタ・プロファイル、高性能モード

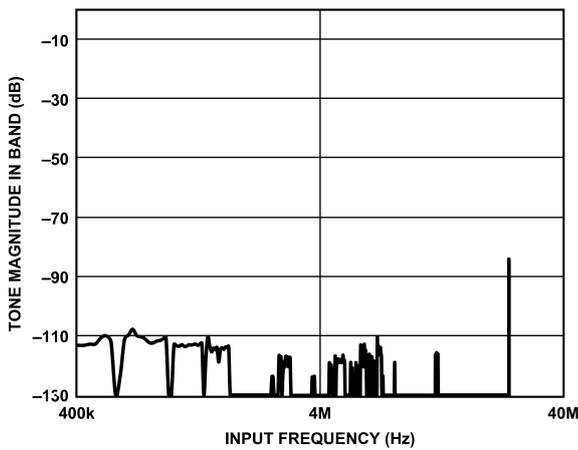


図 32. 帯域内トーン振幅と入力周波数の関係、4V p-p 入力信号、広帯域 $0.433 \times ODR$ フィルタ、高性能モード

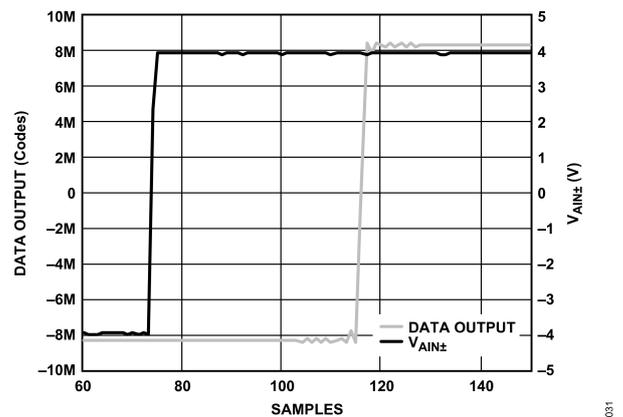


図 35. ステップ応答、広帯域フィルタ、広帯域 $0.433 \times ODR$ フィルタ

代表的な性能特性

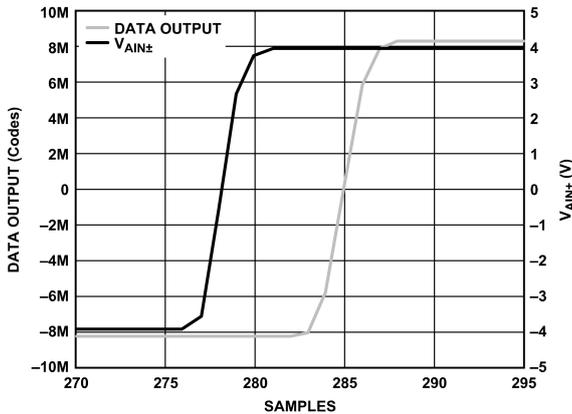


図 36. ステップ応答、sinc3 フィルタ

033

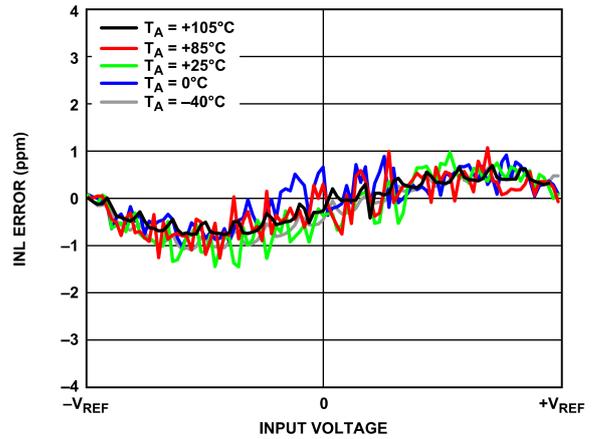


図 39. INL 誤差と入力電圧の関係、広帯域 $0.433 \times \text{ODR}$ フィルタ、高性能モード

019

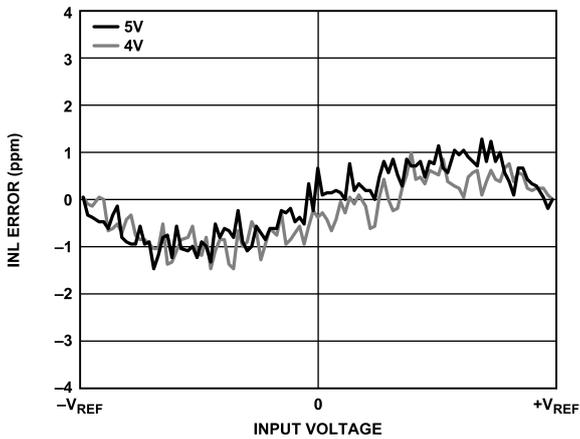


図 37. INL 誤差と入力電圧の関係、広帯域 $0.433 \times \text{ODR}$ フィルタ、高性能モード

018

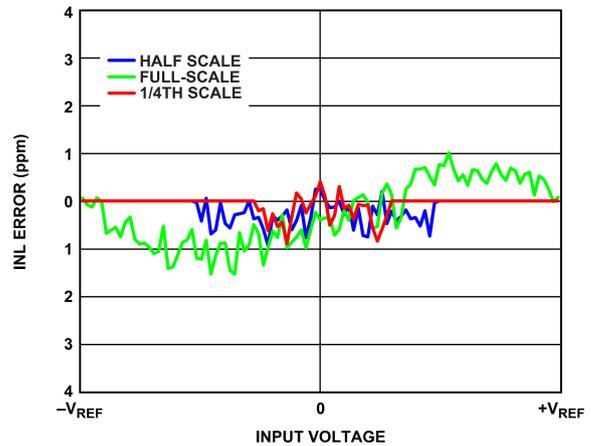


図 40. INL 誤差と入力電圧の関係、フルスケール、1/2 スケール、および 1/4 スケール入力

226

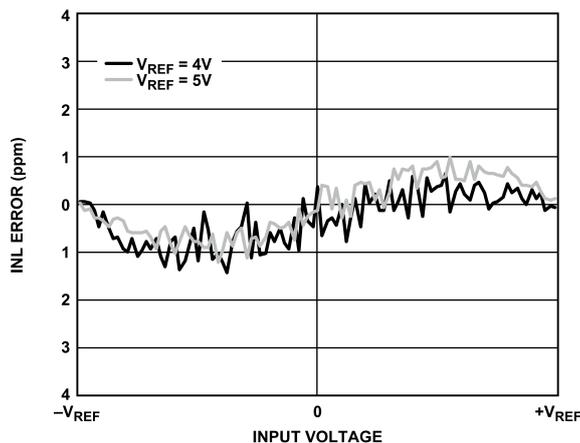


図 38. INL 誤差と入力電圧の関係、広帯域 $0.433 \times \text{ODR}$ フィルタ、低消費電力モード

225

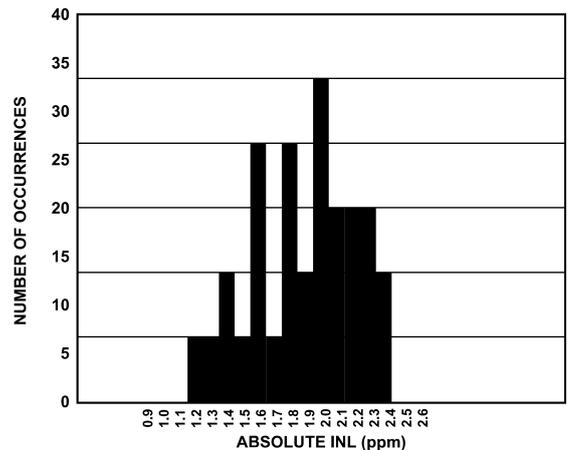


図 41. INL の分布、広帯域 $0.433 \times \text{ODR}$ フィルタ、高性能モード

300

代表的な性能特性

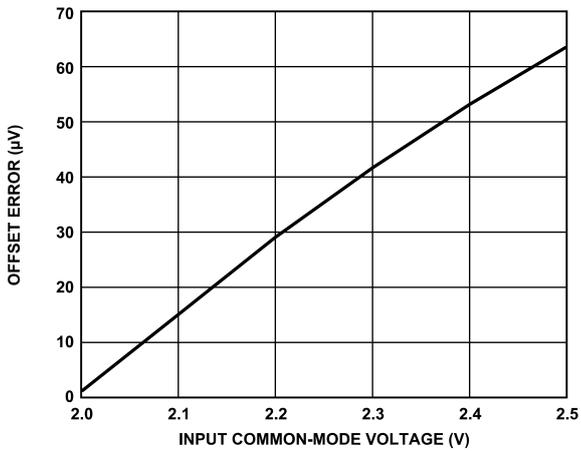


図 42. オフセット誤差と入力コモンモード電圧の関係、広帯域 0.433 × ODR フィルタ、高性能モード

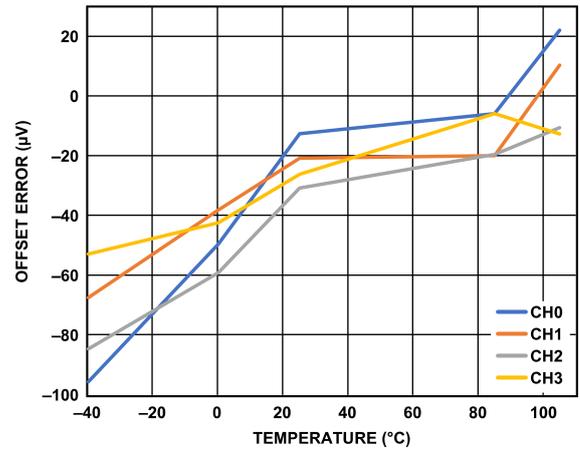


図 45. オフセット誤差と温度の関係、広帯域 0.433 × ODR フィルタ、低消費電力モード

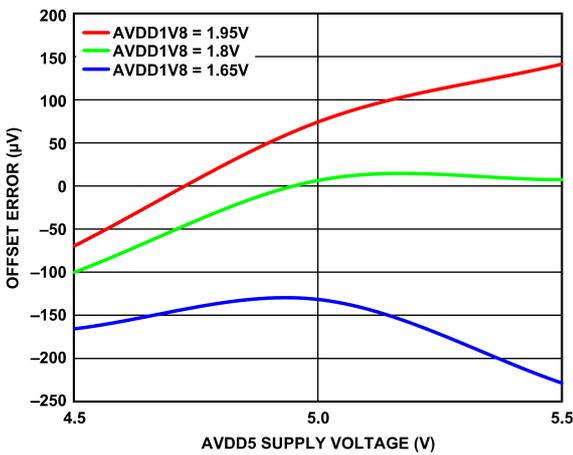


図 43. オフセット誤差と AVDD5 電源電圧の関係、広帯域 0.433 × ODR フィルタ、高性能モード

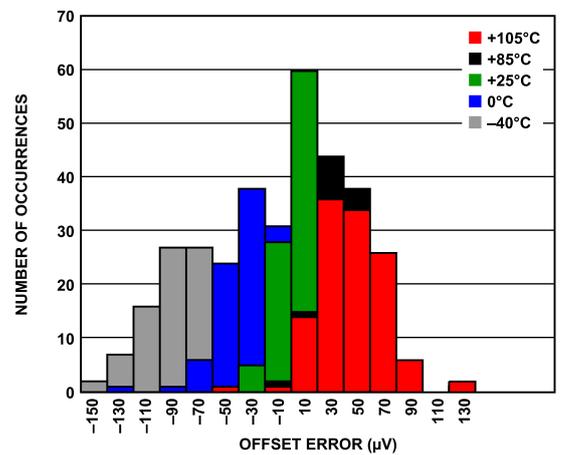


図 46. オフセット誤差の分布、広帯域 0.433 × ODR フィルタ、高性能モード

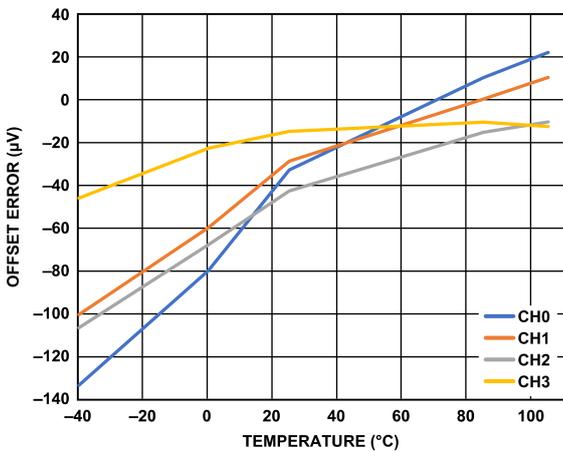


図 44. オフセット誤差と温度の関係、広帯域 0.433 × ODR フィルタ、高性能モード

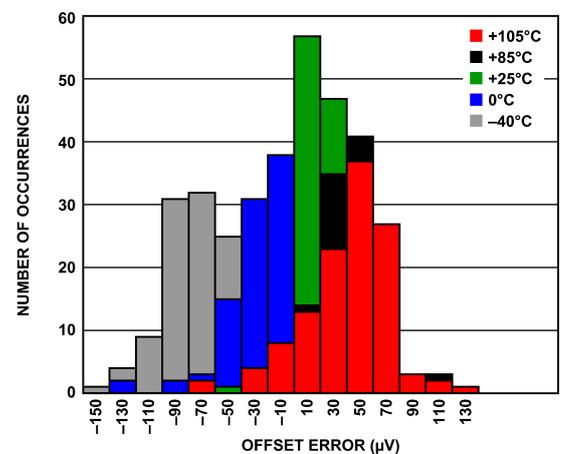


図 47. オフセット誤差の分布、広帯域 0.433 × ODR フィルタ、低消費電力モード

代表的な性能特性

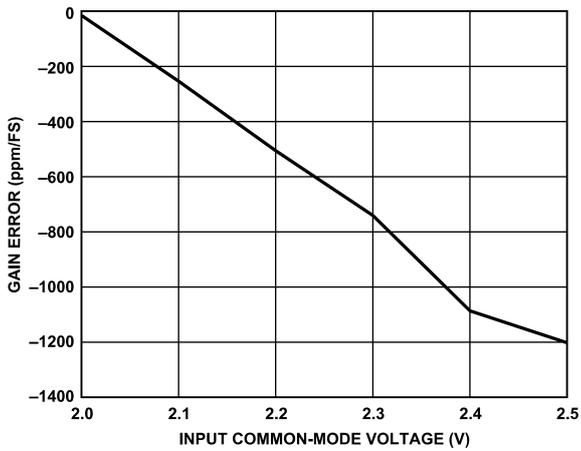


図 48. ゲイン誤差と入力コモンモード電圧の関係、広帯域 0.433 × ODR フィルタ、高性能モード

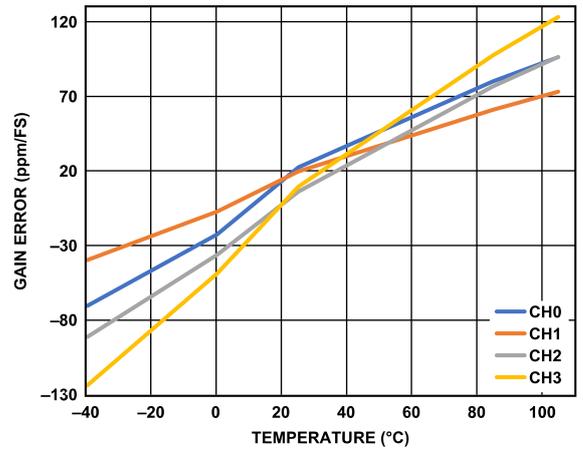


図 51. ゲイン誤差と温度の関係、広帯域 0.433 × ODR フィルタ、高性能モード

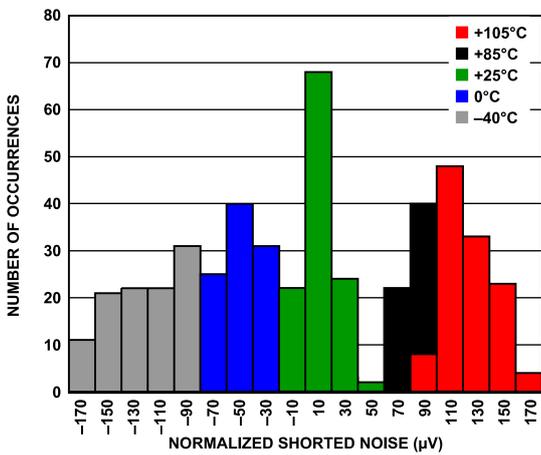


図 49. ゲイン誤差の分布、広帯域 0.433 × ODR フィルタ、高性能モード

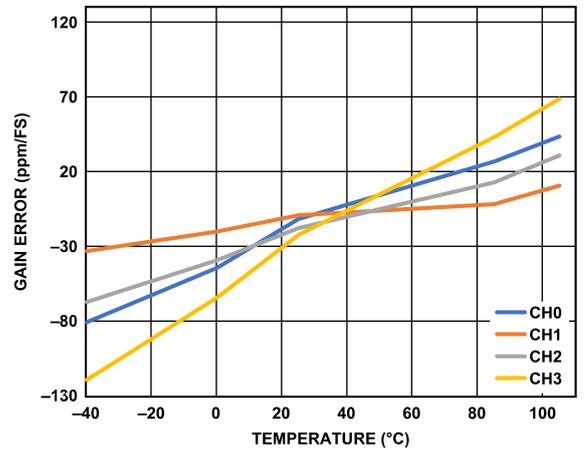


図 52. ゲイン誤差と温度の関係、広帯域 0.433 × ODR フィルタ、低消費電力モード

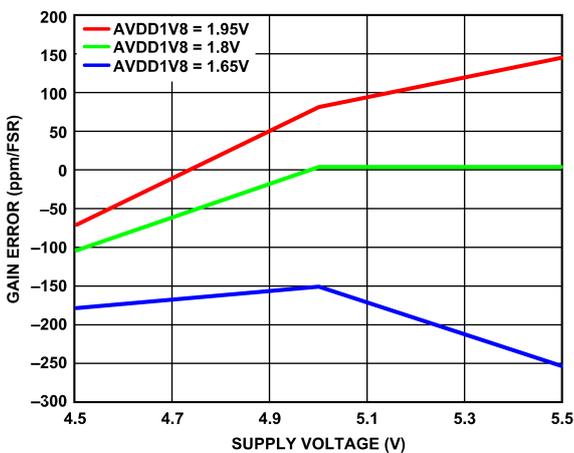


図 50. ゲイン誤差と電源電圧の関係、広帯域 0.433 × ODR フィルタ、高性能モード

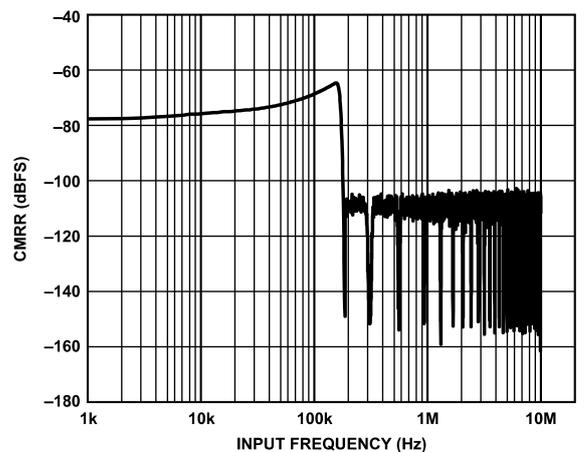


図 53. CMRR と入力周波数の関係、広帯域 0.433 × ODR フィルタ、高性能モード

代表的な性能特性

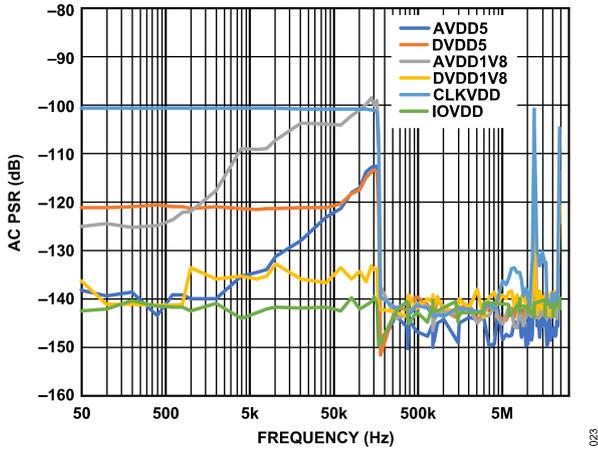


図 54. AC 電源電圧変動除去 (PSR) と周波数の関係、広帯域 $0.433 \times \text{ODR}$ フィルタ、高性能モード

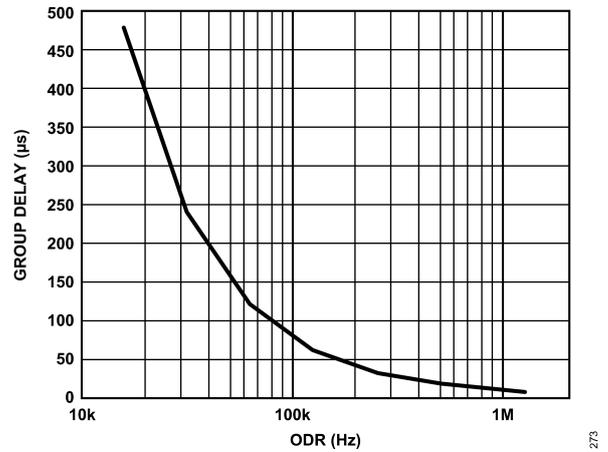


図 57. 群遅延と ODR の関係、sinc3 フィルタ

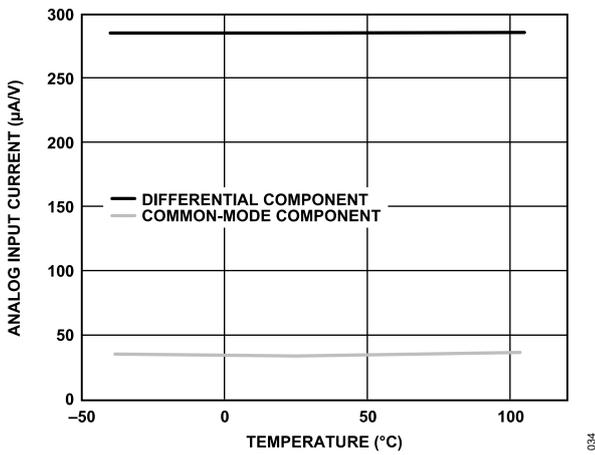


図 55. アナログ入力電流と温度の関係、広帯域 $0.433 \times \text{ODR}$ フィルタ

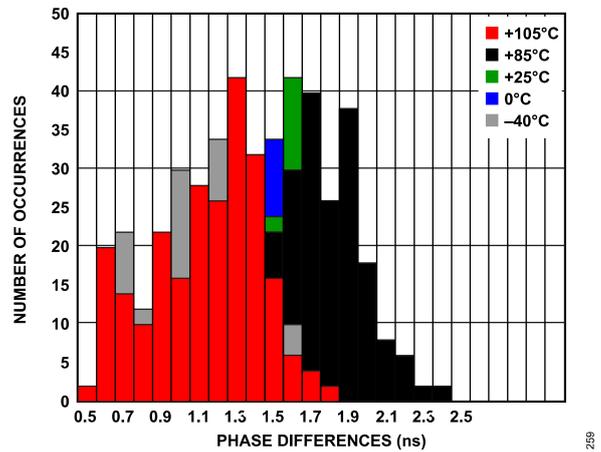


図 58. 20kHz の入力トーンでのチャンネル間位相差

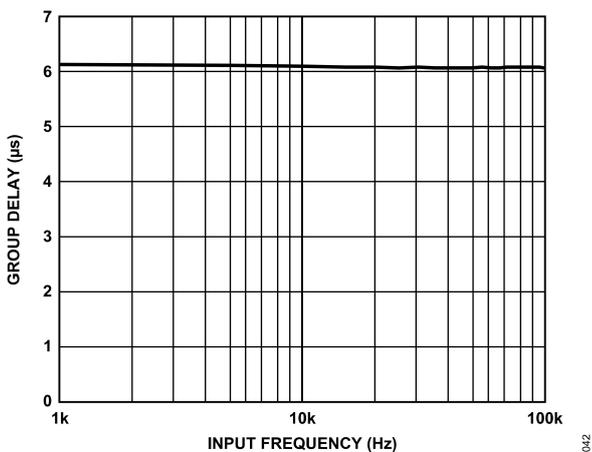


図 56. 群遅延と入力周波数の関係、sinc3 フィルタ、 $\text{ODR} = 1250\text{kSPS}$

用語の定義

AC 同相ノイズ除去比 (CMRR)

AC CMRR は、サンプリング周波数 (f_s) で $AINx+$ ピンと $AINx-$ ピンにコモンモード電圧として印加される 100mV p-p のサイン波の電力に対する、周波数 f での ADC 出力の電力比として定義されます。

$$AC\ CMRR\ (dB) = 10 \log(Pf/Pf_s)$$

ここで、

Pf は周波数 f の ADC の出力電力。

Pf_s は、周波数 f_s での ADC 出力電力。

積分非直線性 (INL 誤差)

INL 誤差は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $1/2$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1/2$ LSB 上回ったレベルとして定義されます。偏差は各々のコードの中央から真の直線までの距離として測定されます。

相互変調歪み

2つの周波数 f_a と f_b のサイン波で構成される入力で、非直線性を備えたアクティブ・デバイスは $m f_a$ と $n f_b$ (ここで、 $m, n = 0, 1, 2, 3, \dots$) の和と差で表される周波数を使用して歪みの積を生成します。相互変調歪み項とは、 m も n も 0 ではない項です。例えば、2 次の項は $(f_a + f_b)$ と $(f_a - f_b)$ を含み、3 次の項は $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 、および $(f_a - 2f_b)$ を含みます。

AD4134 は、互いに類似した 2つの入力周波数を使用する国際電話諮問委員会 (CCIF) 規格に従ってテストされています。この場合、通常、2 次項は元のサイン波の周波数から遠く離れ、3 次項は入力周波数に近くなります。そのため、2 次項と 3 次項は別々に仕様規定されます。相互変調歪みの計算は THD 仕様に従います。これは、基本波の和の実効値振幅に対する個々の歪み積の実効値総和の比率で、デシベルで表します。

ゲイン誤差

最初の遷移 (100 ... 000 から 100 ... 001) は負の公称フルスケールより $1/2$ LSB 上のレベル ($\pm 4.096V$ の範囲では $-4.095999755859375V$) で発生します。最後の遷移 (011 ... 110 から 011 ... 111) は、公称フルスケールより $1/2$ LSB 低いアナログ電圧 ($\pm 4.096V$ の範囲では $+4.095999755859375V$) で発生します。ゲイン誤差とは、最後の遷移の実際のレベルと最初の遷移の実際のレベルとの差が、理論値レベルの差とどれだけ異なるかを示すものです。

ゲイン・ドリフト

ゲイン・ドリフトは、 $1^\circ C$ の温度変化に起因するゲイン誤差変化とフルスケール・レンジ (2^N) の比です。ゲイン・ドリフトは ppm で表します。

最下位ビット (LSB)

最下位ビット (LSB) は、コンバータで表現できる最小インクリメントです。分解能が N ビットの完全差動入力 ADC の場合、電圧で表現する LSB は次式で求めることができます。

$$LSB = 2 \times \frac{V_{REFCAP}}{2^N}$$

ここで、

V_{REFCAP} は REFCAP ピンで測定される電圧。

$N = 24$ (AD4134 の場合)。

DC 電源電圧変動除去比 (DC PSRR)

電源の変化はコンバータの直線性ではなく、フルスケール遷移に影響を与えます。DC PSRR は、電源電圧の公称値からの変化による、フルスケール遷移ポイントでの最大変化です。

AC 電源電圧変動除去 (AC PSR)

AC PSR は、100mV p-p 信号を電源に注入した際に観測されるトーンの振幅です。

例えば、1kHz の周波数で 100mV p-p 信号を電源に注入し、FFT 出力に 1kHz で -108dB のトーンが観察された場合、-108dB が AC 電源電圧変動除去となります。

エイリアス除去

エイリアス除去は、周波数 f_N での ADC 出力の電力と、周波数 $MCLK \pm f_N$ での -6dBFS 入力信号の電力の比として定義されます。

$$Alias\ rejection = 10 \log(P_{f_N}/P_{MCLK \pm f_N})$$

ここで、

P_{f_N} は、ADC 出力における周波数 f_N での電力。

$P_{MCLK \pm f_N}$ は、ADC 出力における周波数 $MCLK \pm f_N$ での電力。

群遅延

群遅延は、ADC 出力とフルスケール・サイン波の ADC 入力で測定された位相遅延の差として定義されます。

S/N 比 (SNR)

S/N 比は、入力信号以外の ODR/2 周波数を下回るすべてのスペクトル成分 (高調波と DC を除く) の実効値総和に対する実際の入力信号の実効値の比率です。S/N 比の単位はデシベルです。

信号/ノイズ+歪み (SINAD) 比

SINAD は、入力信号以外の ODR/2 周波数を下回るすべてのスペクトル成分 (高調波成分は含むが、DC は除く) の実効値総和に対する実際の入力信号の実効値の比です。SINAD の単位はデシベルです。

用語の定義

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の実効値振幅とピーク・スプリアス信号（最初の 5 つの高調波を除く）との差です（デシベル単位）。

全高調波歪み (THD)

THD は、フルスケール入力信号実効値に対する最初の 5 次の高調波成分の実効値を合計した値の比率で、単位はデシベルです。

オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧 (0V) と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット誤差ドリフト

オフセット誤差ドリフトは、1°C の温度変化によるオフセット誤差の変化率です。この計算は、温度が全範囲にわたって変化し

たときの出力コードの変化を観察し、比率を求めます。オフセット誤差ドリフトは、マイクロボルト/°C で表されます。

クロストーク

クロストークは、チャンネル 0 とチャンネル 2 が周波数 X のフルスケール・トーンで同時に駆動された際の、チャンネル 1 の周波数 X で観測されるトーン振幅として測定されます。

全群遅延

全群遅延は信号に生じる AD4134 の合計遅延です。この遅延には、変調器、ASRC、デジタル・フィルタ、その他様々なデジタル・インターフェースの遅延など、すべての要素の群遅延を含みます。

動作原理

図 59 に、AD4134 の 4 つの Σ - Δ ADC チャンネルのうちの 1 つの簡略化した信号経路を示します。通常動作では、CTSD モジュレータは MCLK の変調器サンプリング周波数でアナログ入力信号をオーバーサンプリングします。このプロセスでは、ADC 量子化ノイズが高い周波数帯域に変調されます。オーバーサンプリングされた変調器出力は、ASRC とデジタル・フィルタによってデシメーションされます。デシメーションは、シェーピングされた量子化と共にオーバーサンプリングによって生じた追加の帯域幅を除去します。その結果、ユーザ定義の ODR で、デジタル・フィルタから高精度のデータが出力されます。

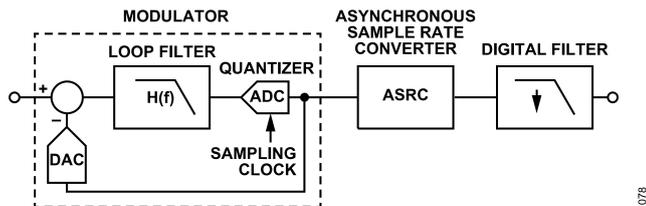


図 59. 信号経路の概要

連続時間シグマ・デルタ・モジュレータ

現在ほとんどすべての高精度 ADC は、スイッチド・キャパシタを使用したサンプル&ホールド回路で設計されています。サンプル&ホールド回路は、逐次比較型レジスタ (SAR) ADC アーキテクチャの重要な部分です。例えば、アパーチャ時間を短縮し、変換中に安定した入力レベルを維持するのに使用されます。離散時間 Σ - Δ ADC も、入力パスと帰還ループの両方でサンプル&ホールド回路を使用するため、設計が簡素化されます。アナログ入力信号はサンプル&ホールド回路によって離散時間信号に変換されるため、サンプル&ホールド回路を備えた ADC は離散時間 ADC とも呼ばれます。

サンプル&ホールド回路は、ADC 設計に多くの利点をもたらします。ただし、チャージ・キックバックや信号のエイリアシングなど、サンプル&ホールド回路を使用することによって生じるいくつかの副次的影響のため、システムで ADC を設計するには余分の労力を必要とします。

CTSD モジュレータは、離散時間シグマ・デルタ (DTSD) モジュレータと同じ Σ - Δ モジュレータの原理 (オーバーサンプリングやノイズ・シェーピングなど) を採用しています。主な違いは、CTSD がサンプル&ホールド回路を使用しないことです。

AD4134 で使用されている CTSD モジュレータの設計では、連続時間積分器と連続時間 DAC の両方を使用しています。このアーキテクチャは、高精度のデータ・アキュイジション・システムの設計の際に、離散時間 ADC よりもいくつかのユニークなシステム上の利点をもたらします。

駆動が容易な入力とリファレンス

離散時間 ADC で使用されるサンプル&ホールド回路のスイッチング動作は、入力ノードに妨害を与えます。妨害の主な影響は 2 つあります。1 つは、サンプリング・コンデンサによる入力

ノードへの突然の負荷です。この場合、妨害の大きさは入力差動電圧/差動時間に比例します。2 つ目の影響は、スイッチの寄生容量に蓄えられていた電荷が、スイッチが閉じたときに入力ノードに押し出されることです。これは、チャージ・インジェクションまたはチャージ・キックバックと呼ばれる現象です。いずれの場合も、ADC 入力での電流フローの突然の変動は、駆動回路の有限インピーダンスと反応して、電圧変動の形で妨害を与えます。変動のプロファイルは、駆動回路の帯域幅とインピーダンスに依存します。

必要なレベルの精度を実現するには、各サンプリング周期の終わりに、妨害された入力信号が ADC の有効分解能の 1LSB 以内で実際のソース値に安定する必要があります。これは、より高精度の条件またはより高い入力帯域幅条件では特に困難です。

入力セトリングの問題を克服する一般的なソリューションは、図 60 に示すように、高出力駆動能力のある高帯域幅アンプで入力をバッファリングすることです。

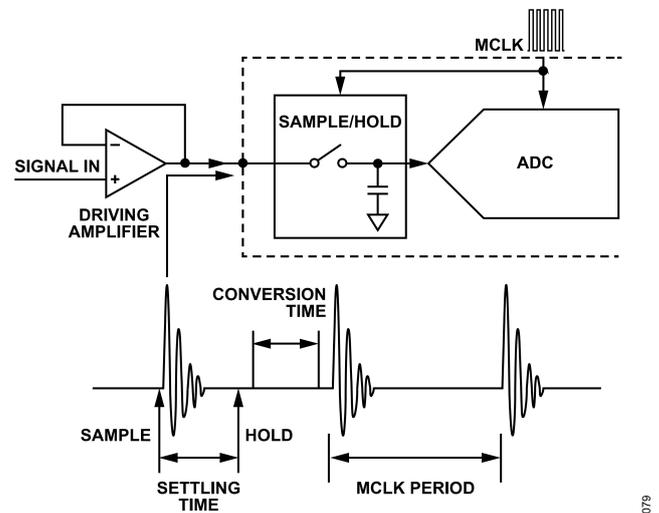


図 60. 離散時間 ADC の入力駆動

サンプル&ホールド回路は、離散時間 ADC のリファレンス入力でも使用されます。ADC のリファレンス入力を駆動するには、広帯域幅のアンプも必要です。

ADC 駆動アンプを使用する場合の欠点は以下のとおりです。

- ▶ アンプの帯域幅は入力信号の帯域幅よりもはるかに高くしなければならず、消費電力が大きくなります。
- ▶ シグナル・チェーンに追加のコンポーネントがあると、ノイズと誤差が増加します。
- ▶ 離散時間 ADC の動的容量性負荷を駆動する際の安定性を確保するために、設計が複雑になります。

CTSD アーキテクチャにより、AD4134 は抵抗性入力特性を一定にすることができます。この動作により、フロント・エンド回路の設計が簡素化され、低帯域幅、低消費電力の高性能高精度アンプで ADC を直接駆動できます。

動作原理

同様に、変調器の帰還ループで使用される連続時間 DAC により、AD4134 のリファレンス入力も抵抗性入力特性が一定となり、ADC のリファレンス入力を電圧リファレンス IC で直接駆動できます。

固有のアンチエイリアシング・フィルタ (AAF)

アナログのサイン波信号をその周波数の 2 倍未満でサンプリングすると、インターポレーションによる再構成により、元の信号よりも低い周波数の信号が生成します。この現象はエイリアシングとして知られています。図 61 は、時間領域と周波数領域の両方で観察した信号エイリアシングの例を示しています。この例は、20kHz でサンプリングされた 3kHz、17kHz、および 23kHz 信号のデジタル離散時間表現が同一であることを示しています。結果を補間すると、出力は常に 3kHz のサイン波になります。つまり、このサンプリング・システムでは、17kHz と 23kHz の入力信号の周波数成分が 3kHz で出力に現れます。

エイリアシングは、アナログ信号のサンプリング時点で発生します。入力信号と出力信号の周波数の一致を確保する唯一の方法は、サンプリング前に入力信号の帯域幅を制限することです。前の周波数成分の入力信号の例では、信号を 10kHz の帯域幅でローパス・フィルタ処理した場合、補間された出力は常にフィルタ処理された入力信号と一致します。ローパス・フィルタの

目的は、高周波信号のエイリアシングを防ぐことであるため、フィルタはアンチエイリアシング・フィルタとも呼ばれます。

信号のサンプリングは、サンプル&ホールド回路内の離散時間 ADC の直前で行われます。信号のエイリアシングを防ぐために、離散時間 ADC の前に外部のアンチエイリアシング・フィルタが必要です。

アンチエイリアシング・フィルタの設計では、エイリアシングの除去レベルと入力信号の位相および振幅の歪みとの間で細かくバランスをとることが必要です。コンポーネントを追加すると、誤差やノイズ、消費電力がシグナル・チェーンで増加します。

駆動が容易なこと以外に、CTSD アーキテクチャの他の主な利点として、アンチエイリアシングの特性を内在していることが挙げられます。サンプル&ホールド回路がない場合、アナログ信号のサンプリングは、積分器の後にある量子化器の CTSD モジュレータ内で行われます。このサンプリング方式により、デバイスは積分器のローパス応答を利用して、変調器のサンプリング周波数周辺の信号を本質的に除去できます。この特性により、AD4134 は最大 102.5dB の固有のエイリアシング除去を提供できます。図 62 に示すように、CTSD モジュレータの固有のアンチエイリアシング応答と低リップル広帯域デジタル・フィルタを組み合わせることにより、AD4134 は帯域外周波数のトーンから完全に保護されます。

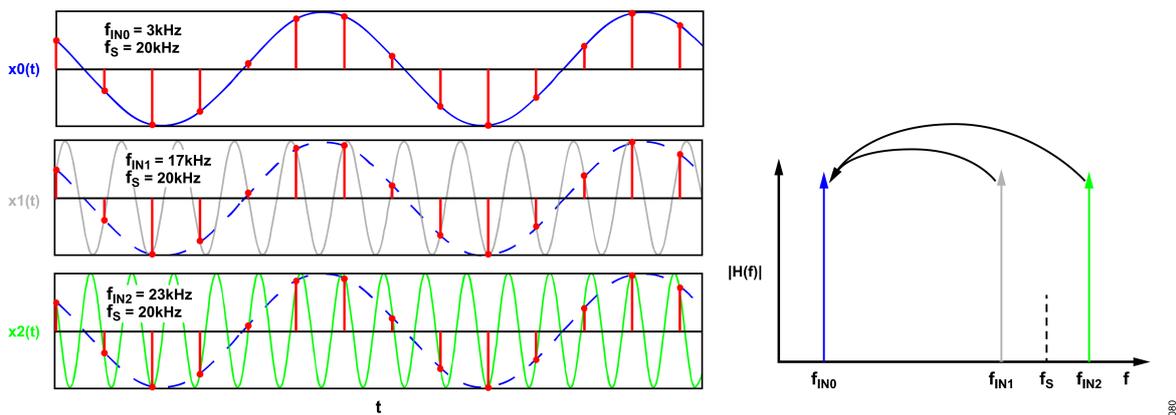


図 61. 時間領域と周波数領域の両方で示された例で説明されるエイリアシング

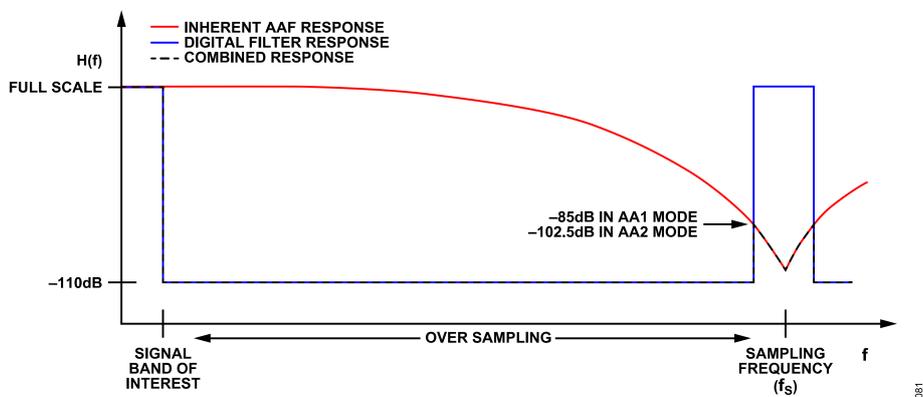


図 62. AD4134 固有のアンチエイリアシング・フィルタとデジタル・フィルタを組み合わせた振幅応答

動作原理

アナログ・フロント・エンド設計の簡素化

駆動が容易な入力とリファレンスのセクションおよび固有のアンチエイリアシング・フィルタのセクションで説明した CTSD アーキテクチャの 2 つの主要な利点により、高精度・中程度の帯域幅のデータ・アキュイジション・シグナル・チェーンに対するアナログ・フロント・エンド設計が大幅に簡素化されます。

図 63 は、離散時間 ADC のアナログ・フロント・エンド回路を示しています。離散時間 ADC の場合、高精度計装アンプと ADC の間には、3 次アンチエイリアシング・フィルタと、完全差動 ADC 駆動アンプを使用した ADC 駆動回路があります。ドライバの安定性を確保し、キックバックを更に抑制するには、ADC 入力に RC 回路を追加することが必要です。リファレンス IC と ADC の間にはオペアンプを使用したリファレンス駆動回路が配置されています。

この回路には、2 次ローパス・フィルタが組み込まれており、リファレンス・ソースからの広帯域ノイズの低減に役立ちます。

図 64 に、AD4134 のシグナル・チェーンを示します。連続時間ベースの AD4134 の場合、駆動が容易で固有のアンチエイリアシング・プロパティにより、アナログ・フロント・エンド設計が大幅に簡素化されます。フロント・エンドの簡素化により、面積やコストが明らかに削減される以外にも、ノイズ、誤差、および不安定性を引き起こす回路が除かれるため、シグナル・チェーン全体の性能が向上します。図 64 に示すように、計装アンプは AD4134 の抵抗性入力を直接駆動することができ、アンプの帯域幅によるアンチエイリアス除去が加わるため、シグナル・チェーンがエイリアス・フリーになります。

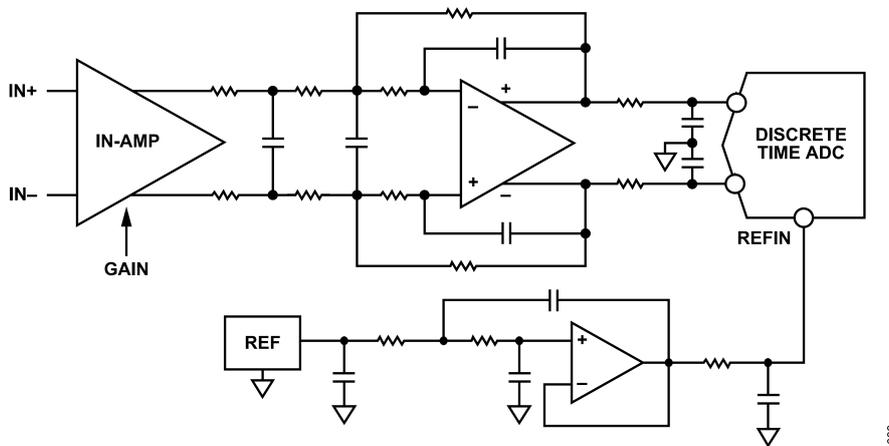


図 63. 離散時間ベース ADC のアナログ・フロント・エンド回路設計の例

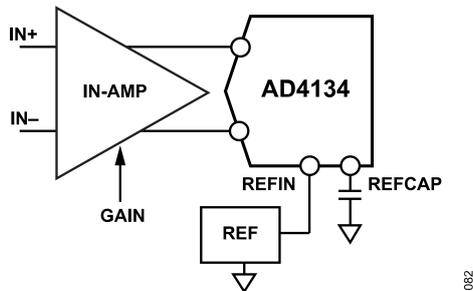


図 64. AD4134 のアナログ・フロント・エンド回路設計の例

ノイズ性能と分解能

表 9～表 16 には、様々な出力データ・レートとチャンネル平均化の設定に対する、AD4134 の広帯域 0.433 × ODR フィルタ、広帯域 0.10825 × ODR フィルタ、sinc6 フィルタ、および sinc3 デジタル・フィルタのノイズ性能のデータを示しています。仕様規定されているノイズ値とダイナミック・レンジは、4.096V の外部リファレンス (V_{REF}) でのバイポーラ入力範囲の代表値です。実効値ノイズは、アナログ入力を短絡して測定しています。ダイナミック・レンジは次式で計算します。

$$Dynamic\ Range\ (dB) = 20\log_{10}((2 \times V_{REF}/2\sqrt{2})/(RMS\ Noise))$$

LSB サイズは次式で計算します。

$$LSB\ Size = (2 \times V_{REF})/2^{24}$$

ここで、LSB Size は 488nV (リファレンスが 4.096V の場合)。

表 9. 広帯域 0.433 × ODR フィルタ、高性能モードのノイズ性能と出力データ・レートとの関係 (V_{REF} = 4.096V)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
374	161.94	107.21	12.63	110.46	8.68	113.46	6.15
325	140.73	108.09	11.41	111.21	7.96	114.25	5.61
285	123.41	108.65	10.69	111.81	7.43	114.8	5.27
256	110.85	109.21	10.03	112.5	6.87	115.26	4.99
235	101.76	109.71	9.47	112.79	6.63	115.85	4.67
200	86.60	110.58	8.57	113.63	6.02	116.57	4.29
175	75.78	111.12	8.05	114.27	5.6	117.25	3.97
128	55.42	112.72	6.70	115.66	4.77	118.68	3.37
100	43.30	113.71	5.97	116.81	4.17	119.83	2.95
80	34.64	114.80	5.27	117.9	3.68	120.78	2.64
64	27.71	115.83	4.68	118.87	3.29	121.87	2.33
32	13.86	118.91	3.28	121.82	2.34	124.89	1.65
16	6.93	121.94	2.32	124.81	1.66	127.8	1.17
10	4.33	123.80	1.87	126.67	1.34	129.76	0.94
5	2.17	126.68	1.34	129.55	0.96	132.34	0.69
2.5	1.08	129.36	0.99	132.32	0.7	135.08	0.51

表 10. 広帯域 0.433 × ODR フィルタ、低消費電力モードのノイズ性能と出力データ・レートとの関係 (V_{REF} = 4.096V)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
374	161.94	100.42	27.61	103.41	19.55	106.33	13.96
325	140.73	102.03	22.93	105.04	16.21	107.96	11.57
285	123.41	103.21	20.01	106.37	13.9	109.21	10.03
256	110.85	104.08	18.10	107.12	12.75	110.12	9.03
235	101.76	104.67	16.91	107.89	11.68	110.64	8.50
200	86.60	105.80	14.85	108.97	10.31	111.76	7.47
175	75.78	106.64	13.48	109.79	9.37	112.55	6.82
128	55.42	108.29	11.15	111.32	7.87	114.31	5.57
100	43.30	109.49	9.71	112.55	6.83	115.51	4.85
80	34.64	110.58	8.57	113.54	6.09	116.47	4.34
64	27.71	111.63	7.59	114.68	5.34	117.61	3.81
32	13.86	114.72	5.32	117.75	3.75	120.64	2.68
16	6.93	117.69	3.78	120.78	2.64	123.71	1.88
10	4.33	119.73	2.99	122.72	2.11	125.76	1.49
5	2.17	122.79	2.10	125.66	1.50	128.61	1.07
2.5	1.08	125.64	1.51	128.58	1.07	131.48	0.77

ノイズ性能と分解能

表 11. 広帯域 0.10825 × ODR フィルタ、高性能モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
374	40.49	112.80	6.63	116.03	4.57	119.01	3.24
325	35.18	113.57	6.07	116.84	4.16	119.67	3.00
285	30.85	114.20	5.65	117.37	3.91	120.12	2.85
256	27.71	114.71	5.33	117.63	3.80	120.71	2.66
235	25.44	115.14	5.07	118.13	3.59	121.16	2.53
200	21.65	115.72	4.74	118.88	3.29	121.61	2.40
175	18.94	116.44	4.36	119.62	3.02	122.37	2.20
128	13.86	117.76	3.75	120.88	2.61	123.85	1.86
100	10.83	118.82	3.32	121.9	2.32	124.79	1.66
80	8.66	119.76	2.98	123.06	2.03	125.85	1.47
64	6.93	120.85	2.63	123.78	1.87	126.78	1.32
32	3.46	123.64	1.91	126.56	1.36	129.61	0.95
16	1.73	126.50	1.37	129.30	0.99	132.36	0.69
10	1.08	128.44	1.10	131.23	0.79	134.15	0.56
5	0.54	130.91	0.83	133.54	0.60	136.31	0.44
2.5	0.27	133.59	0.61	136.13	0.45	138.84	0.33

表 12. 広帯域 0.10825 × ODR フィルタ、低消費電力モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
374	40.49	108.46	10.94	111.64	7.58	114.53	5.43
325	35.18	109.29	9.94	112.34	6.99	115.20	5.03
285	30.85	110.05	9.11	113.09	6.41	115.90	4.64
256	27.71	110.46	8.69	113.61	6.04	116.42	4.37
235	25.44	110.80	8.35	113.97	5.79	116.96	4.01
200	21.65	111.45	7.75	114.69	5.33	117.66	3.79
175	18.94	112.26	7.06	115.35	4.94	118.24	3.54
128	13.86	113.51	6.12	116.6	4.28	119.63	3.02
100	10.83	114.69	5.34	117.6	3.81	120.61	2.69
80	8.66	115.64	4.78	118.64	3.38	121.76	2.36
64	6.93	116.73	4.22	119.66	3.01	122.54	2.16
32	3.46	119.81	2.96	122.58	2.15	125.64	1.51
16	1.73	122.60	2.15	125.58	1.52	128.61	1.07
10	1.08	124.75	1.68	127.41	1.23	130.45	0.86
5	0.54	127.37	1.24	130.32	0.88	133.14	0.63
2.5	0.27	130.14	0.90	132.99	0.64	135.84	0.46

ノイズ性能と分解能

表 13. sinc6 フィルタ、高性能モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
1496	278.406	100.66	26.85	104.13	18.01	107.07	12.83
1250	232.63	102.98	20.56	106.34	13.95	109.24	10.00
1000	186.10	105.15	16.01	108.48	10.90	111.44	7.75
750	139.58	107.33	12.46	110.57	8.57	113.52	6.10
500	93.05	109.64	9.54	112.87	6.57	115.85	4.66
375	69.79	111.09	8.08	114.27	5.59	117.32	3.94
325	60.48	111.94	7.32	115.02	5.13	118.02	3.63
256	47.64	113.20	6.34	116.20	4.48	119.16	3.19
175	32.57	114.82	5.26	117.97	3.65	120.90	2.61
128	23.82	116.32	4.42	119.35	3.12	122.29	2.22
80	14.89	118.34	3.50	121.50	2.43	124.26	1.77
64	11.91	119.38	3.11	122.36	2.20	125.46	1.54
32	5.96	122.38	2.20	125.33	1.56	128.24	1.12
10	1.86	126.98	1.30	129.87	0.92	132.90	0.65
5	0.93	129.69	0.95	132.47	0.68	135.29	0.49
2.5	0.47	131.97	0.73	135.31	0.49	137.57	0.383

表 14. sinc6 フィルタ、低消費電力モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
1496	278.406	84.11	180.40	87.30	124.98	90.05	91.06
1250	232.63	87.78	118.22	90.93	82.3	93.92	58.31
1000	186.10	92.28	70.43	95.42	49.04	98.36	34.99
750	139.58	97.65	37.96	100.78	26.48	103.61	19.12
500	93.05	103.33	19.74	106.53	13.65	109.33	9.89
375	69.79	101.17	25.32	103.98	18.32	104.34	17.57
325	60.48	107.19	12.65	110.22	8.93	113.13	6.38
256	47.64	108.60	10.76	111.58	7.63	114.51	5.44
175	32.57	110.53	8.62	113.63	6.03	116.51	4.33
128	23.82	112.05	7.23	115.08	5.10	118.06	3.62
80	14.89	114.25	5.61	117.28	3.96	120.16	2.84
64	11.91	115.17	5.05	118.21	3.56	121.20	2.52
32	5.96	118.22	3.55	121.30	2.49	124.23	1.78
10	1.86	123.03	2.04	126.15	1.42	129.02	1.02
5	0.93	125.99	1.45	129.11	1.01	131.99	0.72
2.5	0.47	128.91	1.04	131.75	0.74	134.57	0.54

ノイズ性能と分解能

表 15. sinc3 フィルタ、高性能モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
1496	391.503	95.32	49.64	98.67	33.74	101.46	24.48
1000	261.70	101.62	24.03	105.05	16.18	107.97	11.56
750	196.28	104.72	16.82	108.01	11.51	110.97	8.19
375	98.14	109.56	9.63	112.64	6.76	115.59	4.81
187.5	49.07	112.88	6.58	116.11	4.53	119.04	3.23
128	33.50	114.76	5.29	117.81	3.72	120.72	2.66
64	16.75	117.83	3.72	120.91	2.60	123.88	1.85
32	8.37	120.91	2.61	124.10	1.80	126.87	1.31
16	4.19	125.74	1.50	128.66	1.06	131.54	0.76
5	1.31	128.29	1.11	131.34	0.78	134.17	0.56
2.5	0.654	130.89	0.83	133.60	0.60	136.30	0.44
1.25	0.327	132.91	0.66	135.52	0.48	138.08	0.36
0.625	0.164	134.66	0.54	137.28	0.39	139.79	0.29
0.06	0.016	137.59	0.38	139.89	0.29	142.62	0.21
0.05	0.013	137.46	0.39	139.49	0.30	141.81	0.23
0.01	0.003	137.22	0.40	140.07	0.28	141.65	0.23

表 16. sinc3 フィルタ、低消費電力モードのノイズ性能と出力データ・レートの関係 ($V_{REF} = 4.096V$)

Output Data Rate (kSPS)	-3 dB Bandwidth (kHz)	Single Channel		2:1 Channel Averaging		4:1 Channel Averaging	
		Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)	Dynamic Range (dB)	RMS Noise (μV)
1496	391.503	76.68	424.32	79.72	299.01	82.62	214.21
1000	261.70	85.34	156.58	88.44	109.66	91.26	79.17
750	196.28	91.30	78.89	87.19	126.6	97.41	39.00
375	98.14	98.67	33.77	101.30	24.94	103.42	19.52
187.5	49.07	108.35	11.08	111.42	7.78	114.42	5.50
128	33.50	110.49	8.65	113.50	6.12	116.36	4.40
64	16.75	113.73	5.96	116.70	4.23	119.69	3.00
32	8.37	116.75	4.21	119.73	2.98	122.74	2.11
16	4.19	121.75	2.37	124.65	1.69	127.7	1.19
5	1.31	124.63	1.70	127.59	1.20	130.54	0.86
2.5	0.654	127.47	1.23	130.24	0.89	133.21	0.63
1.25	0.327	130.07	0.91	133.05	0.64	135.59	0.48
0.625	0.164	132.59	0.68	135.23	0.50	137.85	0.37
0.06	0.016	137.95	0.37	140.07	0.28	141.77	0.23
0.05	0.013	137.87	0.37	139.98	0.29	141.97	0.23
0.01	0.003	138.06	0.36	140.67	0.26	141.78	0.23

回路説明

コア・シグナル・チェーン

AD4134 の各 ADC チャンネルには、アナログ入力ピンからデータ・インターフェースへ同じ信号パスがあります。各 ADC チャンネルは、アナログ入力をオーバーサンプリングして、デジタル形式でデジタル・フィルタ・ブロックに渡す独自の CTSD モジュレータを備えています。データはフィルタ処理され、(ユーザ設定に応じて) ゲインおよびオフセットがスケールリングされ、データ・インターフェースに出力されます。PIN/SPI 入力ピンの状態によってパワーアップ時に設定されたピン制御または SPI 制御を使用して、シグナル・チェーンの柔軟な設定を制御できます。

ADC は、最大 5V のリファレンスが使用可能で、アナログ入力 (AINx+および AINx-) 間の差動電圧をデジタル出力に変換します。アナログ入力は、差動入力のみを受け入れます。ADC はアナログ入力ピン間の電圧差をデジタル・コードに変換し、出力します。アナログ入力 AINx+および AINx-にV_{REF}/2の共通モード電圧を使用すると、ADC 入力範囲が最大になります。24 ビットの変換結果は、MSB ファーストの 2 の補数フォーマットです。詳細は、表 17 を参照してください。

アナログ入力

入力構造

CTSD アーキテクチャのため、AD4134 は単純な入力構造を備えた純粋な抵抗性入力となっています (図 65 を参照)。ADC は完全差動入力信号のみサポートします。入力インピーダンスの差動抵抗値は 6.25kΩ です。内部的には、AINx+と AINx-の両方が、内部抵抗ネットワークを通じて V_{REF}/2 にバイアスされています。AD4134 は、共通モード電圧が V_{REF}/2 に等しい差動入力信号で最適な性能を実現します。図 65 では、C_{IN} は入力容量を意味し、R_{IN} は入力抵抗を意味します。

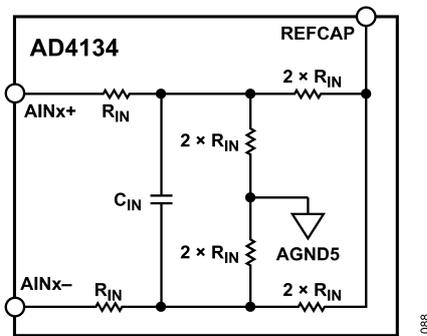


図 65. ADC の入力構造

表 17. 出力コードと入力電圧の理論値

Description	Analog Input (AINx+ - AINx-), V _{REF} = 4.096 V	Digital Output Code, Twos Complement (Hex)
Full Scale (FS) - 1 LSB	4.095999512 V	0x7FFFFFFF
Midscale + 1 LSB	488 nV	0x000001
Midscale	0 V	0x000000
Midscale - 1 LSB	-488 nV	0xFFFFF
-FS + 1 LSB	-4.095999512 V	0x800001
-FS	-4.096 V	0x800000

PDNピンがロー、スリープ・モード、または PWRDN_CHx ビットでデバイスの電源がオフになると、入力はハイ・インピーダンスになります。

入力電圧範囲

AD4134 の抵抗性入力構造により、その入力ピンはデバイスに損傷を与えることなく広い入力電圧振幅に耐えることができます。ADC のフルスケール入力が±V_{REF} であるため、ADC の各入力ピンは 0V~5V の絶対入力電圧を受け入れることができます。

ADC の個々の入力チャンネルがパワーダウンすると、入力はハイ・インピーダンスになります。

入力共通モード電圧範囲

AD4134 は、V_{REF}/2 から AVDD5/2 までの入力共通モード電圧範囲をサポートしています。最適な性能は、入力共通モード・レベルがリファレンスの入力電圧の半分に等しいときに実現します。

VCM 出力

AD4134 は、VCM ピンにバッファ付き共通モード電圧を出力します。この出力は、アナログ入力信号のレベルをシフトできます。AD4134 は、VCM バッファを ADC に組み込むことによって部品数と基板スペースを削減します。

ピン制御モードの場合、VCM の電位は V_{REF}/2 に固定され、デフォルトでイネーブルになっています。

SPI 制御モードの場合、VCM 出力電圧レベルを V_{REF}/20~19 × V_{REF}/20、または AVDD5/2 に設定するオプションがあります。また、SPI 制御モードで使用しない場合は、VCM 出力をディスエーブルすることもできます。

VCM の出力レベルは、VCMBUF_REF_DIV_SEL ビットと VCMBUF_REF_SEL ビットで設定できます。VCM 出力は、PWRDN_VCMBUF ビットを使用してイネーブルまたはディスエーブルできます。ディスエーブルすると、VCM はハイ・インピーダンスになります。

0.1μF よりも大きい容量性負荷を駆動する場合、出力バッファの安定性を確保するために、VCM ピンと容量性負荷の間に 50Ω の直列抵抗を配置することを推奨します。

回路説明

リファレンス入力

ADC 入力と同様に、AD4134 のリファレンス入力も抵抗性です。これにより、外部リファレンス IC は、リファレンス・バッファを必要とせずに AD4134 を直接駆動できます。外部リファレンス・ソースを AD4134 の REFCAP ピンに直接接続できます。

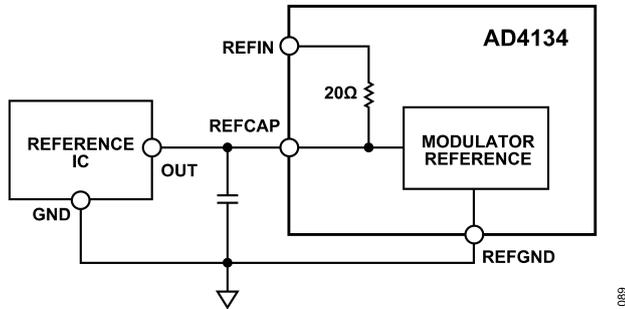


図 66. REFCAP ピンへのリファレンス入力の直接接続

リファレンス信号をフィルタ処理することにより、リファレンス・ソースのノイズを低減できます。REFIN ピンと REFCAP ピンの間に 20Ω の内部抵抗があるため、REFCAP ピンにコンデンサを接続して、1 次の RC フィルタを形成できます。

リファレンス・フィルタの設計例については、[リファレンス・ノイズのフィルタリング](#)のセクションを参照してください。

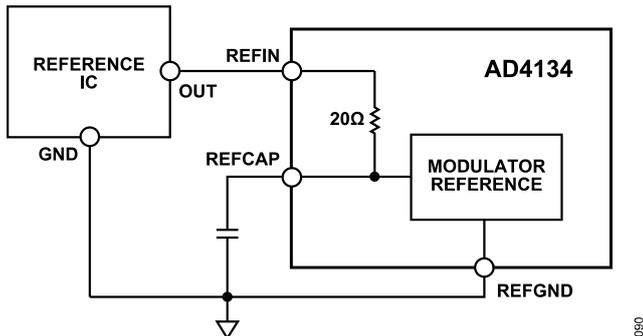


図 67. REFIN ピンを使用したリファレンス入力接続

直列抵抗により、デバイスの動作モードによって変化する小さな電圧降下が生じます。SPI 制御モードでは、REFIN_GAIN_CORR_EN ビットを 1 にセットすることにより、様々な動作モードでこの低下を自動補正するようにデバイスを設定できます。リファレンス入力電流は、個々の ADC チャンネルを無効化すると 1/4 だけ減少します。この電流減少は、リファレンス自動補正機能でも考慮されます。

自動制御機能は、ピン制御モードでは無効です。

デバイスがパワーダウンしたとき、または PDN ピンがローでパワーダウン・モードのとき、リファレンス入力はハイ・インピーダンスになります。

クロック入力

AD4134 は、初期パワーアップ設定時に内部発振器を使用します。AD4134 がスタートアップ・ルーチンを完了すると、クロックは外部から入力された CLKIN に切り替わります。

AD4134 は 2 つのマスタ・クロック入力オプションをサポートしています。デバイスは、外部 CMOS クロック信号を受け入れるか、外付け水晶発振器を使用してクロック信号を生成することができます。クロック源は、パワーアップ時の CLKSEL ピンの状態によって決まります。

CLKSEL ピンを IOVDD ピンに接続し、外付け水晶発振器を XTAL1 ピンと XTAL2/CLKIN ピンの間に接続すると、水晶発振器クロック・オプションを有効化できます。CLKSEL ピンを IOGND ピンに接続し、外部の CMOS クロック信号を XTAL2/CLKIN ピンに接続すると、CMOS クロック・オプションを有効化できます。

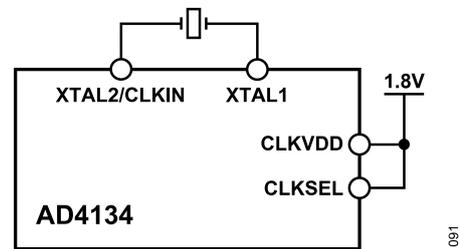


図 68. 水晶発振器により供給されるマスタ・クロック

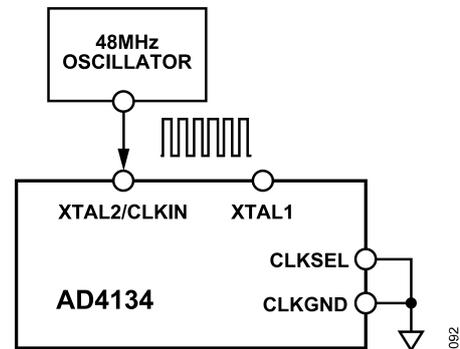


図 69. 発振器により供給されるマスタ・クロック

XCLKOUT 出力

水晶発振器クロック・オプションを使用すると、内部水晶発振器からのバッファ付き出力を XCLKOUT ピンで利用できるようになります。この CMOS クロック信号を同じシステム内の他の AD4134 デバイスに分配して、複数の AD4134 デバイスが単一の外付け水晶発振器から動作できるようにします。XCLKOUT ピンは 45pF の負荷を駆動できます。

回路説明

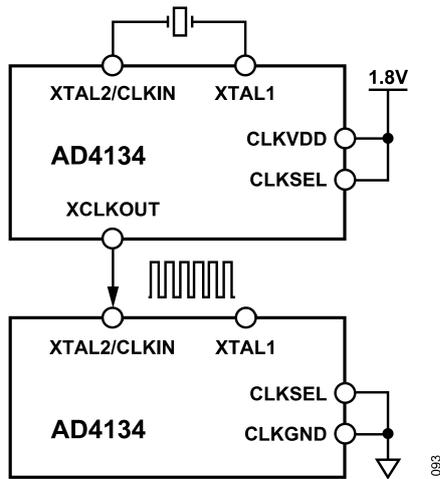


図 70. 単一の水晶発振器から複数のデバイスにマスタ・クロックを供給

XCLKOUT 出力は、水晶発振器クロック・オプションを選択している場合、ピン制御モードではデフォルトでイネーブルされます。CMOS クロック・オプションを選択している場合、XCLKOUT 出力はピン制御モードではディスエーブルされます。

XCLKOUT 出力は、SPI 制御モードではデフォルトでディスエーブルされており、XCLKOUT_EN ビットに 1 を書き込むことでイネーブルにできます。

電源オプション

動作電力モード

AD4134 では、測定に必要な帯域幅に応じ、2 つの選択可能な電力モード（高性能モードおよび低消費電力モード）によって、測定帯域幅と消費電力または分解能の間でトレードオフができます。低消費電力モードは変調器クロック周波数の半分で動作するため、半分の出力データ・レートおよび 40% の電力削減で、高性能モードに匹敵するノイズ性能が得られます。2 つのモードの性能の違いに関する詳細は、ノイズ性能と分解能のセクションを参照してください。

チャンネルのパワーダウン

SPI 制御モードでは、4 つの ADC チャンネルを個別にパワーダウンして、使用しない場合に電力を節約できます。

PWRDN_CHx ビットは、各チャンネルのパワーダウンを制御します。

ADC チャンネルをパワーダウンすると、電源電流と入力電流が減少します。パワーダウンしたチャンネルの入力はハイ・インピーダンスになります。リファレンス入力電流は、ADC チャンネルのパワーダウンごとに 1/4 だけ減少します。

スリープ・モード

SLEEP_MODE_EN ビットを 1 に設定した場合、SPI 制御モードでスリープ・モードをアクティブにできます。

このモードでは、デバイスはデジタル LDO レギュレータを除くすべてのブロックの電源をオフにし、内蔵レジスタ値を保持します。

このモードでの代表的な消費電力は 15mW です。デバイスは、このモードを終了してから 100µs 以内に完全な動作を再開できます。

スリープ・モードではリファレンス入力と入力チャンネルの両方がハイ・インピーダンスになります。

完全パワーダウン

完全パワーダウン・モードは、 $\overline{\text{PDN}}$ ピンをローに保持することでアクティブになります。このモードでは、すべての内部ブロックの電源がオフになります。

このモードでの代表的な消費電力は 1mW です。デバイスは、このモードの終了後、10ms のスタートアップ時間を必要とします。このモードを終了すると、デバイス・レジスタはデフォルト値にリセットされます。

スリープ・モードではリファレンス入力と入力チャンネルの両方がハイ・インピーダンスになります。

リセット

リセットすると、AD4134 は内部レジスタ値をデフォルトに戻し、内部ロジックと機能ブロックをリセットします。

ユーザが AD4134 をリセットするには、 $\overline{\text{RESET}}$ ピンをローにすることによるハード・リセット、または SOFT_RESET に 1 を書き込むことによるソフトウェア・リセット（セルフ・クリア）の 2 つの方法があります。

非同期サンプル・レート・コンバータ

CTSD モジュレータのアーキテクチャ固有の特性の 1 つは、時定数が固定されていることです。その結果、AD4134 デバイスは固定された変調器クロック周波数で動作します。

AD4134 は、出力データ・レートの正確な調整を容易にするために、デジタル的にプログラム可能な ASRC を備えています。

ASRC は、変調器と各 ADC チャンネルのデジタル・フィルタの間に配置されています。ASRC には以下の 2 つの入力があります。

- ▶ 変調器から MCLK レートで送られるデータ
- ▶ ODR 入力（外部非同期信号（スレーブ）またはフラクショナル値（マスタ）のいずれか）

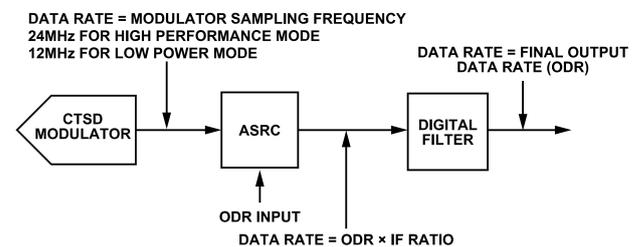


図 71. 変換パスの各段階でのデータ・レート

ASRC ブロックにあるデジタル PLL は、ODR 入力を追跡してロックし、フラクショナル比を生成します。ASRC は、変調器のサンプリング周波数に対するフラクショナル比で変調器出力のインターポレーションとリサンプリングを行うことで動作します。

回路説明

インターポレーション係数は、選択する ODR によって異なります。ASRC のフラクショナル・サンプル・レート変換により、最終的な ODR を変調器のサンプリング・クロックとは非同期にすることができます。

ASRC の出力は、デジタル・フィルタのインテジャータによってデシメーションされ、最終的な ODR を生成します。

ASRC のみの応答は、選択する ODR に依存し、インターポレーション係数 × ODR 周波数の値にノッチが生じます。様々な ODR のインターポレーション係数値を表 18 に示します。

表 18. 様々な ODR 範囲のインターポレーション係数値

ODR Range	Interpolation Factor Value
750 kSPS to 1.496 MSPS	8
375 kSPS to 749.999 kSPS	16
366.99 SPS to 374.999 kSPS	32
10 SPS to 366.99 SPS	1024

例えば、ODR が 374kSPS の場合の ASRC 応答は、図 72 に示すように、 $32 \times 374\text{kHz} = 11.968\text{MHz}$ でノッチを示します。

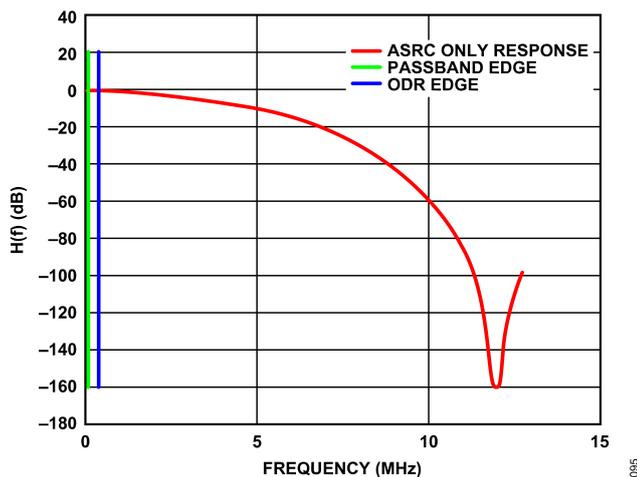


図 72. ODR = 374kSPS での ASRC のみの応答

同様に、ODR が 1496kSPS の場合の ASRC 応答は、図 73 に示すように、 $8 \times 1496\text{kHz} = 11.968\text{MHz}$ でノッチを示します。

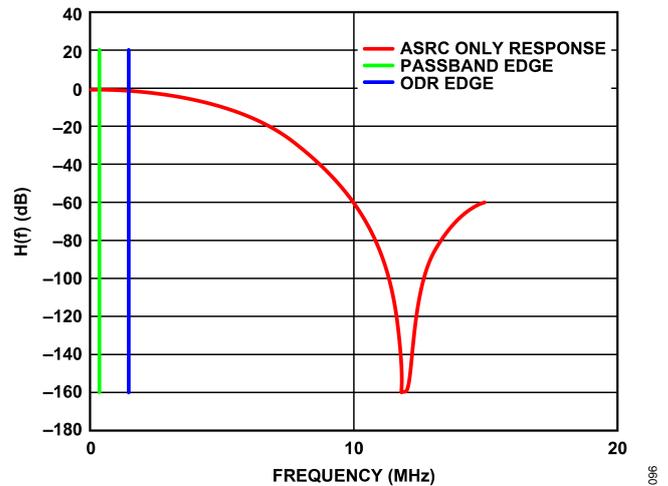


図 73. ODR = 1496kSPS での応答

使用可能な出力データ・レート範囲は、デジタル・フィルタのタイプと選択する ASRC モードによって異なります（詳細は、デジタル・フィルタのセクションを参照）。

AD4134 の ASRC には、以下の 2 つの動作モードがあります。

- ▶ マスタ・モードでは、ODR ピンが出力となり、ODR はピン設定またはレジスタの書き込みによって設定します。
- ▶ スレーブ・モードでは、ODR ピンは AD4134 への入力となり、ODR は外部クロック源で設定します。

ASRC マスタ・モード

マスタ・モードでは、ASRC は、補間済みの変調器出力を変調器クロックに対する固定比率でリサンプリングします（図 74 を参照）。この比率は、最終的な ODR のユーザ設定に基づいて内部で計算されます。ピン制御モードでの ODR ピンの設定、または SPI 制御モードでのレジスタ設定を介して、ODR を設定できます。

ASRC マスタ・モードでは、ODR ピンは出力として動作し、出力データ・レートの周波数でパルス列信号を生成します。ADC 出力データは、ODR 信号に関するサンプリングに使用できます。ASRC マスタ・モードの出力データ・レート設定の詳細は、ASRC マスタ・モードのセクションを参照してください。

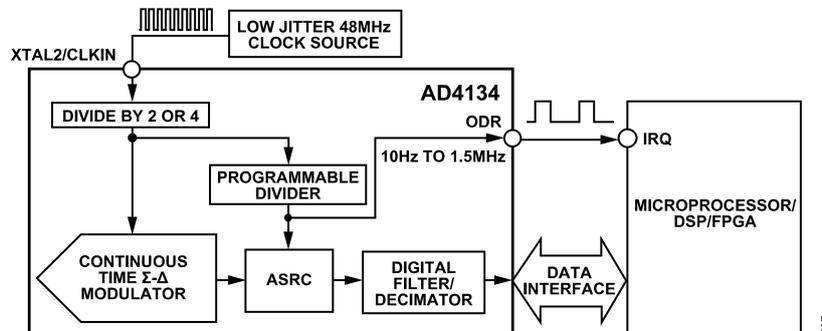


図 74. ASRC マスタ・モードの機能図

回路説明

ASRC スレーブ・モード

スレーブ・モードでは、ODR ピンは入力として動作します（[図 75](#)を参照）。ODR ピンに目的の ODR 周波数 (f_{ODR}) でクロックまたはパルス列を供給することにより、ODR を設定します。AD4134 は、入力信号の立上がりエッジで ODR 周波数を測定します。内部のデジタル PLL は ODR ピンの入力信号周波数を追跡し、それを使用して ASRC のリサンプリング・レートを設定します。ADC 出力データは、ODR 信号に関するサンプリングに使用できます。

PLL がロックされるまで、連続サイクルの ODR 信号を供給する必要があります。そのためには STAT_PLL_LOCK ビットを調べそのデータを読み出します。ODR 値を変更すると、PLL がロック解除して再びロック・バックするため、データを読み出す前に待機時間が必要になります。

また、ODR ピンのジッタが 100ns p-p 以下になるようにして、性能が低下しないようにする必要があります。

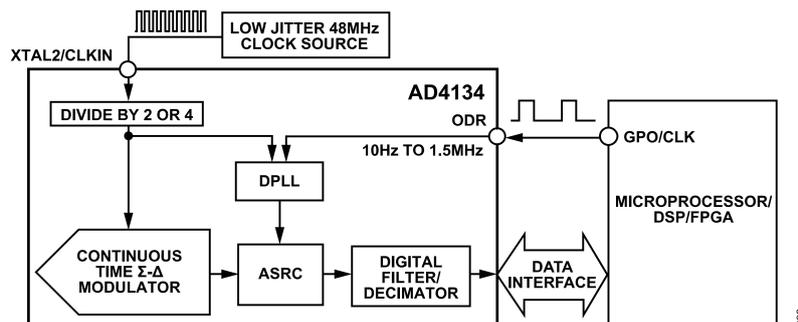


図 75. ASRC スレーブ・モードの機能図

回路説明

デジタル・フィルタ

AD4134では、sinc3、sinc6、および2つの広帯域フィルタの4種類のデジタル・フィルタが使用できます。sinc3のフィルタ・タイプには、50Hz/60Hz除去の追加設定があります(表19を参照)。SPI制御モードの場合、チャンネルごとにこれらのフィルタを選択できます。ピン制御モードの場合、すべてのチャンネルに対して1つのフィルタのみを選択できます。

使用可能なデジタル・フィルタは、表19に記載されている範囲内の任意の出力データ・レートで動作できるため、目的の消費電力モードや分解能に対し最適な入力帯域幅と変換速度を選択できます。

表 19. デジタル・フィルタのオプション

Filter Name	-3 dB Bandwidth (Hz)	ODR Range	Description
Sinc3 Filter	$0.2617 \times \text{ODR}$	0.01 kSPS to 1496 kSPS	Fast settling
Sinc3 Filter with 50 Hz/60 Hz Rejection	$0.2753 \times \text{ODR}$	0.01 kSPS to 1496 kSPS	Fast settling with simultaneous 50 Hz and 60 Hz rejection when ODR = 50 SPS
Sinc6 Filter	$0.1861 \times \text{ODR}$	2.5 kSPS to 1.496 MSPS	Balancing settling with rejection
Wideband 0.433 × ODR Filter	$0.433 \times \text{ODR}$	2.5 kSPS to 374 kSPS	Wideband low ripple filter
Wideband 0.10825 × ODR Filter (Available Only in SPI Control Mode)	$0.108 \times \text{ODR}$	2.5 kSPS to 374 kSPS	Wideband low ripple filter with lower bandwidth

sinc フィルタ

AD4134のsincフィルタは、ASRCからの出力サンプルに対する平均化動作と同等のsinc関数に似た応答を生成するために、カスケード・インテグレータ・コム(CIC)回路を採用しています。sincフィルタにより低遅延信号パスが可能となるため、時間領域分析、DC入力の測定、および制御ループなどのアプリケーションに役立ちます。AD4134では2種類のsincフィルタを使用できます。sinc6フィルタはノイズ除去と遅延のバランスがとれていますが、sinc3フィルタは遅延パスが最小で、最低10SPSまでの広いODR範囲をサポートします。

sinc6フィルタの-3dB帯域幅は $0.1861 \times \text{ODR}$ 、sinc3フィルタの-3dB帯域幅は $0.2617 \times \text{ODR}$ です。ノイズ性能と分解能のセクションには、電力モードとODR値の全体にわたるsincフィルタのノイズ性能が記載されています。

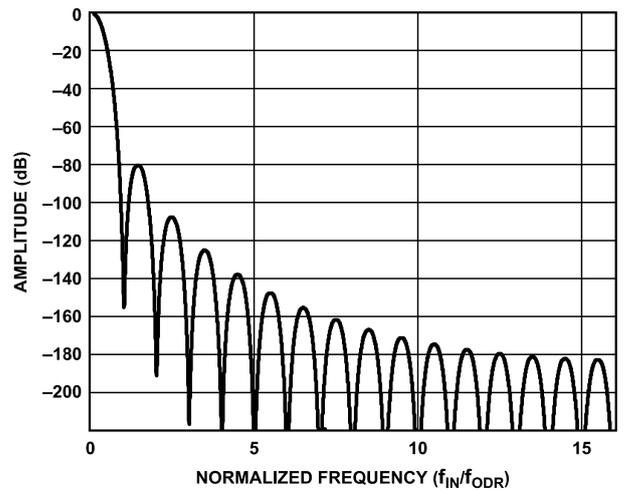


図 76. sinc6 フィルタの周波数応答

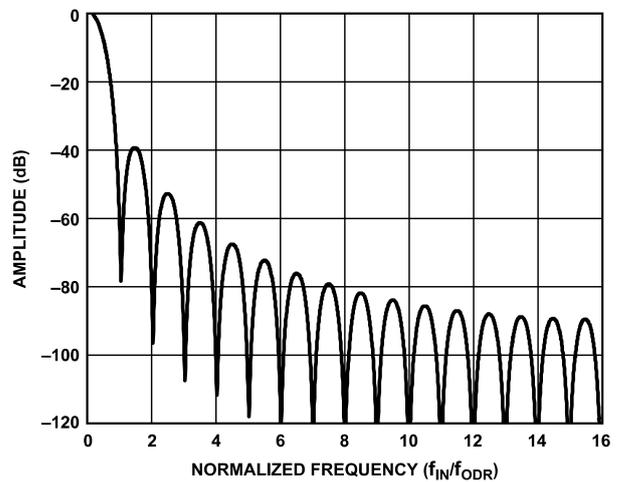


図 77. sinc3 フィルタの周波数応答

sinc6フィルタのセトリング時間は $6.5/\text{ODR}$ です。ODRが374kSPSの場合、データの完全なセトリングに要する時間は $17.37\mu\text{s}$ です。

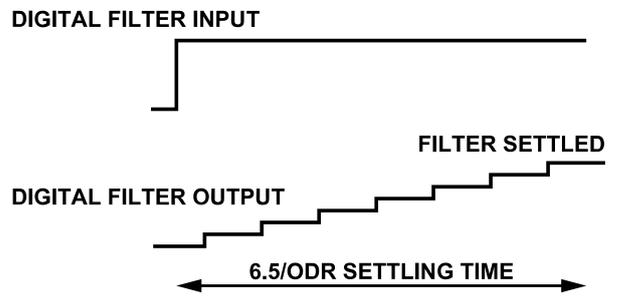


図 78. sinc6 フィルタのステップ応答

sinc3フィルタのセトリング時間は $3.5/\text{ODR}$ サイクルです。したがって、ODRが374kSPSの場合、データの完全なセトリングに要する時間は $9.35\mu\text{s}$ です。

回路説明

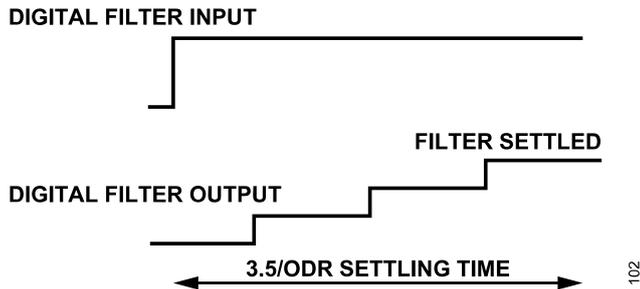


図 79. sinc3 フィルタのステップ応答

50Hz と 60Hz の同時除去

sinc フィルタは ODR の整数倍付近の周波数で信号を除去するため、目的の入力帯域よりも高い特定の周波数での不要な妨害を除去するのに使用できます。sinc3 フィルタは 10SPS までの ODR をサポートするため、sinc3 フィルタの一般的なアプリケーションとしては、50Hz または 60Hz のライン周波数を除去しながら、DC から低帯域幅までの測定を行うものになります。

図 80 に、出力データ・レートを 50SPS に設定した場合の sinc3 フィルタの周波数応答を示します。sinc3 フィルタは、50Hz ± 1Hz で 102dB の除去を行います。

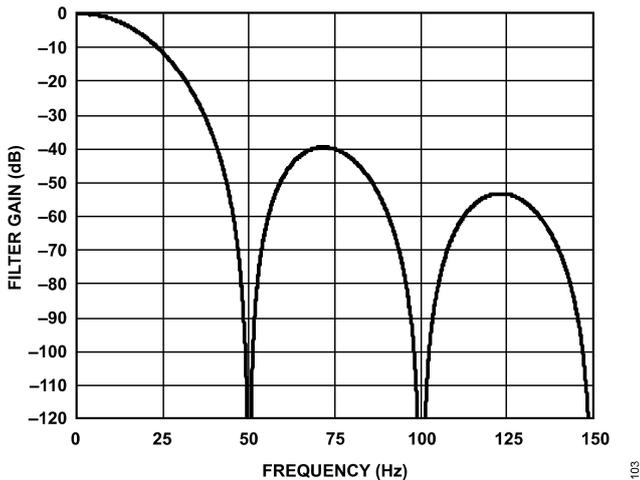


図 80. sinc3 および sinc6 フィルタの応答 (ODR = 50SPS)

図 81 に、出力データ・レートを 60SPS に設定した場合の sinc3 フィルタの周波数応答を示します。sinc3 フィルタは、60Hz ± 1Hz で 106dB の除去を行います。

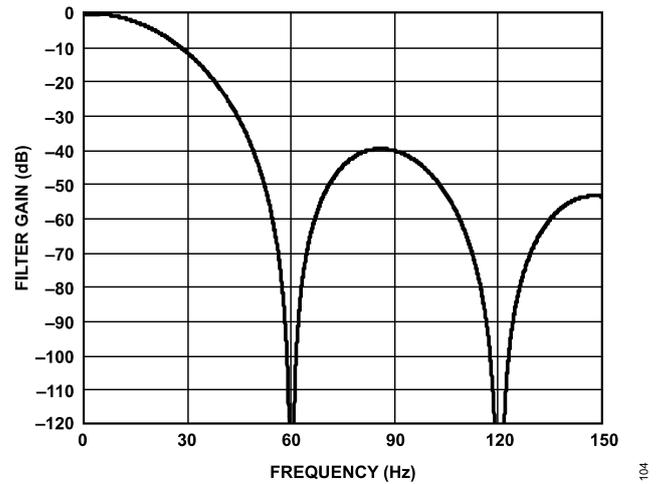


図 81. sinc3 および sinc6 フィルタの応答 (ODR = 60SPS)

出力データ・レートが 10SPS の場合、50Hz と 60Hz の同時除去ができます。sinc3 フィルタは、50Hz ± 1Hz で 102dB、60Hz ± 1Hz で 105dB の除去を行います。

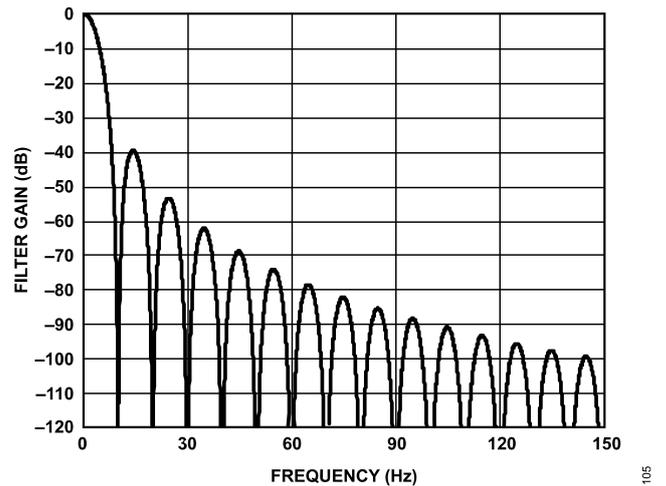


図 82. sinc3 および sinc6 フィルタの応答 (ODR = 10SPS)

50Hz と 60Hz の同時除去は、sinc3 と 50Hz/60Hz の除去フィルタ・パスを選択することでも実現できます。sinc3 フィルタで 50Hz にノッチを配置した場合、50Hz/60Hz 除去のポスト・フィルタによって 60Hz に 1 次ノッチが配置されます。出力データ・レートは 50SPS です。図 83 に、sinc3 と 50Hz/60Hz の除去フィルタ・パスの周波数応答を示します。50Hz および 60Hz (±1Hz) での除去は 67dB を超えています。

回路説明

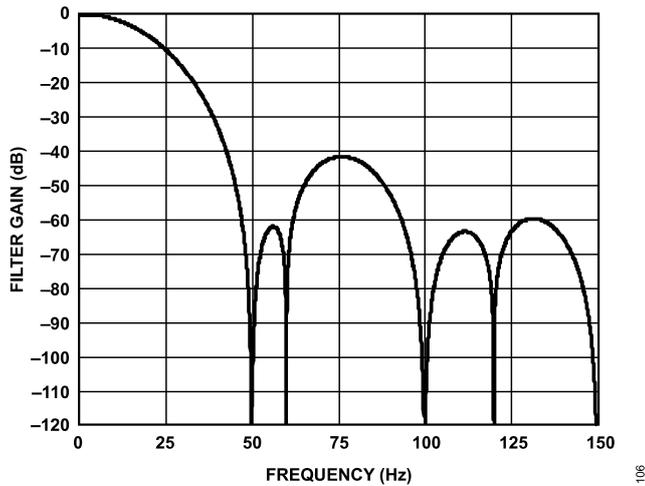


図 83. Sinc3 および 50Hz/60Hz 除去フィルタの応答 (ODR = 50SPS)

広帯域低リップル・フィルタ

広帯域低リップル・フィルタは、低いリップル通過帯域、狭い遷移帯域、高い阻止帯域除去を提供します。フィルタ応答は理想的なブリック・ウォール・フィルタに近く、周波数領域の測定と分析に最適です。

AD4134 では、広帯域低リップル・フィルタで2つのオプションを使用できます。一方のフィルタには、 $0.433 \times \text{ODR}$ に -3dB コーナがあり、もう一方のフィルタには、 $0.10825 \times \text{ODR}$ に -3dB コーナがあります。

広帯域低リップル・フィルタのどちらのオプションも、通過帯域のリップルは $32\mu\text{dB}$ で、阻止帯域の減衰は -110dB です。ノイズ性能と分解能については、ノイズ性能と分解能のセクションを参照してください。

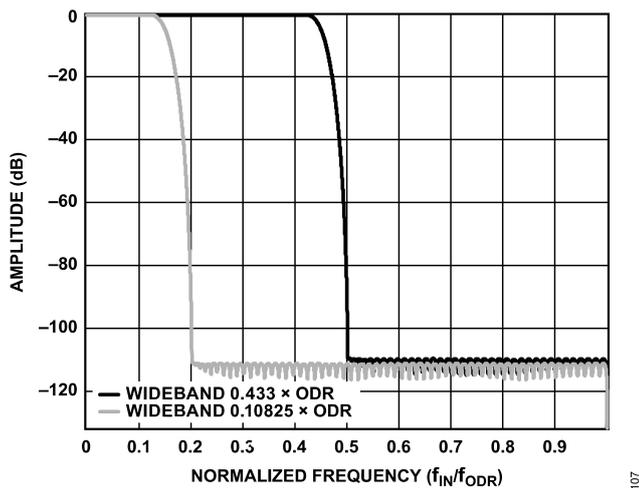


図 84. 低リップル広帯域 $0.433 \times \text{ODR}$ フィルタと広帯域 $0.10825 \times \text{ODR}$ フィルタの周波数応答

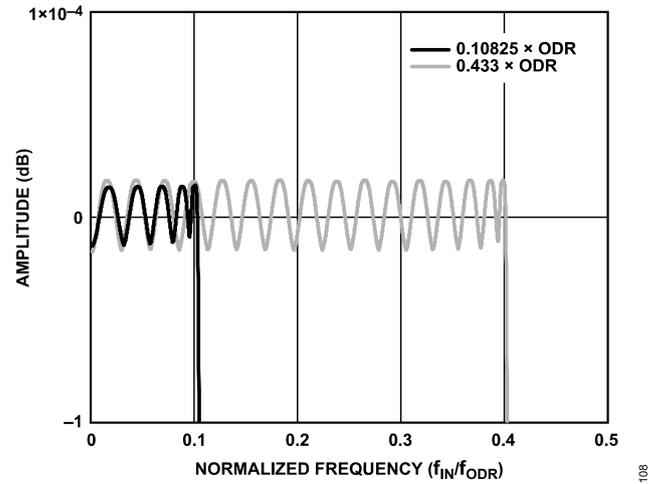


図 85. 低リップル広帯域 $0.433 \times \text{ODR}$ フィルタと広帯域 $0.10825 \times \text{ODR}$ フィルタの通過帯域リップル

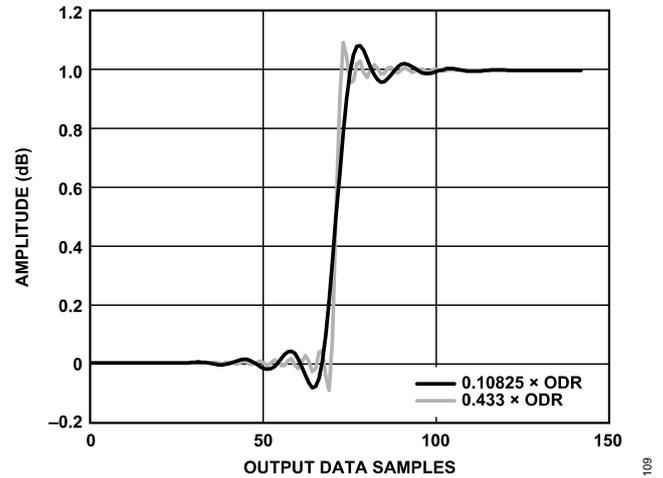


図 86. 低リップル広帯域 $0.433 \times \text{ODR}$ フィルタと広帯域 $0.10825 \times \text{ODR}$ フィルタのステップ応答

クイック・スタート・ガイド

AD4134 は、AC および DC 信号処理のマルチチャンネル・プラットフォーム測定ソリューションを提供します。柔軟なフィルタ処理により、チャンネルごとに AC 信号および DC 信号を同時サンプリングするように AD4134 を設定できます。ASRC により、測定の入力帯域幅を制御する出力データ・レートを細かく設定できます。この機能とデジタル・フィルタ処理の柔軟性を組み合わせることで、適切なアプリケーション設定を選択し、遅延、帯域幅、性能の目標値を実現できます。AD4134 をプラットフォームの高分解能 ADC として選択可能にする主な機能は、以下のとおりです。

- ▶ 4つの完全差動アナログ入力
- ▶ 最大 391.5kHz の入力信号に対応した、高速スループット同時サンプリング ADC
- ▶ ADC の消費電流と入力帯域幅をスケールして最適な測定効率を実現するための 2つの選択可能な消費電力モード（高性能および低消費電力）

- ▶ AC 測定用の広帯域低リップルのデジタル・フィルタ。
- ▶ 高精度の低周波数、低遅延測定用の高速 sinc3 フィルタ。
- ▶ 2つの ASRC モード（マスタ・モードとスレーブ・モード）によるデジタル・インターフェースの柔軟性。
- ▶ より高いレベルのエイリアス除去を選択可能にする 2つのアンチエイリアシング・モード。
- ▶ SPI またはピン・ストラップの設定オプションの選択。
- ▶ チャンネルごとのオフセット・レジスタ、ゲイン・レジスタ、位相キャリブレーション・レジスタ。
- ▶ 入力のコモンモード電圧を設定するコモンモード電圧出力バッファ。
- ▶ 単電源動作用のオンボード 1.8V LDO レギュレータ

AD4134 を使用するための一般的な接続と最低条件については、[図 87](#) と [表 20](#) を参照してください。

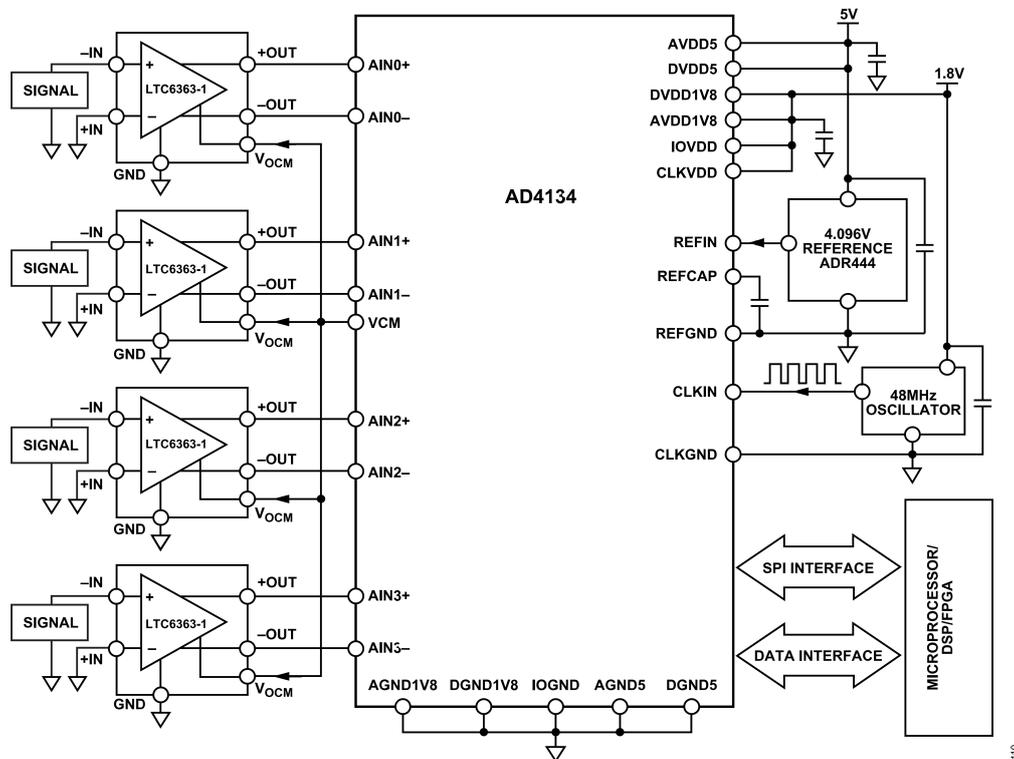


図 87. 代表的な接続図

表 20. AD4134 の動作条件

Requirement	Description
Power Supplies	5 V AVDD5 and DVDD5 supply, 1.8 V - IOVDD, CLKVDD, AVDD1V8, and DVDD1V8 (LT8606, LT8607)
External Reference	4.096 V or 5 V (ADR444/ADR445)
Input Stage	AD8421, ADA4075-2, ADA4945-1, LTC6363, LTC6373
External Clock	Crystal or a CMOS/LVDS clock for the ADC modulator sampling
Field Programmable Gate Array (FPGA) or Digital Signal Processor (DSP)	1.65 V to 1.95 V digital I/O level

クイック・スタート・ガイド

スタンドアロン・モード

保有するデジタル・ホストには SPI がなく、102.4kHz の-3dB 入力帯域幅が必要であるとします。また、堅牢なデータ・インターフェースを備えた平坦な通過帯域応答も必要としています。その場合に推奨される方式は、ピン制御のマスタ・モードです。0.433 × ODR FIR フィルタを使用すると、平坦な通過帯域で 102.4kHz の入力帯域幅を実現できます。必要な最小の ODR は、入力帯域幅 = 0.433 × ODR として計算できます。したがって、必要な最小の ODR は 237kSPS です。表 28 から、最も近い 256kSPS の ODR 値を設定できます。

インターフェースを堅牢なものにするには、巡回冗長検査 (CRC) を使用する必要があります。したがって、フレーム・サイズは 24 データ・ビット + 8 ビット・ヘッダとなり、6 ビットの CRC と 2 ビットのステータスが含まれます。

必要な DCLK 値は(フレーム・サイズ + 6) × ODR (9.7MHz) を上回ります。表 30 から、最も近い DCLK オプションは 12MHz です。

構成する設定は、ピン制御モード制御、ASRC マスタ、高性能モード、ゲーテッド DCLK 出力、32 ビット・フレーム、256kSPS ODR、12MHz DCLK、0.433 × ODR フィルタ、外部 LDO レギュレータ、4 チャンネル出力です。

これらの設定については、[デバイスの設定](#)のセクションを参照してください。

表 21. 設定 1 ハードウェア設定

Pin Function	Supply/Level	Comments
AVDD5, DVDD5	5 V	Supply
IOVDD, LDOIN, AVDD1V8, DVDD1V8, CLKVDD	1.8 V	Supply
PI \bar{N} /SPI	Low	Pin control
CLKSEL	High	Crystal input
MODE	High	ASRC master
DCLKMODE	Low	Gated DCLK
DCLKIO	High	DCLK output
FILTER1, FILTER0	Low, low	0.433 × ODR filter
FORMAT1, FORMAT0	High, low	4-channel output
FRAME1, FRAME0	High, high	32-bit output
PWRMODE	High	High performance
DCLKRATE2, DCLKRATE1, DCLKRATE0	Low, low, high	12 MHz DCLK
DEC3, DEC2, DEC1, DEC0	Low, low, high, high	256 kSPS ODR

低遅延の同期データ・アキュジション

入力信号帯域幅が 250kHz であり、遅延を最小に抑えた 24 ビット出力が必要であるとします。また、8 つのチャンネルがあり、チャンネル間の緊密な同期を必要としています。

この場合、推奨される方式は、SPI 制御スレーブ・モードで 2 つのデバイスを使用することです。外部 ODR 信号は、両方のデバイスを同時に発行されるデジタル・インターフェース・リセットで同期できます。詳細は、[マルチデバイスの同期](#)のセクションを参照してください。

遅延を最小とした 250kHz の入力帯域幅は、sinc3 フィルタによって実現できます。必要な最小の ODR は、入力帯域幅 = 0.2617 × ODR として計算できます。したがって、必要な ODR は 956kSPS です。

必要な外部の DCLK 値は(フレーム・サイズ + 6) × ODR (29MHz) を上回ります。表 3 に示されているタイミング仕様に従って、DCLK および ODR 値を設定します。

構成する設定は、SPI 制御モード、ASRC スレーブ、高性能モード、ゲーテッド DCLK 入力、24 ビット・データ出力、956kSPS ODR、29MHz DCLK、sinc3 フィルタ、外部 LDO レギュレータ、4 チャンネル出力です。

これらの設定については、[デバイスの設定](#)のセクションを参照してください。パワーオン後、DEVICE_STATUS レジスタを読み出してハードウェア構成を確認します。

表 22. 設定 2 ハードウェア設定

Pin Function	Supply/Level	Comments
AVDD5, DVDD5	5 V	Supply
IOVDD, CLKVDD, AVDD1V8, LDOIN, DVDD1V8	1.8 V	Supply
PI \bar{N} /SPI	High	SPI control mode
CLKSEL	High	Crystal input
MODE	Low	ASRC slave
DCLKMODE	Low	Gated DCLK
DCLKIO	Low	DCLK input

表 23 のレジスタを記載されている値に設定し、他のすべてのレジスタをデフォルト値のままにします。

表 23. ソフトウェア設定

SPI Register	Value	Comments
DATA_PACKET_CONFIG	0x20	24-bit frame
DEVICE_CONFIG	0x01	High performance mode
CHAN_DIG_FILTER_SEL	0xAA	Sinc3 filter
DIGITAL_INTERFACE_CONFIG	0x03	4-channel parallel

デバイス制御

AD4134 は、ADC 変換からのデータ読出し用とデバイス機能の制御用に独立したバスを備えています。

デバイスは、以下の 2 つの制御モードのいずれかで設定できます。

- ▶ ピン制御モード：ピン・ストラップ・デジタル・ロジック入力（設定オプションの 1 つのサブセットを使用可能）
- ▶ SPI 制御モード：3 線式または 4 線式 SPI（すべての設定オプションを使用可能）

パワーアップ時に、 $\overline{\text{PIN}}/\text{SPI}$ ピンの状態によって使用するモードが決まります。SPI 制御モードでは、AD4134 の内部診断機能へのアクセスを含む、すべての設定機能が使用できます。ピン制御モードは、設定が容易である代わりに、選択可能な機能は 1 つのサブセットです。 $\overline{\text{PIN}}/\text{SPI}$ ピンに印加する電圧レベルによって動作モードを選択できます。

SPI またはピン制御モードが正常に動作するためには、 $\overline{\text{PIN}}/\text{SPI}$ ピンに加えて、4 つの追加ピンを設定する必要があります。表 24 に、ピン制御モードと SPI 制御モードの動作に共通のピン制御機能のリストを示します。表 24 に示されているピンは、AD4134 がパワーオンの場合にのみサンプリングされます。

表 24. 共通制御ピン機能の要約

Pin Mnemonic	Pin Function
$\overline{\text{PIN}}/\text{SPI}$ MODE	Controls the mode selection, pin or SPI. ASRC mode of operation selection, master or slave mode operation.
CLKSEL	Input clock source selection, crystal or CMOS.
DEC0/DCLKIO	DCLK direction selection.
DEC1/DCLKMODE	Gated or Free Running DCLK selection.

ピン制御モード

ピン制御モードでは、SPI 通信インターフェースが不要になります。既知の設定が 1 つだけ必要な場合や限定された再設定のみが必要な場合は、このモードを使用してデジタル・ホストへのルーティングを必要とする信号の数を削減できます。ピン制御モードは、設定調整を最小限にすることが必要な、デジタル絶縁されたアプリケーションで便利です。ピン制御モードは PCB 設計の負担軽減に役立ち、デジタル・ラインのルーティングを削減します。

ピン制御は、コア機能のサブセットを提供し、パワーアップまたはリセット後に既知の動作状態に確実に戻します。ピン制御モードで選択可能なオプションには、以下があります。

- ▶ デジタル・フィルタ
- ▶ フレーム・サイズ
- ▶ データ・インターフェース・フォーマット
- ▶ デシメーション・レシオと DCLK 周波数
- ▶ 高性能モードまたは低消費電力モード

図 88 に、ピン設定可能な機能を示します。表 24 に記載されているピンを除くすべてのピンは動的に変更できます。

詳細は、図 89 を参照してください。限られた診断セットが利用可能で、水晶発振器オプションを選択している場合にのみ、CLKOUT はピン制御モードにおいてデフォルトでイネーブルになります。

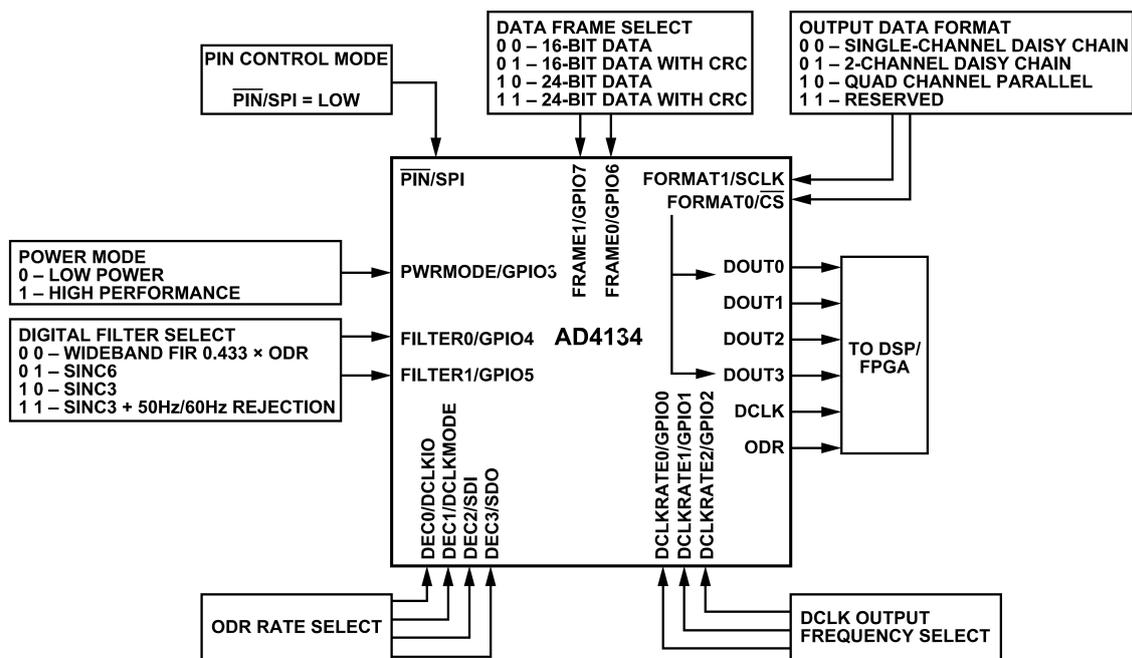


図 88. ピン制御モードで設定可能な機能

064

デバイス制御

SPI 制御モード

AD4134 には、QSPI™、MICROWIRE®、DSP と互換性のある 4 線式が SPI あります。この SPI を使用して、ADC レジスタ・マップにアクセスし、AD4134 を制御できます。

SPI 制御モードを使用するには、AD4134 の $\overline{\text{PIN}}/\text{SPI}$ ピンをロジック・ハイに設定する必要があります。SPI 制御は 16 ビット、4 線式インターフェースとして動作し、読書きアクセスが可能です。AD4134 の SPI シリアル制御インターフェースは、AD4134 を制御および監視するための独立したバスです。データ・インターフェースへのダイレクト・リンクはありません。ODR と DCLK のタイミングは、SPI 制御インターフェースのタイミングとは直接関係していません。詳細は、SPI のセクションを参照してください。

SPI 制御モードでは、ピン制御モードよりも多くの機能が設定可能で、デバイスを完全に使用できます。SPI 制御モードで使用できる追加機能は以下のとおりです。

- ▶ 診断機能の完全なスイート
- ▶ マスタ・モードでの ODR 選択と DCLK 周波数選択に関するその他のオプション

- ▶ XCLKOUT のディスエーブル
- ▶ 広帯域デジタル・フィルタ FIR 0.108 × ODR のオプション
- ▶ デジタル・インターフェースのリセット
- ▶ プログラマブルなゲイン、オフセット、およびチャンネル遅延
- ▶ スリープ・モード
- ▶ 2 チャンネルの平均化
- ▶ 追加の固有エイリアス・モード (AA2)
- ▶ プログラマブルな ODR、ODR/2、ODR/4、ODR/8
- ▶ VCM ピンの出力電圧が設定可能
- ▶ チャンネルごとの位相遅延

多機能ピン

AD4134 には多機能ピンがあり、これらのピンの機能は選択した制御モードに応じて変化します。表 25 に、各動作モードでの多機能ピンの機能の概要を示します。

表 25. 多機能ピン機能の要約

Pin Mnemonic	Pin Function in Pin Control Mode	Pin Function in SPI Control Mode
FORMAT0/CS	ADC output channel format selection	SPI
FORMAT1/SCLK		
DEC3/SDO DEC2/SDI	ASRC master mode decimation ratio selection	
DEC1/DCLKMODE	ASRC master mode: decimation ratio selection ASRC slave mode: DCLK mode selection (free running or gated)	DCLK mode selection (free running or gated)
DEC0/DCLKIO	ASRC master mode: decimation ratio selection, DCLK is output ASRC slave mode: tie pin low to set it as input	DCLK I/O direction selection (input or output)
DCLKRATE0/GPIO0 DCLKRATE1/GPIO1 DCLKRATE2/GPIO2	DCLK output frequency selection in ASRC master mode	General-purpose I/O
PWRMODE/GPIO3	Device power mode selection (high performance or low power mode)	
FILTER0/GPIO4 FILTER1/GPIO5	Digital filter type selection	
FRAME0/GPIO6 FRAME1/GPIO7	Output data frame selection	

デバイスの設定

出力データ・レートとクロックの設定

出力データ・レート

AD4134 は、10SPS～1496kSPS の任意の出力データ・レートに設定できます。MODE ピンでの設定に応じて、ODR は AD4134 で生成するか、外部から供給できます。AD4134 が ODR を生成する場合のモードはマスタ・モードと呼ばれ、ODR が外部から供給される場合のモードはスレーブ・モードと呼ばれます。

表 26. モード・ピン設定

MODE Pin	ASRC Mode of Operation	ODR Pin Direction
0	Slave	Input
1	Master	Output

ASRC スレーブ・モード

ASRC スレーブ・モードでは、ODR は ODR ピンに接続された外部の連続パルス信号によって制御され、ODR はパルス周波数に

表 27. スレーブ・モードでの ODR の切り換え時間

ODR Range	FIR	Sinc6	Sinc3
750 kHz to 1.46 MHz	Not applicable	5.5 ms + 512/ODR	5.5 ms + 512/ODR
374 kHz to 750 kHz	Not applicable	11 ms + 512/ODR	11 ms + 512/ODR
365 kHz to 374 kHz	ODR range not supported in slave mode	22 ms + 512/ODR	22 ms + 512/ODR
2.5 kHz to 365 kHz	22 ms + 512/ODR	22 ms + 512/ODR	22 ms + 512/ODR
1.46 kHz to 2.5 kHz	Not applicable	22 ms + 512/ODR	22 ms + 512/ODR
732 SPS to 1.46 kHz	Not applicable	Not applicable	44 ms + 512/ODR
366 SPS to 732 SPS	Not applicable	Not applicable	88 ms + 512/ODR
183 SPS to 366 SPS	Not applicable	Not applicable	6 sec + 512/ODR
91.5 SPS to 183 SPS	Not applicable	Not applicable	12 sec + 512/ODR
45.7 SPS to 91.5 SPS	Not applicable	Not applicable	24 sec + 512/ODR
22.8 SPS to 45.7 SPS	Not applicable	Not applicable	48 sec + 512/ODR
11.4 SPS to 22.8 SPS	Not applicable	Not applicable	96 sec + 512/ODR
10 SPS to 11.4 SPS	Not applicable	Not applicable	192 sec + 512/ODR

等しくなります。この機能により、外部パルスの周波数を動的に更新して ODR 値を柔軟に変更できますが、切り換え時間およびフィルタのセトリング時間の間にデータが失われます。切り換え時間は、ODR を追跡する PLL のロック解除とロックによって支配されます。ODR 値が 10kSPS を超える場合、ODR 値を 500SPS 未満に変更しても、PLL がロック解除して再びロックされることはなく、シームレスなデータが得られます。スレーブ・モードの様々なフィルタでの ODR 範囲の切り換え時間については、表 27 を参照してください。

例 1 として、デジタル FIR フィルタの使用時に ODR 値を 300kSPS から 2500SPS に変更すると、切り換え時間は $22\text{ms} + 512/2500 = 226.8\text{ms}$ になります。

例 2 として、sinc3 デジタル・フィルタの使用時に ODR 値を 1MSPS から 500kSPS に変更すると、切り換え時間は $11\text{ms} + 512/500,000 = 12\text{ms}$ になります。

サポートされる ODR 範囲は、電力モードと選択するデジタル・フィルタのタイプによって異なります（詳細は、表 19 を参照）。

デバイスの設定

ASRC マスタ・モード

ASRC マスタ・モードでは、AD4134 デバイスはプログラマブルなデシメーション・レシオで出力データを生成します。ピン制御モードと SPI 制御モードの両方でデシメーション・レシオを設定して、目的の出力データ・レートを実現できます。

ピン制御モードでは、予め規定されたピン制御オプションに従ってデシメーション・レートが固定されます。DEC0/DCLKIO ピンから DEC3/SDO ピンまでの設定により、16 のデシメーション・レシオ・オプションを利用できます。最終的な ODR 値は、デジタル・フィルタのタイプにも依存します。表 28 に、マスタ・モードで使用可能な ODR 値を要約しています。

SPI 制御モードでは、ODR は表 19 に記載されている全範囲で使用できます。ODR は、ODR_VAL_INT のビット[23:0]ビットおよび ODR_VAL_FLT のビット[31:0]ビットを介して、0.01SPS の分解能で設定できます。

例 1 として、ODR が 187.23kSPS の場合、次式でデシメーション・レシオを計算します。

$$\text{Decimation Rate} = 24 \text{ MHz}/187.23 \text{ kHz} =$$

$$24 \text{ MHz}/187.23 \text{ kHz} = 128.1846 = 0x0000802F4103E5$$

ODR_VAL_INT のビット[23:0]を 0x80 に設定。

ODR_VAL_FLT のビット[31:0]を 0x2F4103E5 に設定。

例 2 では、ODR が 375kSPS になるように、次式でデシメーション・レシオを計算します。

$$\text{Decimation Rate} = 24 \text{ MHz}/375 \text{ kHz} = 64 = 0x00004000000000$$

ODR_VAL_INT のビット[23:0]を 0x000040 に設定。

ODR_VAL_FLT のビット[31:0]を 0x00000000 に設定。

ODR_VAL_INT のビット[23:0]および ODR_VAL_FLT のビット[31:0]を変更するたびに、TRANSFER_REGISTER の MASTER_SLAVE_TX_BIT をセットして、ODR を新しい値に更新する必要があります。

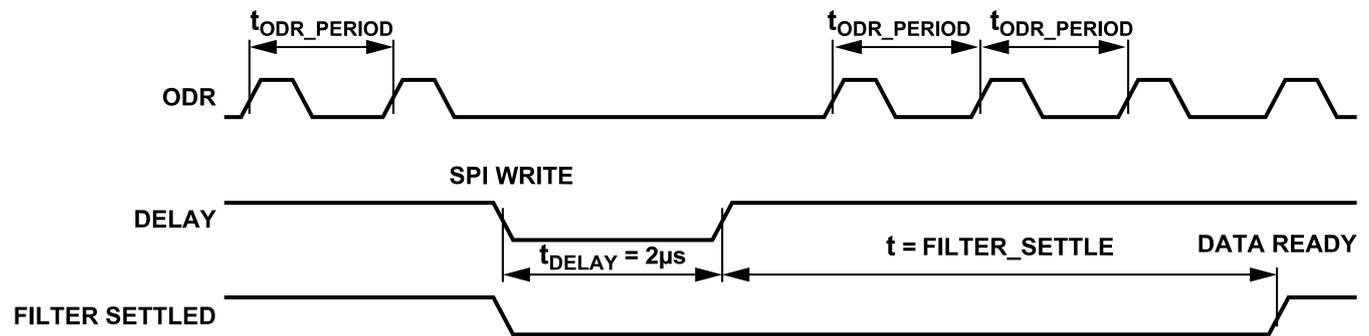
ODR 値は自由に変更できますが、約 2μs のデータ損失時間にフィルタのセトリング時間を加えた時間が必要になります。この 2μs の時間 (t_{DELAY}) は、ODR 範囲全体で一定です。詳細は、図 89 を参照してください。

また、SPI 制御モードでは、ODR_RATE_SEL_CHx ビットで、4 つの ADC チャンネルのそれぞれに異なる ODR レートを設定できます。ODR オプションは、ODR 周波数の 1、1/2、1/4、または 1/8 に制限されています。

表 28. ピン制御マスタ・モードでの出力データ・レートの設定

DEC3	DEC2	DEC1	DEC0	Wideband 0.433 × ODR Filter (kSPS)	Sinc6 Filter (kSPS)	Sinc3 Filter (kSPS)
0	0	0	0	374	1496	1496
0	0	0	1	325	1250	1000
0	0	1	0	285	1000	750
0	0	1	1	256	750	375
0	1	0	0	235	500	187.5
0	1	0	1	200	375	128
0	1	1	0	175	325	64
0	1	1	1	128	256	32
1	0	0	0	100	175	16
1	0	0	1	80	128	5
1	0	1	0	64	80	2.5
1	0	1	1	32	64	1.25
1	1	0	0	16	32	0.625
1	1	0	1	10	10	0.06
1	1	1	0	5	5	0.05
1	1	1	1	2.5	2.5	0.01

デバイスの設定



085

図 89. マスタ・モードでの ODR の切り換え

デバイスの設定

データ・クロック (DCLK)

データ・クロックは、ODR ピンの方向に応じて、入力または出力のいずれかになります。マスタ・モードで ODR を出力とする場合、DEC0/DCLKIO ピンをハイに設定して、DCLK を出力として設定します。スレーブ・モードで ODR を入力とする場合、DEC0/DCLKIO ピンをローに設定して、DCLK を入力として設定します。データ・クロックは、DEC1/DCLKMODE ピンで制御することにより、ゲーテッド・モードまたは自走モードで動作できます。

ピン制御モードで動作していて、ASRC をマスタ・モードに設定した場合、DCLK の動作はゲーテッド出力のみに制限されず。ピン制御モードで動作していて、ASRC をスレーブ・モードに設定した場合、または SPI 制御モードで動作している場合、表 29 に示すように、DCLK モードの動作は DEC1/DCLKMODE ピンと DEC0/DCLKIO ピンによって制御されます。

マスタ・モードでは、DCLK ピンは出力として構成されます。DCLK 周波数は AD4134 デバイスのマスタ・クロックから生成され、ピン制御モードでは DCLKRATE0/GPIO0 ピンから DCLKRATE2/GPIO2 ピンまで、または SPI 制御モードではレジスタ 0x11 の DCLK_FREQ_SEL (ビット[3:0]) を使用して設定できます。SPI 制御モードでは、DCLK 出力周波数オプションは 16 あり、ピン制御モードでは 8 つあります。表 30 に、すべての DCLK 出力周波数オプションを示します。

スレーブ・モードでは、DCLK ピンは外部信号です。

表 29. ピン制御モードまたは SPI 制御モードでの DCLK の動作モード

DEC1/DCLKMODE	DEC0/DCLKIO	MODE	DCLK Direction	DCLK Mode
0	0	0	Input	Gated
0	0	1	Reserved	Reserved
0	1	0	Reserved	Reserved
0	1	1	Output	Gated
1	0	0	Input	Free running
1	0	1	Reserved	Reserved
1	1	0	Reserved	Reserved
1	1	1	Output	Free running

表 30. DCLK 出力周波数の設定

DCLKRATE2 or Register 0x11, Bit 3	DCLKRATE1 or Register 0x11, Bit 2	DCLKRATE0 or Register 0x11, Bit 1	Register 0x11, Bit 0	DCLK Output Frequency Options
0	0	0	0	48 MHz (SPI/pin control mode default)
0	0	0	1	24 MHz ¹
0	0	1	0	12 MHz
0	0	1	1	6 MHz ¹
0	1	0	0	3 MHz
0	1	0	1	1.5 MHz ¹
0	1	1	0	750 kHz
0	1	1	1	375 kHz ¹
1	0	0	0	187.5 kHz
1	0	0	1	93.75 kHz ¹
1	0	1	0	46.875 kHz
1	0	1	1	234.375 kHz ¹
1	1	0	0	11.71875 kHz
1	1	0	1	5.859375 kHz ¹
1	1	1	0	2.929688 kHz
1	1	1	1	1.464844 kHz ¹

¹ ピン制御モードでは使用できません。

デバイスの設定

デジタル・フィルタの設定

ピン制御モードでは、FILTER1/GPIO5 ピンと FILTER0/GPIO4 ピンの設定により、4 つのデジタル・フィルタ・タイプを使用できます。4 つの ADC チャンネルはすべて同じデジタル・フィルタ・タイプを共有します。

追加のデジタル・フィルタ・タイプの 1 つである広帯域 0.10825 × ODR フィルタは、SPI 制御モードでのみ使用できます。SPI 制御モードでは、デジタル・フィルタ・タイプは DIGFILTER_SEL_CHx

ビットによって ADC チャンネルごとに個別に設定可能で、追加のデジタル・フィルタ・タイプ（広帯域 0.10825 × ODR フィルタまたは広帯域 0.433 × ODR フィルタ）は WB_FILTER_SEL_CHx ビット（x は、0~3 のチャンネル番号）によって設定できます。表 31 に、すべてのデジタル・フィルタ・オプションを示します。

デジタル・フィルタを動的に設定するには、まずデジタル・フィルタを変更してから出力データ・レートを変更して、正常動作を確保します。

表 31. デジタル・フィルタの設定

FILTER1 or DIGFILTER_SEL_CHx, Bit 1	FILTER0 or DIGFILTER_SEL_CHx, Bit 0	WB_FILTER_SEL_CHx, Bit 0	Digital Filter Type
0	0	0	Wideband 0.433 × ODR filter
0	0	1	Wideband 0.10825 × ODR filter ¹
0	1	X ²	Sinc6
1	0	X ²	Sinc3
1	1	X ²	Sinc3 with additional 60 Hz rejection

¹ SPI 制御モードでのみ利用できます。

² X は、ドント・ケアを意味します。

デバイスの設定

データ・インターフェースの設定

データ・インターフェースは、フォーマット、フレーム、および平均化オプションの設定で構成されています。

出力チャンネルのフォーマット

データ・インターフェースのフォーマットは、FORMAT0/ $\overline{\text{CS}}$ ピンと FORMAT1/SCLK ピンを設定することによって指定します。FORMAT0/ $\overline{\text{CS}}$ ピンと FORMAT1/SCLK ピンのロジック状態がパワーアップ時に読み出され、ADC 変換が出力されるデータ・ライン (DOUTx) の数が決定されます。

FORMAT0/ $\overline{\text{CS}}$ ピンと FORMAT1/SCLK ピンは AD4134 のパワーアップ時に読み出され、デバイスはこの出力設定を維持するため、この機能は常に配線する必要があり、動的に変更することはできません。図 90 と図 91 に、AD4134 のデジタル出力ピンのフォーマット設定を示します。

次式で、特定のデータ・インターフェース構成に最低限必要な DCLK レートを計算します。

$$DCLK \text{ (Minimum)} = \text{Output Data Rate} \times \text{Channels per DOUTx} \times (\text{Frame Size} + 6)$$

例えば、データ・サイズ=24 で、6 ビット CRC が 1 つの DOUTx ラインで有効化されている場合、単一チャンネルのデジタイズチェーン接続では、以下のようになります。

$$DCLK \text{ (Minimum)} = 374 \text{ kSPS} \times 4 \text{ Channels per DOUTx} \times (24 + 8 + 6) = 44.88 \text{ Mbps}$$

AD4134 は、4 つの出力ピンを使用して 4 つの ADC チャンネルからデータを並列に出力するか、データをシリアル化してより少ないピンを使用して出力できます。出力を並列化すると、与えられた DCLK 周波数でより高い出力データ・レートが可能にな

ります。データをシリアル化すると、使用する I/O が少なくなることに加え、複数の AD4134 デバイスからのデータをデジタイズチェーン接続することができます。

出力チャンネルのフォーマットは、ピン制御モードでの FORMAT0/ピンと FORMAT1/SCLK ピン、および SPI 制御モードでの DIGITAL_INTERFACE_CONFIG レジスタのフォーマット・ビットによって制御します。

表 32 に、すべての出力チャンネルのフォーマット・オプションを示します。

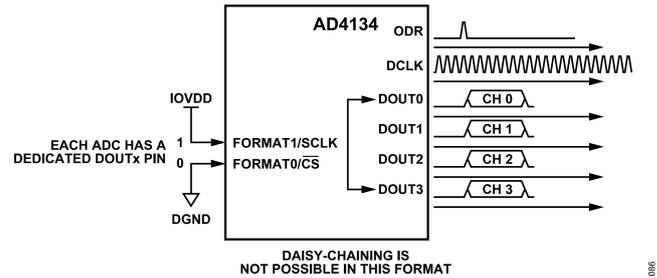


図 90. FORMAT1、FORMAT0 = 10、4 つのデータ出力ピン

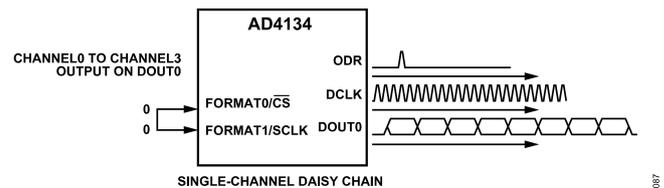


図 91. FORMAT1、FORMAT0 = 00、1 つのデータ出力ピン

表 32. 出力チャンネル・フォーマットの設定

FORMAT1/SCLK ピンまたはビット 1、DIGITAL_INTERFACE_CONFIG レジスタ	FORMAT0/ピンまたはビット 0、 DIGITAL_INTERFACE_CONFIG レジスタ	出力チャンネル・フォーマット
0	0	シングル・チャンネル・デジタイズチェーン・モード。DOUT0 は出力として機能し、DOUT2 はデジタイズチェーン入力として機能。DOUT1 と DOUT3 はディスエーブル。4 つの ADC チャンネルすべてからのデータはシリアル化され、DOUT0 で出力されます (SPI デフォルト・モード)。
0	1	デュアル・チャンネル・デジタイズチェーン・モード。DOUT0 と DOUT1 は出力として機能し、DOUT2 と DOUT3 はデジタイズチェーン入力として機能します。チャンネル 0 とチャンネル 1 からのデータはシリアル化され、DOUT0 で出力されます。チャンネル 2 とチャンネル 3 からのデータはシリアル化され、DOUT1 で出力されます。
1	0	クワッド・チャンネル・パラレル出力モード。各 ADC チャンネルに専用のデータ出力ピンが対応。
1	1	チャンネル・データ平均化モード。ピン制御モードでは、4 つのチャンネルすべてからのデータが平均化され、DOUT0 で出力されます。DOUT2 はデジタイズチェーン入力として機能。DOUT1 と DOUT3 はディスエーブル。SPI 制御モードでは、平均化動作はレジスタ 0x12 の AVG_SEL ビットで定義します。

デバイスの設定

データ・フレーム

各 ADC サンプル出力データのフレームは、データとそれに続くオプションのステータス/CRC ヘッダで構成されます。

AD4134 は、16 ビットおよび 24 ビットの 2 つのデータ長オプションをサポートしています。また、CRC-6 ヘッダ・オプションもサポートしています。表 33 に、すべての出力データ・フレーム・オプションを示します。

表 33. データ・フレーム・オプション

FRAME1/GPIO7 Pin or Bit 1, DATA_PACKET_CON- FIG Register	FRAME0/GPIO6 Pin or Bit 0, DATA_PACKET_CON- FIG Register	Data Frame	Frame Length
0	0	16-bit ADC data	16
0	1	16-bit data with CRC-6	24
1	0	24-bit ADC data	24
1	1	24-bit data with CRC-6	32

デバイスの設定

データ遅延

AD4134 の各チャンネルのデータ出力は、MPC_CONFIG レジスタを使用して、0、1、または 2 の MCLK サイクルだけ個別に遅延できます。ゲイン設定やフィルタ処理などの要因に応じ、フロント・エンドのシグナル・チェーン・コンポーネントによって様々な量の位相遅延が追加される可能性があります。この機能によって異なるチャンネルの遅延を一致させることができるため、チャンネル間の厳密な位相マッチングを実現できます。

電力モード

AD4134 には、高性能モードと低消費電力モードの 2 つのモードがあります。これらのモードは、ピン制御モードと SPI 制御モードの両方で使用できます。ピン制御モードでは、PWRMODE/GPIO3 ピンが AD4134 の動作電力モードを制御します。SPI 制御モードでは、POWER_MODE ビットが電力モードを制御します。追加のスリープ・モードは、SPI 制御モードで使用できます。表 34 に、電力モードの設定を要約しています。ピン制御モードと SPI 制御モードの両方で、デバイス全体のパワーダウンをピンで実行できます。

表 34. 電力モードの設定

PWRMODE/GPIO3 or POWER_MODE Bit	SLEEP_MODE_EN	Device Power Mode
0	0	Low power mode
1	0	High performance mode
X	1	Sleep mode

デバイスを低消費電力モードで正しく動作させるには、設定を低消費電力モードから高性能モードに切り換えてから、低消費電力モードに戻す必要があります。

ピン制御モードでは、AD4134 を低消費電力モードに設定するには、PWRMODE/GPIO3 ピンをハイに切り換え 10ms の遅延後にローに戻します。SPI 制御モードでは、パワーアップ後に

POWER_MODE ビットをローからハイに変更し、10ms の遅延後にローに戻します。

また、ピン・スリープ・モードでは、最初に ODR 信号を供給してから電力モードを変更して、PWRMODE/GPIO3 ピンの動的サンプリングを確保します。

固有のアンチエイリアシング・フィルタ・モード

CTSD アーキテクチャにより、AD4134 は変調器のサンプリング周波数の整数倍付近の信号を除去し、対象の入力帯域をエイリアシングから保護できます。AD4134 には、2 つのアンチエイリアシング・モードがあります。デフォルトのアンチエイリアシング・モードである AA1 では、エイリアス除去は 85dB (代表値) です。

もう 1 つのアンチエイリアシング・モードである AA2 では、オフセット・ドリフトが $1.03\mu\text{V}/^\circ\text{C}$ と高くなり、チャンネルあたりの消費電力が 3mW 増加し、ダイナミック・レンジの低下によりノイズ・レベルが高くなりますが、除去が 102.5dB に改善されます。

AA2 モードは SPI 制御モードでのみ使用でき、AA_MODE ビットを 1 にセットすることで有効化できます。

表 35 は、固有のアンチエイリアシング・モードでの代表的な性能の違いを示しています。フィルタは広帯域 $0.433 \times \text{ODR}$ FIR フィルタで、ODR 値は $\text{ODR} = 374\text{kSPS}$ です。

表 35. 固有のアンチエイリアシング・モードでの性能の違い

Parameter	AA1 Mode	AA2 Mode
Dynamic Range	107.4 dB	105.9 dB
SNR	106.6 dB	105.4 dB
Alias Rejection	85 dB	102.5 dB
Offset Drift	$0.5\mu\text{V}/^\circ\text{C}$	$1.03\mu\text{V}/^\circ\text{C}$
Power per Channel	126 mW	129 mW

ダイナミック・レンジの向上、チャンネル平均化

AD4134には4チャンネルの平均化機能と2チャンネルの平均化機能が組み込まれており、4チャンネルの場合6dB、2チャンネルの場合3dB、性能を向上できます。このデバイスは、2つまたは4つのADCチャンネルからの出力データをオンボードで平均化して、ダイナミック・レンジを改善します。

平均化は、デジタル・フィルタの後のデジタル後処理オプションであり、複数のADCチャンネルからの出力データの平均化を実行します。この平均化機能により、複数のADCチャンネルで信号を測定し、結果を平均化して、より高いダイナミック・レンジを実現できます。

図92に示すように、4:1平均化モードでは、単一の入力信号が4つの入力チャンネルすべてに印加されます。平均化を有効化したこのモードでは、AD4134はシングル・チャンネル・デバイスとなり、ダイナミック・レンジが6dB向上します。

図93に示すように、2:1平均化モードでは、単一の入力信号が2つの入力チャンネルに印加されます。平均化を有効化したこのモードでは、AD4134は2チャンネルのデバイスとして動作し、各チャンネルのダイナミック・レンジが3dB向上します。

チャンネル平均化のノイズ性能については、ノイズ性能と分解能のセクションを参照してください。

図92および図93に、これらの機能を使用するための接続図を示します。4:1チャンネル平均化では、4つの入力すべてを短絡しますが、2:1チャンネル平均化では、2つの入力を短絡します。

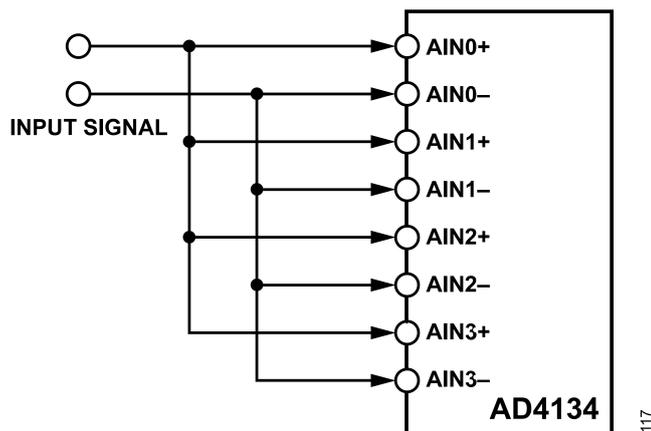


図 92. 4:1 チャンネル平均化

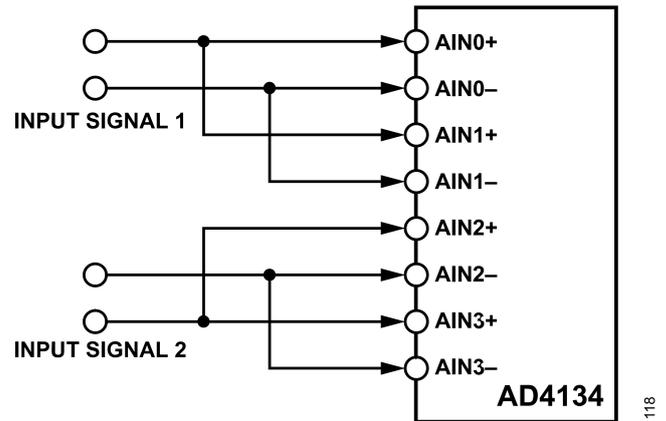


図 93. 2:1 チャンネル平均化

ピン制御モードでは、FORMAT0/ピンと FORMAT1/SCLK ピンの設定により使用できる平均化は 4:1 のみです (表 32 を参照)。

SPI 制御モードでは、フォーマット・ビットであるレジスタ 0x12 のビット[1:0]を 11 に設定して、出力平均化機能を有効化します。次に、レジスタ 0x12 のビット[3:2]を使用して、チャンネル平均化オプションを選択します。

キャリブレーション

SPI 制御モードでは、AD4134 は各チャンネルのオフセットとゲインを個別に補正する機能を備えています。AD4134 とそのサブシステムのゲインとオフセットを変更できます。

ADC の各チャンネルには、関連するゲインとオフセット係数があり、出荷設定時に各 ADC の係数が保存されます。ゲインおよびオフセット補正レジスタを使用して、これらのゲインおよびオフセット係数を上書きできます。ただし、リセット後または電源の再投入後、ゲインおよびオフセット・レジスタの値はハード・コードされた出荷時設定に戻ります。

これらのオプションは SPI 制御モードでのみ利用できます。

オフセットのキャリブレーション

オフセット補正レジスタは、チャンネル・オフセット調整用の 23 ビット符号付き 2 の補数レジスタです。各チャンネルのオフセット設定は、OFFSET_CAL_EN_CHx ビットを使用して有効化します。

オフセット範囲は $\pm V_{REF}$ で、ステップ・サイズは $V_{REF}/2^{22}$ です。オフセット・レジスタの 1LSB の調整により、デジタル出力が 2LSB だけ変化します。例えば、オフセット・レジスタを 0 から 100 に変えると、デジタル出力が 200LSB 変化します。

詳細なレジスタ情報については、表 81、表 87、表 93、および表 99 の OFFSET_CAL_EN_CHx ビットの説明を参照してください。

ゲイン・キャリブレーション

ゲイン・レジスタは 20 ビットで $\pm 50\%$ の範囲をカバーし、LSB は 0.95ppm のゲインに相当します。各チャンネルのゲイン設定は、GAIN_CAL_SEL_CHx ビットを使用して有効化します。

詳細なレジスタ情報については、表 78、表 84、表 90、および表 96 の GAIN_CAL_SEL_CHx ビットの説明を参照してください。

アプリケーション情報

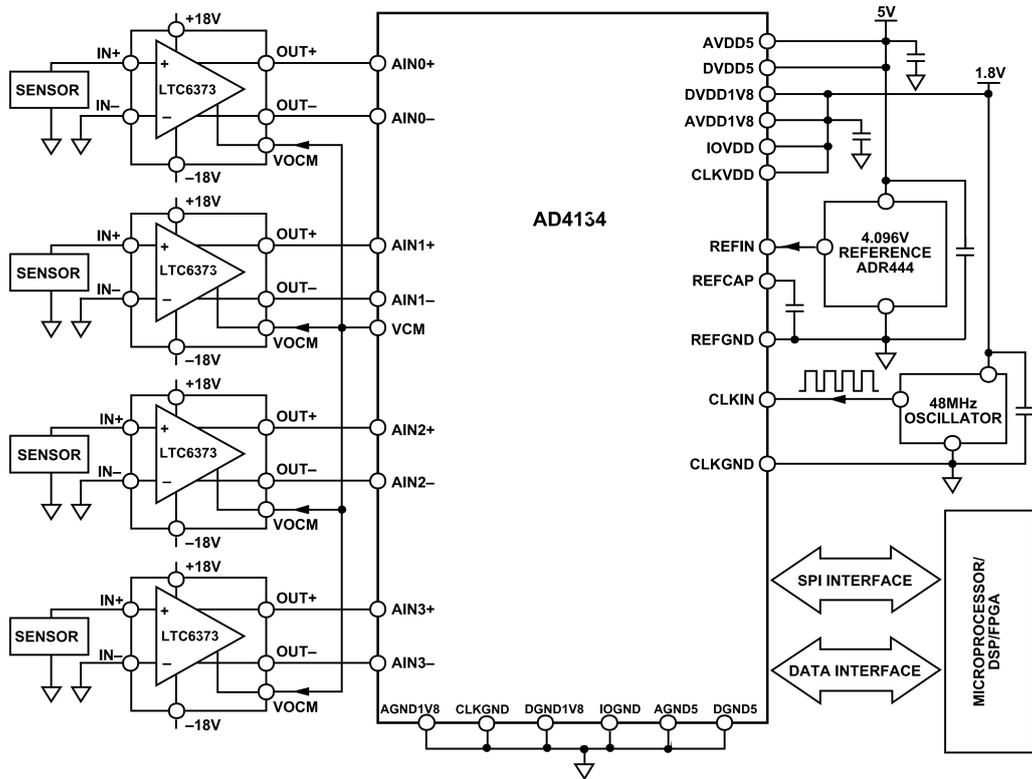


図 94. 代表的なアプリケーションの図

電源

AD4134 には、次の合計 7 つの電源入力ピンがあります。AVDD5、DVDD5、LDOIN、AVDD1V8、DVDD1V8、CLKVDD、および IOVDD。

4.096V および 5V リファレンス入力の動作電源電圧値については、表 1 の電源電圧を参照してください。

電源設計を簡素化するために、単一の低ノイズ 5V 電源を AVDD5 ピンと DVDD5 ピンに共に供給し、単一の低ノイズ 1.8V 電源を AVDD1V8、DVDD1V8、CLKVDD、および IOVDD ピンに共に供給できます。

5V と 1.8V のレールを生成するために、LT8606 または LT8607 を使用した電源回路で、幅広い入力電圧に対応する低 EMI、小型のソリューションを実現できます。

オンボード LDO レギュレータ

電源設計を簡素化するために、AD4134 は 3 つの内部 LDO レギュレータを備えており、LDOIN ピンに接続された 2.6V~5.5V の単一電源から AVDD1V8、DVDD1V8、および CLKVDD ピンに必要な 1.8V を生成します (図 95 を参照)。

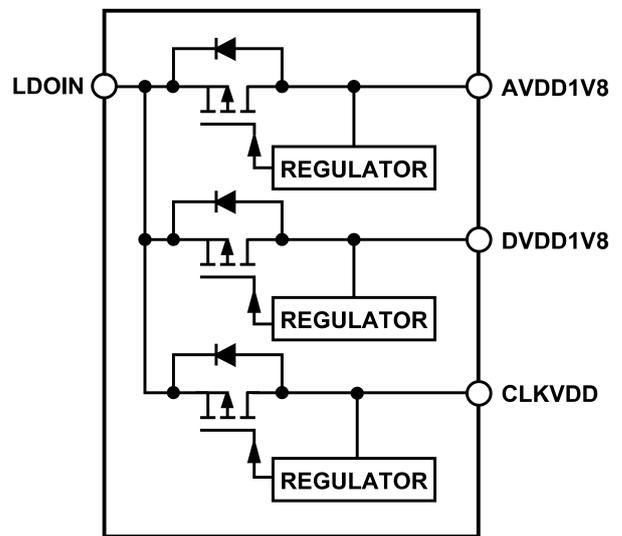


図 95. 内部 LDO レギュレータの接続

内部 LDO レギュレータを使用する場合、AVDD1V8 ピンを 10μF、DVDD1V8 ピンを 10μF、および CLKVDD ピンを 2.2μF のコンデンサでそれぞれのグラウンドとデカップリングする必要があります (図 96 を参照)。

アプリケーション情報

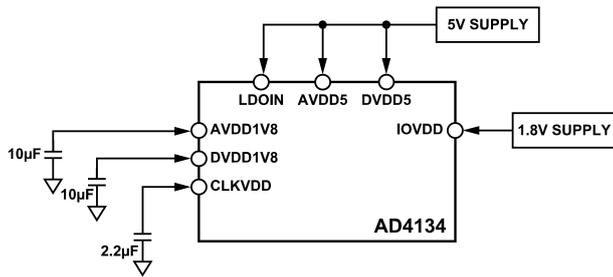


図 96. 内部 LDO レギュレータ・モードの電源接続

リファレンス位相ノイズ

内部 LDO レギュレータは、IOVDD 電源が最初に外部 1.8V 電源によってパワーアップされた場合にのみイネーブルになります。

図 97 の電源シーケンスに従っている場合、内部 LDO レギュレータは正しく動作します。DVDD5 の後に IOVDD ピンと LDOIN ピンに電力が供給されるようにしてください (図 97 を参照)。

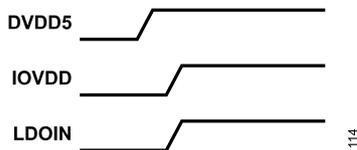


図 97. 内部 LDO モードでの電源シーケンス

内部 LDO レギュレータを使用しない場合、LDOIN ピンを DVDD1V8 に接続します (図 98 を参照)。

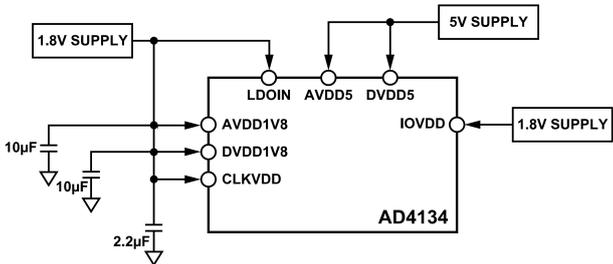


図 98. 外部電源モード接続

AVDD1V8、DVDD1V8、および CLKVDD を別の外部電源から供給している場合、電源シーケンスに注意してください。3 つの電源はすべて、レギュレータのバック・ダイオードを介して内部で接続されています。1 つの電源が最初にスタートアップする場合、バック・ダイオードと他の LDO レギュレータを介して他の電源に電源を供給できます。

リファレンス・ノイズのフィルタリング

リファレンス信号をフィルタ処理することにより、リファレンス・ソースのノイズによる ADC 全体への変換精度に対する影響を軽減できます。REFIN ピンと REFCAP ピンの間に 20Ω の内部抵抗があるため、REFCAP ピンにコンデンサを接続して、1 次の RC フィルタを形成できます。

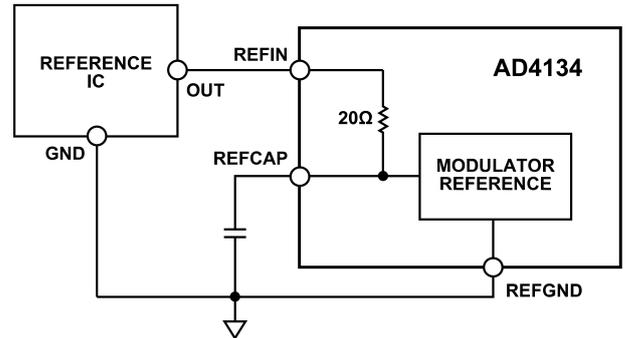


図 99. REFIN ピンを使用したリファレンス入力接続

1 次フィルタの等価ノイズ帯域幅は、 $0.25/RC$ (Hz) です。

リファレンス・ソースのノイズの寄与は、ADC 入力信号に比例します。入力信号がフルスケールのときに、リファレンス・ノイズの寄与が最も高くなります。ADC 入力を短絡すると、リファレンス・ノイズは出力に影響を与えません。

一般には、リファレンス・ノイズを ADC のノイズの 1/4 に制限して、SNR 全体への影響を最小限に抑えます。

合計リファレンス・ノイズは、その 1/f ノイズと広帯域ノイズの二乗和平方根です。

リファレンスの 1/f ノイズは、0.1Hz~10Hz の周波数範囲でのピーク to ピーク・ノイズ仕様によって推定できます。広帯域ノイズは、リファレンスの電圧ノイズ密度仕様とリファレンス・ノイズ帯域幅から計算できます。

ADC の動作モードに基づいてリファレンス・ノイズ条件を計算する例を以下に示します。

リファレンス電圧が 4.096V である、高性能モード、ODR = 374kSPS、広帯域 0.433 × ODR フィルタで動作している AD4134 デバイスを考えます。

表 9 によると、このセットアップでの ADC ノイズは 12.63µV rms です。リファレンス・ノイズは 1/4 で、3.16µV rms に相当します。

AD4134 のリファレンス電圧の供給には、ADR444 リファレンス IC を選択します。ADR444 の 0.1Hz~10Hz のピーク・ノイズは 1.8µV p-p、ノイズ・スペクトル密度は 78.6nV/√Hz です。ADR444 の 1/f ノイズは 1.8µV p-p または $1.8/6.6 = 0.273µV$ rms です。

合計リファレンス・ノイズは、その 1/f ノイズと広帯域ノイズの二乗和平方根です。したがって、以下の結果が得られます。

$$\sqrt{(0.273^2 + n_{WB}^2)} < 3.16$$

この式を解くと、ADR444 の広帯域ノイズ n_{WB} が得られます。これは 3.14µV rms 未満でなければなりません。

ADR444 の広帯域ノイズは、そのノイズ・スペクトル密度にノイズ帯域幅の平方根を掛けて計算できます。

アプリケーション情報

$$78.6 \text{ nV}/\sqrt{\text{Hz}} \times \sqrt{\text{NBW}} < 3.14 \text{ } \mu\text{V rms}$$

ここで、NBWはノイズの帯域幅です。

計算により、ノイズ帯域幅は 1.6kHz 未満である必要があります。1次フィルタの等価ノイズ帯域幅は、 $0.25/\text{RC}$ (Hz) です。

AD4134には、REFINピンと REFCAPピンの間に 20Ω の抵抗が内蔵されています。ADR444の出力を REFIN 入力に接続することにより、REFCAPピンに $7.9\mu\text{F}$ を超えるコンデンサを接続するだけで、リファレンス・ノイズを目的の値に制限できます。REFCAPピンに $10\mu\text{F}$ のコンデンサを配置することを推奨します。

マルチデバイスの同期

AD4134の内蔵ASRCは、単一の低速ODRラインでマルチデバイス同期を実現するのに役立ち、異なるデバイスのチャンネル間での位相マッチングが 10ns 未満となるため、同期を容易に行えます。状態基準保全、電源品質アナライザ、ソナー・システムなどのアプリケーションでは、多数のチャンネルにわたって厳密な位相マッチングが要求されるため、デジタル・インターフェースの設計が複雑になります。

このデバイスは、独自のローカル・クロック源でクロックを供給できるため、EMIの問題につながる高速クロック・ラインの配線が不要で、厳密な位相マッチングを実現できます。このクロッキングは、絶縁を必要とするアプリケーションで、絶縁バリアを通過する低速ラインの数を少なくできることをも意味します (図 100 を参照)。

AD4134は、絶縁デバイスを同期化するための絶縁をまたぐシステム・クロックを必要としないため、絶縁型の同時サンプリング・アプリケーションでより高いODRが可能となります。

厳密な同期を実現するには、すべてのデバイスをスレーブ・モードで構成し、SPIを使用してDIG_IF_RESETビットをセットして、デジタル・インターフェースをリセットしてからデータ・キャプチャを行う必要があります。このDIG_IF_RESETコマンドは、1つのSPI書き込みコマンドを使用して、すべてのスレーブに同時に与える必要があります。

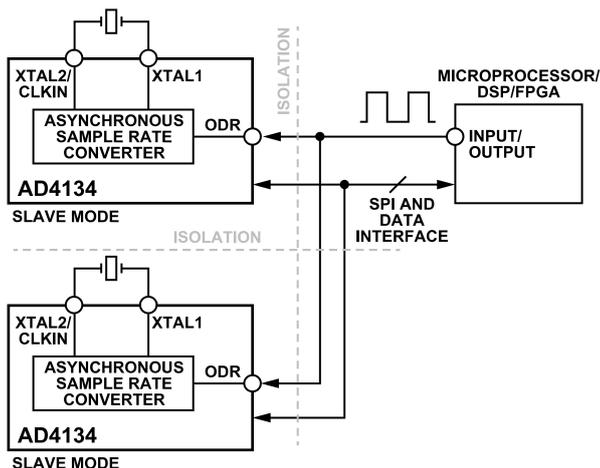


図 100. 簡略化した AD4134 のクロッキング

コヒーレント・サンプリング

AD4134 内蔵の ASRC を使用すると、 0.01SPS の分解能で、 0.01kSPS ~ 1496kSPS の細かいサンプリング速度を設定できます。ASRC を使用するとライン周波数を検出して ODR を変更できるため、入力信号周波数とサンプリング速度の間に合理的な関係を持たせることができます。

数学的には、コヒーレント・サンプリングは、 $f_{\text{IN}}/f_{\text{ODR}} = \text{サンプリング・ウィンドウのサイクル数} \div \text{FFT のデータ・ポイント数}$ として表されます。例えば、 f_{ODR} が 32kSPS 、 f_{IN} が 1kHz 、サンプル数が 512 の場合、次のようになります。

$$\text{サンプリング・ウィンドウのサイクル数} = 512 \times 1000/32 \text{ kSPS} = 16.$$

入力周波数が 1.01kHz の場合、ODR の変更値は $4096 \times 1010/16 = 258.56\text{kSPS}$ とすると、コヒーレント・サンプリングを実現できます。

電力計測や分析などのアプリケーションでは、高調波データと計測パラメータに必要な精度を実現し、ADC サンプリング・レートと電力線周波数の間のコヒーレンスを確保する必要があります。

低遅延デジタル制御ループ

制御ループでは低遅延が必要とされますが、ノイズ低減のためのアンチエイリアシング・フィルタにより大幅な遅延が追加され、ループ遅延が増加します。AD4134では固有のアンチエイリアス除去によりアンチエイリアシング・フィルタが不要になるため、シグナル・チェーンの遅延が大幅に短縮されます。

AD4134 は最大 1496kSPS のスループット・レートをサポートし、低遅延の 24 ビット・デジタル制御ループに最適です。

自動ゲイン制御

AD4134 には、SPI 制御モードでの動作時に使用可能な GPIO 機能があります。AD4134 の診断機能の 1 つでは、ERR_PIN_OUT_EN ビットを有効にすることで、GPIO7 で診断エラーを通知できます。

GPIO7 を使用すると、入力オーバーレンジ検出がレポートされ、そのレポートに基づいてフロント・エンド・アンプのゲインを制御できます。GPIO7 を出力として設定し、ERR_PIN_EN_OR_AIN ビットをセットします。これにより、入力オーバーレンジのエラーが有効になり、GPIO7 でのエラー・レポートが有効になります。アンプのゲイン制御を行うには、FRAME1/GPIO7 ピンを配線します。

入力ラインで $\pm V_{\text{REF}}$ を超える入力オーバーレンジが発生すると、GPIO7 がハイになり、PGA のゲインが低下して、出力が $\pm V_{\text{REF}}$ を下回ります。この制御は、デジタル・ホストの介入なしに自動的に行われます。

アプリケーション情報

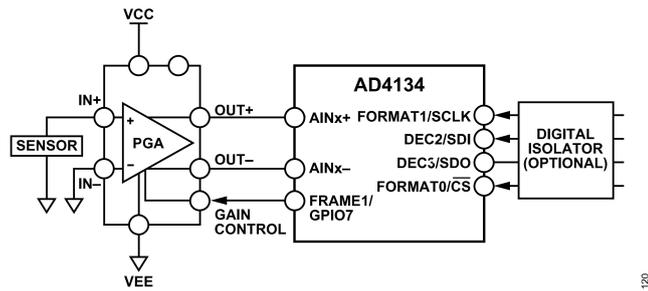


図 101. 自動ゲイン制御

フロント・エンドの設計例

AD4134のアナログ・フロント・エンド回路は、以下のシーケンスを行う必要があります。

1. ソースに一致するように適切な入力インピーダンスを設定します。
2. ADC の 6kΩ 差動入力抵抗を駆動するために、適度に低い出力インピーダンスを設定します。
3. 入力信号を、2V~2.5V の固定共通モード電圧を持つ平衡型の完全差動信号に変換します。
4. ソース信号の最大振幅を ADC のフルスケール入力範囲に一致させるのに必要なゲインまたは減衰を設定します。

様々なタイプのシステムに、以下の低ノイズ・アンプを推奨します。オペアンプの例としては、ADA4625-2、ADA4610-2、AD8605、ADA4075-2 があります。完全差動アンプの例としては、ADA4940-2、LTC6363、ADA4945-1 があります。計装アンプの例としては AD8421 および LTC6373 があります。

共通モードおよびハイ・インピーダンス・ソースが制御された差動入力信号

ハイ・インピーダンス・ソースの例としては、歪みや圧力を監視するためのホイートストン・ブリッジ型の構成があります。

入力共通モードが適切に制御され、同相ノイズ除去が不要で、デュアル・オペアンプ構成で適切に機能します。図 102 の回路は、信号にゲインを設定することもできます。AD4134 は駆動が容易なため、オペアンプは一般的な ADC からのキックバックを克服するための高帯域幅や強力な出力駆動を必要としません。ADA4610-2 は、広い入力範囲、低ノイズ、適切な帯域幅、および高い直線性を提供するため、最適な選択肢です。AD8605 は、レール-to レール、低電圧の単電源動作に最適なもう 1 つの選択肢です。

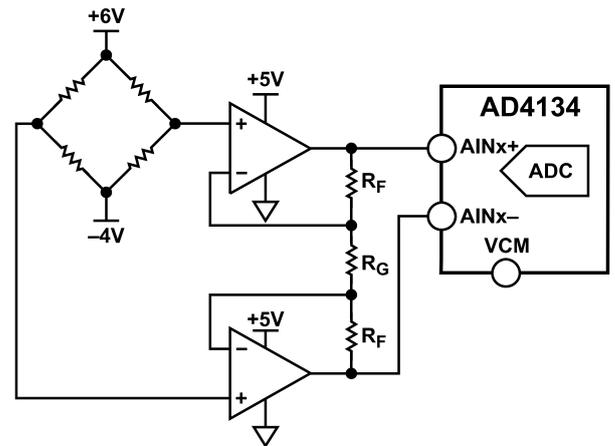


図 102. ゲイン付きバッファ入力、同相ノイズ除去の追加なし

レギュレーションされていない共通モード電圧、ロー・インピーダンス・ソースの差動入力

より広い入力共通モード電圧範囲が必要な場合は、完全差動アンプを使用できます (図 103 を参照)。

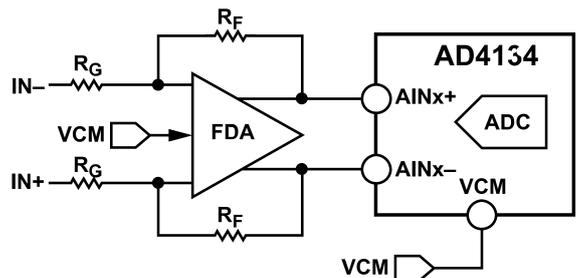


図 103. 完全差動アンプを使用した入力共通モード電圧と信号ゲイン/減衰の拡大

この回路は、信号のゲインまたは減衰を行うことも可能で、入力同相ノイズを除去します。

ADA4940-2、ADA4945-1、LTC6363 などの完全差動アンプはすべて適切な選択肢です。LTC6363-0.5、LTC6363-1、LTC6363-2 などのデバイスは、高度にマッチングのとれた抵抗ネットワークを内蔵しており、最小 94dB の比類のない CMRR を実現します。

単一ユニポーラ電源の完全差動アンプ

図 104 の回路は、ロー・インピーダンス・ソースのシングルエンド入力または差動入力に対して固定ゲインを提供します。単一のユニポーラ 5V 電源動作により、電源設計が緩和されます。

アプリケーション情報

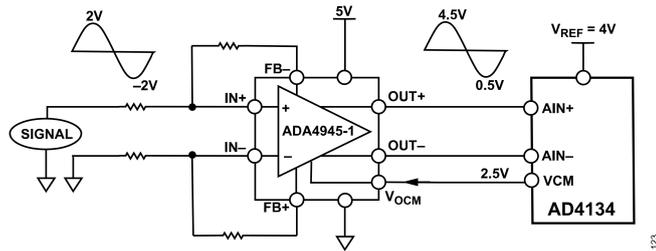


図 104. 単一電源の完全差動アンプ

高ソース・インピーダンスのシングルエンドまたは疑似差動入力

シングルエンドまたは疑似差動入力信号は、完全差動信号に変換してから AD4134 を駆動する必要があります。フロント・エンドの設計例のセクションに記載されている、差動信号のインターフェースに関するすべての回路例は、シングルエンドまたは疑似差動信号のインターフェースでも機能します。2 番目の入力を信号グラウンドまたは共通モード電圧源に接続してください。

シングルエンドから差動への変換は、他の多くの回路でも可能です。

完全差動出力の計装アンプ

代表的なアプリケーションの図 (図 94 を参照) では、広帯域プログラマブル・ゲイン・アンプ LTC6373 が AD4134 に接続されています。図 94 の回路構成は、プログラマブル・ゲイン構成のシングルエンド入力信号、高共通モード電圧範囲、低入力電流に適しています。

シングルエンドから差動出力への変換を行う計装アンプ

図 105 の回路構成は、ゲインが 1 以上のハイ・インピーダンス・ソースに適した、シングルエンド入力信号、高共通モード電圧範囲、低入力電流に適しています。

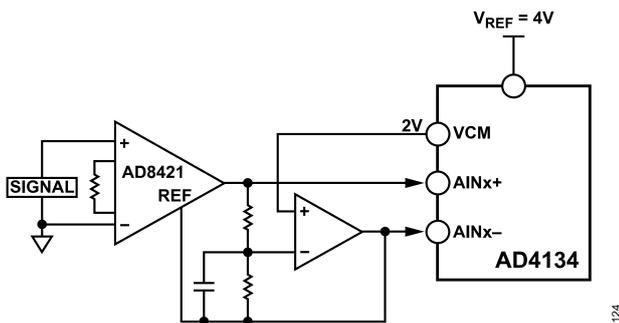


図 105. 差動出力構成の計装アンプ

高精度のデュアル・アンプ

図 106 の回路は、ハイ・インピーダンス・ソースに適し、ゲインまたは減衰を追加可能です。オペアンプの例として、ADA4941-1、LT6350、ADA4805-2、ADA4075-2 があります。

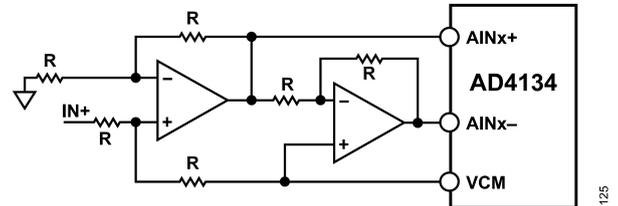


図 106. デュアル・オペアンプの構成

オペアンプと完全差動アンプ

図 107 の回路は、ADA4945-1 のような完全差動アンプを備えた低入力バイアス・オペアンプで、ハイ・インピーダンス・ソースに適しています。完全差動アンプ回路では、ゲインまたは減衰を追加できます。

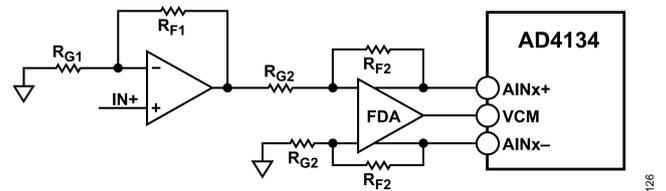


図 107. オペアンプと完全差動アンプ

デジタル・インターフェース

AD4134のデジタル・インターフェースは、次の2つの独立した部分で構成されています。レジスタ・アクセスおよびデバイス設定用のSPIと、変換データを送信するためのデータ・インターフェースです。

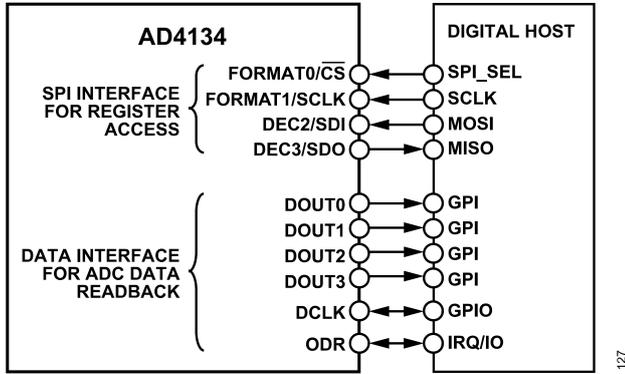


図 108. AD4134の通信インターフェース

SPI

SPI制御モードは、AD4134でサポートされている2つの制御モードのうちの1つです。もう1つのモードはピン制御モードです。PIN/SPIピンのロジック・レベルを設定することにより、デバイスを動作させるモードを選択できます。PIN/SPIピンをハイに設定すると、SPI制御モードが有効になり、デバイスのSPIをイネーブルします。

AD4134は、QSPI、MICROWIRE、DSPと互換性のある4線式SPIを備えています。このインターフェースはSPI制御モード0で動作します。SPI制御モード0の場合、SCLKはアイドル・ローになり、SCLKの立下がりエッジが駆動エッジ、立上がり

エッジがサンプリング・エッジです。SDOピンの出力データはSCLKの立下がりエッジで出力され、SDIピンの入力データはSCLKの立上がりエッジでサンプリングされます。



図 109. SCLKエッジ

SPIは7ビット・アドレッシング方式を使用し、3線式モード、4線式モード、最小I/Oモードの3つの動作モードをサポートします。通信の堅牢性を向上させるために、オプションのCRC機能も利用できます。

3線モード

このモードではSDOはディスエーブルされ、データの読出しはDEC2/SDIピンで可能です。SDOはコマンド時にハイ・インピーダンスになり、データはSDIに短絡されます(図110を参照)。

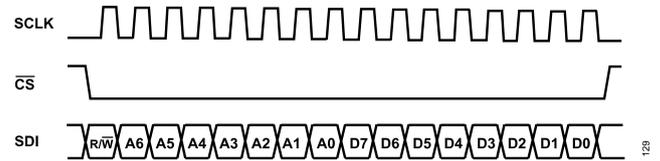


図 110. 3線式モードの書き込み/読出しコマンド

4線モード

標準のSPIは4つの信号で構成されています(図111を参照)。

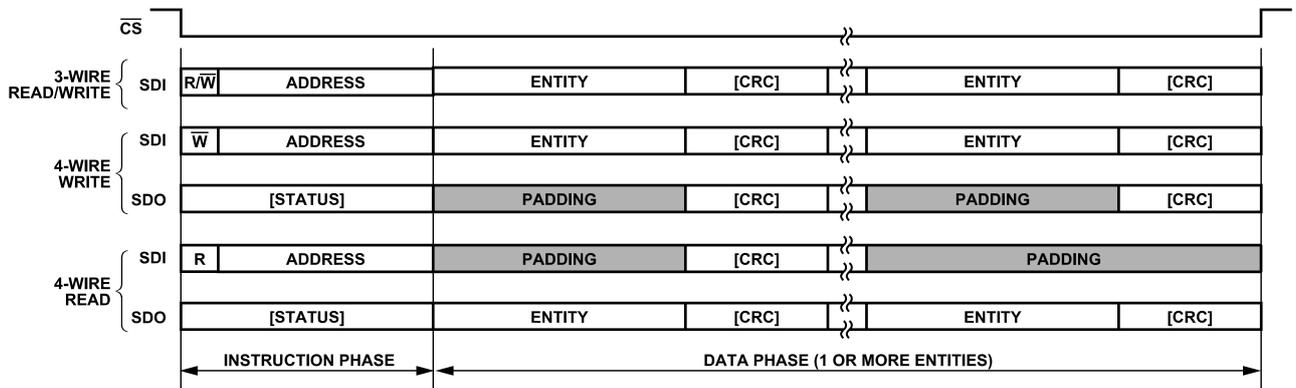


図 111. 3線式および4線式のSPIトランザクション・プロトコル

デジタル・インターフェース

SPI CRC

SPI CRC コードはオプション機能です。これを有効化すると、ノイズの多い環境などで、SPIバスでのトランザクションの堅牢性を改善できます。

SPI CRC は、 $x^8 + x^2 + x + 1$ の多項式で計算され、初期シード値は 0xA5 です。

SPI CRC は、ハミング距離 4、最大ワード長 119 ビットを実現します。

3 線式絶縁モード

AD4134 はパワーアップすると 3 線式絶縁モードで開始し、チップ・セレクト・ラインがトグルするとこのモードを終了します。チップ・セレクト・ラインは使用されず、グラウンドに接続する必要があります。SPI パケットは 24 ビットで、8 ビットのコマンドとアドレス、8 ビットのデータ（エンティティ）、8 ビットの CRC で構成されます。3 線式絶縁モードについては、[図 112](#) を参照してください。また、このモードでは、ストリーミング・レジスタの読出しまたは書込みはサポートされていません。

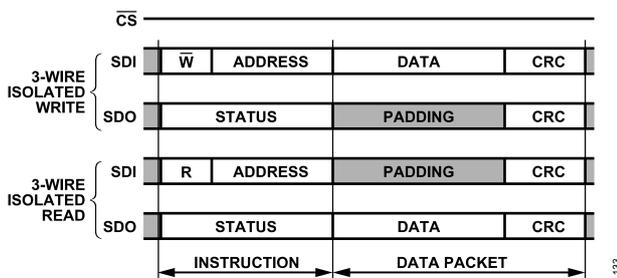


図 112. 3 線式絶縁モード

追加の SPI 機能

AD4134 は、SPI を制御するためのいくつかのオプションを提供しています。これらの機能の一部については、[単一命令モード](#) のセクションから [マスタ・スレーブ転送ビット](#) のセクションに記載されています。

単一命令モード

SINGLE_INSTR ビットをセットした場合、ストリーミングが無効になり、ラインの状態に関係なく、1 回の読出しまたは書込み操作のみが実行されます。このビットがセットされアサートされたままの場合でも、ステート・マシンはこのビットがデアサートされたかのようにデータ・バイト後にリセットされ、次の命令を待ちます。単一命令モードでは、ラインがデアサートされていなくても、各データ・バイトの前に新しい命令が強制されます。また、単一命令モードでは、アプリケーションで必要とされる場合には、ピンの使用方法を更に柔軟に変更できます。デフォルトではこのビットはセットされるため、ストリーミングが有効になります。

SPI のロック／ロック解除

AD4134 には、1 を連続して 24 回 SPI 書込みすることにより SPI をロックするオプションがあります。この書込みにより、レジスタへの SPI 読書きアクセスがブロックされます。ロックを解除してリセットするには、1 を 23 回と 0 を 1 回の SPI 書込みを実行する必要があります。値が既知の SPI レジスタからの SPI 読出しを完了することにより、SPI のステータスを読み出すことが

できます。SPI が同期していない場合、ユーザがロック解除を実行し、SPI をリセットします。SPI が応答しない場合は、任意の時点でロックとロック解除を実行してください。このロック解除／ロックは、データ・インターフェースで進行中のデータ・トランザクションには影響せず、SDO の動作にも影響しません。



図 113. SPI のロック／ロック解除とリセット

ストリーム・モード

ストリーム・モードでは、サイクルごとのアドレス設定に関連するオーバーヘッドを負担することなく、1 つ以上のレジスタに繰り返し連続してアクセスできます。ループの終わりに、自動生成されたアドレスが開始アドレスにリセットされ、最後のアドレスに再び到達するまでカウントを再開します。このプロセスは、非アクティブ化されない限り続行します。非アクティブになると、ユーザが再び起動するまでストリーム・モードは停止します。

STREAM_MODE レジスタは、ストリーム・モードでアクセスされるレジスタの数をデバイスに通知するのに使用します。このレジスタがデフォルトの 0x00 の場合、ストリーミングは有効化されません。このレジスタ値がゼロ以外の場合、ストリーミングが開始した際、このレジスタの値が、開始アドレスにループバックする前に書込みまたは読出しを行う連続アドレスの数をアドレス・ジェネレータに伝えます。このアドレスの値が 0x01 の場合、ストリーム・イベントの間、同じアドレスに対して書込みまたは読出しが行われます。値が 0x02 の場合、2 つの連続したアドレスがその期間中に書き込まれます（または読み出されます）。例えば、ストリームのエントリ・ポイントがアドレス 0x10 の場合、アドレス 0x10 が最初のアドレスです。アドレス 0x11 が 2 番目のアドレスとなります。このループが完了すると、次の自動生成アドレスは 0x10 となります。このサイクルは、ユーザがラインをデアサートして終了するまで続きます。

ストリーム・モードを開始するには、最初にこのレジスタ 0x000E に、アクセスするアドレスの数を示すゼロ以外の値を設定する必要があります。0x01~0xFF の任意の値が有効です。この範囲内のすべてのアドレスがストリーミングに適したものであるようにしてください。アドレスによっては、変更しないように指定されている場合があるためです。次に、通常どおりに読出しまたは書込みサイクルを開始します。

マスタ・スレーブ転送ビット

TRANSFER_REGISTER のビット 0 は、マスタ・スレーブ転送ビットとして使用されます。これは、レジスタが複数のバイトで構成され、デバイスの誤動作を防ぐためにすべてを同時に書き込む必要がある場合に役立ちます。マスタ・モードでは、ODR_VAL_INT_x および ODR_VAL_FLT_x レジスタでこれを設定する必要があります。このビットをセットすると、SPI を使用して転送された複数バイトのデータが一度にスレーブに書き込まれます。転送が完了すると、スレーブ・デバイスはこのビットをクリアして（自動クリア）、転送が完了したことを SPI マスタに通知し、スレーブ・データは制御プログラムで必要に応じてリードバックできます。

デジタル・インターフェース

データ・インターフェース

AD4134は、様々なデジタル・ホスト・タイプやアプリケーション条件をサポートするように設計された柔軟なデータ・インターフェースを備えています。

AD4134は、データ・インターフェースのマスタまたはスレーブとして機能できます。データ・インターフェースは、ゲーテッド・クロック信号と自走クロック信号の両方、パラレルまたはシリアル出力データ・ストリーミング・モード、およびデジタイゼーション構成をサポートしています。

データ・インターフェースは、クロック、データ、およびデータ・フレーミング信号の3つの信号タイプで構成されています。

データ・インターフェースのクロック

AD4134は、ゲーテッド DCLK 信号と自走 DCLK 信号の両方をサポートしています。ADC 出力データは、DCLK の立上がりエッジで出力されます。

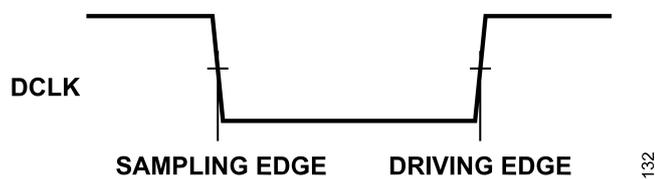


図 114. DCLK エッジ

DCLK は双方向ピンです。AD4134は、インターフェース・マスタとして機能して DCLK 信号を生成するか、インターフェース・スレーブとして機能して、受信した DCLK 信号に基づいてデータをクロック・アウトできます。

DCLK ピンを出力として設定している場合、DATA_PACKET_CONFIG レジスタまたはピン制御モードのDCLKRATEx/GPIOxピンの設定により、DCLK の出力周波数を選択できます。

DCLK 周波数の設定方法の詳細については、[出力データ・レートとクロックの設定](#)のセクションを参照してください。

データ・バス

ADC の出力データは DOUTx ピンに現れます。AD4134 デバイスには、DOUT0、DOUT1、DOUT2、DOUT3 の4つのデータ出力ピンがあります。この4つの DOUTx ピンで ADC 変換結果をパラレル出力するか、複数のチャンネルからのデータをシリアル化して、1つまたは2つの DOUTx ピンを使用して出力するオプションがあります。

パラレル出力構成では、低い DCLK 周波数で高いデータ・レートが可能です。シリアル出力構成では、デジタル・ホストからの I/O が少なく済み、絶縁アプリケーションに必要なデジタル・アイソレータ・チャンネルの数を減らすことができます。デジタイゼーション・モードは、シリアル出力構成でのみ使用できます。

データ・フレーミング信号

ODR 制御信号は、AD4134 データ・インターフェースのフレーミング信号として機能することを目的としています。

ODR ピンは双方向であり、信号の方向は ASRC モードの動作に依存します。

出力データは、使用する DCLK のモードに応じて、ODR の立上がりエッジまたは立上がりエッジを基準にして駆動できます。

データ・インターフェースの動作モードの選択

ODR 信号の方向は、ASRC の動作モードの選択によって異なります。ASRC の詳細は、[非同期サンプル・レート・コンバータ](#)のセクションを参照してください。

データ・インターフェースのステータスと CRC ヘッダ

追加のステータス情報やエラー・チェックのために、各出力データ・サンプルにバイト幅ヘッダを追加するオプションがあります。ヘッダは2ビットのステータス・ビットを持った6ビットの CRC コードで構成されています (表 36 を参照)。

表 36. ヘッダの詳細

Bit	Bit Description
7	No Chip error
6	Filter settled and PLL locked
[5:0]	6-bit CRC

AD4134 の内蔵診断回路がエラーを検出すると、ビット7がクリアされます。デバイスの診断機能の詳細は、[診断機能](#)のセクションを参照してください。

対応するチャンネルのデジタル・フィルタが完全に安定し、また ASRC スレーブ・モードでの動作しているときは ODR 入力周波数の変更後に PLL がロックされた場合、ビット6がセットされます。

ヘッダのビット6の値がゼロの場合、データ・サンプル値は正しい変換結果を反映しません。

データ CRC の計算

CRC は、多項式と初期シード値を使用して計算されます (表 37 を参照)。

表 37. データ CRC の計算

CRC Mode	Polynomial	Default Seed Value
CRC-6	$x^6 + x^5 + x^2 + x + 1$	0x25

代替 CRC の動作モード

AD4134 は、線形フィードバック・シフト・レジスタ (LFSR) を使用して CRC を計算します。ピン制御モードおよび SPI 制御モードのデフォルト設定では、デフォルトのシード値を使用して各データ・サンプルの後に LFSR がリセットされます (図 115 を参照)。SPI 制御モードの場合、LFSR リセット動作を変更するオプションがあります。CRC_POLY_RST_SEL を 1 にセットすると、各サンプル後の LFSR リセットが無効化され、現在の CRC が次計算のシード値になります。このモードにより、プロセッサ・ベースのデジタル・ホストは CRC を頻りにチェックすることなく、ビット転送のエラーを検出できます。

デジタル・インターフェース

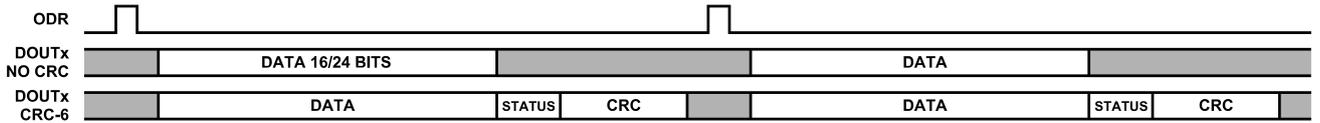


図 115. データ CRC のオプション

ASRC マスタ・モードのデータ・インターフェース

ASRC がマスタ・モードの場合、ODR ピンは出力として動作します。DCLK ピンをゲーテッド・モードまたは自走モードで動作させることを選択できます。

DCLK ピンを出力として設定すると、AD4134 はデータ・インターフェース・マスタとして機能し、ODR 信号に同期して DCLK 信号と出力データ・ストリームを供給します。

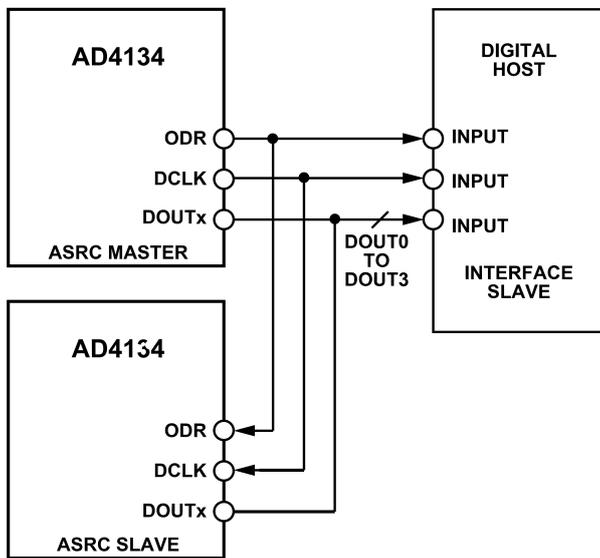


図 116. データ・インターフェースの例 1：
第 1 の AD4134 デバイスが ASRC マスタ・モード、
デジタル・ホストがインターフェース・スレーブ

ASRC スレーブ・モードのデータ・インターフェース

ASRC がスレーブ・モードの場合、ODR ピンは入力として動作します。DCLK ピンをゲーテッド・モードまたは自走モードで動作させることを選択できます。

DCLK ピンを入力として設定すると、AD4134 はデータ・インターフェース・スレーブとして機能し、入力 DCLK の駆動エッジでデータ・ストリームを出力します。

DCLK ピンを自走入力として設定した場合、適切なデータ・フレーミングを行うために、DCLK ピンを ODR 信号に同期させる必要があります。

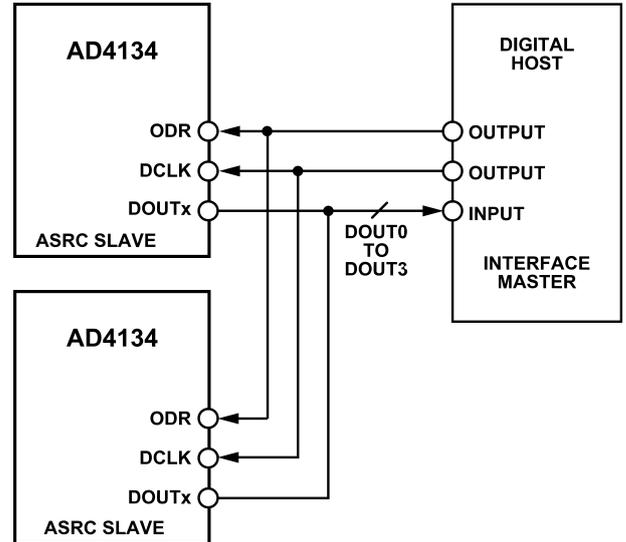


図 117. データ・インターフェースの例 2：
2 つの AD4134 デバイスが ASRC スレーブ・モード、
デジタル・ホストがインターフェース・マスタ

デジチェーン接続

デジチェーン接続では、別々の AD4134 デバイスからの複数の ADC 出力をカスケード接続することで、多数のデバイスが同じデータ・インターフェース・ラインを使用できるようになります。ADC デバイスが 1 つのみの場合は、データ・インターフェースをデジタル・ホストに直接接続します。

AD4134 でこの接続を実装するには、複数のデバイスを DOUT0 と DOUT1 によってカスケード接続するか、DOUT0 のみを使用します。

この機能は、絶縁された複数のコンバータを使用するアプリケーションやインターフェース能力に制限のあるシステムなどで、部品数と接続配線数を削減する上で特に役立ちます。

2 つのチャンネルでデジチェーン接続する場合、DOUT2 と DOUT3 がシリアル・データ入力になり、DOUT0 と DOUT1 はシリアル・データ出力のままです。

図 118 に、2 つのチャンネルを持った AD4134 デバイスをデジチェーン接続した例を示します。この場合、AD4134 デバイスの DOUT0 ピンと DOUT1 ピンは、チェーン内の次のデバイスの DOUT2 ピンと DOUT3 ピンにカスケード接続されます。データのリードバックは、シフト・レジスタのクロッキングと似ています。

これは、ダウンストリーム・デバイスである AD4134 の DOUT0 ピンと DOUT1 ピンの出力データを、チェーンのアップストリームにある次の AD4134 デバイスの DOUT2 入力および DOUT3 入力に渡すことで動作します。更にデータは、チェーンの最後のアップストリーム・デバイスの DOUT0 ピンと DOUT1 ピンに入力されるまでチェーンを流れ続けます。

デジタル・インターフェース

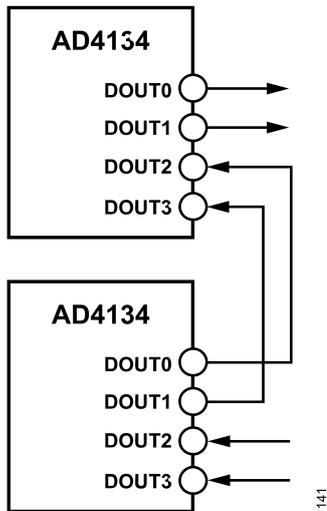


図 118. 2 チャンネルのデジーチェーン構成によるデータ・インターフェース接続

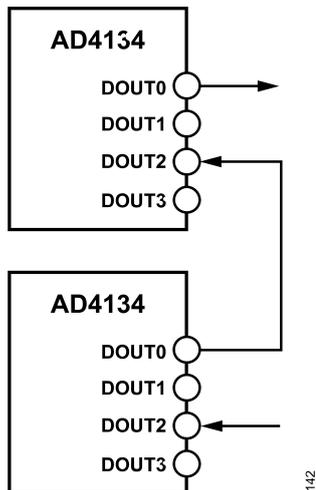


図 119. 1 チャンネルのデジーチェーン構成によるデータ・インターフェース接続

DOUT0 ピンのみを使用して、同様の方法で AD4134 をデジーチェーン接続できます。この場合、DOUT2 ピンのみをシリアル・データ入力ピンとして使用します (図 119 を参照)。

AD4134 が ODR および DCLK を生成するためのマスタとしてチェーンで使用されている場合、接続されているデバイスの数を知らせるために DAISY_CHAIN_DEV_NUM ビットを設定する必要があります。AD4134 が十分な数の DCLK サイクルを生成して、チェーン内のすべてのデバイスからデータが出力されるように、DAISY_CHAIN_DEV_NUM ビットを設定します。例えば、図 120 では、両方のデバイスからデータをクロック・アウトするだけの DCLK サイクル数を AD4134 が生成できるように、マスタ・デバイスの DAISY_CHAIN_DEV_NUM ビットを 0x01 に設定します。

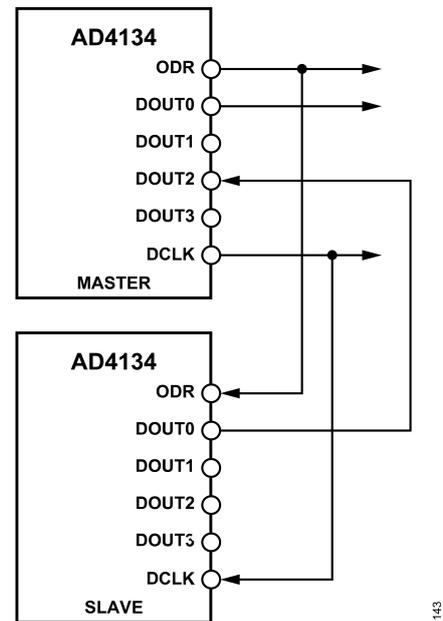


図 120. マスタ・スレーブ構成用のシングル・チャンネル・デジーチェーン

チェーンでサポートされるデバイスの数は、与えられた出力データ・レートに対して選択した DCLK 周波数によって制限されます。

デバイスのデジーチェーン接続時に許可される最大の使用可能 DCLK 周波数は、タイミング仕様と DCLK 動作モードの組み合わせにより制限されます。

データ・インターフェースのフレーム長

AD4134 データ・インターフェースは、バイト・ベースの転送方式で動作します。つまり、トランザクションは 8 ビットの倍数です。

DOUTx ピンあたり、かつ ODR サイクルあたりのデータ・バイト数として定義されるデータ・フレーム長は、以下の要因に依存します。

- ▶ 変換出力のワード・サイズ
- ▶ ステータスまたは CRC ヘッダ r
- ▶ データ出力のフォーマット設定
- ▶ デジーチェーン設定
- ▶ データ平均化

変換出力のワード・サイズは、16 ビットまたは 24 ビットが可能です。

通信の堅牢性を向上させ、リアルタイムのエラー・ステータスを受信するために、オプションで各変換結果にステータスまたは CRC ヘッダ・バイトを含めることができます。

出力データの平行化またはシリアル化を選択できます。4 つの ADC チャンネルから 1 つの DOUTx ピンに出力データをシリアル化すると、データ・フレーム長が 4 倍になります。

複数のデバイスがデジーチェーン接続されている場合、データ・フレーム長の合計は、チェーン上の個々のデバイスのデータ・フレーム長の合計に等しくなります。

デジタル・インターフェース

フレーム長の例

ケース 1 では、以下の条件を適用します。

- ▶ 16 ビット出力フォーマット
- ▶ ステータスも CRC ヘッドもなし
- ▶ 4 つの DOUTx ピンすべてでパラレル出力
- ▶ デイジーチェーンなし
- ▶ 平均化を無効化

出力データ・フレームの長さは、4 つの DOUTx ピンのそれぞれで、ODR 周期あたり $16/8 = 2$ バイトです。

ケース 2 では、以下の条件を適用します。

- ▶ 24 ビット・データ・フォーマット
- ▶ ステータスと CRC ヘッドを有効化
- ▶ 2 つの DOUTx ピンで出力
- ▶ 3 つのデバイスをデイジーチェーン接続
- ▶ 平均化を無効化

出力データ・フレームの長さは、2 つの DOUTx ピンのそれぞれで、ODR 周期あたり $(24/8 + 1) \times 2 \times 3 = 24$ バイトです。

ケース 3 では、以下の条件を適用します。

- ▶ 24 ビット出力フォーマット
- ▶ ステータスと CRC ヘッドを有効化
- ▶ 1 つの DOUTx ピンで出力
- ▶ 2 つのデバイスをデイジーチェーン接続
- ▶ 4:1 の平均化

出力データ・フレームの長さは、ODR 周期あたり $(24/8 + 1) \times 4 \times 2/4 = 8$ バイトです。

DCLK 周波数の選択

データ・フレームの全長を時間内にクロック・アウトするように、適切な DCLK 周波数を使用する必要があります。

AD4134 でサポートする最大の DCLK 周波数は、出力では 48MHz、入力では 50MHz です。

ゲーテッド DCLK 出力サイクル

DCLK をゲーテッド出力として設定している場合、AD4134 は内部カウンタを使用して、各 ODR パルス後に出力する DCLK サイクルの数を制御します。データ・フレームとフォーマットの設定に従って、出力する DCLK サイクル数を自動的に調整します。

ただし、デイジーチェーン・モードでは、チェーンに接続されているデバイスの数をもとに認識している訳ではありません。

ピン制御モードでは、デバイスがクワッド・チャンネルのパラレル出力モードで動作するように設定されていない限り、デイジーチェーン構成を想定しています。DCLK ピンをゲーテッド出力として設定している場合、4 つのデバイスがデイジーチェーン上にあるものと想定されます。各 ODR パルスの後に生成される DCLK サイクル数は、デバイスのデータ・フレーム長の 4 倍に等しくなります。

SPI 制御モードでは、DAISY_CHAIN_DEV_NUM ビットにより、デイジーチェーン上のデバイス数を柔軟に設定できます。この値は、DCLK ピンをゲーテッド出力として設定している場合、各 ODR パルス後にデバイスが出力する DCLK サイクル数に乗算されます。

ゲーテッド DCLK 出力サイクルの例

ケース 1 では、以下の条件を適用します。

- ▶ 16 ビット出力フォーマット
- ▶ ステータスも CRC ヘッドもなし
- ▶ シングル・チャンネル・デイジーチェーン・モード
- ▶ ピン制御モード動作
- ▶ DCLK をゲーテッド出力として設定

デバイスは、各 ODR パルスの後に $16 \times 4 = 64$ の DCLK サイクルを出力します。ケース 2 では、以下の条件を適用します。

- ▶ 24 ビット出力フォーマット
- ▶ ステータスと CRC ヘッドを有効化
- ▶ デュアル・チャンネル・デイジーチェーン・モード
- ▶ 平均化を無効化
- ▶ SPI 制御モード動作
- ▶ DAISY_CHAIN_DEV_NUM = 3 (10 進数)

デバイスは、各 ODR パルスの後に $(24 + 8) \times 2 \times 3 = 192$ の DCLK サイクルを出力します。

チャンネル依存の ODR

SPI 制御モードでは、CHANNEL_ODR_SELECT レジスタを使用して、各チャンネルで異なる ODR レートを設定できます。レートは、ODR ピンでの信号周波数の 2 のべき乗分の 1 である必要があり、メイン ODR 周波数の 1/8 以上に制限されます。

各チャンネルは、チャンネルの ODR レートに基づいて変換出力を更新します。例えば、出力データ・レートを ODR/4 になるようにチャンネルを設定している場合、その出力データは 4 つの ODR サイクルごとに 1 回更新されます。図 121 に、チャンネルごとに出力データ・レート設定が異なるデバイスのデータ・インターフェースのタイミング例を示します。

デジタル・インターフェース

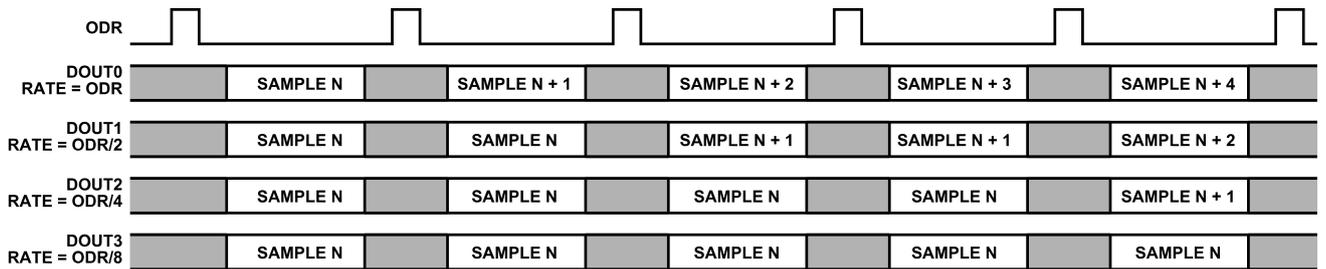


図 121. チャンネルごとに ODR 設定が異なるデバイスのデータ・インターフェースのタイミング例

デジタル・インターフェースのリセット

INTERFACE_CONFIG_B レジスタ (DIG_IF_RESET) のビット 1 は、データ・インターフェースをリセットします。マルチデバイス設定では、このビットはデータ・チャンネル出力を同期して、デバイス間チャンネルの位相マッチングを実現します。このビットはセルフ・クリアであり、SPI スレーブ・モード動作でのみ使用できます。マルチデバイスの同期のセクションを参照してください。

最小 I/O モード

特定のアプリケーションでは、AD4134 とのインターフェースに使用する I/O ライン数を最小にする必要があります。この条件は、デジタル・ホストで使用可能な I/O の数が限られているという理由、またはコスト上の理由で、絶縁アプリケーションに必要なデジタル・アイソレーション・チャンネルの数を最小限に抑えるためです。

AD4134 は、わずか 4 本の単方向 I/O ラインを使用して、レジスタ・アクセスとデータ・アクセスの両方をサポートするように設計されています。

最小 I/O モード構成では、基本的に AD4134 のレジスタおよびデータのアクセス・インターフェースを組み合わせ、デジタル・ホストが 1 つの SPI ポートのみで AD4134 をマスタとしてインターフェースできるようにします。

I/O ポートの数を最小限に抑えることのトレードオフとして、ファームウェアの設計が複雑になることと、CPU の処理負荷が高くなる可能性があることが挙げられます。

電源投入時、AD4134 は最小 I/O モードでスタートアップし、ピンのトグルにより最小 I/O モードを終了します。また、SPI CRC は最小 I/O モードで有効になり、無効化はできません。すべての SPI パケットは 24 ビットでなければなりません。つまり、R/W+

アドレス (8 ビット)、データ (8 ビット)、および CRC (8 ビット) で構成されます (図 114 を参照)。最小数の IO ラインで動作するように AD4134 を設定するには、以下のシーケンスを実行します。

1. FORMAT0/ピンをグラウンドに接続します。
2. DCLK を FORMAT1/SCLK ピンに外部で接続します。
3. DCLK をゲーテッド入力として設定します。
4. ASRC スレーブ・モードに設定します。
5. FORMATx を 00 に設定します。こうすると、4 つの ADC チャンネルすべてからのデータが束ねられ、DOUT0 を介して出力されます。
6. SDO_PIN_SRC_SEL ビットを 1 に設定します。

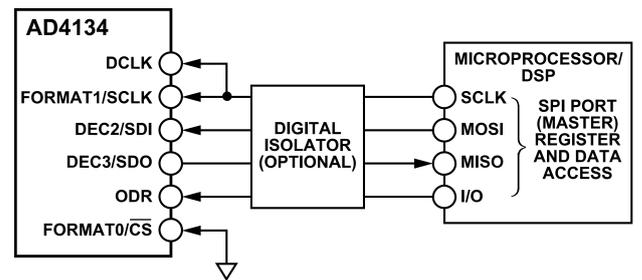


図 122. 最小 I/O 構成の信号接続図

最小 I/O モードでは、レジスタの内容と ADC の変換データの両方のリードバックに DEC3/SDO ピンを使用できます。SDO および DOUT0 出力のいずれかが 1 つのみがいつでもイネーブルできます。SDO_PIN_SRC_SEL ビットを 1 に設定した場合、DOUT0 の信号が DEC3/SDO ピンに複製されます。

診断機能

AD4134には、以下の機能ブロックのエラーを監視および通知する多数の診断機能を内蔵しています。

- ▶ 内部ヒューズ
- ▶ アナログ入力レンジ
- ▶ MCLK 周波数
- ▶ SPI 通信
- ▶ メモリ・マップ値
- ▶ ODR 入力周波数
- ▶ デジタル・フィルタ

SPI 制御モードでは、診断制御レジスタによって以下の診断機能を有効化または無効化できます。

- ▶ ヒューズ CRC
- ▶ メモリ・マップ CRC
- ▶ SPI CRC
- ▶ MCLK カウンタ
- ▶ アナログ入力レンジ

図 123 は、監視する様々なタイプのブロックすべてと、診断制御レジスタを使用して有効化されるブロックを示しています。

その他の診断機能はデバイス上で継続的に実行され、NO_CHIP_ERR ビットを除くすべてのビットは読み出し時にクリアされます。

図 123 に示すように、デバイス設定レジスタの NO_CHIP_ERR ビットはマスタ・エラー・ステータス・ビットです。他のステータスのエラー・ビットのいずれかがセットされている場合、

このビットはクリアされます。このビットは、すべてのステータス・ビットがクリアされると 1 に戻り、チップ・エラーがないことを示します。

内部ヒューズの完全性チェック

AD4134 は、ヒューズ・タイプのメモリを使用して、出荷時に設定された各デバイスに固有のキャリブレーション値を保存します。工場出荷時、CRC コードはデバイスの最終的なヒューズ値に基づいて計算され、デバイスのメモリに保存されます。

パワーアップのたびに、デバイスは自己設定のためにヒューズ・メモリを読み出します。デバイスはまた、読み出したヒューズ値に基づいて CRC 計算を実行し、その計算値を出荷時設定値と比較して、ヒューズ読み出しエラーを検出します。

ヒューズ CRC エラーが検出されると、デバイスは ERR_FUSE_CRC ビットをセットします。

診断制御レジスタの FUSE_CRC_CHECK ビットを使用して、ヒューズ・チェックを開始させることもできます。チェックが完了すると、このビットはクリアされます。このチェックが実行されると、データ出力は中断します。

ヒューズ CRC は 1 ビットのエラー訂正をサポートしています。検出した場合、デバイスはエラーを訂正しようとします。AD4134 は、エラーを訂正した場合は STAT_FUSE_ECC ビットをセットし、ヒューズ CRC エラー訂正が完了しない場合は ERR_FUSE_CRC ビットをセットします。

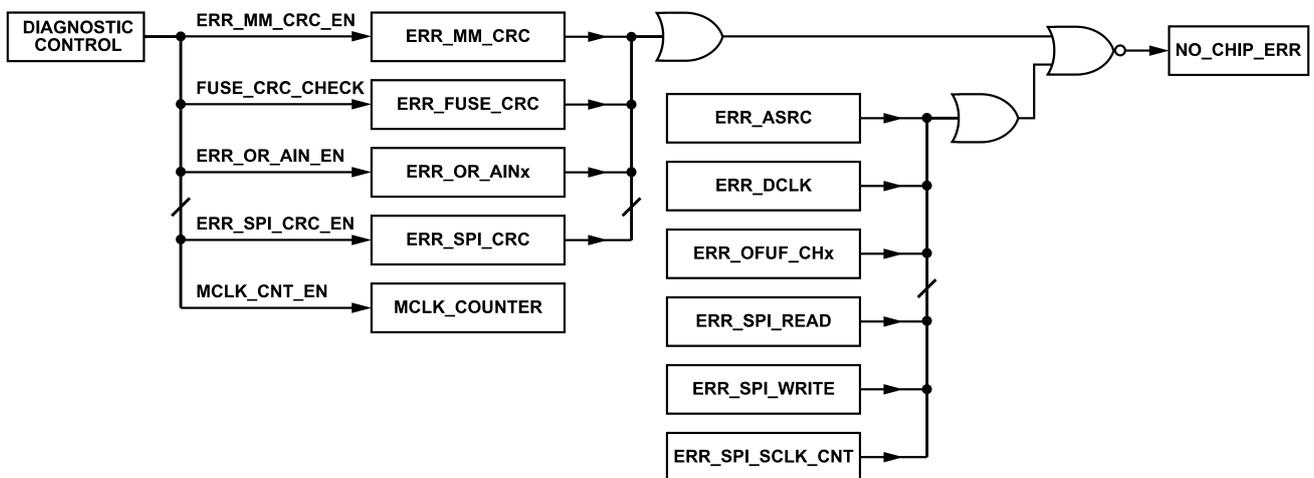


図 123. エラー

診断機能

アナログ入力のオーバーレンジ

内蔵のフルスケール・オーバーレンジ検出モニターは、AINx+ピンと AINx-ピン間に正のフルスケール入力電圧を検出すると、ビットにフラグを立てます。この検出は、診断制御レジスタの ERR_OR_AIN_EN ビットによりチャンネルごとに有効化され、電圧がそのチャンネルに対応したフルスケールを超えた場合に、特定のチャンネルに対応する過電圧ビットがセットされます。

4つの入力チャンネルに対応する AIN_OR_ERROR レジスタの4つの過電圧フラグは、読み出し時にクリアされます。

MCLK カウンタ

出力データ・レート、フィルタ・セトリング・タイム、およびフィルタ・ノッチ周波数はマスタ・クロックに依存しているため、安定した MCLK は重要です。AD4134 では、マスタ・クロックを監視できます。診断制御レジスタの MCLK_CNT_EN ビットをセットすると、MCLK_COUNTER レジスタが 12,000 のマスタ・クロック・サイクルごとに 1 ずつインクリメントします。コントローラでタイマーを稼働させることにより、このレジスタを一定期間監視することが可能で、マスタ・クロック周波数は、MCLK_COUNTER レジスタの結果から判断できます。

$$MCLK = \text{Register Data} \times 12,000 / \text{Timer Value}$$

ここで、Register Data は 10 進数形式です。

例えば、MCLK が 24MHz でタイマーを 100ms に設定した場合、予想される MCLK_COUNTER 値は 0xC8 です。このレジスタは、最大値に達した後にラップ・アラウンドします。

SPI の監視

AD4134 は、SPI の堅牢性を向上させるために、いくつかの診断手段をサポートしています。

未定義のレジスタ・アドレスへのアクセス

未定義のレジスタ・アドレスにアクセスしようとすると、デバイスはその命令を無視し、ERR_SPI_READ ビットまたは ERR_SPI_WRITE ビットにエラーのフラグを立てます。これらのビットは読み出し時にクリアされます。

SCLK カウンタ

AD4134 は、SCLK カウンタを使用して、信号によってフレーム化された読書のトランザクションごとに供給される SCLK サイクルの数をカウントします。各 SPI トランザクションの最後の SCLK サイクル数が 8 の整数倍でない場合、デバイスは ERR_SPI_SCLK_CNT ビットにエラー・フラグを立てます。このビットは読み出し時にクリアされます。SCLK カウンタは、最小 I/O モードでは使用できません。

SPI CRC

診断制御レジスタの ERR_SPI_CRC_EN ビットをセットすると、すべての SPI 読み出しおよび書き込み操作の CRC チェックが有効になります。CRC チェックでエラーが発生した場合、SPI エラー・レジスタの ERR_SPI_CRC ビットがセットされます。このビットは読み出し時にクリアされます。

CRC チェックサム計算の場合、使用される多項式は $x^8 + x^2 + x + 1$ で、リセット・シードは 0xA5 です。

8 ビットのチェックサムが、読み出しと書き込みの各トランザクションの最後に付加されます。書き込みトランザクションのチェックサム計算は、8 ビットのコマンド・ワードとデータを使って計算されます。読み出しトランザクションの場合、チェックサムはコマンド・ワードとデータ出力を使用して計算されません。

読みしまたは書き込み操作の場合、ホストは R/W ビット、アドレス (8 ビット)、データ (8 ビット)、および 8 ビット CRC (R/W、アドレス、およびデータに関する) を送信します。

書き込み操作では、ホストが SDI ラインで CRC を送信中に、スレーブが受信した書き込み+アドレス+データで計算した CRC を同時に送信します。スレーブは、ホストによって送信された受信 CRC が計算した CRC と一致する場合にのみ、書き込み操作を実行します。スレーブは 1 ビットのステータスを送信し、その後 15 個のゼロと 8 ビットの CRC を送信します (図 124 を参照)。



図 124. CRC 付き SPI 書き込み

読み出し操作では、ホストが SDI ラインで CRC を送信中に、スレーブがコマンドと読み出しデータで計算した CRC を同時に送信します。スレーブは 1 ビットのステータスを送信し、その後 7 個のゼロ、8 ビットの読み出しデータと 8 ビットの CRC を送信します (図 125 を参照)。

スレーブが送信する 1 ビットのステータスはエラー・ビットで、前のフレームに読み出し、書き込み、または CRC のエラーがあったことを示します。

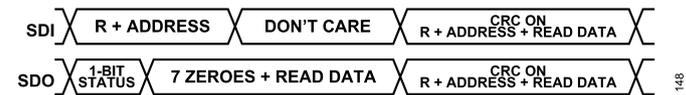


図 125. CRC 付き SPI 読み出し

メモリ・マップの完全性チェック

診断制御レジスタの ERR_MM_CRC_EN ビットをセットした場合、すべてのオンボード・レジスタからの書き込みアクセスでのデータの CRC が計算され、結果がメモリに保存されます。続いて、デバイスは 2.4kHz の周波数で CRC 計算を実行し、各出力をメモリに保存されている CRC 値と比較します。2つの値が異なる場合、デバイスは ERR_MM_CRC ビットをセットします。このビットは読み出し時にクリアされます。メモリに保存されている CRC 値も、各 SPI 書き込みトランザクションの後に再計算されます。

この機能は、メモリ・マップでソフト・エラーを検出するのに役立ちます。

ODR 入力の周波数チェック

ODR 入力の周波数チェックは、デバイスが ASRC スレーブ・モードで動作している場合にのみ適用されます。

診断機能

デバイスは、PLL ロック後に入力 ODR 信号の周波数を確認し、検出された ODR 周波数が表 19 で規定されている特定のタイプのフィルタの範囲外である場合、ERR_ASRC ビットをセットします。このビットは読出し時にクリアされます。

例えば、ODR 入力を 600kSPS に設定していて、フィルタ・セットのタイプが広帯域の場合、このエラーにフラグが立てられません。このシナリオではデータ出力はありません。

デジタル・フィルタのオーバーフローとアンダーフロー

デジタル・フィルタのオーバーフロー／アンダーフローは、入力がオーバーレンジの場合、またはゲインおよびキャリブレーション・レジスタの設定が正しくない場合に発生します。AD4134 は、デジタル・フィルタ・パスを監視し、オーバーフローまたはアンダーフロー状態を検出すると、DIG_FILTER_OFUF レジスタの対応するチャンネル・ビットをセットします。

この診断機能を適切に使用するには、パワーアップ後にこれらのフラグをリードバックすることを推奨します。

DCLK エラー

このデバイスには、フレーム全体をクロック・アウトするのに必要なデータ・クロック数が不十分であることを示す機能が組み込まれています。

与えられた ODR の全フレームをクロック・アウトするのに十分な速さのデータ・クロックを設定するか供給する必要があり、ゲーテッド・モードの場合は次式を満たす必要があります。

$ODR\ Time > t_{DCLK} \times Frame\ Size + 6 \times t_{DCLK}\ or\ t_{DIGCLK}\ (whichever\ is\ higher)$

フリー・モードの場合は次式を満たす必要があります。

$ODR\ Time > t_{DCLK} \times Frame\ Size + 4 \times t_{DCLK}\ or\ t_{DIGCLK}\ (whichever\ is\ higher)$

ERR_DCLK フラグは、設定または供給する DCLK 周波数が式 1 を満たさない場合にセットされ、データ・クロック数が不十分でフレーム全体をクロック・アウトすることはできません。このビットは読出し時にクリアされます。

GPIO 機能

AD4134 には、SPI 制御モードでの動作時に使用可能な GPIO 機能があります。このすべてを設定可能なモードでは、8 つの GPIO を動作させることができるため、AD4134 を SPI ベースの GPIO エクスパンダとして機能させることができます。GPIO ピンは、ピンごとに入力または出力（読みまたは書き込み）として設定できます。

書き込みモードでは、これらの GPIO ピンは、AD4134 と同じ SPI を介してスイッチ、アンプ、マルチプレクサ、バッファなどの他の回路を制御するのに使用できます。この方法で SPI を共有することで、複数の制御信号が必要なシステムと比べ、コントローラからのデータ・ラインの総使用数を削減できます。この共有は、絶縁バリアをまたぐ制御ラインの数を減らすことが重要なシステムで特に有用です。同様に、GPIO 読出しも便利な機能です。この機能により、ペリフェラル・デバイスが情報を入力 GPIO に送信した後、AD4134 の SPI からこの情報を読み出すことができます。

GPIO ピンは、汎用の入力または出力として使用できます。GPIO_DIR_CTRL レジスタで、個々のピンを入力または出力として設定します。GPIO_DATA レジスタは、入力として設定し

た場合はピンの状態を反映し、出力として設定した場合はこのレジスタに書き込みを行ってピンを設定できます（図 126 を参照）。

PIN エラーの通知

更に、ビット ERR_PIN_OUT_EN を有効化することで、GPIO7 を診断エラーを通知するための出力として使用できます。レジスタ ERROR_PIN_SRC_CONTROL は、このピンで通知可能なエラーのタイプを制御します。複数のタイプを選択した場合、出力は選択したすべてのエラーの論理 OR となります。

GPIO6 は、ERR_PIN_IN_EN ビットを有効化することにより、他のデバイスからのエラー入力として使用できます。このビットの状態は、ERR_PIN_IN_STATUS ビットで読み出すことができます。

GPIO7 の出力は、ERROR_PIN_SRC_CONTROL レジスタと ERR_PIN_IN_STATUS ビットで選択したすべてのエラーの論理 OR となります。

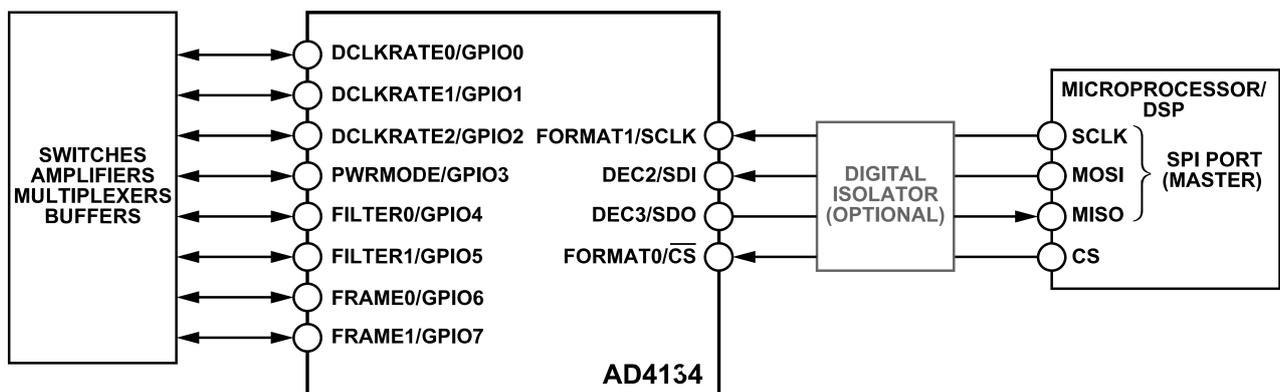


図 126. AD4134 を SPI GPIO エクスパンダとして使用

レジスタ・マップ (SPI 制御)

デバイスのレジスタ・マップ (SPI 制御) については、表 38 を参照してください。

表 38. レジスタ・マップ

Reg	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x0	INTERFACE_CONFIG_A	SOFT_RESET	Reserved	ADDRESS_ASCENSION_BIT	SDO_ACTIVE_BIT	SDO_ACTIVE_BIT_MIRROR	ADDRESS_ASCENSION_BIT_MIRROR	Reserved	SOFT_RESET_MIRROR	0x18	R/W	
0x1	INTERFACE_CONFIG_B	SINGLE_INSTR	Reserved	MASTER_SLAVE_RD_CTRL	Reserved			DIG_IF_RESET	Reserved	0x80	R/W	
0x2	DEVICE_CONFIG	Reserved		OP_IN_PROGRESS	NO_CHIP_ERR	Reserved			POWER_MODE	0xD0	R/W	
0x3	CHIP_TYPE	CHIP_TYPE								0x07	R	
0x4	PRODUCT_ID_LSB	PRODUCT_ID[7:0]								N/A ¹	R	
0x5	PRODUCT_ID_MSB	PRODUCT_ID[15:8]								N/A ¹	R	
0x6	CHIP_GRADE	PRODUCT_GRADE				DEVICE_VERSION				0x00	R	
0x7	SILICON_REV	SILICON_REVISION_ID								0x00	R	
0xA	SCRATCH_PAD	SCRATCH_PAD								0x00	R/W	
0xB	SPI_REVISION	SPI_REVISION_NUMBER								0x02	R	
0xC	VENDOR_ID_LSB	VENDOR_ID[7:0]								0x56	R	
0xD	VENDOR_ID_MSB	VENDOR_ID[15:8]								0x04	R	
0xE	STREAM_MODE	STREAM_MODE_BITS								0x00	R/W	
0xF	TRANSFER_REGISTER	Reserved							MASTER_SLAVE_TX_BIT	0x00	R/W	
0x10	DEVICE_CONFIG_1	Reserved				AA_MODE	SDO_PIN_SRC_SEL	REFIN_GAIN_CORR_EN	XCLKOUT_EN	0x00	R/W	
0x11	DATA_PACKET_CONFIG	CRC_POLY_RST_SEL	Reserved	Frame		DCLK_FREQ_SEL					0x00	R/W
0x12	DIGITAL_INTERFACE_CONFIG	DAISY_CHAIN_DEV_NUM				AVG_SEL		Format			0x00	R/W
0x13	POWER_DOWN_CONTROL	Reserved	PWRDN_CH3	PWRDN_CH2	PWRDN_CH1	PWRDN_CH0	Reserved	PWRDN_LDO	SLEEP_MODE_EN	0x00	R/W	
0x14	RESERVED	Reserved								0x00	R/W	
0x15	DEVICE_STATUS	Reserved		STAT_DCLKMODE	STAT_DCLKIO	STAT_MODE	STAT_CLKSEL	STAT_FUSE_ECC	STAT_PLL_LOCK	0x00	R	
0x16	ODR_VAL_INT_LSB	ODR_VAL_INT[7:0]								0x40	R/W	
0x17	ODR_VAL_INT_MID	ODR_VAL_INT[15:8]								0x00	R/W	
0x18	ODR_VAL_INT_MSB	ODR_VAL_INT[23:16]								0x00	R/W	
0x19	ODR_VAL_FLT_LSB	ODR_VAL_FLT[7:0]								0x72	R/W	
0x1A	ODR_VAL_FLT_MID0	ODR_VAL_FLT[15:8]								0xB7	R/W	
0x1B	ODR_VAL_FLT_MID1	ODR_VAL_FLT[23:16]								0xCE	R/W	
0x1C	ODR_VAL_FLT_MSB	ODR_VAL_FLT[31:24]								0x2B	R/W	
0x1D	CHANNEL_ODR_SELECT	ODR_RATE_SEL_CH3		ODR_RATE_SEL_CH2		ODR_RATE_SEL_CH1		ODR_RATE_SEL_CH0			0x00	R/W
0x1E	CHAN_DIG_FILTER_SEL	DIGFILTER_SEL_CH3		DIGFILTER_SEL_CH2		DIGFILTER_SEL_CH1		DIGFILTER_SEL_CH0			0x00	R/W

レジスタ・マップ (SPI 制御)

表 38. レジスタ・マップ

Reg	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x1F	FIR_BW_SEL	Reserved				WB_FILTER_SEL_CH3	WB_FILTER_SEL_CH2	WB_FILTER_SEL_CH1	WB_FILTER_SEL_CH0	0x00	R/W
0x20	GPIO_DIR_CTRL	GPIO_IO_CONTROL								0x00	R/W
0x21	GPIO_DATA	GPIO_DATA								0x00	R/W
0x22	ERROR_PIN_SRC_CONTROL	Reserved	ERR_PIN_EN_OR_AIN	ERR_PIN_EN_INTERNAL	ERR_PIN_EN_SPI	Reserved				0x00	R/W
0x23	ERROR_PIN_CONTROL	Reserved					ERR_PIN_IN_STATUS	ERR_PIN_IN_EN	ERR_PIN_OUT_EN	0x00	R/W
0x24	VCMBUF_CTRL	Reserved	PWRDN_VCMBUF	VCMBUF_REF_DIV_SEL				VCMBUF_REF_SEL	0x00	R/W	
0x25	Diagnostic Control	Reserved		ERR_OR_AIN_EN	Reserved	MCLK_CNT_EN	ERR_SPI_CRC_EN	ERR_MM_CRC_EN	FUSE_CRC_CHECK	0x00	R/W
0x26	MPC_CONFIG	MPC_CLKDEL_EN_CH3	MPC_CLKDEL_EN_CH2		MPC_CLKDEL_EN_CH1		MPC_CLKDEL_EN_CH0		0x00	R/W	
0x27	CH0_GAIN_LSB	GAIN_CH0[7:0]								0x00	R/W
0x28	CH0_GAIN_MID	GAIN_CH0[15:8]								0x00	R/W
0x29	CH0_GAIN_MSB	Reserved			GAIN_CAL_SEL_CH0	GAIN_CH0[19:16]				0x00	R/W
0x2A	CH0_OFFSET_LSB	OFFSET_CH0[7:0]								0x00	R/W
0x2B	CH0_OFFSET_MID	OFFSET_CH0[15:8]								0x00	R/W
0x2C	CH0_OFFSET_MSB	OFFSET_CAL_EN_CH0	OFFSET_CH0[22:16]							0x00	R/W
0x2D	CH1_GAIN_LSB	GAIN_CH1[7:0]								0x00	R/W
0x2E	CH1_GAIN_MID	GAIN_CH1[15:8]								0x00	R/W
0x2F	CH1_GAIN_MSB	Reserved			GAIN_CAL_SEL_CH1	GAIN_CH1[19:16]				0x00	R/W
0x30	CH1_OFFSET_LSB	OFFSET_CH1[7:0]								0x00	R/W
0x31	CH1_OFFSET_MID	OFFSET_CH1[15:8]								0x00	R/W
0x32	CH1_OFFSET_MSB	OFFSET_CAL_EN_CH1	OFFSET_CH1[22:16]							0x00	R/W
0x33	CH2_GAIN_LSB	GAIN_CH2[7:0]								0x00	R/W
0x34	CH2_GAIN_MID	GAIN_CH2[15:8]								0x00	R/W
0x35	CH2_GAIN_MSB	Reserved			GAIN_CAL_SEL_CH2	GAIN_CH2[19:16]				0x00	R/W
0x36	CH2_OFFSET_LSB	OFFSET_CH2[7:0]								0x00	R/W
0x37	CH2_OFFSET_MID	OFFSET_CH2[15:8]								0x00	R/W
0x38	CH2_OFFSET_MSB	OFFSET_CAL_EN_CH2	OFFSET_CH2[22:16]							0x00	R/W
0x39	CH3_GAIN_LSB	GAIN_CH3[7:0]								0x00	R/W
0x3A	CH3_GAIN_MID	GAIN_CH3[15:8]								0x00	R/W
0x3B	CH3_GAIN_MSB	Reserved			GAIN_CAL_SEL_CH3	GAIN_CH3[19:16]				0x00	R/W
0x3C	CH3_OFFSET_LSB	OFFSET_CH3[7:0]								0x00	R/W
0x3D	CH3_OFFSET_MID	OFFSET_CH3[15:8]								0x00	R/W

レジスタ・マップ (SPI 制御)

表 38. レジスタ・マップ

Reg	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x3E	CH3_OFFSET_MSB	OFFSET_CAL_EN_CH3	OFFSET_CH3[22:16]								0x00	R/W
0x3F	MCLK_COUNTER	MCLK_COUNT									0x00	R
0x40	DIG_FILTER_OFUF	Reserved				ERR_OFUF_CH3	ERR_OFUF_CH2	ERR_OFUF_CH1	ERR_OFUF_CH0	0x00	R	
0x41	DIG_FILTER_SETTLED	Reserved				CH3_SETTLED	CH2_SETTLED	CH1_SETTLED	CH0_SETTLED	0x00	R	
0x42	INTERNAL_ERROR	Reserved				ERR_DCLK	ERR_FUSE_CRC	ERR_ASRC	ERR_MM_CRC	0x00	R	
0x47	SPI Error	Reserved				ERR_SPI_CRC	ERR_SPI_SCLK_CNT	ERR_SPI_WRITE	ERR_SPI_READ	0x00	R	
0x48	AIN_OR_ERROR	Reserved				ERR_OR_AIN3	ERR_OR_AIN2	ERR_OR_AIN1	ERR_OR_AIN0	0x00	R	

¹ N/A は該当なし。リセット値はタイム・スタンプに依存し、製造時に設定されます。

レジスタの詳細

アドレス : 0x0、リセット : 0x18、レジスタ名 : INTERFACE_CONFIG_A

表 39. INTERFACE_CONFIG_A のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SOFT_RESET	0 1	デバイスのソフト・リセット。このビットは、リセットの完了時にクリアされます。 デフォルト。 ソフトウェア・リセットを開始。	0x0	R/W
6	Reserved		予備。	0x0	R
5	ADDRESS_ASCENSION_BIT	0 1	レジスタ・マップ・アドレスの昇順/降順の制御。ストリーミング・モードと併用した場合、アドレス昇順にすると、シーケンシャル・レジスタ・アドレスが順に大きくなります。無効化すると、シーケンシャル・レジスタ・アドレスが順に小さくなります。 シーケンシャル・レジスタ・アドレスを降順にする。 シーケンシャル・レジスタ・アドレスを昇順にする。	0x0	R/W
4	SDO_ACTIVE_BIT	0 1	SDO の制御。 SDO をディスエーブル、ハイ・インピーダンスを示す。 SDO をイネーブル。	0x1	R/W
3	SDO_ACTIVE_BIT_MIRROR		SDO_ACTIVE_BIT のミラー・イメージ。	0x1	R
2	ADDRESS_ASCENSION_BIT_MIRROR		ADDRESS_ASCENSION_BIT のミラー・イメージ。	0x0	R
1	Reserved		予備。	0x0	R
0	SOFT_RESET_MIRROR	0 1	SOFT_RESET のミラー・イメージ。 デフォルト。 ソフトウェア・リセットを開始。	0x0	R/W

アドレス : 0x1、リセット : 0x80、レジスタ名 : INTERFACE_CONFIG_B

表 40. INTERFACE_CONFIG_B のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SINGLE_INSTR	0 1	単一命令モード制御。このビットをセットすると、の状態に関係なくストリーミングを無効化します。クリアすると、ストリーミングを有効化します。 無効化。 有効化。	0x1	R/W
6	Reserved		予備。	0x0	R
5	MASTER_SLAVE_RD_CTRL	0 1	マスタ・スレーブ・リードバック制御。マスタまたはスレーブのどちらのバッファ付きビット (ODR_VAL_INT_x および ODR_VAL_FLT_x) からデータをリードバックするかを指定します。1 に設定すると、マスタ出力からリードバックします。クリアすると、スレーブ出力からリードバックします。 スレーブのフリップフロップ出力をリードバック。 マスタのフリップフロップ出力をリードバック。	0x0	R/W
[4:2]	Reserved		予備。	0x0	R
1	DIG_IF_RESET		デジタル・インターフェースのリセット。	0x0	R/W
0	Reserved		予備。	0x0	R/W

アドレス : 0x2、リセット : 0xD0、レジスタ名 : DEVICE_CONFIG

表 41. DEVICE_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	Reserved		予備。	0x3	R
5	OP_IN_PROGRESS	0 1	処理中インジケータ。0 の値をリードバックすると、デバイスがビジーであることを示します。 何らかの処理を実行中。 実行中の処理なし。	0x0	R
4	NO_CHIP_ERR	0 1	有効化されているすべてのステータス・エラーのエラー・フラグ。このビットは、有効化されているすべてのエラー・ビットの OR であり、セットされているエラー・フラグがある間はクリアを維持します。 デバイスにチップ・エラーがあります。 チップ・エラーなし。	0x1	R

レジスタの詳細

表 41. DEVICE_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[3:1]	Reserved		予備。	0x0	R
0	POWER_MODE	0	デバイスの電力モード制御。 低消費電力モード。	0x0	R/W
		1	高性能モード。	0x0	R

アドレス : 0x3、リセット : 0x07、レジスタ名 : CHIP_TYPE

表 42. CHIP_TYPE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	CHIP_TYPE		デバイスのタイプを示すコード。0x07 を読み出すと、高精度 ADC を示します。	0x7	R

アドレス : 0x4、リセット : 0x00、レジスタ名 : PRODUCT_ID_LSB

表 43. PRODUCT_ID_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]		製品 ID。	Not applicable ¹	R

¹ リセット値はタイム・スタンプに依存し、製造時に設定されます。

アドレス : 0x5、リセット : 0x00、レジスタ名 : PRODUCT_ID_MSB

表 44. PRODUCT_ID_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]		製品 ID。	Not applicable ¹	R

¹ リセット値はタイム・スタンプに依存し、製造時に設定されます。

アドレス : 0x6、リセット : 0x00、レジスタ名 : CHIP_GRADE

表 45. CHIP_GRADE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	PRODUCT_GRADE		デバイスのグレード。	0x0	R
[3:0]	DEVICE_VERSION		デバイスのバージョン。	0x0	R

アドレス : 0x7、リセット : 0x02、レジスタ名 : SILICON_REV

表 46. SILICON_REV のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SILICON_REVISION_ID		現在のシリコンのリビジョン番号を格納します。	0x0	R

アドレス : 0xA、リセット : 0x00、レジスタ名 : SCRATCH_PAD

表 47. SCRATCH_PAD のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SCRATCH_PAD		SPI の読書き動作を確認するためのスクラッチ・パッド。	0x0	R/W

アドレス : 0xB、リセット : 0x02、レジスタ名 : SPI_REVISION

表 48. SPI_REVISION のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SPI_REVISION_NUMBER		SPI プロトコルのリビジョン番号を示します。	0x2	R

アドレス : 0xC、リセット : 0x56、レジスタ名 : VENDOR_ID_LSB

表 49. VENDOR_ID_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VENDOR_ID[7:0]		ベンダ ID。	0x56	R

レジスタの詳細

アドレス : 0xD、リセット : 0x04、レジスタ名 : VENDOR_ID_MSB

表 50. VENDOR_ID_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VENDOR_ID[15:8]		ベンダ ID。	0x4	R

アドレス : 0xE、リセット : 0x00、レジスタ名 : STREAM_MODE

表 51. STREAM_MODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	STREAM_MODE_BITS		ユーザ・ストリーム・モードのループの深さを定義します。	0x0	R/W

アドレス : 0xF、リセット : 0x00、レジスタ名 : TRANSFER_REGISTER

表 52. TRANSFER_REGISTER のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	Reserved		予備。	0x0	R
0	MASTER_SLAVE_TX_BIT		マスタ・スレーブ転送ビット。このビットをセットすると、マスタ・レジスタにデータが入力され、スレーブに転送されます。転送が完了すると、スレーブ・デバイスはこのビットをクリアして（自動クリア）、転送が完了したことを SPI マスタに通知し、必要に応じて制御プログラムでスレーブ・データをリードバックできます。転送前は、レジスタ 0x1 のビット 5 (MASTER_SLAVE_RD_CTRL) をセットしていない限り、試行されたリードバックは以前のデータを示します。セットしている場合、マスタ・データにアクセスします。転送を呼び出す別の方法としては、ローからハイへの遷移を使用する方法があります。	0x0	R/W

アドレス : 0x10、リセット : 0x00、レジスタ名 : DEVICE_CONFIG_1

表 53. .DEVICE_CONFIG_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備、常にゼロ。	0x0	R/W
3	AA_MODE	0 1	固有のアンチエイリアシング・モードを設定します。 AA1 モード。 AA2 モード。	0x0	R/W
2	SDO_PIN_SRC_SEL	0 1	DEC3/SDO ピン信号のソース選択。最小 I/O モードでは、レジスタの内容と ADC の変換データの両方のリードバックに DEC3/SDO ピンを使用できます。 DEC3/SDO ピンは SPI シリアル・データ出力として機能。 DOUT0 の信号が DEC3/SDO ピンで複製される。	0x0	R/W
1	REFIN_GAIN_CORR_EN	0 1	リファレンス・ゲイン補正を有効化します。 リファレンス・ゲイン補正を無効化。 リファレンス・ゲイン補正を有効化。	0x0	R/W
0	XCLKOUT_EN	0 1	XCLKOUT 出力のイネーブル制御。 XCLKOUT をディスエーブル。 XCLKOUT をイネーブル。	0x0	R/W

アドレス : 0x11、リセット : 0x00、レジスタ名 : DATA_PACKET_CONFIG

表 54. DATA_PACKET_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	CRC_POLY_RST_SEL	0 1	データ・インターフェースの CRC リセット方式を選択します。 データ・インターフェースの CRC は、各データ・フレームの最後にデフォルトのシード値でリセットされます。 データ・インターフェースの CRC は、各データ・フレームの最後でリセットされない。先行するデータ・フレームから計算された CRC 値が、現在のデータ・フレームの CRC 計算のシードとなります。	0x0 0x0	R/W R
6	Reserved		予備 - このビットには常に 0 を書き込みます	0x0	R/W
[5:4]	Frame	0 1	ADC 変換データ出力のフレーム制御。 16 ビット ADC データのみ。 16 ビット ADC データとそれに続く 6 ビット CRC。	0x0	R/W

レジスタの詳細

表 54. DATA_PACKET_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		10	24 ビット ADC データのみ。		
		11	24 ビット ADC データとそれに続く 6 ビット CRC。		
[3:0]	DCLK_FREQ_SEL		DCLK 出力周波数を制御します。	0x0	R/W
		0	$f_{DCLK} = 48\text{MHz}$ 。		
		1	$f_{DCLK} = 24\text{MHz}$ 。		
		10	$f_{DCLK} = 12\text{MHz}$ 。		
		11	$f_{DCLK} = 6\text{MHz}$ 。		
		100	$f_{DCLK} = 3\text{MHz}$ 。		
		101	$f_{DCLK} = 1.5\text{MHz}$ 。		
		110	$f_{DCLK} = 750\text{kHz}$ 。		
		111	$f_{DCLK} = 375\text{kHz}$ 。		
		1000	$f_{DCLK} = 187.5\text{kHz}$ 。		
		1001	$f_{DCLK} = 93.75\text{kHz}$ 。		
		1010	$f_{DCLK} = 46.875\text{kHz}$ 。		
		1011	$f_{DCLK} = 23.4375\text{kHz}$ 。		
		1100	$f_{DCLK} = 11.71875\text{kHz}$ 。		
		1101	$f_{DCLK} = 5.859\text{kHz}$ 。		
		1110	$f_{DCLK} = 2.929\text{kHz}$ 。		
		1111	$f_{DCLK} = 1.464\text{kHz}$ 。		

アドレス : 0x12、リセット : 0x00、レジスタ名 : DIGITAL_INTERFACE_CONFIG

表 55. DIGITAL_INTERFACE_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	DAISY_CHAIN_DEV_NUM		デジチェーン構成で接続されているデバイスの数を設定します。このレジスタは、デジチェーン構成で他のデバイスに DCLK を出力するように設定されたデバイスにのみ適用できません。このレジスタ値は、DCLK 出力設定でのクロック・サイクルの乗数として機能します。例えば、デジチェーン・デバイス数を 2 に設定すると、ODR サイクルあたりに出力される DCLK サイクルの数が 2 倍になります。	0x0	R/W
		0	1 個のデバイスのみを使用。		
		1	2 個のデバイスをデジチェーン構成で使用。		
		10	3 個のデバイスをデジチェーン構成で使用。		
		11	4 個のデバイスをデジチェーン構成で使用。		
		100	5 個のデバイスをデジチェーン構成で使用。		
		101	6 個のデバイスをデジチェーン構成で使用。		
		110	7 個のデバイスをデジチェーン構成で使用。		
		111	8 個のデバイスをデジチェーン構成で使用。		
		1000	9 個のデバイスをデジチェーン構成で使用。		
		1001	10 個のデバイスをデジチェーン構成で使用。		
		1010	11 個のデバイスをデジチェーン構成で使用。		
		1011	12 個のデバイスをデジチェーン構成で使用。		
		1100	13 個のデバイスをデジチェーン構成で使用。		
		1101	14 個のデバイスをデジチェーン構成で使用。		
		1110	15 個のデバイスをデジチェーン構成で使用。		
		1111	16 個のデバイスをデジチェーン構成で使用。		
[3:2]	AVG_SEL		マルチチャンネル ADC 変換データの平均化制御。	0x0	R/W
		0	4 つのチャンネルすべてからのデータが平均化され、DOUT0 に出力される。DOUT2 はデジチェーン入力として機能。DOUT1 と DOUT3 はディスエーブル。		
		1	チャンネル 0 とチャンネル 1 からのデータが平均化され、DOUT0 に出力される。DOUT1 はディスエーブル。チャンネル 2 とチャンネル 3 は通常動作。		

レジスタの詳細

表 55. DIGITAL_INTERFACE_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		10	チャンネル 2 とチャンネル 3 からのデータが平均化され、DOUT2 に出力される。DOUT3 はディスエーブル。チャンネル 0 とチャンネル 1 は通常動作。		
		11	チャンネル 0 とチャンネル 1 からのデータが平均化され、DOUT0 に出力される。チャンネル 2 とチャンネル 3 からのデータが平均化され、DOUT1 に出力される。DOUT2 と DOUT3 はデジタイゼーション入力として機能。		
[1:0]	Format	0	DOUTx のデータ出力フォーマット設定 シングル・チャンネル・デジタイゼーション・モード。DOUT0 は出力として機能し、DOUT2 はデジタイゼーション入力として機能。DOUT1 と DOUT3 はディスエーブル。4 つの ADC チャンネルすべてからのデータが DOUT0 に出力される。	0x0	R/W
		1	デュアル・チャンネル・デジタイゼーション・モード。DOUT0 と DOUT1 は出力として機能し、DOUT2 と DOUT3 はデジタイゼーション入力として機能。チャンネル 0 およびチャンネル 1 からのデータは DOUT0 に出力される。チャンネル 2 およびチャンネル 3 からのデータは DOUT1 に出力される。		
		10	クワッド・チャンネル・パラレル出力モード。各 ADC チャンネルに専用のデータ出力ピンが対応。		
		11	チャンネル・データ平均化モード。平均化操作は AVG_SEL ローによって指定。		

アドレス : 0x13、リセット : 0x00、レジスタ名 : POWER_DOWN_CONTROL

表 56. POWER_DOWN_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備。	0x0	R
6	PWRDN_CH3	0 1	アナログ入力チャンネル 3 をパワーダウンします。 0 パワーアップ。 1 パワーダウン。	0x0	R/W
5	PWRDN_CH2	0 1	アナログ入力チャンネル 2 をパワーダウンします。 0 パワーアップ。 1 パワーダウン。	0x0	R/W
4	PWRDN_CH1	0 1	アナログ入力チャンネル 1 をパワーダウンします。 0 パワーアップ。 1 パワーダウン。	0x0	R/W
3	PWRDN_CH0	0 1	アナログ入力チャンネル 0 をパワーダウンします。 0 パワーアップ。 1 パワーダウン。	0x0	R/W
2	Reserved		予備。	0x0	R
1	PWRDN_LDO	0 1	内部アナログおよびクロック LDO レギュレータをパワーダウンします。 0 内部 LDO レギュレータをパワーアップ。 1 内部 LDO レギュレータをパワーダウン。	0x0	R/W
0	SLEEP_MODE_EN	0 1	デジタル LDO レギュレータを除くすべてのブロックをオフにします。内蔵レジスタの内容は変化しません。 0 スリープ・モードを無効化。 1 スリープ・モードを有効化。	0x0	R/W

アドレス : 0x14、リセット : 0x00、レジスタ名 : RESERVED

表 57. RESERVED のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	Reserved		予備。常にゼロ。	0x0	R/W

アドレス : 0x15、リセット : 0x00、レジスタ名 : DEVICE_STATUS

表 58. DEVICE_STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	Reserved		予備。	0x0	R

レジスタの詳細

表 58. DEVICE_STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
5	STAT_DCLKMODE	0 1	DEC1/DCLKMODE ピンのステータス。DCLK が自走モードかゲートド・モードかを示します。 DCLK はゲートド・モード。SPI インターフェースに適合。 DCLK は自走モード。	0x0	R
4	STAT_DCLKIO	0 1	DEC0/DCLKIO ピンのステータス。DCLK ピンの方向を示します。 DCLK は入力。 DCLK は出力。	0x0	R
3	STAT_MODE	0 1	MODE ピン・ステータス。デバイスがマスタカスレープかを示します。 スレープ・モード：ODR は入力。 マスタ・モード：ODR は出力。	0x0	R
2	STAT_CLKSEL	0 1	CLKSEL ピンのステータス。クロック源を示します。 CMOS 入力クロックが接続されている。 水晶発振器入力が接続されている。	0x0	R
1	STAT_FUSE_ECC	0 1	ヒューズ・エラー訂正コードの適用を示すステータス・ビット。 このビットを読み出すと、クリアされます。 エラー・コード訂正は適用されない。 エラー・コード訂正は適用される。	0x0	R
0	STAT_PLL_LOCK	0 1	スレープ・モードでの PLL ステータス。PLL がロックしているかどうかを示します。このビットがセットされていると、PLL はロックしています。 PLL はロックしていない。 PLL はロックしている。	0x0	R

アドレス：0x16、リセット：0x40、レジスタ名：ODR_VAL_INT_LSB

表 59. ODR_VAL_INT_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_INT[7:0]		デシメーション・レートのインテジャー部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0x40	R/W

アドレス：0x17、リセット：0x00、レジスタ名：ODR_VAL_INT_MID

表 60. ODR_VAL_INT_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_INT[15:8]		デシメーション・レートのインテジャー部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0x0	R/W

アドレス：0x18、リセット：0x00、レジスタ名：ODR_VAL_INT_MSB

表 61. ODR_VAL_INT_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_INT[23:16]		デシメーション・レートのインテジャー部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0x0	R/W

アドレス：0x19、リセット：0x72、レジスタ名：ODR_VAL_FLT_LSB

表 62. ODR_VAL_FLT_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_FLT[7:0]		デシメーション・レートのフラクショナル部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0x72	R/W

アドレス：0x1A、リセット：0xB7、レジスタ名：ODR_VAL_FLT_MID0

表 63. ODR_VAL_FLT_MID0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_FLT[15:8]		デシメーション・レートのフラクショナル部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0xB7	R/W

レジスタの詳細

アドレス : 0x1B、リセット : 0xCE、レジスタ名 : ODR_VAL_FLT_MID1

表 64. ODR_VAL_FLT_MID1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_FLT[23:16]		デシメーション・レートのフラクショナル部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0xCE	R/W

アドレス : 0x1C、リセット : 0x2B、レジスタ名 : ODR_VAL_FLT_MSB

表 65. ODR_VAL_FLT_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ODR_VAL_FLT[31:24]		デシメーション・レートのフラクショナル部分。デシメーション・レートは、ODR に対する 24MHz の比率です。マスタ・モードでは、このレジスタを設定して ODR 出力周波数を設定できます。	0x2B	R/W

アドレス : 0x1D、リセット : 0x00、レジスタ名 : CHANNEL_ODR_SELECT

表 66. CHANNEL_ODR_SELECT のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	ODR_RATE_SEL_CH3	0 1 10 11	チャンネル 3 の出力データ・レート対 ODR 周波数比を選択します。 出力データ・レート = ODR。 出力データ・レート = ODR/2。 出力データ・レート = ODR/4。 出力データ・レート = ODR/8。	0x0	R/W
[5:4]	ODR_RATE_SEL_CH2	0 1 10 11	チャンネル 2 の出力データ・レート対 ODR 周波数比を選択します。 出力データ・レート = ODR。 出力データ・レート = ODR/2。 出力データ・レート = ODR/4。 出力データ・レート = ODR/8。	0x0	R/W
[3:2]	ODR_RATE_SEL_CH1	0 1 10 11	チャンネル 1 の出力データ・レート対 ODR 周波数比を選択します。 出力データ・レート = ODR。 出力データ・レート = ODR/2。 出力データ・レート = ODR/4。 出力データ・レート = ODR/8。	0x0	R/W
[1:0]	ODR_RATE_SEL_CH0	0 1 10 11	チャンネル 0 の出力データ・レート対 ODR 周波数比を選択します。 出力データ・レート = ODR。 出力データ・レート = ODR/2。 出力データ・レート = ODR/4。 出力データ・レート = ODR/8。	0x0	R/W

アドレス : 0x1E、リセット : 0x00、レジスタ名 : CHAN_DIG_FILTER_SEL

表 67. CHAN_DIG_FILTER_SEL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	DIGFILTER_SEL_CH3	0 01 10 11	チャンネル 3 のデジタル・フィルタ・タイプの選択。 広帯域フィルタ。 sinc6 フィルタ。 sinc3 フィルタ。 sinc3 フィルタ、50Hz および 60Hz を同時除去。	0x0	R/W
[5:4]	DIGFILTER_SEL_CH2	0 01 10 11	チャンネル 2 のデジタル・フィルタ・タイプの選択。 広帯域フィルタ。 sinc6 フィルタ。 sinc3 フィルタ。 sinc3 フィルタ、50Hz および 60Hz を同時除去。	0x0	R/W
[3:2]	DIGFILTER_SEL_CH1	0 01	チャンネル 1 のデジタル・フィルタ・タイプの選択。 広帯域フィルタ。 sinc6 フィルタ。	0x0	R/W

レジスタの詳細

表 67. CHAN_DIG_FILTER_SEL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		10	sinc3 フィルタ。		
		11	sinc3 フィルタ、50Hz および 60Hz を同時除去。		
[1:0]	DIGFILTER_SEL_CH0		チャンネル 0 のデジタル・フィルタ・タイプの選択。	0x0	R/W
		0	広帯域フィルタ。		
		01	sinc6 フィルタ。		
		10	sinc3 フィルタ。		
		11	sinc3 フィルタ、50Hz および 60Hz を同時除去。		

アドレス : 0x1F、リセット : 0x00、レジスタ名 : FIR_BW_SEL

表 68. FIR_BW_SEL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	WB_FILTER_SEL_CH3		チャンネル 3 の広帯域フィルタ帯域幅の選択。	0x0	R/W
		0	広帯域フィルタの帯域幅は $0.433 \times \text{ODR}$ 。		
		1	広帯域フィルタの帯域幅は $0.10825 \times \text{ODR}$ 。		
2	WB_FILTER_SEL_CH2		チャンネル 2 の広帯域フィルタ帯域幅の選択。	0x0	R/W
		0	広帯域フィルタの帯域幅は $0.433 \times \text{ODR}$ 。		
		1	広帯域フィルタの帯域幅は $0.10825 \times \text{ODR}$ 。		
1	WB_FILTER_SEL_CH1		チャンネル 1 の広帯域フィルタ帯域幅の選択。	0x0	R/W
		0	広帯域フィルタの帯域幅は $0.433 \times \text{ODR}$ 。		
		1	広帯域フィルタの帯域幅は $0.10825 \times \text{ODR}$ 。		
0	WB_FILTER_SEL_CH0		チャンネル 0 の広帯域フィルタ帯域幅の選択。	0x0	R/W
		0	広帯域フィルタの帯域幅は $0.433 \times \text{ODR}$ 。		
		1	広帯域フィルタの帯域幅は $0.10825 \times \text{ODR}$ 。		

アドレス : 0x20、リセット : 0x00、レジスタ名 : GPIO_DIR_CTRL

表 69. GPIO_DIR_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GPIO_IO_CONTROL		GPIO I/O の方向制御。各ビットは、GPIO ピンの方向を制御します。値 0 は、GPIO ピンを入力として設定します。値 1 は、GPIO ピンを出力として設定します。ビット 0 は GPIO0 に関連付けられています。	0x0	R/W

アドレス : 0x21、リセット : 0x00、レジスタ名 : GPIO_DATA

表 70. GPIO_DATA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GPIO_DATA		GPIO データの値。GPIO ピンを入力として設定している場合、対応するビットは読み専用で、その値はピンの入力ロジック状態を反映しています。GPIO ピンを出力として設定している場合、対応するビットに書き込みを行ってピンの出力ロジックを制御します。ビット 0 は GPIO0 に関連付けられています。1 = ロジック・ハイ、0 = ロジック・ロー。	0x0	R/W

アドレス : 0x22、リセット : 0x00、レジスタ名 : ERROR_PIN_SRC_CONTROL

表 71. ERROR_PIN_SRC_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	Reserved		予備。	0x0	R
5	ERR_PIN_EN_OR_AIN		GPIO7 での入力オーバーレンジ・エラーのエラー通知を有効化します。	0x0	R/W
		0	過電圧エラーでのピン・トグルをディスエーブル。		
		1	過電圧エラーでのピン・トグルをイネーブル。		

レジスタの詳細

表 71. ERROR_PIN_SRC_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
4	ERR_PIN_EN_INTERNAL	0 1	GPIO7 での内部エラーのエラー通知を有効化します。内部エラーには、デジタル・オーバーフローまたはアンダーフロー・エラー、メモリ・マップ CRC エラー、ASRC エラー、ヒューズ CRC エラー、DCLK カウンタ・エラーがあります。このレポートを有効にするには、診断制御レジスタの対応するエラーを必ず有効化してください。 内部エラーでのピン・トグルをディスエーブル。 内部エラーでのピン・トグルをイネーブル。	0x0	R/W
3	ERR_PIN_EN_SPI	0 1	読み出し、書き込み、CRC チェック、クロック・カウンタ・エラーなどの SPI エラーがある場合、GPIO7 のエラー通知を有効化します。ピンでこれらのエラーを通知するには、SPI CRC エラーを必ず有効化します。 SPI 関連エラーでのピン・トグルをディスエーブル。 SPI 関連エラーでのピン・トグルをイネーブル。	0x0	R/W
[2:0]	Reserved		予備。	0x0	R

アドレス : 0x23、リセット : 0x00、レジスタ名 : ERROR_PIN_CONTROL

表 72. ERROR_PIN_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	Reserved		予備。	0x0	R
2	ERR_PIN_IN_STATUS		このビットは、ERR_PIN_IN_EN ビットを使用して有効化した場合に、GPIO6 でのエラー入力をラッチした状態を示しています。	0x0	R
1	ERR_PIN_IN_EN		GPIO6 をエラー入力として有効化します。このビットにより、エラーをデジタル・ホストからデジチェーン接続することが可能になり、内部エラーと論理和演算が行われます。	0x0	R/W
0	ERR_PIN_OUT_EN		GPIO7 をエラー出力ピンとして有効化します。このエラーのソースは、ERROR_PIN_SRC_CONTROL レジスタで指定します。	0x0	R/W

アドレス : 0x24、リセット : 0x00、レジスタ名 : VCMBUF_CTRL

表 73. VCMBUF_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	Reserved		予備。	0x0	R
6	PWRDN_VCMBUF	0 1	VCM バッファの電源制御。 VCM バッファをパワーオン。 VCM バッファをパワーダウン。	0x0	R/W
[5:1]	VCMBUF_REF_DIV_SEL	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111 10000 10001 10010	VCMBUF_REF_SEL = 0 の場合の VCM 出力電圧レベルの選択。 $V_{CM} = V_{REF} \times 10/20$ 。 予備。 $V_{CM} = V_{REF} \times 19/20$ 。 $V_{CM} = V_{REF} \times 18/20$ 。 $V_{CM} = V_{REF} \times 17/20$ 。 $V_{CM} = V_{REF} \times 16/20$ 。 $V_{CM} = V_{REF} \times 15/20$ 。 $V_{CM} = V_{REF} \times 14/20$ 。 $V_{CM} = V_{REF} \times 13/20$ 。 $V_{CM} = V_{REF} \times 12/20$ 。 $V_{CM} = V_{REF} \times 11/20$ 。 $V_{CM} = V_{REF} \times 9/20$ 。 $V_{CM} = V_{REF} \times 8/20$ 。 $V_{CM} = V_{REF} \times 7/20$ 。 $V_{CM} = V_{REF} \times 6/20$ 。 $V_{CM} = V_{REF} \times 5/20$ 。 $V_{CM} = V_{REF} \times 4/20$ 。 $V_{CM} = V_{REF} \times 3/20$ 。 $V_{CM} = V_{REF} \times 2/20$ 。	0x0	R/W

レジスタの詳細

表 73. VCMBUF_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		10011	$V_{CM} = V_{REF} \times 1/20$ 。		
		11101	$V_{CM} = V_{REF} \times 10/20$ 。		
		11110	$V_{CM} = V_{REF} \times 10/20$ 。		
		11111	$V_{CM} = V_{REF} \times 10/20$ 。		
0	VCMBUF_REF_SEL	0	VCM 出力ソースの選択。 VCM を V_{REF} の比率として設定。VCM 出力レベルは、 V_{REF} を VCMBUF_REF_DIV_SEL で設定した比率で割った値。	0x0	R/W
		1	V_{CM} を AVDD5/2 に固定。		

アドレス : 0x25、リセット : 0x00、レジスタ名 : Diagnostic Control

表 74. 診断制御のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	Reserved		予備。	0x0	R
5	ERR_OR_AIN_EN	0	すべての有効なアナログ入力チャンネルでオーバーレンジ・モニターを有効化します。	0x0	R/W
		1	入力過電圧モニターを無効化。		
		1	入力過電圧モニターを有効化。		
4	Reserved		予備。	0x0	R
3	MCLK_CNT_EN	0	マスタ・クロック・カウンタを有効化します。ADC で使用されている外部クロックを監視する MCLK カウンタを開始します。	0x0	R/W
		1	MCLK カウンタを無効化。		
		1	MCLK カウンタを有効化。		
2	ERR_SPI_CRC_EN	0	SPI の読書き操作で CRC チェックを有効化します。CRC チェックでエラーが発生した場合、SPI エラー・レジスタの ERR_SPI_CRC ビットがセットされます。更に、すべての SPI 読出し操作に 8 ビット CRC ワードが付加されます。	0x0	R/W
		1	SPI CRC を無効化。		
		1	SPI CRC を有効化。		
1	ERR_MM_CRC_EN	0	メモリ・マップの CRC 計算を有効化します。レジスタに書き込みが行われるたびに、メモリ・マップで CRC 計算が実行されます。この書き込み後、内蔵レジスタで定期的な CRC チェックが実行されます。レジスタの内容が変更された場合は、ERR_MM_CRC ビットがセットされます。	0x0	R/W
		1	メモリ・マップ CRC チェックを無効化。		
		1	メモリ・マップ CRC チェックを有効化。		
0	FUSE_CRC_CHECK	0	ヒューズの内容に対して CRC 計算を開始します。レジスタの内容が変更されている場合、ERR_FUSE_CRC ビットがセットされます。チェックが完了すると、このビットはクリアされます。	0x0	R/W
		1	CRC 計算を無効化。		
		1	CRC 計算を有効化。		

アドレス : 0x26、リセット : 0x00、レジスタ名 : MPC_CONFIG

表 75. MPC_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	MPC_CLKDEL_EN_CH3	00	チャンネル 3 の振幅および位相マッチングのキャリブレーション・クロック遅延イネーブル。	0x0	R/W
		01	振幅および位相のクロック遅延 : 0 クロック遅延。		
		10	振幅および位相のクロック遅延 : 1 クロック遅延。		
		11	振幅および位相のクロック遅延 : 2 クロック遅延。		
		11	振幅および位相のクロック遅延 : 0 クロック遅延。		
[5:4]	MPC_CLKDEL_EN_CH2	00	チャンネル 2 の振幅および位相マッチングのキャリブレーション・クロック遅延イネーブル。	0x0	R/W
		01	振幅および位相のクロック遅延 : 0 クロック遅延。		
		10	振幅および位相のクロック遅延 : 1 クロック遅延。		
		11	振幅および位相のクロック遅延 : 2 クロック遅延。		
		11	振幅および位相のクロック遅延 : 0 クロック遅延。		
[3:2]	MPC_CLKDEL_EN_CH1		チャンネル 1 の振幅および位相マッチングのキャリブレーション・クロック遅延イネーブル。	0x0	R/W

レジスタの詳細

表 75. MPC_CONFIG のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		00	振幅および位相のクロック遅延：0クロック遅延。		
		01	振幅および位相のクロック遅延：1クロック遅延。		
		10	振幅および位相のクロック遅延：2クロック遅延。		
		11	振幅および位相のクロック遅延：0クロック遅延。		
[1:0]	MPC_CLKDEL_EN_CH0		チャンネル0の振幅および位相マッチングのキャリブレーション・クロック遅延イネーブル。	0x0	R/W
		00	振幅および位相のクロック遅延：0クロック遅延。		
		01	振幅および位相のクロック遅延：1クロック遅延。		
		10	振幅および位相のクロック遅延：2クロック遅延。		
		11	振幅および位相のクロック遅延：0クロック遅延。		

アドレス：0x27、リセット：0x00、レジスタ名：CH0_GAIN_LSB

表 76. CH0_GAIN_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH0[7:0]		チャンネル0のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x28、リセット：0x00、レジスタ名：CH0_GAIN_MID

表 77. CH0_GAIN_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH0[15:8]		チャンネル0のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x29、リセット：0x00、レジスタ名：CH0_GAIN_MSB

表 78. CH0_GAIN_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備。	0x0	R
4	GAIN_CAL_SEL_CH0		チャンネル0のゲイン・キャリブレーションを有効化。	0x0	R/W
[3:0]	GAIN_CH0[19:16]		チャンネル0のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x2A、リセット：0x00、レジスタ名：CH0_OFFSET_LSB

表 79. CH0_OFFSET_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH0[7:0]		チャンネル0のオフセット・キャリブレーション値	0x0	R/W

アドレス：0x2B、リセット：0x00、レジスタ名：CH0_OFFSET_MID

表 80. CH0_OFFSET_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH0[15:8]		チャンネル0のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x2C、リセット：0x00、レジスタ名：CH0_OFFSET_MSB

表 81. CH0_OFFSET_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	OFFSET_CAL_EN_CH0		チャンネル0のオフセット・キャリブレーションを有効化。	0x0	R/W
[6:0]	OFFSET_CH0[22:16]		チャンネル0のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x2D、リセット：0x00、レジスタ名：CH1_GAIN_LSB

表 82. CH1_GAIN_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH1[7:0]		チャンネル1のゲイン・キャリブレーション値。	0x0	R/W

レジスタの詳細

アドレス : 0x2E、リセット : 0x00、レジスタ名 : CH1_GAIN_MID

表 83. CH1_GAIN_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH1[15:8]		チャンネル 1 のゲイン・キャリブレーション値。	0x0	R/W

アドレス : 0x2F、リセット : 0x00、レジスタ名 : CH1_GAIN_MSB

表 84. CH1_GAIN_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備。	0x0	R
4	GAIN_CAL_SEL_CH1		チャンネル 1 のゲイン・キャリブレーションを有効化。	0x0	R/W
[3:0]	GAIN_CH1[19:16]		チャンネル 1 のゲイン・キャリブレーション値。	0x0	R/W

アドレス : 0x30、リセット : 0x00、レジスタ名 : CH1_OFFSET_LSB

表 85. CH1_OFFSET_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH1[7:0]		チャンネル 1 のオフセット・キャリブレーション値。	0x0	R/W

アドレス : 0x31、リセット : 0x00、レジスタ名 : CH1_OFFSET_MID

表 86. CH1_OFFSET_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH1[15:8]		チャンネル 1 のオフセット・キャリブレーション値。	0x0	R/W

アドレス : 0x32、リセット : 0x00、レジスタ名 : CH1_OFFSET_MSB

表 87. CH1_OFFSET_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	OFFSET_CAL_EN_CH1		チャンネル 1 のオフセット・キャリブレーションを有効化。	0x0	R/W
[6:0]	OFFSET_CH1[22:16]		チャンネル 1 のオフセット・キャリブレーション値。	0x0	R/W

アドレス : 0x33、リセット : 0x00、レジスタ名 : CH2_GAIN_LSB

表 88. CH2_GAIN_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH2[7:0]		チャンネル 2 のゲイン・キャリブレーション値。	0x0	R/W

アドレス : 0x34、リセット : 0x00、レジスタ名 : CH2_GAIN_MID

表 89. CH2_GAIN_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH2[15:8]		チャンネル 2 のゲイン・キャリブレーション値。	0x0	R/W

アドレス : 0x35、リセット : 0x00、レジスタ名 : CH2_GAIN_MSB

表 90. CH2_GAIN_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備。	0x0	R
4	GAIN_CAL_SEL_CH2		チャンネル 2 のゲイン・キャリブレーションを有効化。	0x0	R/W
[3:0]	GAIN_CH2[19:16]		チャンネル 2 のゲイン・キャリブレーション値。	0x0	R/W

アドレス : 0x36、リセット : 0x00、レジスタ名 : CH2_OFFSET_LSB

表 91. CH2_OFFSET_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH2[7:0]		チャンネル 2 のオフセット・キャリブレーション値。	0x0	R/W

レジスタの詳細

アドレス：0x37、リセット：0x00、レジスタ名：CH2_OFFSET_MID

表 92. CH2_OFFSET_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH2[15:8]		チャンネル 2 のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x38、リセット：0x00、レジスタ名：CH2_OFFSET_MSB

表 93. CH2_OFFSET_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	OFFSET_CAL_EN_CH2		チャンネル 2 のオフセット・キャリブレーションを有効化。	0x0	R/W
[6:0]	OFFSET_CH2[22:16]		チャンネル 2 のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x39、リセット：0x00、レジスタ名：CH3_GAIN_LSB

表 94. CH3_GAIN_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH3[7:0]		チャンネル 3 のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x3A、リセット：0x00、レジスタ名：CH3_GAIN_MID

表 95. CH3_GAIN_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	GAIN_CH3[15:8]		チャンネル 3 のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x3B、リセット：0x00、レジスタ名：CH3_GAIN_MSB

表 96. CH3_GAIN_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	Reserved		予備。	0x0	R
4	GAIN_CAL_SEL_CH3		チャンネル 3 のゲイン・キャリブレーションを有効化。	0x0	R/W
[3:0]	GAIN_CH3[19:16]		チャンネル 3 のゲイン・キャリブレーション値。	0x0	R/W

アドレス：0x3C、リセット：0x00、レジスタ名：CH3_OFFSET_LSB

表 97. CH3_OFFSET_LSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH3[7:0]		チャンネル 3 のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x3D、リセット：0x00、レジスタ名：CH3_OFFSET_MID

表 98. CH3_OFFSET_MID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	OFFSET_CH3[15:8]		チャンネル 3 のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x3E、リセット：0x00、レジスタ名：CH3_OFFSET_MSB

表 99. CH3_OFFSET_MSB のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	OFFSET_CAL_EN_CH3		チャンネル 3 のオフセット・キャリブレーションを有効化。	0x0	R/W
[6:0]	OFFSET_CH3[22:16]		チャンネル 3 のオフセット・キャリブレーション値。	0x0	R/W

アドレス：0x3F、リセット：0x00、レジスタ名：MCLK_COUNTER

表 100. MCLK_COUNTER のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	MCLK_COUNT		12,000MCLK サイクルごとに 1 ずつインクリメントする 8 ビット・カウンタ。カウンタ出力がリードバックされ、これによってユーザは外部クロックの周波数を知ることができます。MCLK カウンタは、MCLK_CNT_EN をセットすると開始し、255MCLK サイクルに達すると終了します。	0x0	R

レジスタの詳細

アドレス : 0x40、リセット : 0x00、レジスタ名 : DIG_FILTER_OFUF

表 101. DIG_FILTER_OFUF のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	ERR_OFUF_CH3	0 1	チャンネル 3 のデジタル・フィルタのオーバーフローまたはアンダーフロー・エラー。 0 オーバーフローまたはアンダーフロー・エラーなし。 1 オーバーフローまたはアンダーフロー・エラー。	0x0	R
2	ERR_OFUF_CH2	0 1	チャンネル 2 のデジタル・フィルタのオーバーフローまたはアンダーフロー・エラー。 0 オーバーフローまたはアンダーフロー・エラーなし。 1 オーバーフローまたはアンダーフロー・エラー。	0x0	R
1	ERR_OFUF_CH1	0 1	チャンネル 1 のデジタル・フィルタのオーバーフローまたはアンダーフロー・エラー。 0 オーバーフローまたはアンダーフロー・エラーなし。 1 オーバーフローまたはアンダーフロー・エラー。	0x0	R
0	ERR_OFUF_CH0	0 1	チャンネル 0 のデジタル・フィルタのオーバーフローまたはアンダーフロー・エラー。 0 オーバーフローまたはアンダーフロー・エラーなし。 1 オーバーフローまたはアンダーフロー・エラー。	0x0	R

アドレス : 0x41、リセット : 0x00、レジスタ名 : DIG_FILTER_SETTLED

表 102. DIG_FILTER_SETTLED のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	CH3_SETTLED	0 1	チャンネル 3 デジタル・フィルタのステータス。 0 デジタル・フィルタはセトリングしていない。 1 デジタル・フィルタはセトリングしている。	0x0	R
2	CH2_SETTLED	0 1	チャンネル 2 デジタル・フィルタのステータス。 0 デジタル・フィルタはセトリングしていない。 1 デジタル・フィルタはセトリングしている。	0x0	R
1	CH1_SETTLED	0 1	チャンネル 1 デジタル・フィルタのステータス。 0 デジタル・フィルタはセトリングしていない。 1 デジタル・フィルタはセトリングしている。	0x0	R
0	CH0_SETTLED	0 1	チャンネル 0 デジタル・フィルタのステータス。 0 デジタル・フィルタはセトリングしていない。 1 デジタル・フィルタはセトリングしている。	0x0	R

アドレス : 0x42、リセット : 0x00、レジスタ名 : INTERNAL_ERROR

表 103. INTERNAL_ERROR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	ERR_DCLK	0 1	DCLK エラー・フラグは、設定した DCLK または供給された DCLK がローで、すべてのフレームをクロック・アウトします。 0 DCLK エラーなし。 1 DCLK エラー。	0x0	R
2	ERR_FUSE_CRC	0 1	ヒューズ・エラー・フラグは、ヒューズ内容に CRC エラーがあることを示します。有効化すると、ヒューズの内容に対して CRC 計算が実行されます。内容が変化した場合、このビットがセットされます。 0 ヒューズ CRC エラーなし。 1 ヒューズ CRC エラー。	0x0	R
1	ERR_ASRC	0 1	ASRC エラー・フラグは、ODR が選択したフィルタの範囲外かどうかを示します。 0 ASRC エラーなし。 1 ASRC エラー。	0x0	R

レジスタの詳細

表 103. INTERNAL_ERROR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
0	ERR_MM_CRC	0 1	メモリ・マップ・エラー・フラグは、オンチップ・レジスタの内容に CRC エラーがあることを示します。有効化すると、レジスタに書き込まれるたびにメモリ・マップで CRC 計算が実行されます。この計算に続いて、定期的な CRC チェックがオンチップ・レジスタに対して実行されます。レジスタ内容が変化した場合、エラーのフラグが立てられます。 メモリ・マップ・エラーなし。 メモリ・マップ・エラー。	0x0	R

アドレス : 0x47、リセット : 0x00、レジスタ名 : SPI Error

表 104. SPI Error のビットの説明

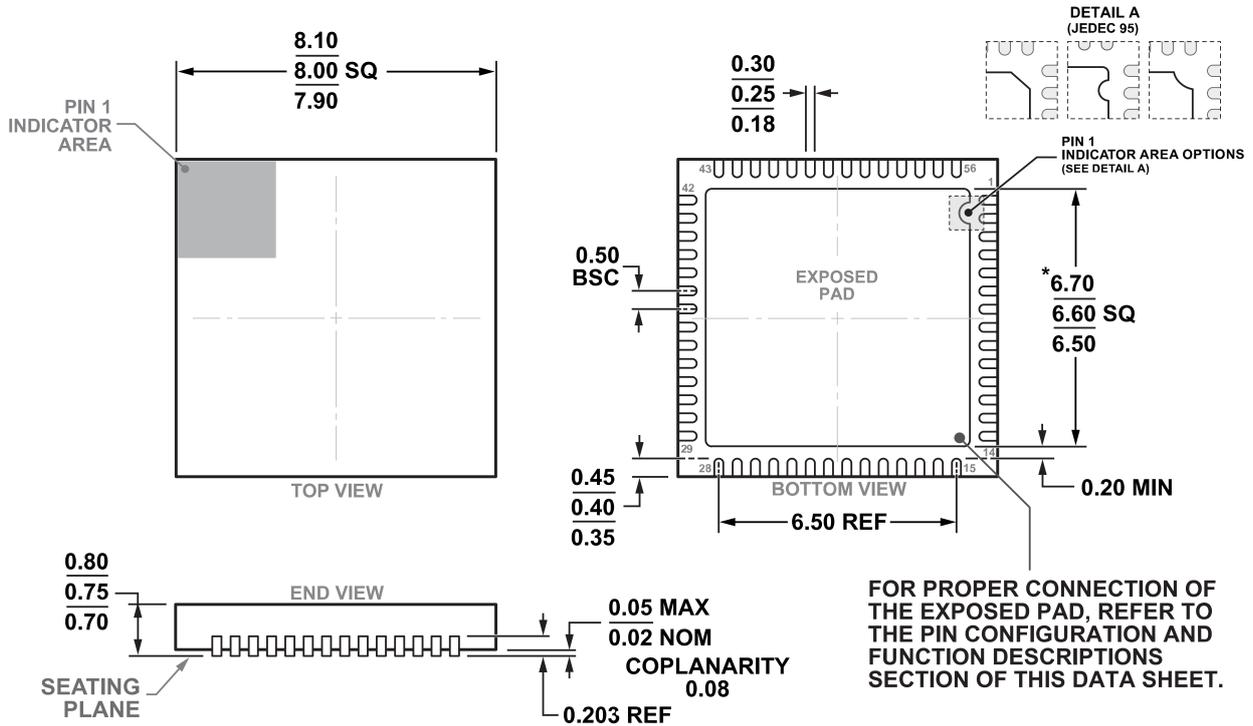
ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	ERR_SPI_CRC	0 1	SPI CRC エラー・フラグは、SPI 通信時の CRC エラーを示します。このエラー通知は、診断制御レジスタの ERR_SPI_CRC_EN ビットを使用して有効化します。 CRC エラーなし。 CRC エラーを検出。	0x0	R
2	ERR_SPI_SCLK_CNT	0 1	SCLK カウンタ・エラー・フラグは、SPI 通信時の SCLK サイクル数が 8 の倍数ではないことを示します。 エラーなし。 SCLK カウンタ・エラーを検出。	0x0	R
1	ERR_SPI_WRITE	0 1	SPI 書き込みエラー・フラグは、SPI 書き込み操作時のエラーを示します。 エラーなし。 SPI 書き込みエラー。	0x0	R
0	ERR_SPI_READ	0 1	SPI 読出しエラー・フラグは、SPI 読出し操作時のエラーを示します。 エラーなし。 読出しエラーを検出。	0x0	R

アドレス : 0x48、リセット : 0x00、レジスタ名 : AIN_OR_ERROR

表 105. AIN_OR_ERROR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	Reserved		予備。	0x0	R
3	ERR_OR_AIN3	0 1	チャンネル 3 の入力過電圧フラグ。有効化している場合、このビットで V_{REF} の絶対値を超える入力電圧が検出されます。 過電圧入力検出されない。 過電圧入力検出された。	0x0	R
2	ERR_OR_AIN2	0 1	チャンネル 2 の入力過電圧フラグ。有効化している場合、このビットで V_{REF} の絶対値を超える入力電圧が検出されます。 過電圧入力検出されない。 過電圧入力検出された。	0x0	R
1	ERR_OR_AIN1	0 1	チャンネル 1 の入力過電圧フラグ。有効化している場合、このビットで V_{REF} の絶対値を超える入力電圧が検出されます。 過電圧入力検出されない。 過電圧入力検出された。	0x0	R
0	ERR_OR_AIN0	0 1	チャンネル 0 の入力過電圧フラグ。有効化している場合、このビットで V_{REF} の絶対値を超える入力電圧が検出されます。 過電圧入力検出されない。 過電圧入力検出された。	0x0	R

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-WLLD-5 WITH EXCEPTION TO EXPOSED PAD DIMENSION

図 127.56 ピン、リード・フレーム・チップ・スケール・パッケージ [LFCSP]
8mm × 8mm ボディ、0.75mm パッケージ高
(CP-56-9)
単位：mm

更新：2021年11月1日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4134BCPZ	-40°C to +105°C	56-Lead LFCSP (8 mm × 8 mm w/ EP)	Tray, 260	CP-56-9
AD4134BCPZ-RL7	-40°C to +105°C	56-Lead LFCSP (8 mm × 8 mm w/ EP)	Reel, 750	CP-56-9

¹ Z = RoHS 準拠製品。

評価用ボード

Model ¹	Description
EVAL-AD4134FMCZ	Evaluation Board
EVAL-SDP-CH1Z	Controller Board

¹ Z = RoHS 準拠製品。

