

PGA および FIFO を内蔵した 32 μ A、超低消費電力の 24 ビット・シグマ・デルタ (Σ - Δ) ADC

特長

- ▶ 超低消費電流（代表値）：
 - ▶ 32 μ A：連続変換モード（ゲイン = 128）
 - ▶ 5 μ A：デューティ・サイクル・モード（デューティ比 = 1/16）
 - ▶ 0.5 μ A：スタンバイ・モード
 - ▶ 0.1 μ A：パワーダウン・モード
- ▶ システム・レベルの節電を実現する組み込み機能：
 - ▶ 電流節減デューティ・サイクル比：1/4 または 1/16
 - ▶ スマート・シーケンサとチャンネル単位の構成によりホスト・プロセッサの負荷を最小限に抑制
 - ▶ 内蔵のディープ FIFO によりホスト・プロセッサの負荷を最小限に抑制（256 サンプルの深度）
 - ▶ 自律型 FIFO 割込み機能、閾値検出
 - ▶ わずか 1.71V の低電圧単電源によりバッテリー寿命を延長
- ▶ RMS ノイズ：
 - 1.17SPS で 25nV rms（ゲイン = 128） - 48nV/ $\sqrt{\text{Hz}}$
- ▶ ノイズ・フリー・ビット：最大 22（ゲイン = 1）
- ▶ 出力データ・レート：1.17SPS~2.4kSPS
- ▶ 1.71V~3.6V の単電源または $\pm$ 1.8V の分離電源で動作
- ▶ 最大ドリフトが 15ppm/ $^{\circ}\text{C}$ のバンド・ギャップ・リファレンス
- ▶ レール to レールのアナログ入力の PGA
- ▶ 順応性のあるセンサー・インターフェース機能：
 - ▶ RTD 用にマッチングのとれたプログラマブル励起電流

- ▶ 熱電対用のオンチップ・バイアス電圧発生器
- ▶ ブリッジ・トランスデューサ用のローサイド・パワー・スイッチ
- ▶ センサー断線検出機能
- ▶ 内部温度センサーおよび発振器
- ▶ セルフノシステム・キャリブレーション
- ▶ 柔軟なフィルタ・オプション
- ▶ 50Hz/60Hz を（選択したフィルタ・オプションで）同時に除去
- ▶ 汎用出力
- ▶ 診断機能
- ▶ クロスポイント・マルチプレクサ入力
 - ▶ 8 個の差動入力/16 個の疑似差動入力
- ▶ 5MHz SPI（3 線式または 4 線式）
- ▶ 35 ボールの 2.74mm $\times$ 3.6mm WLCSP を採用
- ▶ 温度範囲：-40 $^{\circ}\text{C}$ ~+105 $^{\circ}\text{C}$

アプリケーション

- ▶ スマート・トランスミッタ
- ▶ ワイヤレス・バッテリーおよびハーベスタ駆動のセンサー・ノード
- ▶ ポータブル計装機器
- ▶ 温度計測：熱電対、RTD、サーミスタ
- ▶ 圧力計測：ブリッジ変換器
- ▶ ヘルスケアおよびウェアラブル

機能ブロック図

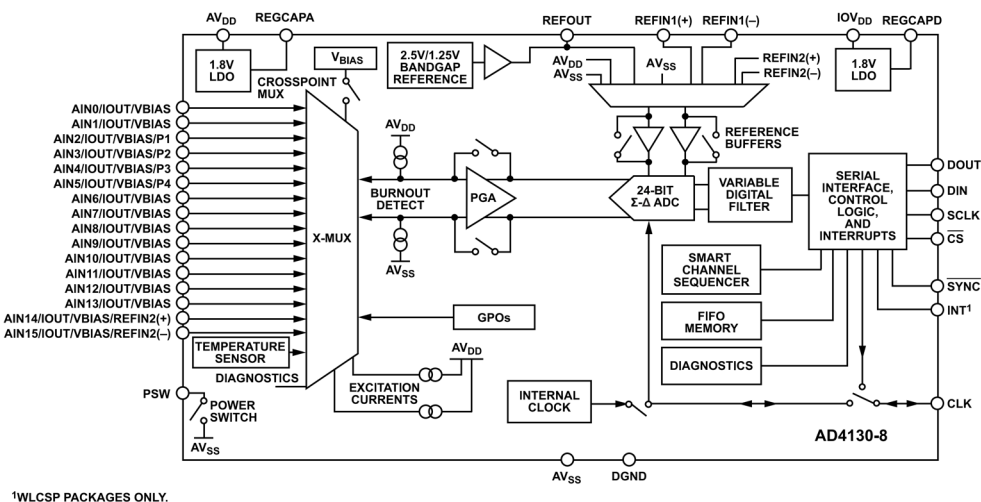


図 1. 機能ブロック図

アナログ・デバイセズでは、文化的に適切な用語と言語を提供するため、技術文書の更新を行っています。このプロセスは広い範囲にわたるものですが、段階的にできるだけ早く行っていくます。ご協力を感謝します。

Rev. 0

DOCUMENT FEEDBACK

TECHNICAL SUPPORT

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	パワーダウン・モード	46
アプリケーション	1	デジタル・インターフェース	47
機能ブロック図	1	レジスタ・マップへのアクセス	47
概要	4	デバイスのリセット	48
関連製品	4	ADC の設定と動作	49
仕様	5	バイポーラ／ユニポーラ設定	49
ADC 仕様および AFE 仕様	5	ステータス・ビット	49
アナログ入力仕様	6	スマート・チャンネル・シーケンサ	50
リファレンス仕様	6	ADC の変換モード	51
センサー・バイアス仕様	7	データ・レディ信号	53
診断仕様	8	連続読出しモード	53
除去仕様	8	システム同期	55
ロジック入出力仕様	9	ADC のキャリブレーション	55
電源仕様	10	デジタル・フィルタ	58
タイミング仕様	12	SINC ³ および SINC ⁴ フィルタ	58
絶対最大定格	18	平均化フィルタ	58
熱特性	18	ポスト・フィルタ	58
静電放電 (ESD) 定格	18	出力データ・レート	59
ESD に関する注意	18	50Hz および 60Hz 除去	60
ピン配置およびピン機能の説明	19	シーケンサ	61
代表的な性能特性	22	診断機能	66
オフセット誤差およびゲイン誤差	22	シグナル・チェーンのチェック	66
INL 誤差および発振器	23	リファレンス検出	66
ノイズ	24	ADC のエラー	66
アナログ入力電流	25	過電圧／低電圧の検出	66
電源電流	27	電源モニタ	67
リファレンス入力電流	28	マスタ・クロック・カウンタ	67
内部リファレンスおよび温度センサー	29	SPI 診断	67
励起電流	30	CRC 保護	67
分解能	31	FIFO 診断	68
FFT	32	バーンアウト電流	68
用語の定義	33	温度センサー	69
アナログ入力	33	診断とスタンバイ・モード	69
ADC	33	FIFO	70
リファレンス	33	FIFO のモード	70
温度センサー	33	FIFO のリードバック	71
ノイズおよび分解能	35	FIFO 割込み	74
2.5V リファレンス	35	FIFO のクリア	75
1.25V リファレンス	37	アプリケーション情報	76
ノイズ・スペクトル密度	40	電源方式	76
動作原理	41	推奨デカップリング方法	76
概要	41	入力フィルタ	76
ADC のコア	41	マイクロプロセッサとのインターフェース	76
ADC マスタ・クロック	42	未使用ピン	76
ADC リファレンス	42	パワーアップと初期化	77
アナログ・フロント・エンド	42	レイアウトとグラウンディング	77
プログラマブル・ゲイン・アンプ	44	アセンブリのガイドライン	77
その他の特長	45	AD4130-8 のレジスタ	78
電源	45	AD4130-8 のレジスタ一覧	78

目次

レジスタの詳細.....	80
外形寸法	108

オーダー・ガイド	108
評価用ボード	108

改訂履歴

5/2022—Revision 0: Initial Version

概要

AD4130-8 は、狭帯域幅バッテリー駆動アプリケーション向け超低消費電力高精度計測ソリューションです。この全機能を内蔵したアナログ・フロント・エンド (AFE) には、最大 16 個のシングルエンド入力または最大 8 個の差動入力のためのマルチプレクサ、プログラマブル・ゲイン・アンプ (PGA)、24 ビットシグマ・デルタ ($\Sigma-\Delta$) A/D コンバータ (ADC)、内部リファレンスおよび発振器、選択可能なフィルタ・オプション、スマート・シーケンサ、センサーのバイアスおよび励起オプション、診断機能などが備わっている他、バッテリー駆動時の寿命を延ばす (コイン・セルで 5 年以上) ために、新たな機能、つまり先入れ先出し (FIFO) バッファおよびデューティ・サイクルが追加されています。

AD4130-8 を用いることで、連続変換を行いながら、28.5 μ A (ゲイン = 1) や 32.5 μ A (ゲイン = 128) の消費電流で低周波数信号を測定できます。また、いずれかのデューティ・サイクル・オプションを使用した場合、平均電流を更に下げることができます。**AD4130-8** では、8 個の差動入力または 16 個のシングルエンドあるいは疑似差動入力として構成し、これらの入力をクロスポイント・マルチプレクサに接続できます。この場合、任意の入力ペアを PGA および ADC への測定チャンネル入力とすることができます。

AD4130-8 は、1.71V~3.6V のアナログ単電源で動作できるように設計されています。バッテリー・アプリケーションの場合、1.71V という低電圧での動作により、バッテリー電圧が低下した場合でも AFE は動作を続行できるため、システム寿命を延長できます。デジタル電源を別個に設けることができ、その範囲は 1.65V~3.6V です。

消費電流の低減と相まって、オンチップ FIFO バッファをスマート・シーケンサと併用することで、**AD4130-8** を自律型計測システムとすることができます。これにより、マイクロコントローラをより長時間にわたってスリープ状態にできます。

インテリジェントな割込み機能があるため、エラー検出と安全の両方においてより大きな信頼を置くことができます。ユーザは、FIFO のサンプルが事前に設定した値に達した場合、または、ユーザ設定可能な閾値を超えた場合に、割込み信号をトリガできます。

AD4130-8 は以下に示す主要なアナログ機能を備えているため、温度、負荷、圧力を計測するために用いる変換器に、簡単かつ効果的に接続できます。

- ▶ **PGA**。ゲインがプログラマブル (1~128) であり、低入力電流時に高入力インピーダンスであることから、この PGA は、抵抗ブリッジ、熱電対、測温抵抗体 (RTD) など低出力振幅の変換器に直接インターフェースできます。
- ▶ 容量性 PGA であることから全コモンモード入力範囲が可能で、広い範囲で変化する入力コモンモードに対しマージンを大きくとることができます。コモンモード入力範囲が広いことで、全体的な分解能が向上し、レシオメトリック計測に非常に効果的です。
- ▶ 低ドリフト高精度電流源。IEXC0 と IEXC1 の電流源を使用して 2 線式、3 線式、4 線式の RTD を励起できます。励起電流出力オプションには、100nA、10 μ A、20 μ A、50 μ A、100 μ A、150 μ A、200 μ A があります。

- ▶ ローサイド・パワー・スイッチ (PDSW) を使用して、変換と変換の間にブリッジ・センサーをパワーダウンできます。この PDSW は、シーケンサ内でチャンネル単位で制御できるため、システム全体での最適なタイミングとエネルギー節約が可能です。また、PDSW を使用することで、より大きな消費電力のアナログ・センサーを低消費電力システムで用いることが可能となります。
- ▶ 熱電対用電圧バイアス (VBIAS ソースがチャンネルのコモンモード電圧を $AV_{DD}/2$ に設定)。
- ▶ スマート・シーケンサにより、イネーブルされた各事前設定チャンネルを予め定めた順序で変換できるので、変換器、システム・チェック、診断計測を組み合わせることで、より大きな消費電力のアナログ・センサーを低消費電力システムで用いることが可能となります。

高度に集積されたフロントエンド機能が小型のパッケージ・オプションと組み合わせ、エンド・ソリューションの小型化を可能にします。例えば、**AD4130-8** は、内部バッファ可能な外部差動リファレンスに対応する他、低温度ドリフトのバンド・ギャップ・リファレンスを内蔵しています。

安全性が重要なアプリケーションに対しては、**AD4130-8** は、バーンアウト電流を介した断線検出機能、内部温度センサー、リファレンス検出、アナログ入力過電圧/低電圧検出などの診断機能を備えています。デジタル・インターフェースには、巡回冗長検査 (CRC) およびシリアル・インターフェース・チェックなどの診断機能が追加されているため、堅牢な通信リンクを実現できます。

関連製品

- ▶ 低ノイズ、低ドロップアウト・レギュレータ：
[ADP150ACBZ-3.3](#) および [ADP150ACBZ-1.8](#)
- ▶ レギュレーションされたチャージポンプ・インバータ：
[LTC1983ES6-3](#) および [ADP7182AUJZ-1.8](#)
- ▶ 電圧リファレンス：[ADR391](#)
- ▶ 低消費電力マイクロコントローラ：[MAX32670](#) (高精度)、[MAX32655](#) (BLE)、[MAX32663A](#) (ECG)

仕様

特に指定のない限り、 $AV_{DD} = 1.71V \sim 3.6V$ 、 $IOV_{DD} = 1.65V \sim 3.6V$ 、 $AV_{SS} = DGND = 0V$ 、 $REFIN1(+) = 2.5V$ ($AV_{DD} - AV_{SS} \geq 2.7V$ の場合)、 $REFIN1(+) = 1.25V$ ($AV_{DD} - AV_{SS} < 2.7V$ の場合)、 $REFIN1(-) = AV_{SS}$ 、内部マスタ・クロック (MCLK) (MCLK 周波数 (f_{MCLK}) = 76.8kHz)、PGA イネーブル (デフォルト)、リファレンス・バッファ・バイパス (デフォルト)、温度範囲 = $T_{MIN} \sim T_{MAX}$ 、[推奨デカップリング方法](#)のセクションに従いデカップリング。

ADC 仕様および AFE 仕様

表 1. ADC 仕様および AFE 仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
SAMPLING DYNAMICS					
Output Data Rate (ODR)	1.17		2400	SPS	出力データ・レート のセクションを参照
Active Time ²		100% 25% 6.25%			連続変換モード DUTY_CYC_RATIO = 1/4 ³ DUTY_CYC_RATIO = 1/16 ³
STATIC PERFORMANCE					
No Missing Codes ²	24 24			Bits Bits	FS ⁴ > 2、sinc ⁴ フィルタ FS ⁴ > 8、sinc ³ フィルタ
Resolution and Update Rate ²					ノイズおよび分解能 のセクションを参照
RMS Noise and Update Rate ²					ノイズおよび分解能 のセクションを参照
Noise Spectral Density ²					ノイズおよび分解能 のセクションを参照
Integral Nonlinearity (INL) ²	-5 -15	±2 ±4	+5 +15	ppm of FSR ¹ ppm of FSR ¹	ゲイン = 1 ゲイン > 1 ⁵
Offset Error ⁶					
Before Calibration		±2 ±10 ±2		μV μV μV	ゲイン = 1、PGA をバイパス ⁷ ゲイン = 1~16 ゲイン = 32~128
After Internal and System Calibration		In order of noise			
Offset Error Drift vs. Temperature ⁸		3 120/gain	30 (140/gain) + 90	nV/°C nV/°C	ゲイン = 1、PGA をバイパス ⁷ ゲイン = 1~128
Gain Error ^{6,9}					
Before Calibration	-0.015	0.5 0.5	+0.015	% % %	ゲイン = 1 ¹⁰ 、T _A = 25°C ゲイン = 1、PGA をバイパス ⁷ ゲイン > 1
After Internal Calibration ¹¹	-0.12	0.01	0.12	%	
After System Calibration ¹¹		In order of noise			
Gain Error Drift vs. Temperature		0.1 0.1 0.1	1 2 3	ppm/°C ppm/°C ppm/°C	ゲイン = 1、PGA をバイパス ⁷ ゲイン = 1~16 ゲイン = 32~128

¹ 用語の定義のセクションを参照してください。

² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

³ デューティ・サイクル・モードを有効にするには、ADC_CONTROL レジスタの MODE を 0b1001 に設定します。DUTY_CYC_RATIO ビットは同じレジスタ内にあります。[デューティ・サイクル・モード](#)のセクションと[デューティ・サイクル・モードのタイミング](#)のセクションを参照してください。

⁴ FS は、フィルタ・レジスタの FS (ビット [10:0]) に等価な 10 進値です。

⁵ ゲイン > 1 の場合の非直線性は、ゲイン = 32 および電圧リファレンス (V_{REF}) = 2.5V の場合について出荷テストを行っています。その他の条件での仕様は、最初の製品リリース時の特性評価データでサポートしています。

⁶ システムまたは内部ゼロスケール・キャリブレーションを実行すると、オフセット誤差は、プログラムされたゲインおよび選択した出力データ・レートのノイズ・レベルとほぼ同等になります。システム・フルスケール・キャリブレーションを行うと、ゲイン誤差は、プログラムされたゲインおよび出力データ・レートのノイズ・レベルまで低減します。

⁷ PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

⁸ 任意の温度で再度キャリブレーションを実行すると、これらの誤差が排除されます。

⁹ ゲイン誤差は、正および負のフルスケールに適用されます。出荷時のキャリブレーションは、ゲイン = 1、T_A = 25°C (PGA_BYP_n = 0) で実施されています。

仕様

表 1. ADC 仕様および AFE 仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
--------------------	-----	-----	-----	----	------------

¹⁰ このゲイン誤差は、周囲温度およびゲイン 1 (PGA_BYP_n=0) で出荷時にキャリブレーションされています。

¹¹ CAL_RANGE_X2 = 1 ($V_{REF} > 2V$)。CAL_RANGE_X2 ビットは MISC レジスタ内にあります。詳細については、[内部ゲイン・キャリブレーション](#)のセクションを参照してください。

アナログ入力仕様

表 2. アナログ入力仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
ANALOG INPUT VOLTAGE ²					
Differential Input Voltage Ranges			$\pm V_{REF}/\text{gain}$	V	$V_{REF} = \text{REFIN1}(+) - \text{REFIN1}(-)$ 、または内部リファレンス PGA をオン ³
Absolute Analog Input (A_{IN}) Voltage Limits	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V	
ANALOG INPUT CURRENT ²					
Absolute Input Current					PGA をバイパス ⁴
Gain = 1	-3	± 0.5	+3	nA	
Gain = 1		± 2.5		nA	
Gain > 1	-1	± 0.5	+1	nA	PGA をバイパス ⁴
Differential Input Current					
Gain = 1	-3	± 0.5	+3	nA	
Gain = 1		± 1.5		nA	PGA をバイパス ⁴
Gain > 1	-1	± 0.5	+1	nA	
Analog Input Current Drift					PGA をバイパス ⁴
Gain = 1, Gain > 1		2	15	pA/°C	
Gain = 1		2		pA/°C	
SYSTEM CALIBRATION ²					
Calibration Limits					
Full Code			$1.05 \times V_{REF}/\text{gain}$	V	DATA = 0xFFFFF
Zero Code	$-1.05 \times V_{REF}/\text{gain}$			V	DATA = 0x000000
Input Span	$0.8 \times V_{REF}/\text{gain}$		$2.1 \times V_{REF}/\text{gain}$	V	

¹ 用語の定義のセクションを参照してください。

² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

³ PGA_BYP_n = 0、 $V_{REF} > (AV_{DD} - AV_{SS} - 200mV)$ の場合、入力差動範囲は $(AV_{DD} - AV_{SS} - 200mV)/\text{ゲイン}$ を超えることはできません。

⁴ PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

リファレンス仕様

表 3. リファレンス仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
REFERENCE OUTPUT					内部リファレンスをイネーブル、負荷容量 (C_L) = 1nF
Initial Accuracy	2.5 - 0.2%	2.5	2.5 + 0.2%	V	$T_A = 25^\circ\text{C}$
	1.25 - 0.45%	1.25	1.25 + 0.45%	V	$T_A = 25^\circ\text{C}$
Temperature Coefficient (TC) (Drift) ²		2	15	ppm/°C	$T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 、 $V_{REF} = 2.5\text{ V}$
		2	15	ppm/°C	$T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 、 $V_{REF} = 1.25\text{ V}$
Output Current Load Capability		± 1		mA	
Load Regulation Sourcing and Sinking		90		$\mu\text{V}/\text{mA}$	出力電圧の変化 (ΔV_{OUT}) / 入力電流の変化 (ΔI_{LOAD})
Power Supply Rejection		95		dB	
Output Voltage Noise (0.1 Hz to 10 Hz)		40		$\mu\text{V p-p}$	$T_A = 25^\circ\text{C}$

仕様

表 3. リファレンス仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
Output Voltage Noise Density		800		nV/ $\sqrt{\text{Hz}}$	$T_A = 25^\circ\text{C}$
Turn On Settling Time		280		μs	$T_A = 25^\circ\text{C}$
REFERENCE INPUTS					
External REFIN Voltage ²	0.5		$AV_{DD} - AV_{SS}$	V	リファレンス入力 (REFIN) = REFIN1(+) – REFIN1(–)
Absolute REFINx pins Voltage Limits ²	$AV_{SS} - 0.05$		$AV_{DD} + 0.05$	V	リファレンス・バッファをディセーブル ³
	$AV_{SS} + 0.1$		$AV_{DD} - 0.1$	V	リファレンス・バッファをイネーブル ³
Reference Input Current					
Absolute Input Current	–11	± 7	+11	nA	リファレンス・バッファをディセーブル ³
	–4	± 0.2	+4	nA	リファレンス・バッファをイネーブル ³
Reference Input Current Drift ²		10	21	pA/ $^\circ\text{C}$	リファレンス・バッファをディセーブル ³
		1.6	20	pA/ $^\circ\text{C}$	リファレンス・バッファをイネーブル ³
Normal Mode Rejection					アナログ入力の場合と同じ
Common-Mode Rejection		90		dB	

¹ 用語の定義のセクションを参照してください。² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。³ REF_BUFN_n ビットおよび REF_BUFM_n ビットは対応する CONFIG_n レジスタ内にあります。詳細についてはリファレンス・バッファのセクションを参照してください。

センサー・バイアス仕様

表 4. センサー・バイアス仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
EXCITATION CURRENT SOURCES (IEXC0 and IEXC1)					
Output Current		10/20/50/100/150/200/0.1		μA	任意のアナログ入力で使用可能 チャンネル単位で選択可能
Initial Tolerance		± 1		%	$T_A = 25^\circ\text{C}$
Current Drift ²		50		ppm/ $^\circ\text{C}$	
Current Matching ^{2,3}	–1.6	± 0.5	+1.6	%	10 μA /20 μA /50 μA /100 μA /150 μA /200 μA
	–3.2	± 1	+3.2	%	100nA
Current Drift Matching ²		3	25	ppm/ $^\circ\text{C}$	10 μA /20 μA /50 μA /100 μA /150 μA /200 μA
		5	60	ppm/ $^\circ\text{C}$	100nA
Line Regulation		0.1		%/V	10 μA /20 μA /50 μA /100 μA /150 μA /200 μA
		0.3		%/V	100nA
Load Regulation		0.1		%/V	10 μA /20 μA /50 μA /100 μA /150 μA /200 μA
		2.5		%/V	100 nA
Output Compliance	$AV_{SS} + 0.05$		$AV_{DD} - 0.27$	V	2%の精度
BIAS VOLTAGE (V_{BIAS}) GENERATOR					
V_{BIAS}		$(AV_{DD} + AV_{SS})/2$		V	任意のアナログ入力で使用可能
Start-Up Time		3.7		$\mu\text{s/nF}$	AINx に接続されたコンデンサに依存
		6.7		$\mu\text{s/nF}$	$AV_{DD} = 3.3\text{V}$ 、 $AV_{SS} = \text{DGND}$ $AV_{DD} = 1.8\text{V}$ 、 $AV_{SS} = \text{DGND}$
LOW-SIDE POWER SWITCH ²					
On Resistance (R_{ON})		10	15	Ω	
Allowable Current			30	mA	連続電流

¹ 用語の定義のセクションを参照してください。² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。³ IOUT0 と IOUT1 の間のマッチング、 $V_{OUT} = 0\text{V}$ 。

仕様

診断仕様

表 5. 診断仕様

パラメータ ^{1, 2}	最小値	代表値	最大値	単位	テスト条件/コメント
TEMPERATURE SENSOR					
Accuracy		±1		°C	2.5V の外部リファレンス、ゲイン = 1 25°C でのキャリブレーション後
Nominal Sensitivity ³		860.66		μV/K	
Reading at 25°C		258		mV	
REFERENCE					REFIN = REFIN1(+) – REFIN1(–)
Reference Detect Threshold	0.7		1	V	
REFIN1(+) Overvoltage Detect Level	AV _{DD} + 0.05			V	
REFIN1(–) Undervoltage Detect Level			AV _{SS} – 0.05	V	
A _{IN} OVERVOLTAGE (OV) AND UNDervOLTAGE (UV)					
A _{IN} OV Detect Level	AV _{DD} + 0.08			V	
A _{IN} UV Detect Level			AV _{SS} – 0.08	V	
BURNOUT CURRENTS					
A _{IN} Current		0.5, 2, 4		μA	

¹ 用語の定義のセクションを参照してください。

² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

³ 設計により確保されています。

除去仕様

表 6. 除去仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
POWER SUPPLY REJECTION (AV _{DD})					
	96			dB	外部 MCLK、f _{MCLK} = 76.8kHz、A _{IN} = 1V/ゲイン ゲイン = 1、ゲイン = 1 および PGA をバイパス ² ゲイン = 2~16 ゲイン = 32~128
	94			dB	
	102			dB	
COMMON-MODE REJECTION ^{3, 4, 5}					
At DC	86	90		dB	A _{IN} = 1V、ゲイン = 1
	112	135		dB	A _{IN} = 1V/ゲイン、ゲイン = 2~16
	108	122		dB	A _{IN} = 1V/ゲイン、ゲイン = 32~128
Sinc ³ Filter					入力周波数 (f _{IN}) = ノッチ周波数 (f _{NOTCH}) ± 1Hz
At 50 Hz and 60 Hz	115			dB	10SPS (FS = 240)
At 50 Hz	115			dB	50SPS (FS = 48)
At 60 Hz	115			dB	60SPS (FS = 40)
Sinc ³ + REJ60 Filter					f _{IN} = f _{NOTCH} ± 1Hz
At 50 Hz and 60 Hz	115			dB	50SPS (FS = 48)
Sinc ³ + Sinc ¹ Averaging Filter					f _{IN} = f _{NOTCH} ± 1Hz
At 50 Hz	120			dB	40SPS (FS = 6、最初のノッチは 50Hz)
At 60 Hz	120			dB	48SPS (FS = 5、最初のノッチは 60Hz)
Sinc ⁴ + Sinc ¹ Averaging Filter					f _{IN} = f _{NOTCH} ± 1Hz
At 50 Hz	115			dB	36.36SPS (FS = 6、最初のノッチは 60Hz)
At 60 Hz	115			dB	43.63SPS (FS = 5、最初のノッチは 50Hz)
Post Filters					f _{IN} = f _{NOTCH} ± 1Hz
At 50 Hz and 60 Hz	125			dB	ポスト・フィルタ 1、ODR = 26.087SPS
	125			dB	ポスト・フィルタ 2、ODR = 24SPS
	125			dB	ポスト・フィルタ 3、ODR = 19.355SPS
	120			dB	ポスト・フィルタ 4、ODR = 16.21SPS

仕様

表 6. 除去仕様

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件／コメント
NORMAL MODE REJECTION ^{3,4}					
Sinc ³ Filter					$f_{IN} = f_{NOTCH} \pm 1\text{Hz}$
External Clock					
At 50 Hz and 60 Hz	100			dB	10SPS (FS = 240)
	65			dB	50SPS (FS = 48)、Sinc ³ + REJ60 フィルタ
At 50 Hz	95			dB	50SPS (FS = 48)
At 60 Hz	98			dB	60SPS (FS = 40)
Internal Clock					
At 50 Hz and 60 Hz	84			dB	10 SPS (FS = 240)
	58			dB	50 SPS (FS = 48)、Sinc ³ + REJ60 フィルタ
At 50 Hz	79			dB	50 SPS (FS = 48)
At 60 Hz	81			dB	60 SPS (FS = 40)
Averaging Filters					$f_{IN} = f_{NOTCH} \pm 0.5\text{Hz}$
External Clock					
At 50 Hz	40			dB	FS = 6
At 60 Hz	42			dB	FS = 5
Internal Clock					
At 50 Hz	30			dB	
At 60 Hz	31			dB	
Post Filters					$f_{IN} = f_{NOTCH} \pm 1\text{Hz}$
External Clock					
At 50 Hz and 60 Hz	46			dB	ポスト・フィルタ 1、ODR = 26.087SPS
	62			dB	ポスト・フィルタ 2、ODR = 24SPS
	86			dB	ポスト・フィルタ 3、ODR = 19.355SPS
	91			dB	ポスト・フィルタ 4、ODR = 16.21SPS
Internal Clock					
At 50 Hz and 60 Hz	40			dB	ポスト・フィルタ 1、ODR = 26.087SPS
	54			dB	ポスト・フィルタ 2、ODR = 24SPS
	73			dB	ポスト・フィルタ 3、ODR = 19.355SPS
	77			dB	ポスト・フィルタ 4、ODR = 16.21SPS

¹ 用語の定義のセクションを参照してください。

² PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

³ これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

⁴ FS は、フィルタ・レジスタの FS (ビット [10:0]) に等価な 10 進値です。

⁵ ゲイン > 1 の場合、コモンモード電圧は $(AV_{SS} + 0.1 + 0.5/\text{ゲイン}) \sim (AV_{DD} - 0.1 - 0.5/\text{ゲイン})$ です。

ロジック入出力仕様

表 7. ロジック入出力仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件／コメント
LOGIC INPUTS ^{1,2}					
Input Low Voltage (V_{INL})	0		$0.3 \times IOV_{DD}$	V	$1.65\text{ V} \leq IOV_{DD} < 3.6\text{ V}$
Input High Voltage (V_{INH})	$0.7 \times IOV_{DD}$		IOV_{DD}	V	$1.65\text{ V} \leq IOV_{DD} < 3.6\text{ V}$
Voltage Hysteresis		0.5		V	$1.65\text{ V} \leq IOV_{DD} < 3.6\text{ V}$
Current	-1		+1	μA	入力電圧 (V_{IN}) = IOV_{DD} または DGND
Pin Capacitance		10		pF	デジタル・ピン単位

仕様

表 7. ロジック入出力仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
LOGIC OUTPUTS ^{1,2} (INCLUDING CLK)					
Output Low Voltage (V_{OL})	0		0.4	V	シンク電流 (I_{SINK}) = 100 μ A
Output High Voltage (V_{OH})	$IOV_{DD} - 0.35$		IOV_{DD}	V	ソース電流 (I_{SOURCE}) = 100 μ A
Floating State Leakage Current	-1		+1	μ A	
Floating State Output Capacitance		10		pF	
Data Output Coding ³		Offset binary			バイポーラ・ビット = 0b1、デフォルト設定
		Straight binary			バイポーラ・ビット = 0b0
CLOCK					
Internal Clock					
Frequency	76.8 - 2%	76.8	76.8 + 2%	kHz	
Duty Cycle ²		50:50		%	
Wake-Up Time ^{2,4}		850		μ s	
External Clock ²					
Frequency		76.8		kHz	
Duty Cycle		45:55 to 55:45		%	
DIGITAL OUTPUTS (P1 to P4) ⁵					
Output Low Voltage (V_{OL}) ²	0		0.4	V	$I_{SINK} = 100\mu A$
Output High Voltage (V_{OH}) ²	$AV_{DD} - 0.6$		AV_{DD}	V	$I_{SOURCE} = 100\mu A$

¹ ピン配置およびピン機能の説明のセクションを参照してください。

² これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

³ バイポーラ・ビットは ADC_CONTROL レジスタ内にあります。詳細については、[データ出力コーディング](#)のセクションを参照してください。

⁴ 詳細については[スタンバイ・モード終了時の時間調整](#)のセクションも参照してください。

⁵ 汎用出力ピンをデジタル・ピンとして使用するには、 $AV_{SS} = DGND$ かつ $AV_{DD} = IOV_{DD}$ とすることが必要です。[汎用出力](#)のセクションを参照してください。

電源仕様

表 8. 電源仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件/コメント
POWER SUPPLY VOLTAGE					
AV_{DD} to AV_{SS}	1.71		3.6	V	
IOV_{DD} to DGND	1.65		3.6	V	
AV_{SS} to DGND	-1.8		0	V	
AV_{DD} to DGND	0.9			V	
IOV_{DD} to AV_{SS}			5.4	V	
POWER SUPPLY CURRENTS ¹					
AV_{DD} Current					内部オシレータをイネーブル
External Reference					
Gain = 1		20	23	μ A	PGA をバイパス ²
Gain = 1 to 16		25	30	μ A	連続変換モード電流
		7.5		μ A	DUTY_CYC_RATIO = 1/4 ³
		2.5		μ A	DUTY_CYC_RATIO = 1/16 ³
Gain = 32 to 128		29	35	μ A	連続変換モード電流
		8.5		μ A	DUTY_CYC_RATIO = 1/4 ³
		3		μ A	DUTY_CYC_RATIO = 1/16 ³
Increase due to Reference Buffer ⁴		0.25		μ A	リファレンス・バッファ単位
Increase due to Internal Reference ⁴		6.5	8	μ A	連続変換モード電流
		1.75		μ A	DUTY_CYC_RATIO = 1/4 ³
		0.45		μ A	DUTY_CYC_RATIO = 1/16 ³

仕様

表 8. 電源仕様

パラメータ	最小値	代表値	最大値	単位	テスト条件／コメント
Increase due to VBIAS on ⁴		1	1.2	μA	
IOV _{DD} Current		3.5	6.9	μA	連続変換モード電流
		1.8		μA	DUTY_CYC_RATIO = 1/4 ³
		1.4		μA	DUTY_CYC_RATIO = 1/16 ³
Increase due to FIFO		50		nA	
POWER-DOWN CURRENTS ¹					
Standby Mode Current					
AV _{DD}		0.2	1.3	μA	アナログ低ドロップアウト (LDO) レギュレータをオン
IOV _{DD}		0.35	3.5	μA	デジタル LDO レギュレータをオン
Power-Down Mode Current					
AV _{DD}		0.01	1	μA	アナログ LDO レギュレータをオフ
IOV _{DD}		0.13	1	μA	デジタル LDO レギュレータをオフ
OPERATING TEMPERATURE RANGE					
T _{MIN}	-40			°C	
T _{MAX}			105	°C	ウェーハ・レベル・チップ・スケール・パッケージ (WLCSP)

¹ 励起電流がディスエーブルになっている場合、デジタル入力 IOV_{DD} または DGND と等しくなります。

² PGA_BYP_n = 1。PGA_BYP_n ビットは、対応する CONFIG_n レジスタ内にあります。詳細については、[プログラマブル・ゲイン・アンプ](#)のセクションを参照してください。

³ デューティ・サイクル・モードを有効にするには、ADC_CONTROL レジスタの MODE を 0b1001 に設定します。DUTY_CYC_RATIO ビットは同じレジスタ内にあります。[デューティ・サイクル・モード](#)のセクションと[デューティ・サイクル・モードのタイミング](#)のセクションを参照してください。

⁴ これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

仕様

タイミング仕様

特に指定のない限り、 $AV_{DD} = 1.71V \sim 3.6V$ 、 $IOV_{DD} = 1.65V \sim 3.6V$ 、 $AV_{SS} = DGND = 0V$ 、入力ロジック 0 = $DGND = 0V$ 、入力ロジック 1 = IOV_{DD} 、内部 MCLK ($f_{MCLK} = 76.8kHz$)、温度範囲 = $T_{MIN} \sim T_{MAX}$ 、[推奨デカップリング方法](#)のセクションに従いデカップリング。すべてのデジタル入力信号は、立上がり時間 (t_R) = 立下がり時間 (t_F) = 5ns (IOV_{DD} の 10%~90%) で仕様規定し、 $IOV_{DD}/2$ の電圧レベルから時間を測定しています。

表 9. タイミング仕様

Parameter ¹	Symbol	Min	Max	Unit
REGISTER ACCESS IN 3-WIRE MODE ^{2,3,4}				
SCLK Cycle Time	t_{SCK}	200		ns
SCLK High Pulse Width	t_{SCKH}	90		ns
SCLK Low Pulse Width	t_{SCKL}	90		ns
DIN Data Setup Time	t_{DIN_SET}	10		ns
DIN Data Hold Time	t_{DIN_HOL}	10		ns
SCLK Falling Edge to DOUT Becomes Available	t_{DOUT_VALID}		80	ns
SCLK Falling Edge to DOUT Remains Available	t_{DOUT_HOL}	10		ns
SCLK Rising Edge to DOUT Disable Delay ⁵	$t_{DOUT_DIS_DEL}$			
DOUT_DIS_DEL = 0 ⁶		10		ns
DOUT_DIS_DEL = 1 ⁶		100		ns
Delay Between Consecutive Write Operations ⁷ (Last SCLK Rising to First SCLK Falling)	t_{WR_DEL}	$3/f_{MCLK}$	$4/f_{MCLK}$	sec
Data Ready ⁸ High Time if Data Ready is Low and the Next Conversion is Available	t_{RDYH}	$4/f_{MCLK}$		sec
Last SCLK Rising for SW Reset Serial Peripheral Interface (SPI) Transaction to First SCLK Falling for Next SPI Transaction	t_{RESET_DELAY}	$160/f_{MCLK}$		sec
REGISTER ACCESS IN 4-WIRE MODE ^{2,3,9}				
$\overline{CS}$ Falling Edge to DOUT Enable Time ¹⁰	t_{DOUT_EN}		80	ns
$\overline{CS}$ Setup Time: $\overline{CS}$ Falling Edge to First SCLK Falling Edge	t_{CS_SET}	0		ns
$\overline{CS}$ Hold Time: Last SCLK Rising Edge to $\overline{CS}$ Rising Edge Delay	t_{CS_HOL}	0		ns
$\overline{CS}$ Rising Edge to DOUT Disable Time ¹⁰	t_{DOUT_DIS}		80	ns
$\overline{CS}$ High Pulse Width (Between Read/Write Operations)	t_{CS_PW}	20		ns
$\overline{CS}$ Rising Edge for SW Reset SPI Transaction to $\overline{CS}$ Falling Edge for Next SPI Transaction	t_{RESET_DELAY}	$160/f_{MCLK}$		sec
CONTINUOUS READ MODE ¹¹				
Data Ready ⁸ Falling Edge to First SCLK Falling Edge	t_{RDYL_SCKL}	20		ns
SCLK Falling Edge to New DOUT Becomes Available	t_{DOUT_VALID}		80	ns
SYNCHRONIZATION MODE ¹²				
$\overline{SYNC}$ Low Pulse Width	t_{SYNC_PW}	$4/f_{MCLK}$		sec
STANDBY MODE				
Wake-Up Time from SPI Write to Exit Standby Mode ¹³	t_{WU_STBY}		$36/f_{MCLK}$	sec
DUTY CYCLING				
Wake Up Time	t_{WU_DUTY}		$32/f_{MCLK}$	sec

¹ これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

² このデバイスは SPI モード 3 で動作します。このモードでは、SCLK アイドル・ハイになり、SCLK の立下がりエッジが DOUT の駆動エッジ、立上がりエッジが DIN のサンプル・エッジです。

³ ADC_CONTROL レジスタの CSB_EN = 0b0 (デフォルト) (3 線式モード)。このビットを 1 に変更すると 4 線式モードを有効化できます。

⁴ 3 線式モードのタイミング図を参照してください。

⁵ $\overline{CS}$ ピンをローに保持。

⁶ このビットは ADC_CONTROL レジスタ内にあり、同じレジスタの CSB_EN = 0b0 の場合にのみ有効になります。

⁷ $\overline{SYNC}$ がハイ、または MM_CRC_ERR_EN = 0b1 の場合にのみ適用。また、ADC_CONTROL およびエラー・レジスタの書き込みのみが対象。

⁸ データ・レディ信号関連のタイミング仕様については、INT ピンが考慮されます (IO_CONTROL レジスタの INT_PIN_SEL = 0b00)。データ・レディ信号のセクションを参照してください。

⁹ 4 線式モードのタイミング図を参照してください。

仕様

表 9. タイミング仕様

Parameter ¹	Symbol	Min	Max	Unit
¹⁰ 4 線式モード (CSB_EN = 0b1) の場合、DOUT ピンは、 $\overline{CS}$ の立下がりエッジ後にトライステート ($\overline{CS}$ ピンがハイ) からイネーブルに変化し、 $\overline{CS}$ の立上がりエッジ後にトライステートに戻ります。3 線式モードでも、 $\overline{CS}$ ピンを使用して DOUT ピンをイネーブル ($\overline{CS}$ ピンをロー) およびディスエーブル ($\overline{CS}$ ピンをハイ) できます。				
¹¹ ADC_CONTROL レジスタの CONT_READ を 0b1 に設定すると連続読出しモードを有効化できます。詳細については、 連続読出しモードのタイミング図 および 連続読出しモード の各セクションを参照してください。				
¹² システム同期のセクションを参照してください。				
¹³ 内部発振器は動作を続けています。詳細については、 表 7 の内部クロックのウェイクアップ時間の仕様および スタンバイ・モード終了時の時間調整 のセクションを参照してください。				

表 10. FIFO タイミング仕様

Parameter ¹	Symbol	Min	Max	Unit
FIFO RELATED ²				
FIFO Ready Signal ³ High Time when FIFO Is Busy	t_{BSY}	$4/f_{MCLK}$		sec
FIFO Interrupt Signal ⁴ Rising Edge to FIFO Read Start ($\overline{CS}$ Falling Edge or SCLK Falling Edge) ⁵	t_{INT_RD}	$1.5/f_{MCLK}$		sec
FIFO Quiet Time Between Write and Read Access (FIFO Ready Signal ³ Falling Edge to FIFO Read Start ⁶)	t_{QUIET1}	0		ns
SCLK Falling Edge to DOUT Becomes Available	t_{DOUT_VALID}		80	ns
SCLK Falling Edge to DOUT Remains Available	t_{DOUT_HOL}	10		ns
FIFO Quiet Time Between Read and Write Access (FIFO Read End ⁷ to FIFO Ready Signal ³ Rising Edge)	t_{QUIET2}	$4/f_{MCLK}$		sec
FIFO Clear Delay (After $\overline{SYNC}$ Low or After Write to FIFO_CONTROL Register) ⁸	t_{CLR}^9		$8/f_{MCLK}$	sec
$\overline{SYNC}$ Low Pulse Width to Clear FIFO	t_{SYNC_PW}	$4/f_{MCLK}$		sec

¹ これらの仕様については出荷テストを行っていませんが量産開始時の特性評価データで確認されています。

² [FIFO のタイミング図](#) および [FIFO](#) の各セクションを参照してください。

³ FIFO レディ信号関連のタイミング仕様については、DOUT ピンが考慮されます。

⁴ FIFO 割込み信号関連のタイミング仕様については、INT ピンが考慮されます (IO_CONTROL レジスタの INT_PIN_SEL = 0b00)。

⁵ この仕様は FIFO ウォーターマーク割込みに適用されます。

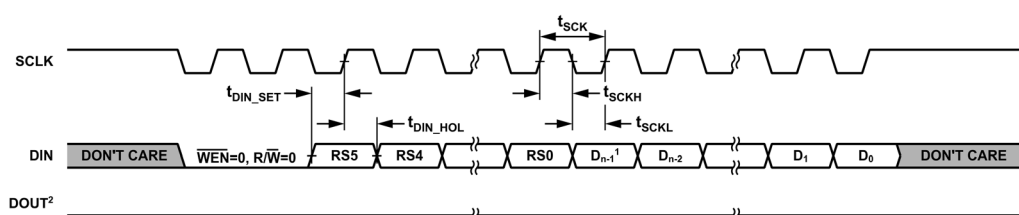
⁶ $\overline{CS}$ 立下がりエッジ (4 線式モード) または SCLK 立下がりエッジ (3 線式モードおよび $\overline{CS}$ をローに接続)

⁷ $\overline{CS}$ 立上がりエッジ (4 線式モード) または SCLK 立上がりエッジ (3 線式モードおよび $\overline{CS}$ をローに接続)

⁸ [FIFO のクリア](#) のセクションを参照してください。

⁹ 設計により確保されています。

3 線式モードのタイミング図



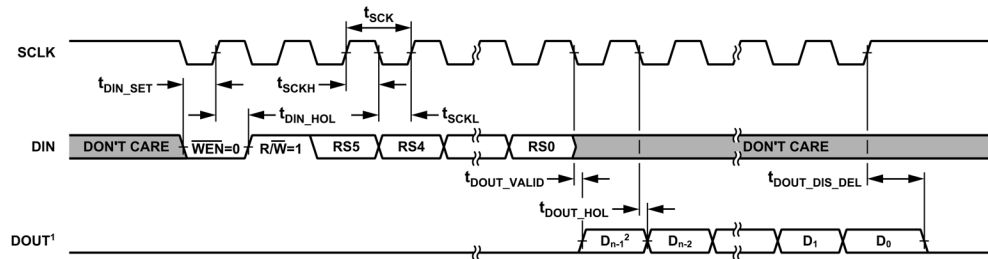
¹ n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

² INT_PIN_SEL = 0b00 (DEFAULT)

002

図 2. 書込みサイクルのタイミング図、3 線式モード (CSB_EN ビットを 0 にセット)、 $\overline{CS}$ ピンをローに接続

仕様

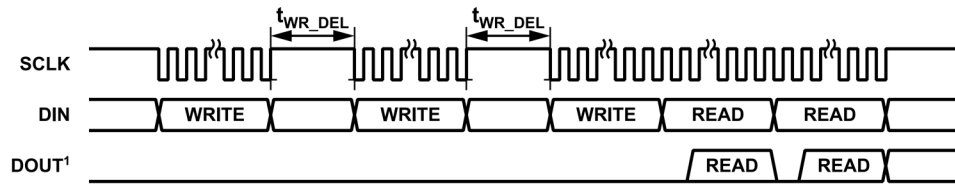


¹INT_PIN_SEL = 0b00 (DEFAULT)

²n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

003

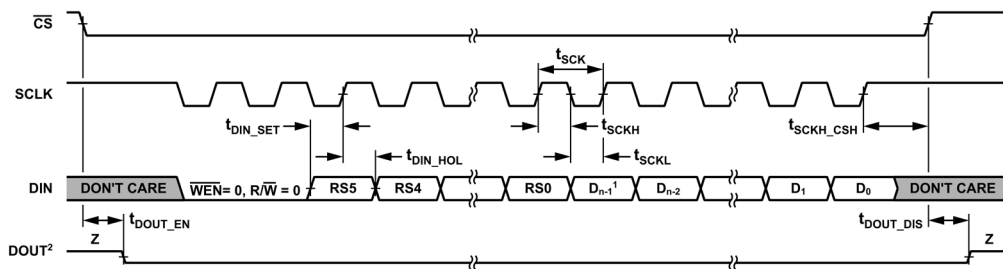
図 3. 読み出しサイクルのタイミング図、3 線式モード（CSB_EN ビットを 0 にセット）、
CS ピンをローに接続



¹INT_PIN_SEL = 0b00 (DEFAULT)

図 4. 連続するシリアル動作間の遅延、3 線式モード（CSB_EN ビットを 0 にセット）、
CS ピンをローに接続

004

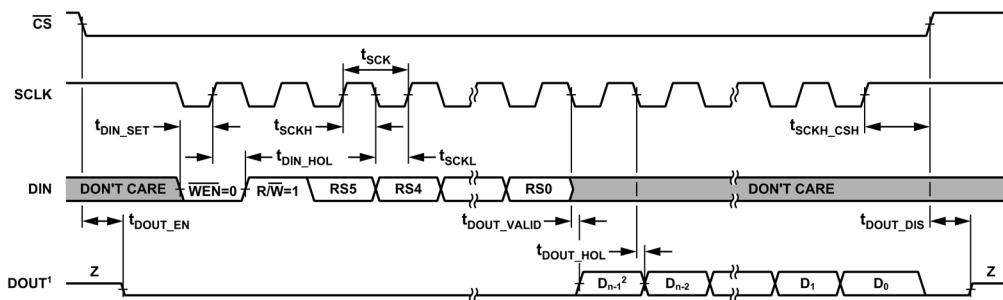


¹n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

²INT_PIN_SEL = 0b00 (DEFAULT)

005

図 5. 書き込みサイクルのタイミング図、3 線式モード（CSB_EN ビットを 0 にセット）、
CS ピンを使用して DOUT ピンをトリステート化



¹INT_PIN_SEL = 0b00 (DEFAULT)

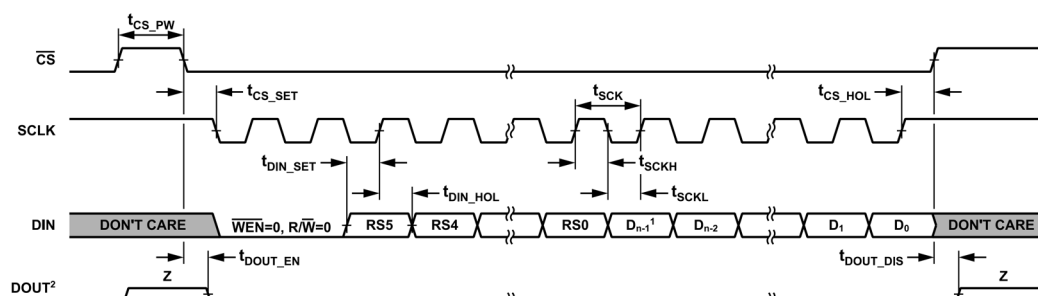
²n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

006

図 6. 3 線モード読み出しサイクルのタイミング図、3 線式モード（CSB_EN ビットを 0 にセット）、
CS ピンを使用して DOUT ピンをトリステート化

仕様

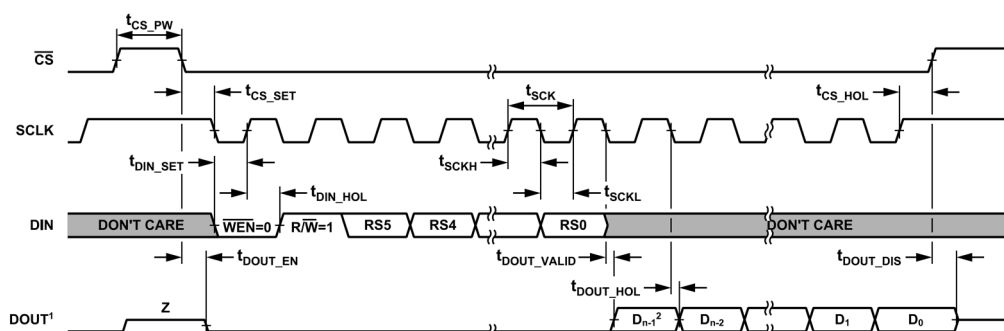
4 線式モードのタイミング図



¹n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

²INT_PIN_SEL = 0b00 (DEFAULT)

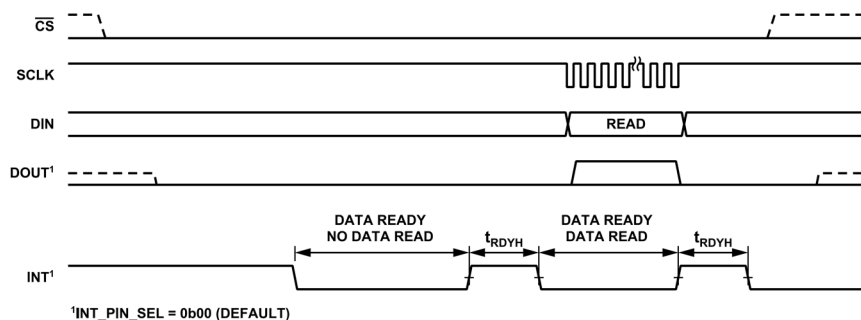
図 7. 書き込みサイクルのタイミング図、4 線式モード (CSB_EN ビットを 1 にセット)



¹INT_PIN_SEL = 0b00 (DEFAULT)

²n DEPENDS ON THE REGISTER SIZE (n CAN BE 8, 16, OR 24 BITS)

図 8. 読出しサイクルのタイミング図、4 線式モード (CSB_EN ビットを 1 にセット)

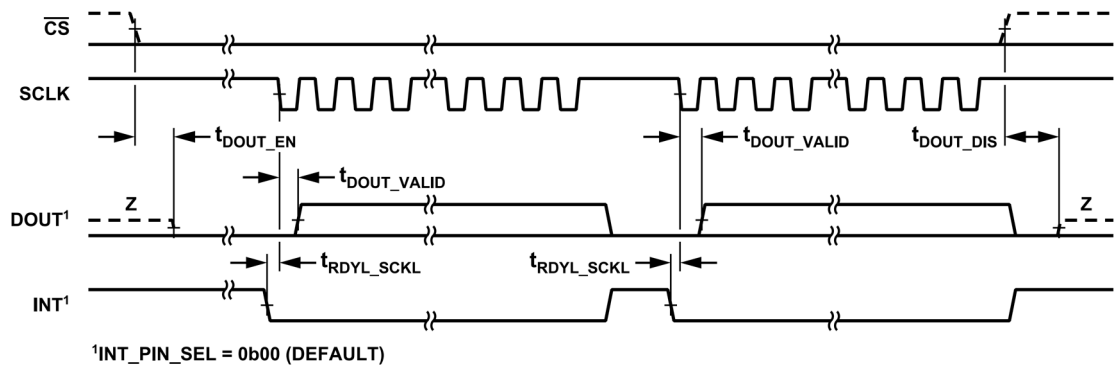


¹INT_PIN_SEL = 0b00 (DEFAULT)

図 9. 最初にデータ・レディがローで次の変換が可能になっている場合に、データ・レディがハイとなる時間

仕様

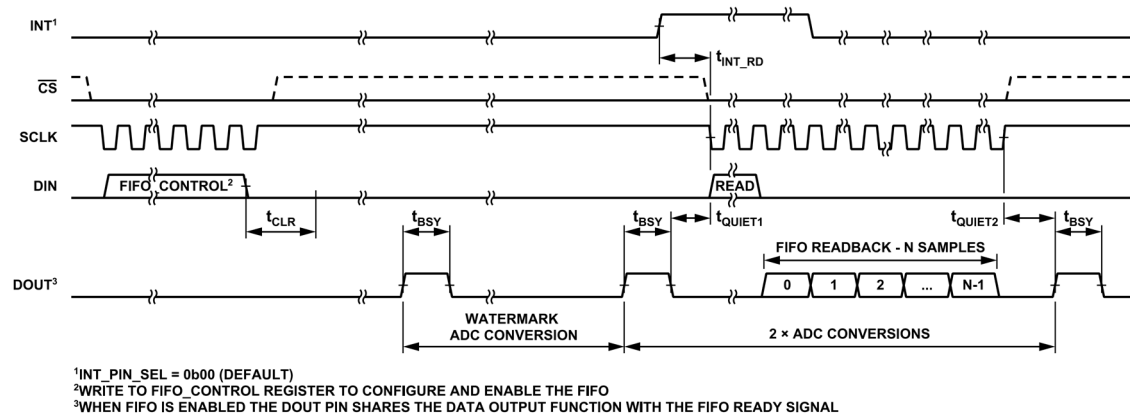
連続読出しモードのタイミング図



010

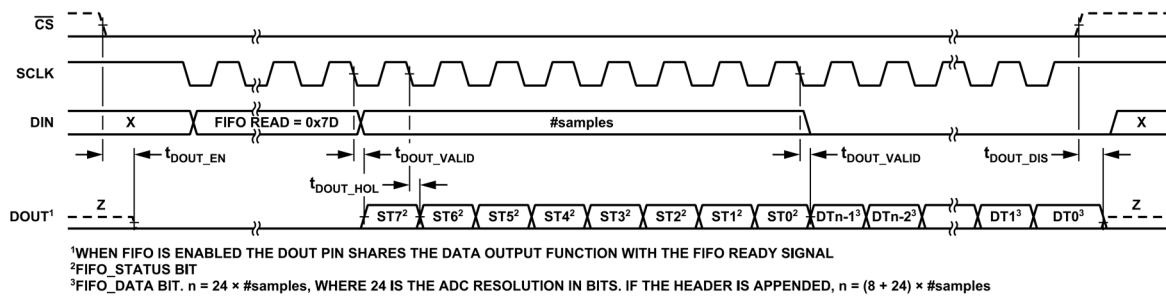
図 10. 連続読出しモードのタイミング

FIFO のタイミング図



011

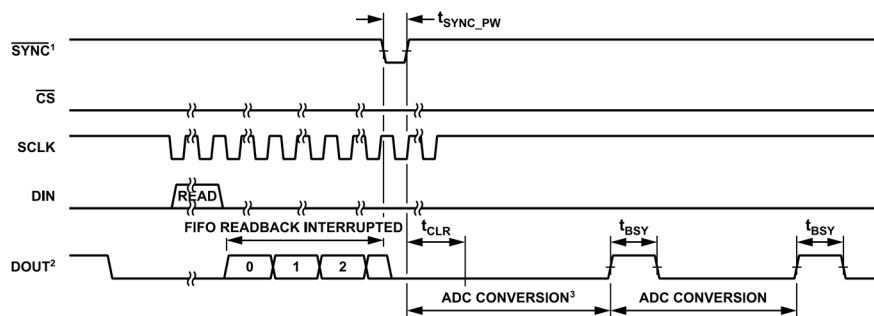
図 11. ウォーターマーク割込みのある場合の FIFO タイミング



012

図 12. FIFO リードバックのタイミング図

仕様



¹SYNCSB_CLR = 0b1 IN THE IO_CONTROL REGISTER

²WHEN FIFO IS ENABLED THE DOUT PIN SHARES THE DATA OUTPUT FUNCTION WITH THE FIFO READY SIGNAL

³ADC CONVERSIONS RESTART FROM THE FIRST CHANNEL IN THE SEQUENCE

013

図 13. FIFO クリアのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^{\circ}\text{C}$ 。

表 11. 絶対最大定格

Parameter	Rating
AV_{DD} to AV_{SS}	-0.3 V to +3.96 V
IOV_{DD} to DGND	-0.3 V to +3.96 V
IOV_{DD} to AV_{SS}	-0.3 V to +5.94 V
AV_{SS} to DGND	-1.98 V to +0.3 V
AIN_x to AV_{SS}	-0.3 V to $\text{AV}_{\text{DD}} + 0.3$ V
REFIN1(+), REFIN1(-) to AV_{SS}	-0.3 V to $\text{AV}_{\text{DD}} + 0.3$ V
Digital Inputs ¹ to DGND	-0.3 V to $\text{IOV}_{\text{DD}} + 0.3$ V
Digital Outputs ¹ to DGND	-0.3 V to $\text{IOV}_{\text{DD}} + 0.3$ V
AIN_x /Digital Input Current	10 mA
Storage Temperature Range	-65°C to +150°C
Junction Temperature (T_J)	150°C
Lead Temperature, Soldering Reflow	260°C, as per JEDEC J-STD-020

¹ デジタル入力ピンとデジタル出力ピンの一覧については、[ピン配置およびピン機能の説明](#)のセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

絶対最大定格のテストは、個別に行われたものであり、組み合わせて行われたものではありません。また、すべて所定の構成に対してのみ適用できます。

熱特性

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 12 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。

表 12. 熱抵抗

Package Type ¹	θ_{JA}	θ_{JB}	θ_{JC_TOP}	Ψ_{JB}	Ψ_{JT}	Unit
CB-35-3	46.2	11	0.32	4.4	0.2	°C/W

¹ 表 12 の値は、 6×11 のサーマル・ビアを有する標準的な JEDEC 2S2P 熱試験ボードに基づいて計算したものです。JEDEC JESD51 シリーズを参照してください。

リストされたすべての試験条件が同じであれば、 θ_{JA} 、 θ_{JB} 、 θ_{JC} を主に使用して、デバイスのパッケージの熱性能を他の半導体パッケージと比較できます。 θ_{JA} 、 θ_{JB} 、 θ_{JC} は、システム環境でのジャンクション温度の一次近似を求めるために使用できます。

テスト対象デバイス（DUT）の近くのボード温度の正確な熱測定値、または、システム環境で動作しているパッケージ上面に直接接触しているボード温度の正確な熱測定値がわかる場合、WLCSP デバイスでは、 Ψ_{JB} または Ψ_{JT} を用いる方が、システム環境におけるデバイスの最も厳しい場合のジャンクション温度を推定するのに適した方法です。

JESD51 シリーズの JEDEC 規格に従う、表 12 に示したパラメータを使用することを推奨します。

T_J の制限値を超えると AD4130-8 は損傷を受けることがあります。絶対最大ジャンクション温度仕様については表 11 を参照してください。周囲温度を監視しても、 T_J が仕様規定の最高温度内に収まるとは限りません。大消費電力のアプリケーションや熱抵抗の大きなアプリケーションでは、内部温度センサーを用いて T_J を監視する必要があります。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の電界誘起帯電デバイス・モデル（FICDM）。

ANSI/ESD STM5.2 によるマシン・モデル（MM）。MM 電圧値は特性評価のみに使われます。

AD4130-8 の ESD 定格

表 13. AD4130-8、35 ボール WLCSP

ESD Model	Withstand Threshold (V)	Class
HBM	4000	3A
FICDM	500	C2a
MM	400	C

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

AD4130-8					
TOP VIEW					
(Not to Scale)					
	1	2	3	4	5
A	AVDD	INT	DIN	SCLK	$\overline{\text{CS}}$
B	REGCAPA	$\overline{\text{SYNC}}$	DOUT	CLK	IOV _{DD}
C	AV _{SS}	PSW	NC	NC	DGND
D	REFOUT	AIN13/ IOUT/ VBIAS	AIN8/ IOUT/ VBIAS	AIN2/ IOUT/ VBIAS/P1	REGCAPD
E	AIN15/ IOUT/ VBIAS/ REFIN2(–)	AIN12/ IOUT/ VBIAS	AIN7/ IOUT/ VBIAS	AIN3/ IOUT/ VBIAS/P2	AIN0/ IOUT/ VBIAS
F	AIN14/ IOUT/ VBIAS/ REFIN2(+)	AIN10/ IOUT/ VBIAS	REFIN1(+)	AIN5/ IOUT/ VBIAS/P4	AIN1/ IOUT/ VBIAS
G	AIN11/ IOUT/ VBIAS	AIN9/ IOUT/ VBIAS	REFIN1(–)	AIN6/ IOUT/ VBIAS	AIN4/ IOUT/ VBIAS/P3

NOTES

1. NO CONNECT. THESE PINS MUST BE MECHANICALLY SOLDERED TO THE PCB. THESE PINS CAN BE CONNECTED TO DGND OR LEFT ELECTRICALLY FLOATING.

014

図 14. ピン配置

表 14. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1	AV _{DD}	S	AV _{SS} を基準としたアナログ電源電圧です。 電源 のセクションを参照してください。
A2	INT	DO	割込みピン。INTピンは、FIFOが無効となっている場合、デフォルトでデータ・レディ信号として機能します。 データ・レディ信号 のセクションを参照してください。FIFOが有効な場合、INTピンはFIFO割込み信号に設定できます(FIFO割込み のセクションを参照)。
A3	DIN	DI	シリアル・データ・ロジック入力。DINピンのデータは、該当のレジスタを示す COMMS レジスタのレジスタ選択ビット (RS、ビット [5:0]) を使用して、ADC 内のコントロール・レジスタに転送されます。 デジタル・インターフェース のセクションを参照してください。
A4	SCLK	DI	シリアル・クロック・ロジック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。転送された全データがパルスの連続である場合、シリアル・クロックも連続にすることができます。あるいは、ADC との間で小さいデータ群として情報が送受信される場合は、ゲーテッド・クロックにできます。 デジタル・インターフェース のセクションを参照してください。
A5	$\overline{\text{CS}}$	DI	チップ・セレクト・アクティブ・ロー・ロジック入力。 $\overline{\text{CS}}$ は、シリアル・バスに複数のデバイスが接続されたシステムで ADC を選択するために使用するか、デバイスと通信する際にフレーム同期信号として使用します。SPI 診断を使用しない場合、 $\overline{\text{CS}}$ をロー・レベルに配線すれば、SCLK、DIN、DOUT をデバイスとのインターフェースに使用して ADC を 3 線式モードで動作させることができます。 デジタル・インターフェース のセクションを参照してください。
B1	REGCAPA	S	アナログ LDO レギュレータ出力。REGCAPA ピンを 0.1μF のコンデンサを使用して、AV _{SS} とデカップリングします。REGCAPA ピンに追加の負荷を接続することは推奨しません。 内部 LDO のセクションを参照してください。
B2	$\overline{\text{SYNC}}$	DI	同期ロジック入力。 $\overline{\text{SYNC}}$ ピンは、複数の AD4130-8 デバイスを使用する場合にデジタル・フィルタとアナログ変調器の同期を可能にするロジック入力です。 システム同期 のセクションを参照してください。また、 $\overline{\text{SYNC}}$ ピンは FIFO をクリアするためにも使用できます。 FIFO のクリア のセクションを参照してください。
B3	DOUT	DO	シリアル・データ・ロジック出力。DOUT ピンは、読出しアクセス権のあるレジスタの内容をリードバックするための、シリアル・データ出力ピンとして機能します。 デジタル・インターフェース のセクションを参照してください。
B4	CLK	DI/O	クロック入力およびクロック・ロジック出力。内部クロックはこのピンから出力できます。代わりに、内部クロックを無効にして、ADC を外部クロックで駆動することもできます。 ADC マスタ・クロック のセクションを参照してください。CLK ピンは、データ・レディ信号または FIFO 割込みの割込み源として用いることもできます (データ・レディ信号 のセクションおよび FIFO 割込み のセクションを参照してください)。CLK ピンを使用しない場合は DGND に接続します。
B5	IOV _{DD}	S	シリアル・インターフェース電源電圧 (1.65V~3.6V)。 電源 のセクションを参照してください。

ピン配置およびピン機能の説明

表 14. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
C1	AV _{SS}	S	アナログ電源電圧リファレンス。AV _{DD} の電圧は、AV _{SS} を基準としています。AV _{SS} は DGND に接続します。あるいは、0V より低い電圧にして AD4130-8 に両電源を提供することもできます。最小 AV _{SS} は -1.8V です。また、AV _{DD} と AV _{SS} の差は、1.71V ~ 3.6V とする必要があります。電源のセクションを参照してください。
C2	PSW	AI	AV _{SS} へのローサイド・パワー・スイッチ。パワーダウン・スイッチのセクションを参照してください。
C3, C4	NC	N/A ²	接続なし。これらのピンは、PCB に物理的にハンダ付けする必要があります。これらのピンは DGND に接続するか電気的なフロート状態のままにできます。
C5	DGND	S	デジタル/コモン・グラウンド基準ポイント。電源のセクションを参照してください。
D1	REFOUT	AO	内部リファレンス出力。内部電圧リファレンスのバッファ付き出力は、REFOUT ピンで使用できます。内部リファレンスがアクティブな場合は、REFOUT ピンに 1nF のコンデンサが必要です。ADC リファレンスのセクションを参照してください。
D2	AIN13/IOUT/ VBIAS	AI/O	アナログ入力 13 (AIN13) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。
D3	AIN8/IOUT/ VBIAS	AI/O	アナログ入力 8 (AIN8) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。
D4	AIN2/IOUT/ VBIAS/P1	AI/O	アナログ入力 2 (AIN2) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 汎用出力 1。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 汎用出力 1 (P1)。P1 ピンは、AV _{SS} と AV _{DD} の間の電圧を基準にした汎用出力として使用できます。 AV _{SS} を DGND に接続し IOV _{DD} を AV _{DD} に接続すると、P1 ピンをデジタル出力のように動作させることができます。
D5	REGCAPD	S	デジタル LDO レギュレータ出力。REGCAPD ピンは 0.1μF のコンデンサを用いて DGND とデカップリングします。REGCAPD ピンに追加の負荷を接続することは推奨しません。内部 LDO のセクションを参照してください。
E1	AIN15/IOUT/ VBIAS/ REFIN2(-)	AI/O	アナログ入力 15 (AIN15) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 負のリファレンス入力。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 負のリファレンス入力 (REFIN2(-))。REFIN2(-)ピンの入力範囲は AV _{SS} ~ AV _{DD} - 0.5V です。
E2	AIN12/IOUT/ VBIAS	AI/O	アナログ入力 12 (AIN12) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。
E3	AIN7/IOUT/ VBIAS	AI/O	アナログ入力 7 (AIN7) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。
E4	AIN3/IOUT/ VBIAS/P2	AI/O	アナログ入力 3 (AIN3) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 汎用出力 2。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 汎用出力 2 (P2)。P2 ピンは、AV _{SS} と AV _{DD} の間の電圧を基準にした汎用出力として使用できます。 AV _{SS} を DGND に接続し IOV _{DD} を AV _{DD} に接続すると、P2 ピンをデジタル出力のように動作させることができます。
E5	AIN0/IOUT/ VBIAS	AI/O	アナログ入力 0 (AIN0) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。

ピン配置およびピン機能の説明

表 14. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
F1	AIN14/IOUT/ VBIAS/ REFIN2(+)	AI/O	アナログ入力 14 (AIN14) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 正のリファレンス入力。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 正のリファレンス入力 (REFIN2(+))。REFIN2(+) と REFIN2(-) の間に外部リファレンスを適用できます。REFIN2 (+) の入力範囲は $AV_{DD} \sim AV_{SS} + 0.5V$ です。公称リファレンス電圧 (REFIN2(+)) ~ REFIN2(-)) は 2.5V ですが、デバイスは 0.5V ~ AV_{DD} のリファレンス電圧で動作します。
F2	AIN10/IOUT/ VBIAS	AI/O	アナログ入力 10 (AIN10) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。
F3	REFIN1(+)	AI	正のリファレンス入力。REFIN1(+) と REFIN1(-) の間に外部リファレンスを適用できます。REFIN1(+) ピンの入力範囲は $AV_{DD} \sim AV_{SS} + 0.5V$ です。デバイスは 0.5V ~ AV_{DD} のリファレンスで動作します。 ADC リファレンスのセクション を参照してください。
F4	AIN5/IOUT/ VBIAS/P4	AI/O	アナログ入力 5 (AIN5) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 汎用出力 4。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 汎用出力 4 (P4)。P4 ピンは、 AV_{SS} と AV_{DD} の間の電圧を基準にした汎用出力として使用できます。 AV_{SS} を DGND に接続し IOV _{DD} を AV_{DD} に接続すると、P4 ピンをデジタル出力のように動作させることができます。
F5	AIN1/IOUT/ VBIAS	AI/O	アナログ入力 1 (AIN1) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。
G1	AIN11/IOUT/ VBIAS	AI/O	バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 アナログ入力 11 (AIN11) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。
G2	AIN9/IOUT/VBIAS	AI/O	バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 アナログ入力 9 (AIN9) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。
G3	REFIN1(-)	AI	バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 負のリファレンス入力。REFIN1(-) ピンの入力範囲は $AV_{SS} \sim AV_{DD} - 0.5V$ です。 ADC リファレンスのセクション を参照してください。
G4	AIN6/IOUT/ VBIAS	AI/O	アナログ入力 6 (AIN6) (デフォルト) / 内部励起電流源の出力 / バイアス電圧。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。
G5	AIN4/IOUT/ VBIAS/P3	AI/O	バイアス電圧 (VBIAS)。アナログ電源レールの中間バイアス電圧は VBIAS ピンで出力できます。 アナログ入力 4 (AIN4) (デフォルト) / 内部励起電流源の出力 / バイアス電圧 / 汎用出力 3。 内部励起電流源の出力 (IOUT)。IOUT ピンで内蔵のプログラマブル励起電流源を使用できます。 IOUT1 または IOUT0 をこの出力に切り替えることができます。 汎用出力 3 (P3)。P3 ピンは、 AV_{SS} と AV_{DD} の間の電圧を基準にした汎用出力として使用できます。 AV_{SS} を DGND に接続し IOV _{DD} を AV_{DD} に接続すると、P3 ピンをデジタル出力のように動作させることができます。

¹ AO はアナログ出力、S は電源、AI はアナログ入力、AI/O はアナログ入力または出力、DI はデジタル入力、DO はデジタル出力、DI/O はデジタル入力または出力。

² N/A は該当なし。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = 3.3V$ 、 $IOV_{DD} = 1.8V$ 、 $AV_{SS} = DGND = 0V$ 、 $V_{REF} = 2.5V$ （内部）、内部 MCLK、 $T_A = 25^\circ C$ 、 sinc^3 フィルタ、 $FS = 48$ 、ゲイン = 1、PGA イネーブル、リファレンス・バッファをバイパス、推奨デカップリング方法のセクションの説明に従いデカップリング。

オフセット誤差およびゲイン誤差

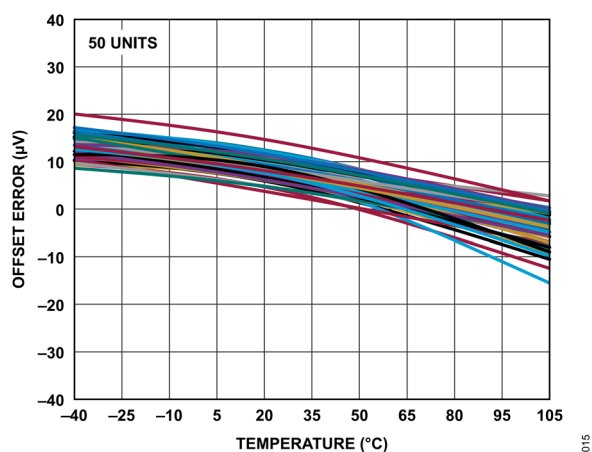


図 15. オフセット誤差と温度の関係
(ゲイン = 1、キャリブレーション前)

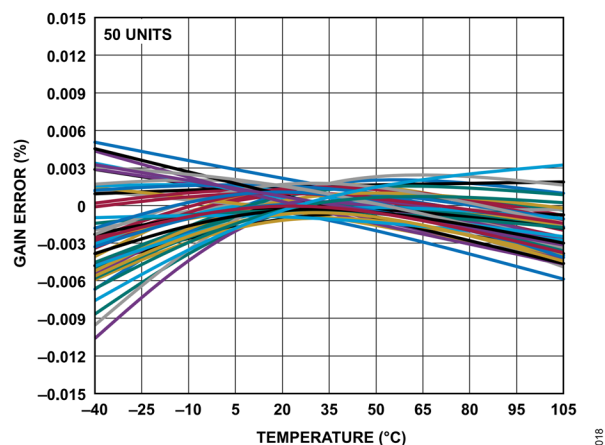


図 18. ゲイン誤差と温度の関係
(ゲイン = 1、出荷時にキャリブレーション)

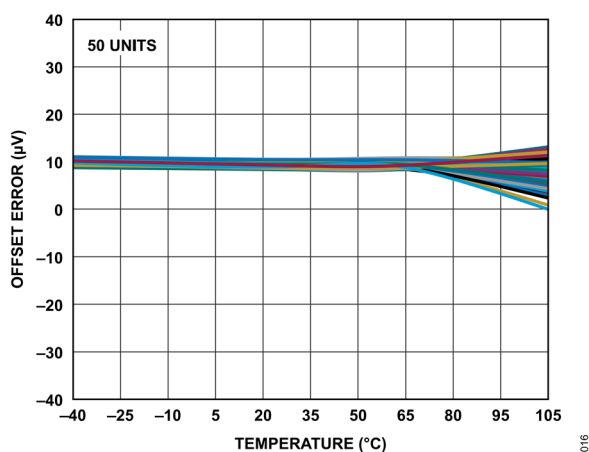


図 16. オフセット誤差と温度の関係
(ゲイン = 8、キャリブレーション前)

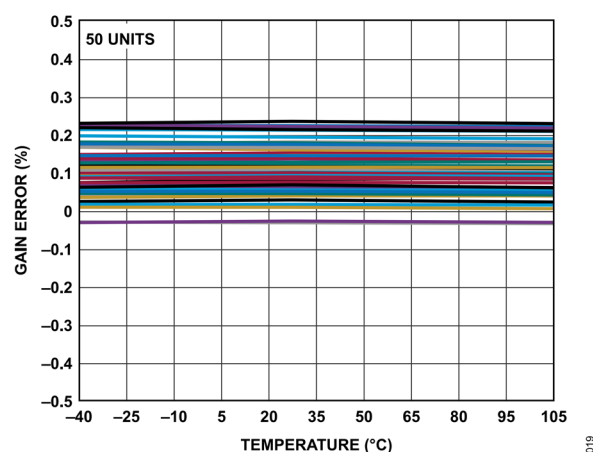


図 19. ゲイン誤差と温度の関係
(ゲイン = 8、キャリブレーション前)

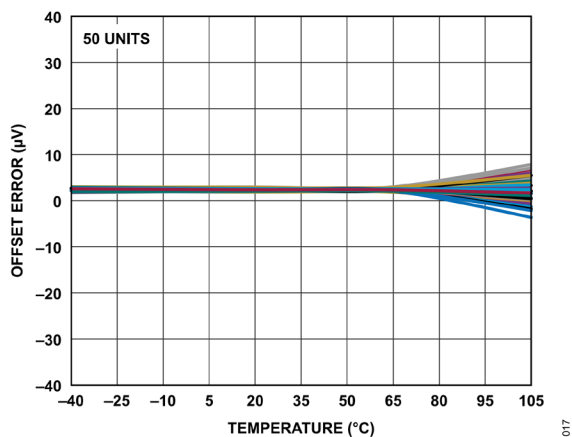


図 17. オフセット誤差と温度の関係
(ゲイン = 32、キャリブレーション前)

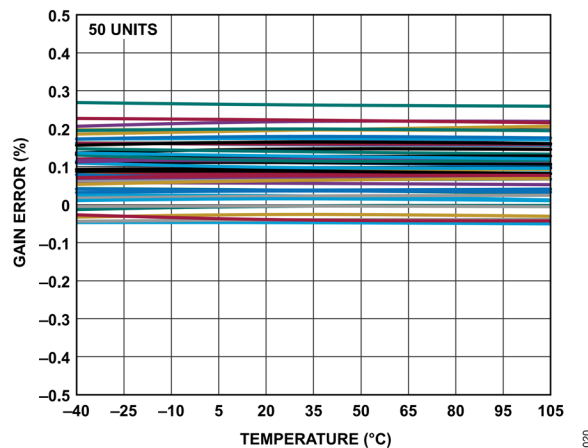


図 20. ゲイン誤差と温度の関係
(ゲイン = 32、キャリブレーション前)

代表的な性能特性

INL 誤差および発振器

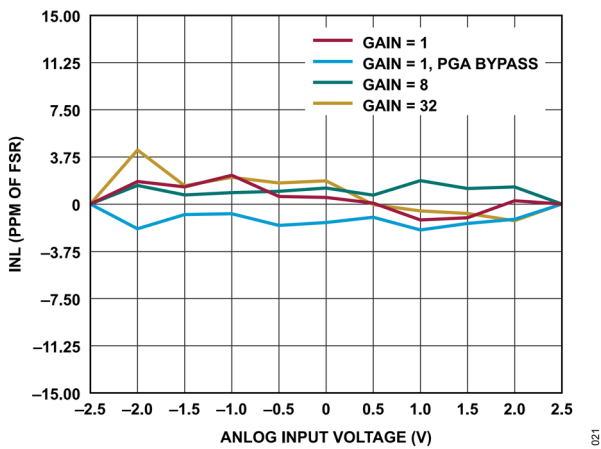


図 21. 異なるゲインでの INL 誤差と差動入力振幅の関係
(Sinc³ フィルタ、ODR = 50SPS、2.5V の内部リファレンス)

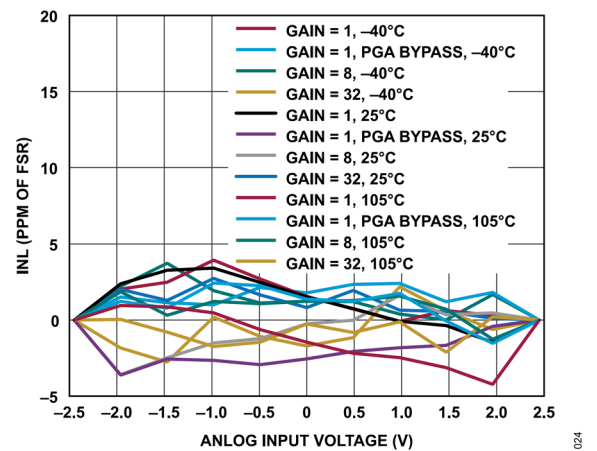


図 24. 異なるゲインおよび温度での INL 誤差と
差動入力振幅の関係
(Sinc³ フィルタ、ODR = 50SPS、2.5V の内部リファレンス)

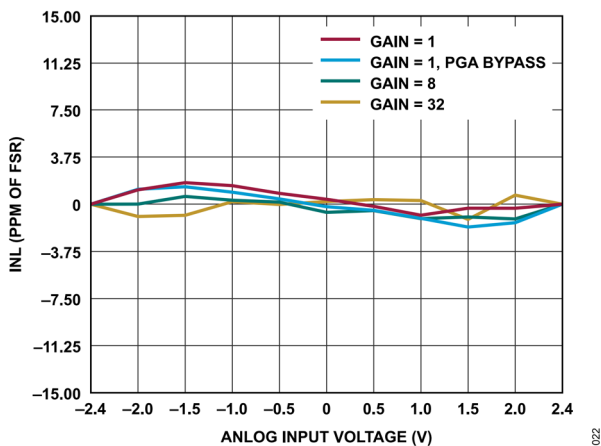


図 22. 異なるゲインでの INL 誤差と差動入力振幅の関係
(Sinc³ フィルタ、ODR = 50SPS、2.5V の外部リファレンス)

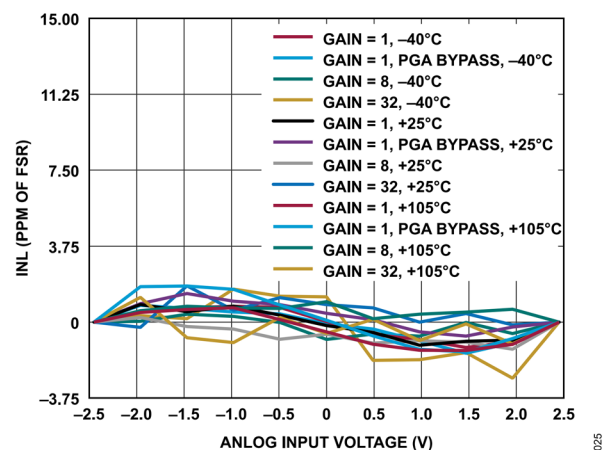


図 25. 異なるゲインおよび温度での INL 誤差と
差動入力振幅の関係
(Sinc³ フィルタ、ODR = 50SPS、2.5V の外部リファレンス)

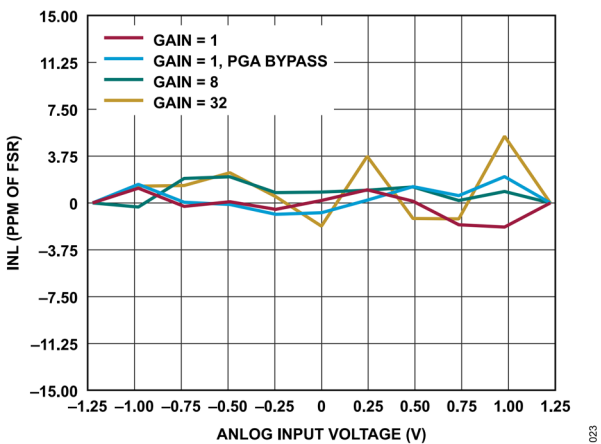


図 23. 異なるゲインでの INL 誤差と差動入力振幅の関係
(Sinc³ フィルタ、ODR = 50SPS、AV_{DD} = 1.8V、
1.25V の内部リファレンス)

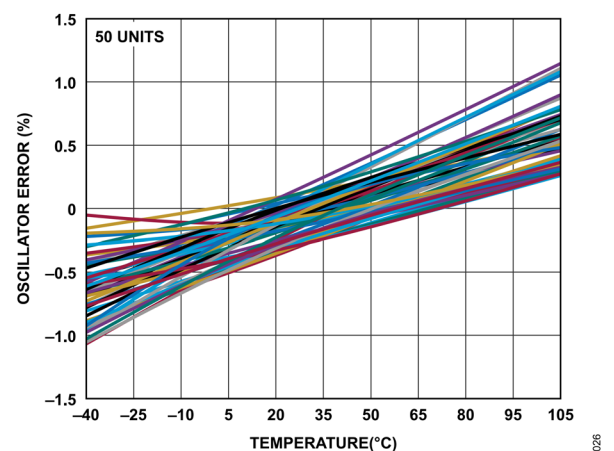


図 26. 内部発振器の誤差と温度の関係

代表的な性能特性

ノイズ

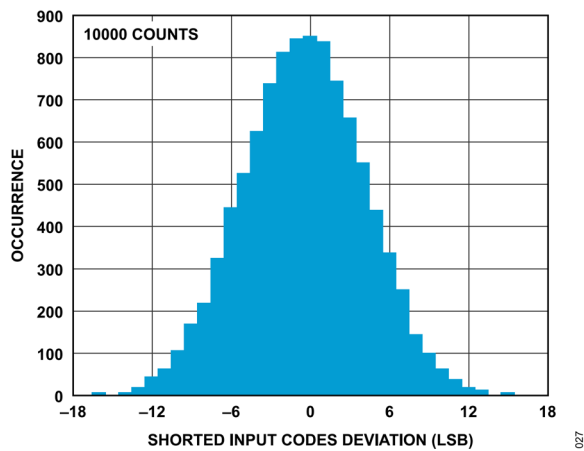


図 27. ノイズ・ヒストグラム・プロット
(Sinc³フィルタ、ODR = 50SPS、ゲイン = 1)

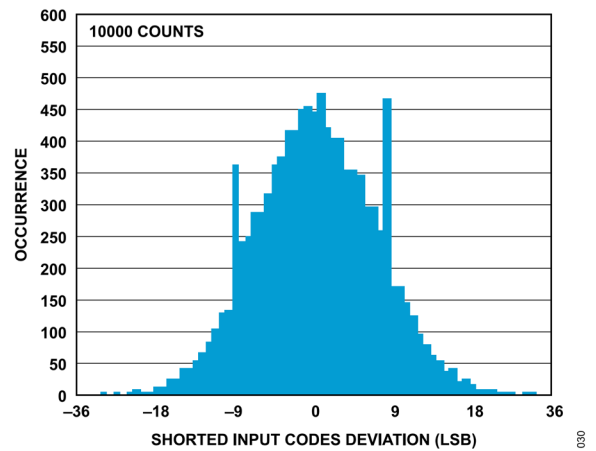


図 30. ノイズ・ヒストグラム・プロット (Sinc⁴フィルタ、
ODR = 240SPS、ゲイン = 1、1.25V の内部リファレンス)

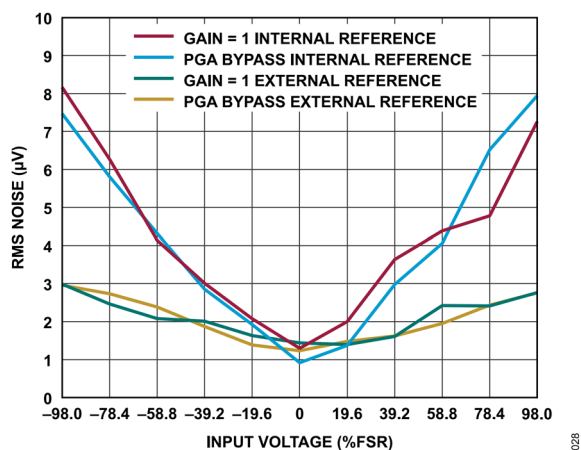


図 28. 実効値ノイズとアナログ入力電圧の関係
(Sinc³フィルタ、ODR = 50SPS、ゲイン = 1 および
PGA をバイパスしてゲイン = 1、2.5V のリファレンス)

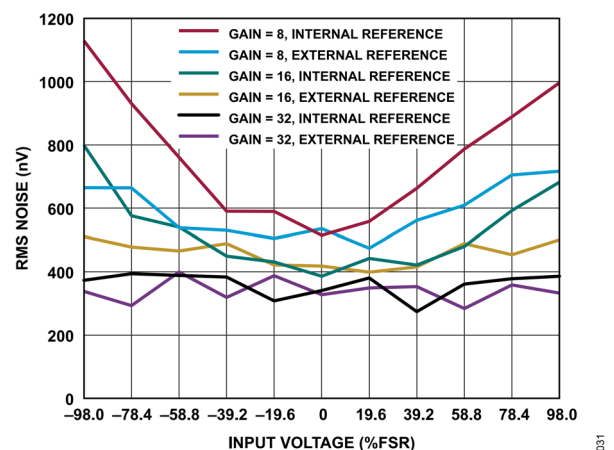


図 31. 実効値ノイズとアナログ入力電圧の関係
(Sinc³フィルタ、ODR = 50SPS、ゲイン = 8、ゲイン = 16、
ゲイン = 32、2.5V のリファレンス)

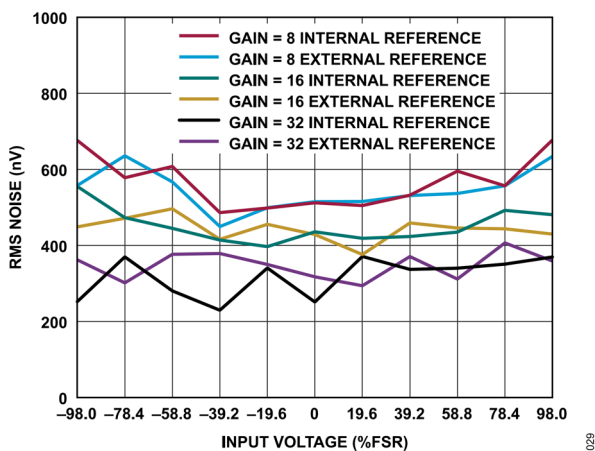


図 29. 実効値ノイズとアナログ入力電圧の関係
(Sinc³フィルタ、ODR = 50SPS、ゲイン = 8、ゲイン = 16、
ゲイン = 32、1.25V のリファレンス)

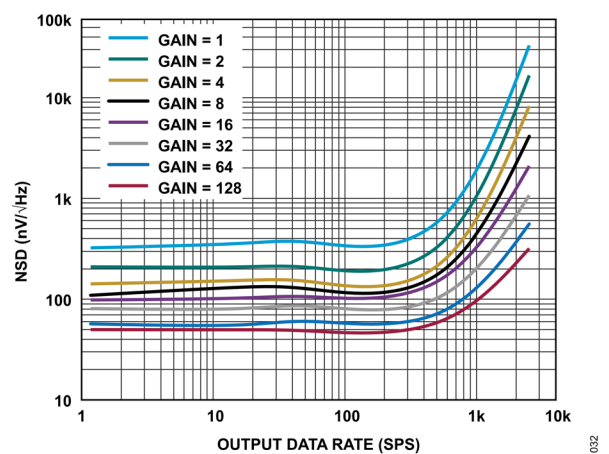


図 32. 異なるゲインでの NSD と出力データ・レートの関係
(Sinc³フィルタ、2.5V の外部リファレンス)

代表的な性能特性

アナログ入力電流

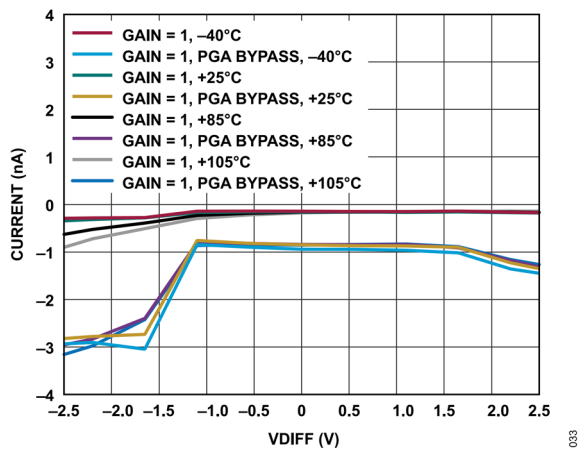


図 33. 異なる温度での絶対 AINP 電流と差動 AIN 電圧 (VDIFF) の関係 (ゲイン = 1、VCM = $AV_{DD}/2$)

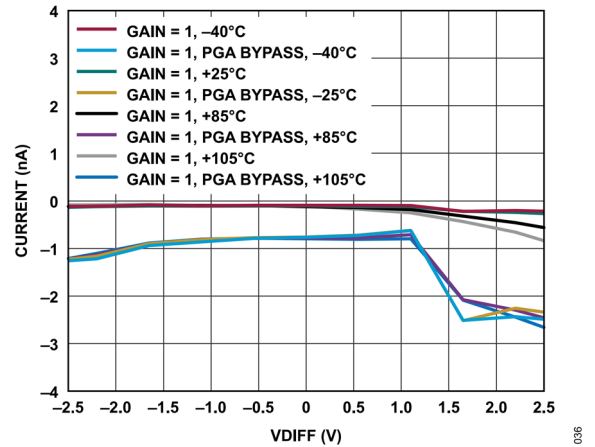


図 36. 異なる温度での絶対 AINM 電流と VDIFF の関係 (ゲイン = 1、VCM = $AV_{DD}/2$)

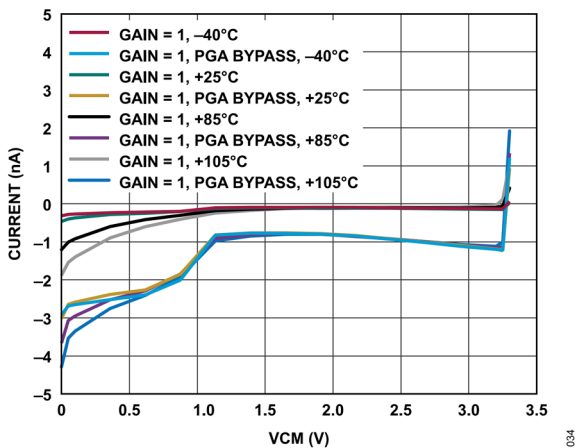


図 34. 異なる温度での絶対 AINP 電流と AIN コモンモード電圧 (VCM) の関係 (ゲイン = 1、VDIFF = 0V)

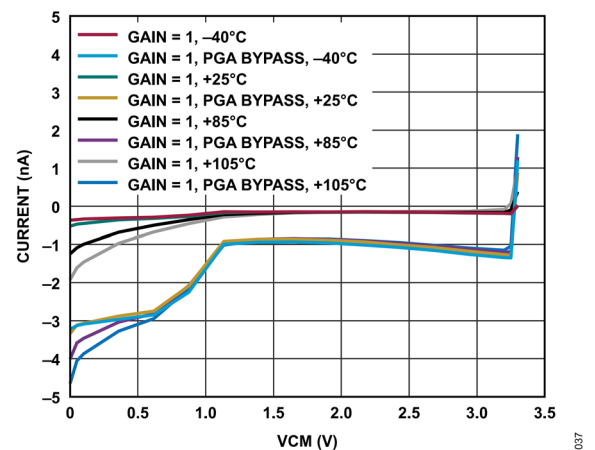


図 37. 異なる温度での絶対 AINM 電流と VCM の関係 (ゲイン = 1、VDIFF = 0V)

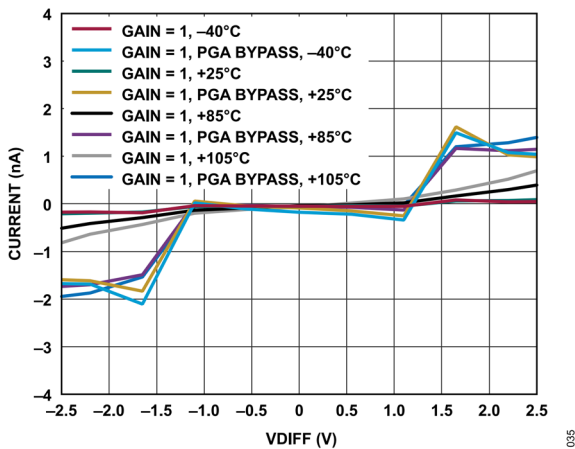


図 35. 異なる温度での差動 AIN 電流と VDIFF の関係 (ゲイン = 1、VCM = $AV_{DD}/2$)

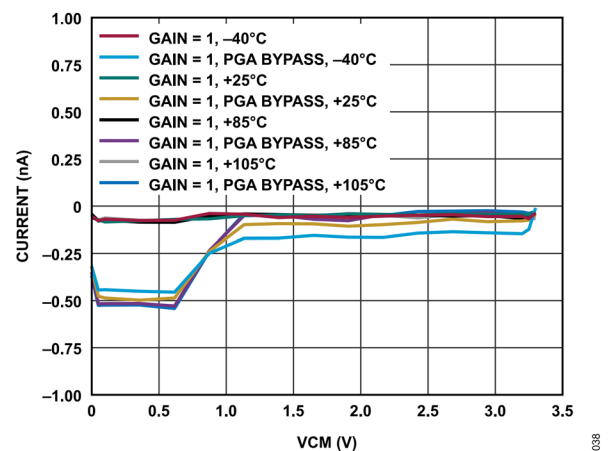


図 38. 異なる温度での差動 AIN 電流と VCM の関係 (ゲイン = 1、VCM = $AV_{DD}/2$)

代表的な性能特性

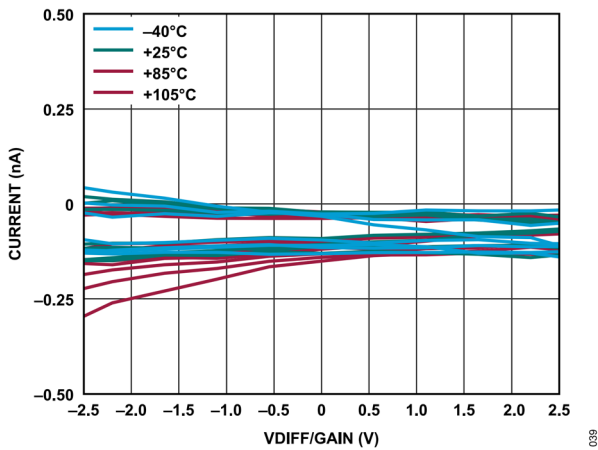


図 39. 異なる温度での絶対 AINP 電流と正規化差動 AIN 電圧 (VDIFF/ゲイン) の関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

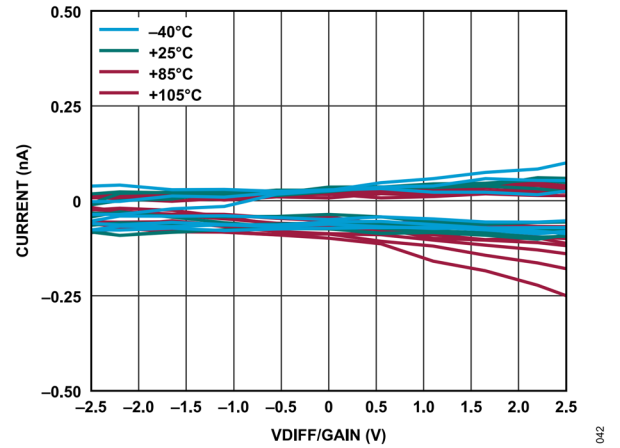


図 42. 異なる温度での絶対 AINM 電流と VDIFF/ゲインの関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

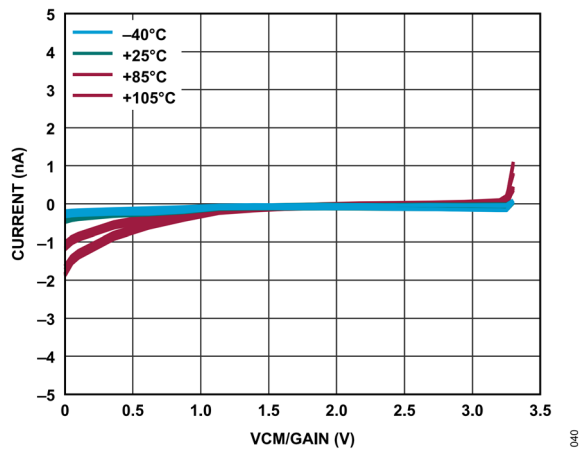


図 40. 異なる温度での絶対 AINP 電流と正規化 AIN コモンモード電圧 (VCM/ゲイン) の関係 (ゲイン = 2~128、VDIFF = 0V)

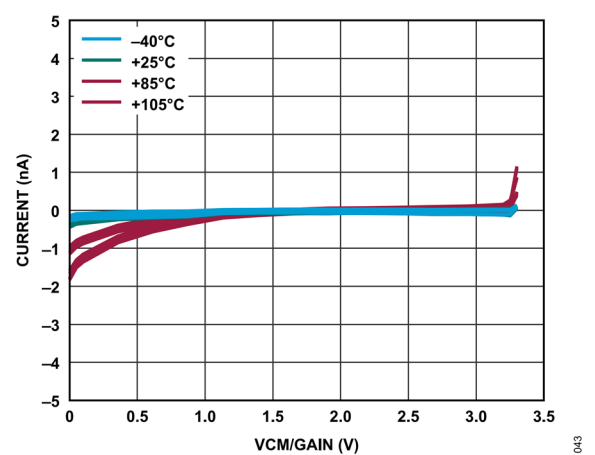


図 43. 異なる温度での絶対 AINM 電流と VCM/ゲインの関係 (ゲイン = 2~128、VDIFF = 0V)

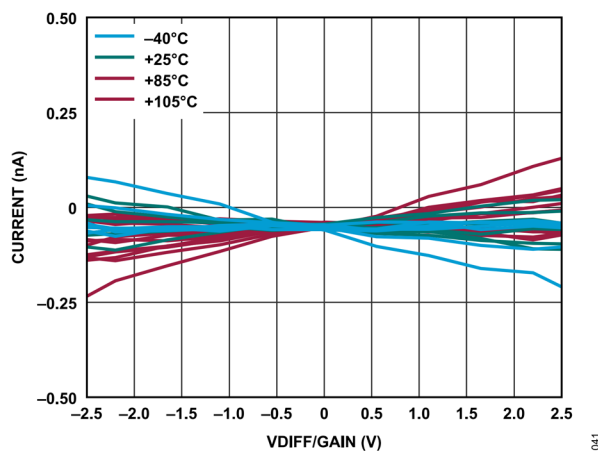


図 41. 異なる温度での差動 AIN 電流と VDIFF/ゲインの関係 (ゲイン = 2~128、VCM = AV_{DD}/2)

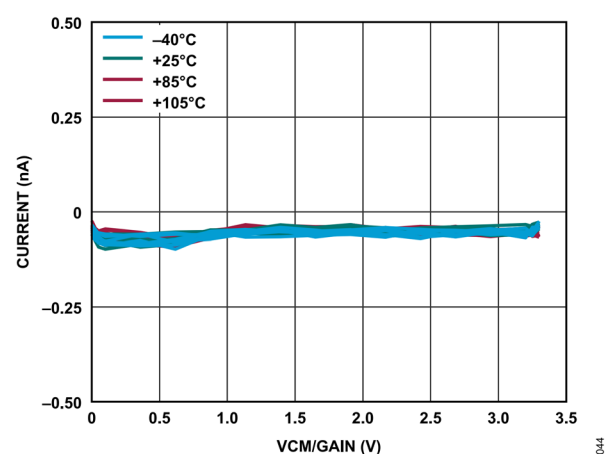


図 44. 異なる温度での差動 AIN 電流と VCM/ゲインの関係 (ゲイン = 2~128、VDIFF = 0V)

代表的な性能特性

電源電流

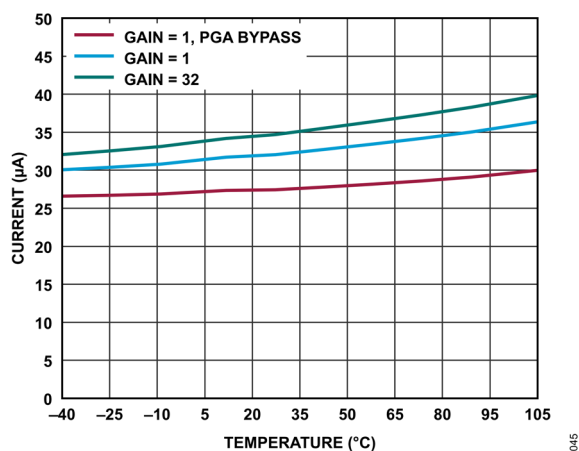
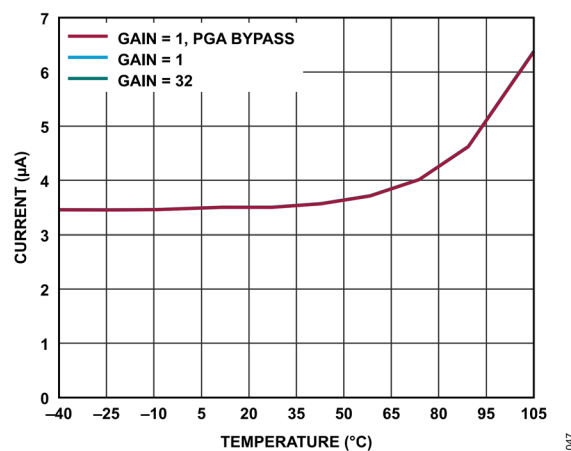
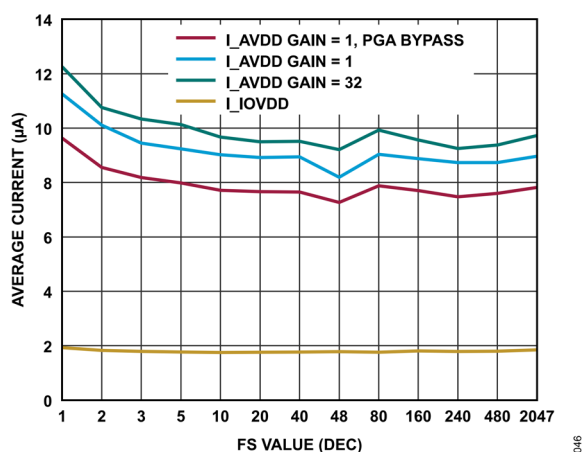
図 45. 異なるゲインでの AV_{DD} 電流と温度の関係図 47. IOV_{DD} 電流と温度の関係

図 46. デューティ・サイクル時の消費電流
(AV_{DD} および IOV_{DD})、DUTY_CYC_RATIO = 1/4
(I_AVDD は AV_{DD} の電流、I_IOVDD は IOV_{DD} の電流)

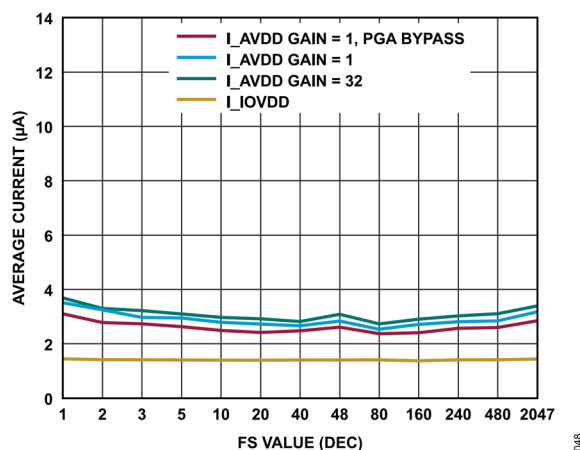


図 48. デューティ・サイクル時の消費電流
(AV_{DD} および IOV_{DD})、DUTY_CYC_RATIO = 1/16

代表的な性能特性

リファレンス入力電流

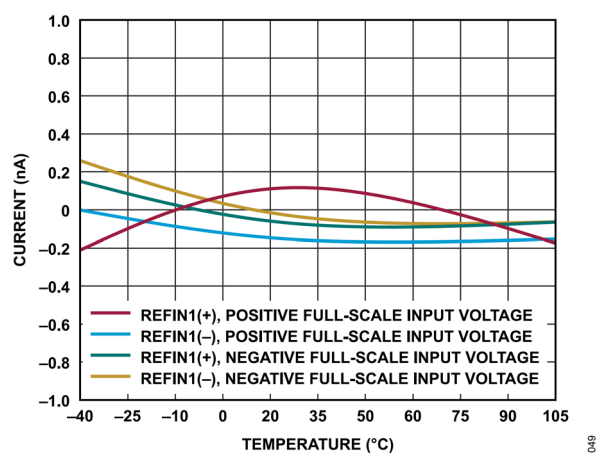


図 49. リファレンス入力電流と温度の関係
(リファレンス・バッファ・オン、2.5V 外部リファレンス)

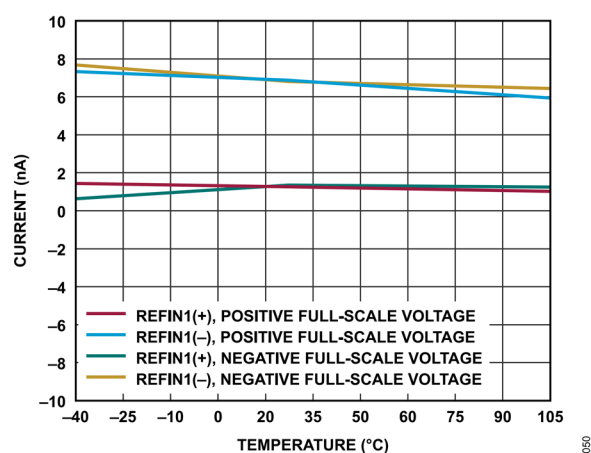


図 50. リファレンス入力電流と温度の関係
(リファレンス・バッファ・バイパス、
2.5V 外部リファレンス)

代表的な性能特性

内部リファレンスおよび温度センサー

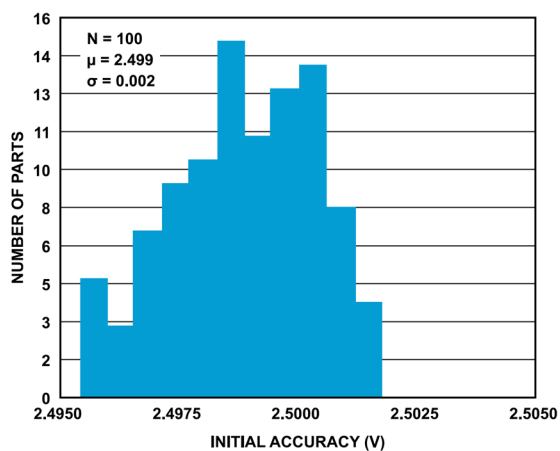


図 51. 2.5V 内部リファレンス電圧のヒストグラム

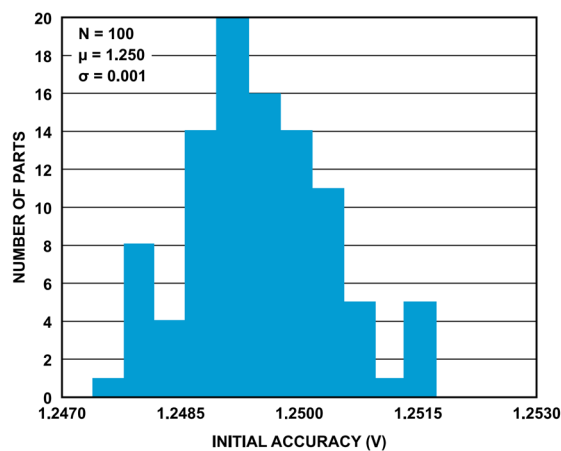


図 54. 1.25V 内部リファレンス電圧のヒストグラム

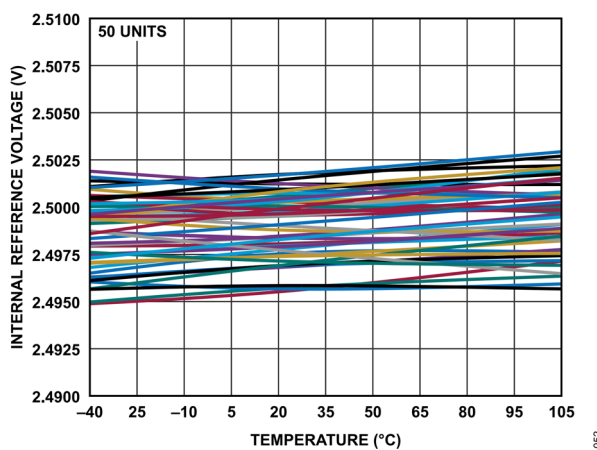


図 52. 2.5V 内部リファレンス電圧と温度の関係

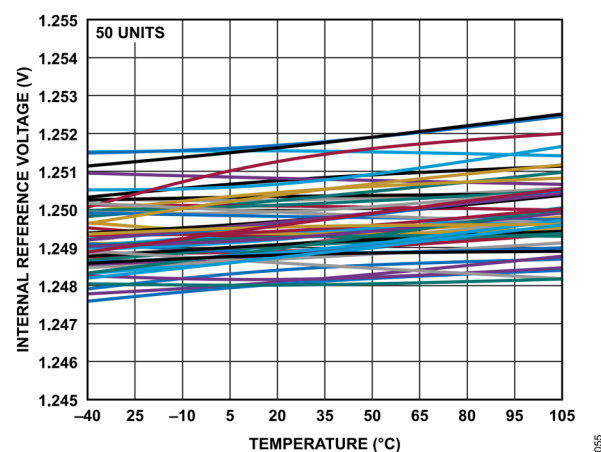


図 55. 1.25V 内部リファレンス電圧と温度の関係

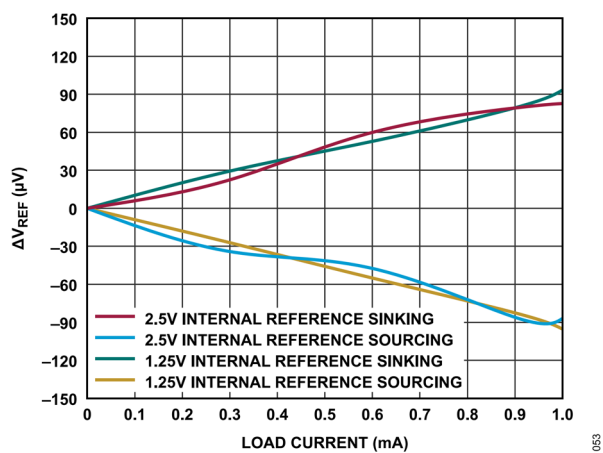


図 53. 1.25V ($AV_{DD} = 1.8V$) および 2.5V ($AV_{DD} = 3.3V$) 内部リファレンス電圧と負荷電流の関係

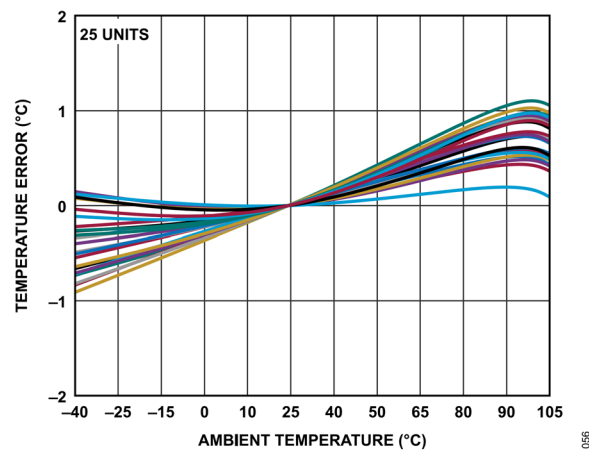


図 56. 25°Cでのキャリブレーション後の温度センサー誤差と周囲温度の関係

代表的な性能特性

励起電流

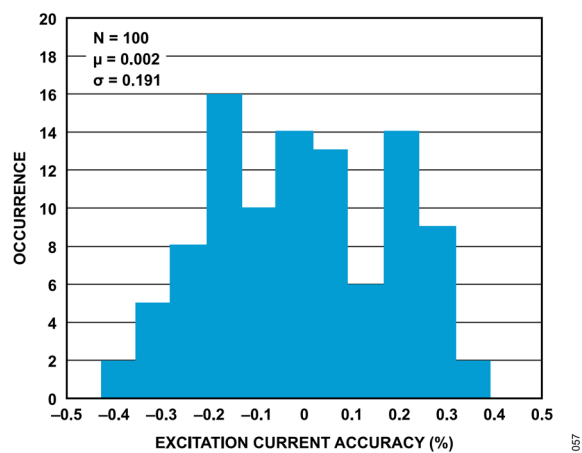


図 57. 励起電流の初期精度のヒストグラム (100µA)

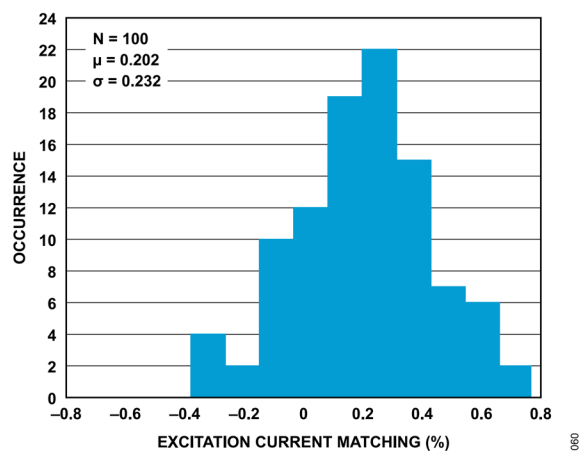


図 60. 励起電流の初期マッチングのヒストグラム (100µA)

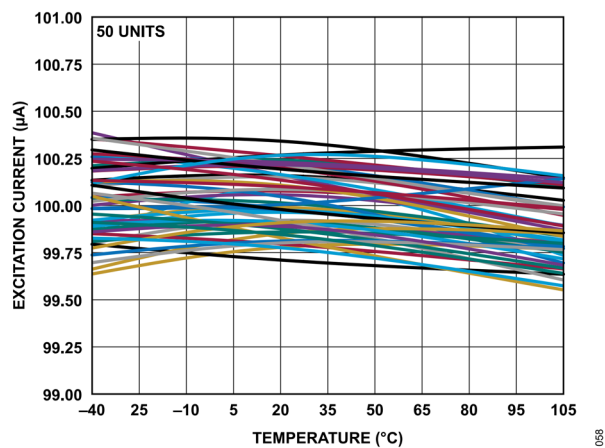


図 58. 励起電流と温度の関係 (100µA)

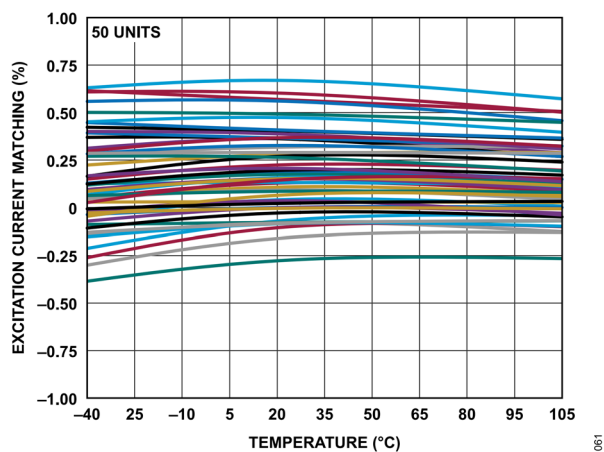


図 61. 励起電流マッチングと温度の関係 (100µA)

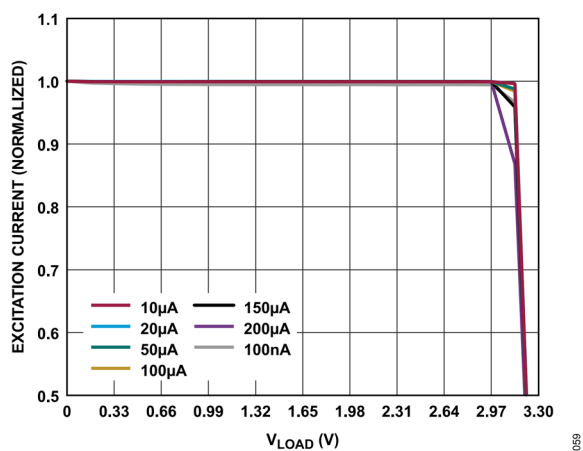


図 59. 異なる IEXC 源での出力コンプライアンス
($AV_{DD} = 3.3V$ 、 V_{LOAD} は負荷電圧)

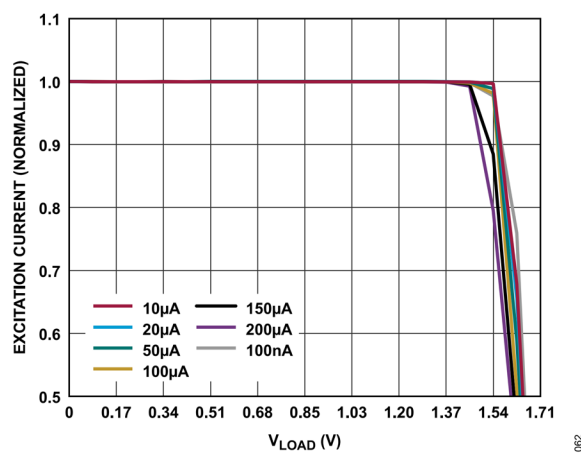


図 62. 異なる IEXC 源での出力コンプライアンス
($AV_{DD} = 1.71V$)

代表的な性能特性

分解能

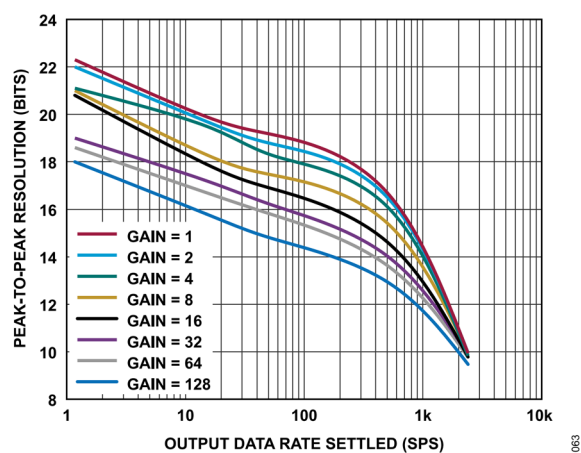


図 63. 異なるゲインでのピーク to ピーク分解能と出力データ・レート（セトリング後）の関係（Sinc³フィルタ）

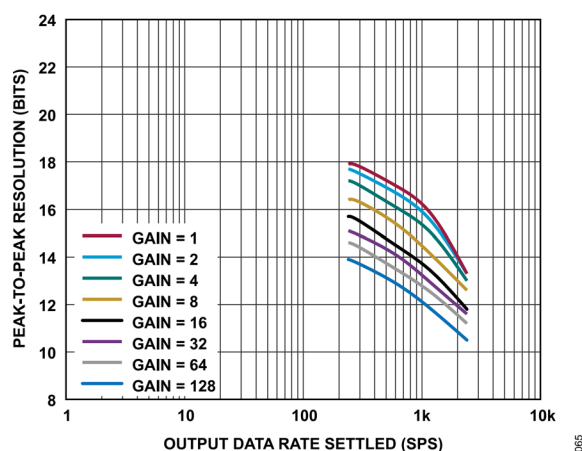


図 65. 異なるゲインでのピーク to ピーク分解能と出力データ・レート（セトリング後）の関係（Sinc⁴フィルタ）

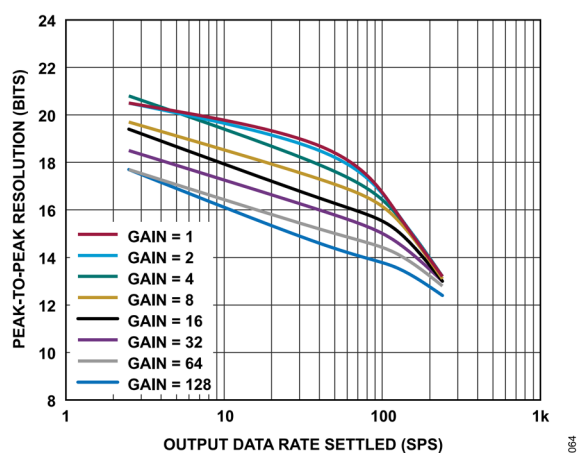


図 64. 異なるゲインでのピーク to ピーク分解能と出力データ・レート（セトリング後）の関係（Sinc³ + Sinc¹フィルタ）

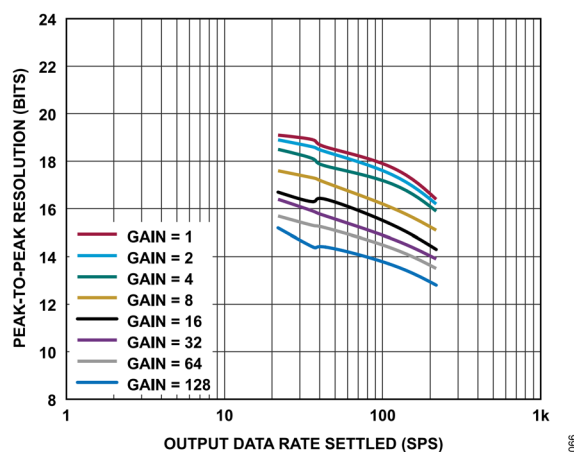


図 66. 異なるゲインでのピーク to ピーク分解能と出力データ・レート（セトリング後）の関係（Sinc⁴ + Sinc¹フィルタ）

代表的な性能特性

FFT

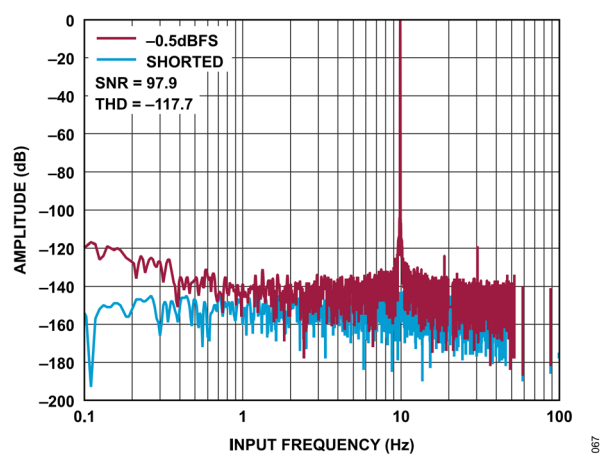


図 67. FFT、-0.5dBFS と短絡入力の比較、
10Hz の入力トーン、Sinc³ フィルタ、ODR = 240SPS、
ゲイン = 1、内部リファレンス

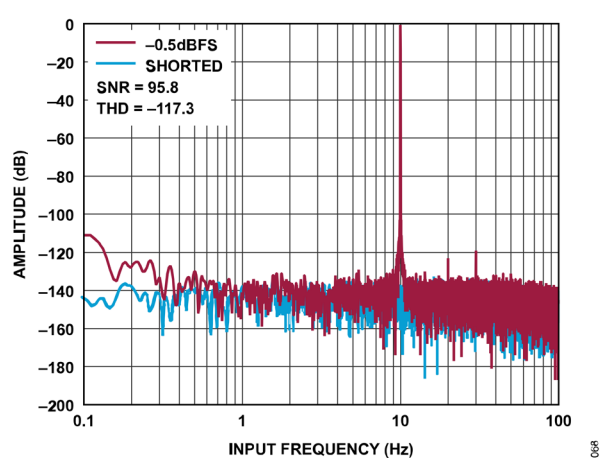


図 68. FFT、-0.5dBFS と短絡入力の比較、
10Hz の入力トーン、Sinc³ フィルタ、ODR = 240SPS、
ゲイン = 1、外部リファレンス

用語の定義

アナログ入力

AINP

AINP は正のアナログ入力です。

AINM

AINM は負のアナログ入力です。

入カスパン

入カスパン仕様は、アナログ入力が許容でき、また、正確にゲインをキャリブレーションすることができる、ゼロスケールからフルスケールの間の最小および最大の入力電圧を規定しています。

ADC

積分非直線性 (INL) 誤差

INL は ADC 伝達関数の両エンドポイントを結ぶ直線からの最大偏差です。伝達関数のエンドポイントは、ゼロスケール（バイポーラのゼロと混同しないようにしてください）、つまり、最初のコード遷移（000 … 000 から 000 … 001）より 0.5LSB 下の点と、フルスケール、つまり最後のコード遷移（111 … 110 から 111 … 111）より 0.5LSB 上の点です。誤差は、フルスケール範囲の ppm で表示します。

オフセット誤差

オフセット誤差は、理想的なミッドスケール入力電圧（0V）と、ミッドスケール出力コードを生成する実際の電圧との差です。

オフセット・キャリブレーション範囲

システム・キャリブレーション・モードにおいて、AD4130-8 はアナログ入力を基準にしてオフセットをキャリブレーションします。オフセット・キャリブレーション範囲の仕様は、AD4130-8 によってオフセットを正確にキャリブレーションできる許容可能な電圧範囲を規定しています。

ゲイン誤差

フルスケール・レンジ (FSR)

フルスケール・レンジは、リファレンス電圧およびゲイン値の選択に応じて AD4130-8 が許容できる入力レンジです。差動入力信号の場合、FSR = 2 × V_{REF}/ゲインです。

フルスケール・キャリブレーション範囲

フルスケール・キャリブレーション範囲は、システム・キャリブレーション・モードで許容可能で、かつ、フルスケールを正確にキャリブレーションできる AD4130-8 の電圧範囲です。

出力データ・レート (ODR)

出力データ・レートは、ADC で連続変換を実行しているときに 1 つのセトリングしたチャンネルで可能な ADC 変換レートです。

同一変換出力データ・レート (1CNV_ODR)

同一変換出力データ・レートは、フィルタ設定が同じ複数チャンネルを用い 1 チャンネルあたり 1 サンプルを取得することで可能な ADC 変換レートです。

リファレンス

ライン・レギュレーション

ライン・レギュレーションは、電源電圧の所定の変化に対応した出力電圧の変化で、単位は $\mu\text{V/V}$ です。

負荷レギュレーション

負荷レギュレーションは、負荷電流の所定の変化に対応した出力電圧の変化で、単位は $\mu\text{V/V}$ です。

電圧リファレンス (V_{REF}) 温度係数 (TC)

V_{REF} TC は、デバイスの周囲温度の変化に伴うリファレンス出力電圧の変化を表すもので、25°C での出力電圧で正規化します。V_{REF} TC は、ボックス法で定義されます。これは、次式のように、所定の温度範囲でのリファレンス出力の最大変化量として TC を定義するもので、単位は ppm/°C です。

$$V_{REF} \text{ TC} = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TEMP_RANGE} \right) \times 10^6 \text{ ppm}/^\circ\text{C}$$

ここで、

V_{REF_MAX} は温度範囲全域で測定した最大リファレンス電圧出力、V_{REF_MIN} は温度範囲全域で測定した最小リファレンス電圧出力、V_{REF_NOM} は周囲温度（25°C）での公称リファレンス電圧出力、TEMP_RANGE はリファレンスの最高動作温度と最低動作温度の差です。

電圧リファレンス (V_{REF}) ノイズ・スペクトル密度 (NSD)

V_{REF} NSD は、スペクトル密度 (nV/√Hz) として特性評価される内部生成熱ノイズを表すものです。

温度センサー

精度

温度センサーの精度は、内部で測定した温度と実際の周囲温度の差を 25°C での値で正規化したものです。温度センサーの精度の単位は °C です。

用語の定義

感度

温度センサーの感度とは、周囲温度の変化による出力電圧の変化を指します。単位は $\mu\text{V/K}$ または LSB/K です。

ノイズおよび分解能

表 15～表 34 に、多様な出力データ・レート、ゲイン設定、およびフィルタの組み合わせに対する AD4130-8 の RMS ノイズ、ピーク to ピーク・ノイズ、実効分解能、ノイズ・フリー（ピーク to ピーク）分解能を示します。記載された数値は、3.3V 動作の場合は 2.5V、1.8V 動作の場合は 1.25V の外部リファレンスを用いたバイポーラ入力範囲についてのもので、リファレンス・バッファはバイパス・モードです。これらの値は代表値であり、ADC が単一チャンネルで連続変換しているときに 0V の差動入力を使って得られる値です。実効分解能は RMS ノイズを基に計

算された値で、ピーク to ピーク分解能（括弧内の値）はピーク to ピーク・ノイズ（括弧内の値）を基に計算された値であることに注意してください。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

$$\text{Effective Resolution} = \log_2(\text{Input Range}/\text{RMS Noise})$$

$$\text{Peak-to-Peak Resolution} = \log_2(\text{Input Range}/\text{Peak-to-Peak Noise})$$

2.5V リファレンス

Sinc³表 15. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS}（μV_{P-P}）

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.3	0.29 (0.6)	0.18 (0.4)	0.12 (0.3)	0.09 (0.25)	0.05 (0.12)	0.03 (0.07)	0.05 (0.14)	0.03 (0.08)	0.02 (0.07)
480	5	1.3	0.19 (0.4)	0.3 (0.79)	0.14 (0.4)	0.14 (0.35)	0.08 (0.22)	0.12 (0.35)	0.09 (0.24)	0.08 (0.23)	0.04 (0.09)
240	10	2.6	0.33 (0.99)	0.67 (2.19)	0.33 (0.99)	0.2 (0.65)	0.17 (0.6)	0.12 (0.45)	0.14 (0.5)	0.12 (0.39)	0.06 (0.19)
160	15	3.92	0.57 (1.99)	0.79 (2.38)	0.45 (1.59)	0.28 (1.09)	0.3 (1.04)	0.19 (0.6)	0.16 (0.58)	0.11 (0.4)	0.1 (0.36)
80	30	7.86	0.81 (3.18)	1.01 (3.77)	0.62 (2.38)	0.46 (2.04)	0.38 (1.42)	0.31 (1.28)	0.23 (0.96)	0.17 (0.72)	0.15 (0.63)
48	50	13.15	1.16 (5.36)	1.47 (6.56)	0.81 (3.38)	0.58 (2.83)	0.53 (2.36)	0.39 (1.8)	0.29 (1.44)	0.23 (1.01)	0.2 (0.95)
40	60	15.78	1.18 (5.56)	1.35 (6.36)	0.92 (4.37)	0.65 (2.98)	0.54 (2.53)	0.41 (1.91)	0.34 (1.55)	0.23 (1.04)	0.22 (1.03)
20	120	31.8	1.61 (8.74)	2.21 (11.1)	1.27 (6.26)	0.86 (4.67)	0.71 (3.65)	0.65 (3.44)	0.51 (2.81)	0.37 (1.87)	0.29 (1.51)
10	240	64.8	2.71 (17.5)	3.35 (18.1)	1.98 (11)	1.41 (7.75)	1.16 (5.96)	0.98 (5.58)	0.74 (4.19)	0.54 (3.23)	0.45 (2.52)
5	480	133.44	6.28 (37.4)	6.71 (37)	3.91 (22.9)	2.55 (14.5)	2.02 (11.1)	1.84 (10.6)	1.31 (7.46)	0.89 (4.72)	0.73 (4.05)
3	800	231.2	23.7 (132)	23.1 (118)	13.4 (69.4)	6.86 (38.7)	4.43 (27.1)	3.76 (22.9)	2.25 (13.6)	1.55 (8.48)	1.26 (7.55)
2	1200	361.2	103 (572)	100 (636)	52.2 (278)	25.8 (146)	13.7 (73.1)	8.88 (47.9)	5.04 (28.2)	3.02 (17.2)	2.05 (10.9)
1	2400	626.4	770 (4,154)	773 (4,357)	384 (2,068)	209 (1,089)	96.2 (587)	54. (321)	25.6 (133)	13.7 (80)	8.34 (46.4)

表 16. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	24.03 (21.3)	24.1 (22.3)	23.8 (22)	23.8 (21.1)	23.7 (21)	23.5 (20.8)	21.75 (19)	21.3 (18.6)	20.7 (18)
480	5	24.02 (22.2)	24 (21.3)	24.1 (21.4)	23.1 (20.4)	22.9 (20.1)	21.3 (18.6)	20.85 (18.1)	19.9 (17.2)	20.1 (17.4)
240	10	23.85 (21.1)	22.9 (20.1)	22.9 (20.2)	22.6 (19.9)	21.8 (19.1)	21.3 (18.6)	20.1 (17.4)	19.4 (16.65)	19.45 (16.7)
160	15	23.1 (20.4)	22.6 (19.9)	22.4 (19.7)	22.2 (19.5)	21 (18.3)	20.6 (17.9)	19.9 (17.15)	19.45 (16.7)	18.6 (15.85)
80	30	22.6 (19.8)	22.2 (19.5)	21.9 (19.2)	21.4 (18.7)	20.7 (18)	19.9 (17.2)	19.35 (16.6)	18.8 (16.1)	18 (15.3)
48	50	22.1 (19.3)	21.7 (18.9)	21.6 (18.8)	21 (18.3)	20.2 (17.5)	19.6 (16.9)	19 (16.3)	18.4 (15.65)	17.6 (14.9)
40	60	22 (19.3)	21.8 (19.1)	21.4 (18.7)	20.9 (18.2)	20.2 (17.4)	19.5 (16.8)	18.8 (16.1)	18.4 (15.65)	17.4 (14.7)
20	120	21.6 (18.8)	21.2 (18.4)	20.9 (18.2)	20.5 (17.7)	19.7 (17)	18.9 (16.2)	18.2 (15.5)	17.7 (15)	17 (14.3)
10	240	20.8 (18.1)	20.5 (17.8)	20.3 (17.5)	19.8 (17.0)	19 (16.3)	18.3 (15.6)	17.7 (14.95)	17.15 (14.4)	16.4 (13.7)
5	480	19.6 (16.9)	19.5 (16.8)	19.3 (16.6)	18.9 (16.2)	18.2 (15.5)	17.4 (14.7)	16.9 (14.15)	16.4 (13.7)	15.7 (13)
3	800	17.7 (15)	17.7 (15)	17.5 (14.8)	17.5 (14.8)	17.1 (14.4)	16.3 (13.6)	16.1 (13.35)	15.6 (12.9)	14.9 (12.2)
2	1200	15.6 (12.9)	15.6 (12.9)	15.6 (12.8)	15.6 (12.8)	15.5 (12.8)	15.1 (12.4)	14.9 (12.2)	14.6 (11.95)	14.2 (11.5)
1	2400	12.6 (10)	12.7 (9.9)	12.7 (9.9)	12.5 (9.8)	12.7 (9.9)	12.5 (9.8)	12.6 (9.85)	12.5 (9.75)	12.2 (9.5)

ノイズおよび分解能

Sinc⁴表 17. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	55.68	2.33 (13.5)	3.15 (16.7)	1.78 (10.7)	1.22 (6.85)	1.1 (6.43)	0.87 (4.52)	0.68 (3.6)	0.48 (2.85)	0.39 (2.19)
8	300	70.2	2.98 (17.3)	3.32 (19.1)	2.05 (11.5)	1.45 (8)	1.16 (6.43)	1.04 (5.29)	0.8 (4.25)	0.57 (3.01)	0.45 (2.4)
4	600	144	4.65 (30.6)	5.75 (35.8)	3.61 (20.1)	2.64 (14.3)	2.19 (12.5)	2.01 (10.4)	1.34 (8.32)	0.99 (6.04)	0.79 (4.78)
2	1200	301.2	10.7 (61.2)	12.9 (69.5)	8.14 (49.7)	5.92 (32.3)	5.21 (32.6)	4.53 (26)	3.06 (18.2)	2.02 (11.1)	1.69 (9.81)
1	2400	544.8	74.2 (423)	73.9 (423)	38.7 (230)	22.5 (127)	15.6 (87.1)	13.3 (76.6)	7.7 (43.1)	5. (27.6)	4.13 (25.9)

表 18. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	21 (18.3)	20.6 (17.9)	20.4 (17.7)	20 (17.2)	19.1 (16.4)	18.4 (15.7)	17.8 (15.1)	17.3 (14.6)	16.6 (13.9)
8	300	20.7 (18)	20.5 (17.8)	20.2 (17.5)	19.7 (17)	19 (16.3)	18.2 (15.5)	17.6 (14.9)	17.1 (14.4)	16.4 (13.7)
4	600	20 (17.3)	19.7 (17)	19.4 (16.7)	18.9 (16.1)	18.1 (15.4)	17.2 (14.5)	16.8 (14.1)	16.3 (13.5)	15.6 (12.9)
2	1200	18.8 (16.1)	18.6 (15.8)	18.2 (15.5)	17.7 (15)	16.9 (14.1)	16.1 (13.4)	15.6 (12.9)	15.2 (12.5)	14.5 (11.8)
1	2400	16 (13.3)	16 (13.3)	16 (13.3)	15.8 (13.)	15.3 (12.6)	14.5 (11.8)	14.3 (11.6)	13.9 (11.2)	13.2 (10.5)

Sinc³ + Sinc¹（平均化フィルタ）表 19. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	1.36	0.34 (0.79)	0.52 (1.39)	0.26 (0.7)	0.12 (0.35)	0.11 (0.3)	0.07 (0.2)	0.07 (0.19)	0.06 (0.15)	0.03 (0.1)
30	8	4.36	0.56 (1.79)	0.78 (2.38)	0.51 (1.49)	0.22 (0.7)	0.28 (0.82)	0.15 (0.48)	0.12 (0.4)	0.11 (0.34)	0.1 (0.35)
6	40	21.85	1.29 (5.56)	1.84 (8.54)	1.05 (4.77)	0.76 (3.08)	0.58 (2.46)	0.52 (2.45)	0.37 (1.56)	0.31 (1.42)	0.24 (1)
5	48	26.22	1.61 (7.35)	2. (8.34)	1.24 (6.06)	0.84 (3.73)	0.7 (3.05)	0.58 (2.57)	0.47 (2.06)	0.33 (1.64)	0.24 (1.11)
2	120	65.7	10.5 (54.2)	11.3 (53)	5.78 (28.5)	3.04 (15.4)	1.75 (9.06)	1.3 (6.47)	0.91 (4.84)	0.61 (2.83)	0.49 (2.5)
1	240	130.8	83.6 (515)	81.2 (456)	41.6 (223)	20.8 (111)	10.6 (60.7)	5.62 (33.4)	2.97 (15.6)	1.7 (10.6)	1.09 (5.99)

表 20. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	23.8 (21.1)	23.2 (20.5)	23.2 (20.5)	23.5 (20.8)	22.5 (19.7)	22.1 (19.4)	21.2 (18.5)	20.4 (17.7)	20.4 (17.7)
30	8	23.2 (20.5)	22.6 (19.9)	22.3 (19.5)	22.6 (19.9)	21.2 (18.4)	20.9 (18.2)	20.3 (17.6)	19.5 (16.8)	18.5 (15.8)
6	40	21.9 (19.2)	21.4 (18.7)	21.2 (18.5)	20.7 (17.9)	20 (17.3)	19.2 (16.5)	18.7 (16.)	18 (15.2)	17.3 (14.6)
5	48	21.6 (18.9)	21.3 (18.5)	21 (18.2)	20.5 (17.8)	19.8 (17.1)	19.1 (16.3)	18.4 (15.6)	17.8 (15.1)	17.3 (14.6)
2	120	18.9 (16.1)	18.8 (16)	18.7 (16)	18.7 (15.9)	18.5 (15.7)	17.9 (15.2)	17.4 (14.7)	17 (14.2)	16.3 (13.6)
1	240	15.9 (13.1)	15.9 (13.2)	15.9 (13.2)	15.9 (13.2)	15.9 (13.1)	15.8 (13)	15.7 (13)	15.5 (12.8)	15.1 (12.4)

Sinc⁴ + Sinc¹（平均化フィルタ）表 21. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	21.82	13.02	0.93 (3.38)	1.31 (5.36)	0.77 (3.38)	0.51 (2.19)	0.49 (1.96)	0.45 (1.81)	0.28 (1.08)	0.23 (0.87)	0.16 (0.63)
6	36.36	21.7	1.52 (6.76)	1.61 (7.15)	0.96 (4.07)	0.68 (2.63)	0.57 (2.68)	0.57 (2.72)	0.4 (1.68)	0.3 (1.29)	0.27 (1.03)

ノイズおよび分解能

表 21. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位： μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

FS (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
5	43.64	26.04	1.55 (6.95)	1.89 (9.14)	1.08 (5.07)	0.81 (3.82)	0.68 (3.13)	0.54 (2.41)	0.45 (1.94)	0.32 (1.41)	0.28 (1.28)
2	109.1	62.25	2.78 (13.5)	3.3 (15.1)	2.05 (11.1)	1.36 (6.71)	1.33 (7.45)	1.12 (6.26)	0.84 (4.27)	0.55 (2.85)	0.46 (2.23)
1	218.18	129.9	8.34 (46.5)	8.78 (49.5)	5.04 (28.3)	3.2 (17.5)	2.63 (14.5)	2.29 (12.7)	1.6 (8.45)	1.04 (5.49)	0.81 (4.28)

表 22. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	21.82	22.4 (19.6)	21.9 (19.1)	21.6 (18.9)	21.3 (18.5)	20.3 (17.6)	19.4 (16.7)	19.1 (16.4)	18.4 (15.7)	17.9 (15.2)
6	36.36	21.7 (18.9)	21.6 (18.9)	21.3 (18.6)	20.8 (18.1)	20.1 (17.3)	19.1 (16.3)	18.6 (15.9)	18 (15.3)	17.2 (14.4)
5	43.64	21.6 (18.9)	21.3 (18.6)	21.1 (18.4)	20.5 (17.8)	19.8 (17.1)	19.1 (16.4)	18.4 (15.7)	17.9 (15.2)	17.1 (14.4)
2	109.1	20.8 (18.1)	20.5 (17.8)	20.2 (17.5)	19.8 (17.1)	18.9 (16.1)	18.1 (15.4)	17.5 (14.8)	17.1 (14.4)	16.4 (13.7)
1	218.18	19.2 (16.5)	19.1 (16.4)	18.9 (16.2)	18.6 (15.9)	17.9 (15.1)	17.1 (14.3)	16.6 (13.9)	16.2 (13.5)	15.6 (12.8)

ポスト・フィルタ

表 23. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位： μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

Filter Type	ODR (SPS)	f_{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	12.54	1.12 (4.37)	1.17 (3.97)	0.66 (2.58)	0.53 (1.79)	0.35 (1.19)	0.36 (1.32)	0.31 (1.15)	0.2 (0.67)	0.17 (0.64)
Post Filter 3	19.355	13.08	1.18 (4.37)	1.44 (5.56)	0.85 (3.28)	0.71 (2.38)	0.45 (1.71)	0.47 (1.79)	0.28 (1.14)	0.23 (0.82)	0.2 (0.89)
Post Filter 2	24	14.7	1.2 (4.77)	1.64 (7.55)	0.99 (3.97)	0.62 (2.38)	0.54 (2.21)	0.41 (1.69)	0.36 (1.62)	0.2 (0.8)	0.19 (0.81)
Post Filter 1	26.087	16.68	1.2 (4.57)	1.48 (5.96)	0.84 (3.68)	0.68 (2.63)	0.54 (2.31)	0.48 (1.94)	0.38 (1.58)	0.22 (0.91)	0.21 (0.83)

表 24. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	22.1 (19.4)	22 (19.3)	21.9 (19.1)	21.2 (18.5)	20.8 (18.1)	19.7 (17)	19 (16.3)	18.6 (15.9)	17.9 (15.1)
Post Filter 3	19.355	22 (19.3)	21.7 (19)	21.5 (18.8)	20.7 (18)	20.4 (17.7)	19.4 (16.6)	19.1 (16.4)	18.4 (15.7)	17.6 (14.9)
Post Filter 2	24	22 (19.3)	21.5 (18.8)	21.3 (18.6)	21 (18.2)	20.1 (17.4)	19.6 (16.8)	18.7 (16)	18.6 (15.9)	17.6 (14.9)
Post Filter 1	26.087	22 (19.3)	21.7 (19)	21.5 (18.8)	20.8 (18.1)	20.1 (17.4)	19.3 (16.6)	18.7 (15.9)	18.4 (15.7)	17.5 (14.8)

1.25V リファレンス

Sinc³表 25. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位： μV_{RMS} ($\mu\text{V}_{\text{P-P}}$)

FS (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	0.3	0.12 (0.3)	0.23 (0.6)	0.08 (0.2)	0.08 (0.22)	0.04 (0.11)	0.05 (0.14)	0.04 (0.11)	0.02 (0.05)	0.02 (0.06)
480	5	1.3	0.26 (0.7)	0.27 (0.7)	0.21 (0.55)	0.09 (0.22)	0.08 (0.22)	0.09 (0.24)	0.08 (0.21)	0.04 (0.13)	0.06 (0.17)
240	10	2.6	0.46 (1.49)	0.57 (2.09)	0.3 (0.99)	0.23 (0.75)	0.2 (0.68)	0.15 (0.55)	0.12 (0.39)	0.09 (0.3)	0.08 (0.28)
160	15	3.92	0.51 (1.79)	0.68 (2.28)	0.35 (1.24)	0.34 (1.19)	0.26 (0.92)	0.22 (0.83)	0.2 (0.71)	0.12 (0.41)	0.1 (0.33)
80	30	7.86	0.75 (3.18)	0.84 (3.48)	0.71 (3.18)	0.38 (1.81)	0.35 (1.48)	0.33 (1.2)	0.2 (0.83)	0.16 (0.64)	0.14 (0.57)
48	50	13.15	1.01 (4.57)	1.33 (5.76)	0.81 (3.38)	0.53 (2.38)	0.44 (1.95)	0.35 (1.53)	0.31 (1.58)	0.22 (1.07)	0.19 (0.9)
40	60	15.78	1.14 (5.46)	1.33 (6.16)	0.92 (4.37)	0.64 (3.2)	0.54 (2.6)	0.46 (2.16)	0.34 (1.57)	0.24 (1.01)	0.2 (0.95)
20	120	31.8	1.67 (8.64)	2.25 (12.1)	1.32 (6.8)	0.87 (4.47)	0.72 (3.75)	0.61 (3.04)	0.51 (2.68)	0.39 (1.9)	0.29 (1.46)

ノイズおよび分解能

表 25. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位： μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	64.8	2.51 (14.4)	3.03 (16.1)	1.85 (10.7)	1.27 (6.9)	1.09 (6.3)	0.96 (5)	0.74 (4.01)	0.5 (2.81)	0.44 (2.41)
5	480	133.44	4.26 (25.1)	5.32 (31.9)	3.06 (16.7)	2.31 (14.9)	1.93 (10.9)	1.71 (9.58)	1.2 (6.97)	0.88 (4.64)	0.74 (4.06)
3	800	231.2	12 (66)	13.1 (70.6)	7.4 (43.6)	4.62 (27.5)	3.59 (21.4)	3.25 (17.7)	2.12 (12)	1.43 (8.37)	1.16 (6.99)
2	1200	361.2	51.7 (269)	49.3 (297)	25.6 (130)	13.4 (71.8)	8.74 (49.3)	6.15 (33.6)	3.93 (22.3)	2.57 (13.6)	2.09 (12)
1	2400	626.4	402 (2,306)	370 (2,051)	200 (1,068)	98 (530)	51.2 (283)	27.4 (149)	14.2 (76.8)	8.68 (47.9)	6.01 (34.3)

表 26. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
2047	1.17	24.3 (21.6)	23.4 (20.7)	24 (21.3)	22.8 (20.1)	22.9 (20.2)	21.6 (18.9)	20.8 (18.1)	21.2 (18.5)	2 (17.3)
480	5	23.2 (20.5)	23.2 (20.4)	22.5 (19.8)	22.8 (20)	22 (19.3)	20.8 (18.)	20.1 (17.4)	19.8 (17)	18.4 (15.7)
240	10	22.4 (19.7)	22.1 (19.3)	22 (19.3)	21.4 (18.7)	20.6 (17.9)	20 (17.3)	19.5 (16.7)	18.7 (16)	17.9 (15.2)
160	15	22.2 (19.5)	21.9 (19.1)	21.8 (19)	20.8 (18.1)	20.2 (17.5)	19.5 (16.8)	18.6 (15.9)	18.3 (15.6)	17.6 (14.9)
80	30	21.7 (18.9)	21.5 (18.8)	20.7 (18)	20.7 (17.9)	19.8 (17)	18.9 (16.1)	18.6 (15.9)	17.9 (15.2)	17.1 (14.4)
48	50	21.2 (18.5)	20.8 (18.1)	20.6 (17.8)	20.2 (17.5)	19.5 (16.7)	18.8 (16)	17.9 (15.2)	17.4 (14.7)	16.7 (14)
40	60	21.1 (18.3)	20.8 (18.1)	20.4 (17.7)	19.9 (17.2)	19.2 (16.4)	18.4 (15.7)	17.8 (15.1)	17.3 (14.6)	16.6 (13.9)
20	120	20.5 (17.8)	20.1 (17.4)	19.9 (17.1)	19.5 (16.7)	18.7 (16.)	18 (15.3)	17.2 (14.5)	16.6 (13.9)	16 (13.3)
10	240	19.9 (17.2)	19.7 (16.9)	19.4 (16.6)	18.9 (16.2)	18.1 (15.4)	17.3 (14.6)	16.7 (14)	16.3 (13.5)	15.5 (12.7)
5	480	19.2 (16.4)	18.8 (16.1)	18.6 (15.9)	18 (15.3)	17.3 (14.6)	16.5 (13.8)	16 (13.3)	15.4 (12.7)	14.7 (12)
3	800	17.7 (14.9)	17.5 (14.8)	17.4 (14.6)	17 (14.3)	16.4 (13.7)	15.6 (12.8)	15.2 (12.4)	14.7 (12)	14 (11.3)
2	1200	15.6 (12.8)	15.6 (12.9)	15.6 (12.9)	15.5 (12.8)	15.1 (12.4)	14.6 (11.9)	14.3 (11.6)	13.9 (11.2)	13.2 (10.5)
1	2400	12.6 (9.89)	12.7 (10)	12.6 (9.89)	12.6 (9.92)	12.6 (9.85)	12.5 (9.75)	12.4 (9.7)	12.1 (9.41)	11.7 (8.94)

Sinc⁴表 27. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位： μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f_{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	55.68	2.27 (12.4)	2.71 (14.5)	1.69 (9.19)	1.22 (7.1)	1.02 (5.59)	0.89 (4.45)	0.7 (3.96)	0.51 (2.77)	0.41 (2.47)
8	300	70.2	2.59 (15.2)	3.25 (17.3)	2.03 (11.2)	1.41 (8.2)	1.2 (6.46)	1.04 (5.85)	0.82 (4.59)	0.55 (3.45)	0.46 (2.59)
4	600	144	4 (24.4)	4.95 (27.7)	3.3 (18.)	2.34 (12.7)	2.12 (12.5)	1.86 (10.1)	1.24 (6.8)	0.9 (4.86)	0.79 (4.74)
2	1200	301.2	7.07 (39.)	10.1 (56.1)	6.42 (33.3)	5.41 (30.2)	4.56 (24.8)	4.41 (25.7)	2.82 (16)	2 (11.6)	1.65 (9.33)
1	2400	544.8	38.3 (209)	44.7 (259)	24 (135)	16.6 (106)	12.5 (73.3)	11.4 (59.2)	7.47 (45.4)	4.76 (29.9)	4.04 (23.6)

表 28. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	240	20.1 (17.3)	19.8 (17.1)	19.5 (16.8)	19 (16.2)	18.2 (15.5)	17.4 (14.7)	16.8 (14)	16.2 (13.5)	15.5 (12.8)
8	300	19.9 (17.2)	19.6 (16.8)	19.2 (16.5)	18.8 (16.)	18 (15.3)	17.2 (14.5)	16.5 (13.8)	16.1 (13.4)	15.4 (12.7)
4	600	19.3 (16.5)	18.9 (16.2)	18.5 (15.8)	18 (15.3)	17.2 (14.4)	16.4 (13.6)	15.9 (13.2)	15.4 (12.7)	14.6 (11.9)
2	1200	18.4 (15.7)	17.9 (15.2)	17.6 (14.8)	16.8 (14.1)	16.1 (13.3)	15.1 (12.4)	14.8 (12)	14.3 (11.5)	13.5 (10.8)
1	2400	16 (13.3)	15.8 (13.)	15.7 (12.9)	15.2 (12.5)	14.6 (11.9)	13.7 (11.)	13.4 (10.6)	13 (10.3)	12.2 (9.52)

ノイズおよび分解能

Sinc³ + Sinc¹ (平均化フィルタ)表 29. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	1.36	0.29 (0.79)	0.35 (0.99)	0.17 (0.5)	0.14 (0.37)	0.11 (0.3)	0.1 (0.26)	0.08 (0.21)	0.04 (0.11)	0.06 (0.17)
30	8	4.36	0.43 (1.29)	0.57 (1.79)	0.52 (1.49)	0.31 (0.94)	0.31 (0.92)	0.21 (0.64)	0.19 (0.65)	0.11 (0.35)	0.1 (0.3)
6	40	21.85	1.41 (5.76)	1.42 (6.46)	1.11 (4.97)	0.78 (3.45)	0.61 (2.63)	0.54 (2.27)	0.44 (1.98)	0.28 (1.18)	0.26 (1.05)
5	48	26.22	1.5 (7.75)	2.12 (9.34)	1.18 (5.71)	0.77 (3.7)	0.69 (3.14)	0.62 (2.73)	0.46 (2.12)	0.35 (1.51)	0.27 (1.2)
2	120	65.7	5.81 (28.3)	5.87 (28.8)	3.4 (17.6)	1.93 (9.76)	1.46 (7.86)	1.13 (5.9)	0.84 (4.68)	0.58 (2.8)	0.47 (2.28)
1	240	130.8	39.4 (218)	42.1 (230)	20.1 (111)	10.8 (59.6)	5.52 (29.9)	3.33 (19.7)	1.97 (10.2)	1.2 (6.82)	0.98 (5.81)

表 30. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
96	2.5	23.1 (20.4)	22.9 (20.2)	22.8 (20.1)	22.3 (19.6)	21.5 (18.7)	20.8 (18.1)	20. (17.3)	20.1 (17.4)	18.4 (15.7)
30	8	22.5 (19.8)	22.1 (19.4)	21.2 (18.5)	21 (18.2)	20 (17.3)	19.6 (16.9)	18.7 (15.9)	18.5 (15.8)	17.7 (15.)
6	40	20.8 (18.)	20.8 (18.)	20.1 (17.4)	19.6 (16.9)	19. (16.3)	18.2 (15.4)	17.5 (14.7)	17.1 (14.4)	16.2 (13.5)
5	48	20.7 (17.9)	20.2 (17.4)	20 (17.3)	19.6 (16.9)	18.8 (16.1)	18 (15.2)	17.4 (14.6)	16.8 (14.1)	16.2 (13.4)
2	120	18.7 (16.)	18.7 (16.)	18.5 (15.8)	18.3 (15.6)	17.7 (15.)	17.1 (14.4)	16.5 (13.8)	16 (13.3)	15.4 (12.6)
1	240	16 (13.2)	15.9 (13.1)	15.9 (13.2)	15.8 (13.1)	15.8 (13.1)	15.5 (12.8)	15.3 (12.6)	15 (12.3)	14.3 (11.6)

Sinc⁴ + Sinc¹ (平均化フィルタ)表 31. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

FS (Dec.)	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
10	21.82	13.02	1.15 (4.37)	1.43 (5.36)	0.69 (2.78)	0.54 (1.91)	0.52 (2.24)	0.38 (1.61)	0.3 (1.15)	0.23 (0.88)	0.17 (0.59)
6	36.36	21.7	1.32 (6.26)	1.64 (6.66)	1.17 (4.87)	0.75 (3.48)	0.64 (2.81)	0.55 (2.4)	0.44 (1.97)	0.28 (1.2)	0.24 (0.96)
5	43.64	26.04	1.45 (6.66)	2.1 (8.54)	1. (4.62)	0.82 (3.5)	0.69 (2.52)	0.54 (2.48)	0.5 (2.17)	0.38 (1.73)	0.29 (1.26)
2	109.1	62.25	2.41 (13.2)	3.24 (19.)	2.06 (9.74)	1.33 (7.05)	1.19 (6.)	1.04 (4.96)	0.81 (4.63)	0.55 (2.79)	0.48 (2.48)
1	218.18	129.9	5.58 (32.6)	6.35 (34.4)	3.96 (20.3)	2.65 (15.2)	2.38 (12.9)	2.09 (11.8)	1.49 (7.97)	0.97 (5.65)	0.87 (4.96)

表 32. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

FS (Dec.)	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
30	21.82	21.1 (18.3)	20.7 (18.)	20.8 (18.1)	20.2 (17.4)	19.2 (16.5)	18.7 (16.)	18 (15.3)	17.4 (14.7)	16.9 (14.1)
6	36.36	20.9 (18.1)	20.5 (17.8)	20 (17.3)	19.7 (17.)	18.9 (16.2)	18.1 (15.4)	17.4 (14.7)	17.1 (14.4)	16.3 (13.6)
5	43.64	20.7 (18.)	20.2 (17.5)	20.3 (17.5)	19.6 (16.8)	18.8 (16.1)	18.1 (15.4)	17.3 (14.5)	16.7 (14.)	16 (13.3)
2	109.1	20 (17.3)	19.6 (16.8)	19.2 (16.5)	18.8 (16.1)	18 (15.3)	17.2 (14.5)	16.6 (13.8)	16.1 (13.4)	15.3 (12.6)
1	218.18	18.8 (16.1)	18.6 (15.9)	18.3 (15.5)	17.9 (15.1)	17 (14.3)	16.2 (13.5)	15.7 (13.)	15.3 (12.6)	14.4 (11.7)

ポスト・フィルタ

表 33. ゲインと出力データ・レートに対する RMS ノイズ（ピーク to ピーク・ノイズ）、単位：μV_{RMS} (μV_{P-P})

Filter Type	ODR (SPS)	f _{3dB} (Hz)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	12.54	1.11 (3.87)	1.24 (4.57)	0.78 (2.63)	0.55 (2.06)	0.34 (1.32)	0.33 (1.21)	0.28 (1.09)	0.2 (0.67)	0.2 (0.76)
Post Filter 3	19.355	13.08	1.02 (3.77)	1.39 (5.27)	0.7 (2.73)	0.51 (2.01)	0.53 (2.06)	0.42 (1.68)	0.33 (1.39)	0.23 (0.92)	0.2 (0.78)
Post Filter 2	24	14.7	1.11 (4.57)	1.33 (5.66)	0.85 (3.63)	0.59 (2.33)	0.52 (2.02)	0.42 (1.82)	0.37 (1.5)	0.2 (0.76)	0.19 (0.85)
Post Filter 1	26.087	16.68	1.3 (5.46)	1.42 (6.16)	0.84 (3.28)	0.54 (2.36)	0.48 (1.95)	0.48 (1.99)	0.38 (1.58)	0.26 (1.06)	0.23 (0.91)

ノイズおよび分解能

表 34. ゲインと出力データ・レートに対する実効分解能（ピーク to ピーク分解能）、単位：ビット

Filter Type	ODR (SPS)	Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
Post Filter 4	16.21	21.1 (18.4)	21 (18.2)	20.6 (17.9)	20.1 (17.4)	19.8 (17.1)	18.9 (16.1)	18.1 (15.4)	17.6 (14.9)	16.6 (13.8)
Post Filter 3	19.355	21.2 (18.5)	20.8 (18.1)	20.8 (18.1)	20.2 (17.5)	19.2 (16.5)	18.5 (15.8)	17.9 (15.2)	17.4 (14.6)	16.6 (13.9)
Post Filter 2	24	21.1 (18.4)	20.8 (18.1)	20.5 (17.8)	20 (17.3)	19.2 (16.5)	18.5 (15.8)	17.7 (15.)	17.6 (14.8)	16.6 (13.9)
Post Filter 1	26.087	20.9 (18.2)	20.8 (18.)	20.5 (17.8)	20.1 (17.4)	19.3 (16.6)	18.3 (15.6)	17.7 (14.9)	17.2 (14.5)	16.4 (13.6)

ノイズ・スペクトル密度

ノイズ・スペクトル密度は、 sinc^3 フィルタを用いた低 ODR での 2.5V リファレンス RMS ノイズ値を、入力帯域幅の平方根の 1.15 倍の値で除算して得られます。

表 35. 入力換算ノイズ・スペクトル密度、単位：nV/ $\sqrt{\text{Hz}}$

Gain = 1 PGA_BYP = 1	Gain = 1	Gain = 2	Gain = 4	Gain = 8	Gain = 16	Gain = 32	Gain = 64	Gain = 128
303	369	214	152	123	99	85	64	48

動作原理

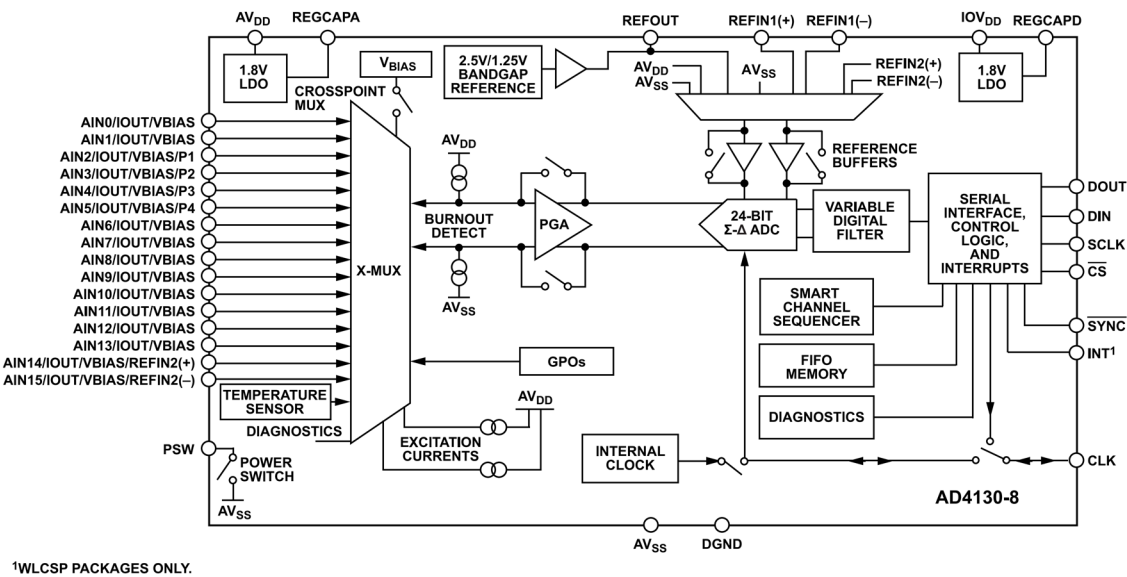


図 69. 詳細ブロック図

概要

AD4130-8 は、Σ-Δ 変調器、入力クロスポイント・マルチプレクサ (X-MUX)、PGA 段、内部リファレンスおよびリファレンス・バッファ、オンチップ・デジタル・フィルタリング機能などを内蔵した超低消費電力の 24 ビット ADC で、圧力変換器、重量計、温度計測といったアプリケーションにみられる高ダイナミック・レンジ、低周波数の信号を測定することを目的としたものです。AD4130-8 の各ブロックやその機能は、バッテリー駆動アプリケーションでの低消費電力動作が可能となるよう最適化されています。チップには、複数のセンサーを接続し給電するための励起電流、ローサイド・パワー・スイッチ、バイアス電圧、パナアウト電流といった一式の機能が統合されて内蔵されています。スマート・シーケンサ、デューティ・サイクル機能、FIFO バッファの組み合わせにより、事前に定めた設定に従い AD4130-8 が測定値を自律的に収集している間、他のシステムをスリープ状態にすることができます。ユーザ定義の割り込み機能を用いると、問題が生じた場合や FIFO が読出し可能となった場合にマイクロコントローラを起動することができます。

ADC のコア

AD4130-8 には、MASH22 Σ-Δ 変調器 ($f_{MOD} = 38.4\text{kHz}$) とその後段のデジタル・フィルタで構成される、Σ-Δ ベースの ADC コアが内蔵されています。その性質から、この ADC コアでは 38.4kHz の周波数が除去されます。Σ-Δ の高度にデジタル化されたアーキテクチャは、最新の微細ライン CMOS プロセスに最適であり、それにより、コストを大幅に増加させることなく、容易にデジタル機能を追加できます。Σ-Δ ADC は、オーバーサンプリング、量子化ノイズ・サンプリング、デジタル・フィルタリング、デシメーションといった機能を用いることで、特に高分解能や低周波数アプリケーション向けに、他のアーキテクチャにはないメリットを発揮します。Σ-Δ ADC 理論の詳細については、MT-022 および MT-023 を参照してください。

デジタル・フィルタ

AD4130-8 には、いくつかのデジタル・フィルタ・オプションがあります。選択したオプションは、入力帯域幅、出力データ・レート、達成可能なノイズ性能、セトリング時間、50Hz と 60Hz 除去性能に影響を与えます。デバイスのフィルタ・オプションを表 36 に示します。詳細については、[デジタル・フィルタ](#)のセクションを参照してください。

表 36. AD4130-8 のフィルタ・オプション

フィルタ・タイプ	FS 範囲 (16 進数)	出力データ・レート (SPS) ¹	コメント
Sinc ⁴	0x01 to 0xA	2400 to 240	ADC 周波数 (f_{ADC}) = $f_{MCLK} / 32 / FS$ 。
Sinc ⁴ + Sinc ¹	0x01 to 0xA	218.18 to 21.8	平均化フィルタ。Sinc ⁴ に加え 8 回の平均化。 $f_{ADC} = f_{MCLK} / (32 \times FS \times (4 + AVG - 1))$ 、ここで $AVG = 8$ 。
Sinc ³	0x01 to 0x7FF	2400 to 1.17	$f_{ADC} = f_{MCLK} / 32 / FS$ 。
Sinc ³ + REJ60	0x01 to 0x7FF	2400 to 1.17	FS = 0xd48 と設定すると、50SPS の ODR で 50Hz と 60Hz を同時に除去できます。
Sinc ³ + Sinc ¹	0x01 to 0x7FF	240 to 0.117 (Dec.: 1 to 2047)	平均化フィルタ。Sinc ³ に加え 8 回の平均化。FS は 0x01 ~ 0xCC のみにすることを推奨 (最小 ODR = 1.17)。 $f_{ADC} = f_{MCLK} / (32 \times FS \times (3 + AVG - 1))$ 、ここで $AVG = 8$ 。
Sinc ³ + Post Filters	N/A ²	16.21, 19.355, 24, 26.087	50Hz と 60Hz の良好な除去を維持し低遅延。

¹ 正確に $f_{MCLK} = 76.8\text{kHz}$ であると仮定。

² N/A は該当なし。

動作原理

ADC マスタ・クロック

Σ - Δ ADC コアは、内部変調器を動作させるために 76.8kHz の MCLK が必要です ($f_{MOD} = f_{MCLK} / 2 = 38.4\text{kHz}$)。デバイスには MCLK を生成する変調器が内蔵されています。デフォルトで内部クロックが選択され、外部回路でクロック源が必要な場合は、CLK ピンから出力できます。デバイスの MCLK 源として、外部クロックを CLK ピンに印加することも選択できます。外部クロックを用いると、複数の ADC を共通のクロックで駆動できるため、同時変換を実行できます。内部分周を 2 に選択した場合、外部クロックは 76.8kHz または 153.6kHz とすることができます。

ADC_CONTROL レジスタの MCLK_SEL ビットを用いると、表 37 に従って適切なオプションを選択できます (ADC コントローラ・レジスタのセクションを参照)。AD4130-8 の ADC クロック接続方法のブロック図は図 69 を参照してください。

表 37. MCLK 源のオプション

MCLK_SEL	MCLK Source	Source Clock Frequency (kHz)
0b00 (Default)	Internal, output off	76.8
0b01	Internal, output on	76.8
0b10	External, divider off	76.8
0b11	External, divider on	153.6

CLK ピンを使用しない場合は、IO_CONTROL レジスタの INT_PIN_SEL ビットを用いてこのピンを入力源として選択できます (入出力コントロール・レジスタのセクションを参照)。割込み設定は ADC_CONTROL レジスタの CLK_SEL ビット設定より優先される点に注意してください。

ADC リファレンス

AD4130-8 では、ADCのコア用に高精度のリファレンス電圧が必要です。AD4130-8 のリファレンス源は、各 CONFIG_n レジスタ (表 48 参照) の REF_SEL ビットを用いて、ADC のセットアップごとに選択できます (詳細については ADC の設定と動作のセクションを参照)。

AD4130-8 は、1.25V または 2.5V の低ノイズ電圧リファレンス (表 3 の仕様を参照) となるよう設定できるバンドギャップ電圧リファレンスを内蔵しています。内部リファレンスはデフォルトではディスエーブルされています。内部リファレンスをイネーブルするには、ADC_CONTROL レジスタの INT_REF_EN ビットを 1 にセットします。2.5V の内部リファレンスがデフォルトで選択されます。内部リファレンスがアクティブな場合は、REFOUT ピンに 1nF のコンデンサが必要です。なお、AV_{DD} 電源が 2.5V 未満に設定されている場合、ADC_CONTROL レジスタの INT_REF_VAL ビットを 1 にセットすると、1.25V の内部リファレンスが選択されます。このビットは、内部リファレンスがイネーブルされている場合にのみ影響します。内部リファレンスのデフォルト値は、2.5V に設定されています。

内部リファレンスの使用時にスタンバイ・モード (つまり、デューティ・サイクル・モードを使用している場合) を開始したり終了したりする場合や、リファレンスがデカップリング以外の外部回路によってはロードされないことが前提となる場合は、MISC レジスタの STBY_REFHOL_EN ビットを 1 に設定することを推奨します。これにより、内部リファレンスの電源消費電流 (IDD) の影響を減らすよう設計されたリファレンス・ホルダが、連続的にオンとオフを繰り返すようになります。デューティ・サイクルを用い、内部リファレンスを用いてセンサーに給電するような状況の場合、MISC レジスタの STBY_REFCORE_EN ビットを 1 に設定して、スタンバイ・フェーズ時にリファレンスをオンにすることを推奨します。デューティ・サイクル時にスタンバイ状態でもアクティブであることを維持できるブロックについての詳細は、スタンバイ・モードのセクションを参照してください。

外部電圧リファレンスを供給するための外部リファレンス入力オプションには、REFIN1(±)またはREFIN2(±)の2つがあります。この外部リファレンス・オプションは、RTD 温度センサーにインターフェースする場合など、複数のチャンネルでレシオメトリックな測定が必要となる場合に便利です。

AD4130-8 の ADC リファレンス接続方法の簡略化した回路図は図 69 を参照してください。

リファレンス・バッファ

チップには、リファレンス・バッファも内蔵されていて、内部リファレンスおよび外部から印加されたリファレンスと一緒に使用できます。バッファ・バイパス・オプションを使用すると、アナログ電源値までのフル・レール to レールのリファレンス入力が可能です。一方、バッファをイネーブルするオプションを用いると入力電流を減らすことができます。どちらのオプションでも AV_{DD} 電流は同じです。関連する仕様については、表 3 を参照してください。リファレンス・バッファは、各 CONFIG_n レジスタでチャンネルごとにイネーブルできます。

アナログ・フロント・エンド

アナログ入力マルチプレクサ

このデバイスは、8 個の差動アナログ入力または 16 個の疑似差動アナログ入力に対応しています。AD4130-8 は、柔軟性の高いマルチプレクサを採用しているため、図 70 に示すように、あらゆるアナログ入力ピンを正入力 (AINP) または負入力 (AINM) として選択できます。この機能により、ピンの接続チェックなどの診断を実行できます。また、この機能により PCB 設計を簡略化できます。例えば、同じ PCB に 2 線式、3 線式、4 線式の RTD を実装できます。

動作原理

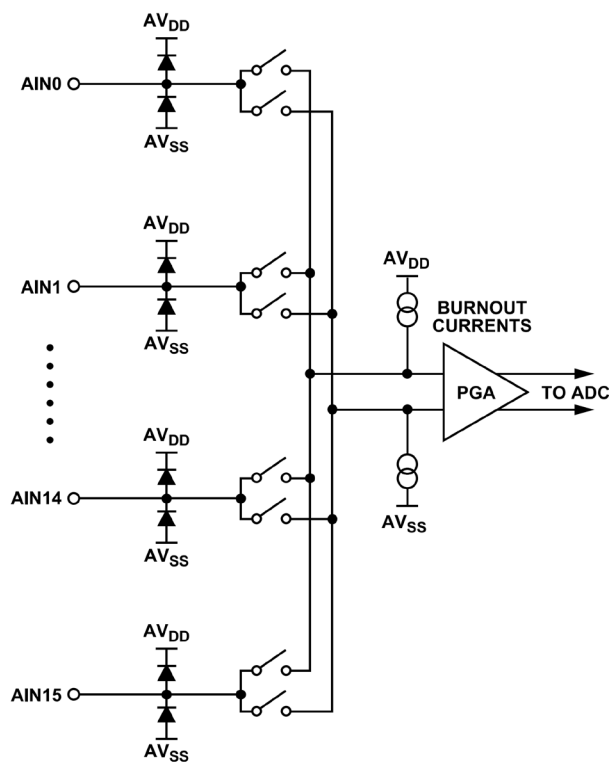


図 70. アナログ入力マルチプレクサ回路

内蔵マルチプレクサにより、デバイスのチャンネル数が増加します。また、チャンネルでのあらゆる変化が変換プロセスと確実に同期されます。

チャンネル入力、CHANNEL_m レジスタの AINP_m のビット [4:0] と AINM_m のビット [4:0] を用いて設定できます。このデバイスは、8 個の差動入力、16 個の疑似差動入力、またはその両方の組み合わせを使用できるように設定できます。

差動入力を使用する場合は、隣接するアナログ入力ピンを使用して入力ペアを構成します。隣接するピンを使用することで、チャンネル間のミスマッチを最小限に抑えることができます。

励起電流

デバイスには IEXC0 と IEXC1 の 2 つの励起電流があり、これらは、CONFIG_n レジスタの I_OUT0_n ビットフィールドと I_OUT1_n ビットフィールドを設定して、100nA、10μA、20μA、50μA、100μA、150μA、200μA のいずれかに個別に設定できます。励起電流仕様の詳細は表 4 を参照してください。

IEXC0 および IEXC1 は、CHANNEL_m レジスタの I_OUT0_CH_m ビットフィールドと I_OUT1_CH_m ビットフィールドを使用して、任意のチャンネルで動作するように設定できます。更に、どちらの電流も同じアナログ入力ピンに出力できます。ユーザは、チャンネル間のマルチプレクス時にフロントエンドのセトリング時間を選択できます (FILTER_n レジスタの SETTLE_n ビット)。その後、変換プロセスが開始します。

MISC レジスタの STB_EN_IEXC ビットを 1 にセットすることで、デバイスがスタンバイ・モードになったときに励起電流を自動的にオフにするよう、設定できます。

励起電流を使用する場合、内蔵リファレンスをイネーブルにする必要はありません。

バイアス電圧発生器

AD4130-8 にはバイアス電圧発生器が内蔵されています。バイアス電圧は、すべてのアナログ入力チャンネルで選択可能です。選択した入力ピンに $(AV_{DD} - AV_{SS})/2$ のバイアスがかけられます。この機能は、熱電対アプリケーションで便利です。これは、ADC を単電源で動作させる場合、熱電対によって生成された電圧に DC 電圧でバイアスをかける必要があるためです。バイアス電圧発生器は、VBIAS_CONTROL レジスタの V_BIAS ビットフィールドを使用して制御します。バイアス電圧発生器のパワーアップ時間は、負荷容量によって決まります。詳細は、表 4 を参照してください。

セカンダリ・リファレンス入力

AD4130-8 の入力のうち 2 つは、リファレンス入力となるよう再設定できます。

汎用出力

AD4130-8 には、P1～P4 の 4 個の汎用出力 (GPO) があります。これらの出力は IO_CONTROL レジスタの GPO_CTRL_Px ビットを使用してイネーブルにします (表 39 を参照)。ピンは、レジスタの GPO_DATA_Px ビットを使用してハイ・レベルヘブルアップまたはロー・レベルヘブルダウンすることができます。つまり、ピンの値は GPO_DATA_Px ビットをセットすることで決まります。これらのピンは、AVSS と AVDD の間の電圧を基準にした汎用出力として使用できます。

AVSS を DGND に接続し、IOVDD を AVDD に接続すると、これらのピンは、IOVDD ではなく AVDD で決まるロジック・レベルを持つデジタル出力として動作させることができます。この構成では、一部の GPO を別のユーザ用に転用できます。P2 (AIN3) ピンは、割込み源として機能することを選択できます (データ・レディ信号のセクションを参照)。P4 (AIN5) ピンは、デバイスがスタンバイ・モードになった場合にフラグ通知するよう選択できます (パワーダウン・モードのセクションを参照)。

パワーダウン・スイッチ

ローサイド・パワー・スイッチ (PSW) により、ADC にインターフェースされたブリッジへの電力供給を停止できます。ストレーン・ゲージやロード・セルなどのブリッジ・アプリケーションでは、ブリッジ自体がシステム内で電流の大半を消費します。例えば、3V の電源で励起する場合、350Ω のロード・セルは 8.6mA の電流を必要とします。システムの消費電流を最小限に抑えるには、ブリッジ・パワーダウン・スイッチを使用してブリッジ (使用していないときに) を切り離すことができます。スイッチ仕様については表 4 を参照してください。PSW の制御は、チャンネル・シーケンサを用いて自動化できます。各チャンネル設定には、CHANNEL_m レジスタの専用の PDSW_m ビットフィールドがあります。

動作原理

プログラマブル・ゲイン・アンプ

ゲイン段をイネーブルにすると、マルチプレクサからの出力が PGA の入力に供給されます。PGA が内蔵されているので、AD4130-8 内で小さい振幅の信号を増幅し、優れたノイズ性能を維持することが可能です。PGA は、各 CONFIG_n レジスタの PGA ビットを使用してゲイン = 1、2、4、8、16、32、64、128 にプログラムすることができます。

各 CONFIG_n レジスタの PGA_BYP_n ビットをイネーブルして、PGA をバイパスすることもできます。このビットを 1 にセットすると PGA はバイパスされるため、ゲイン制御は使用できず、ゲインは 1 となります。PGA バイパス・モードを使用すると、電力を節約し、ノイズを更に低減できますが、アナログ入力電流は増加します。詳細については電源仕様のセクションとアナログ入力電流のセクションを参照してください。

アナログ入力レンジは $\pm V_{REF}$ /ゲインです。表 38 を参照してください。

表 38. 絶対入力レンジの例

PGA Gain	2.5 V Reference		1.25 V Reference	
	Unipolar	Bipolar	Unipolar	Bipolar
1	0 to 2.5V	$\pm 2.5V$	0 to 1.25V	$\pm 1.25V$
32	0 to 78.12mV	$\pm 78.12mV$	0 to 39.06mV	$\pm 39.06mV$
128	0 to 19.53mV	$\pm 19.53mV$	0 to 9.76mV	$\pm 9.76mV$

$V_{REF} = AV_{DD}$ のように、リファレンス値が大きくなる場合は、アナログ入力範囲を制限する必要があります。これらの制限値の詳細は表 2 を参照してください。

表 39. IO_CONTROL レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x03	IO_CONTROL	[15:8]	RESERVED					SYNCB_CLEAR	INT_PIN_SEL		0x0000	R/W
		[7:0]	GPO_DATA_P4	GPO_DATA_P3	GPO_DATA_P2	GPO_DATA_P1	GPO_CTRL_P4	GPO_CTRL_P3	GPO_CTRL_P2	GPO_CTRL_P1		

動作原理

その他の特長

キャリブレーション

内部キャリブレーションとシステム・キャリブレーションの両方が内蔵されているため、デバイス内部のみや、エンド・システム全体のオフセットまたはゲイン誤差を除去することができます。ADC のキャリブレーションのセクションを参照してください。

シーケンサ

AD4130-8 では、最大 16 個のチャンネルと最大 8 個の差動 ADC セットアップを事前設定し、チャンネルごとに選択することが可能です。このシーケンサは、イネーブルにされたすべてのチャンネルを自動的に変換します。詳細については、[スマート・チャンネル・シーケンサ](#)のセクションを参照してください。

診断機能

AD4130-8 には、アプリケーションのフォルト検出をハイ・レベルで実行可能な多くの診断機能が備わっています。その例は以下のとおりです。

- ▶ リファレンス検出
- ▶ 過電圧／低電圧の検出
- ▶ ADC 機能のチェック
- ▶ SPI 通信での CRC
- ▶ メモリ・マップでの CRC
- ▶ SPI 読み出し／書き込みチェック

詳細については、[診断機能](#)のセクションを参照してください。

FIFO バッファ

AD4130-8 は FIFO バッファを内蔵しており、最大で 256 個の変換結果が容易に保存できます。詳細については[FIFO](#)のセクションを参照してください。

電源

このデバイスには、 AV_{DD} と IOV_{DD} の 2 つの独立した電源ピンがあります。

AV_{DD} は AV_{SS} を基準とし、ADC に電力を供給する内部アナログ・レギュレータを駆動します。 $AV_{DD} - AV_{SS}$ 電源の範囲は 1.71V～3.6V です。

AV_{SS} は DGND に接続します。あるいは、0V より低い電圧にして AD4130-8 に両電源を提供することもできます。例えば、 AV_{SS} を -1.8V に接続し、 AV_{DD} を +1.8V に接続すれば、ADC に $\pm 1.8V$ を供給できます。 AV_{SS} 電源の範囲は、DGND を基準として -1.8V～0V です。

IOV_{DD} は DGND を基準とし、SPI インターフェースのロジック・レベルを設定し、デジタル処理のための内部レギュレータを駆動します。デジタル IOV_{DD} 電源は、DGND を基準として 1.65V～3.6V の間で可変です。

低電源電圧範囲オプションは、 AV_{DD} と IOV_{DD} のどちらの単電源も 1.71V と低い値の場合でも AD4130-8 の性能を実現できる状態でバッテリー駆動動作をさせる場合に、利点があります。

[電源方式](#)のセクションおよび[推奨デカップリング方法](#)のセクションを参照してください。

内部 LDO

2 つの内部 LDO がアナログ領域とデジタル領域に個別に給電します。0.1 μ F のデカップリング・コンデンサが REGCAPA ピンと REGCAPD ピンに必要です。これらは、それぞれ、 AV_{DD} LDO と IOV_{DD} LDO の出力です。

パワーオン・リセット

AD4130-8 は、[図 71](#) に示すように、 IOV_{DD} 電圧が最初に印加されたときに、パワーオン・リセット (POR) 信号を生成します。POR により、ユーザ設定レジスタの状態はリセットされます。 IOV_{DD} とデジタル LDO の電圧が指定動作範囲未満に低下した場合に、POR が発生します。 AV_{DD} およびアナログ LDO の低下はデバイス・リセットのトリガとはなりません。

ステータス・レジスタの POR_FLAG ([表 46](#) 参照) は、 IOV_{DD} またはデジタル LDO 電源が閾値未満に低下した場合に 1 にセットされ、ユーザがステータス・レジスタを読み出すとクリアされます。

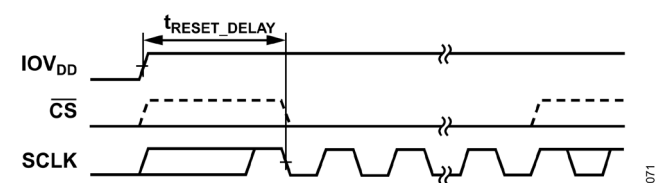


図 71. POR タイミング図

パワーオン・リセットまたはソフトウェア・リセット後の AD4130-8 のデフォルト設定は、次のとおりです。

- ▶ チャンネル：CHANNEL_0 レジスタにおいて、チャンネルはイネーブル、AIN0 は正入力として選択、AIN1 は負入力として選択。SETUP_m = 0 を選択。
- ▶ ADC セットアップ (SETUP_m ビットフィールド)：CONFIG_0 レジスタにおいて、励起電流およびバーンアウト電流はオフ、リファレンス・バッファはディスエーブル、外部リファレンスを選択、PGA ゲインは 1 に設定。FILTER_0 レジスタにおいて、FS ビット [10:0] = 0x30 と設定して sinc³ スタンドアロン・フィルタを選択。
- ▶ ADC 制御：ADC_CONTROL レジスタにおいて ([表 45](#) 参照)、AD4130-8 は連続読み出しがディスエーブルされデータコーディングがオフセット・バイナリにセットされた連続変換モードになり、内部発振器がイネーブルされてマスタ・クロック源として選択。内部リファレンスはディスエーブル、CS ピンはディスエーブル (3 線式モード)、ステータス・レジスタの内容のデータ出力への付加はなし。
- ▶ 診断機能：イネーブルされた診断機能は SPI_IGNORE_ERR 機能のみ。

動作原理

いくつかのレジスタ設定オプションのみを示しました。このリストは一例であることに留意してください。すべてのレジスタの情報については、[AD4130-8 のレジスタ](#)のセクションを参照してください。

パワーダウン・モード

AD4130-8 には複数のパワーダウン・モードがあり、ADC_CONTROL レジスタの MODE ビットを用いて選択できます (表 45 参照)。MODE ビットでは、異なる ADC 変換モードの選択もできます。表 40 には、パワーダウン・モードのオプションのみを記載しています。

表 40. パワーダウン・モードのオプション

MODE	ADC Conversion Mode
0b0010	Standby
0b0011	Power-down
0b0100	Idle

パワーダウン・モード

パワーダウン・モードは AD4130-8 の最小電力モードです。すべてのブロックがパワーダウンされ、レジスタ情報は保存されません。パワーダウン・モードに移行するには、デバイスがスタンバイ・モードであることが必要です。それ以外の場合、デバイスは連続変換モードに移行します。このプロシージャは、パワーダウン・モードへの偶然の遷移あるいは意図せぬ遷移を防止する安全機能の役割を果たします。

パワーダウン・モードを終了するには、デバイスをリセットする必要があります。デバイスのリセットのセクションを参照してください。

アイドル・モード

アイドル・モードでは変調器とデジタル・フィルタがリセット状態に保持されます。すべてのユーザ・レジスタの内容は、それまでの設定を保持します。なお、アイドル・モードでは、連続変換モードに比べ、消費電流に大きな変化はありません。

アイドル・モードを終了するには、ADC_CONTROL レジスタの MODE ビットに、別の動作モードを選択する書込みを行います。

スタンバイ・モード

スタンバイ・モード時およびデューティ・サイクルでのスタンバイ時には、レジスタの内容が保持され、ステータス・レジスタの RDYB ビット (表 46 参照) が 1 にセットされます。MISC レジスタの STBY_OUT_EN ビットを 1 にセットすると、同じスタンバイ信号が P4 ピン (AIN5) に入力されます。

MISC レジスタでは、次のように、スタンバイ・モードでイネーブルを維持できる機能を選択できます。

- ▶ 診断機能は、STBY_EN_DIAGNOSTICS ビットを 1 にセットすることでイネーブルを維持できます。いくつかの診断機能では、内部発振器がイネーブルされていることも必要になります。そのため、ERROR_EN レジスタでこれらのエラーがイネーブルされ STBY_EN_DIAGNOSTICS = 1 となっている場合、内部発振器はイネーブルを維持します。
- ▶ GPO 信号は、STBY_GPO_EN ビットを 1 にセットすることでイネーブルを維持できます。
- ▶ パワーダウン・スイッチは、STBY_PDSW_EN ビットを 1 にセットすることでイネーブルを維持できます。
- ▶ バーンアウト電流は、STBY_BURNOUT_EN ビットを 1 にセットすることでイネーブルを維持できます。
- ▶ VBIAS は、STBY_VBIAS_EN ビットを 1 にセットすることでイネーブルを維持できます。
- ▶ 励起電流は、STBY_IEXC_EN ビットを 1 にセットすることでイネーブルを維持できます。
- ▶ 内部リファレンスは、STBY_REFHOL_EN ビットと STBY_INTREF_EN ビットを 1 にセットすることでイネーブルを維持できます。

スタンバイ・モードを終了するには、ADC_CONTROL レジスタの MODE ビットに、別の動作モードを選択する書込みを行います。詳細については[スタンバイ・モード終了時の時間調整](#)のセクションを参照してください。

デジタル・インターフェース

AD4130-8 には、QSPI™ や MICROWIRE™ インターフェース規格をはじめ、ほとんどのデジタル・シグナル・プロセッサ (DSP) に対応できる、4 線式 ($\overline{CS}$ 、SCLK、DIN、DOUT) または 3 線式 (SCLK、DIN、DOUT) の SPI が備わっています。このインターフェースは SPI モード 3 で動作し、 $\overline{CS}$ をロー・レベルに接続した状態で動作させることができます (3 線式)。SPI モード 3 の場合、図 72 に示すように、SCLK はアイドル・ハイになり、SCLK の立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。つまり、DIN のデータは SCLK の立上がりエッジでクロック入力され、DOUT のデータは、SCLK の立下がりエッジでクロック出力されます。DOUT をリードバックするには、SCLK の立上がりエッジを用いるか、 t_{DOUT_VALID} の時間経過を待って、DOUT 信号をサンプリングします。SCLK ピンにはシュミット・トリガ入力が入内蔵されているため、光学絶縁アプリケーションのインターフェースに適しています。その他のインターフェースピンは INT および SYNC です。

表 9 と表 10 にタイミング仕様を示します。



図 72. SPI モード 3、SCLK のエッジ

AD4130-8 のデジタル・インターフェースのロジック・レベルは、 I_{OVDD} の電圧によって設定され、その範囲は 1.65V~3.6V です。

レジスタ・マップへのアクセス

コミュニケーション・レジスタ (COMMS) は ADC の全レジスタ・マップへのアクセスを制御します。このレジスタは 8 ビットの書き込み専用レジスタです (表 41 参照)。パワーアップ時またはソフトウェア・リセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書き込み動作で開始する必要があります。

コミュニケーション・レジスタに書き込まれるデータによって、次の動作が読み出し動作かあるいは書き込み動作か (R/ $\overline{W}$ ビット)、および、どのレジスタにアクセスするか (RS ビット [5:0]) が決まります。書き込みをイネーブルするには、8 ビットの COMMS レジスタの MSB を 0 にセットする必要があります ($\overline{WEN}$ ビット)。トランザクション時に $\overline{WEN}$ が 1 にセットされると、デバイスはレジスタ内の後続ビットに対するクロック駆動を停止します。

表 41. コミュニケーション・レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	COMMS	[7:0]	$\overline{WEN}$	R/ $\overline{W}$				RS[5:0]			0x00	W

表 42. ID レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x05	ID	[7:0]			RESERVED		SILICON_ID		MODEL_ID		0x04 ¹	R

¹ 詳細については、識別レジスタのセクションを参照してください。

インターフェース同期が失われた状況で $\overline{CS}$ を用いる場合、 $\overline{CS}$ をハイに戻すことでデジタル・インターフェースはデフォルト状態にリセットされ、その時点の動作はすべてアボートされます。この動作では、デバイスのレジスタはデフォルト値にはリセットされません (デバイスのリセットのセクションを参照してください)。

選択されたレジスタの読み出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

レジスタへの書き込み動作とレジスタからの読み出し動作を図 73 と図 74 に示します。まず、8 ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、アドレス指定されたレジスタのデータを書き込みます。DOUT のデータ長は、選択したレジスタおよびイネーブルされている SPI CRC に応じて、8 ビット、16 ビット、24 ビット、32 ビットのいずれかになります。

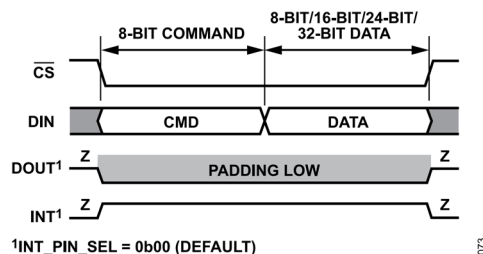


図 73. レジスタへの書き込み
(レジスタ・アドレスとその後のデータを伴う 8 ビットコマンド)

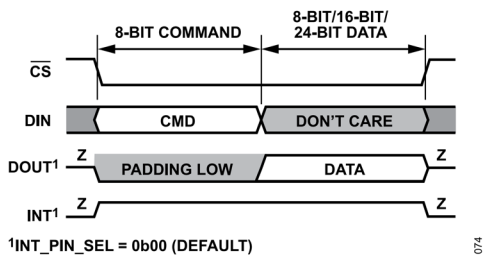


図 74. レジスタからの読み出し
(レジスタ・アドレスとその後のデータを伴う 8 ビットコマンド)

デバイスの識別

このデバイスが正常に通信していることを確認するには、ID レジスタを読み出すことを推奨します。ID レジスタは読み出し専用レジスタです。コミュニケーション・レジスタと ID レジスタの詳細については、表 42 と識別レジスタのセクションを参照してください。

アプリケーション情報

デバイスのリセット

64 個の連続する 1 をデバイスに書き込むことで、AD4130-8 の回路とシリアル・インターフェースをリセットできます。この動作により、ロジック、デジタル・フィルタ、アナログ変調器がリセットされ、すべての内蔵レジスタがそれぞれのデフォルト値にリセットされます。リセットは、SCLK ラインのノイズによってシリアル・インターフェースの同期が失われた場合に便利です。

図 75 に、ソフトウェア・リセットのタイミング図を示します。

AD4130-8 では、リセット・イベントとレジスタの読書きトランザクションの間に、最小限の遅延時間が必要です。

この遅延を図 75 に示します。また、これは表 9 の $t_{\text{RESET_DELAY}}$ で表されます。デバイスの準備が整う前にデジタル・ホストが SPI トランザクションを実行しようとした場合、トランザクションは正常に行われず、エラー・レジスタの SPI_IGNORE_ERR ビットがセットされます。SPI_IGNORE_ERR は、読出して 1 を書き込むことでクリアする (R/W1C) タイプのビットです。リセットが開始されると、ステータス・レジスタの POR_FLAG ビット (表 46 参照) が 1 にセットされます。ビットを読み出すと 0 にセットされます。

図 71 に示すように、パワーアップ時に自動的にリセットが行われます。

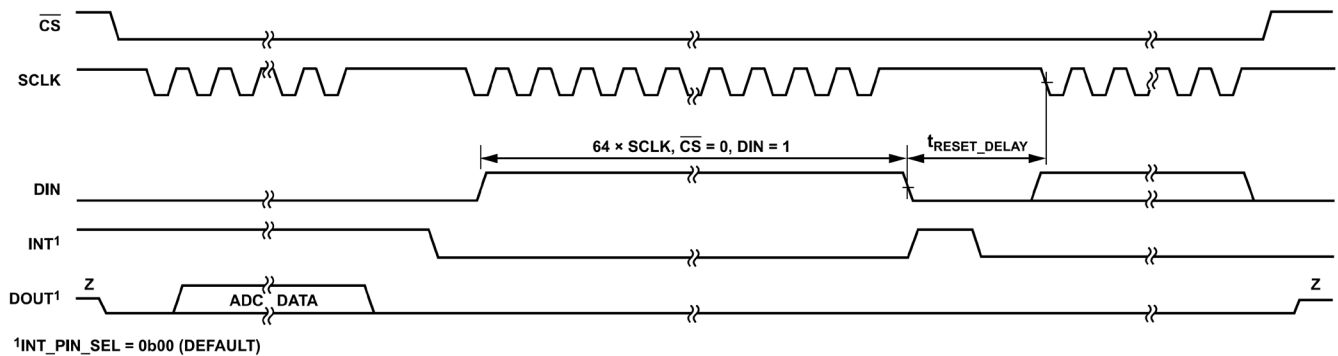


図 75. ソフトウェア・リセットのタイミング図

ADC の設定と動作

AD4130-8 は、動作の設定やモードを柔軟に行うことができます。

バイポーラ／ユニポーラ設定

AD4130-8 へのアナログ入力、ユニポーラまたはバイポーラどちらの電圧範囲も受け入れることができます。AINP 入力のユニポーラ信号とバイポーラ信号は、AINM 入力の電圧を基準としています。AINP と AINM の入力電圧は、表 2 の仕様に従い、 $AV_{DD} \sim AV_{SS}$ である必要があります。

データ出力コーディング

ADC_CONTROL レジスタのバイポーラ・ビット (表 45 参照) によって、ADC データのデータ出力コーディングと、後処理でのオフセット係数とゲイン係数の適用方法が決まります。ADC のキャリブレーションのセクションを参照してください。

デフォルトではバイポーラ・ビットは 1 に設定されています。これはオフセット・バイナリ・コーディングに対応します。この設定は、 $-V_{REF}/\text{ゲイン} \sim V_{REF}/\text{ゲイン}$ のバイポーラ入力電圧とする場合に用いるのがより適しています。ユニポーラ入力設定の場合にバイポーラ・ビットを 1 にセットすると、入力 ($AINP \geq AINM$ の場合の $AINP - AINM$) は、0x800000 (ゼロスケール) $\sim$ 0xFFFFF (フルスケール) の出力コードで表されます。

バイポーラ・ビットを 0 にセットすると、データ出力コーディングは自然 (ストレート) バイナリに変わります。この設定は、 $0V \sim V_{REF}/\text{ゲイン}$ のユニポーラ入力電圧とする場合に用いるのがより適しています。バイポーラ入力設定の場合にバイポーラ・ビットを 0 にセットすると、 $AINP < AINM$ の場合はすべて、0x000000 (ゼロスケール) にクランプされます。

なお、バイポーラ・ビットの値は、デバイスが FIFO 設定の閾値を変換する方法にも影響します。

表 43 に、任意のアナログ入力電圧に対するデータ出力コーディングのオプションとそれぞれの出力コード式を示します。

表 43. ADC データ出力コーディング・オプション

Bipolar Bit	Data Output Coding	Output Code Equation ¹
0b0	Straight binary	$\text{Code} = (2^N \times V_{IN} \times \text{Gain}) / V_{REF}$
0b1 (default)	Offset binary	$\text{Code} = 2^{N-1} \times ((V_{IN} \times \text{Gain} / V_{REF}) + 1)$

¹ N = 24、 V_{IN} は差動入力電圧、Gain はゲイン設定 (1~128)。

表 44 に、ADC_CONTROL レジスタのバイポーラ・ビットの選択に応じた、入力信号とそれに関係する出力コーディングの予想される対応関係を示します。

表 44. 所定の入力差動信号に対する理想的な出力コード

AINP – AINM	Bipolar Bit = 0b0	Bipolar Bit = 0b1
Negative Full Scale	0x000000	0x000000
Zero Scale	0x000000	0x800000
Mid Scale	0x800000	N/A ¹
(Positive) Full Scale	0xFFFFF	0xFFFFF

¹ N/A は該当なし。

ステータス・ビット

ステータス・レジスタの内容 (表 46 参照) は、AD4130-8 の各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されるごとに、ステータス・レジスタの内容が付加され、データ・レジスタを読み出すためのフォーマットは、DATA [23:0]、STATUS [7:0] となります。ステータス・レジスタの下位 4 ビット (CH_ACTIVE ビットフィールド) には、変換を実行したチャンネルが表示されます。更に、POR_FLAG ビットを確認し、何らかのエラーに対し MASTER_ERR ビットを介してフラグが立っているかを判定できます。すべての変換結果にステータス・レジスタの内容を付加するには、ADC_CONTROL レジスタの DATA_STATUS ビットを 1 にセットします (表 45 を参照)。

表 45. ADC_CONTROL レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x01	ADC_CONTROL	[15:8]	RESERVED	BIPOLAR	INT_REF_VAL	DOUT_DIS_DEL	CONT_READ	DATA_STATUS	CSB_EN	INT_REF_EN	0x4000	R/W
		[7:0]	RESERVED	DUTY_CYC_RATIO	MODE				CLK_SEL			

表 46. ステータス・レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x00	STATUS	[7:0]	RDY	MASTER_ERR	RESERVED	POR_FLAG	CH_ACTIVE				0x10	R

表 47. CHANNEL_m Register レジスタ (m = 0~15)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x09 to 0x18	CHANNEL_m (m = 0 to 15)	[23:16]	ENABLE_m	SETUP_m			PDSW_m	THRES_EN_m	AINP_m[4:3]		0xxxxxx ¹	R/W
		[15:8]	AINP_m[2:0]				AINM_m					
		[7:0]	I_OUT1_CH_m				I_OUT0_CH_m					

¹ CHANNEL_0 のデフォルト値は 0x800100 です。その他の全チャンネルのデフォルト値は 0x000100 です。

ADC の設定と動作

スマート・チャンネル・シーケンス

AD4130-8 では、CHANNEL_m レジスタで最大 16 チャンネルの設定を行いイネーブルすることができます。イネーブルした各チャンネルは、ホスト・プロセッサがスリープ状態の間も動作を続けることができる自動シーケンスの一部となります。

CHANNEL_m レジスタにより以下の機能が可能となります。

- ▶ プラス入力とマイナス入力を選択 (AINP_m ビットフィールドおよび AINM_m ビットフィールド)
- ▶ 励起電流を特定のピンに指定 (I_OUT0_CH_m ビットフィールドおよび I_OUT1_CH_m ビットフィールド)
- ▶ ADC セットアップを選択 (SETUP_m ビットフィールド)
- ▶ パワーダウン・スイッチと閾値をイネーブル (PDSW_m ビットフィールドおよび THRES_EN_m ビットフィールド)
- ▶ チャンネルをシーケンスの一部とする (ENABLE_m ビットフィールド)

詳細は表 47 を参照してください。

異なる設定を選択して複数のチャンネルをイネーブルした場合、AD4130-8 はすべての変換モードにおいてそれらのチャンネルを

自動的に順番に処理します。シーケンスは、イネーブルされたチャンネルのうち番号が最も小さいものから順に最大のものへと行われます。イネーブルされた各チャンネルを選択した場合、最初の変換を開始するのに必要な時間は、選択したチャンネルのフロント・エンド・セトリング・タイム (FILTER_n レジスタの SETTLE_n ビット) と等しくなります。例については図 94 を参照してください。

ADC セットアップ

事前に定めた ADC セットアップをチャンネルごとに選択できます (CHANNEL_m レジスタの SETUP_m ビット)。AD4130-8 では最大 8 通りの ADC セットアップが可能です。各 ADC セットアップは、設定、フィルタ、ゲイン、オフセット設定で構成されます。

例えば、SETUP_m = 0 (ADC セットアップ 0) の場合は、CONFIG_0 レジスタ、FILTER_0 レジスタ、OFFSET_0 レジスタ、GAIN_0 レジスタで構成されます。これらのレジスタのグループ分けを図 76 に示します。表 48～表 51 に各 ADC セットアップに関連する 4 つのレジスタを示します。

表 48. CONFIG_n レジスタ (n = 0～7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x19 to 0x20	CONFIG_n (n = 0 to 7)	[15:8]	I_OUT1_n			I_OUT0_n			BURNOUT_n		0x0000	R/W
		[7:0]	REF_BU FP_n	REF_BU FM_n	REF_SEL_n		PGA_n			PGA_BY P_n		

表 49. FILTER_n レジスタ (n = 0～7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x21 to 0x28	FILTER_n (n = 0 to 7)	[23:16]	SETTLE_n			REPEAT_n					0x002030	R/W
		[15:8]	FILTER_MODE_n				RESERVED	FS_n[10:8]				
		[7:0]	FS_n[7:0]									

表 50. OFFSET_n レジスタ (n = 0～7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x29 to 0x30	OFFSET_ n (n = 0 to 7)	[23:16]	OFFSET_n[23:16]							0x800000	R/W	
		[15:8]	OFFSET_n[15:8]									
		[7:0]	OFFSET_n[7:0]									

表 51. GAIN_n レジスタ (n = 0～7)

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x31 to 0x38	GAIN_n (n = 0 to 7)	[23:16]	GAIN_n[23:16]							0XXXXXXXX ⁵	R/W	
		[15:8]	GAIN_n[15:8]									
		[7:0]	GAIN_n[7:0]									

ADC の設定と動作

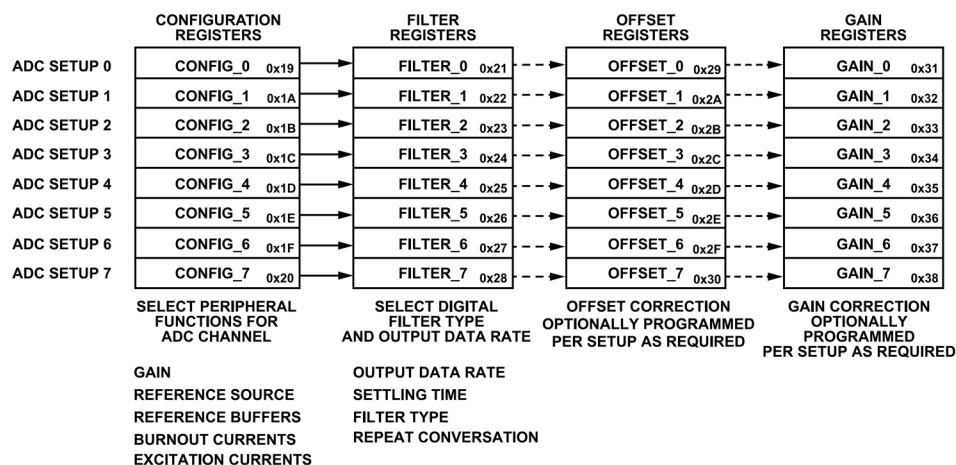


図 76. ADC セットアップ・レジスタのグループ分け

設定レジスタ

CONFIG_n レジスタにより以下の機能が可能となります。

- ▶ PGA ゲインを設定 (PGA_n ビットフィールド)
- ▶ PGA モードを設定 (PGA_BYP_n ビットフィールド)
- ▶ リファレンス源を選択 (REF_SEL_n ビットフィールド)
- ▶ リファレンス・バッファをイネーブル (REF_BUFP_n ビットフィールドおよび REF_BUFM_n ビットフィールド)
- ▶ バーンアウト電流のイネーブルと選択 (BURNOUT_n ビットフィールド)
- ▶ 励起電流のイネーブルと選択 (I_OUT1_n ビットフィールドおよび I_OUT2_n ビットフィールド)

詳細は表 48 を参照してください。

フィルタ・レジスタ

FILTER_n レジスタにより以下の機能が可能となります。

- ▶ ADC 変調器の出力でのデジタル・フィルタを選択 (FILTER_MODE_n ビットフィールド)
- ▶ フィルタに適用する FS 値を選択 (FS_n、ビット [10:0])
- ▶ この ADC セットアップでの変換回数を 1~32 から選択 (REPEAT_n ビットフィールド)
- ▶ センサー出力がセトリングした値に達するまでに許容される、変換開始までのフロントエンド・セトリング・タイムを設定 (SETTLE_n ビットフィールド)

詳細は表 49 を参照してください。

オフセット・レジスタおよびゲイン・レジスタ

オフセット設定とゲイン設定を用いると、その ADC セットアップに関連するチャンネルのキャリブレーションが行われた後に、データ出力の調整を行うことができます。図 76 のレジスタ・ブロック間の破線で示すように、ゲイン・レジスタとオフセット・レジスタのプログラミングはどの場合もオプションです。内部キャリブレーション、システム・オフセット・キャリブレーション、またはフルスケール・キャリブレーションを実行すると、選択したチャンネルのオフセット・レジスタが自動的に更新されます。詳細については [ADC のキャリブレーション](#) のセクションを参照してください。また、表 50 および表 51 を参照してください。

ADC の変換モード

AD4130-8 には選択可能な複数の変換モードがあり、これらは ADC_CONTROL レジスタの MODE ビットで選択できます (表 45 参照)。MODE ビットでは、異なるパワーダウン・モードの選択もできます。表 52 には ADC の変換モードのオプションのみを記載しています。

表 52. ADC の変換モードのオプション

MODE	ADC Conversion Mode
0b0000 (Default)	Continuous conversion
0b0001	Single sequence
0b1001	Duty cycling
0b1010	Single sequence + idle by $\overline{\text{SYNC}}$
0b1011	Single sequence + STBY by $\overline{\text{SYNC}}$

連続変換モード

連続変換モードは、デフォルト・モードです。イネーブルされている各チャンネルについて ADC は連続的に変換を行います。シーケンスが完了すると、ADC はイネーブルされている最小番号のチャンネルから再開します。

シングル・シーケンス・モード

シングル・シーケンス・モードでは、AD4130-8 は一回の変換シーケンスを行い、変換が終了するとスタンバイ・モードになります。複数のチャンネルをイネーブルした場合、ADC はイネーブルされた全チャンネルのシーケンスを自動的に行ってスタンバイ・モードになります。シングル・シーケンス・モードを有効化するには、MODE=0b0001 を選択します。AD4130-8 がシングル・シーケンス・モードで変換を行っている場合、SPI 書込みは無視されます。

シングル・シーケンス変換は、 $\overline{\text{SYNC}}$ ピンを用いて外部から制御することもできます。ADC_CONTROL レジスタで MODE = 0b1010 を選択すると、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス+アイドル」モードを有効化できます。このモードでは、 $\overline{\text{SYNC}}$ ピンにロー・レベルをパルス入力すると、デバイスはアイドル・モードを終了し、新しいシングル・シーケンスを開始します。アイドル・モードでは、変調器とデジタル・フィルタはリセット状態になります。

ADC の設定と動作

ADC_CONTROL レジスタで MODE = 0b1011 を選択すると、「SYNCによるシングル・シーケンス+STBY」モードを有効化できます。このモードでは、SYNC ピンにロー・レベルをパルス入力すると、デバイスはスタンバイを終了し、新しい変換のシーケンスを開始します。スタンバイ時、レジスタの内容は維持されます。「SYNCによるシングル・シーケンス+スタンバイ」モードの場合、REPEAT_n ビット機能が使用できます。システム同期のセクションを参照してください。

なお、図 77 または図 79 に示すように、SYNCピンのパルス間の時間はシングル・シーケンス変換の時間より長くし、デバイスがSYNCピン・パルスの間にアイドル・モードまたはスタンバイ・モードになり、タイミングの問題が生じないようにする必要があります。SYNCピンのレートを使用すると、シーケンスでのチャンネルごとのサンプル・レートを定めることができます。システム同期のセクションを参照してください。

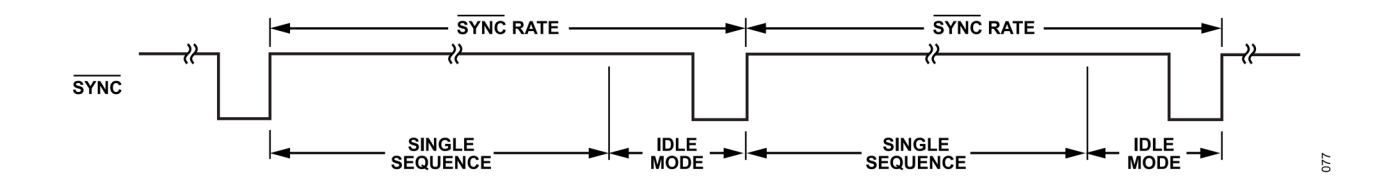


図 77. 「SYNCによるシングル・シーケンス+アイドル」モードの例を示す図

DUTY_CYC_RATIO = 1/4	~25% ACTIVE TIME	~75% STANDBY TIME	~25% ACTIVE TIME	~75% STANDBY TIME
DUTY_CYC_RATIO = 1/16	~6.25% ACTIVE TIME	~93.75% STANDBY TIME	~6.25% ACTIVE TIME	~93.75% STANDBY TIME

¹DIAGRAM NOT TO SCALE

図 78. デューティ・サイクル・モードの説明図

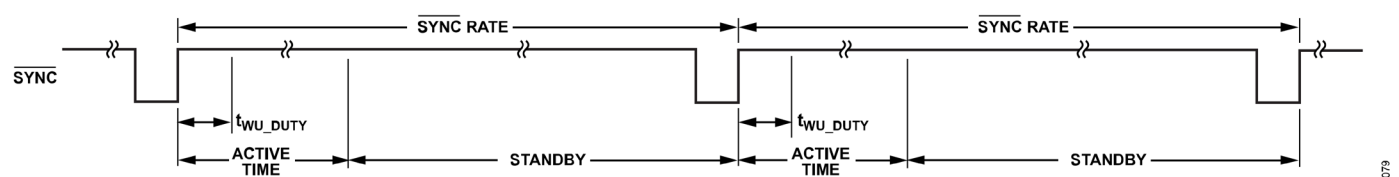


図 79. 「SYNCによるシングル・シーケンス+STBY」モードの例を示す図

ADC の設定と動作

デューティ・サイクル・モード

デューティ・サイクル・モードでは、デバイスはアクティブ・モードとスタンバイ・モードを自動的に繰り返し、消費電力を一層節約します。ADC はイネーブルされた各チャンネルで変換を行い、その後スタンバイ・モードになります。一回のサイクルが終了すると、イネーブルされた最小番号のチャンネルの ADC 変換からサイクルが再開します。自動デューティ・サイクル・モードを有効化するには、ADC_CONTROL レジスタの MODE ビットフィールドを 1001 にセットします。このモードでは、デューティ・サイクル比がデフォルトで 1/4 に設定されています。そのため、デバイスは約 25% の時間アクティブになり、その他の時間はスタンバイ・モードになります。自動デューティ・サイクル比は、ADC_CONTROL レジスタの DUTY_CYC_RATIO ビットフィールド値を 1 にセットすることで、1/16 に変更できます。図 78 を参照してください。

デューティ・サイクル・モードでは、REPEAT_n ビットの機能は使用できません。デューティ・サイクル・モードのタイミングのセクションを参照してください。

デューティ・サイクル・シーケンスにおいて一部またはすべてのチャンネルで変換のために内部リファレンスを用いる場合、MISC レジスタの STBY_REFHOL_EN ビットを 1 にセットし、内部リファレンスが連続的にオン・オフすることによる影響を低減することを推奨します。デューティ・サイクル時にスタンバイ状態でもアクティブであることを維持できるブロックについての詳細は、スタンバイ・モードのセクションを参照してください。

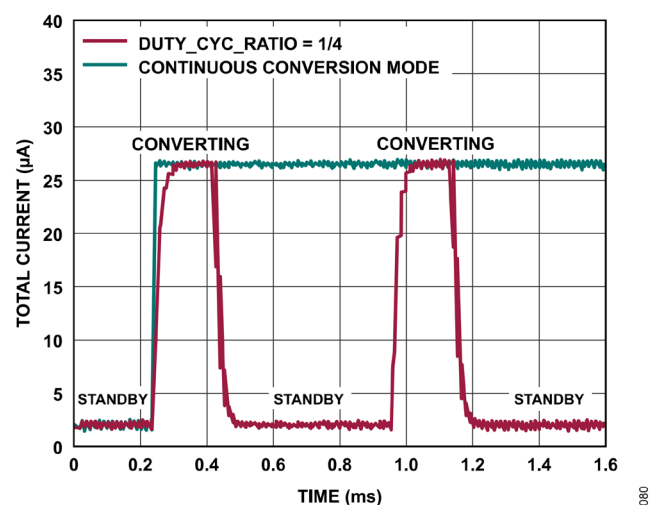


図 80. デューティ・サイクル・モードと連続変換モードにおける消費電流の比較例

データ・レディ信号

ADC 変換が終了すると、ステータス・レジスタの RDYB ビット (表 46 参照) が 1 から 0 に変わります。ADC の変換結果がデータ・レジスタにありリードバック可能な状態であることを示すデータ・レディ信号は、IO_CONTROL レジスタの INT_PIN_SEL ビット (表 39 参照) を設定すると、内部で生成して表 53 に示すように選択したピンに送ることもできます。デフォルトでは、AD4130-8 はデータ・レディ信号専用の INT ピンを備えています。ADC の読出し後は、データ・レディ信号はハイ・レベルに戻ります。

表 53. レディ割込みピンのオプション¹

INT_PIN_SEL	Pin Options
0b00 (Default)	INT
0b01	CLK
0b10	P2
0b11	DOUT ²

¹ FIFO はディスエーブル。FIFO がイネーブルの場合、INT_PIN_SEL ビットフィールドを使用して、選択した FIFO 割込みを表 70 に示すピンに割り当てることができます。

² ピンは DOUT とデータ・レディ信号機能を兼用する形で動作します。

ADC の変換結果がデータ・レジスタで読み出されない場合、データ・レディ信号は次の変換結果が読出し可能となるまで、ロー・レベルを維持します。データ・レディがローで次の変換の読出しが可能である場合の最小データ・レディ・ハイ時間は、 t_{RDYH} で表され、表 9 と図 9 に示されています。

連続読出しモードが無効化されている場合 (連続読出しモードのセクションを参照)、データ・レディ信号がハイの間は、必要に応じて同じデータを再度読み出すことができます。ただし、次の出力の更新が近い場合は、後続の読出しを行ってはいけません。連続読出しモードが有効な場合、ADC の結果を読み出せるのは一回のみです。

ピンをデータ・レディ割込みに設定することは、そのピンに関する他のどのピン制御よりも優先されます。例えば、ADC_CONTROL レジスタの CLK_SEL ビット (表 45 参照) を介して CLK ピンを CLK としてイネーブルしても、CLK ピンが割込みとしてイネーブルされている場合、無視されます。

IO_CONTROL レジスタの GPO_CTRL_P2 ビットを介して P2 ピンを GPO としてイネーブルしても、P2 が割込みとしてイネーブルされている場合、無視されます。P2 がデータ・レディ信号としてイネーブルされている場合、すべての GPO ピンはスタンバイ・モードでは自動的にイネーブルのままとなります。

FIFO がイネーブルされていると、データ・レディ信号は FIFO レディ信号となります。この信号は、FIFO が読出し可能であること (ロー)、またはデバイスがアクセスしている間ビジーであること (ハイ) を示します。この信号は、FIFO がイネーブルの場合 DOUT に自動的に発生し、他のピンに転送することはできません。FIFO レディ信号のセクションを参照してください。

連続読出しモード

連続読出しモードは、ADC データにアクセスできるもう 1 つのインターフェース・モードです。連続読出しモードでは、データ・レジスタを読み出すために COMM レジスタに書き込みを行う必要はありません。このモードでは、データ・レディ信号は出力データのフレーミング信号として機能します。データ・レディ信号がローになり、変換の終了を示すまで、SCLK は無視されます。データ・レディ信号がローになりデータ・レジスタの変換結果を読み出せるようになってから、必要な数の SCLK を印加できます。変換結果を読み出すと、データ・レディ信号は次の変換結果が読出し可能となるまで、ハイに戻ります。このモードでは、データは 1 回しか読み出すことができません。次の変換が完了する前に、各サンプル・データを確実に読み出すようにしてください。次の変換が終了する前に前の変換結果を読み出さなかった場合、あるいは、結果を読み出すために印加されるシリアル・クロック数が不足している場合、シリアル出力レジスタは次の変換の終了時にリセットされ、新しい変換結果が出力シリアル・レジスタに置かれます。

ADC の設定と動作

連続読出しモードを有効化するには、ADC_CONTROL レジスタの CONT_READ ビット (表 45 参照) をセットします。このビットがセットされると、シリアル・インターフェースの可能な動作は、データ・レジスタからのデータ読出しのみにになります。そのため、このレジスタへの書き込みは、デバイスへの設定書き込みシーケンスの最後に行います。

連続読出しモードを終了するにはデータ・レディ信号がロー・レベルになっているときにデータ読出しコマンド (0x42) を書き込みます。CRC がイネーブルの場合、想定される 0x42 の CRC コマンド・バイトがデータの前に置かれ、CRC を検証するときにはこのコマンドを考慮する必要がありますが、0x42 コマンドの送信時には CRC は不要です。もしくは、ソフトウェア・リセット、つまり、 $\overline{\text{CS}} = 0$ および $\text{DIN} = 1$ として 64 個の SCLK を

印加すること (図 75 参照) によっても、連続読出しモードを終了できます。これにより、ADC とすべてのレジスタの内容がリセットされます。これらだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令がデバイスに書き込まれるまで、連続読出しモードで DIN をロー・レベルに維持する必要があります。

複数の ADC チャンネルがイネーブルで、ADC_CONTROL レジスタの DATA_STATUS ビットがセットされている場合、データにステータス・レジスタの内容が付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタには、変換結果に対応するチャンネルが含まれます。

FIFO がイネーブルされている場合、連続読出しモードは無効化されます。

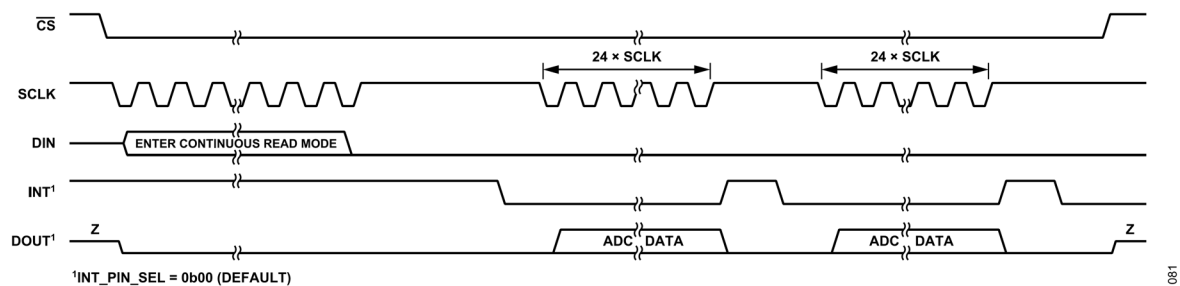


図 81. 連続読出しモードを開始する場合の説明図 (DATA_STATUS = 0)

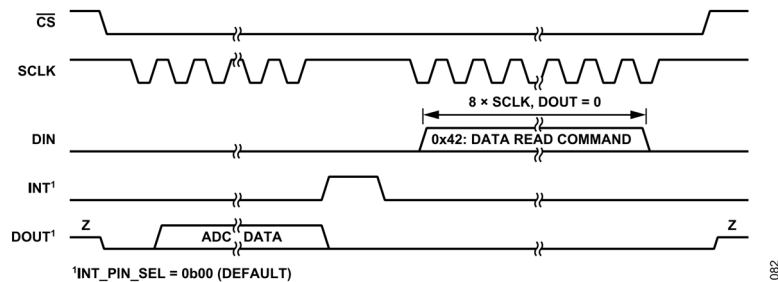


図 82. 連続読出しモードを終了する場合の説明図 (CRC はディスエーブル)

ADC の設定と動作

システム同期

$\overline{\text{SYNC}}$ ピン入力を利用すると、いくつかの動作を容易なものにできます。デフォルトでは、このピンがローになっている場合、デバイスの設定条件には影響することなく、変調器、デジタル・フィルタ、キャリブレーション・コントロール・ロジックをリセット状態に保ちます。これにより、既知の時点、すなわち $\overline{\text{SYNC}}$ の立上がりエッジから、アナログ入力のサンプル取得を開始できます。同期機能を実行するには $\overline{\text{SYNC}}$ を $t_{\text{SYNC_PW}}$ の時間以上ローにします（[タイミング仕様のセクション](#)を参照）。 $\overline{\text{SYNC}}$ は、デジタル・インターフェースに影響を与えませんが、ロー・レベルの場合はデータ・レディ信号をハイ・レベルにリセットします。 $\overline{\text{SYNC}}$ ピンの立下がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD4130-8 は一貫した既知の状態になります。 $\overline{\text{SYNC}}$ ピンがロー・レベルの間、AD4130-8 はこの状態を維持します。 $\overline{\text{SYNC}}$ の立上がりエッジで、変調器とフィルタはこのリセット状態から抜け出します。デバイスは、入力サンプルの収集を再開します。 $\overline{\text{SYNC}}$ ピンは、MCLK の立下がりエッジでサンプリングされます。そのため、確定的なタイミングが必要なアプリケーションでは、 $\overline{\text{SYNC}}$ ピンの値の変更は外部 MCLK (CLK) の立上がりエッジで行うことを推奨します。

変換の開始

$\overline{\text{SYNC}}$ ピンは変換開始コマンドとして使用できます。パワーアップ時および AD4130-8 の設定時に $\overline{\text{SYNC}}$ ピンをローに保持してください。その後、レディとなったら、 $\overline{\text{SYNC}}$ の立上がりエッジを使用し、選択した ADC モードに応じて変換または連続変換を開始します。データ・レディ信号の立下がりエッジは、各変換が終了し、ADC の変換結果がデータ・レジスタから読み出せるようになったことを指示します。

複数の AD4130-8 デバイスの同期

$\overline{\text{SYNC}}$ ピンを使用して、共通の外部 MCLK で動作する複数の AD4130-8 デバイスを同期させ、それらのデータ・レジスタを同時に更新することができます。デフォルトではこの機能はパワーアップ時に使用できます。複数のデバイスに接続された $\overline{\text{SYNC}}$ ピンのロー・パルスは、通常、AD4130-8 が固有のキャリブレーションを実行するか、キャリブレーション・レジスタにキャリブレーション係数をロードした後に、発行されます。その後、各 AD4130-8 デバイスの変換結果が同期されます。

デバイスは、 $\overline{\text{SYNC}}$ がロー・レベルからハイ・レベルに遷移した後の MCLK の立下がりエッジでリセットを終了します。このため、複数のデバイスを同期する場合、MCLK の立上がりエッジで $\overline{\text{SYNC}}$ ピンをハイ・レベルにプルアップし、すべてのデバイスが MCLK の立下がりエッジでサンプリングを開始するように設定する必要があります。 $\overline{\text{SYNC}}$ ピンを十分な時間にわたりハイ・レベルにしないと、デバイス間で 1 マスタ・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 マスタ・クロック・サイクル異なる場合があります。

その他の同期モード

$\overline{\text{SYNC}}$ ピンの機能を変更して、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス+アイドル」モードの場合はアイドル状態、「 $\overline{\text{SYNC}}$ によるシングル・シーケンス+STBY」モードの場合はスタンバイ状態をデバイスが終了するようにできます。詳細については [ADC の変換モード](#)のセクションを参照してください。

IO_CONTROL レジスタの SYNCB_CLEAR ビット（[表 39](#) 参照）を 1 にセットすると、 $\overline{\text{SYNC}}$ ピンを使用して FIFO をクリアすることもできます。詳細については [FIFO のクリア](#)のセクションを参照してください。

ADC のキャリブレーション

各変換後、ADC の変換結果は、データ・レジスタに書き込まれる前に、OFFSET_n レジスタと GAIN_n レジスタに保存されている ADC キャリブレーション係数を使って補正されます。この動作に必要な後処理時間を、デジタル後処理 (DPP) 時間と呼びます。OFFSET_n レジスタのデフォルト値は 0x800000 で、GAIN_n レジスタの公称値は 0x555555 です。

内部キャリブレーションとシステム・キャリブレーションのどちらを AD4130-8 で使用しても、OFFSET_n レジスタと GAIN_n レジスタの更新ができます。そのため、デバイス内のみのオフセット誤差やゲイン誤差を除去するか、エンド・システム全体のオフセット誤差やゲイン誤差を除去するかを選択できます。

AD4130-8 には、[表 54](#) に示すように、ADC のセットアップごとにオフセット誤差とゲイン誤差を除去するのにキャリブレーション・モードが 4 つあります。

表 54. ADC のキャリブレーション・モード・オプション

MODE	ADC Calibration Mode
0b0101	Internal offset calibration (zero scale)
0b0110	Internal gain calibration (full scale)
0b0111	System offset calibration (zero scale)
0b1000	System gain calibration (full scale)

内部またはシステム・オフセット・キャリブレーションにより、オフセット誤差はノイズのレベルまで軽減されます。ゲイン誤差は、周囲温度およびゲイン 1 (PGA_BYP_n = 0) で出荷時にキャリブレーションされています。このため、AD4130-8 では、ゲイン 1 (PGA_BYP_n = 0) での内部ゲイン・キャリブレーションはサポートされていません。その他のゲイン値では、システム・キャリブレーションによりゲイン誤差はノイズのレベルまで軽減されます。

キャリブレーション時は、1 チャンネルのみをアクティブにできます。動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。ステータス・レジスタの RDYB ビット（[表 46](#) 参照）またはデータ・レディ信号をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを判断します。キャリブレーションを開始するには ADC_CONTROL レジスタの MODE ビット（[表 45](#) 参照）に対応する値を書き込みます。キャリブレーションが開始されると、データ・レディ信号はハイ・レベルに移行し、ステータス・レジスタの RDYB ビットは 1 にセットされます。キャリブレーションが完了すると、対応する OFFSET_n レジスタまたは GAIN_n レジスタの内容が更新され、ステータス・レジスタの RDYB ビットが 0 に設定され、データ・レディ信号がロー・レベルに戻り（ $\overline{\text{CS}}$ がロー・レベルの場合）、AD4130-8 がアイドル・モードに復帰します。

キャリブレーションはあらゆる出力データ・レートで実行できます。低い出力データ・レートをを用いると、精度の高いキャリブレーション結果を得ることができ、これは高い出力データ・レートにも使用できます。特定のチャンネルのリファレンス源またはゲインが変更された場合 (CONFIG_n レジスタの PGA_n ビットフィールドを使用)、そのチャンネルに対して新たなキャリブレーションが必要となります。

ADC の設定と動作

次の式は、オフセットおよびゲインのキャリブレーション係数に基づいてデータをスケールリングするために使用する計算方法を示します。

ユニポーラ・モードの場合 (ADC_CONTROL レジスタのバイポーラ・ビット = 0b0) :

$$DATA = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{N-1} - (OFFSET_n - 0x800000) \right) \times \frac{GAIN_n}{0x400000} \times 2$$

バイポーラ・モードの場合 (ADC_CONTROL レジスタのバイポーラ・ビット = 0b1) :

$$DATA = \left(\frac{0.75 \times V_{IN}}{V_{REF}} \times 2^{N-1} - (OFFSET_n - 0x800000) \right) \times \frac{GAIN_n}{0x400000} + 0x800000$$

ここで、

DATA は、後処理後にデータ・レジスタに書き込まれるコード、
V_{IN} は、変換チャンネルの入力の差動電圧 (AINP - AINM)、
N は、ADC のビット数 (24)、
OFFSET_n は、変換チャンネルの対応する OFFSET_n レジスタに書き込まれる 16 進数コード、
GAIN_n は、変換チャンネルの対応する GAIN_n レジスタの 16 進数コードです。

AD4130-8 では内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサがデバイスのキャリブレーション係数を読み出したり、独自のキャリブレーション係数を書き込んだりできます。内部キャリブレーションまたはシステム・キャリブレーション時以外は、OFFSET_n レジスタと GAIN_n レジスタの読出しまたは書き込みはいつでも行えます。キャリブレーション・レジスタの値は 24 ビット幅です。また、これらのレジスタを使用してデバイスの入力スパンとオフセットを調整することもできます。詳細については、[システム・キャリブレーションのスパンとオフセットの限界値](#)のセクションを参照してください。

AD4130-8 は、キャリブレーション時にバックグラウンド・チェックを実行できます。この機能を有効化するには、ERROR_EN レジスタの ADC_ERR_EN ビットを 1 にセットします。エラーが発生した場合、エラー・レジスタの ADC_ERR ビットがセットされます。詳細については、[ADC のエラー](#)のセクションを参照してください。

キャリブレーションを実行するたびに有効なリファレンスが存在していることを確認するには、キャリブレーション・サイクルの終わりに REF_DETECT_ERR ビットのステータスをチェックします。

内部ゲイン・キャリブレーション

内部ゲイン・キャリブレーションを実行するため、内部生成されたフルスケール入力電圧が PGA 入力に自動的に印加されます。新たなゲイン設定に起因するフルスケール誤差を最小限に抑えるため、チャンネルのゲインを変更するたびにフルスケール・キャリブレーションを実行することを推奨します。内部キャリブレーションを実行する場合は、内部オフセット・キャリブレーションの前に内部ゲイン・キャリブレーションを実行する必要があります。このため、内部ゲイン・キャリブレーションを実行する前に選択したチャンネルの OFFSET_n レジスタに値 0x800000 を書き込みます。これにより、OFFSET_n レジスタを確実にデフォルト値に設定できます。リファレンス電圧が 2V より

高い場合は、MISC レジスタの CAL_RANGE_X2 ビットを 1 にセットすると内部ゲイン・キャリブレーションの結果を向上できます。AD4130-8 は、工場出荷時に周囲温度およびゲイン 1 (PGA_BYP_n = 0) でキャリブレーションが行われています。その結果得られたゲイン係数がデフォルト値としてデバイスの GAIN_n レジスタにロードされています。デバイスは、ゲイン 1 (PGA_BYP_n = 0) での更なる内部ゲイン・キャリブレーションはサポートしていません。内部ゲイン・キャリブレーションには、そのチャンネルについて選択した設定の、最初の 4 つの変換が終了するのに相当する時間が必要です。

内部オフセット・キャリブレーション

内部オフセット・キャリブレーションの最中、選択した正のアナログ入力ピンが切断され、選択した負のアナログ入力ピンに内部で接続されます。このため、選択された負のアナログ入力ピンの電圧が許容限界値を超えず、過度なノイズや干渉が生じないようにする必要があります。内部キャリブレーションを実行する場合は、内部オフセット・キャリブレーションの前に内部ゲイン・キャリブレーションを実行する必要があります。内部オフセット・キャリブレーションには、そのチャンネルについて選択した設定の、最初の 4 つの変換が終了するのに相当する時間が必要です。

システム・オフセット・キャリブレーション

システム・オフセット・キャリブレーションでは、キャリブレーション・モードを有効化する前に、システムのゼロスケール電圧を ADC ピンに印加することが求められます。その結果、ADC の外部オフセット誤差が除去されます。システム・キャリブレーションを実行する場合は、システム・ゲイン・キャリブレーションの前にシステム・オフセット・キャリブレーションを実行する必要があります。システム・キャリブレーションを終了する前には、内部キャリブレーションを実行する必要があります。システム・オフセット・キャリブレーションには、そのチャンネルについて選択した設定の、最初の 4 つの変換が終了するのに相当する時間が必要です。

システム・ゲイン・キャリブレーション

システム・ゲイン・キャリブレーションでは、キャリブレーション・モードを有効化する前に、システムのフルスケール電圧を ADC ピンに印加することが求められています。その結果、ADC の外部ゲイン誤差が除去されます。システム・キャリブレーションを実行する場合は、システム・ゲイン・キャリブレーションの前にシステム・オフセット・キャリブレーションを実行する必要があります。システム・キャリブレーションを終了する前には、内部キャリブレーションを実行する必要があります。システム・ゲイン・キャリブレーションには、そのチャンネルについて選択した設定の、最初の 4 つの変換が終了するのに相当する時間が必要です。

システム・キャリブレーションのスパンとオフセットの限界値

システム・キャリブレーションを使用すると、外部回路のオフセット誤差やゲイン誤差を補償でき、また、デバイスの入力スパンとオフセットを調整できます。システム・キャリブレーションを実行する場合は、入力オフセットとスパンの実現可能な調整量は制限されます。

入力スパンは、フル・コードに対応する入力電圧とゼロ・コードに対応する入力電圧の差です。システム・キャリブレーションで実現可能な入力スパンの範囲の最小値は、0.8 × V_{REF}/ゲインで、最大値は 2.1 × V_{REF}/ゲインです。

ADC の設定と動作

入力スパンとオフセットの調整では、正のフル・コード電圧 ($1.05 \times V_{REF}/\text{ゲイン}$) および負のゼロ・コード電圧 ($-1.05 \times V_{REF}/\text{ゲイン}$) に関する限界値も考慮する必要があります。表 2 を参照してください。

このため、システム・オフセット（ゼロスケール）キャリブレーションとゲイン（フルスケール）キャリブレーションの限界値を決定する際は、調整後のオフセットと調整後の正の最大スパン範囲の合計が $1.05 \times V_{REF}/\text{ゲイン}$ を超えないようにする必要があります。

実現可能なオフセットとスパンの調整量は、設定がユニポーラかバイポーラかにもよります。いくつかの例を挙げて、わかりやすく説明します。

デバイスを必要なスパンが $0.8 \times V_{REF}/\text{ゲイン}$ のユニポーラ設定 ($A_{INP} \geq A_{INM}$) で使用した場合、システム・キャリブレーションで処理できるオフセット範囲は $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.25 \times V_{REF}/\text{ゲイン}$ です (図 83 参照)。

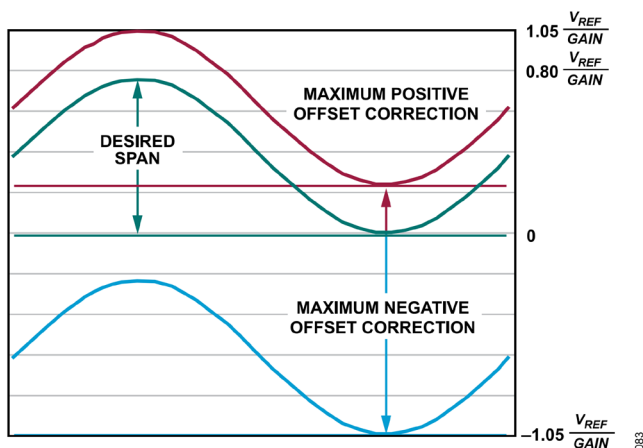


図 83. ユニポーラのスパンと
オフセット・キャリブレーションの限界値の例

デバイスを必要なスパンが $V_{REF}/\text{ゲイン}$ のユニポーラ設定で使用した場合、システム・キャリブレーションで処理できるオフセット範囲は $-1.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをユニポーラ設定で使用し、 $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを取り除く必要がある場合、システム・キャリブレーションが処理できるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ です。

デバイスを必要なスパンが $\pm 0.4 \times V_{REF}/\text{ゲイン}$ のバイポーラ設定で使用した場合、システム・キャリブレーションで処理できるオフセット範囲は $-0.65 \times V_{REF}/\text{ゲイン} \sim +0.65 \times V_{REF}/\text{ゲイン}$ です (図 84 参照)。

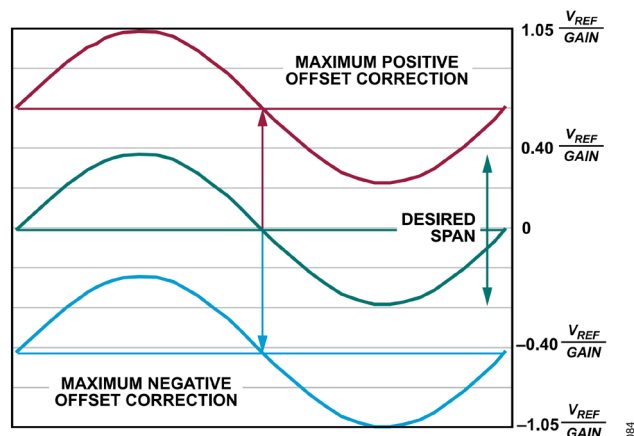


図 84. バイポーラのスパンと
オフセット・キャリブレーションの限界値の例

デバイスを必要なスパンが $\pm V_{REF}/\text{ゲイン}$ のバイポーラ設定で使用した場合、システム・キャリブレーションで処理できるオフセット範囲は $-0.05 \times V_{REF}/\text{ゲイン} \sim +0.05 \times V_{REF}/\text{ゲイン}$ です。同様に、デバイスをバイポーラ設定で使用し、 $\pm 0.2 \times V_{REF}/\text{ゲイン}$ のオフセットを取り除く必要がある場合、システム・キャリブレーションで処理できるスパン範囲は $\pm 0.85 \times V_{REF}/\text{ゲイン}$ です。

デジタル・フィルタ

AD4130-8 は、デジタル・フィルタ方式に関して優れた柔軟性を発揮します。このデバイスには、いくつかのフィルタ・オプションがあります。選択したオプションは、出力データ・レート、最初の変換時間、入力帯域幅、50Hz と 60Hz の除去に影響を与えます。各 FILTER_n レジスタの FILTER_MODE_n ビットは、表 56 に示すフィルタ・タイプの中から選択を行います。

選択したフィルタに応じて、特定の FS 値のみを使用できます。FS 値によって、ポスト・フィルタを除く全フィルタの出力データ・レートが決まります。選択したフィルタに対応する許容 FS 値のリストを表 56 に示します。詳細については、出力データ・レートのセクションを参照してください。

SINC³および SINC⁴ フィルタ

AD4130-8 のパワーアップ時には、デフォルトで sinc³ フィルタが選択されます。このフィルタは、フル・レンジの ODR 値、優れたノイズ性能、短い最初の変換時間を実現し、また、50Hz と 60Hz (±1Hz) の除去も行います。

sinc³ フィルタの代わりに sinc⁴ フィルタを使用することもできます。このフィルタで実現できる ODR は 240SPS~2.4kSPS のみです。そのため、50Hz や 60Hz の除去はそのままの形では行うことができません。しかし、変換時間がやや長くはなりますがノイズ性能は非常に優れています。

適切な FS を設定することで、sinc スタンドアロン・フィルタは、それぞれのノッチ周波数 ($f_{\text{NOTCH_STD}}$) で良好な除去を実現できます。sinc³ フィルタと sinc⁴ フィルタの最初のノッチは次の周波数になります。

$$f_{\text{NOTCH_STD}} = f_{\text{MCLK}} / (32 \times \text{FS}[10:0])$$

ここで、 f_{MCLK} は、マスタ・クロック周波数 (76.8kHz)、FS[10:0] は、FILTER_n レジスタの FS_n ビットの 10 進数表示です。

平均化フィルタ

平均化モードでは sinc³ または sinc⁴ フィルタの後で sinc¹ フィルタを使用します。sinc¹ フィルタは 8 回 (平均) の平均化を行います。

表 56. FILTER_MODE_n ビットとフィルタ・タイプ

FILTER_MODE_n	フィルタ・タイプ	FS 範囲 (16 進数)	ODR 範囲 (SPS)	コメント
0000	Sinc ⁴	0x01 to 0xA (Dec.: 1 to 10)	2400 to 240	非常に優れたノイズ性能、長い最初の変換時間、そのままの形での 50/60Hz 除去なし。FS > 0d10 の場合は強制的に FS = 0d10 に設定。
0001	Sinc ⁴ + sinc ¹	0x01 to 0xA (Dec.: 1 to 10)	218.18 to 21.8	Sinc ⁴ に加え 8 回の平均化フィルタ。最初の変換遅延なし。FS > 0d10 の場合は強制的に FS = 0d10 に設定。
0010 (Default)	Sinc ³	0x01 to 0xFF (Dec.: 1 to 2047)	2400 to 1.17	良好なノイズ性能、中程度の 50Hz/60Hz 除去、中程度の最初の変換時間。
0011	Sinc ³ + REJ60	0x01 to 0xFF (Dec.: 1 to 2047)	2400 to 1.17	FS = 0d48 とすると、50SPS の ODR で 50Hz と 60Hz の同時除去を実現。
0100	Sinc ³ + sinc ¹	0x01 to 0xFF (Dec.: 1 to 2047)	240 to 0.117	Sinc ³ に加え 8 回の平均化フィルタ。最初の変換遅延なし。FS は 0x01~0xCC の範囲に限定することを推奨 (最小 ODR = 1.17)。
0101	Sinc ³ + Post Filter 1	Not applicable	26.087	最初の変換遅延なし、良好な 50Hz および 60Hz 除去。FS の値は不適用。
0110	Sinc ³ + Post Filter 2	Not applicable	24	
0111	Sinc ³ + Post Filter 3	Not applicable	19.355	
1000	Sinc ³ + Post Filter 4	Not applicable	16.21	

ます。どちらのスタンドアロン・フィルタを平均化モードで使用しても、FILTER_n レジスタの FILTER_MODE_n ビットフィールドで sinc³ + sinc¹ または sinc⁴ + sinc¹ を選択できます。sinc¹ フィルタは追加のノッチを次の式から始まる周波数に配置します。

$$f_{\text{NOTCH_AVG}} = f_{\text{NOTCH_STD}} / \text{Avg}$$

ここで、 $f_{\text{NOTCH_STD}}$ は sinc³ または sinc⁴ のスタンドアロン・フィルタによる最初のノッチで、Avg = 8 です。

平均化モードでは、新たなチャンネルの最初の変換時間と同じチャンネルの後続の変換時間には、ほとんど差がありません。1 つのチャンネルで変換を行う場合、または同じフィルタを用いていくつかのチャンネルで変換を行う場合、変換時間はほぼ一定です。

ポスト・フィルタ

ポスト・フィルタを sinc³ フィルタの後段に配置すると、50Hz と 60Hz を同時に除去でき、最初の変換時間と除去とのトレードオフが可能となります。各ポスト・フィルタは、表 55 に示すように特定の ODR で動作し、50Hz と 60Hz の同時除去を実現します。これらのフィルタは、それぞれの FILTER_MODE_n ビットフィールドで選択できます。ポスト・フィルタを選択した場合、FS のビット [10:0] は ODR には影響しません。

表 55. ポスト・フィルタ：出力データ・レートおよび除去

Post Filter	ODR (SPS)	Rejection ¹
1	26.087	53 dB at 50 Hz, 58 dB at 60 Hz
2	24	70 dB at 50 Hz, 70 dB at 60 Hz
3	19.355	99 dB at 50 Hz, 103 dB at 60 Hz
4	16.21	103 dB at 50 Hz, 109 dB at 60 Hz

¹ 50Hz/60Hz 除去は、50Hz および 60Hz を中心に ±0.5Hz の帯域を持つ、周波数 76.8kHz の安定な f_{MCLK} で測定されています。

デジタル・フィルタ

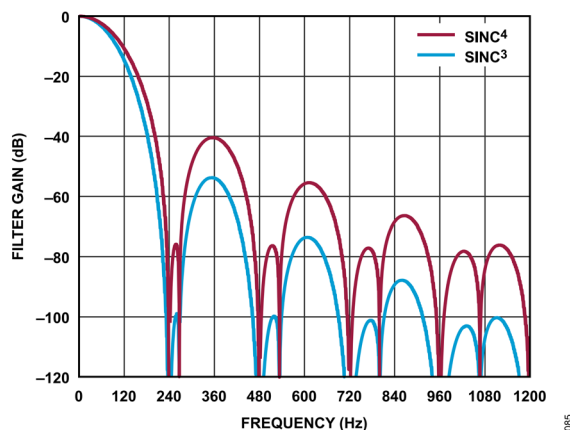


図 85. Sinc³ フィルタと Sinc⁴ フィルタの応答 (FS = 0d10)

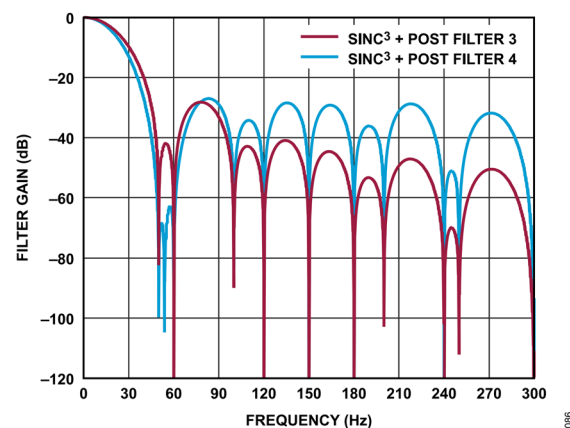


図 86. ポスト・フィルタ 1 およびポスト・フィルタ 2 の応答

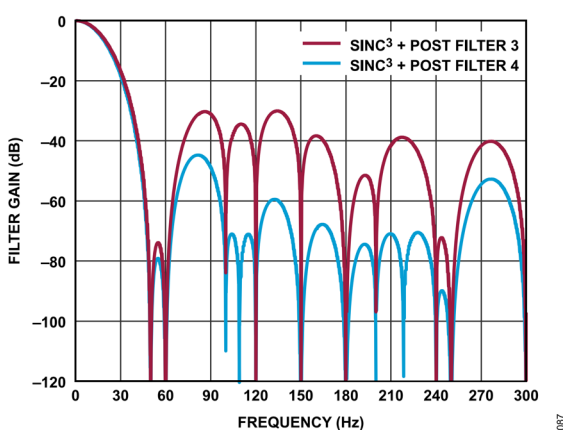


図 87. ポスト・フィルタ 3 およびポスト・フィルタ 4 の応答

出力データ・レート

ODR は、ADC で連続変換を実行しているときに 1 つのセトリングしたチャンネルで ADC 変換を収集できるレートです。ODR が

該当するのは、例えば、REPEAT_n 機能 (CONFIG_n レジスタ) を用いている場合、または 1 つのチャンネルのみをイネーブルした連続変換モードになっている場合です。ODR は、Hz を単位とした場合、 f_{ADC} ($f_{ADC} = 1\text{Hz}$ 、 $ODR = 1\text{SPS}$) と表されます。ここで、

$$f_{ADC} = 1/t_{CNV}$$

ここで、 t_{CNV} は、セトリングしたチャンネルでの変換時間です (新しいチャンネルで最初の変換が行われ、その後の変換も同じチャンネルで行われる場合、最初の変換後はそのチャンネルがセトリングしたとみなされます)。

t_{CNV} は、セトリングしたチャンネルでの後続のデータ・レディ信号がハイからローに遷移するまでの時間でもあります。

各変換に必要な DPP 時間は、セトリングしたチャンネルの t_{CNV} に既に含まれています。

表 57. セトリングしたチャンネルの変換時間と ODR

Filter Type	t_{CNV} (MCLK Cycles) ¹	ODR (SPS) ¹
Sinc⁴	$32 \times FS$	$2400/FS$
Sinc⁴ + sinc¹	$352 \times FS$	$218.18/FS$
Sinc³	$32 \times FS$	$2400/FS$
Sinc³ + REJ60	$32 \times FS$	$2400/FS$
Sinc³ + sinc¹	$320 \times FS$	$240/FS$
Sinc³ + Post Filter 1	2944	26.087
Sinc³ + Post Filter 2	3200	24
Sinc³ + Post Filter 3	3968	19.355
Sinc³ + Post Filter 4	4736	16.21

¹ FS は、FS のビット [10:0] のバイナリ値に相当する 10 進数です。

フィルタ帯域幅

3dB 帯域幅 (f_{3dB}) は、選択したフィルタのタイプとその設定値によって決まります。様々な FS 値の f_{3dB} の値のリストについては [ノイズおよび分解能](#) のセクションを参照してください。フィルタのタイプ別に許容される FS 値を [表 56](#) に示します。

シングル・チャンネルでのステップ変化

変換がシングル・チャンネルで行われ、ステップ変化が生じる場合、ADC はアナログ入力の変化を直接検出することはありませんが、[図 88](#) に示すように、設定された出力データ・レートで変換結果を出力し続けます。出力データがアナログ入力を正確に反映するまでに必要な変換数は、フィルタ・タイプによって異なります。

[表 58](#) に、同じチャンネルを変換する場合にステップ変化をセトリングさせるのに必要な最小変換数を示します。この数値は、ステップ変化が変換と同期している場合に該当します。ADC が変換を処理しているときにステップ変化が発生した場合、ADC はステップ変化後に変換を追加して完全にセトリングされた結果を生成します。

デジタル・フィルタ

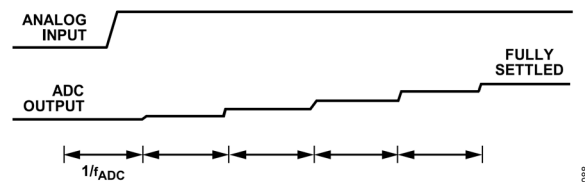


図 88. アナログ入力の非同期ステップ変化の ADC 出力に対する影響

表 58. 同じチャンネルの変換時にステップ変化をセトリングさせるのに必要な中間変換の数

Filter Type	Minimum	Maximum
Sinc ⁴	3	4
Sinc ³ and sinc ³ + REJ60	2	3
Sinc ⁴ + sinc ¹ and sinc ³ + sinc ¹	1	2
Sinc ³ + post filters	0	1

50Hz および 60Hz 除去

適切な FS を設定することで、スタンドアロン sinc フィルタは、それぞれのノッチ周波数 ($f_{\text{NOTCH_STD}}$) で良好な除去を実現できます。sinc⁴ フィルタの FS オプションは限定されており、そのままだでは 50Hz や 60Hz の除去はできません。

除去仕様のセクションを参照してください。

Sinc³ および Sinc³ + REJ60 除去

sinc³ では FS を 0d48 に設定すると、50Hz のノッチを実現できます。この場合の ODR は 50SPS です。

Sinc³ の 50Hz/60Hz 同時除去は、FS のビット [10:0] を 0d240 に設定することでも実現できます。ノッチは 10Hz と 10Hz の倍数で生じるため、50Hz と 60Hz の同時除去が可能になります。この場合の ODR は 10SPS です。表 59 および図 89 を参照してください。

表 59. Sinc³ フィルタの除去性能

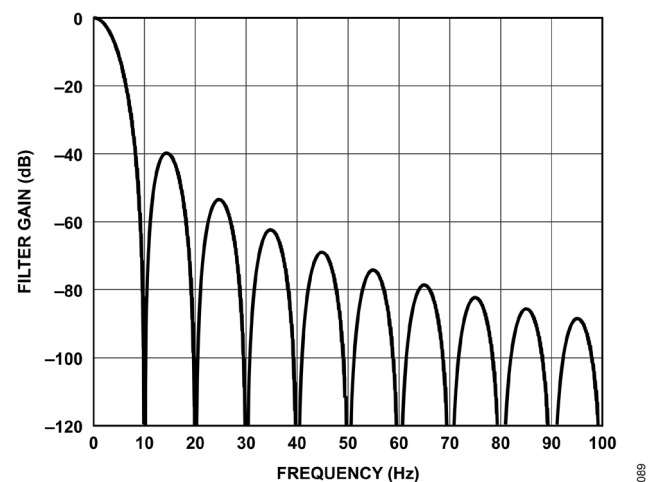
Filter Type	FS (Dec.)	ODR (SPS)	Rejection (dB) ¹
Sinc ³	240	10	100 (50 Hz and 60 Hz)
	48	50	95 (50 Hz only)
	40	60	98 (60 Hz only)
Sinc ³ + REJ60	48	50	80 (50 Hz)
			65 (60 Hz)

¹ 50Hz/60Hz 除去は、50Hz や 60Hz を中心に±1Hz の帯域を持つ、周波数 76.8kHz の安定な f_{MCLK} で測定されています。

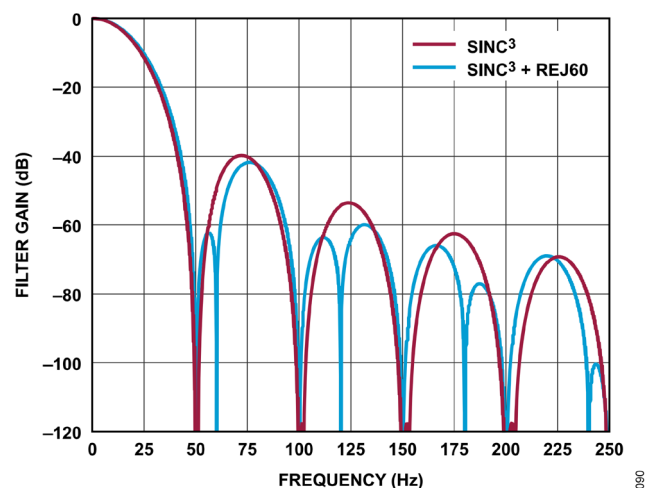
sinc³ フィルタには、FILTER_TYPE を sinc³ + REJ60 (0b0011) に設定することで、追加の除去を選択できます。sinc³ + REJ60 フィルタを選択すると、次式のとおりに、メインのノッチの 6/5 の周波数にノッチが追加されます。

$$f_{\text{NOTCH_REJ60}} = 6/5 \times f_{\text{NOTCH_STD}}$$

ここで、 $f_{\text{NOTCH_STD}}$ は sinc³ フィルタによる最初のノッチです。

図 89. Sinc³ の 50Hz と 60Hz の同時除去 (ODR = 10SPS)

ODR = 50SPS の場合に、sinc³ + REJ60 フィルタの FS 値を 0d48 に選択した場合、最初のメイン・ノッチは 50Hz で、最初の追加ノッチは 60Hz となります。この設定により、50Hz と 60Hz の同時除去が実現できます。図 90 に、この設定の場合の sinc³ フィルタの周波数応答を示します。

図 90. Sinc³ フィルタおよび Sinc³ + REJ60 フィルタの応答 (ODR = 50SPS)

デジタル・フィルタ

ポスト・フィルタ除去

ポスト・フィルタでは、50Hz と 60Hz の良好な同時除去が可能です。表 55 および除去仕様のセクションを参照してください。

平均化フィルタ除去

sinc^1 フィルタは追加のノッチを次の式の倍数の周波数に配置します。

$$f_{\text{NOTCH_AVG}} = f_{\text{NOTCH_STD}} / \text{Avg}$$

ここで、

$f_{\text{NOTCH_STD}}$ は、 sinc^3 フィルタまたは sinc^4 フィルタによる最初のノッチ、

Avg は平均化係数（平均 = 8）です。

そのため、 $\text{sinc}^4 + \text{sinc}^1$ 平均化フィルタまたは $\text{sinc}^3 + \text{sinc}^1$ 平均化フィルタで FS を 0d6 に設定して $f_{\text{NOTCH_STD}}$ を 400Hz とすると、 sinc^1 フィルタにより $f_{\text{NOTCH_AVG}}$ が 50Hz となります。これは、 $\text{sinc}^4 + \text{sinc}^1$ フィルタおよび $\text{sinc}^3 + \text{sinc}^1$ フィルタのどちらでも可能です。図 91 と表 60 を参照してください。

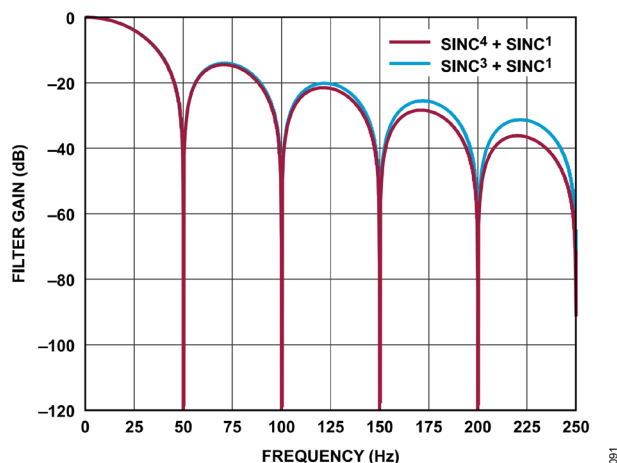


図 91. $\text{Sinc}^3 + \text{Sinc}^1$ フィルタおよび $\text{Sinc}^4 + \text{Sinc}^1$ フィルタの応答 (FS = 6)

表 60. 平均化フィルタの除去性能

Filter Type	FS (Dec.)	ODR (SPS)	Rejection (dB) ¹
$\text{Sinc}^3 + \text{sinc}^1$	6	40	40 (50 Hz only)
	5	48	42 (60 Hz only)
$\text{Sinc}^4 + \text{sinc}^1$	6	36.36	40 (50 Hz only)
	5	43.64	42 (60 Hz only)

¹ 50Hz/60Hz 除去は、50Hz や 60Hz を中心に $\pm 0.5\text{Hz}$ の帯域を持つ、周波数 76.8kHz の安定な f_{MCLK} で測定されています。

シーケンサ

複数のチャンネルがイネーブルされている場合、内蔵シーケンサが自動的に使用されます。このデバイスは、イネーブルにされたすべてのチャンネルを自動的にシーケンスします。繰り返し機能を用いて 1 つのチャンネルの変換が繰り返され、複数のチャンネルの変換が一回しか行われない、という状況が生じる可能性もあります。

新しいチャンネルの最初の変換

チャンネルの変更が行われると、変調器とフィルタはリセットされ、X-MUX は新しいチャンネルに切り替わる必要があります。また、新しいフィルタは最初の変換結果を生成する前にセトリングする必要があります。

特定のアプリケーションごとに、調整可能なフロントエンドのセトリング・タイム (FILTER_n レジスタの SETTLE_n ビット) によって、励起電流がセトリングするかセンサーがパワーアップするようにする必要があります。この時間は、X-MUX がセトリングできるよう、32MCLK 以上でなくてはなりません。更に、

- ▶ sinc^4 フィルタは、最初の変換結果を出力するために、 t_{CNV} の 4 倍の時間と FS 値による一定の処理時間を要します。
- ▶ sinc^3 フィルタおよび $\text{sinc}^3 + \text{REJ60}$ フィルタは、最初の変換結果を出力するために、 t_{CNV} の 3 倍の時間と FS 値による一定の処理時間を要します。
- ▶ 平均値フィルタおよびポスト・フィルタは、最初の変換結果を出力するために、 t_{CNV} と同じ時間と FS 値による一定の処理時間を要します。これらのフィルタは、後続の変換に比べ最初の変換では遅延がありますが、この遅延はスタンダローン・フィルタに比べると最小限に抑えられています。

同じチャンネルでの後続の変換は $t_{\text{CNV}} = 1/f_{\text{ADC}}$ で行われ、処理時間はこれに含まれています。新しいチャンネルでの最初のデータ・レディ・イベントは、同じチャンネルの後続のデータ・レディ・イベントに比べ、必ず遅延があります。

事前に定めたフロントエンド・セトリング・タイム (t_{SETTLE})、理想的な最初の変換時間、処理時間が合わさって、最初の変換時間が決まります。

$$t_{1\text{st_CNV}} = t_{\text{SETTLE}} + t_{1\text{st_CNV_IDEAL}} + \text{DPP Time}$$

ここで、

$t_{1\text{st_CNV}}$ は、新しいチャンネルの最初の変換時間、

t_{SETTLE} は、表 61 に示す SETTLE_n ビットの選択によって決まる、新しいチャンネルの最初の変換前のフロントエンド・セトリング・タイム、

$t_{1\text{st_CNV_IDEAL}}$ は、新しいチャンネルの理想的な変換時間です。スタンダローン・フィルタの場合、最初の変換時間は、表 62 に示すように、セトリングした変換時間とは異なります。

DPP Time は、MCLK サイクルを単位とするデジタル後処理時間で、一定値をとるポスト・フィルタを除き、表 63 に示すように、フィルタ・タイプと FS によって決まります。

表 61. プログラマブルな t_{SETTLE} 値

SETTLE_n	MCLK Cycles Before First Conversion Starts	t_{SETTLE}
0b000 (Default)	32	416.6 μs
0b001	64	833.3 μs
0b010	128	1.66 ms
0b011	256	3.33 ms
0b100	512	6.66 ms
0b101	1024	13.33 ms
0b110	2048	26.66 ms
0b111	4096	53.33 ms

デジタル・フィルタ

表 62. 変換時間および最初の変換時間 (MCLK サイクル)

Filter Type ¹	t _{CNV} (MCLK Cycles)	t _{1st_CNV_IDEAL} (MCLK Cycles)
Sinc ⁴	32 × FS	4 × t _{CNV}
Sinc ⁴ + sinc ¹	352 × FS	t _{CNV}
Sinc ³	32 × FS	3 × t _{CNV}
Sinc ³ + REJ60	32 × FS	3 × t _{CNV}
Sinc ³ + sinc ¹	320 × FS	t _{CNV}
Sinc ³ + Post Filter 1	2944	t _{CNV}
Sinc ³ + Post Filter 2	3200	t _{CNV}
Sinc ³ + Post Filter 3	3968	t _{CNV}
Sinc ³ + Post Filter 4	4736	t _{CNV}

¹ FS は、FS のビット [10:0] のバイナリ値に相当する 10 進数です。

表 63. DPP Time (MCLK サイクル)

Filter Type	FS ¹ = 1 (or FS = 0)	FS > 1
Sinc ⁴	28 (364.6 μs)	62
Sinc ⁴ + sinc ¹	62 (807.3 μs)	62
Sinc ³	28	62
Sinc ³ + REJ60	28	62
Sinc ³ + sinc ¹	62	62
Sinc ³ + Post Filters	69 (898.4 μs)	69

¹ FS は、FS のビット [10:0] のバイナリ値に相当する 10 進数です。

シーケンスのタイミング

シーケンスにおいては、チャンネルが異なると設定も異なります。チャンネルの切り替えが生じるのは実際の変換が完了した

表 64. フィルタごとの最初の変換時間とセトリングしたチャンネルの変換時間¹

Filter type	t _{1st_CNV}	t _{CNV}
Sinc ⁴	t _{SETTLE} + (4 × 32 × FS + DPP Time)/f _{MCLK}	(32 × FS)/f _{MCLK}
Sinc ⁴ + sinc ¹	t _{SETTLE} + ((4 + Avg - 1) × 32 × FS + DPP Time)/f _{MCLK}	((4 + Avg - 1) × 32 × FS)/f _{MCLK}
Sinc ³ and sinc ³ + REJ60	t _{SETTLE} + (3 × 32 × FS + DPP Time)/f _{MCLK}	(32 × FS)/f _{MCLK}
Sinc ³ + sinc ¹	t _{SETTLE} + ((3 + Avg - 1) × 32 × FS + DPP Time)/f _{MCLK}	((3 + Avg - 1) × 32 × FS)/f _{MCLK}
Sinc ³ + Post Filter 1	t _{SETTLE} + 38.33 ms + DPP Time/f _{MCLK}	38.33 ms
Sinc ³ + Post Filter 2	t _{SETTLE} + 41.67 ms + DPP Time/f _{MCLK}	41.67 ms
Sinc ³ + Post Filter 3	t _{SETTLE} + 51.67 ms + DPP Time/f _{MCLK}	51.67 ms
Sinc ³ + Post Filter 4	t _{SETTLE} + 61.67 ms + DPP Time/f _{MCLK}	61.67 ms

¹ t_{SETTLE} は SETTLE_n ビットの選択に応じた新しいチャンネルのフロントエンド・セトリング・タイム。f_{MCLK} はマスタ・クロック周波数 (76.8kHz)。Avg = 8。FS は、フィルタ・レジスタの FS (ビット [10:0]) に相当する 10 進値。DPP Time は MCLK サイクルを単位とするデジタル後処理時間。

後 (図 94) ですが、データ・レディ信号のハイからローへの遷移は常に、変換されたデータの後処理を行うのに必要な追加 DPP 時間の後になります。実際には、新しいチャンネルの t_{SETTLE} とその前のチャンネルの DPP 時間には重なりがあります。そのため、現行チャンネルの変換時間 (2 つのデータ・レディ信号のハイからローへの遷移の間の時間) は、そのチャンネルの t_{1st_CNV} からその前のチャンネルの DPP 時間を差し引いたものとして計算できます (図 94 参照)。

特別な場合 (図 93 参照) が生じるのは、シーケンスの全チャンネルが同じ ADC セットアップ n (特に、FILTER_n レジスタの SETTLE_n、FILTER_MODE_n、FS_n の各ビットフィールド) を共有し、チャンネルあたり 1 つのサンプルのみが収集されてから次のチャンネルに切り替わる (FILTER_n レジスタの REPEAT_n が 0 にセット) という場合です。この場合、最初の変換後、同じ変換出力データ・レート (1CNV_ODR) が 1/t_{1CNV} で決まる固定値にセトリングします。ここで、

$$t_{1CNV} = t_{SETTLE} + t_{1st_CNV_IDEAL}$$

この設定では、連続変換モードが有効化されている場合、シーケンスの同じ設定を共有してイネーブルされたチャンネルの数で 1CNV_ODR を除算することで、チャンネルあたりのサンプル・レートを計算できます。

なお、その場合でも、フィルタの特性は FILTER_MODE_n ビットフィールドおよび FS_n ビットフィールドで決まります。そのため、フィルタのプロファイルと除去性能は、1CNV_ODR やチャンネルあたりのサンプル・レート値で変わることはありません。

デジタル・フィルタ

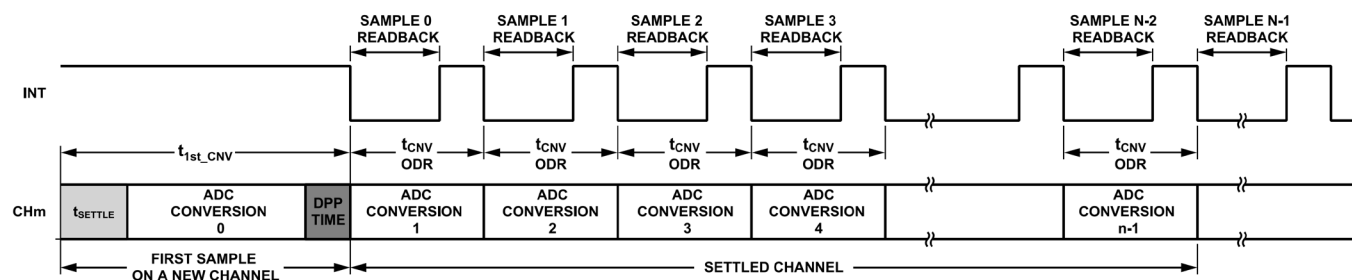


図 92. 同一チャンネルでの繰り返し変換の例

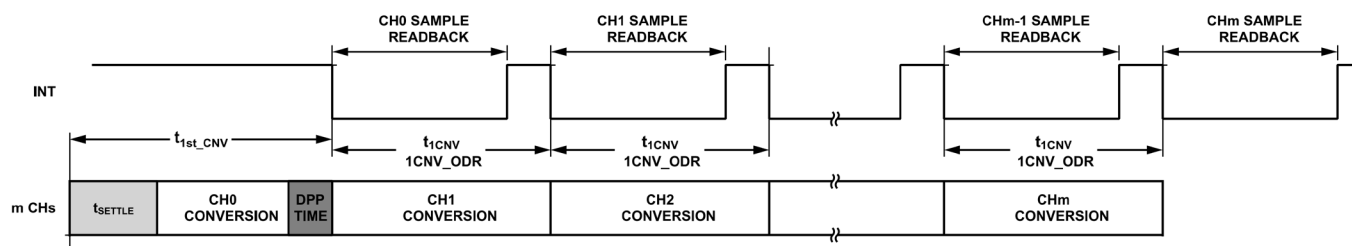


図 93. 設定が同じで繰り返し変換がない場合の複数チャンネルに対する標準的なシーケンスの例

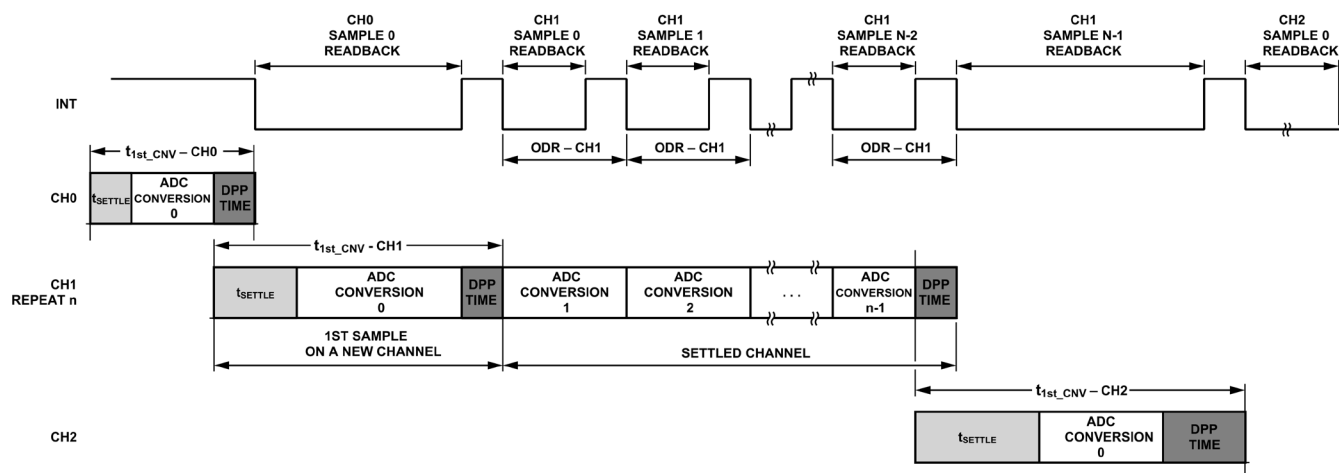


図 94. スマート・シーケンスの例

デジタル・フィルタ

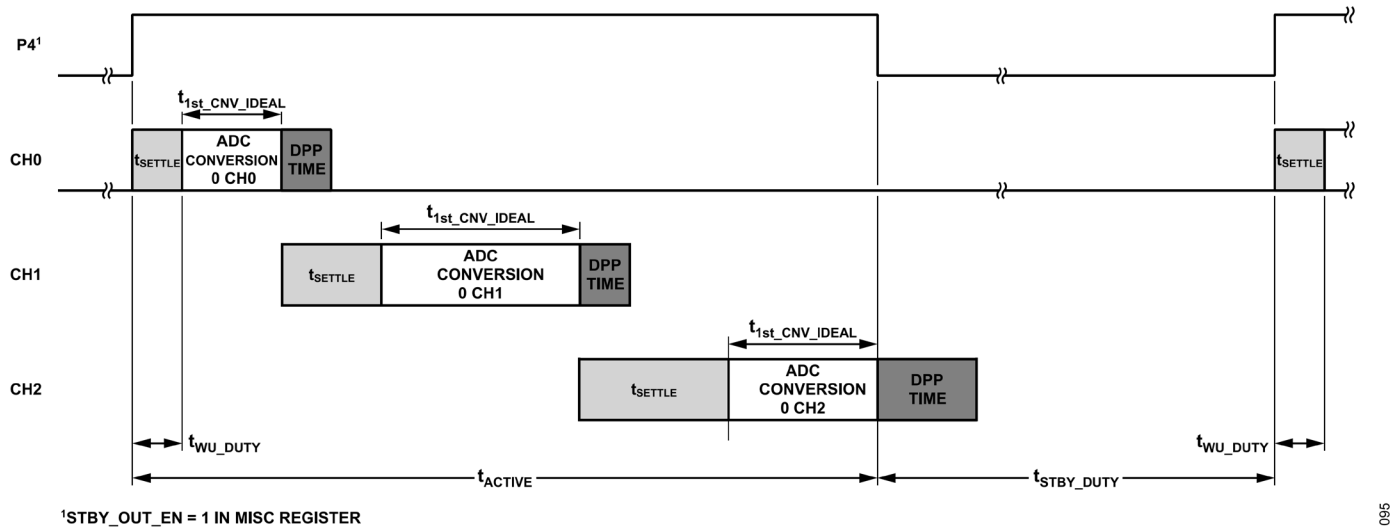


図 95. 自動デューティ・サイクル・モードの例

デューティ・サイクル・モードのタイミング

AD4130-8 の自動デューティ・サイクル・モードでは、シーケンスの変換時間と DUTY_CYC_RATIO ビットフィールドの設定を使用してスタンバイ時間を計算します。

実効的なアクティブ時間は、シーケンスでイネーブルされたチャンネルと選択した設定により、次のように決まります。

$$t_{ACTIVE} = \sum_{n=0}^n (t_{SETTLEn} + t_{1st_CNV_IDEAL})$$

ここで、
 t_{ACTIVE} は、デューティ・サイクル時の実効的なアクティブ時間、
 n は、イネーブルされたチャンネルの数、
 t_{SETTLE} は、表 61 に示す SETTLE n ビットの選択によって決まる、新しいチャンネルの最初の変換前のフロントエンド・セトリング・タイム、
 $t_{1st_CNV_IDEAL}$ は、新しいチャンネルの理想的な変換時間です。スタンドアロン・フィルタの場合、最初の変換時間は、表 62 に示すように、セトリングした変換時間とは異なります。図 95 を参照してください。

DPP 時間は、デューティ・サイクル・モードの実効的なアクティブ時間には影響しません。これは、最後にイネーブルされたチャンネルに関連する DPP 時間にも当てはまります。デューティ・サイクルのウェイクアップ時間 (t_{WU_DUTY}) は、アクティブ時間には影響せず、図 95 に示すように、アクティブ・シーケンスの最初の t_{SETTLE} とオーバーラップするものとして表現できます。

自動デューティ・サイクル・モード時のスタンバイ時間は、図 95 の P4 ピンのロー時間に対応し、デバイスでは次式で計算されます。

$$t_{STBY_DUTY} = \left(\text{Standby Ratio} \times \sum_{n=0}^n t_{1st_CNV_IDEALn} \right) - t_{WU_DUTY}$$

ここで、

t_{STBY_DUTY} は、自動デューティ・サイクル・モードがイネーブルされている場合に、デバイスがスタンバイ・モードになっている時間、

Standby Ratio は、ADC_CONTROL レジスタの DUTY_CYC_RATIO ビットに応じて、1/4 デューティ・サイクルの場合は 3、1/16 デューティ・サイクルの場合は 15、 n は、イネーブルされたチャンネルの数、

$t_{1st_CNV_IDEAL}$ は、新しいチャンネルの理想的な変換時間です。スタンドアロン・フィルタの場合、最初の変換時間は、表 62 に示すように、セトリングした変換時間とは異なります。

t_{WU_DUTY} は、デューティ・サイクルのウェイクアップ時間 (表 9 参照) です。

スタンバイ・モード終了時の時間調整

デフォルトでは、内部発振器はスタンバイ・モードではパワーダウンし、スタンバイ・モードが終了すると再イネーブルされます。内部発振器がウェイクアップして適切な周波数に安定化するには、図 96 に示すように (表 7 も参照)、ある程度の時間を要します。 t_{SETTLE} を使用すると、信号のアクイジションが始まる前に入力信号がセトリングするための許容時間を調整できます。

内部発振器がスタンバイ・モードでも動作を続ける場合は、スタンバイ・モードのウェイクアップ時間は表 9 の t_{WU_STBY} に対応します。

デューティ・サイクル・モードを選択した場合、内部発振器はデフォルトで動作状態のままとなります。

デジタル・フィルタ

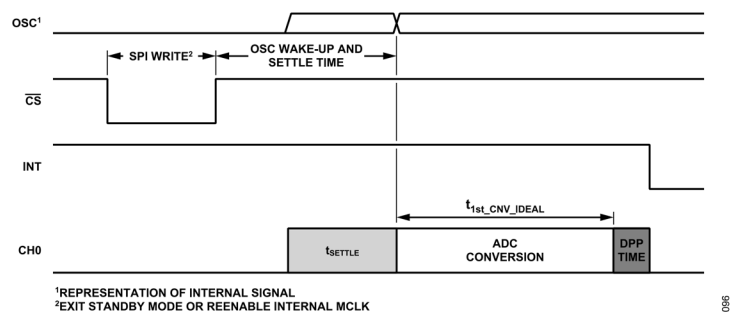


図 96. スタンバイ・モード終了時のタイミング図

診断機能

AD4130-8 には、数多くの診断機能が内蔵されています。これらの機能を使用すると、特に次の事項を確実にものにできます。

- ▶ 読出し／書込み動作が有効なレジスタに対してのみ行われる
- ▶ 有効なデータのみが内蔵レジスタに書き込まれる
- ▶ 外部リファレンスが存在する（使用する場合）
- ▶ ADC 変調器とフィルタが仕様範囲内で動作している

シグナル・チェーンのチェック

リファレンス電圧や電源電圧などの機能を ADC への入力として選択できます。このため、AD4130-8 は、デバイスに接続された電圧をチェックできます。AD4130-8 は、CHANNEL_m レジスタの V_MV_P ~ V_MV_M オプションを選択することで、チャンネルに内部入力することが可能な約 10mV の内部信号も生成します。この機能を使用すれば、PGA をチェックできます。例えば、PGA の設定が増加するに従って、アナログ入力範囲の割合を表す信号が半減します。これにより、PGA が正常に機能していることをチェックできます。

リファレンス検出

AD4130-8 は、外部リファレンスをリファレンス源として選択した場合に、変換またはキャリブレーション用の有効なリファレンスが存在するかどうかを検出する回路（図 97 の簡略回路図を参照）を内蔵しています。この機能は、リファレンスを外部から得る RTD や歪みゲージなどのアプリケーションに有用です。

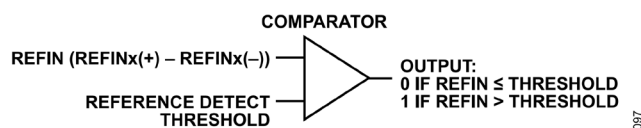


図 97. リファレンス検出回路

リファレンス検出閾値は、表 5 に示すとおりです。この機能は、ERROR_EN レジスタの REF_DETECT_ERR_EN ビットを 1 にセットするとイネーブルになります。選択した REFINx(+)ピンと REFINx(-)ピン間の電圧が表 5 の閾値を下回るか、REFINx(+)入力または REFINx(-)入力がオープン・サーキットになっている場合、AD4130-8 は有効なリファレンスが存在しないことを検出します。この場合、エラー・レジスタの REF_DETECT_ERR ビットが 1 にセットされます。ステータス・レジスタの MASTER_ERR ビットも 1 にセットされます（表 46 参照）。

キャリブレーションを実行するたびに有効なリファレンスが存在していることを確認するには、キャリブレーション・サイクルの終わりに REF_DETECT_ERR ビットのステータスをチェックします。

デバイスがスタンバイ・モードを終了すると、リファレンス検出フラグがセットされます。このため、スタンバイ・モードの終了後にエラー・レジスタを読み出して、REF_DETECT_ERR ビットがセットされている場合は 1 を書き込んでクリアしてください。

ADC のエラー

AD4130-8 では、ADC の変換プロセスとキャリブレーション・プロセスを監視することもできます。これらの診断は、変換中またはキャリブレーション中に使用するアナログ入力だけでなく、

変調器やデジタル・フィルタもチェックします。この機能は、ERROR_EN レジスタの ADC_ERR_EN ビットを使用してイネーブルできます。これらの機能がイネーブルされている場合、エラーが発生すると ADC_ERR ビットが 1 にセットされます。

ADC_ERR フラグは、以下の少なくとも 1 つが生じた場合にセットされます。

- ▶ デジタル・フィルタでオーバーフローまたはアンダーフローが発生する、変換エラー。この場合、ADC の変換もすべて 0 またはすべて 1 にクランプされます。
- ▶ 変調器の出力が 20 回連続 1 または 0 になる、変調器飽和エラー。
- ▶ オフセット・キャリブレーションの結果オフセット係数が 0x07FFFF ~ 0xF7FFFF の範囲から外れる、キャリブレーション・エラー。この場合、OFFSET_n レジスタは更新されず、ADC_ERR フラグが 1 にセットされます。また、ゲイン・キャリブレーション時にもデジタル・フィルタのオーバーフローがチェックされます。オーバーフローが発生した場合、エラー・フラグが 1 にセットされ、GAIN_n レジスタは更新されません。

ADC_ERR フラグは、データ・レジスタの更新に伴って更新され、1 を書き込むことによってのみ、クリアできます。

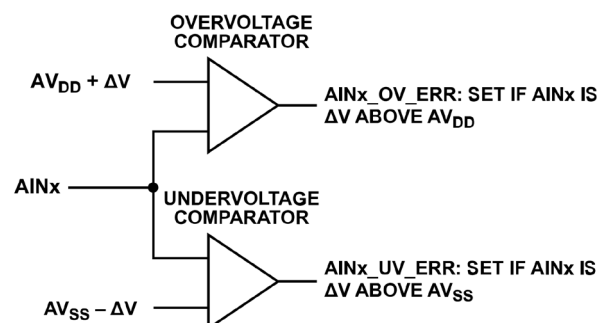
過電圧／低電圧の検出

過電圧／低電圧モニタは、AINx アナログ入力ピンと REFINx 入力ピンの絶対電圧をチェックします。

AINx ピンの場合、データシートの仕様を満たすには、絶対電圧が仕様範囲に収まっている必要があります。データシートの限界値を超えて ADC を動作させると、直線性が低下します。図 98 に過電圧と低電圧を検知する AINx 回路の簡略化したブロック図を示します。

正 (AINP) と負 (AINM) のアナログ入力は、過電圧と低電圧に対し別々にチェックできます。ERROR_EN レジスタの AINP_OV_UV_ERR_EN ビットで AINP の、AINM_OV_UV_ERR_EN ビットで AINM の、過電圧／低電圧の診断を実行できます。AINx の電圧が AV_{DD} を上回った場合に過電圧の、AINx の電圧が AV_{SS} を下回った場合に低電圧のフラグが立ちます。

エラー・フラグはエラー・レジスタの AINP_OV_UV_ERR ビットと AINM_OV_UV_ERR ビットで、これらはそれぞれ AINP と AINM の過電圧や低電圧のフラグを立てます。



NOTE: AINx IS AINP OR AINM

図 98. アナログ入力過電圧／低電圧モニタ

診断機能

ΔV 閾値は、表 5 に示すとおりです。

ERROR_EN レジスタの REF_OV_UV_ERR_EN ビットを有効化して、外部リファレンス電圧についても過電圧／低電圧をモニタできます。REFINx(+)の電圧が AV_{DD} を上回った場合に過電圧の、REFINx(-)の電圧が AV_{SS} を下回った場合に低電圧のフラグが立ちます。エラー・レジスタのエラー・フラグ REF_OV_UV_ERR は、2つの状態のいずれかの場合に 1 にセットされます。

この機能を有効化すると、対応するフラグがエラー・レジスタ内でセットされます。これらのビットは R/W1C です。

電源モニタ

ADC は、外部電圧の変換の他に、AV_{DD} ピンと IOV_{DD} ピンの電圧をモニタできます。AV_{DD} から AV_{SS} または IOV_{DD} から DGND への入力を選択すると、電圧 (AV_{DD} から AV_{SS} または IOV_{DD} から DGND) は内部で 1/6 に減衰され、ここで得られた電圧が Σ-Δ 変調器に入力されます。この機能は、電源電圧の変動をモニタする場合に便利です。

マスタ・クロック・カウンタ

出力データ・レート、フィルタの最初の変換時間、フィルタ・ノッチ周波数はマスタ・クロックに依存しているため、ADC の安定な MCLK は重要です。AD4130-8 では、マスタ・クロックをモニタできます。ERROR_EN レジスタの MCLK_CNT_EN ビットをセットすると、MCLK_COUNT レジスタが 131 マスタ・クロック・サイクルごとに 1 つインクリメントされます。このレジスタは一定期間にわたりモニタできます。マスタ・クロック周波数は、MCLK_COUNT レジスタの結果から判断できます。MCLK_COUNT レジスタは、最大値に到達した後にラップ・アラウンドします。

SPI 診断

SPI クロック・カウンタ

SPI SCLK カウンタは、各読出し／書き込み動作で使用される SCLK パルスの数をカウントします。この機能を使用する場合、CS はすべての読出し／書き込み動作をフレームする必要があります。すべての読出し／書き込み動作は、8SCLK パルスの整数倍です。SCLK カウンタが SCLK パルスをカウントして、結果が 8 の整数倍でない場合はエラーがフラグされます。この場合、エラー・レジスタの SPI_SCLK_CNT_ERR ビットが 1 にセットされます。書き込み動作が実行され、SCLK に含まれる SCLK パルスの数が不十分な場合、この値はアドレス指定されたレジスタには書き込まれず、書き込み動作はアボートされます。

SCLK カウントは、ERROR_EN レジスタの SPI_SCLK_CNT_ERR_EN ビットをセットすることでイネーブルになります。

SPI 読出し／書き込みエラー

AD4130-8 では、SCLK カウンタと一緒に読出し／書き込み動作をチェックして、有効なレジスタがアドレス指定されたかどうかを確認することもできます。

ERROR_EN レジスタの SPI_READ_ERR_EN ビットが 1 にセットされている場合、表 71 に記載されていないアドレスのレジスタを読み出そうとすると、SPI_READ_ERR ビットが 1 にセットさ

れ、そのレジスタのリードバック・データはすべて 0 になります。

ERROR_EN レジスタの SPI_WRITE_ERR_EN ビットが 1 にセットされている場合、読出し専用レジスタおよび表 71 に記載されていないアドレスのレジスタに書き込みを行おうとすると、SPI_WRITE_ERR ビットが 1 にセットされ、書き込みトランザクションはアボートされます。

この機能は、SCLK カウンタと CRC 保護と共に、シリアル・インターフェースの信頼性を向上させます。無効なレジスタに対して読出し／書き込みは行われません。SCLK パルスの数が正しくない場合、シリアル・インターフェースが非同期になり、間違ったレジスタにアクセスするようになります。AD4130-8 は、診断機能によってこれらの問題を防止します。

SPI 無視エラー

特定の期間、内蔵レジスタにアクセスできなくなる場合があります。パワーアップ時、内蔵レジスタがデフォルト値に設定されている場合、SPI 経由ではそれらのレジスタにはアクセスできません。ユーザはこの動作が完了するまで t_{RESET_DELAY} の時間待ってから、レジスタに書き込む必要があります。オフセット・キャリブレーションまたはゲイン・キャリブレーションの実行中は、レジスタにアクセスできません。シングル・シーケンス・モードの場合、変換時と最後の変換が終了する前は、レジスタにはアクセスできません。

エラー・レジスタの SPI_IGNORE_ERR ビットは、内蔵レジスタに書き込みできない場合にエラーを通知します。この診断機能はデフォルトでイネーブルになっています。この機能は、ERROR_EN レジスタの SPI_IGNORE_ERR_EN ビットを使用してディセーブルにできます。

エラー・レジスタの SPI_IGNORE_ERR が 1 にセットされている場合に実行されるすべての書き込み動作は、無視されます。このビットは R/W1C です。

CRC 保護

AD4130-8 ではオプションの CRC 機能を備えており、インターフェース・トランザクション、メモリ・マップの内容、読出し専用メモリ (ROM) の内容のエラーを検知できます。

CRC の計算

AD4130-8 は次の多項式からなる CRC-8 の手法を用います。

$$x^8 + x^2 + x + 1$$

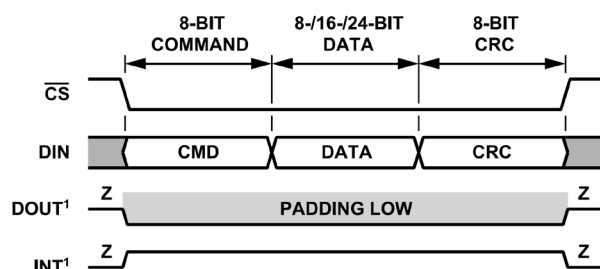
チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。新規かつ短い数値を作るため、排他的論理和 (XOR) 関数をデータに適応します。再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。これが 8 ビットのチェックサムになります。

診断機能

SPI CRC 保護

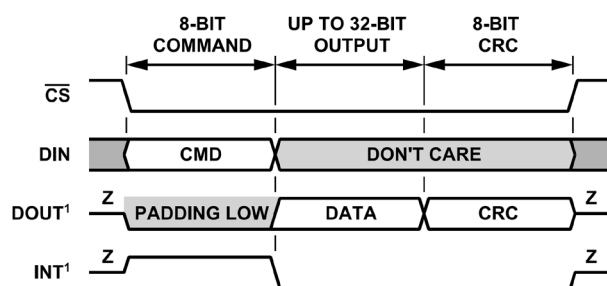
AD4130-8 には、インターフェースの信頼性を向上するために使用できる CRC モードがあります。CRC を使用すると、レジスタには有効なデータのみが書き込まれ、検証済みのレジスタからのデータ読出しが可能になります。レジスタへの書き込み時にエラーが発生した場合、エラー・レジスタの CRC_ERR ビットが 1 にセットされ、書き込みトランザクションはアボートされます。レジスタへの書き込みが正常に行われたかどうかを確認するためには、レジスタ・データのリードバックを行い、チェックサムの確認を行ってください。ERROR_EN レジスタの CRC_ERR_EN ビットを使用して、SPI CRC をイネーブルまたはディスエーブルできます。

SPI チェックサムは、読出しと書き込みの各トランザクションの最後に付加されます。書き込みトランザクションでは、チェックサムは、8 ビットコマンド・ワードと 8~24 ビットのデータを使って計算されます。読出しトランザクションでは、チェックサムは、8 ビットコマンド・ワードと 8~32 ビットのデータ出力を使って計算されます。CRC をイネーブルした場合の、SPI 書き込みトランザクションを図 99 に、SPI 読出しトランザクションを図 100 に示します。



¹INT_PIN_SEL = 0b00 (DEFAULT)

図 99. CRC 付き SPI 書き込みトランザクション



¹INT_PIN_SEL = 0b00 (DEFAULT)

図 100. CRC 付き SPI 読出しトランザクション

連続読出しモードがアクティブのときに SPI CRC がイネーブルになっている場合、チェックサム値を計算する際に考慮する必要がある暗黙的なデータ読出しコマンド 0x42 がすべてのデータ送信の前に実行されます。これにより、ADC データが 0x000000 であっても、チェックサム値はゼロになりません。

FIFO データの CRC のセクションを参照してください。

メモリ・マップの CRC 保護

信頼性を向上するため、内蔵レジスタでも CRC の計算が実行されます。ステータス・レジスタ、データ・レジスタ、ID レジスタ、エラー・レジスタ、MCLK_COUNT レジスタ、FIFO_STATUS レジスタ、FIFO_DATA レジスタは、このチェックには含まれません。内容が常に変化するレジスタであるか、読出し専用レジスタであるためです。CRC は、1/300 秒ごとに実行されます。メモリ・マップにアクセスするたびに、CRC が再計算されます。CRC の再計算が実行されるイベントは次のとおりです。

- ▶ ユーザ書き込みコマンド
- ▶ オフセット/フルスケール・キャリブレーション
- ▶ デバイスがシングル・シーケンス・モードで動作していて、変換の完了後に ADC がスタンバイ・モードになったとき
- ▶ 既存の連続読出しモードを終了したとき (ADC_CONTROL レジスタの CONT_READ ビットを 0 にセット)

メモリ・マップ CRC 機能は、ERROR_EN レジスタの MM_CRC_ERR_EN ビットを 1 にセットしてイネーブルにします。エラーが発生した場合、エラー・レジスタの MM_CRC_ERR ビットが 1 にセットされます。

ROM CRC 保護

パワーアップ時、すべてのレジスタはデフォルト値に設定されます。これらのデフォルト値は ROM に保存されています。信頼性を向上するため、パワーアップ時に、内蔵 ROM 内容について CRC の計算が実行されます。

ROM CRC 機能は、ERROR_EN レジスタの ROM_CRC_ERR_EN ビットを 1 にセットしてイネーブルにします。エラーが発生した場合、エラー・レジスタの ROM_CRC_ERR ビットが 1 にセットされます。

この機能が有効化されている場合、内蔵マスタ・クロック（イネーブルされている場合）は、スタンバイ・モード時にもアクティブ状態を維持します。

FIFO 診断

パワーアップ時、FIFO はディスエーブルされています。イネーブルすると、FIFO_STATUS レジスタ（表 69 参照）や FIFO_HEADER を使用して、FIFO のステータスを追跡し、読書き動作時のいくつかのエラー、閾値およびウォーターマークに達したこと、オーバーランおよび空のフラグなどがあった場合に、フラグを立てることができます。詳細については、FIFO のセクションを参照してください。

バーンアウト電流

AD4130-8 には、0.5μA、2μA、または 4μA にプログラム可能な 2 つの定電流ジェネレータが内蔵されています。図 101 に示すように、一方のジェネレータは、AV_{DD} から AINP に電流を供給し、もう一方は AINM から AV_{SS} に電流をシンクします。これらの電流により、断線検出器機能を有効化してセンサーが接続されているかどうかをチェックできます。

診断機能

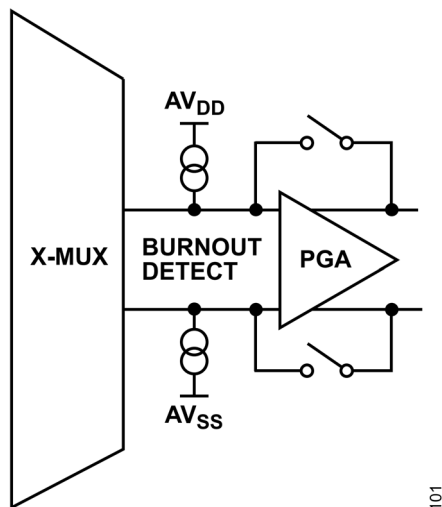


図 101. バーンアウト電流

これらの電流は、選択したアナログ入力ペアに切り替えられます。両方の電流がオンまたはオフになります。設定レジスタのバーンアウト・ビットにより、バーンアウト電流のイネーブル/ディスエーブルと一緒に振幅が設定されます。チャンネルで計測を行う前に、これらの電流を使用して外部トランスデューサが動作可能であることを確認します。バーンアウト電流がオンになると、外部トランスデューサ回路にバーンアウト電流が流れ、アナログ入力チャンネルの入力電圧を計測できるようになります。

計測した電圧がほぼフルスケールの場合は、その理由を確認する必要があります。計測値がほぼフルスケールに近い場合、フロントエンド・センサーがオープン・サーキットになっている可能性があります。また、フロントエンド・センサーに過負荷がかかり、フルスケールで出力されたか、またはリファレンスが存在しないために REF_DETECT_ERR ビットがセットされ、データがすべて 1 にクランプされた可能性もあります。変換値がフルスケールに近い場合は、判断を下す前にこれら 3 つの項目をチェックする必要があります。

計測された電圧が 0V の場合は、変換器の短絡が考えられます。

通常の動作では、バーンアウト・ビットを 0 にセットしてこれらのバーンアウト電流をオフにします。電流源はバッファをオンにして、通常の絶対入力電圧の仕様範囲内で動作します。

温度センサー

AD4130-8 は、デバイスが動作しているときのダイ温度をモニタするために使用できる、温度センサーを内蔵しています。これは、デバイスの診断目的に使うことができます。あるいは、アプリケーション回路が動作温度の変化を考慮してキャリブレーション・ルーチンを再実行するための指標として用いることもできます。

温度センサーは、内部チャンネルのように X-MUX を介してアクセスでき、各 CHANNEL_m レジスタの AINP (ビット [4:0]) および AINM (ビット [4:0]) を用いて選択できます。

温度センサーの式は次のとおりです。

$$\text{Temperature (}^{\circ}\text{C)} = (\text{Conversion (}\mu\text{V)} / \text{Sensitivity (}\mu\text{V/K)}) - 273.15$$

ここで、

Conversion (μV) は、表 43 の式を用いてボルトに変換された温度センサーの変換結果、

Sensitivity ($\text{V}/^{\circ}\text{C}$) は温度センサーの感度です。公称感度を表 5 に示します。

温度センサーの精度を向上するには、既知の温度 (25°C) でデバイスを動作させ、変換結果を基準点としてとります。公称感度とデバイスについて測定した感度の差を用いて温度センサーをキャリブレーションすれば、精度を向上できます。

温度センサーの仕様は表 5 と図 57 に示します。用語の定義のセクションを参照してください。

診断とスタンバイ・モード

MISC レジスタの STB_EN_DIAGNOSTICS ビットを 1 にセットすると、スタンバイ・モード時の診断機能を無効化できます。いくつかの診断機能では、内部発振器がイネーブルされていることも必要になります。そのため、ERROR_EN レジスタでこれらのエラーが有効化され、かつ、STB_EN_DIAGNOSTICS = 1 となっている場合、内部発振器はイネーブル状態を維持します。スタンバイ・モードのセクションを参照してください。

FIFO

AD4130-8 は超低消費電力性能を備えています。ホスト・プロセッサやその他の周辺機器を未使用時にはスリープにすることで、システムの消費電力を更に節約することができます。AD4130-8 は FIFO バッファを内蔵しており、最大で 256 個の変換結果が容易に保存できます。データは FIFO を使用して連続的に収集でき、プロセッサは、データが指定の閾値を超えた場合、FIFO が事前に設定したサンプル数に達した場合、FIFO が満杯の場合などに、AD4130-8 からの割込みを介してウェイクアップできます。FIFO データは 32 ビットのフォーマットで保存されます。これは、FIFO_HEADER 用 8 ビットと、後続の FIFO_DATA (変換結果) 用 24 ビット・データで構成されます。FIFO の基本構造については図 102 を参照してください。

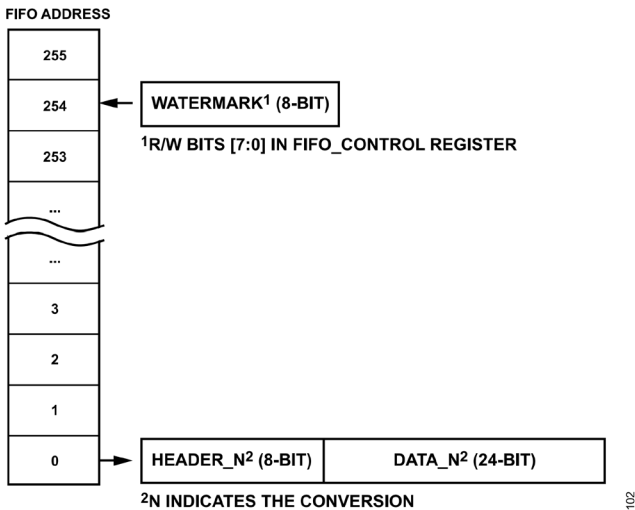


図 102. FIFO 構造

FIFO のモード

FIFO は、FIFO_CONTROL レジスタの対応する FIFO_MODE ビットの値を選択して、このセクションで説明する 3 通りのモードのいずれかに設定できます。

無効

FIFO はデフォルトでは無効化されています。FIFO が無効化されると、リセット状態に保持されるため、以前のデータは失われ

ます。FIFO を無効化するには、FIFO_CONTROL レジスタの FIFO_MODE ビットを 0b00 にセットします。

その他の FIFO モードを終了するには FIFO_MODE に 0b00 を書き込みます。

ウォーターマーク・モード

ウォーターマーク・モードでは、FIFO のデータ収集はウォーターマーク・レベルに達するまで行われます。ウォーターマーク・レベルは、FIFO に保管される変換数を規定するもので、FIFO_CONTROL レジスタのウォーターマーク・ビットフィールドに書き込むことでリセットできます。ウォーターマーク・ビットフィールドのデフォルト値は 0 で、これは 256 サンプルで FIFO が一杯になることに相当します。ウォーターマークに達すると、次の ADC の変換結果が FIFO に書き込まれる前に FIFO からすべてのデータを読み出す必要があります。これを行わない場合、FIFO 書き込みエラーが発生し (FIFO_STATUS レジスタの FIFO_WRITE_ERR ビットが 1 にセット、表 69 を参照)、変換結果が失われます。表 65 に示すように、FIFO の読出しが完了するまで FIFO が新しい ADC データに更新されることはありません。ウォーターマーク・モードでは FIFO の読出し後に FIFO をクリアすることを推奨します。

FIFO をリードバックするのに必要な時間を計算する方法の詳細は、FIFO のリードバックのセクションを参照してください。チャンネルとスマート・シーケンサの設定および FIFO リードバックの SCLK 速度によっては、データ喪失を防ぐためウォーターマーク値を制限しなくてはならない場合があります。

FIFO ウォーターマーク割込みのセクションを参照してください。

ストリーミング・モード

ストリーミング・モードでは、FIFO には常に最も新しい ADC データが残されます。ウォーターマーク・モードとは異なり、ウォーターマーク・レベルに達した場合でも FIFO は ADC の結果を保存し続け、FIFO の読出しは行われません。FIFO が 256 の変換結果で一杯になると、表 66 に示すように、古い変換結果が ADC の新しい結果で上書きされます。このモードでは、FIFO が新しい ADC の結果で更新されている最中を除き、データはいつでも読み出せます。ストリーミング・モードでは、FIFO は最終的に オーバーランとなり、FIFO_STATUS レジスタの OVERRUN_FLAG ビットに 1 がセットされます (表 69 参照)。

表 65. Watermark = 0 (256 サンプル) でデータが一杯になったときにリードバックしない設定のウォーターマーク・モードで FIFO バッファを変換結果で満たす例

FIFO Address	Conversion 1	Conversion 2	...	Conversion 255	Conversion 256	Conversion 257	Conversion 258	...
255	Empty	Empty	...	Empty	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (256), FIFO_DATA (256))	(FIFO_HEADER (256), FIFO_DATA (256))	...
254	Empty	Empty	...	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	(FIFO_HEADER (255), FIFO_DATA (255))	...
...	...	...	...	...	...	...	...	...
1	Empty	(FIFO_HEADER (2), FIFO_DATA (2))	...	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	(FIFO_HEADER (2), FIFO_DATA (2))	...
0	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	...	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	(FIFO_HEADER (1), FIFO_DATA (1))	...

FIFO

表 66. Watermark = 0 (256 サンプル) でデータが一杯になったときにリードバックしない設定のストリーミング・モードで FIFO バッファを変換結果で満たす例

FIFO Address	Conversion 1	Conversion 2	...	Conversion 255	Conversion 256	Conversion 257	Conversion 258	...
255	Empty	Empty	...	Empty	(FIFO_HEADER(256), FIFO_DATA(256))	(FIFO_HEADER(257), FIFO_DATA(257))	(FIFO_HEADER(258), FIFO_DATA(258))	...
254	Empty	Empty	...	(FIFO_HEADER(255), FIFO_DATA(255))	(FIFO_HEADER(255), FIFO_DATA(255))	(FIFO_HEADER(256), FIFO_DATA(256))	(FIFO_HEADER(257), FIFO_DATA(257))	...
...	...	...	...	...	...	...	...	...
1	Empty	(FIFO_HEADER(2), FIFO_DATA(2))	...	(FIFO_HEADER(2), FIFO_DATA(2))	(FIFO_HEADER(2), FIFO_DATA(2))	(FIFO_HEADER(3), FIFO_DATA(3))	(FIFO_HEADER(4), FIFO_DATA(4))	...
0	(FIFO_HEADER(1), FIFO_DATA(1))	(FIFO_HEADER(1), FIFO_DATA(1))	...	(FIFO_HEADER(1), FIFO_DATA(1))	(FIFO_HEADER(1), FIFO_DATA(1))	(FIFO_HEADER(2), FIFO_DATA(2))	(FIFO_HEADER(3), FIFO_DATA(3))	...

表 67. FIFO_CONTROL レジスタ

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x3A	FIFO_CONTROL	[23:16]	RESERVED				ADD_FIFO_STATUS	ADD_FIFO_HEADER	FIFO_MODE		0x040200	R/W
		[15:8]	RESERVED	FIFO_WRITE_ERR_INT_EN	FIFO_READ_ERR_INT_EN	THRES_HIGH_INT_EN	THRES_LOW_INT_EN	OVERRUN_INT_EN	WATERMARK_INT_EN	EMPTY_INT_EN		
		[7:0]	WATERMARK									

FIFO のリードバック

FIFO バッファを読み出すには、COMM レジスタを使用してアドレス 0x3D を読み出します。完全な FIFO 読出しコマンドは 0x7D です。この後に 8 ビット・フィールドの # samples (N) が続きます。これは読み出すサンプル数を示すもので、0x00 は 256 サンプルに相当します。その後、適切な数の SCLK が提供されると、FIFO の内容が DOUT ピンから出力されます。FIFO の最後の値が読み出されると、FIFO_HEADER レジスタと FIFO_STATUS レジスタの EMPTY_FLAG ビットが 1 にセットされます (表 69 参照)。FIFO の読出しが引き続き行われようとしても、EMPTY_FLAG ビットがセットされたままになり、読出しデータはすべて 0 になります。FIFO の読出しは、CS をハイに切り替えるか、読み出すサンプル数が FIFO コマンドで指定した数に達した場合に終了します。

デフォルトでは、FIFO_HEADER がイネーブルされ FIFO_STATUS の付加はディスエーブルされています。そのため、FIFO のリードバック図は図 103 のようになります。FIFO_STATUS の付加がイネーブルの場合は、FIFO のリードバック図は図 104 のようになります。

FIFO の読出しに使用できる時間は、次式のように、シーケンス内の次の 2 つの ADC 変換に要する時間で決まります。

$$t_{FIFO_READ} = \sum ConvTime_n - (t_{BSY} + t_{QUIET1} + t_{QUIET2})$$

ここで、 t_{FIFO_READ} は、FIFO リードバックでデータを喪失することなく使用できる最長時間、 $\sum ConvTime_n$ with $(n = 0 - 1)$ は、シーケンス内の次の 2 つの変換の変換時間です。なお、変換時間は、イネーブルしたチャンネルによって異なることがあります。シーケンス内の所定チャンネルの ADC 変換時間を計算する方法については、50Hz および 60Hz 除去のセクションを参照してください。

$t_{BSY} + t_{QUIET1} + t_{QUIET2}$ は、最小で 8MCLK サイクルです。図 12 と表 10 を参照してください。

FIFO リードバックを終了するのに必要な SCLK サイクルの数は、以下のようになります。

$$\# \text{ SCLK cycles} = \text{FIFO read command length} +$$

$$\# \text{ samples (N)} \times \text{samples length}$$

ここで、
FIFO read command length は、16SCLK サイクル、
samples (N) は、FIFO 読出しコマンドで指定された、読み出す FIFO サンプルの数、
samples length は、FIFO_HEADER が無効化されている場合は 24SCLK、有効化されている場合は 32SCLK です。

SPI が FIFO を制御してリードバックを行う場合は、デバイスが FIFO にアクセスして新しいデータを書き込むことはできません。FIFO のリードバックが終了するのに t_{FIFO_READ} より長い時間を要する場合は、変換されたシーケンスでデータの喪失が発生している可能性があります。

FIFO レディ信号

FIFO が有効化されている場合、FIFO レディ信号は自動的に DOUT ピンと共有されます。この信号がハイ・レベルの場合、FIFO がビジーであることを示しています。ADC が新しいデータを書き込むために FIFO にアクセスしています。この信号がロー・レベルの場合は、FIFO が使用可能であることを示しています。ウォーターマーク・モードでは、FIFO のレディ信号は、FIFO に保存されたサンプル数がウォーターマーク値に達するまでハイのままとなります。その後、FIFO レディ信号がローに遷移し、読出しコマンドが送信可能であることをユーザに通知します。ストリーミング・モードでは、各変換後に FIFO がビジーになると FIFO レディ信号がフラグを立てます。

FIFO

表 68. FIFO のヘッダのフォーマット

Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
FIFO_HEADER	[7:0]	RESERVED	THRESHOLD_FLAG	WATERMARK_FLAG	EMPTY_FLAG	CH[3]	CH[2]	CH[1]	CH[0]	0x00	R

表 69. FIFO_STATUS レジスタ

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
0x3B	FIFO_STATUS	[7:0]	MASTER_ERR	FIFO_WRITE_ERR	FIFO_READ_ERR	THRES_HIGH_FLAG	THRES_LOW_FLAG	OVERRUN_FLAG	WATERMARK_FLAG	EMPTY_FLAG	0x01	R

FIFO のヘッダ

FIFO_HEADER はデフォルトでイネーブルされ、各変換結果を表 68 に示すフォーマットで FIFO に保存します。FIFO_HEADER をディスエーブルするには、FIFO_CONTROL レジスタの ADD_FIFO_HEADER ビットを 0 にセットします。図 105 に、FIFO_HEADER をディスエーブルした場合のデータ読出しを示します。

FIFO_HEADER にあるビット情報は次のとおりです。

- ▶ CH のビット [3:0] は、FIFO_HEADER が付加されるデータのチャンネル番号を保存します。
- ▶ 読み出される FIFO からの最後のデータ・サンプルに関連する FIFO_HEADER の EMPTY_FLAG ビットが 1 にセットされます。そのため、このビットは、FIFO のリードバックを停止するトリガと解釈できます。
- ▶ FIFO_CONTROL レジスタのウォーターマーク・フィールドで指示されたサンプル数以上のサンプル数が FIFO に含まれる場合、FIFO_STATUS レジスタの WATERMARK_FLAG ビットが 1 にセットされます。そのため、ウォーターマーク値以上にサンプルが保存されるごとに FIFO_HEADER でフラグが立てられます。
- ▶ 関連する CHANNEL_m レジスタの THRES_EN_m ビットが 1 にセットされる場合、THRESHOLD_FLAG ビットは 1 にセットされます。また、そのチャンネルの ADC 変換結果は、FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットフィールドおよび THRES_LOW_VAL ビットフィールドを用いて閾値範囲で指定された閾値を超過します。FIFO_HEADER の THRESHOLD_FLAG ビットは非スティッキーです。そのため、あらゆるサンプルに関連性があります。

FIFO のステータス

FIFO_STATUS レジスタの内容 (表 69 参照) は、FIFO_CONTROL レジスタの ADD_FIFO_STATUS ビット (表 67 参照) を 1 にセットして、FIFO_DATA の前、および # samples (N) バイトの間に追加して読み出すことができます (図 104 参照)。このようにして、以前のエラーを検出して FIFO_DATA リードバックをアポートできます。

FIFO_STATUS レジスタにはエラーとフラグが格納されているため、FIFO を有効化した場合に FIFO の操作の助けとなります。

FIFO からの最後のデータ・サンプルの最初のビットを読み出すとき、FIFO_STATUS レジスタの FIFO が空であることを示すフラグがトリガされます (EMPTY_FLAG ビットが 1 にセット)。空の FIFO を読み出そうとすると、FIFO_STATUS レジスタのこのフラグが 1 にセットされます。このフラグがクリアされるのは、少なくとも 1 つの ADC 変換で FIFO に書き込みが行われるときです。

FIFO_CONTROL レジスタのウォーターマーク・フィールドで指示されたサンプル数以上のサンプル数が FIFO に含まれる場合、FIFO_STATUS レジスタの FIFO ウォーターマークがトリガされます (WATERMARK_FLAG が 1 にセット)。ウォーターマークのフラグは、FIFO 内の残りのサンプルがウォーターマーク・フィールドの値未満であることが検出されると、すぐにクリアされます。

FIFO 内の ADC のデータが失われ、保存されていない場合、FIFO オーバーラン・フラグが立ちます (OVERRUN_FLAG ビットが 1 にセット)。ウォーターマーク・モードでは、これが生じるのは新しいサンプルを保存することが必要になる前に FIFO が空になっていない場合です。ストリーミング・モードでは、ADC データが失われるのは、FIFO が既に一杯になっているときに、新しいデータを取り込むことができるよう FIFO の最も古いデータが廃棄される場合です。オーバーラン・フラグがクリアされるのは、FIFO の全内容を読み込んで空にした場合か、FIFO をクリアした場合です。

FIFO 閾値フラグがトリガ (THRES_HIGH_FLAG ビットフィールドや THRES_LOW_FLAG フィールドが 1 にセット) されるのは、指定された閾値を ADC の変換結果が超過した場合です。FIFO_HEADER の THRESHOLD_FLAG とは異なり、THRES_HIGH_FLAG ビットフィールドと THRES_LOW_FLAG ビットフィールドはスティッキーです。つまり、これらのビットフィールドがセットされると、次の ADC 変換結果によらずセットされたままになります。閾値フラグをクリアするには、FIFO の全データを読み出すか、FIFO をクリアします。

FIFO 読出しエラー (FIFO_READ_ERR が 1 にセット) が生じるのは、ADC が内部で更新中 (FIFO に書き込み中) に FIFO データを読み出そうとした場合のみです。送信される FIFO_DATA は FIFO からの読出し時にはすべて 0 で、FIFO_HEADER 情報もこのエラーが発生した場合はすべて 0 になります。このエラーがクリアされるのは、FIFO 読出しリクエストが正常に許可された場合か、FIFO が空になった場合です。

FIFO 書き込みエラー (FIFO_WRITE_ERR が 1 にセット) が生じるのは、ユーザによる FIFO の読出しが行われているために変換データが FIFO に書き込まれなかった場合です。ユーザが FIFO データを読み出している状態の場合、ADC の FIFO 書き込みは、最長で 1 変換サイクル分遅延する可能性があります。ただし、1 変換遅延後もデータ読出しが行われていると、FIFO 書き込みエラーがアサートされます。ウォーターマーク・モードでは、FIFO 書き込みエラーが発生するのは、FIFO のエントリが指定されたウォーターマークと同じ数に達し、そこに新しいデータ書き込みが行われようとした場合のみです。このエラーがクリアされるのは、FIFO のすべての内容が読み出された場合か、FIFO をクリアした場合です。

FIFO_STATUS レジスタのマスタ・エラー・ビットは、STATUS レジスタと共有され、同じ動作に従います。

FIFO

FIFO データの CRC

FIFO データのリードバック時には、エラー・レジスタの SPI_CRC_ERR を 1 にセットして、16 ビットの CRC を有効化できます。これが可能なのは、FIFO_CONTROL レジスタの FIFO_STATUS がディスエーブル (ADD_FIFO_STATUS = 0) で FIFO_HEADER がイネーブル (ADD_FIFO_HEADER = 1) の場合のみです。表 67 および図 106 を参照してください。

CRC データは、指定されたウォーターマークと同じ数のサンプルが読み出された後に送信されます。したがって、ウォーターマーク・モードでは、全データについて CRC チェックが行われるのは、FIFO の長さがウォーターマークに等しくなったときです。ストリーミング・モードでは、CRC は、ウォーターマークのサンプル数のブロックについて計算されます。

FIFO データの CRC の計算方法は次のとおりです。

- ▶ 最初に送られる CRC は、以下に基づいて計算されます。
 - (1) FIFO 読出しコマンド (0x7d) および読み出すデータ数、
 - (2) 読み出される ADC データ
- ▶ 後続の CRC は、読み出された ADC データにのみ基づきます。

チェックに用いる 16 ビット多項式は以下の通りです。

$$x^{16} + x^{15} + x^{13} + x^9 + x^7 + x^6 + x^5 + x^3 + x^1 + 1$$

CRC は最大 32571 ビットに対し最大 3 ビットのエラーを検出できます。また 256 のフル FIFO 深度で用いることができます。CRC は 0xFFFF に初期化する必要があります。

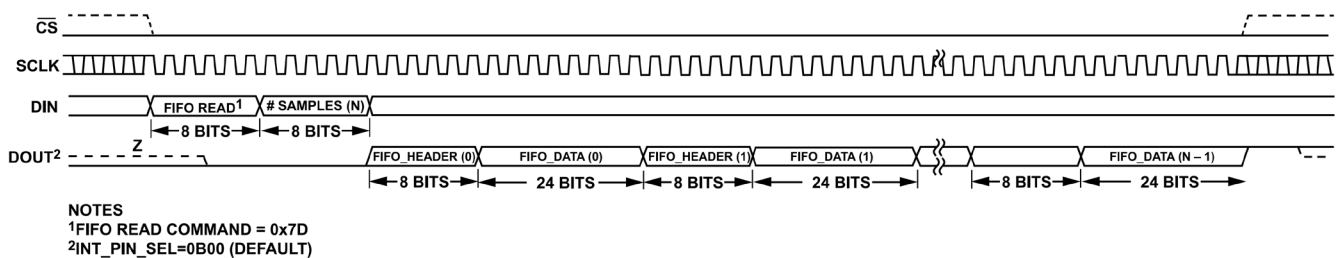


図 103. デフォルトの FIFO リードバック (FIFO_STATUS の付加なし、FIFO_HEADER の付加あり)

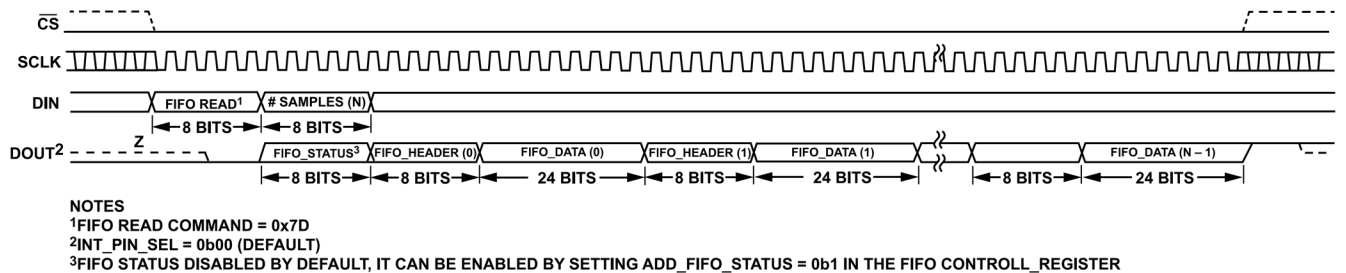


図 104. FIFO リードバック (FIFO_STATUS の付加あり、FIFO_HEADER の付加あり)

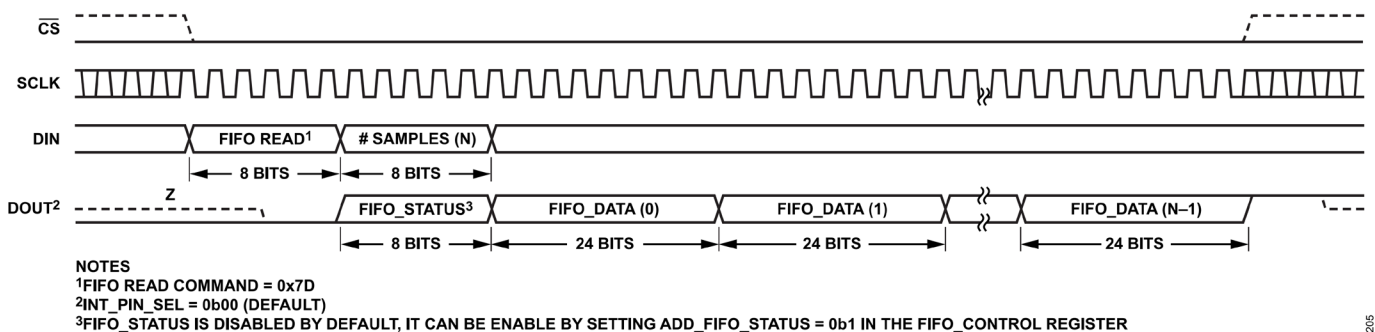


図 105. FIFO リードバック (FIFO_STATUS の付加あり、FIFO_HEADER の付加なし)

FIFO

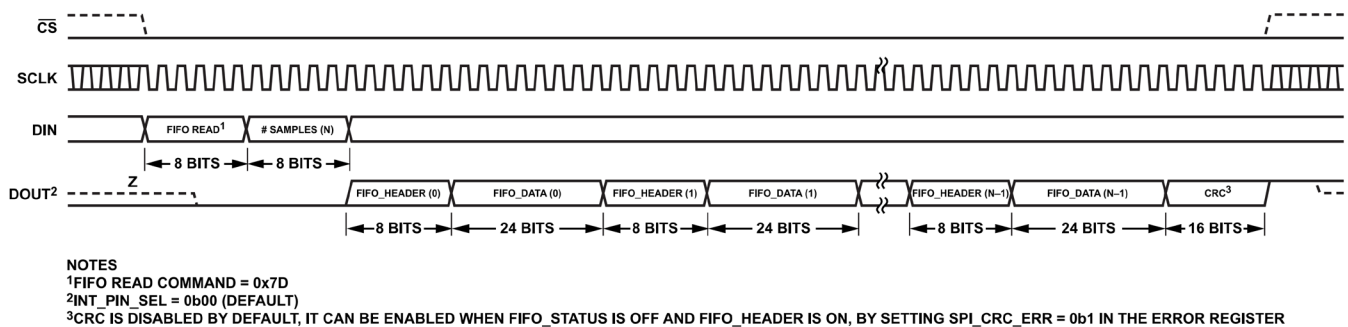


図 106. FIFO リードバック (FIFO_STATUS の付加なし、FIFO_HEADER の付加あり、CRC あり)

FIFO 割込み

AD4130-8 の FIFO バッファは、FIFO_CONTROL レジスタを設定することで複数の割込みモードを取り入れることができます。FIFO 割込みピンに送られる割込み信号は、FIFO_CONTROL レジスタでイネーブルされたすべての割込みオプションの論理和です。割込み信号を検出するピンを選択する方法については、[FIFO 割込みピン](#)のセクションを参照してください。

FIFO ウォーターマーク割込み

FIFO ウォーターマーク割込みはデフォルトで有効になっており、無効化するには、FIFO_CONTROL レジスタの WATERMARK_INT_EN ビットを 0 にセットします。FIFO ウォーターマーク割込みをトリガするのに必要なサンプル数は、ウォーターマーク・ビットフィールドで指定された値と同じです。例外は 0 の値で、これはデフォルト値です。この場合、FIFO は 256 エントリの最大深度まで埋めてから割込みをトリガする必要があります。FIFO ウォーターマーク割込み信号は、アクティブ・ハイで、FIFO 内のサンプル数がウォーターマーク・レジスタで指定された値以上である間、アサートされたままになります。FIFO ウォーターマーク割込み信号がデアサートされるのは、FIFO の残りのサンプルがウォーターマーク・エントリ未満であることが検出されて直ちにフラグがクリアされた場合です。

FIFO データ閾値割込み

FIFO_STATUS レジスタの THRES_HIGH_FLAG ビットおよび THRES_LOW_FLAG ビット ([表 69](#) 参照) をイネーブルすると、FIFO_CONTROL レジスタの THRES_HIGH_INT_EN ビットや THRES_LOW_INT_EN ビットを 1 にセットして FIFO データ閾値割込みをトリガできます。どちらのオプションもデフォルトでは無効化されていますが、個別に有効化できます。

FIFO データ閾値割込みの閾値は、FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットフィールドと THRES_LOW_VAL ビットフィールドで指定できます。これらの値は、ADC_CONTROL レジスタのバイポーラ・ビットで指定された極性設定と一致する必要があります。

FIFO の次のセットの変換では更新された閾値が前提となるよう、閾値の更新後、FIFO_CONTROL レジスタに書き込みを行い FIFO をクリアすることを推奨します。これを行うことで、FIFO データ閾値割込み信号および FIFO_STATUS レジスタの

THRES_HIGH_FLAG ビットと THRES_LOW_FLAG ビットをクリアすることにもなります。

なお、閾値の比較には、閾値セットを基準として 1LSB のヒステリシスがあります。変換がトリガとなって THRES_HIGH_FLAG または THRES_LOW_FLAG が 1 にセットされると、その後の変換では、DATA のビット [23:12] が THRES_LOW_FLAG の THRES_LOW_VAL ビットフィールドより 2LSB 以上大きく、かつ、THRES_HIGH_VAL ビットフィールドより 2LSB 以上小さくなり、また、THRES_HIGH_FLAG ビットは 0 に戻る必要があります。

FIFO エンプティ割込み

FIFO_STATUS レジスタの EMPTY_FLAG ビット ([表 69](#) 参照) をイネーブルすると、FIFO_CONTROL レジスタの EMPTY_INT_EN ビットを 1 にセットして FIFO エンプティ割込みをトリガできます。このオプションはデフォルトでは無効に設定されています。FIFO_STATUS レジスタの FIFO エンプティ・エラーがクリアされると FIFO エンプティ割込みはクリアされます。これが生じるのは少なくとも 1 つの ADC 変換で FIFO に書き込みが行われたときです。

FIFO の書き込み／読出し割込み

FIFO_STATUS レジスタの FIFO_WRITE_ERR ビットおよび FIFO_READ_ERR ビット ([表 69](#) 参照) をイネーブルすると、FIFO_CONTROL レジスタの FIFO_WRITE_ERR_INT_EN ビットや FIFO_READ_ERR_INT_EN ビットを 1 にセットして FIFO 書き込み割込みや FIFO 読出し割込みをトリガできます。このオプションはデフォルトでは無効に設定されています。

FIFO の書き込み／読出し割込み信号は、FIFO_STATUS レジスタのエラー・フラグがクリアされると直ちにデアサートされます。

FIFO オーバーラン割込み

FIFO_STATUS レジスタの OVERRUN_FLAG ビット ([表 69](#) 参照) をイネーブルすると、FIFO_CONTROL レジスタの OVERRUN_INT_EN ビットを 1 にセットして割込みをトリガできます。このオプションはデフォルトでは無効に設定されています。

FIFO オーバーラン割込みは、FIFO_STATUS レジスタのエラー・フラグがクリアされると直ちにデアサートされます。これが生じるのは FIFO が空になったときです。

FIFO

FIFO 割込みピン

FIFOが有効化されている場合、FIFO割込み信号は内部生成でき、その信号を、表 70 に示すように、IO_CONTROL レジスタの INT_PIN_SEL ビット（表 39 参照）で設定することで選択したピンに送信することができます。

ピンを割込みに設定することは、そのピンに関する他のどのピン制御よりも優先されます。例えば、ADC_CONTROL レジスタの CLK_SEL ビット介して CLK ピンを CLK 入力としてイネーブルしても、CLK ピンが割込みとしてイネーブルされている場合、無視されます。IO_CONTROL の GPO_CTRL_P2 ビットを介して P2 ピンを GPO 出力としてイネーブルしても、P2 が割込みとしてイネーブルされている場合、無視されます。P2 が割込みピンとしてイネーブルされている場合、GPO ピンもスタンバイ・モードでは自動的にイネーブルされます。

表 70. FIFO 割込みピンのオプション

INT_PIN_SEL	Pin Options ¹
0b00 (Default)	INT
0b01	CLK
0b10	P2
0b11	N/A ²

¹ FIFO は有効化。FIFO が無効となっている場合、INT_PIN_SEL ビット フィールドを使用して、レディ信号を表 53 に示すピンに割り当てることができます。

² N/A は該当なし。

FIFO のクリア

FIFO が有効化されている場合、FIFO_CONTROL レジスタに書込みを行うと FIFO がクリアされます。IO_CONTROL レジスタの SYNCB_CLEAR ビット（表 39 参照）を 1 にセットすることで、SYNCピンを使用して FIFO クリアを開始することもできます。SYNCピンを用いて FIFO をクリアすると、シーケンサが確実に最初のチャンネルから再スタートできます。図 11、図 13、表 10 を参照してください。

アプリケーション情報

電源方式

AD4130-8 では条件に応じて、異なる電源方式が可能です。

単電源動作 ($AV_{SS} = DGND$)

AV_{DD} および IOV_{DD} に接続された単電源から AD4130-8 に電力を供給する場合、 AV_{SS} と $DGND$ を 1 つのグランド・プレーン上で互いに接続することができます。このセットアップでは、真のバイポーラ入力を使用してコモンモード電圧をシフトする場合、外部レベル・シフト回路が必要になります。ADP150 などの、出力が 3.3V で静止電流が低いレギュレータが推奨されます。

AV_{DD} と IOV_{DD} が同じソースに接続されている場合、それらの最小値は最小の AV_{DD} (1.71V) によって制限されます。

分離電源動作 ($AV_{SS} \neq DGND$)

AD4130-8 は、 AV_{SS} を負電圧に設定した状態で動作できるので、真のバイポーラ入力が可能です。これにより、外部のレベル・シフト回路なしで 0V を中心とした完全差動入力の信号を AD4130-8 に供給できるようになります。例えば、3.6V 分離電源を使用した場合は $AV_{DD} = +1.8V$ 、 $AV_{SS} = -1.8V$ になります。この場合、AD4130-8 の内部で信号のレベル・シフトが行われ、 $DGND$ (公称 0V) と IOV_{DD} の間でデジタル出力が機能します。

AV_{DD} と AV_{SS} に分離電源を使用する場合は、絶対最大定格を考慮する必要があります (絶対最大定格のセクションを参照)。

$AV_{SS} \neq DGND$ の場合、GPO はデジタル出力ピンとしては使用できない点に注意してください。

個別の正側電源動作

消費電力を最小限に抑えようとする場合、 AV_{DD} と IOV_{DD} を別々の電源に接続し、最小値を個別に下げることができます。 AV_{DD} は 1.71V まで低下でき、 IOV_{DD} は 1.65V まで低下できます。例えば、 IOV_{DD} はプロセッサ・インターフェースと同じソースから給電し、 AV_{DD} は独自のソースから給電することができます。

推奨デカップリング方法

高分解能 ADC を使用する場合は、デカップリングが重要です。AD4130-8 には、 AV_{DD} と IOV_{DD} の 2 つの電源ピンがあります。 AV_{DD} ピンは AV_{SS} を基準としていて、 IOV_{DD} ピンは $DGND$ を基準としています。1 μF のタンタル・コンデンサと 0.1 μF のコンデンサを並列に接続して、 AV_{DD} と AV_{SS} をデカップリングします。1 μF のタンタル・コンデンサと 0.1 μF のコンデンサを並列に接続して、 IOV_{DD} と $DGND$ をデカップリングします。0.1 μF のコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的にはデバイスに隣接させます。すべてのアナログ入力を AV_{SS} をデカップリングする必要があります。外部リファレンスを使用する場合は、REFINx(+)ピンおよび REFINx(-)ピンと AV_{SS} をデカップリングします。

AD4130-8 は、 AV_{DD} 電源および IOV_{DD} 電源を調整する 2 つのオンボード LDO レギュレータも備えています。REGCAPA ピンは、0.1 μF コンデンサを追加して AV_{SS} に接続することを推奨します。同様に、REGCAPD ピンは、0.1 μF コンデンサを追加して $DGND$ に接続することを推奨します。

入力フィルタ

外部アンチエイリアシング・フィルタは、変調器の周波数 ($f_{MOD} = f_{MCLK}/2 = 38.4kHz$) および変調器周波数の整数倍での干渉を排除するのに必要です。更に、電磁干渉 (EMI) を防止するために何らかのフィルタが必要となる場合もあります。アナログ入力はバッファされ、リファレンス入力にバッファを配置できるので、RC 組み合わせ回路をリファレンス入力ピンまたはアナログ入力ピンに接続できます。

マイクロプロセッサとのインターフェース

マイクロプロセッサと AD4130-8 のインターフェースは、DSP やマイクロコントローラとの互換性を備えた標準プロトコルを使用するシリアル・バスを介して形成されます。この通信チャンネルでは、クロック信号、データ入力信号、データ出力信号、同期信号で構成される 4 線式のシリアル・インターフェースが必要です。

AD4130-8 の SPI は、業界標準の DSP とマイクロコントローラに容易に接続できるように設計されています。MAX32670 に接続した AD4130-8 を図 107 に示します。MAX32670 は、AD4130-8 の SPI ピンに直接接続できる SPI ポートを内蔵しています。

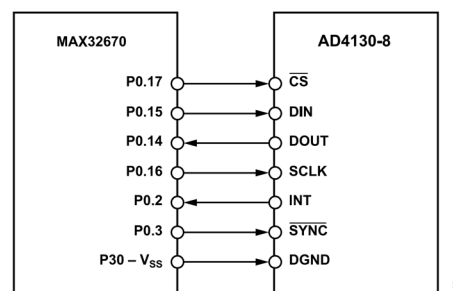


図 107. MAX32670 μC と AD4130-8 の SPI 接続の例

デジタル・ピン

$\overline{CS}$ (使用する場合)、 $\overline{SYNC}$ 、SCLK の各ラインと IOV_{DD} の間に弱いプルアップ抵抗を接続して、デバイスの起動時にインターフェースをディセーブル状態に維持することを推奨します。DIN ラインに弱いプルアップ抵抗を配置することを推奨します。

未使用ピン

以下のデジタル・ピンは、未使用時には取扱いに注意が必要です。 $\overline{SYNC}$ と IOV_{DD} を直接、または弱いプルアップ抵抗を介して接続します。 $\overline{CS}$ および CLK と $DGND$ を弱いプルダウン抵抗を介して接続します。

アナログ・ピン ($AINx$ 、REFINx($\pm$)、REFOUT、PSW) は、未使用時、電氣的にフローティング状態のままにしますが、機械的な安定性確保のため PCB にハンダ付けする必要があります。

アプリケーション情報

パワーアップと初期化

AD4130-8 をパワーアップするには、電源シーケンスを DGND、AV_{SS} (DGND と異なる場合)、IOV_{DD}、AV_{DD}、REFINx(+)および REFINx(-)、AINx、デジタル入力、の順にすることを推奨します。デジタル・ピンのセクションも参照してください。

パワーアップ時には、t_{RESET_DELAY}の時間だけ待機してから SPI トランザクションを試行します (パワーオン・リセットのセクションを参照)。デバイスにはパワーオン・リセット機能があります。ただし、パワーアップ時のグリッチは、レジスタの破損の原因となる可能性があります。そのため、初期化ルーチンでのリセットを推奨します。ソフトウェア・リセットを行うには、デバイスに 64 個の 1 を連続して書き込みます (デバイスのリセットのセクションを参照)。デバイスの準備が整う前にデジタル・ホストが SPI トランザクションを実行しようとした場合、トランザクションは無効となり、ERROR レジスタの SPI_IGNORE_ERR ビットがセットされます。SPI_IGNORE_ERR のビット・タイプは R/WIC です。

デバイスの初期化後、デジタル・インターフェースにアクセスしてデバイス設定ができます。この設定には、アプリケーションに応じたリファレンス方式を選択することなどを含みます。どの電圧リファレンス方式を用いるかによらず、デバイス設定後に電圧リファレンスを定め、仕様を確実に満たすようにすることを推奨します。

推奨する設定の流れは次のとおりです。

1. インターフェース・モードを選択: ADC_CONTROL レジスタに書き込みを行います (3 線式モードか 4 線式モードかの選択、クロック源、CRC の有効化、データとステータスなど)。
2. セットアップ設定: 8 通りの ADC セットアップ・オプションがあります。CONFIG_n レジスタと FILTER_n レジスタに書き込みます。(設定の選択、フィルタの次数、出力データ・レートなど)
3. チャンネル設定: CHANNEL_m レジスタに書き込みます (正負の入力の選択と各 ADC チャンネルの設定、GPIO 設定での断線検出機能の有効化など)。
4. ADC モードのセットアップ: ADC_CONTROL レジスタに書き込んで (ADC の動作モードの選択、クロック源、CRC の有効化、データとステータスなど)、変換を開始します。

レイアウトとグラウンディング

アナログ入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れた同相ノイズ除去により、これらの入力の同相ノイズは除去されます。AD4130-8 のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスタ・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力アナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズ源のノイズも除去します。そのため、従来の高分解能コンバータに比べて AD4130-8 のノイズ干渉耐性は向上しています。ただし、

AD4130-8 の分解能は高く、コンバータのノイズ・レベルは非常に低いため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する基板は、アナログ部とデジタル部を分離し、基板の特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

デカップリング・コンデンサをパッケージのできるだけ近くに配置 (理想的にはデバイスに直結) します。

チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。そうすれば、AD4130-8 の下にアナログ・グラウンド・プレーンを配置することができ、ノイズの混入が防止されます。AD4130-8 への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、電源ラインのグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドしてボードの他の部分へノイズが放射されるのを防止します。また、クロック信号がアナログ入力の近くを決して通らないようにします。デジタル信号とアナログ信号を交差させないでください。基板の反対側のパターンは、互いに直角になるように配置します。これにより、ボード上でフィードスルーの効果を削減できます。マイクロストリップ技術の使用が最善ですが、両面基板では常に使用できるとは限りません。この技法を使用する場合、基板の部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

AD4130-8 を分離電源動作で使用する場合は、AV_{SS} に別のプレーンを使用する必要があります。

アセンブリのガイドライン

WLCSP の場合、熱はハンダ・ボールから PCB に流れます。熱抵抗は PCB の構成によって決まります。銅層とグラウンド・ビアを増やすと効率よく熱を除去できます。

デバイスの PCB レベルの信頼性は、PCB のタイプと使用する設計に直接関係します。半導体素子の熱膨張係数 (CTE) と一致する PCB 材料 (セラミックなど) を用いると、最適な機械的性能を得ることができます。有機材料 PCB (FR4 など) では、CTE が半導体素子と異なるため、アンダーフィルを用いることで機械的性能を向上できます。有機 PCB の厚さが 0.8mm を超える場合は、アンダーフィルの使用を検討してください。アンダーフィル材料の選択には、材料の性質がアプリケーションの使用条件と合致するよう、特別な注意が必要です。

ソフト・エラー・レート (SER) を減らすには、システム・アセンブリで低アルファ線材料を用いることを検討してください。

WLCSP 向けの PCB のレイアウトおよびアセンブリについては、AN-617 アプリケーション・ノートに詳しい情報が記載されています。

AD4130-8 のレジスタ

AD4130-8 には、デバイスの設定に使用できる、プログラマブルなユーザ設定レジスタがあります。表 71 には、AD4130-8 のユーザ設定レジスタの全リストが含まれています。表 71 はユーザ設定レジスタの全リストを示します。各ビットの機能の詳細については、AD4130-8 のレジスタ一覧およびレジスタの詳細のセクションを参照してください。アクセスの列は、レジスタが読み専用ビット (R) か、読み専用と読み/書き込みビットの混合 (R/W) かを示します。読み専用ビットは、SPI トランザクションでは書き込みできませんが、読み/書き込みビットではこれが可能です。表 71 は、各レジスタがシングル・バイトかマルチバイトかも示します。AD4130-8 との通信方法の詳細については、デジタル・インターフェースのセクションを参照してください。

表 71. ユーザ設定レジスタのレジスタ名と説明¹

アドレス	レジスタ名	説明	長さ	リセット	アクセス
N/A ²	COMMS	コミュニケーション・レジスタ	Single byte	N/A	W
0x00	STATUS	ステータス・レジスタ	Single byte	0x10	R
0x01	ADC_CONTROL	ADC コントロール・レジスタ	Two bytes	0x4000	R/W
0x02	DATA	データ・レジスタ	Three bytes	0x000000	R
0x03	IO_CONTROL	入出力コントロール・レジスタ	Two bytes	0x0000	R/W
0x04	VBIAS_CONTROL	VBIAS コントロール・レジスタ	Two bytes	0x0000	R/W
0x05	ID	識別レジスタ	Single byte	0x04	R
0x06	ERROR	エラー・レジスタ	Two bytes	0x0000	R/W
0x07	ERROR_EN	エラー・イネーブル・レジスタ	Two bytes	0x0040	R/W
0x08	MCLK_COUNT	MCLK カウント・レジスタ	Single byte	0x00	R
0x09 to 0x18 by 1	CHANNEL_m (m = 0 to 15)	チャンネル m 設定レジスタ	Three bytes	0xFFFFFFFF ³	R/W
0x19 to 0x20 by 1	CONFIG_n (n = 0 to 7)	設定レジスタ (ADC セットアップ n)	Two bytes	0x0000	R/W
0x21 to 0x28 by 1	FILTER_n (n = 0 to 7)	フィルタ設定レジスタ (ADC セットアップ n)	Three bytes	0x002030	R/W
0x29 to 0x30 by 1	OFFSET_n (n = 0 to 7)	オフセット・レジスタ (ADC セットアップ n)	Three bytes	0x800000	R/W
0x31 to 0x38 by 1	GAIN_n (n = 0 to 7)	ゲイン・レジスタ (ADC セットアップ n)	Three bytes	0xFFFFFFFF ⁴	R/W
0x39	MISC	補助レジスタ	Two bytes	0x0000	R/W
0x3A	FIFO_CONTROL	FIFO コントロール・レジスタ	Three bytes	0x040200	R/W
0x3B	FIFO_STATUS	FIFO ステータス・レジスタ	Single byte	0x01	R
0x3C	FIFO_THRESHOLD	FIFO 閾値レジスタ	Three bytes	0xFFFF00	R/W
0x3D	FIFO_DATA	FIFO データ・レジスタ	Three bytes	0x000000	R

¹ 空白セルは該当なしを意味します。

² N/A は該当なしを意味します。

³ CHANNEL_0 のデフォルト値は 0x800100 です。その他のすべてのチャンネルのデフォルト値は 0x000100 です。

⁴ 公称値: 0x555555。AD4130-8 は、工場出荷時に周囲温度およびゲイン 1、PGA_BYN_n = 0 の条件でキャリブレーションが行われています。その結果得られたゲイン係数がデフォルト値としてデバイスの GAIN_n レジスタにロードされています。

AD4130-8 のレジスタ一覧

表 72. ユーザ設定レジスタの一覧¹

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
N/A ²	COMMS	[7:0]	$\overline{\text{WEN}}$	R/ $\overline{\text{W}}$	RS[5:0]						N/A	W
0x00	STATUS	[7:0]	$\overline{\text{RDY}}$	MASTER_ERR	RESERVED	POR_FLAG	CH_ACTIVE				0x10	R
0x01	ADC_CONTROL	[15:8]	RESERVED	BIPOLAR	INT_REF_VAL	DOUT_DIS_DEL	CONT_READ	DATA_STATUS	CSB_EN	INT_REF_EN	0x4000	R/W
		[7:0]	RESERVED	DUTY_CYC_RATIO	MODE					CLK_SEL		
0x02	DATA	[23:16]	DATA[23:16]								0x000000	R
		[15:8]	DATA[15:8]									
		[7:0]	DATA[7:0]									

AD4130-8 のレジスタ

表 72. ユーザ設定レジスタの一覧¹

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x03	IO_CON TROL	[15:8]	RESERVED					SYNCB_ CLEAR	INT_PIN_SEL		0x0000	R/W	
		[7:0]	GPO_DA TA_P4	GPO_DA TA_P3	GPO_DA TA_P2	GPO_DA TA_P1	GPO_CT RL_P4	GPO_CT RL_P3	GPO_CT RL_P2	GPO_CT RL_P1			
0x04	VBIAS_C ONTROL	[15:8]	VBIAS_ 15	VBIAS_ 14	VBIAS_ 13	VBIAS_ 12	VBIAS_ 11	VBIAS_ 10	VBIAS_9	VBIAS_8	0x0000	R/W	
		[7:0]	VBIAS_7	VBIAS_6	VBIAS_5	VBIAS_4	VBIAS_3	VBIAS_2	VBIAS_1	VBIAS_0			
0x05	ID	[7:0]	RESERVED				SILICON_ID		MODEL_ID		0x0X ³	R	
0x06	ERROR	[15:8]	RESERVED				AINP_OV_UV_ ERR	AINM_OV_UV_ ERR	REF_OV_UV_ ERR	REF_DE TECT_E RR	0x0000	R/W	
		[7:0]	ADC_ER R	SPI_IGN ORE_ER R	SPI_SCL K_CNT_ ERR	SPI_REA D_ERR	SPI_WRI TE_ERR	SPI_CRC _ERR	MM_CR C_ERR	ROM_CR C_ERR			
0x07	ERROR_ EN	[15:8]	RESERVED			MCLK_C NT_EN	AINP_O V_UV_E RR_EN	AINM_O V_UV_E RR_EN	REF_OV _UV_ER R_EN	REF_DE TECT_E RR_EN	0x0040	R/W	
		[7:0]	ADC_ER R_EN	SPI_IGN ORE_ER R_EN	SPI_SCL K_CNT_ ERR_EN	SPI_REA D_ERR_ EN	SPI_WRI TE_ERR_ EN	SPI_CRC _ERR_E N	MM_CR C_ERR_ EN	ROM_CR C_ERR_ EN			
0x08	MCLK_C OUNT	[7:0]	MCLK_COUNT								0x00	R	
0x09 to 0x18	CHANNE L_m (m = 0 to 15)	[23:16]	ENABLE_ m	SETUP_m			PDSW_m	THRES_ EN_m	AINP_m[4:3]		0xxxxxx ⁴	R/W	
		[15:8]	AINP_m[2:0]				AINM_m						
		[7:0]	I_OUT1_CH_m				I_OUT0_CH_m						
0x19 to 0x20	CONFIG_ n (n = 0 to 7)	[15:8]	I_OUT1_n			I_OUT0_n			BURNOUT_n		0x0000	R/W	
		[7:0]	REF_BU FP_n	REF_BU FM_n	REF_SEL_n		PGA_n			PGA_BY P_n			
0x21 to 0x28	FILTER_ n (n = 0 to 7)	[23:16]	SETTLE_n			REPEAT_n					0x002030	R/W	
		[15:8]	FILTER_MODE_n				RESERV ED	FS_n[10:8]					
		[7:0]	FS_n[7:0]										
0x29 to 0x30	OFFSET_ n (n = 0 to 7)	[23:16]	OFFSET_n[23:16]									0x800000	R/W
		[15:8]	OFFSET_n[15:8]										
		[7:0]	OFFSET_n[7:0]										
0x31 to 0x38	GAIN_n (n = 0 to 7)	[23:16]	GAIN_n[23:16]									0xxxxxx ⁵	R/W
		[15:8]	GAIN_n[15:8]										
		[7:0]	GAIN_n[7:0]										
0x39	MISC	[15:8]	RESERV ED	PD_ALD O	CAL_RA NGE_X2	RESERVED				STBY_O UT_EN	0x0000	R/W	
		[7:0]	STBY_DI AGNOST ICS_EN	STBY_G PO_EN	STBY_P DSW_EN	STBY_B URNOUT _EN	STBY_V BIAS_EN	STBY_IE XC_EN	STBY_R EFHOL_ EN	STBY_IN TREF_E N			

AD4130-8 のレジスタ

表 72. ユーザ設定レジスタの一覧¹

Addr.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x3A	FIFO_CO NTRÖL	[23:16]	RESERVED					ADD_FIF O_STAT ÜS	ADD_FIF O_HEAD ER	FIFO_MODE		0x040200	R/W
		[15:8]	RESERV ED	FIFO_W RITE_ER R_INT_E N	FIFO_RE AD_ERR _INT_EN	THRES_ HIGH_IN T_EN	THRES_ LOW_IN T_EN	OVERRU N_INT_E N	WATER MARK_I NT_EN	EMPTY_ INT_EN			
		[7:0]	WATERMARK										
0x3B	FIFO_ST ATUS	[7:0]	MASTER _ERR	FIFO_ WRITE_ ERR	FIFO_ READ_ ERR	THRES_ HIGH_ FLAG	THRES_ LOW_ FLAG	OVERRU N_FLAG	WATER MARK_ FLAG	EMPTY_ FLAG	0x01	R	
0x3C	FIFO_ THRESH OLD	[23:16]	THRES_HIGH_VAL[11:4]									0xFFFF00	R/W
		[15:8]	THRES_HIGH_VAL[3:0]					THRES_LOW_VAL[11:8]					
		[7:0]	THRES_LOW_VAL[7:0]										
0x3D	FIFO_ DATA	[23:16]	FIFO_DATA[23:16]									0x000000	R
		[15:8]	FIFO_DATA[15:8]										
		[7:0]	FIFO_DATA[7:0]										

¹ 空白セルは該当なしを意味します。² N/A は該当なし。³ 詳細については、識別レジスタのセクションを参照してください。⁴ CHANNEL_0 のデフォルト値は 0x800100 です。その他のすべてのチャンネルのデフォルト値は 0x000100 です。⁵ 公称値：0x555555。AD4130-8 は、工場出荷時に周囲温度およびゲイン 1、PGA_BYN_n = 0 の条件でキャリブレーションが行われています。その結果得られたゲイン係数がデフォルト値としてデバイスの GAIN_n レジスタにロードされています。

レジスタの詳細

コミュニケーション・レジスタ

アドレス：N/A、リセット：0x10、レジスタ名：COMMS

デバイスに対するすべての通信は、コミュニケーション・レジスタに対する書込み動作で開始する必要があります。

表 73. COMMS レジスタのビットの説明

ビット	ビット名	設定	説明
7	WEN	0 1	書込みイネーブル・ビット。このビットに 0 を書き込むと、コミュニケーション・レジスタに対する書込み動作が実行されます。書き込まれた最初のビットが 1 の場合、デバイスはレジスタ内の後続ビットに対するクロック駆動を停止します。このビットに 0 が書き込まれるまで、クロックはこのビット位置にとどまります。WEN ビットに 0 が書き込まれると直ちに、次の 7 ビットがコミュニケーション・レジスタにロードされます。 コミュニケーション可。 コミュニケーション不可。
6	R/W	0 1	このビット位置が 0 にセットされている場合、次の動作が指定されたレジスタに対する書込み動作であることを示します。この位置が 1 にセットされている場合、次の動作が指定されたレジスタからの読出し動作であることを示します。 書込み動作。 読出し動作。
5:0	RS[5:0]		レジスタ・アドレス・ビット。これらのアドレス・ビットは、このシリアル・インターフェース通信中に選択されるデバイスのレジスタを指定します。すべてのレジスタと対応するアドレスの一覧については表 72 を参照してください。

AD4130-8 のレジスタ

ステータス・レジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : STATUS

ADC およびインターフェースのステータス情報レジスタ。

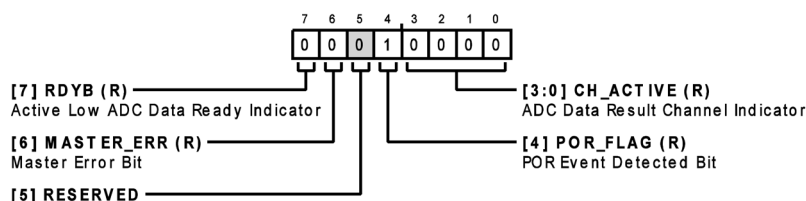


図 108.

表 74. ステータス・レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDYB		アクティブ・ローの ADC データ・レディ・インジケータ。RDYB ビットは、ADC データの可用性を示すために用います。RDYB ビットは、割込みイベントとして扱われるため、0 にセットされるとデータ・レディ・ピンはローになります。逆に、RDYB ピンが 1 にセットされると、データ・レディ・ピンは自動的にクリア（ハイに移行）されます。 0 ADC データ・レディ。ADC が新しい結果を DATA レジスタに書き込む場合、または ADC キャリブレーション・モードで ADC が OFFSET_n レジスタおよび GAIN_n レジスタに書き込みを行う場合、RDYB ビットは 0 にセットされます。データ・レジスタを読み出すと RDYB は自動的に 1 に戻ります。OFFSET_n レジスタまたは GAIN_n レジスタを読み出しても、このビットには影響しません。 1 データ・ノット・レディ。RDYB ビットが 1 にセットされるのは、ADC がアイドル・モードまたはスタンバイ・モードになっていることを示す場合、新しいキャリブレーションの開始を示す場合、および、新しい変換と新しいデータがまだ使用できないことを示す場合です。連続変換モードでは RDYB ビットは 1 にセットされます。変換結果の後にデータ・レジスタを読み出さない場合は、SYNC ピンをアサートしても（ローにしても）、RDYB ビットを 1 にセットできます。RDYB ビットは、次の変換結果が書き込まれる 4MCLK サイクル前に 1 にセットされ、データ・レジスタが間もなく更新されて読み出せなくなることを示します。ADC 結果の書き込み中にデータ・レジスタを読み出そうとした場合は、その書き込みがアボートされます。データ値の混入は生じませんが、1 回分の ADC 変換が失われます。	0x0	R
6	MASTER_ERR		マスタ・エラー・ビット。エラー・レジスタでいずれかのエラーが 1 にセットされると、このビットがセットされます。この MASTER_ERR ビットが 1 にセットされると、FIFO_STATUS レジスタの MASTER_ERR ビットも 1 にセットされます。エラー・レジスタのエラーがなくなると、このビットは自動的にクリアされます。 0 エラー検出なし。 1 マスタ・エラーを検出。	0x0	R
5	RESERVED		予備。	0x0	R
4	POR_FLAG		POR イベント検出ビット。POR は、パワーアップ時または IOV _{DD} やデジタル LDO 電源が閾値未満になった場合にトリガされます。このビットは POR イベントが発生したときに 1 がセットされ、ユーザがステータス・レジスタを読み出すとクリアされます。 0 POR イベントは未検出。 1 POR イベントを検出。	0x1	R
[3:0]	CH_ACTIVE		ADC データ結果チャンネル・インジケータ。これらのビットは、現在データ・レジスタに結果が格納されている ADC 変換を行ったのがどのチャンネルかを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。これらの値は、現在使用されている CHANNEL_m レジスタからの直接マップです。CHANNEL_0 では CH_ACTIVE = 0b0000 となり、CHANNEL_15 では CH_ACTIVE = 0b1111 となります。	0x0	R

AD4130-8 のレジスタ

ADC コントロール・レジスタ

アドレス：0x01、リセット：0x4000、レジスタ名：ADC_CONTROL

ADC の動作モードをコントロールします。

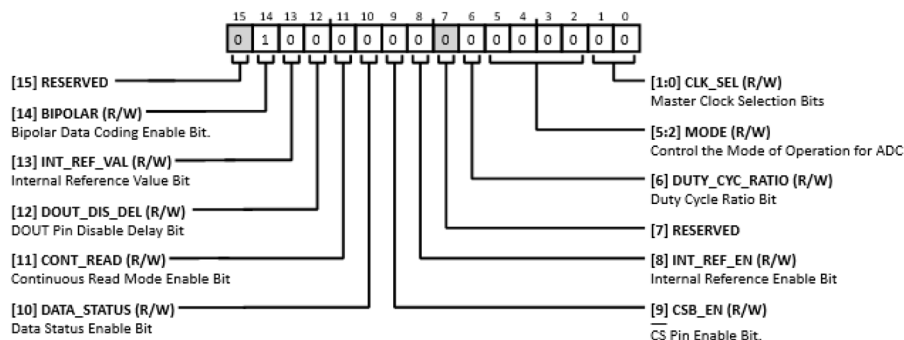


図 109.

表 75. ADC_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予備。	0x0	R
14	BIPOLAR		バイポーラ・データ・コーディング・イネーブル・ビット。ADC の出力コーディングを設定します。これはデジタル補正で、ADC 変換はバイポーラ入力スパンで実行されます。 0 ストレート・バイナリ（ユニポーラ）コーディング。 入力範囲：0V～$V_{REF}/ゲイン$。 $V_{REF}/ゲイン$：0xFFFFF 0：0x000000 1 オフセット・バイナリ（バイポーラ）コーディング。 入力範囲：$-V_{REF}/ゲイン$～$V_{REF}/ゲイン$。 $V_{REF}/ゲイン$：0xFFFFF 0：0x800000 $-V_{REF}/ゲイン$：0x000000	0x1	R/W
13	INT_REF_VAL		内部リファレンス値ビット。高精度内部リファレンスの電圧を指定します。このビットは、これと同じレジスタの INT_REF_EN ビットと共に使用します。 0 2.5V。 1 1.25V。	0x0	R/W
12	DOUT_DIS_DEL		DOUT ピン・ディスエーブル遅延ビット。このビットは、ADC_CONTROL レジスタの CSB_EN ビットが 0 にセットされている場合に、SCLK の非アクティブ・エッジから DOUT ピンがディスエーブルされるまでの時間を制御します。 0 遅延 = 10ns。 1 遅延 = 100ns。	0x0	R/W
11	CONT_READ		連続読出しモード・イネーブル・ビット。このビットは、データ・レジスタの連続読出しを有効にします。連続読出しモードでは、ADC データの読出し前に COMMS レジスタに書き込む必要はありません。代わりに、データ・レディ信号がローになった後に必要な SCLK 数を書き込みます。データ・レディ信号は、連続読出し時にはフレーミング信号として機能します。データ・レディ信号がローになるまで、SCLK は無視されます。つまり、ADC の各結果を読み出すことができるのは一回です。更に、次の変換の 4MCLK サイクル前の時点で読出しがまだ進行中の場合は、読出しは中止され、データ・レディ信号はデアサート（ハイにセット）されます。CRC がアクティブであれば、読出しが有効でないことを判定できます。連続読出しモードを終了するには、ソフトウェア・リセット・コマンド（64 個の 1）を発行するか、データの読出しコマンド（0x42）を書き込みます。CRC が有効な場合でも、CRC は不要です。FIFO を有効化するとこの機能は無効化されます。 0 連続読出しモード無効化。 1 連続読出しモード有効化。	0x0	R/W

AD4130-8 のレジスタ

表 75. ADC_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
10	DATA_STATUS	0 1	データ・ステータス・イネーブル・ビット。このビットが 1 にセットされていると、ステータス・レジスタの内容がデータ・レジスタの出力に付加されます。そのためチャンネル・ステータスの情報はデータと共に伝送されます。したがって、データ・レジスタの読出しフォーマットは (DATA のビット [23:0]、STATUS のビット [7:0]) となります。これは、ステータスと読み出すデータとの関連付けを行うだけでなく、データ・レジスタで読み出される変換に関連するチャンネルを特定するのに役立ちます。 ステータスの付加なし。 ステータスをデータに付加。	0x0	R/W
9	CSB_EN	0 1	$\overline{\text{CS}}$ ビン・イネーブル・ビット。このビットは、 $\overline{\text{CS}}$ ビンの機能と SPI モードを制御します。 0 $\overline{\text{CS}}$ ビンの機能を無効化。3 線式モードの SPI インターフェース。インターフェースは SCLK の最後の立上がりエッジでリセットされます。そのため、デバイスから読み出す場合、DOUT ビンは SCLK の最後の立上がりエッジでディスエーブルされます (データ・レディ信号が INT ビンに送出されるよう設定されていることが前提)。このタイミングは、ADC_CONTROL レジスタの DOUT_DIS_DEL ビットで変更できます。書込みまたは読出しコマンドでは、該当のレジスタに正しい数のクロックを供給するよう注意してください。レジスタ・サイズは、8 ビット/16 ビット/24 ビットのいずれかです。CRC を有効化しステータスを付加した場合もデータ幅が増大します。DOUT ビンのイネーブルを維持するには、 $\overline{\text{CS}}$ ビンをローに接続する必要があります。DOUT をトライステートにする場合は、 $\overline{\text{CS}}$ ビンをハイに保つことができます。 1 $\overline{\text{CS}}$ ビンの機能を有効化。4 線式モードの SPI インターフェース。インターフェースは $\overline{\text{CS}}$ の立上がりエッジでリセットされます。そのため、デバイスから読み出す場合、DOUT ビンは $\overline{\text{CS}}$ の立上がりエッジでデータ出力機能をデータ・レディ割込み機能に切り替えます (データ・レディ信号が DOUT ビンに送出されるよう設定されていることが前提)。SPI_WRITE_ERR ビット、SPI_READ_ERR ビット、SPI_SCLK_CNT_ERR ビットをイネーブルできます。これらは $\overline{\text{CS}}$ がイネーブルの場合にのみ有効であるためです。 $\overline{\text{CS}}$ がハイの場合、DOUT ビンはトライステートとなります。	0x0	R/W
8	INT_REF_EN	0 1	内部リファレンス・イネーブル・ビット。内部高精度リファレンスがイネーブルされている場合、REFOUT ビンに出力される値は、同じレジスタの INT_REF_VAL ビットの設定によって異なります。 0 内部リファレンス・ディスエーブル (デフォルト)。 1 内部リファレンス・イネーブル。	0x0	R/W
7	RESERVED		予備。	0x0	R
6	DUTY_CYC_RATIO	0 1	デューティ・サイクル比ビット。このビットは、デバイスがスタンバイ・モードになる割合を制御します。デューティ・サイクル・モードはすべてのアクティブなチャンネルの変換時間 (デジタル後処理時間およびウェイクアップ時間は無視) をアクティブ時間の時間基準として用い、スタンバイ時間はその整数倍として導かれます。このビットを有効にするには、このレジスタの MODE ビットフィールドをデューティ・サイクル・モード (0b1001) に設定する必要があります。 0 1/4 デューティ・サイクル。デバイスは、1/4 の時間アクティブになり、3/4 の時間はスタンバイになります。 1 1/16 デューティ・サイクル。デバイスは、1/16 の時間アクティブになり、15/16 の時間はスタンバイになります。	0x0	R/W
[5:2]	MODE	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001	ADC の動作モードを制御。 0000 連続変換モード。 0001 シングル・シーケンス・モード。 0010 スタンバイ・モード。 0011 パワーダウン・モード。パワーダウン・モードに移行するには、デバイスがスタンバイ・モードであることが必要です。それ以外の場合、デバイスは連続変換モードに移行します。このプロシージャは、パワーダウン・モードへの偶発的な遷移あるいは意図せぬ遷移を防止する安全機能の役割を果たします。 0100 アイドル・モード。デジタル・フィルタと変調器は、リセット状態になります。それ以外には変化はありません。 0101 内部オフセット・キャリブレーション (ゼロスケール) キャリブレーションの終了後、デバイスはアイドル・モードに戻る必要があります。 0110 内部ゲイン・キャリブレーション (フルスケール) キャリブレーションの終了後、デバイスはアイドル・モードに戻る必要があります。 0111 システム・オフセット・キャリブレーション (ゼロスケール) キャリブレーションの終了後、デバイスはアイドル・モードに戻る必要があります。 1000 システム・ゲイン・キャリブレーション (フルスケール) キャリブレーションの終了後、デバイスはアイドル・モードに戻る必要があります。 1001 デューティ・サイクル・モード。デバイスは、このレジスタの DUTY_CYC_RATIO ビットに基づき、選択したシーケンスの変換とスタンバイを繰り返します。	0x0	R/W

AD4130-8 のレジスタ

表 75. ADC_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		1010	「SYNC」によるシングル・シーケンス+アイドル」モード。デバイスは、ハイからローへのSYNCピンのパルスに基づき、選択したシーケンスの変換とアイドル・モードを繰り返します。		
		1011	「SYNC」によるシングル・シーケンス+STBY」モード。デバイスは、ハイからローへのSYNCピンのパルスに基づき、選択したシーケンスの変換とスタンバイを繰り返します。		
		1100 to 1111	予備。		
[1:0]	MCLK_SEL	00	マスタ・クロック選択ビット。 内部の 76.8kHz 出力オフ。内部クロックをクロック源として使用しますが、CLK ピンには出力されません。	0x0	R/W
		01	内部の 76.8kHz 出力オン。内部クロックをクロック源として使用し、CLK ピンに出力されます。		
		10	外部 76.8kHz。外部 CLK ピンをクロック源として使用。		
		11	外部 153.6kHz。外部 CLK ピンを内部で 2 分周した後クロック源として使用。		

ADC 変換結果レジスタ

アドレス : 0x02、リセット : 0x000000、レジスタ名 : DATA

最新の ADC の結果を格納。

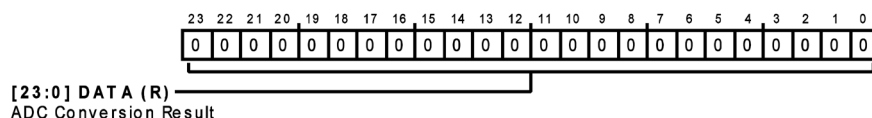


図 110.

表 76. DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	DATA		ADC 変換の結果。このレジスタには最新の ADC 変換の結果が格納されます。	0x0	R

入出力コントロール・レジスタ

アドレス : 0x03、リセット : 0x0000、レジスタ名 : IO_CONTROL

入出力ポートの一部を制御。

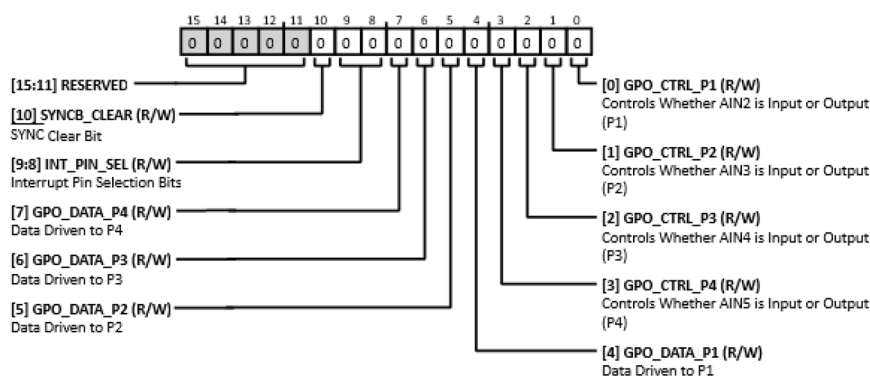


図 111.

AD4130-8 のレジスタ

表 77. IO_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:11]	RESERVED		予備。	0x0	R
10	SYNCB_CLEAR		SYNC クリア・ビット。このビットを使用すると、SYNC のパルスを介して FIFO をクリアできます。 0 ディスエーブル。SYNC を介した FIFO の内容のクリアをディスエーブル。 1 イネーブル。SYNC を介した FIFO の内容のクリアをイネーブル。	0x0	R/W
[9:8]	INT_PIN_SEL		データ・レディ/FIFO 割込みピン選択ビット。これらのビットは、データ・レディ/FIFO 割込み信号をどのピンに送るかを選択します。FIFO が無効な場合、データ・レディ信号が割込みイベントとして機能します。それ以外の場合、FIFO 割込みイベントは FIFO_CONTROL レジスタの設定によって決まります。 00 INT ピン。データ・レディ/FIFO 割込み信号は INT ピンに送られます。 01 CLK ピン。データ・レディ/FIFO 割込み信号は CLK ピンに送られます。この設定は ADC_CONTROL レジスタの CLK_SEL のビットの設定よりも優先されます。 10 P2 (AIN3) ピン。データ・レディ/FIFO 割込み信号は P2 ピンに送られます。この設定は、IO_CONTROL レジスタの GPO_CTRL_P2 ビットよりも優先されます。 11 DOUT ピン (FIFO を無効化)。データ・レディ信号は DOUT ピンに送られます。このオプションは FIFO 割込み信号には使いません。	0x0	R/W
7	GPO_DATA_P4		データを P4 で出力。ピンが GPO_CTRL_P4 の出力として設定されている場合。	0x0	R/W
6	GPO_DATA_P3		データを P3 で出力。ピンが GPO_CTRL_P3 の出力として設定されている場合。	0x0	R/W
5	GPO_DATA_P2		データを P2 で出力。ピンが GPO_CTRL_P2 の出力として設定されている場合。	0x0	R/W
4	GPO_DATA_P1		データを P1 で出力。ピンが GPO_CTRL_P1 の出力として設定されている場合。	0x0	R/W
3	GPO_CTRL_P4		AIN5 が入力か出力 (P4) かを制御。スタンバイ・ピンとして機能し (MISC レジスタの STBY_OUT_EN ビットで設定)。また、最高の優先度を持ち、他の機能をオーバーライドします。 0 GPIO が特定の入力機能を持つ。 1 GPIO が出力として機能。	0x0	R/W
2	GPO_CTRL_P3		AIN4 が入力か出力 (P3) かを制御。 0 GPIO が特定の入力機能を持つ。 1 GPIO が出力として機能。	0x0	R/W
1	GPO_CTRL_P2		AIN3 が入力か出力 (P2) かを制御。割込みピンとして機能し (IO_CONTROL レジスタの INT_PIN_SEL ビットで設定)。また、最高の優先度を持ち、他の機能をオーバーライドします。 0 GPIO が特定の入力機能を持つ。 1 GPIO が出力として機能。	0x0	R/W
0	GPO_CTRL_P1		AIN2 が入力か出力 (P1) かを制御。 0 GPIO が特定の入力機能を持つ。 1 GPIO が出力として機能。	0x0	R/W

AD4130-8 のレジスタ

VBIAS コントロール・レジスタ

アドレス：0x04、リセット：0x0000、レジスタ名：VBIAS_CONTROL

アナログ入力ピンの出力 VBIAS を選択。

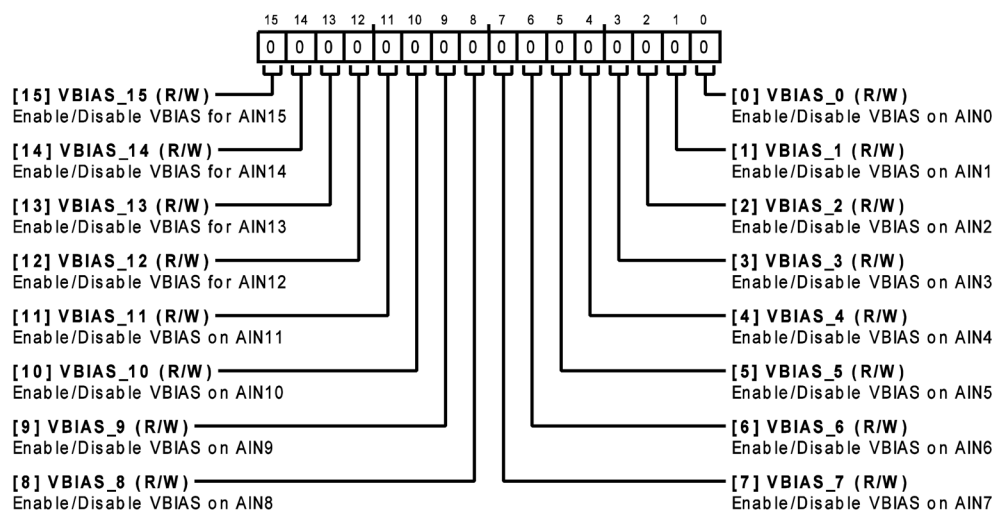


図 112.

表 78. VBIAS_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	VBIAS_15	0 1	AIN15 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
14	VBIAS_14	0 1	AIN14 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
13	VBIAS_13	0 1	AIN13 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
12	VBIAS_12	0 1	AIN12 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
11	VBIAS_11	0 1	AIN11 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
10	VBIAS_10	0 1	AIN10 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
9	VBIAS_9	0 1	AIN9 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
8	VBIAS_8	0 1	AIN8 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W

AD4130-8 のレジスタ

表 78. VBIAS_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	VBIAS_7	0 1	AIN7 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
6	VBIAS_6	0 1	AIN6 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
5	VBIAS_5	0 1	AIN5 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
4	VBIAS_4	0 1	AIN4 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
3	VBIAS_3	0 1	AIN3 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
2	VBIAS_2	0 1	AIN2 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
1	VBIAS_1	0 1	AIN1 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W
0	VBIAS_0	0 1	AIN0 の VBIAS をイネーブル/ディスエーブル。 このピンの VBIAS をディスエーブル。 このピンの VBIAS をイネーブル。	0x0	R/W

AD4130-8 のレジスタ

識別レジスタ

アドレス : 0x05、リセット : 0x04、レジスタ名 : ID

8 ビットのデバイス ID を返します。

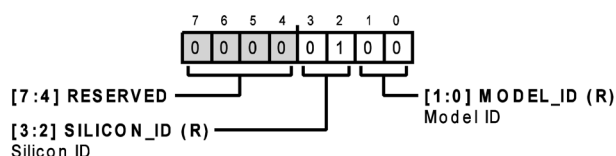


図 113.

表 79. ID レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R
[3:2]	SILICON_ID		半導体素子の ID。	0x1	R
[1:0]	MODEL_ID	00	24 ビット WLCSP のモデル ID。これらのビットはモデルごとにデフォルトで設定されており、読み出し専用です。	0x0	R

エラー・レジスタ

アドレス : 0x06、リセット : 0x0000、レジスタ名 : ERROR

このレジスタの各エラー・ビットを期待通りに機能させるには、ERROR_EN レジスタでイネーブルされている必要があります。このレジスタの全ビットは R/W1C です。

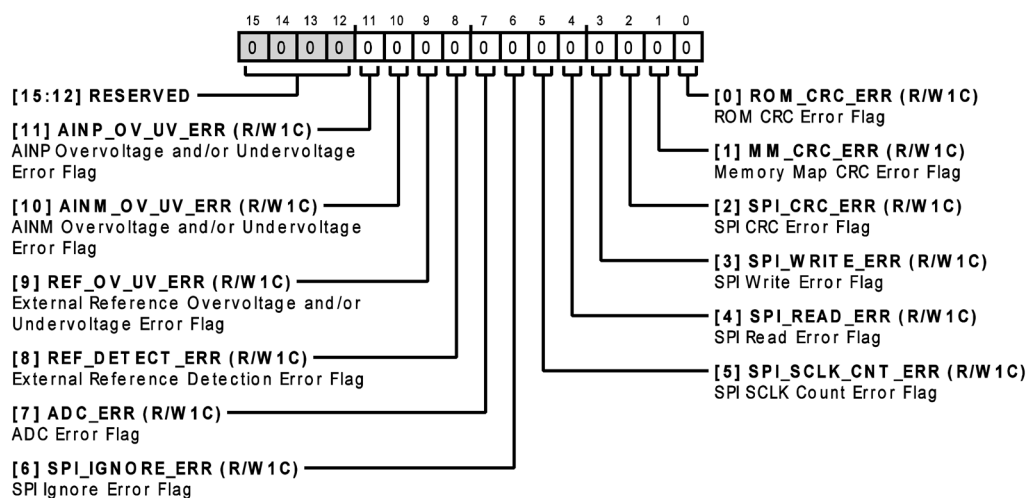


図 114.

表 80. ERROR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:12]	RESERVED		予備。	0x0	R
11	AINP_OV_UV_ERR		AINP の過電圧／低電圧エラー・フラグ。このビットがセットされている場合、AINP の過電圧や低電圧が検出されたことを示します。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。	0x0	R/W1C
		0	エラー検出なし。		
		1	AINP の OV/UV エラーを検出。		

AD4130-8 のレジスタ

表 80. ERROR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
10	AINM_OV_UV_ERR	0 1	AINM の過電圧／低電圧エラー・フラグ。このビットがセットされている場合、AINM の過電圧や低電圧が検出されたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 AINM の OV/UV エラーを検出。	0x0	R/W1C
9	REF_OV_UV_ERR	0 1	外部リファレンスの過電圧／低電圧エラー・フラグ。このビットがセットされている場合、外部リファレンスの過電圧や低電圧が検出されたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 REFIN の OV/UV エラーを検出。	0x0	R/W1C
8	REF_DETECT_ERR	0 1	外部リファレンス検出エラー・フラグ。このビットがセットされている場合、外部リファレンスの電圧 (REFINx(+)-REFINx(-)) が閾値未満であることを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 REFIN エラーを検出。	0x0	R/W1C
7	ADC_ERR	0 1	ADC エラー・フラグ。このエラーがセットされるのは、次の ADC 変換／キャリブレーション・エラーが検出された場合です。ADC の変換結果が正のフルスケールでクランプされた、ADC の変換結果が負のフルスケールでクランプされた、ADC のオフセット／ゲイン・キャリブレーションの結果が指定範囲外になった、変調器が飽和した。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 ADC エラーを検出。	0x0	R/W1C
6	SPI_IGNORE_ERR	0 1	SPI 無視エラー・フラグ。このビットがセットされた場合、SPI アクセスが無視されるとき (ROM の内容がダウンロードされているときなど) に SPI アクセスが行われたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 SPI エラーを検出。	0x0	R/W1C
5	SPI_SCLK_CNT_ERR	0 1	SPI の SCLK カウント・エラー・フラグ。このビットがセットされている場合、所定の SPI フレームの SCLK が 8 の倍数になっていないことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 SCLK カウント・エラーを検出。	0x0	R/W1C
4	SPI_READ_ERR	0 1	SPI 読出しエラー・フラグ。このビットがセットされている場合、無効なアドレスで SPI 読出しが行われたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 SPI 読出しエラーを検出。	0x0	R/W1C
3	SPI_WRITE_ERR	0 1	SPI 書込みエラー・フラグ。このビットがセットされている場合、無効なアドレスで SPI 書込みが行われたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 SPI 書込みエラーを検出。	0x0	R/W1C
2	SPI_CRC_ERR	0 1	SPI の CRC エラー・フラグ。このビットがセットされている場合、SPI 通信で CRC エラーが検出されたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 SPI の CRC エラーを検出。	0x0	R/W1C
1	MM_CRC_ERR	0 1	メモリ・マップの CRC エラー・フラグ。このエラーがイネーブルされている場合、メモリ・マップの周期的 CRC チェックが実行されます。このビットがセットされている場合、(実際の書込みのない) メモリ・マップ内容の変更が検出されたことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。 エラー検出なし。 メモリ・マップの CRC エラーを検出。	0x0	R/W1C

AD4130-8 のレジスタ

表 80. ERROR レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
0	ROM_CRC_ERR		ROM の CRC エラー・フラグ。CRC の計算はパワーアップ時に ROM の内容について行われます。このビットがセットされている場合、ROM 内容が変化したことを示しています。ERROR_EN レジスタでこのエラー・フラグをイネーブルしてください。	0x0	R/W1C
		0	エラー検出なし。		
		1	ROM の CRC エラーを検出。		

エラー・イネーブル・レジスタ

アドレス : 0x07、リセット : 0x0040、レジスタ名 : ERROR_EN

このレジスタの各ビットでエラー・レジスタのフラグをイネーブルします。

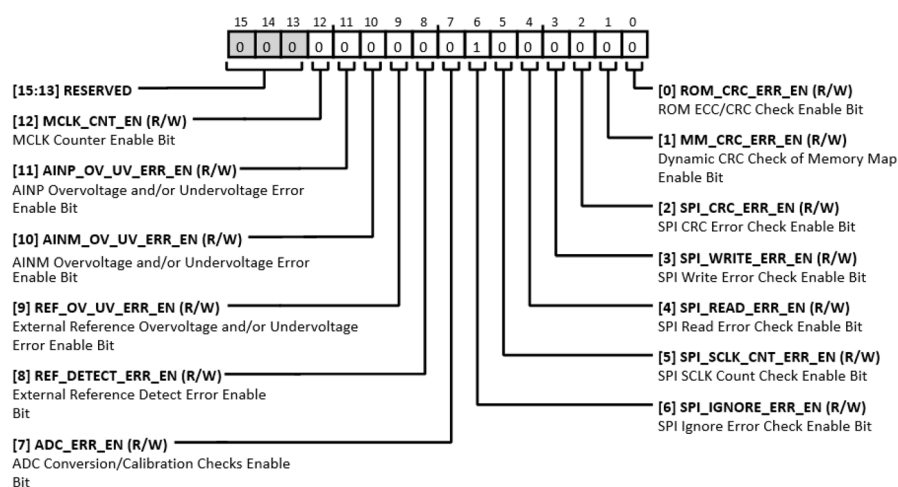


図 115.

表 81. ERROR_EN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	RESERVED		予備。	0x0	R
12	MCLK_CNT_EN		MCLK カウンタ・イネーブル・ビット。カウンタ値は MCLK_COUNT レジスタを介して報告されます。	0x0	R/W
		0	MCLK カウンタをディスエーブル。		
		1	MCLK カウンタをイネーブル。		
11	AINP_OV_UV_ERR_EN		AINP の過電圧／低電圧エラー・イネーブル・ビット。このビットを 1 にセットすると、AINP 過電圧エラーをエラー・レジスタに出力できます。	0x0	R/W
		0	AINP の OV/UV エラーをディスエーブル。		
		1	AINP の OV/UV エラーをイネーブル。		
10	AINM_OV_UV_ERR_EN		AINM の過電圧／低電圧エラー・イネーブル・ビット。このビットを 1 にセットすると、AINM 過電圧／低電圧エラーをエラー・レジスタに出力できます。	0x0	R/W
		0	AINM の OV/UV エラーをディスエーブル。		
		1	AINM の OV/UV エラーをイネーブル。		

AD4130-8 のレジスタ

表 81. ERROR_EN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
9	REF_OV_UV_ERR_EN	0 1	外部リファレンスの過電圧/低電圧エラー・イネーブル・ビット。このビットを 1 にセットすると、外部リファレンスの過電圧/低電圧エラーをエラー・レジスタに出力できます。 REFIN の OV/UV エラーをディスエーブル。 REFIN の OV/UV エラーをイネーブル。	0x0	R/W
8	REF_DETECT_ERR_EN	0 1	外部リファレンス検出エラー・イネーブル・ビット。このビットを 1 にセットすると、外部リファレンスのエラーをエラー・レジスタに出力できます。 REFIN エラーをディスエーブル。 REFIN エラーをイネーブル。	0x0	R/W
7	ADC_ERR_EN	0 1	ADC の変換/キャリブレーション・チェック・イネーブル・ビット。このビットを 1 にセットすると、ADC_ERR をエラー・レジスタに出力できます。 ADC エラーをディスエーブル。 ADC エラーをイネーブル。	0x0	R/W
6	SPI_IGNORE_ERR_EN	0 1	SPI の無視エラー・チェック・イネーブル・ビット。デフォルトでイネーブルされています。このエラーは、エラー・レジスタの SPI_IGNORE_ERR を介して報告されます。パワーアップ時のヒューズが全域でコピーされているときに、ユーザがメモリ・マップに書き込みを行った場合、あるいは、オフセット・キャリブレーションまたはゲイン・キャリブレーションを実行しているときに、ユーザがメモリ・マップに書き込みを行った場合に、エラー・フラグが立ちます。 SPI の無視エラーをディスエーブル。 SPI の無視エラーをイネーブル。	0x1	R/W
5	SPI_SCLK_CNT_ERR_EN	0 1	SPI の SCLK カウント・チェック・イネーブル・ビット。この機能をイネーブルするには、ADC_CONTROL の CSB_EN を 1 に設定します。SPI SCLK カウンタは、各読出し/書き込み動作で使用される SCLK パルスの数をカウントします。この機能を使用する場合、 $\overline{CS}$ はすべての読出し/書き込み動作をフレームする必要があります。すべての読出し/書き込み動作は、8SCLK パルスの整数倍です。SCLK カウンタが SCLK パルスをカウントして、結果が 8 の整数倍でない場合はエラーがフラグされ、エラー・レジスタの SPI_SCLK_CNT_ERR ビットがセットされます。書き込み動作が実行され、SCLK に含まれる SCLK パルスの数が不十分な場合、この値はアドレス指定されたレジスタには書き込まれず、書き込み動作はアボートされます。 SPI の SCLK エラーをディスエーブル。 SPI の SCLK エラーをイネーブル。	0x0	R/W
4	SPI_READ_ERR_EN	0 1	SPI の読出しエラー・チェック・イネーブル・ビット。この機能をイネーブルするには、ADC_CONTROL の CSB_EN も 1 に設定する必要があります。このエラーは、エラー・レジスタの SPI_READ_ERR を介して報告されます。SPI_READ_ERR ビットにフラグが立つのは、無効なアドレスを読み出そうとした場合です。 SPI の読出しエラーをディスエーブル。 SPI の読出しエラーをイネーブル。	0x0	R/W
3	SPI_WRITE_ERR_EN	0 1	SPI の書き込みエラー・チェック・イネーブル・ビット。この機能をイネーブルするには、ADC_CONTROL の CSB_EN も 1 に設定する必要があります。このエラーは、エラー・レジスタの SPI_WRITE_ERR を介して報告されます。SPI_WRITE_ERR ビットにフラグが立つのは、無効なアドレスまたは読出し専用アドレスを読み出そうとした場合です。 SPI の書き込みエラーをディスエーブル。 SPI の書き込みエラーをイネーブル。	0x0	R/W
2	SPI_CRC_ERR_EN	0 1	SPI の CRC エラー・チェック・イネーブル・ビット。チェックサムを使用すると、レジスタには有効なデータのみが書き込まれ、検証されるレジスタからのデータ読出しが可能になります。レジスタへの書き込み時にエラーが発生した場合、エラー・レジスタの CRC_ERR ビットがセットされます。ただし、レジスタへの書き込みが正常に行われたかを確認するには、レジスタをリードバックし、チェックサムを確認します。 SPI の CRC チェックをディスエーブル。 SPI の CRC チェックをイネーブル。	0x0	R/W

AD4130-8 のレジスタ

表 81. ERROR_EN レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
1	MM_CRC_ERR_EN		メモリ・マップの動的 CRC チェック・イネーブル・ビット。このエラーは、エラー・レジスタの MM_CRC_ERR を介して報告されます。メモリ・マップ CRC は読み出し専用レジスタ（ステータス、データ、MCLK_COUNT など）を除くすべてのメモリ・マップ内容で実行されます。CRC は 426.6μs ごと (2.4kHz) に行われます。その後にメモリ・マップへメモリ書き込みが行われると、CRC が再計算されます。これは次の場合に生じます。ユーザ書き込み、オフセット／ゲイン・キャリブレーション、シングル・シーケンスのモード変換の最後で MODE ビットがシングル・シーケンスからアイドルに変わるとき、連続読み出しモードの終了時、ADC_CONTROL の CONT_READ ビットが 0 に変化。 0 MM の CRC チェックをディスエーブル。 1 MM の CRC チェックをイネーブル。	0x0	R/W
0	ROM_CRC_ERR_EN		ROM の ECC/CRC チェック・イネーブル・ビット。パワーアップ時は常に ROM の CRC が実行され、このビットがエラーを報告します。このエラーは、エラー・レジスタの ROM_CRC_ERR を介して報告されます。 0 ROM の CRC/ECC チェックをディスエーブル。 1 ROM の CRC/ECC チェックをイネーブル。	0x0	R/W

MCLK カウンタ・レジスタ

アドレス：0x08、リセット：0x00、レジスタ名：MCLK_COUNT

この機能が有効化されている場合、MCLK カウントの値が返されます。

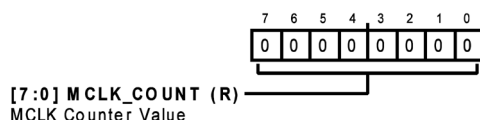


図 116.

表 82. MCLK_COUNT レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	MCLK_COUNT		MCLK カウンタ値。このレジスタにより、内部／外部発振器の周波数を判断できます。クロック・カウンタは内部でマスタ・クロック ($f_{MCLK} = 76.8\text{kHz}$) の 131 パルスごとにインクリメントするため、更新レートは 586.26Hz となります。8 ビット・カウンタは、最大値に到達した後にラップ・アラウンドします。MCLK カウンタ機能を有効化するには、ERROR_EN レジスタの MCLK_CNT_EN ビットを用います。	0x00	R

AD4130-8 のレジスタ

チャンネル m の設定レジスタ (m = 0~15)

アドレス : 0x09~0x18 (1 ずつインクリメント) 、リセット : 0x800100 (CHANNEL_0) 、0x000100 (その他の全チャンネル) 、レジスタ名 : CHANNEL_m (m = 0~15)

これらのレジスタを用いると、自動化されたシーケンスでのチャンネルのイネーブル、プラス入力とマイナス入力の選択、特定の入力における励起電流の可用性の判定、FIFO 閾値のイネーブルが可能となります。また、各チャンネルに関連する ADC セットアップ n を選択できます。ADC のセットアップは、設定、フィルタ、オフセット、ゲインの各レジスタで構成されています。

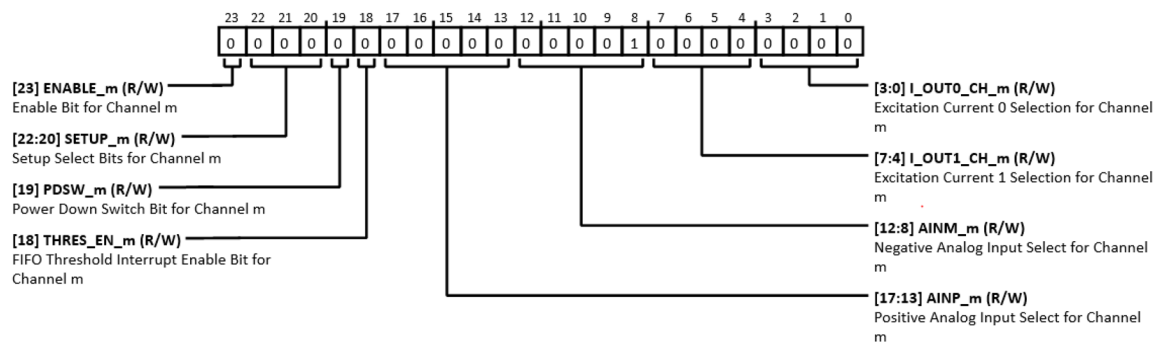


図 117.

表 83. CHANNEL_m レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
23	ENABLE_m		チャンネル m のイネーブル・ビット。このビットによって、関連するチャンネルをシーケンスに加えることができます。デフォルトでは、CHANNEL_0 の ENABLE_0 ビットのみが 1 にセットされ、その他の ENABLE_m ビットはすべて 0 にセットされています。変換は、イネーブルにされた最も番号が小さいチャンネルから開始され、チャンネル番号順に連続的に実行された後、最も番号が小さいチャンネルにラップ・アラウンドします。ADC が特定のチャンネルの結果を書き込むと、ステータス・レジスタの 4 つの LSB がそのチャンネル番号 (0~15) にセットされます。これにより、読み出すデータに対応するチャンネルを特定できます。 0 チャンネルをディスエーブル。 1 チャンネルをイネーブル。	0x1 (CHANNEL_0) 0x0 (CHANNEL_m)	R/W
[22:20]	SETUP_m		チャンネル m の ADC セットアップ選択ビット。ADC のセットアップは一連の 4 個の対応レジスタ (CONFIG_n、FILTER_n、OFFSET_n、GAIN_n) で構成されています。例えば、チャンネルの SETUP_m の値が 0 の場合、その設定は、CONFIG_0、FILTER_0、OFFSET_0、GAIN_0 で決まります。すべてのチャンネルが同じセットアップを使用することができます。この場合、すべてのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込みます。または、最多で 8 チャンネルを異なる設定にすることができます。 0 ADC セットアップ 0。CONFIG_0/FILTER_0/OFFSET_0/GAIN_0 の設定を使用してこのチャンネルの ADC を設定。 1 ADC セットアップ 1。CONFIG_1/FILTER_1/OFFSET_1/GAIN_1 の設定を使用してこのチャンネルの ADC を設定。 2 ADC セットアップ 2。CONFIG_2/FILTER_2/OFFSET_2/GAIN_2 の設定を使用してこのチャンネルの ADC を設定。 3 ADC セットアップ 3。CONFIG_3/FILTER_3/OFFSET_3/GAIN_3 の設定を使用してこのチャンネルの ADC を設定。 4 ADC セットアップ 4。CONFIG_4/FILTER_4/OFFSET_4/GAIN_4 の設定を使用してこのチャンネルの ADC を設定。 5 ADC セットアップ 5。CONFIG_5/FILTER_5/OFFSET_5/GAIN_5 の設定を使用してこのチャンネルの ADC を設定。 6 ADC セットアップ 6。CONFIG_6/FILTER_6/OFFSET_6/GAIN_6 の設定を使用してこのチャンネルの ADC を設定。 7 ADC セットアップ 7。CONFIG_7/FILTER_7/OFFSET_7/GAIN_7 の設定を使用してこのチャンネルの ADC を設定。	0x0	R/W

AD4130-8 のレジスタ

表 83. CHANNEL_m レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
19	PDSW_m		チャンネル m のパワーダウン・スイッチ・ビット。このビットは、デバイスがパワーダウン・モードまたはスタンバイ・モードの場合を除き、チャンネルごとに PSW ピンを AV _{SS} に接続するオプションを有効にします。このビットが 1 の場合、このチャンネルのパワーダウン・スイッチがイネーブルされ、PSW ピンに接続されているものはすべて AV _{SS} に短絡されます。パワーダウン・モードでは、スイッチは自動的にオープン（つまりディスエーブル）になります。デバイスがスタンバイ・モードとなっており、MISC レジスタの STBY_PDSW_EN ビットが 0 に設定されていると、このビットの機能は無効化されます。 0 パワーダウン・スイッチ・オフ。このチャンネルのパワーダウン・スイッチは常にディスエーブルされます。 1 パワーダウン・スイッチ・オン。これにより PSW ピンは電流をシンクできます。	0x0	R/W
18	THRES_EN_m		チャンネル m の FIFO 閾値割込みイネーブル・ビット。このビットが 1 にセットされていると、このチャンネルからの変換データが、FIFO_THRESHOLD レジスタの THRES_LOW_VAL および THRES_HIGH_VAL で定められた閾値を横切るかどうかはモニタされます。FIFO が無効な場合、このビットによる影響はありません。	0x0	R/W
[17:13]	AINP_m		チャンネル m の正のアナログ入力を選択。これらのビットにより、このチャンネルの正入力に接続するアナログ入力を選択できます。 00000 AIN0。 00001 AIN1。 00010 AIN2。 00011 AIN3。 00100 AIN4。 00101 AIN5。 00110 AIN6。 00111 AIN7。 01000 AIN8。 01001 AIN9。 01010 AIN10。 01011 AIN11。 01100 AIN12。 01101 AIN13。 01110 AIN14。 01111 AIN15。 10000 温度センサー。 10001 AV _{SS} 。 10010 内部リファレンス。 10011 DGND。 10100 (AV _{DD} - AV _{SS})/6+。(AV _{DD} - AV _{SS})/6-と組み合わせて使用し、電源 AV _{DD} - AV _{SS} を監視。 10101 (AV _{DD} - AV _{SS})/6-。(AV _{DD} - AV _{SS})/6+と組み合わせて使用し、電源 AV _{DD} - AV _{SS} を監視。 10110 (IOV _{DD} - DGND)/6+。(IOV _{DD} - DGND)/6-と組み合わせて使用し、IOV _{DD} - DGND を監視。 10111 (IOV _{DD} - DGND)/6-。(IOV _{DD} - DGND)/6+と組み合わせて使用し、IOV _{DD} - DGND を監視。 11000 (ALDO - AV _{SS})/6+。(ALDO - AV _{SS})/6-と組み合わせて使用し、アナログ LDO を監視。 11001 (ALDO - AV _{SS})/6-。(ALDO - AV _{SS})/6+と組み合わせて使用し、アナログ LDO を監視。 11010 (DLDO - DGND)/6+。(DLDO - DGND)/6-と組み合わせて使用し、デジタル LDO を監視。 11011 (DLDO - DGND)/6-。(DLDO - DGND)/6+と組み合わせて使用し、デジタル LDO を監視。	0x0	R/W

AD4130-8 のレジスタ

表 83. CHANNEL_m レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		11100	V_MV_P。V_MV_M と組み合わせて使用し、数十 mV _{pp} の信号を ADC に入力。		
		11101	V_MV_M。V_MV_P と組み合わせて使用し、数十 mV _{pp} の信号を ADC に入力。		
		11110	予備。		
		11111	予備。		
[12:8]	AINM_m		チャンネル m の負のアナログ入力の選択。これらのビットにより、このチャンネルの負入力に接続するアナログ入力を選択できます。	0x1	R/W
		00000	AIN0。		
		00001	AIN1。		
		00010	AIN2。		
		00011	AIN3。		
		00100	AIN4。		
		00101	AIN5。		
		00110	AIN6。		
		00111	AIN7。		
		01000	AIN8。		
		01001	AIN9。		
		01010	AIN10。		
		01011	AIN11。		
		01100	AIN12。		
		01101	AIN13。		
		01110	AIN14。		
		01111	AIN15。		
		10000	温度センサー。		
		10001	AV _{SS} 。		
		10010	内部リファレンス。		
		10011	DGND。		
		10100	(AV _{DD} - AV _{SS})/6+。(AV _{DD} - AV _{SS})/6- と組み合わせて使用し、電源 AV _{DD} - AV _{SS} を監視。		
		10101	(AV _{DD} - AV _{SS})/6-。(AV _{DD} - AV _{SS})/6+ と組み合わせて使用し、電源 AV _{DD} - AV _{SS} を監視。		
		10110	(IOV _{DD} - DGND)/6+。(IOV _{DD} - DGND)/6- と組み合わせて使用し、IOV _{DD} - DGND を監視。		
		10111	(IOV _{DD} - DGND)/6-。(IOV _{DD} - DGND)/6+ と組み合わせて使用し、IOV _{DD} - DGND を監視。		
		11000	(ALDO - AV _{SS})/6+。(ALDO - AV _{SS})/6- と組み合わせて使用し、アナログ LDO を監視。		
		11001	(ALDO - AV _{SS})/6-。(ALDO - AV _{SS})/6+ と組み合わせて使用し、アナログ LDO を監視。		
		11010	(DLDO - DGND)/6+。(DLDO - DGND)/6- と組み合わせて使用し、デジタル LDO を監視。		
		11011	(DLDO - DGND)/6-。(DLDO - DGND)/6+ と組み合わせて使用し、デジタル LDO を監視。		
		11100	V_MV_P。V_MV_M と組み合わせて使用し、数十 mV _{pp} の信号を ADC に入力。		
		11101	V_MV_M。V_MV_P と組み合わせて使用し、数十 mV _{pp} の信号を ADC に入力。		
		11110	予備。		
		11111	予備。		
[7:4]	I_OUT1_CH_m		励起電流 1 のチャンネル m の選択。	0x0	R/W
		0000	I_OUT1 は AIN0 で出力。		
		0001	I_OUT1 は AIN1 で出力。		
		0010	I_OUT1 は AIN2 で出力。		
		0011	I_OUT1 は AIN3 で出力。		
		0100	I_OUT1 は AIN4 で出力。		

AD4130-8 のレジスタ

表 83. CHANNEL_m レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
		0101	I_OUT1 は AIN5 で出力。		
		0110	I_OUT1 は AIN6 で出力。		
		0111	I_OUT1 は AIN7 で出力。		
		1000	I_OUT1 は AIN8 で出力。		
		1001	I_OUT1 は AIN9 で出力。		
		1010	I_OUT1 は AIN10 で出力。		
		1011	I_OUT1 は AIN11 で出力。		
		1100	I_OUT1 は AIN12 で出力。		
		1101	I_OUT1 は AIN13 で出力。		
		1110	I_OUT1 は AIN14 で出力。		
		1111	I_OUT1 は AIN15 で出力。		
[3:0]	I_OUT0_CH_m		励起電流 0 のチャンネル m の選択。	0x0	R/W
		0000	I_OUT0 は AIN0 で出力。		
		0001	I_OUT0 は AIN1 で出力。		
		0010	I_OUT0 は AIN2 で出力。		
		0011	I_OUT0 は AIN3 で出力。		
		0100	I_OUT0 は AIN4 で出力。		
		0101	I_OUT0 は AIN5 で出力。		
		0110	I_OUT0 は AIN6 で出力。		
		0111	I_OUT0 は AIN7 で出力。		
		1000	I_OUT0 は AIN8 で出力。		
		1001	I_OUT0 は AIN9 で出力。		
		1010	I_OUT0 は AIN10 で出力。		
		1011	I_OUT0 は AIN11 で出力。		
		1100	I_OUT0 は AIN12 で出力。		
		1101	I_OUT0 は AIN13 で出力。		
		1110	I_OUT0 は AIN14 で出力。		
		1111	I_OUT0 は AIN15 で出力。		

AD4130-8 のレジスタ

設定 n レジスタ (n = 0~7)

アドレス : 0x19~0x20 (1 ずつインクリメント) 、リセット : 0x0000、レジスタ名 : CONFIG_n (n = 0~7)

これらのレジスタによって、励起電流とバーンアウト電流の値、リファレンス・モードおよびバッファ、PGA モードを、CHANNEL_m レジスタで選択する最大 7 通りの ADC セットアップに対し設定できます。

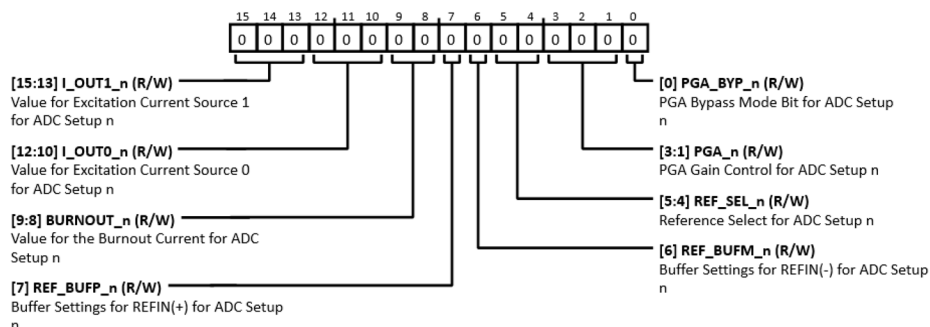


図 118.

表 84. CONFIG_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	I_OUT1_n	000	ADC セットアップ n 用の励起電流源 1 の値。 オフ。	0x0	R/W
		001	10μA。		
		010	20μA。		
		011	50μA。		
		100	100μA。		
		101	150μA。		
		110	200μA。		
		111	100nA。		
[12:10]	I_OUT0_n	000	ADC セットアップ n 用の励起電流源 0 の値。 オフ。	0x0	R/W
		001	10μA。		
		010	20μA。		
		011	50μA。		
		100	100μA。		
		101	150μA。		
		110	200μA。		
		111	100nA。		
[9:8]	BURNOUT_n	00	ADC セットアップ n 用のバーンアウト電流の値。 バーンアウト電流オフ。	0x0	R/W
		01	バーンアウト電流 = 0.5μA。		
		10	バーンアウト電流 = 2μA。		
		11	バーンアウト電流 = 4μA。		
7	REF_BUFP_n	0	ADC セットアップ n 用の REFIN(+)のバッファ設定。 REFIN(+)のバッファをバイパス。	0x0	R/W
		1	REFIN(+)のバッファをオン。		

AD4130-8 のレジスタ

表 84. CONFIG_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
6	REF_BUFM_n	0 1	ADC セットアップ n 用の REFIN(-) のバッファ設定。 REFIN(-) のバッファをバイパス。 REFIN(-) のバッファをオン。	0x0	R/W
[5:4]	REF_SEL_n	00 01 10 11	ADC セットアップ n 用のリファレンス選択。 REFIN1(+), REFIN1(-)。 REFIN2(+), REFIN2(-)。 REFOUT、AV _{SS} 。内部リファレンス。 AV _{DD} 、AV _{SS} 。	0x0	R/W
[3:1]	PGA_n	000 001 010 011 100 101 110 111	ADC セットアップ n 用の PGA ゲイン制御。PGA のゲインを制御します。同じ CONFIG_n レジスタの PGA_BYP_n がセットされている場合、PGA_n ビットは無視され、ゲインは 1 に固定されます。 ゲイン=1。 ゲイン=2。 ゲイン=4。 ゲイン=8。 ゲイン=16。 ゲイン=32。 ゲイン=64。 ゲイン=128。	0x0	R/W
0	PGA_BYP_n	0 1	PGA バイパス・モード・ビット。このビットがセットされていると、PGA はバイパス・モードとなり、同じ CONFIG_n レジスタの PGA フィールドの設定は無視されます。 PGA バイパスをディスエーブル。 PGA バイパスをイネーブル。	0x0	R/W

AD4130-8 のレジスタ

フィルタ n レジスタ (n = 0~7)

アドレス : 0x21~0x28 (1 ずつインクリメント) 、リセット : 0x002030、レジスタ名 : FILTER_n (n = 0~7)

これらのレジスタにより、CHANNEL_m レジスタの SETUP_m ビットフィールドを指定してデジタル・フィルタを選択できる、最大 7 個の異なるオプションを設定できます。

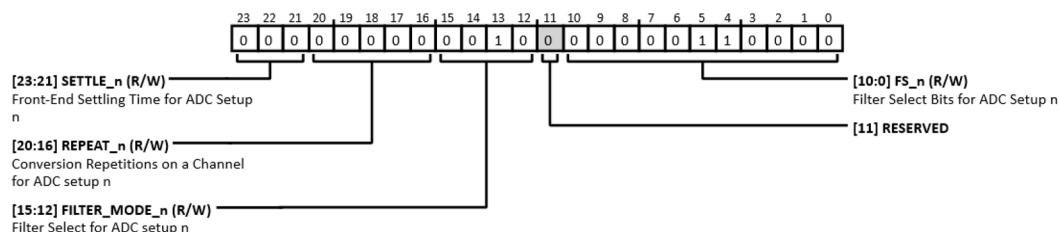


図 119.

表 85. FILTER_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:21]	SETTLE_n		ADC セットアップ n のフロントエンド・セトリング・タイム。入力のセトリング・タイムの変化に対応するため、SETTLE_n ビットを設定し、そのチャンネルの変換を開始するまでにデバイスが適当な時間だけ待機するようにできます。これは、励起電流が AINx 入力で出力される場合や、変換するチャンネルで PDSW がイネーブルされている場合に便利です。このフロントエンド・セトリング・タイムは、チャンネルを変更することに適用できます。REPEAT_n ビットの値で決まる後続の繰り返し変換には適用できません。	0x0	R/W
		000	32MCLK サイクル (416.6μs)。		
		001	64MCLK サイクル (833.3μs)。		
		010	128MCLK サイクル (1.66ms)。		
		011	256MCLK サイクル (3.33ms)。		
		100	512MCLK サイクル (6.66ms)。		
		101	1024MCLK サイクル (13.33ms)。		
		110	2048MCLK サイクル (26.66ms)。		
		111	4096MCLK サイクル (53.33ms)。		
[20:16]	REPEAT_n		ADC セットアップ n のチャンネルの変換繰り返し回数。所定チャンネルの変換は REPEAT_n ビットで示された回数だけ繰り返されます。REPEAT_n が 0 の場合、繰り返しは行われず、チャンネルの変換は 1 回のみです。REPEAT_n が N の場合、次のチャンネルを変換するまでに N + 1 回の変換が行われます。これらのビットは、デューティ・サイクルまたは何らかのキャリブレーション・モードがイネーブルされている場合は、使用できません。	0x0	R/W
[15:12]	FILTER_MODE_n		ADC セットアップ n 用のフィルタ選択。	0x2	R/W
		0000	Sinc ⁴ 。Sinc ⁴ スタンドアロン・フィルタ。		
		0001	Sinc ⁴ + sinc ¹ 。Sinc ⁴ 平均化モード・フィルタ。		
		0010	Sinc ³ 。Sinc ³ スタンドアロン・フィルタ。		
		0011	Sinc ³ + REJ60。これにより、メインのノッチ周波数の 6/5 の周波数で追加のノッチが発生します。最初のメイン・ノッチが 50Hz (FS = 48) に設定されている場合、このモードにより 50SPS の更新レートで 50Hz/60Hz の同時除去ができます。		
		0100	Sinc ³ + sinc ¹ 。Sinc ³ 平均化モード・フィルタ。		
		0101	Sinc ³ + ポスト・フィルタ 1。ODR (Hz) = 26.087SPS。		
		0110	Sinc ³ + ポスト・フィルタ 2。ODR (Hz) = 24SPS。		
		0111	Sinc ³ + ポスト・フィルタ 3。ODR (Hz) = 19.355SPS。		
		1000	Sinc ³ + ポスト・フィルタ 4。ODR (Hz) = 16.21SPS。		
		1001 to 1111	予備。		

AD4130-8 のレジスタ

表 85. FILTER_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
11	RESERVED		予備。	0x0	R
[10:0]	FS_n		ADC セットアップ n 用のフィルタ選択ビット。これらのビットは ADC セットアップ n に対し ADC の出力データ・レート (ODR) を制御します。FS = 0 は FS = 1 として処理されます。	0x30	R/W

オフセット n レジスタ (n = 0~7)

アドレス : 0x29~0x30 (1 ずつインクリメント)、リセット : 0x800000、レジスタ名 : OFFSET_n (n = 0~7)

これらのレジスタは、CHANNEL_m レジスタで選択された対応する ADC セットアップ n のオフセット・キャリブレーションの結果を格納します。

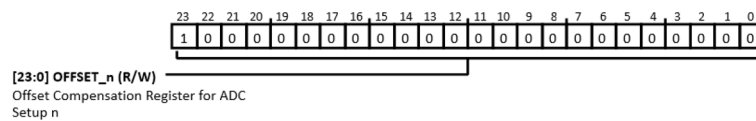


図 120.

表 86. OFFSET_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSET_n		ADC セットアップ n 用のオフセット補償レジスタ。内部のまたはシステムのオフセット・キャリブレーションの結果は、アクティブなチャンネルの CHANNEL_m レジスタの SETUP_m ビットで指定された OFFSET_n レジスタに書き込まれます。キャリブレーション時は、1 チャンネルのみをアクティブにすることができます。OFFSET_n レジスタのデフォルト/リセット値は 0x800000 です。	0x800000	R/W

ゲイン n レジスタ (n = 0~7)

アドレス : 0x31~0x38 (1 ずつインクリメント)、リセット : 0xFFFFFFFF、レジスタ名 : GAIN_n (n = 0~7)

これらのレジスタは、CHANNEL_m レジスタで選択された対応する ADC セットアップ n のゲイン・キャリブレーションの結果を格納します。

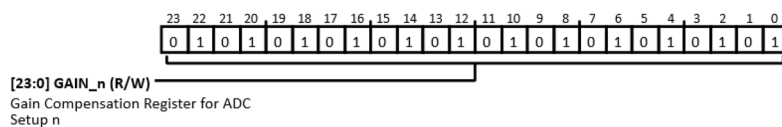


図 121.

表 87. GAIN_n レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	GAIN_n		ADC セットアップ n 用のゲイン補償レジスタ。内部のまたはシステムのゲイン・キャリブレーションの結果は、アクティブなチャンネルの CHANNEL_m レジスタのセットアップ n ビットで指定された GAIN_n レジスタに書き込まれます。キャリブレーション時は、1 チャンネルのみをアクティブにすることができます。GAIN_n のレジスタの公称値は 0x555555 です。デバイスは、工場出荷時に周囲温度およびゲイン 1、PGA_BYN_n = 0 の条件でキャリブレーションが行われています。その結果得られたゲイン係数がデフォルト値としてデバイスの GAIN_n レジスタにロードされています。	0xFFFFFFFF	R/W

AD4130-8 のレジスタ

補助レジスタ

アドレス : 0x39、リセット : 0x0000、レジスタ名 : MISC

発振器、LDO、キャリブレーション、スタンバイ・モードの設定を含んでいます。

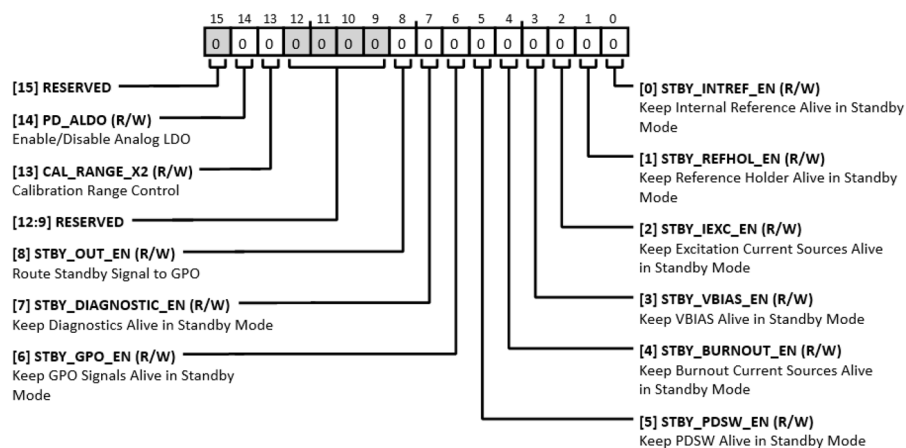


図 122.

表 88. MISC レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予備。このビットには常に 0 を書き込みます。	0x0	R/W
14	PD_ALDO	0 1	アナログ LDO のイネーブル/ディスエーブル。 0 アナログ LDO をオン。 1 アナログ LDO をオフ。	0x0	R/W
13	CAL_RANGE_X2	0 1	キャリブレーション範囲制御。このビットは、リファレンスが 2V より高い場合に内部ゲインのキャリブレーションに使用できます。1 にセットすると、抵抗ストリングの出力電圧が 2 倍になり、内部ゲイン・キャリブレーションの結果が向上します。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
[12:9]	RESERVED		予備。	0x0	R
8	STBY_OUT_EN	0 1	GPO へのルート・スタンバイ信号。1 にセットすると、GPO_CTRL_P4 および GPO_DATA_P4 の値は無視され、アクティブ・ローのスタンバイ信号が P4 で出力されます。デバイスがスタンバイの場合は、P4 ピンはローになります。デバイスが変換を実行中の場合は、P4 はハイになります。STBY_OUT_EN を 1 にセットすると、GPO_CTRL_P4 によって P4 がイネーブルかどうかが決まり、GPO_DATA_P4 によってその値が決まります。 0 P4 (AIN5) への信号なし。 1 P4 (AIN5) ヘスタンバイ信号。	0x0	R/W
7	STBY_DIAGNOSTICS_EN	0 1	スタンバイ・モードで診断機能を有効のままにします。ERROR_EN レジスタでイネーブルされている場合、診断機能はスタンバイ・モードでアクティブのままとなります。過電圧/低電圧検出エラー (ERROR_EN レジスタ参照) などの特定のエラーでは、機能を正常に動作させるために発振器を必要とします。しかし、スタンバイ・モードでは、内部発振器を利用する機能が有効化されていない場合、消費電力を節約するために内部発振器はオフになります。このビットをセットすることで、該当のエラー検出機能 (少なくとも 1 つの過電圧/低電圧エラーなど) も有効化し、また、ADC_CONTROL レジスタの CLK_SEL ビットに従い内部発振器を動作させることを選択した場合、内部発振器は動作を続けます。 0 スタンバイ・モードで診断機能を無効化。 1 スタンバイ・モードで診断機能を有効化。	0x0	R/W

AD4130-8 のレジスタ

表 88. MISC レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
6	STBY_GPO_EN	0 1	スタンバイ・モードで GPO 信号を有効のままにします。IO_CONTROL レジスタでイネーブルされている場合、GPO はスタンバイ・モードでアクティブのままとなります。 0 スタンバイ・モードで GPO 機能を無効化。 1 スタンバイ・モードで GPO 機能を有効化。	0x0	R/W
5	STBY_PDSW_EN	0 1	スタンバイ・モードで PDSW 機能を有効のままにします。 0 スタンバイ・モードでパワーダウン・スイッチをディスエーブル。 1 スタンバイ・モードでパワーダウン・スイッチをイネーブル。 CHANNEL_m レジスタの PDSW_m 設定により、ADC セットアップ n を使用するチャンネルに対しデバイスがスタンバイ状態の場合、パワーダウン・スイッチを閉じるか開くかが決まります。	0x0	R/W
4	STBY_BURNOUT_EN	0 1	スタンバイ・モードでバーンアウト電流源を有効のままにします。 0 スタンバイ・モードでバーンアウト電流をディスエーブル。 1 スタンバイ・モードでバーンアウト電流をイネーブル。CONFIG_n レジスタの BURNOUT_n 設定により、ADC セットアップ n を使用するチャンネルに対しデバイスがスタンバイ状態の場合、バーンアウト電流をイネーブルするかどうかが決まります。	0x0	R/W
3	STBY_VBIAS_EN	0 1	スタンバイ・モードで VBIAS を有効のままにします。 0 スタンバイ・モードで VBIAS をディスエーブル。 1 スタンバイ・モードで VBIAS をイネーブル。VBIAS レジスタの VBIAS 設定で、各 AINx ピンに対し VBIAS をイネーブルするかどうかが決まります。	0x0	R/W
2	STBY_IEXC_EN	0 1	スタンバイ・モードで励起電流源を有効のままにします。 0 スタンバイ・モードで励起電流をディスエーブル。 1 スタンバイ・モードで励起電流をイネーブル。1 にセットされている場合、CONFIG_n レジスタの I_OUT0_n ビットまたは I_OUT1_n ビットによって、セットアップ n を使用するチャンネルに対しデバイスがスタンバイ状態の場合、励起電流をイネーブルするかどうかが決まります。該当の I_OUT0_n フィールドまたは I_OUT1_n フィールドで指定された励起電流値は、CHANNEL_m レジスタの I_OUT0_CH_m フィールドおよび I_OUT1_CH_m フィールドで指定されたチャンネルに送られます。	0x0	R/W
1	STBY_REFHOL_EN	0 1	スタンバイ・モードでリファレンス・ホルダを有効のままにします。 0 スタンバイ・モードでリファレンス・ホルダをディスエーブル。 1 スタンバイ・モードでリファレンス・ホルダをイネーブル。	0x0	R/W
0	STBY_INTREF_EN	0 1	スタンバイ・モードでリファレンスを有効のままにします。 0 スタンバイ・モードで内部リファレンスおよび REFOUT バッファをディスエーブル。 1 スタンバイ・モードで内部リファレンスおよび REFOUT バッファをイネーブル。	0x0	R/W

AD4130-8 のレジスタ

FIFO コントロール・レジスタ

アドレス：0x3A、リセット：0x040200、レジスタ名：FIFO_CONTROL

FIFO バッファを操作するための制御ビット。

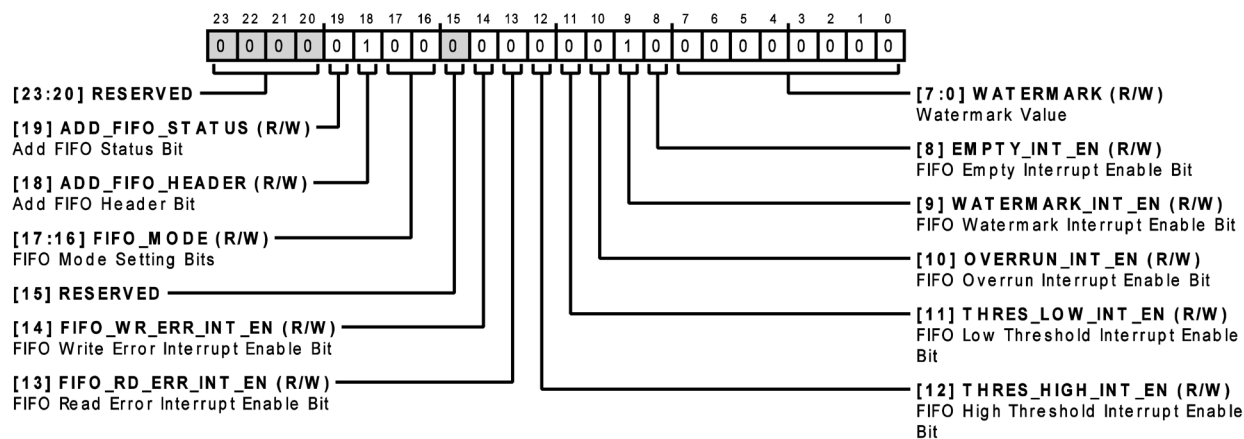


図 123.

表 89. FIFO_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:20]	RESERVED		予備。	0x0	R
19	ADD_FIFO_STATUS		FIFO ステータス・ビットを追加。このビットを 1 にセットすると、FIFO 読出しコマンドの間、FIFO_DATA ストリームの前に、FIFO_STATUS ビットが一度付加されます。このレジスタの ADD_FIFO_HEADER ビットも 1 の場合、FIFO_STATUS ビットは FIFO_HEADER + FIFO_DATA リードバック・ストリームに一度付加されます。各サンプルには固有のヘッダがありますが、ステータスの追加は一度のみです。 0 FIFO ステータスなし。 1 FIFO ステータスを追加。	0x0	R/W
18	ADD_FIFO_HEADER		FIFO ヘッダ・ビットを追加。このビットを 1 にセットすると、FIFO 読出しコマンドの間、FIFO_DATA ビットの前に、FIFO_HEADER ビットが付加されます。各サンプルには固有のヘッダがあります。 0 FIFO ヘッダなし。 1 FIFO ヘッダを追加。	0x1	R/W
[17:16]	FIFO_MODE		FIFO モード設定ビット。これらのビットは、FIFO の動作モードを制御します。 00 ディスエーブル。FIFO はデフォルトで無効化されており、ADC のデータはデータ・レジスタを通じて読み出します。 01 ウォーターマーク・モード。このモードでは FIFO の最初の N 回 (N = ウォーターマーク) の変換を格納します。これより新しい変換は破棄され、ウォーターマークまでの FIFO の内容が完全に読み出されるまで格納されるだけです。FIFO からデータを読み出すとクリアされます。このモードでは、FIFO が所定時間内に読み出されないために新しいデータが破棄された場合、FIFO_STATUS レジスタの OVERRUN_FLAG フラグが 1 にセットされます。 10 to 11 ストリーミング・モード。このモードは、最新の変換を格納します。FIFO の深度に達した場合 (ウォーターマーク値に無関係)、古いデータが自動的に破棄され、新しいデータが格納できます。このモードでは、FIFO が満杯であるために古いデータが破棄された場合、FIFO_STATUS レジスタの OVERRUN_FLAG フラグが 1 にセットされます。	0x0	R/W

AD4130-8 のレジスタ

表 89. FIFO_CONTROL レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	RESERVED		予備。このビットには常に 0 を書き込みます。	0x0	R/W
14	FIFO_WRITE_ERR_INT_EN	0 1	FIFO の書き込みエラー割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの FIFO_WRITE_ERR が割込みイベントをトリガできるようになります。 0 FIFO の書き込みエラー割込みをディスエーブル。 1 FIFO の書き込みエラー割込みをイネーブル。	0x0	R/W
13	FIFO_READ_ERR_INT_EN	0 1	FIFO の読出しエラー割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの FIFO_READ_ERR が割込みイベントをトリガできるようになります。 0 FIFO の読出しエラー割込みをディスエーブル。 1 FIFO の読出しエラー割込みをイネーブル。	0x0	R/W
12	THRES_HIGH_INT_EN	0 1	FIFO の上限閾値割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの THRES_HIGH_FLAG が割込みイベントをトリガできるようになります。 0 FIFO の上限閾値割込みをディスエーブル。 1 FIFO の上限閾値割込みをイネーブル。	0x0	R/W
11	THRES_LOW_INT_EN	0 1	FIFO の下限閾値割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの THRES_LOW_FLAG が割込みイベントをトリガできるようになります。 0 FIFO の下限閾値割込みをディスエーブル。 1 FIFO の下限閾値割込みをイネーブル。	0x0	R/W
10	OVERRUN_INT_EN	0 1	FIFO オーバーラン割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの OVERRUN_FLAG が割込みイベントをトリガできるようになります。 0 FIFO のオーバーラン割込みをディスエーブル。 1 FIFO のオーバーラン割込みをイネーブル。	0x0	R/W
9	WATERMARK_INT_EN	0 1	FIFO のウォーターマーク割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの WATERMARK_FLAG が割込みイベントをトリガできるようになります。 0 FIFO のウォーターマーク割込みをディスエーブル。 1 FIFO のウォーターマーク割込みをイネーブル。	0x1	R/W
8	EMPTY_INT_EN	0 1	FIFO のエンプティ割込みイネーブル・ビット。このビットを 1 にセットすると、選択した割込みピンで FIFO_STATUS レジスタの EMPTY_FLAG ビットが割込みイベントをトリガできるようになります。この割込みは EMPTY_FLAG ビットと共にトリガされます。 0 FIFO のエンプティ割込みをディスエーブル。 1 FIFO のエンプティ割込みをイネーブル。	0x0	R/W
[7:0]	WATERMARK		ウォーターマーク値。これらのビットは、FIFO_STATUS レジスタで WATERMARK_FLAG がアサートされる前のサンプル数を示します。 0x00 : 256 変換（全 FIFO 長）。 0x01 : 1 変換（推奨しません）。 ... 0xFF : 255 変換。	0x0	R/W

AD4130-8 のレジスタ

FIFO ステータス・レジスタ

アドレス：0x3B、リセット：0x01、レジスタ名：FIFO_STATUS

C FIFO がウォーターマーク・モードまたはストリーミング・モードの場合にのみトリガされる、FIFO のエラー・フラグを格納します。

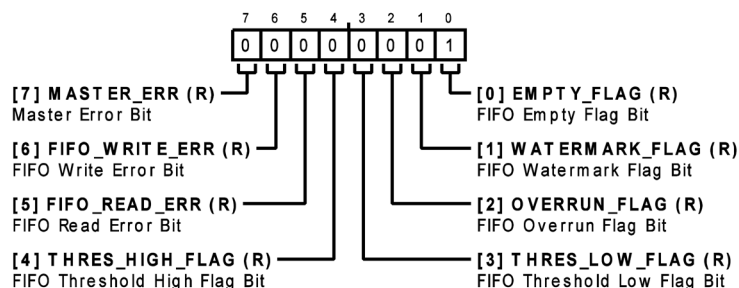


図 124.

表 90. FIFO_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	MASTER_ERR	0 1	マスタ・エラー・ビット。エラー・レジスタでいずれかのエラーがセットされると、このビットが1にセットされます。この MASTER_ERR ビットが1にセットされると、ステータス・レジスタの MASTER_ERR ビットも1にセットされます。 エラー検出なし。 マスタ・エラーを検出。	0x0	R
6	FIFO_WRITE_ERR	0 1	FIFO 書き込みエラー・ビット。このビットがセットされると、FIFO において ADC の変換が正常に書き込まれなかったことを示しています。ウォーターマーク・モードの場合、FIFO 読出しリクエストが進行中であるため ADC 変換が書き込まれなかった場合、またはウォーターマークに達し FIFO が新しい変換の余地を作るよう空にならなかったため ADC 変換が書き込まれなかった場合に、このビットが1にセットされます。つまり、ウォーターマークに達し、FIFO が空になるまでその状態が続いた場合、FIFO は満杯として処理されます（詳細は FIFO_CONTROL レジスタの FIFO MODE ビットを参照）。この場合、このビットは、FIFO_STATUS レジスタの OVERRUN_FLAG エラーのように機能します。ストリーミング・モードでは、FIFO 読出しリクエストが行われているために ADC 変換が書き込まれない場合に、このビットが1にセットされます。どちらの FIFO モードでも、FIFO が空であればこのビットは0にセットされます。このエラーによる割込みのセットとクリアは、エラー・フラグと共に行われます。 エラー検出なし。 FIFO 書き込みエラーを検出。	0x0	R
5	FIFO_READ_ERR	0 1	FIFO 読出しエラー・ビット。このビットが1にセットされるのは、FIFO への ADC 変換の書き込みが行われている最中であるために、FIFO の読出しリクエストが失敗した場合です。FIFO 読出しリクエストが許可された場合、または FIFO が空になった場合は、このビットが0にセットされます。このエラーに関連する割込みのセットとクリアは、エラー・ビットと共に行われます。 エラー検出なし。 FIFO 読出しエラーを検出。	0x0	R
4	THRES_HIGH_FLAG	0 1	FIFO 上限閾値フラグ・ビット。このフラグは、変換が FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットで設定されている上限閾値以上になったことを示します。CHANNEL_m レジスタの THRES_EN_m がセットされているとき、このビットは、FIFO に格納された CHANNEL_m の変換データが FIFO_THRESHOLD レジスタの THRES_HIGH_VAL ビットの値以上になると1にセットされます。このビットが0にセットされるのは、FIFO が空になった場合です。このフラグに関連する割込みのセットとクリアは、フラグ・ビットと共に行われます。 フラグのトリガなし。 FIFO の上限閾値フラグをトリガ。	0x0	R

AD4130-8 のレジスタ

表 90. FIFO_STATUS レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
3	THRES_LOW_FLAG		FIFO 下限閾値フラグ・ビット。このフラグは、変換が FIFO_THRESHOLD レジスタの THRES_LOW_VAL ビットで設定されている下限閾値以下になったことを示します。CHANNEL_m レジスタの THRES_EN_m がセットされているとき、このビットは、FIFO に格納された CHANNEL_m の変換データが FIFO_THRESHOLD レジスタの THRES_LOW_VAL ビットの値以下になると 1 にセットされます。このビットが 0 にセットされるのは、FIFO が空になった場合です。このフラグに関連する割込みのセットとクリアは、フラグ・ビットと共に行われます。 0 フラグのトリガなし。 1 FIFO 下限閾値フラグをトリガ。	0x0	R
2	OVERRUN_FLAG		FIFO オーバーラン・エラー・ビット。このビットは FIFO のモードに応じてセットされます。ウォーターマーク・モードでは、OVERRUN_FLAG フラグが 1 にセットされるのは、FIFO が所定時間内に空にならないために新しいデータが FIFO 内で破棄された場合です。ストリーミング・モードでは、OVERRUN_FLAG フラグが 1 にセットされるのは、FIFO が既に一杯になっているときに、新しいデータを取り込むことができるよう FIFO の最も古いデータが破棄された場合です。このビットが 0 にセットされるのは、FIFO が空になった場合です。このフラグに関連する割込みのセットとクリアは、フラグ・ビットと共に行われます。 0 フラグのトリガなし。 1 オーバーラン・フラグをトリガ。	0x0	R
1	WATERMARK_FLAG		FIFO ウォーターマーク・フラグ・ビット。このビットは、FIFO がウォーターマークで指定されたサンプル数を格納していることを示します。このビットが 1 にセットされるのは、FIFO_CONTROL レジスタのウォーターマーク・フィールドで指定されたサンプル数以上のサンプル数が FIFO に含まれる場合です。このビットが 0 にセットされるのは、FIFO のサンプル数がウォーターマーク・フィールドで指定された値未満の場合です。このフラグに関連する割込みのセットとクリアは、フラグ・ビットと共に行われます。 0 フラグのトリガなし。 1 ウォーターマーク・フラグをトリガ。	0x0	R
0	EMPTY_FLAG		FIFO エンプティ・フラグ・ビット。このビットが 1 にセットされるのは、FIFO が空になった場合です。FIFO が空になるのは次の場合です：FIFO が有効でデータの初期化が行われていない場合、FIFO の最新の入力値が読み出されている場合、FIFO のクリア・コマンドが正常に行われた場合、FIFO が無効となっている場合は、このフラグはデフォルトで 1 にセットされます。このビットが 0 になるのは、FIFO に少なくとも 1 つの入力値がある場合です。このフラグに関連する割込みのセットとクリアは、フラグ・ビットと共に行われます。 0 フラグのトリガなし。 1 エンプティ・フラグをトリガ。	0x1	R

FIFO 閾値レジスタ

アドレス：0x3C、リセット：0xFFFF000、レジスタ名：FIFO_THRESHOLD

FIFO の上限閾値と下限閾値を格納します。

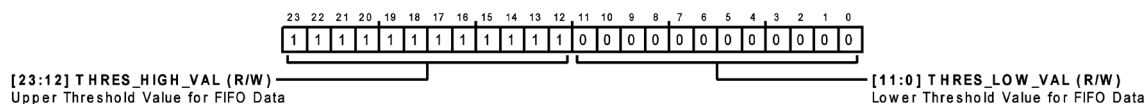


図 125.

表 91. Bit Descriptions for FIFO_THRESHOLD Register

ビット	ビット名	設定	説明	リセット	アクセス
[23:12]	THRES_HIGH_VAL		FIFO データの上限閾値。CHANNEL_m の対応する THRES_EN_m がセットされている場合に、FIFO に格納されている変換結果が THRES_HIGH_VAL の値以上になると、FIFO_STATUS レジスタの THRES_HIGH_FLAG ビットが 1 にセットされます。閾値は疑似ステディックであることが前提となっています。そのため、閾値の比較が確実に有効となるよう、ADC 変換を変更した後は、FIFO を完全に空にして、ADC 変換を再度開始することを推奨します。	0xFFFF	R/W

AD4130-8 のレジスタ

表 91. FIFO_THRESHOLD レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[11:0]	THRES_LOW_VAL		FIFO データの下限閾値。CHANNEL_m の対応する THRES_EN_m がセットされている場合に、FIFO に格納されている変換結果が THRES_LOW_VAL の値以下になると、FIFO_STATUS レジスタの THRES_LOW_FLAG ビットが 1 にセットされます。閾値は疑似ステディックであることが前提となっています。そのため、閾値の比較が確実に有効となるよう、ADC 変換を変更した後は、FIFO を完全に空にして、ADC 変換を再度開始することを推奨します。	0x0	R/W

FIFO データ・レジスタ

アドレス : 0x3D、リセット : 0x000000、レジスタ名 : FIFO_DATA

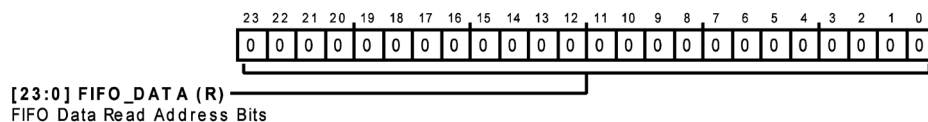


図 126.

表 92. FIFO_DATA レジスタのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	FIFO_DATA		FIFO データの読出しアドレス・ビットこのアドレスに SPI 読出しコマンドを実行して FIFO の内容を読み出します。	0x0	R

外形寸法

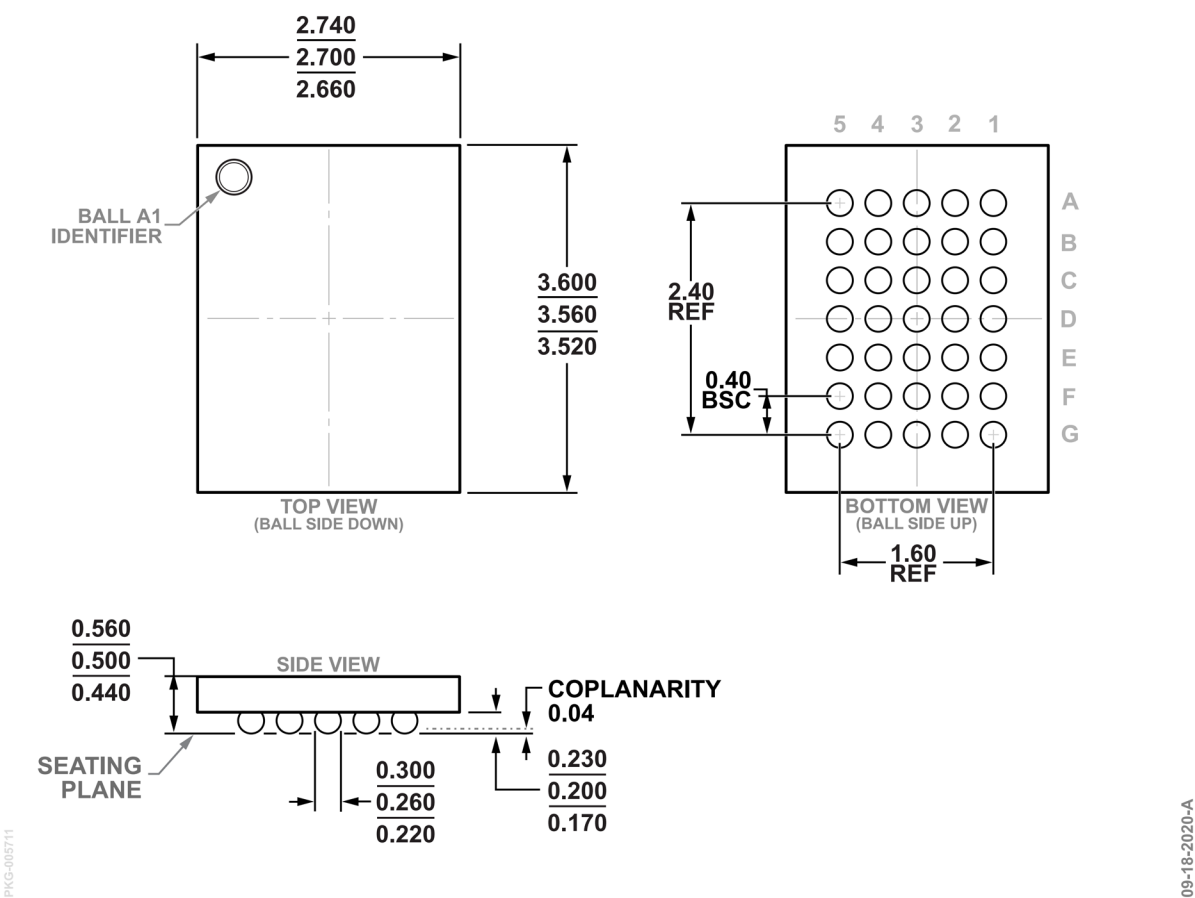


図 127.35 ボールのウェーハ・レベル・チップスケール・パッケージ [WLCSP]
2.7mm × 3.56mm ボディ、0.5mm パッケージ高
(CB-35-3)
単位：mm

更新：2022 年 5 月 12 日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD4130-8BCBZ-RL7	-40°C to +105°C	CHIPS W/SOLDER BUMPS/WLCSP	Reel, 1500	CB-35-3

¹ Z = RoHS 準拠製品。

評価用ボード

Model	Description
EVAL-AD4130-8	Evaluation Board

