

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年1月25日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年1月25日

製品名：AD4116

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：55 ページ

表 33.CH0~CH15 のビットの説明中のビット 15 CH_ENx の機能説明欄

【誤】

「このビットはチャンネル0をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。」

【正】

「このビットはチャンネルxをイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。」

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年1月25日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年1月25日

製品名：AD4116

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：56,57,58 ページ

表 34、表 35、表 36、表 38 の機能説明欄の内容

【誤】

表内の8か所に記載のある「セットアップ0」という説明

【正】

全て「セットアップx」という表現が正しいものです。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年1月25日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年1月25日

製品名：AD4116

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：57ページ

表35の機能説明欄の内容

【誤】

表内のビット11、ENHFILTENxの機能説明欄、「この機能を有効にするには、ORDER0 ビットを00に設定し、sinc5 + sinc1 フィルタを選択する必要があります。」という説明

【正】

「この機能を有効にするには、ORDERx ビットを00に設定し、sinc5 + sinc1 フィルタを選択する必要があります。」が正しい記述です。



±10V、10MΩ 入力とバッファ付き 低レベル入力の単電源、24 ビット、 シグマ・デルタ (Σ-Δ) ADC

データシート

AD4116

特長

- アナログ・フロント・エンド内蔵の 24 ビット ADC
- 高速かつ柔軟な出力レート：1.25SPS~62.5kSPS
- チャンネル・スキャン・データ・レート
 - チャンネルあたり 12,422SPS (セトリング時間：80μs、sinc5 + sinc1)
 - チャンネルあたり 20,618SPS (セトリング時間：48μs、sinc3)
- 50Hz と 60Hz の除去比：チャンネルあたり 20SPS で 85dB
- ±10V の入力、6 つの差動または 11 のシングルエンド
- ピンの絶対最大定格：±65V
- 入力ピンの絶対電圧：最大±20V
- インピーダンス：≥10MΩ
- 低レベルの ADC 直接入力
- ±VREF 入力、2 つの差動または 4 つのシングルエンド
- 入力ピンの絶対電圧、AVDD と AVSS の差
- 真のレール to レールのアナログ入力バッファ

2.5V リファレンスを内蔵

精度：25°C で ±0.12%、ドリフト：±5ppm/°C (代表値)

内部または外部クロック

電源

AVDD と AVSS の差 = 4.5V~5.5V

IOVDD と DGND の差 = 2V~5.5V

合計 I_{DD} (AVDD + IOVDD) = 6.15mA

温度範囲：-40°C ~ +105°C

3 線式または 4 線式のシリアル・デジタル・インターフェース
(シュミット・トリガ付き SCLK)

SPI、QSPI、MICROWIRE、DSP 互換

アプリケーション

プロセス制御

PLC/DCS モジュール

計測器および測定

機能ブロック図

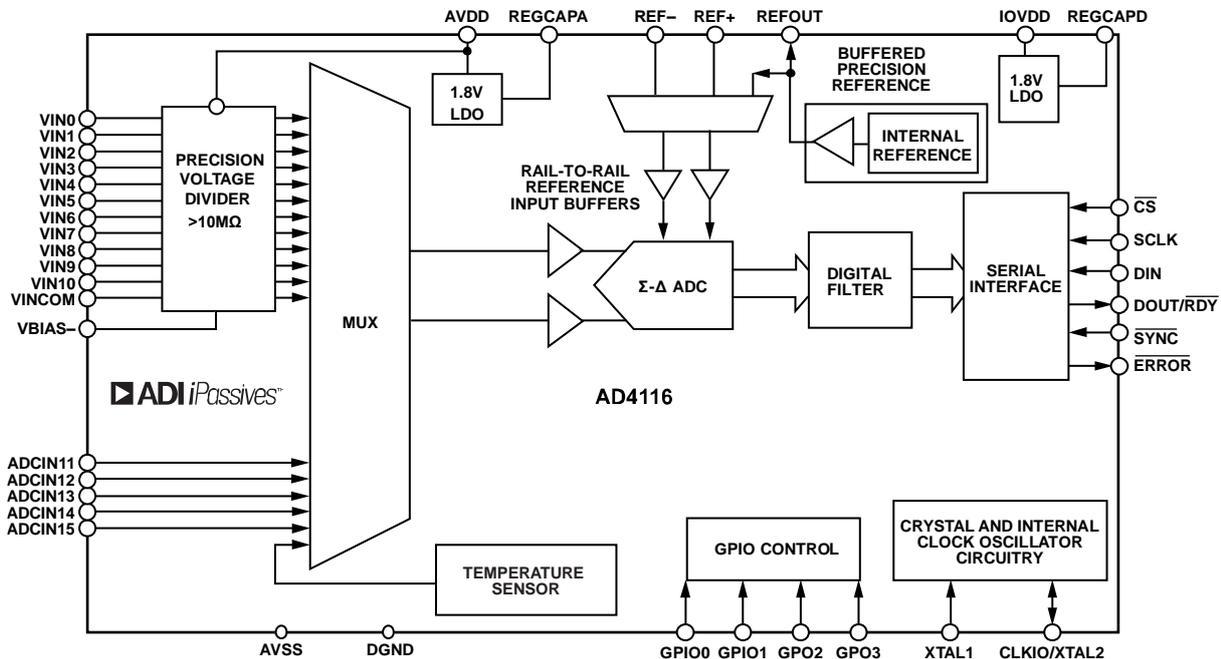


図 1.

アナログ・デバイセズの提供する情報は、正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズの特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

Rev. 0

©2021 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	シングル変換モード.....	38
リケーション zz.....	1	スタンバイ・モードとパワーダウン・モード.....	39
機能ブロック図.....	1	キャリブレーション.....	39
改訂履歴.....	2	デジタル・インターフェース.....	40
概要.....	3	チェックサム保護.....	40
仕様.....	4	CRC の計算.....	41
タイミング特性.....	7	内蔵機能.....	43
絶対最大定格.....	9	汎用 I/O.....	43
熱抵抗.....	9	外部マルチプレクサの制御.....	43
静電放電 (ESD) 定格.....	9	遅延.....	43
ESD に関する注意.....	9	16 ビット/24 ビット変換.....	43
ピン配置およびピン機能の説明.....	10	DOUT_RESET.....	43
代表的な性能特性.....	13	同期.....	43
ノイズ性能と分解能.....	18	エラー・フラグ.....	44
動作原理.....	21	DATA_STAT.....	44
電源.....	22	IOSTRENGTH.....	44
デジタル・コミュニケーション.....	22	内部温度センサー.....	45
AD4116 のリセット.....	22	アプリケーション情報.....	46
設定の概要.....	24	グラウンディングとレイアウト.....	46
回路の説明.....	27	レジスタの一覧.....	47
マルチプレクサ.....	27	レジスタの詳細.....	49
電圧入力.....	28	コミュニケーション・レジスタ.....	49
低レベル入力.....	28	ステータス・レジスタ.....	50
入力ピンの絶対電圧.....	28	ADC モード・レジスタ.....	51
データ出力コーディング.....	29	インターフェース・モード・レジスタ.....	52
AD4116 のリファレンス.....	29	レジスタ・チェック.....	53
バッファ付きリファレンス入力.....	30	データ・レジスタ.....	53
クロック源.....	30	GPIO 設定レジスタ.....	54
デジタル・フィルタ.....	32	ID レジスタ.....	55
SINC5 + SINC1 フィルタ.....	32	チャンネル・レジスタ 0~チャンネル・レジスタ 15.....	55
SINC3 フィルタ.....	32	セットアップ設定レジスタ 0~セットアップ設定レジスタ 7.....	56
シングル・サイクル・セトリング.....	33	フィルタ設定レジスタ 0~フィルタ設定レジスタ 7.....	57
50Hz と 60Hz を除去する強化フィルタ.....	33	オフセット・レジスタ 0~オフセット・レジスタ 7.....	58
動作モード.....	36	ゲイン・レジスタ 0~ゲイン・レジスタ 7.....	58
連続変換モード.....	36	外形寸法.....	59
連続読出しモード.....	37	オーダー・ガイド.....	59

改訂履歴

12/2021—Revision 0: 初版

概要

AD4116は、低消費電力、低ノイズ、24ビットのシグマ・デルタ ($\Sigma-\Delta$) A/Dコンバータ (ADC) で、6つの完全差動または11のシングルエンドの高インピーダンス ($\geq 10\text{M}\Omega$) で $\pm 10\text{V}$ のバイポーラ電圧入力に対応するアナログ・フロント・エンド (AFE) を内蔵しています。また、2つの差動または4つのシングルエンド/疑似差動のADC直接入力を追加したことにより、低電圧入力範囲で優れた性能を実現します。

このデバイスはアナログおよびデジタルの主要なシグナル・コンディショニング・ブロックを内蔵しており、使用するアナログ入力チャンネルごとに8つの個別の設定が可能です。16ものチャンネルをいつでもイネーブルすることができます。チャンネルは、標準的なアナログ電圧入力としても、低レベルのADC直接入力としても定義できます。最大チャンネル・スキャン・レートは、 $\text{sinc}5 + \text{sinc}1$ フィルタ使用時にチャンネルあたり12,422SPS (80 μs)、 $\text{sinc}3$ フィルタ使用時にチャンネルあたり20,618SPS(48 μs)となります。

2.5V、低ドリフト ($\pm 5\text{ppm}/^\circ\text{C}$) の内部バンドギャップ・リファレンス (出力リファレンス・バッファ付き) が組み込まれており、外付け部品数を減らすことができます。

デジタル・フィルタにより、27.27SPSの出力データ・レートで50Hzと60Hzの同時除去を行うなど、柔軟な設定が可能です。様々なフィルタ設定の中から、アプリケーションの各チャンネルの要求に応じた選択が可能です。ADCは、自動チャンネル・シーケンサにより、イネーブルされた各チャンネルの切替えを行います。

AD4116の高精度性能は、アナログ・デバイセズが独自に開発した*iPassives*®技術の実装により実現しています。

AD4116は単電源で動作し、ガルバニック絶縁アプリケーション向けに容易に導入可能です。仕様規定されている動作温度範囲は -40°C ~ $+105^\circ\text{C}$ です。このデバイスは、6mm \times 6mmの40ピンLFCSPパッケージに収容されています。

仕様

単電源：特に指定のない限り、AVDD = 4.5V ~ 5.5V、IOVDD = 2V ~ 5.5V、AVSS = 0V、DGND = 0V、VBIAS- = 0V。
 分離電源：特に指定のない限り、AVDD = 2.5V、IOVDD = 2V ~ 3.6V、AVSS = -2.5V、DGND = 0V、VBIAS- = AVSS。
 特に指定のない限り、内部リファレンス、内部マスタ・クロック (MCLK) = 4MHz、T_A = T_{MIN} ~ T_{MAX} (-40°C ~ +105°C)。

表 1.

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
電圧入力 (VINx)					
差動入力電圧範囲 ¹	仕様規定された性能	-10		+10	V
	実用上の性能	-V _{REF} × 10		+V _{REF} × 10	V
(ピンの) 絶対入力電圧		-20		+20	V
入力インピーダンス		10			mΩ
オフセット誤差 ²	25°C、セトリング時間：192.5μs		±3		mV
オフセット・ドリフト	セトリング時間：192.5μs		±30		μV/°C
ゲイン誤差	25°C、セトリング時間：192.5 μs		±0.05		フルスケールの%値 (% FS)
ゲイン・ドリフト	セトリング時間：192.5μs		±5		ppm/°C
積分非直線性 (INL)	セトリング時間：192.5μs		±0.02		フルスケール レンジの%値 (% FSR)
総合未調整誤差 (TUE) ³	セトリング時間：96.5μs ⁴				
	25°C、内部リファレンス		±0.1		% FSR
	-40°C ~ +105°C、内部リファレンス		±0.2		% FSR
	セトリング時間：192.5μs				
	25°C、内部リファレンス			±0.1	% FSR
	-40°C ~ +105°C、内部リファレンス			±0.15	% FSR
電源電圧変動除去比	AVDD は入力電圧 (V _{IN}) が 1V の場合の値		70		dB
同相ノイズ除去比	V _{IN} = 1 V				
DC 時			80		dB
50Hz および 60Hz 時	20Hz の出力データ・レート (ポスト・フィルタ 使用)、50Hz ± 1Hz および 60Hz ± 1Hz		120		dB
ノーマル・モード除去比 ⁴	50Hz ± 1Hz および 60Hz ± 1Hz				
	内部クロック、出力データ・レート：20SPS (ポスト・フィルタ使用)	71	90		dB
	外部クロック、出力データ・レート：20SPS (ポスト・フィルタ使用)	85	90		dB
分解能	表 7 および 表 8 を参照				
ノイズ	表 7 および 表 8 を参照				
低レベル入力 (ADCINx)					
差動入力電圧範囲	リファレンス電圧 (V _{REF}) = (REF+) - (REF-)		±V _{REF}		V
(ピンの) 絶対入力電圧					
入力バッファがディスエーブル		AVSS - 0.05		AVDD + 0.05	V
入力バッファがイネーブル		AVSS		AVDD	V
アナログ入力電流					
入力バッファがディスエーブル			12		μA/V
入力バッファがイネーブル			2.7		nA
オフセット誤差 ²			±60		μV
オフセット・ドリフト			±300		nV/°C
ゲイン誤差	内部フルスケール・キャリブレーション ⁵ 、25°C		±0.01		% FS
ゲイン・ドリフト			±5		ppm/°C
積分非直線性 (INL)			±15		フルスケール レンジの%値 ppm
総合未調整誤差 (TUE) ^{3,4}	内部キャリブレーション				
	25°C、内部リファレンス		0.03		% FSR
	-40°C ~ +105°C、内部リファレンス		0.06		% FSR
電源電圧変動除去比	AVDD は V _{IN} が 1V の場合の値		90		dB
同相ノイズ除去比	V _{IN} = 0.1 V				
DC 時			85		dB
50Hz および 60Hz 時	20Hz の出力データ・レート (ポスト・フィルタ 使用)、50Hz ± 1Hz および 60Hz ± 1Hz		120		dB

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ノーマル・モード除去比 ⁴	50Hz ± 1Hz および 60Hz ± 1Hz 内部クロック、出力データ・レート: 20SPS (ポスト・フィルタ使用)	71	90		dB
	外部クロック、出力データ・レート: 20SPS (ポスト・フィルタ使用)	85	90		dB
分解能	表 9 および 表 10 を参照				
ノイズ	表 9 および 表 10 を参照				
ADC の速度と性能					
ADC の出力データ・レート (ODR)	1 チャンネル、表 7 を参照	1.25		62,500	SPS
ノー・ミス・コード ⁴	sinc3 フィルタの 31.25kHz 以上のノッチを除く	24			ビット
内部リファレンス	100nF のコンデンサを AVSS に外付け				
出力電圧	AVSS 基準の REFOUT		2.5		V
初期精度 ^{4,6}	REFOUT、T _A = 25°C	-0.12		+0.12	V の % 値
温度係数			±5	+12	ppm/°C
リファレンスの負荷電流 (I _{LOAD})		-10		+10	mA
電源電圧変動除去比	AVDD (ライン・レギュレーション)		95		dB
負荷レギュレーション	ΔV _{OUT} /ΔI _{LOAD}		32		ppm/mA
電圧ノイズ	e _N 、0.1Hz~10Hz、2.5V リファレンス		4.5		μV rms
電圧ノイズ密度	e _N 、1kHz、2.5V リファレンス		215		nV/√Hz
ターンオン・セトリング時間	100nF の REFOUT コンデンサ		200		μs
短絡電流 (I _{SC})			25		mA
外部リファレンス入力					
差動入力範囲	V _{REF} = (REF+) - (REF-)	1	2.5	AVDD	V
絶対電圧リミット					
入力バッファがディスエーブル		AVSS - 0.05		AVDD + 0.05	V
バッファがイネーブル		AVSS		AVDD	V
REF± 入力電流					
バッファがディスエーブル					
入力電流			±18		μA/V
入力電流ドリフト	外部クロック		±1.2		nA/V/°C
	内部クロック		±6		nA/V/°C
バッファがイネーブル					
入力電流			±400		nA
入力電流ドリフト			0.6		nA/°C
ノーマル・モード除去比	この表中の前出のノーマル・モード除去パラメータを参照				
同相ノイズ除去比			95		dB
温度センサー					
精度	25°C でのユーザ・キャリブレーション後		±2		°C
感度			477		μV/K
汎用出力 (IO0、GPIO1、GPO2、GPO3)	AVSS 基準の値				
フロート状態の出力容量			5		pF
出力電圧 ⁴					
ハイ、V _{OH}	ソース電流 (I _{SOURCE}) = 200μA	AVDD - 1			V
ロー、V _{OL}	シンク電流 (I _{SINK}) = 800μA			AVSS + 0.4	V
クロック					
内部クロック					
周波数			4		MHz
精度		-2.5%		+2.5%	%
デューティ・サイクル			50		%
出力ロー電圧 (V _{OL})				0.4	V
出力ハイ電圧 (V _{OH})		0.8 × IOVDD			V
水晶振動子					
周波数		14	16	16.384	MHz
スタートアップ時間			10		μs
外部クロック (CLKIO)			4	4.096	MHz
デューティ・サイクル		30	50	70	%

パラメータ	テスト条件/コメント	最小値	代表値	最大値	単位
ロジック入力 入力電圧 ⁴					
ハイ、 V_{INH}	$2V \leq IOVDD < 2.3V$	$0.65 \times IOVDD$			V
	$2.3V \leq IOVDD \leq 5.5V$	$0.7 \times IOVDD$			V
ロー、 V_{INL}	$2V \leq IOVDD < 2.3V$			$0.35 \times IOVDD$	V
	$2.3V \leq IOVDD \leq 5.5V$			0.7	V
ヒステリシス	$IOVDD \geq 2.7V$	0.08		0.25	V
	$IOVDD < 2.7V$	0.04		0.2	V
リーク電流		-10		+10	μA
ロジック出力 (DOUT/RDY) 出力電圧 ⁴					
ハイ、 V_{OH}	$IOVDD \geq 4.5V$, $I_{SOURCE} = 1mA$	$0.8 \times IOVDD$			V
	$2.7V \leq IOVDD < 4.5V$, $I_{SOURCE} = 500\mu A$	$0.8 \times IOVDD$			V
	$IOVDD \geq 2.7V$, $I_{SOURCE} = 200\mu A$	$0.8 \times IOVDD$			V
ロー、 V_{OL}	$IOVDD \geq 4.5V$, $I_{SINK} = 2mA$			0.4	V
	$2.7V \leq IOVDD < 4.5V$, $I_{SINK} = 1mA$			0.4	V
	$IOVDD \geq 2.7V$, $I_{SINK} = 400\mu A$			0.4	V
リーク電流 ⁴	フロート状態	-10		+10	μA
出力容量	フロート状態		10		pF
電力条件					
電源電圧					
AVDD と AVSS の差		4.5		5.5	V
AVSS と DGND の差		-2.75		0	V
IOVDD と DGND の差		2		5.5	V
IOVDD と AVSS の差	AVSS < DGND の場合			6.35	V
電源電流 ⁷	全出力が無負荷、デジタル入力は IOVDD または DGND に接続				
フル動作モード					
AVDD 電流	内部リファレンスを含む		5.3	6.63	mA
IOVDD 電流	内部クロック		0.85	1.12	mA
スタンバイ・モード	全 $V_{IN} = 0V$		45		μA
パワーダウン・モード	全 $V_{IN} = 0V$		20		μA
消費電力					
フル動作モード			31		mW
スタンバイ・モード			223		μW
パワーダウン・モード			100		μW

¹ 全仕様が $\pm 10V$ の差動入力信号に対して確保されていますが、このデバイスは、最大 $\pm V_{REF} \times 10$ の差動入力信号まで機能します。ただし、正常に機能するためには、仕様規定されているピンの絶対電圧を超えてはいけません。

² システムのゼロスケール・キャリブレーションを実行した後、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等になります。低レベル入力での内部ゼロスケール・キャリブレーションにより、オフセット誤差は、選択したプログラム済み出力データ・レートのノイズ・レベルとほぼ同等まで減少します。

³ 性能向上のため、より高精度で、より低温度係数の外部リファレンスを使用してください。

⁴ これらの値に対する出荷テストは行われていませんが、量産開始時の特性評価データにより確認されています。

⁵ システムのフルスケール・キャリブレーションを実行した後、ゲイン誤差は、プログラム済み出力データ・レートのノイズ・レベルとほぼ同等まで減少します。

⁶ この仕様には、湿度感度レベル (MSL) のプリコンディショニングの影響が含まれています。

⁷ この仕様は、REFOUT ピンとデジタル出力ピンに負荷が接続されていない場合のものです。

タイミング特性

特に指定のない限り、IOVDD = 2V~5.5V（単電源）、IOVDD = 2V~3.6V（分離電源）、入力ロジック 0 = 0V、入力ロジック 1 = IOVDD、容量性負荷（C_{LOAD}）= 20pF。

表 2.

パラメータ	T _{MIN} 、T _{MAX} でのリミット	単位	説明 ^{1,2}
SCLK			
t ₃	25	ns min	SCLK ハイ・パルス幅
t ₄	25	ns min	SCLK ロー・パルス幅
読出し動作			
t ₁	0 15 40	ns min ns max ns max	\overline{CS} の立下がりエッジから DOUT/ \overline{RDY} のアクティブ化までの時間 IOVDD = 4.75V~5.5V IOVDD = 2V~3.6V
t ₂ ³	0 12.5 25	ns min ns max ns max	SCLK のアクティブ・エッジからデータ有効化までの遅延 ⁴ IOVDD = 4.75V~5.5V IOVDD = 2V~3.6V
t ₅ ⁵	2.5 20	ns min ns max	\overline{CS} の非アクティブ・エッジ後のバス放棄時間
t ₆	0	ns min	SCLK の非アクティブ・エッジから \overline{CS} の非アクティブ・エッジまで
t ₇	10	ns min	SCLK の非アクティブ・エッジから DOUT/ \overline{RDY} のハイ/ローまで
書き込み動作			
t ₈	0	ns min	\overline{CS} の立下がりエッジから SCLK のアクティブ・エッジ・セットアップまでの時間 ⁴
t ₉	8	ns min	データが有効になってから SCLK のエッジ・セットアップまでの時間
t ₁₀	8	ns min	データが有効になってから SCLK のエッジ保持までの時間
t ₁₁	5	ns min	\overline{CS} の立下がりエッジから SCLK のエッジ保持までの時間

¹ 初期リリース時のサンプル・テストにより、適合性が確保されています。

² 図 2 および図 3 を参照。

³ このパラメータは、出力が V_{OL} リミットもしくは V_{OH} リミットを超えるのに要する時間で定義されています。

⁴ SCLK のアクティブ・エッジは SCLK の立下がりエッジです。

⁵ DOUT/ \overline{RDY} はデータ・レジスタの読出し後にハイ・レベルに戻ります。シングル変換モードと連続変換モードでは、DOUT/ \overline{RDY} がハイの間、必要に応じて同じデータを再度読み出すことができます。ただし、後続の読出し動作は次の出力更新付近では行わないように注意する必要があります。連続読出し機能を有効化すると、デジタル・ワードは 1 回しか読み出すことができません。

タイミング図

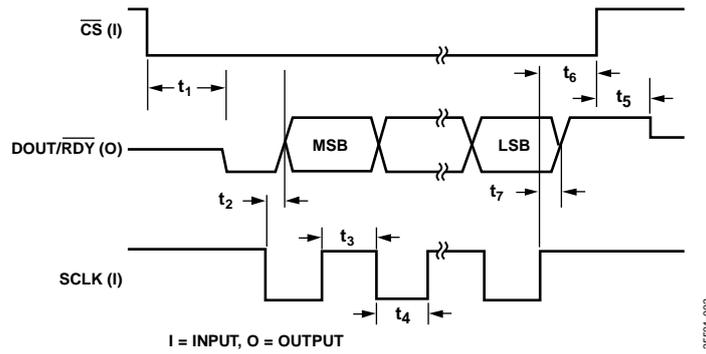


図 2. 読出しサイクルのタイミング図

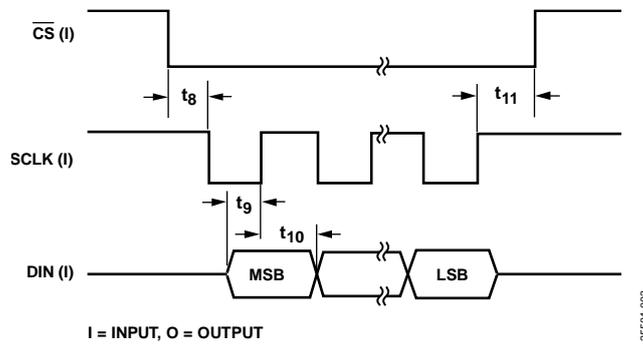


図 3. 書込みサイクルのタイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

パラメータ	定格
AVDD と AVSS の差	-0.3V ~ +6.5V
AVDD と DGND の差	-0.3V ~ +6.5V
IOVDD と DGND の差	-0.3V ~ +6.5V
IOVDD と AVSS の差	-0.3V ~ +7.5V
AVSS と DGND の差	-3.25V ~ +0.3V
VINx と AVSS の差	-65V ~ +65V
ADCINx と AVSS の差	-0.3V ~ AVDD + 0.3V
リファレンス入力電圧と AVSS の差	-0.3V ~ AVDD + 0.3V
デジタル入力電圧と DGND の差	-0.3V ~ IOVDD + 0.3V
デジタル出力電圧と DGND の差	-0.3V ~ IOVDD + 0.3V
デジタル入力電流	10mA
温度	
動作範囲	-40°C ~ +105°C
保存温度範囲	-65°C ~ +150°C
最大ジャンクション温度	150°C
リードのハンダ付け、リフロー	260°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える可能性があります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。長時間にわたり絶対最大定格を超えた状態で使用した場合、製品の信頼性に影響が及ぶことがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は最も厳しい条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。

θ_{JC} はジャンクションとパッケージ・ケースとの間の熱抵抗です。

表 4. 熱抵抗

パッケージ・タイプ ¹	θ_{JA} ²	θ_{JC} ³	単位
CP-40-15	34	2.63	°C/W

¹ 4 層 JEDEC PCB。

² 熱抵抗のシミュレーション値は、16 のサーマル・ビアを持つ JEDEC 2S2P 熱試験 PCB に基づきます。 θ_{JA} は、表面実装パッケージ用 JEDEC 試験 PCB にハンダ付けされたデバイスに対して仕様規定されています。JEDEC JESD-51 を参照してください。

³ 冷却板を PCB の底面に取り付け、露出パッドで測定しています。

静電放電（ESD）定格

以下の ESD 情報は、ESD に敏感なデバイスを取り扱うために示したものです。対象は ESD 保護区域内だけに限られます。

ANSI/ESDA/JEDEC JS-001 準拠の人体モデル（HBM）。

ANSI/ESDA/JEDEC JS-002 準拠の帯電デバイス・モデル（CDM）。

AD4116 の ESD 定格

表 5. AD4116、40 ピン LFCSP

ESD モデル	耐圧閾値 (V)	クラス
HBM	±1000	1C
CDM	±1250	C3

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

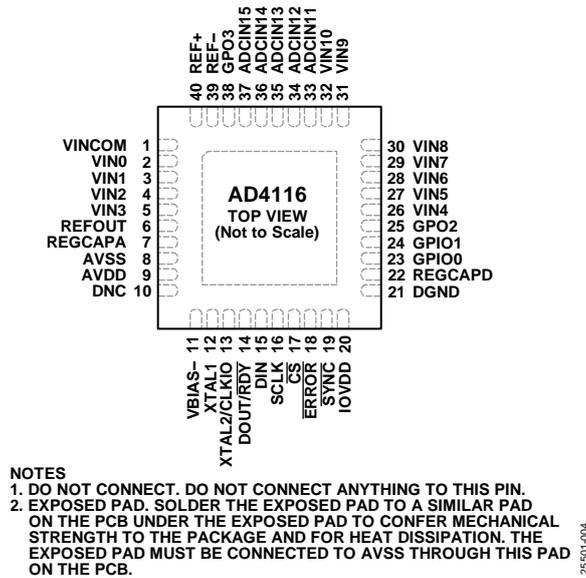


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号 ¹	タイプ ²	説明
1	VINCOM	AI	電圧入力コモン。電圧入力をシングルエンドとして構成 (VINCOM ピンをアナログ・グラウンドに接続) している場合、この入力は VINCOM を基準とします。差動構成の場合は VIN10 との入力ペアの負入力です。
2	VIN0	AI	電圧入力 0。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN1 との入力ペアの正入力。
3	VIN1	AI	電圧入力 1。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN0 との入力ペアの負入力。
4	VIN2	AI	電圧入力 2。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN3 との入力ペアの正入力。
5	VIN3	AI	電圧入力 3。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN2 との入力ペアの負入力。
6	REFOUT	AO	内部リファレンスのバッファ付き出力。出力は、AVSS を基準として 2.5V です。0.1μF のコンデンサを使用して、REFOUT ピンを AVSS にデカップリングします。
7	REGCAPA	AO	アナログ低ドロップアウト (LDO) レギュレータの出力。1μF のコンデンサと 0.1μF のコンデンサを使用して、REGCAPA ピンを AVSS にデカップリングします。
8	AVSS	P	負のアナログ電源。この電源電圧の範囲は-2.75V~0V で、公称 0V に設定されています。
9	AVDD	P	アナログ電源電圧。この電圧の範囲は、AVSS を基準として 4.5V~5.5V です。
10	DNC	N/A	接続なし。このピンには何も接続しないでください。
11	VBIAS-	AI	負の電圧バイアス。VBIAS- ピンは、電圧入力アナログ・フロントエンドのバイアス電圧を設定します。VBIAS- ピンは AVSS に接続します。
12	XTAL1	AI	水晶振動子用の入力 1
13	XTAL2/CLKIO	AI/DI	水晶振動子用の入力 2/クロック入出力。詳細については、ADCMODE レジスタの CLOCKSEL ビットの設定を参照してください。
14	DOUT/RDY	DO	シリアル・データ出力/データ・レディ出力。このピンには 2 つの機能があります。ADC の出力シフト・レジスタにアクセスするときは、シリアル・データ出力ピンとして機能します。出力シフト・レジスタには、内蔵するデータのデータ・レジスタまたはコントロール・レジスタからのデータでも格納できます。データワード/コントロール・ワード情報は SCLK の立下がりエッジで DOUT/RDY ピンに与えられ、SCLK の立上がりエッジで有効となります。CS がハイ・レベルの場合、DOUT/RDY 出力はスリーステートになります。CS がロー・レベルで、レジスタが読み出し中でない場合、DOUT/RDY は、データ・レディ・ピンとして機能し、ロー・レベルに下がると変換完了を示します。変換後にデータが読み出されないと、次の更新が行われる前にこのピンはハイ・レベルになります。DOUT/RDY の立下がりエッジはプロセッサに対する割込みとして使用でき、有効なデータが準備できていることを示します。
15	DIN	DI	ADC の入力シフト・レジスタへのシリアル・データ入力。このシフト・レジスタのデータは、ADC 内のコントロール・レジスタに転送されます。該当するレジスタは、コミュニケーション・レジスタのレジスタ・アドレス (RA) ビットにより指定されます。データは、SCLK の立上がりエッジでクロックインされます。
16	SCLK	DI	シリアル・クロック入力。このシリアル・クロック入力は、ADC とのデータ転送に使用します。SCLK にはシミュット・トリガ入力があります。
17	CS	DI	チップ・セレクト入力。CS ピンはアクティブ・ローのロジック入力、ADC の選択に使用します。CS は、シリアル・バスに複数のデバイスが接続されているシステムで ADC を選択するときに使います。CS をロー・レベルにハードワイヤ接続することにより、デバイスとのインターフェースに SCLK、DIN、DOUT/RDY を使った 3 線式モードで ADC を動作させることができます。CS がハイ・レベルの場合、DOUT/RDY 出力はスリーステートになります。

ピン番号	記号 ¹	タイプ	説明
18	ERROR	DI/O	エラー入出力または汎用出力。ERRORピンは、以下の3つのモードのいずれかで使うことができます。 アクティブ・ローのエラー入力モード。このモードでは、ステータス・レジスタの ADC_ERROR ビットがセットされます。 アクティブ・ローのオープンドレイン・エラー出力モード。ステータス・レジスタのエラー・ビットはERRORピンにマップされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスのERRORピンを、共通のプルアップ抵抗に接続することができます。 汎用出力モード。このピンのステータスは、GPIOCON レジスタの ERR_DAT ビットによって制御されます。このピンは、IOVDD と DGND の間の基準になります。
19	SYNC	DI	同期入力。複数の AD4116 を使うときに、デジタル・フィルタとアナログ変調器の同期を可能にします。
20	IOVDD	P	デジタル I/O 電源電圧。IOVDD の電圧範囲は、2V~5.5V (公称値) です。IOVDD は AVDD とは無関係です。例えば、AVDD が 5V のときも、IOVDD は 3.3V で動作させることができます。その逆も可能です。AVSS を -2.5V に設定した場合、IOVDD の電圧は 3.6V を超えてはなりません。
21	DGND	P	デジタル・グラウンド。
22	REGCAPD	AO	デジタル LDO レギュレータ出力。REGCAPD ピンはデカップリング専用です。1 μ F のコンデンサを使用して、REGCAPD ピンを DGND にデカップリングします。
23	GPIO0	DI/O	汎用入出力 0。GPIO0 ピンのロジック入出力は、AVDD 電源と AVSS 電源を基準としています。
24	GPIO1	DI/O	汎用入出力 1。GPIO1 ピンのロジック入出力は、AVDD 電源と AVSS 電源を基準としています。
25	GPO2	DO	汎用出力 2。GPIO2 ピンのロジック出力は、AVDD 電源と AVSS 電源を基準としています。
26	VIN4	AI	電圧入力 4。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN5 との入力ペアの正入力。
27	VIN5	AI	電圧入力 5。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN4 との入力ペアの負入力。
28	VIN6	AI	電圧入力 6。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN7 との入力ペアの正入力。
29	VIN7	AI	電圧入力 7。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN6 との入力ペアの負入力。
30	VIN8	AI	電圧入力 8。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN9 との入力ペアの正入力。
31	VIN9	AI	電圧入力 9。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VIN8 との入力ペアの負入力。
32	VIN10	AI	電圧入力 10。シングルエンド構成の場合は VINCOM を基準とする入力、差動構成の場合は VINCOM との入力ペアの正入力。
33	ADCIN11	AI	低レベル ADC 入力 11。疑似差動入力の場合は ADCIN15 を基準とする入力、差動構成の場合は ADCIN12 との入力ペアの正入力。
34	ADCIN12	AI	低レベル ADC 入力 12。疑似差動入力の場合は ADCIN15 を基準とする入力、差動構成の場合は ADCIN11 との入力ペアの負入力。
35	ADCIN13	AI	低レベル ADC 入力 13。疑似差動入力の場合は ADCIN15 を基準とする入力、差動構成の場合は ADCIN14 との入力ペアの正入力。
36	ADCIN14	AI	低レベル ADC 入力 14。疑似差動入力の場合は ADCIN15 を基準とする入力、差動構成の場合は ADCIN13 との入力ペアの負入力。
37	ADCIN15	AI	低レベル ADC 入力 15。低レベル入力疑似差動入力として構成されている場合、この入力は ADCIN15 ピンを基準とします。差動構成の場合は、ADCIN15 ピンは任意の低レベル入力ピンとの入力ペアの負入力です。
38	GPO3	DO	汎用出力 3。GPO3 ピンのロジック出力は、AVDD 電源と AVSS 電源を基準としています。

ピン番号	記号 ¹	タイプ	説明
39	REF-	AI	リファレンス入力負端子。REF-の範囲は、AVSS～AVDD - 1Vです。リファレンスは、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
40	REF+	AI	リファレンス入力正端子。外部リファレンスを REF+と REF-の間に与えることができます。REF+の範囲は AVDD～AVSS + 1Vです。リファレンスは、セットアップ設定レジスタの REF_SELx ビットを介して選択できます。
	EP	P	露出パッド。露出パッドは、パッケージの機械的強度と放熱効果を高めるため、露出パッドの下の PCB 上の同様のパッドにハンダ付けします。露出パッドは、PCB 上のこのパッドを介して AVSS に接続する必要があります。

¹ このデータシートでは、ピン記号が 2 つある場合、該当する機能によってのみ参照されます。

² AI はアナログ入力、AO はアナログ出力、P は電源、N/A は該当なし、DI はデジタル入力、DO はデジタル出力、DI/O は双方向デジタル入出力をそれぞれ意味します。

代表的な性能特性

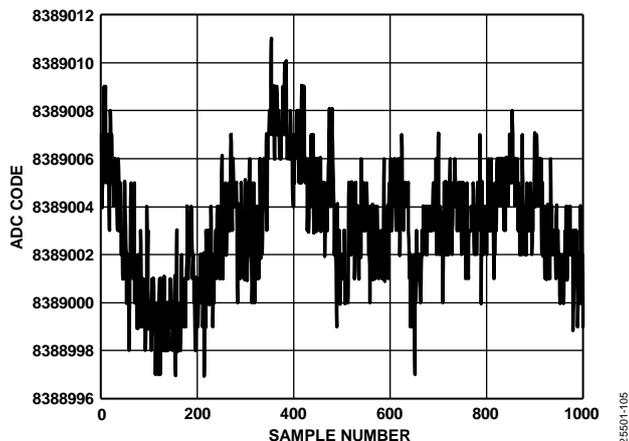


図 5. ノイズ (電圧入力、出力データ・レート = 1.25SPS)

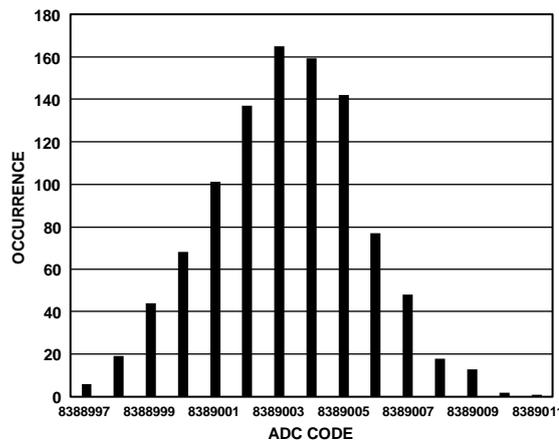


図 8. ヒストグラム (電圧入力、出力データ・レート = 1.25SPS)

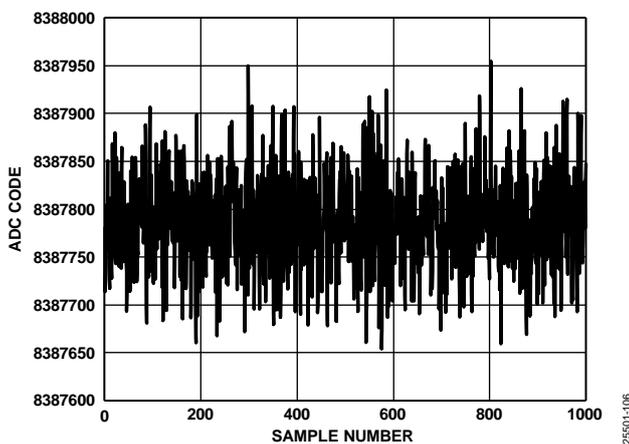


図 6. ノイズ (電圧入力、出力データ・レート = 5.194kSPS)

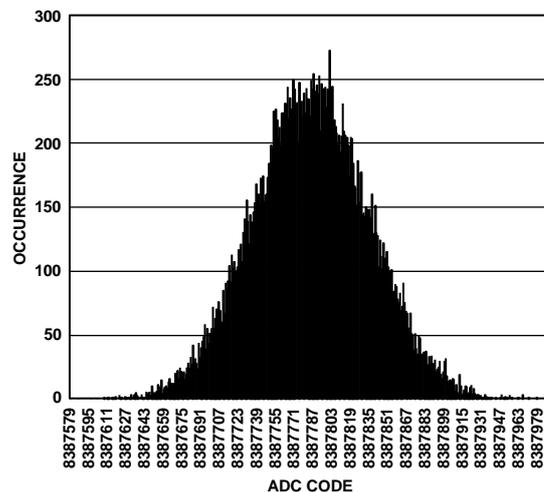


図 9. ヒストグラム (電圧入力、出力データ・レート = 5.194kSPS)

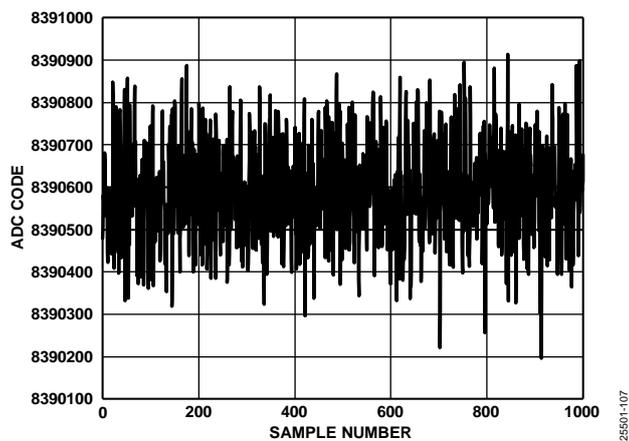


図 7. ノイズ (電圧入力、出力データ・レート = 62.5 kSPS)

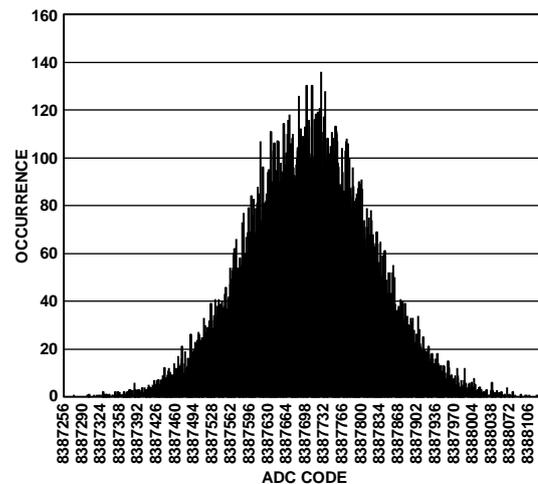


図 10. ヒストグラム (電圧入力、出力データ・レート = 62.5 kSPS)

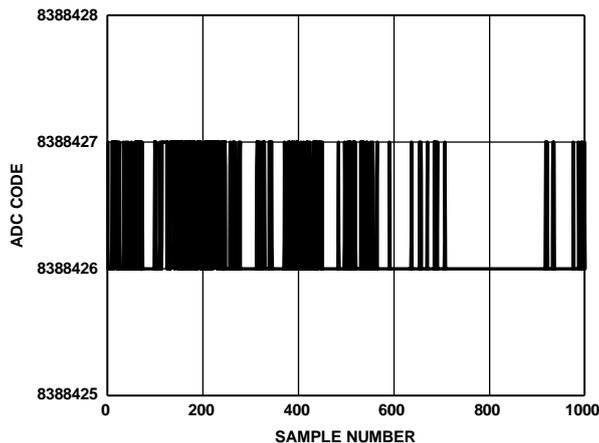


図 11. ノイズ (低レベル入力、
出力データ・レート = 1.25SPS)

25501-111

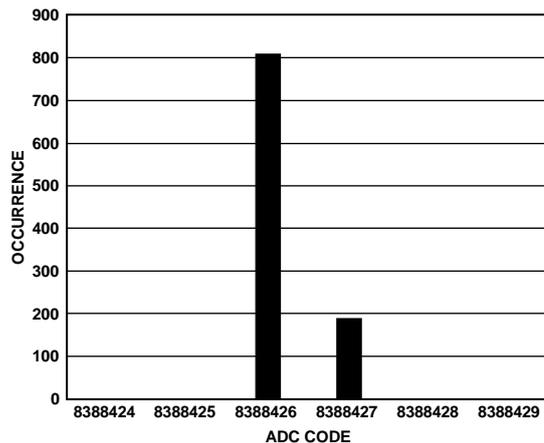


図 14. ヒストグラム (低レベル入力、
出力データ・レート = 1.25SPS)

25501-114

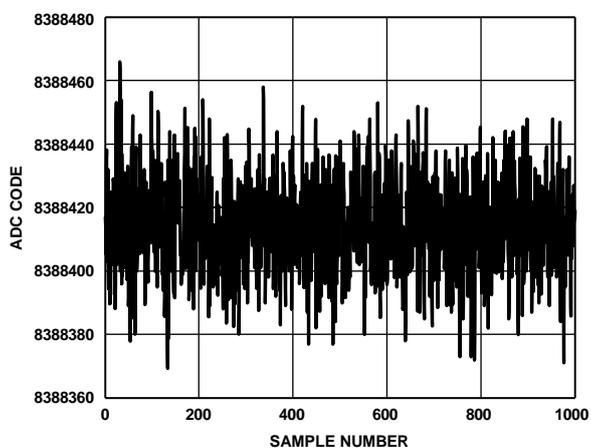


図 12. ノイズ (低レベル入力、
出力データ・レート = 5.194kSPS)

25501-112

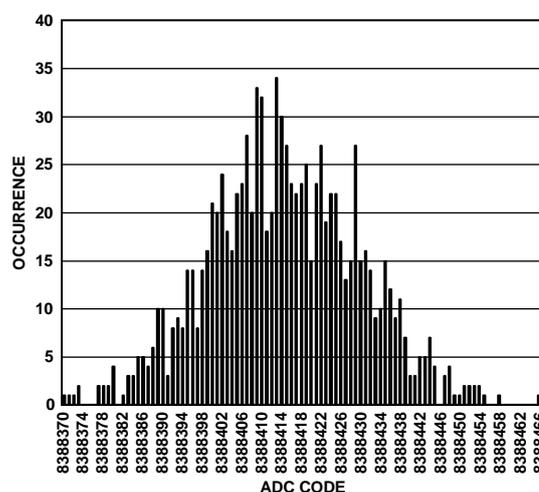


図 15. ヒストグラム (低レベル入力、
出力データ・レート = 5.194kSPS)

25501-115

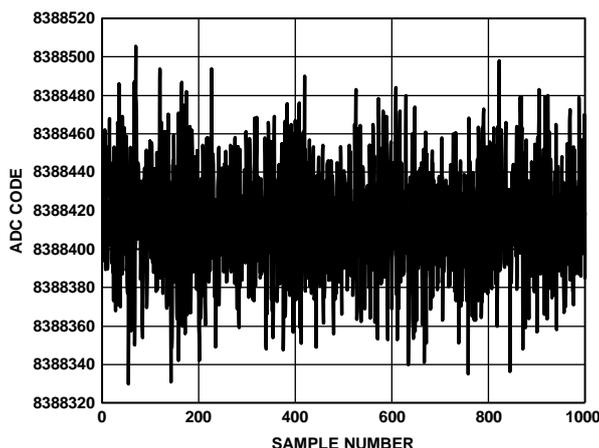


図 13. ノイズ (低レベル入力、
出力データ・レート = 62.5kSPS)

25501-113

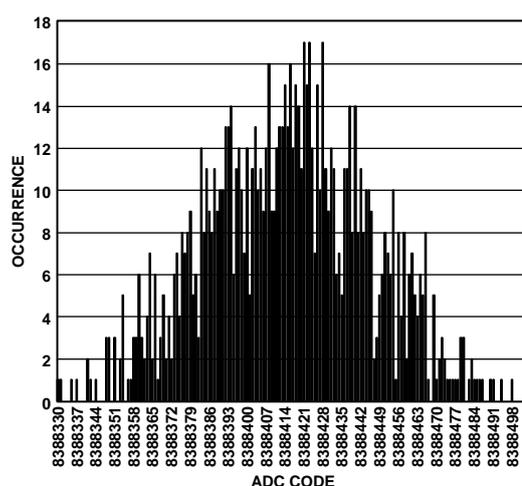


図 16. ヒストグラム (低レベル入力、
出力データ・レート = 62.5kSPS)

25501-116

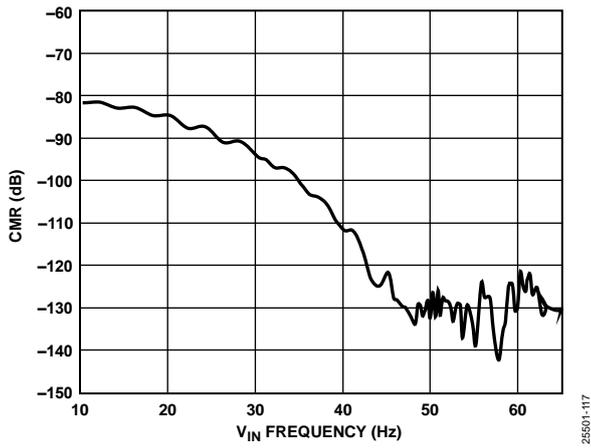


図 17. 同相ノイズ除去 (CMR)と V_{IN} 周波数の関係 ($V_{IN} = 1V$ 、10Hz~70Hz、出力データ・レート = 20SPS、強化フィルタ)

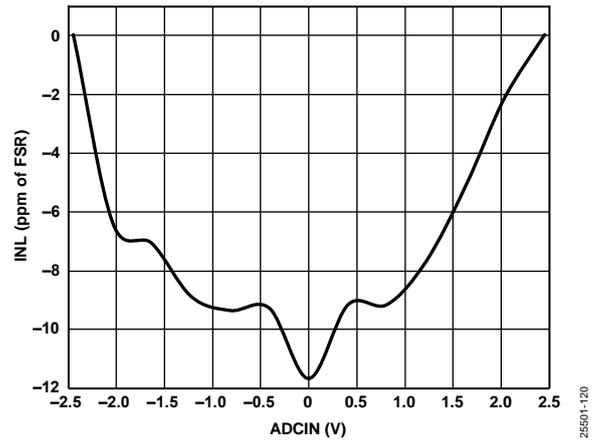


図 20. INL と ADCIN (低レベル入力) の関係

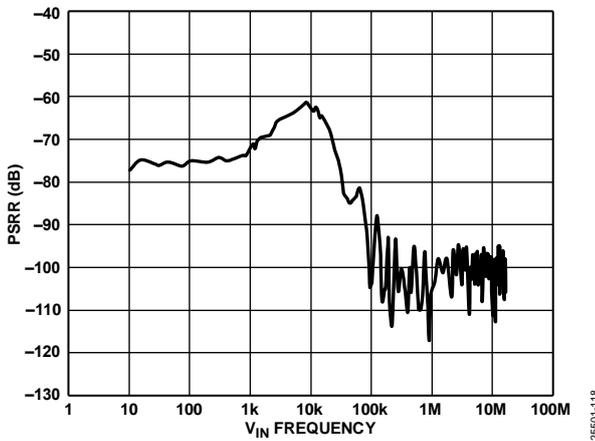


図 18. ADC の PSRR と V_{IN} 周波数の関係

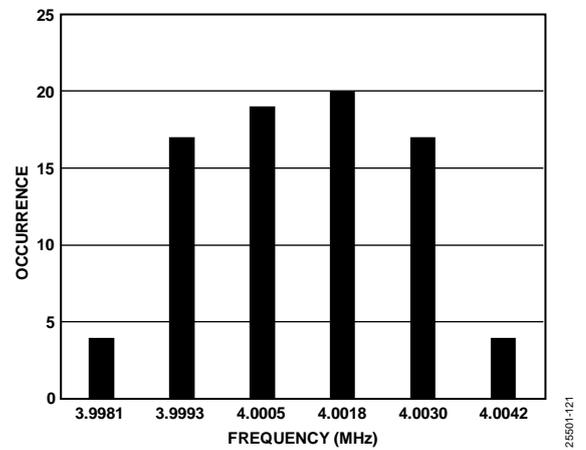


図 21. 内部発振器の周波数と精度分布ヒストグラム

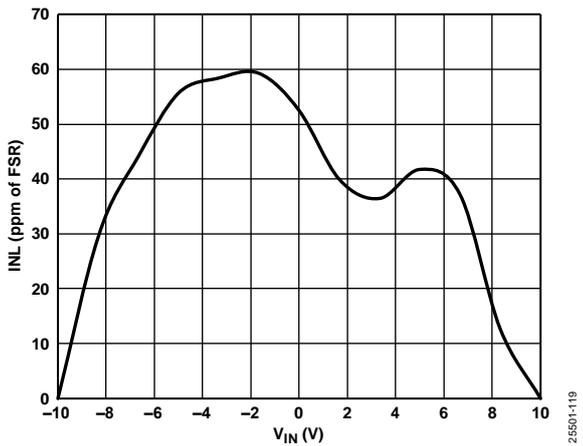


図 19. INL と V_{IN} の関係 (192.5 μ s セットリングの電圧入力)

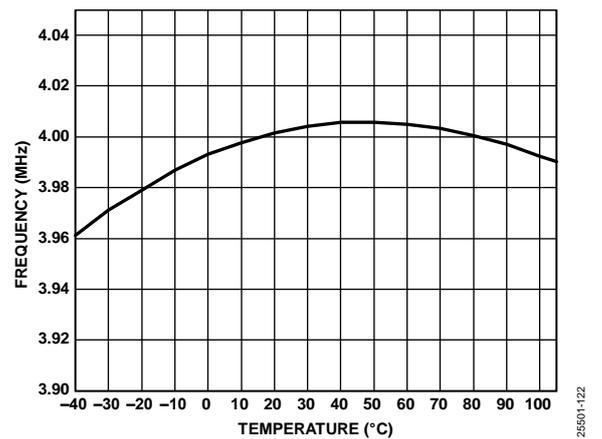


図 22. 内部発振周波数の温度特性

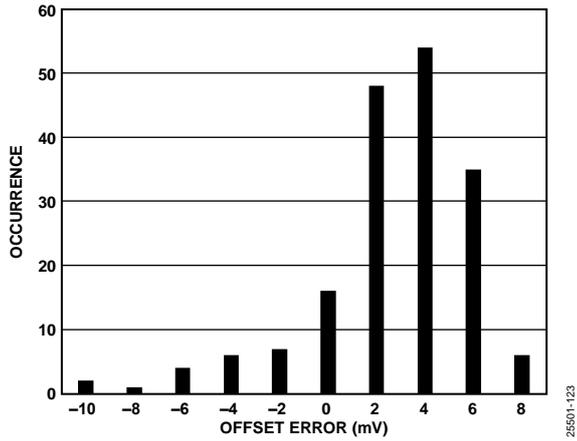


図 23. オフセット誤差分布ヒストグラム (192.5µs セットリングの電圧入力)

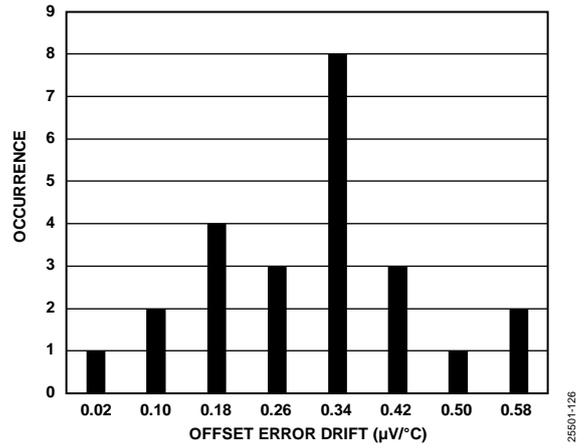


図 26. オフセット誤差ドリフト分布ヒストグラム (低レベル入力)

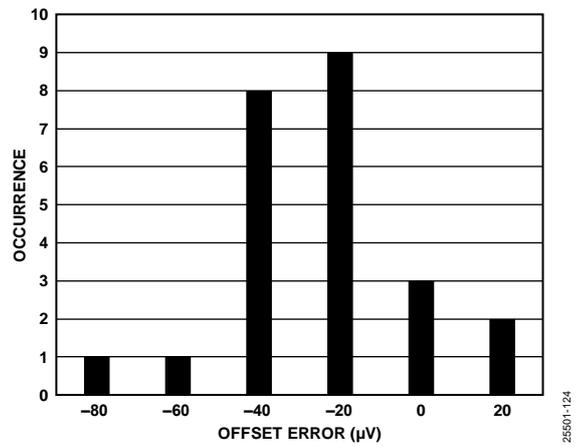


図 24. オフセット誤差分布ヒストグラム (低レベル入力)

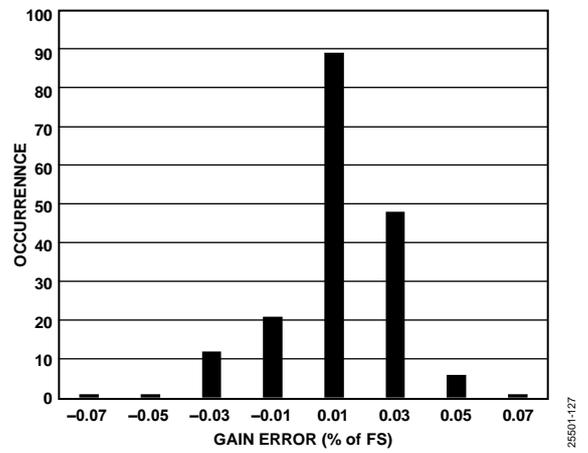


図 27. ゲイン誤差分布ヒストグラム (192.5µs セットリングの電圧入力)

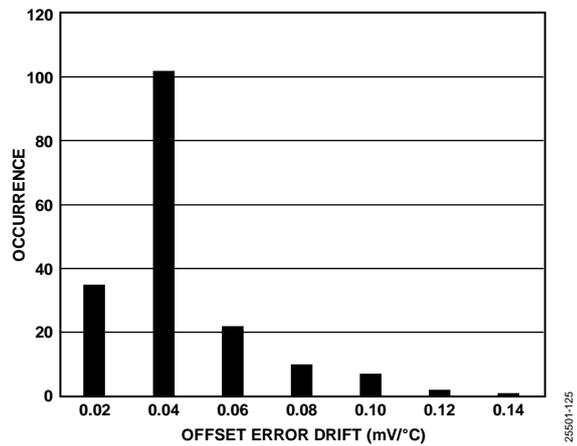


図 25. オフセット誤差ドリフト分布ヒストグラム (192.5µs セットリングの電圧入力)

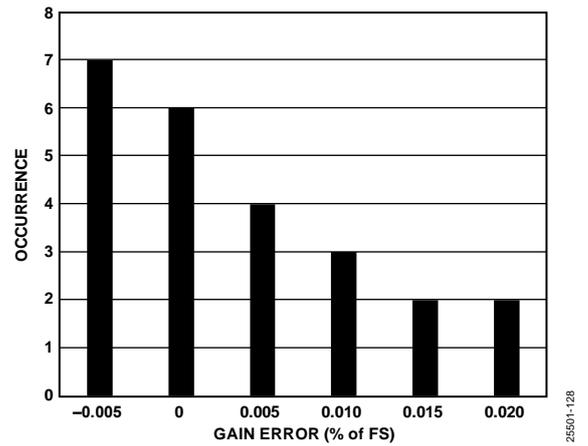


図 28. ゲイン誤差分布ヒストグラム (低レベル入力)

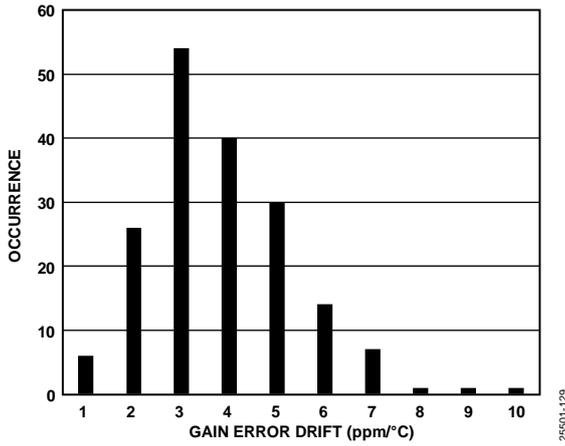


図 29. ゲイン誤差ドリフト分布ヒストグラム (192.5µs セットリングの電圧入力)

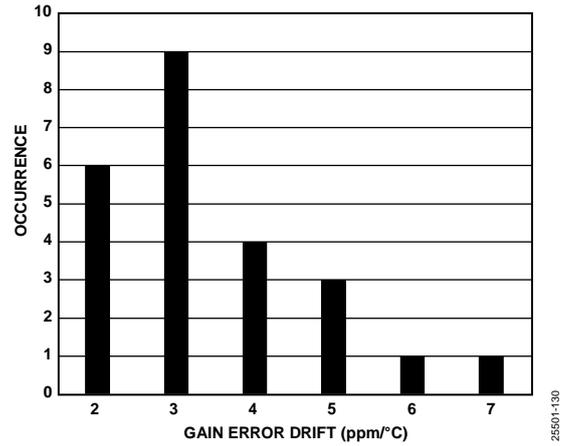


図 31. ゲイン誤差ドリフト分布ヒストグラム (低レベル入力)

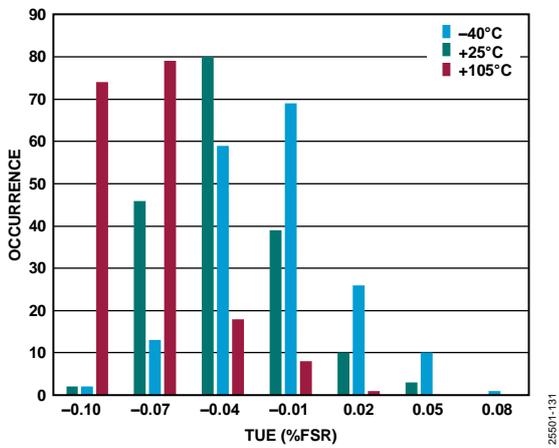


図 30. TUE 分布ヒストグラム (96.5µs セットリングの電圧入力)

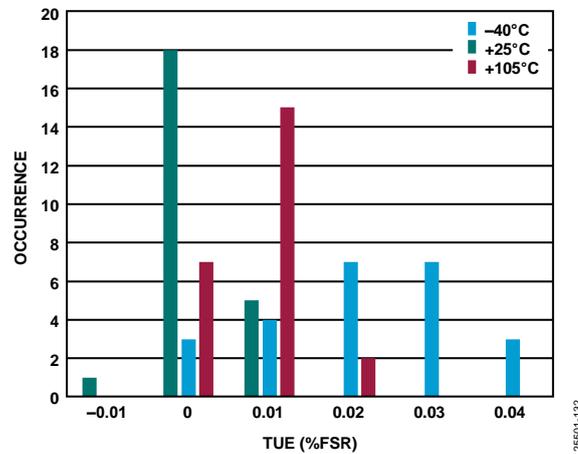


図 32. TUE 分布ヒストグラム (低電圧レベル入力)

ノイズ性能と分解能

各種 ODR に対する、AD4116 の実効値ノイズ、ピーク to ピーク・ノイズ、実効分解能、およびノイズ・フリー（ピーク to ピーク）分解能を表 7~表 10 に示します。これらの値は代表値であり、2.5V の外部リファレンスを使用し、アナログ入力バッファをイネーブルし、ADC が複数チャンネルで連続変換を実行している場合の測定値です。表 7 と表 8 の値は、±10V の電圧

入力範囲、0V の差動入力電圧で生成されたものです。表 9 と表 10 の値は、±V_{REF} の入力範囲、0V の差動入力電圧で生成されたものです。ピーク to ピーク分解能はピーク to ピーク・ノイズを基に計算されます。このピーク to ピーク分解能は、コード・フリッカが生じない分解能を表します。

表 7. Sinc5 + Sinc1 フィルタを使用した場合の±10V 電圧入力の実効値ノイズおよび分解能と出力データ・レート（ODR）の関係

デフォルトの ODR (SPS)、SING_CYC = 0 かつシングル・チャンネルがイネーブル	ODR (SPS/チャンネル)、SING_CYC = 1 または複数チャンネルがイネーブル	セトリング時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
62,500	12,422.36	80.5μs	62,500	326.60	15.90	2038.60	13.26
31,250	10,362.69	96.5μs	31,250	271.80	16.17	1778.01	13.46
15,625	7,782.1	128.5μs	15,625	209.60	16.54	1360.18	13.84
10,416.7	6,230.53	160.5μs	10,416.7	171.80	16.83	1093.80	14.16
5,194.8	5,194.8	192.5μs	7,812.5	151.40	17.01	1006.20	14.28
2,496.9	2,496.9	400.5μs	2,976.19	95.46	17.68	585.80	15.06
1007.6	1007.6	992.50μs	1077.59	56.48	18.43	373.60	15.71
499.9	499.9	2.00ms	516.53	39.56	18.95	247.80	16.30
390.6	390.6	2.56ms	400.64	35.82	19.09	235.80	16.37
200.3	200.3	4.99ms	202.92	25.72	19.57	163.40	16.90
100.0	100.0	10.00ms	100.6	19.08	20.00	116.00	17.40
59.75	59.75	16.74ms	59.98	15.22	20.33	98.16	17.64
49.84	49.84	20.06ms	50	14.07	20.44	76.89	17.99
20.00	20.00	50.00ms	20.03	10.32	20.89	51.85	18.56
16.65	16.65	60.06ms	16.67	9.62	20.99	50.66	18.59
10.00	10.00	100.00ms	10.01	8.67	21.14	42.32	18.85
5.00	5.00	200.00ms	5	7.78	21.29	38.74	18.98
2.50	2.50	400.00ms	2.5	6.52	21.55	32.78	19.22
1.25	1.25	800.00ms	1.25	6.23	21.61	31.59	19.27

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 ÷ セトリング時間。

²ノイズ値は、データ・レートがチャンネルあたり 59.75SPS 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 49.84 以下の場合は 100 サンプルに基づいています。

表 8. Sinc3 フィルタを使用した場合の±10V 電圧入力の実効値ノイズおよび分解能と ODR の関係

デフォルトの ODR (SPS)、SING_CYC = 0 かつシングル・チャンネルがイネーブル	ODR (SPS/チャンネル)、SING_CYC = 1 または複数チャンネルがイネーブル	セトリング時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
62,500	20,618.56	48.5μs	62,500	1213.00	14.01	7641.80	11.35
31,250	10,362.69	96.5μs	31,250	279.20	16.13	1748.20	13.49
15,625	5,194.81	192.5μs	15,625	163.40	16.90	1031.76	14.24
10,416.7	3,466.2	288.5μs	10,416.7	133.38	17.19	891.69	14.46
5,208.3	1,734.61	576.5μs	5,208.3	95.20	17.68	608.60	15.01
2,500	832.99	1.20ms	2,500	64.90	18.23	435.00	15.49
1008.1	335.97	2.98ms	1008.1	41.82	18.87	260.80	16.23
500	166.65	6.00ms	500	30.12	19.34	205.40	16.57
400.64	133.54	7.49ms	400.64	27.68	19.46	179.60	16.77
200.32	66.77	14.98ms	200.32	20.22	19.92	140.00	17.12
100.0	33.3	30.00ms	100.0	15.30	20.32	96.46	17.67
59.98	19.99	50.02ms	59.98	12.88	20.57	87.62	17.81
50	16.67	60.00ms	50.00	12.40	20.62	60.79	18.34
20	6.67	150.00ms	20.00	8.64	21.14	42.91	18.83
16.67	5.56	180.00ms	16.67	8.34	21.20	42.91	18.79

デフォルトの ODR (SPS)、SING_CYC = 0 かつシングル・チャンネルがイネーブル	ODR (SPS/チャンネル)、SING_CYC = 1 または複数チャンネルがイネーブル	セトリング時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
10	3.33	300.00ms	10.00	8.25	21.20	42.91	18.80
5	1.67	600.00ms	5.00	8.25	21.20	41.72	18.85
2.5	0.83	1.20 秒	2.50	8.13	21.23	41.72	18.88
1.25	0.42	2.4 秒	1.25	6.68	21.51	33.38	19.20

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 ÷ セトリング時間。

²ノイズ値は、データ・レートがチャンネルあたり 59.98 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 50SPS 以下の場合は 100 サンプルに基づいています。

表 9. Sinc5 + Sinc1 フィルタを使用した場合の ±VREF 低レベル入力の実効値ノイズおよび分解能と ODR の関係

デフォルトの ODR (SPS)、SING_CYC = 0 かつシングル・チャンネルがイネーブル	ODR (SPS/チャンネル)、SING_CYC = 1 または複数チャンネルがイネーブル	セトリング時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
62,500	12,422.36	80.5μs	62,500	9.6	18.99	63.36	16.27
31,250	10,362.69	96.5μs	31,250	8.3	19.20	54.78	16.48
15,625	7,782.1	128.5μs	15,625	6.3	19.60	41.58	16.88
10,416.7	6,230.53	160.5μs	10,416.7	6.1	19.79	36.3	17.07
5,194.8	5,194.8	192.5μs	7,812.5	4.9	19.96	32.34	17.24
2,496.9	2,496.9	400.5μs	2,976.19	3.2	20.58	21.12	17.85
1007.6	1007.6	992.50μs	1077.59	1.95	21.29	12.87	18.57
499.9	499.9	2.00ms	516.53	1.3	21.87	8.58	19.15
390.6	390.6	2.56ms	400.64	1.2	21.99	7.92	19.27
200.3	200.3	4.99ms	202.92	0.85	22.49	5.61	19.77
100.0	100.0	10.00ms	100.6	0.6	22.99	3.96	20.27
59.75	59.75	16.74ms	59.98	0.45	23.41	2.97	20.68
49.84	49.84	20.06ms	50	0.4	23.58	2.64	20.85
20.00	20.00	50.00ms	20.03	0.26	24	1.716	21.47
16.65	16.65	60.06ms	16.67	0.23	24	1.518	21.65
10.00	10.00	100.00ms	10.01	0.18	24	1.188	22.00
5.00	5.00	200.00ms	5	0.13	24	0.858	22.47
2.50	2.50	400.00ms	2.5	0.09	24	0.594	23.00
1.25	1.25	800.00ms	1.25	0.07	24	0.462	23.37

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = 1 ÷ セトリング時間。

²ノイズ値は、データ・レートがチャンネルあたり 59.98SPS 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 50SPS 以下の場合は 100 サンプルに基づいています。

表 10. Sinc3 フィルタを使用した場合の ±VREF 低レベル入力の実効値ノイズおよび分解能と ODR の関係

デフォルトの ODR (SPS)、SING_CYC = 0 かつシングル・チャンネルがイネーブル	ODR (SPS/チャンネル)、SING_CYC = 1 または複数チャンネルがイネーブル	セトリング時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
62,500	20,618.56	48.5μs	62,500	105	15.54	693	12.82
31,250	10,362.69	96.5μs	31,250	14	18.45	92.4	15.72
15,625	5,194.81	192.5μs	15,625	5.8	19.72	38.28	16.99
10,416.7	3,466.2	288.5μs	10,416.7	4.7	20.02	31.02	17.30
5,208.3	1,734.61	576.5μs	5,208.3	3.2	20.58	21.12	17.85
2,500	832.99	1.20ms	2,500	1.95	21.29	12.87	18.57
1008.1	335.97	2.98ms	1008.1	1.45	21.72	9.57	18.99
500	166.65	6.00ms	500	0.98	22.28	6.468	19.56
400.64	133.54	7.49ms	400.64	0.9	22.41	5.94	19.68
200.32	66.77	14.98ms	200.32	0.64	22.90	4.224	20.17
100.0	33.3	30.00ms	100.0	0.45	23.41	2.97	20.68
59.98	19.99	50.02ms	59.98	0.33	23.85	2.178	21.13

デフォルトの ODR (SPS)、 SING_CYC = 0 かつシングル・ チャンネルがイネーブル	ODR (SPS/チャンネル)、 SING_CYC = 1 または複数 チャンネルがイネーブル	セトリング 時間 ¹	ノッチ周波数 (Hz)	ノイズ (μVrms) ²	実効分解能 (ビット)	ノイズ (μVpp)	ピーク to ピーク分解能 (ビット)
50	16.67	60.00ms	50.00	0.3	23.99	1.98	21.27
20	6.67	150.00ms	20.00	0.2	24	1.32	21.85
16.67	5.56	180.00ms	16.67	0.17	24	1.122	22.09
10	3.33	300.00ms	10.00	0.14	24	0.924	22.37
5	1.67	600.00ms	5.00	0.098	24	0.6468	22.88
2.5	0.83	1.20 秒	2.50	0.068	24	0.4488	23.41
1.25	0.42	2.4 秒	1.25	0.06	24	0.396	23.59

¹セトリング時間は最も近いマイクロ秒に丸められ、出力データ・レートとチャンネル・スイッチング・レートに反映されます。チャンネル・スイッチング・レート = $1 \div$ セトリング時間。

²データ・レートがチャンネルあたり 59.98SPS 以上の場合は 1000 サンプル、データ・レートがチャンネルあたり 50SPS 以下の場合は 100 サンプルに基づいています。

動作原理

AD4116 は、設定機能の優れた、高速セトリングおよび高分解能のマルチプレクス型 ADC で、次の機能を備えています。

- 6 つの完全差動電圧入力、または 11 のシングルエンド電圧入力。
- 高精度整合抵抗を内蔵した高インピーダンス分圧器。小さいデバイス・フットプリントに実装された独自の *iPassives*® 技術。
- 2 つの差動または 4 つのシングルエンドの低レベル ADC 直接入力。
- チャンネルごとに最大 8 つの異なるセットアップを定義でき、柔軟な設定が可能。個別のセットアップをチャンネルごとにマップすることができます。各セットアップでは、バッファのイネーブル/ディスエーブル、ゲインおよびオフセット補正、フィルタ・タイプ、ODR、リファレンス源の選択が設定できます。
- 詳細な設定が可能なデジタル・フィルタにより、シングル・チャンネルでの最大 62.5kSPS の変換レート、sinc5 + sinc1 フィルタを使用した 12.422kSPS のスイッチングが可能。

AD4116 は高精度で低ドリフト ($\pm 5\text{ppm}/^\circ\text{C}$) の 2.5V バンドギャップ・リファレンスを内蔵しています。このリファレンスを ADC 変換に使用するように選択できるので、外部部品数を減らせます。イネーブルすると、内部リファレンスが REFOUT ピンに出力されます。これは外部回路用の低ノイズ・バイアス電

圧として使用することが可能で、0.1 μF デカップリング・コンデンサに接続する必要があります。

AD4116 は、アナログ回路とデジタル回路の両方に個別のリニア・レギュレータ・ブロックを内蔵しています。アナログ LDO レギュレータは、AVDD 電源を 1.8V に調整します。

デジタル IOVDD 電源用のリニア・レギュレータも同様の機能を実行し、IOVDD ピンに印加された入力電圧を 1.8V に調整します。シリアル・インターフェース信号は、常にこのピンの IOVDD 電源で動作します。つまり、IOVDD ピンに 3.3V が印加されると、インターフェース・ロジックの入力と出力はこの電圧レベルで動作します。

AD4116 は、プログラマブル・ロジック・コントローラ (PLC) や分散制御システム (DCS) モジュールなど、多くのファクトリ・オートメーションやプロセス制御アプリケーション向けに設計されており、全体的なシステム・コストと設計負担を軽減し、高い精度を維持します。AD4116 は以下に示すシステム上の利点を備えています。

- 5V の単電源。
- 最低 10M Ω の入力インピーダンスを確保。
- $\pm 10\text{V}$ を超えるオーバーレンジ電圧。
- バッファされた低レベル入力電圧
- 高チャンネル数。
- キャリブレーション・コストの削減。

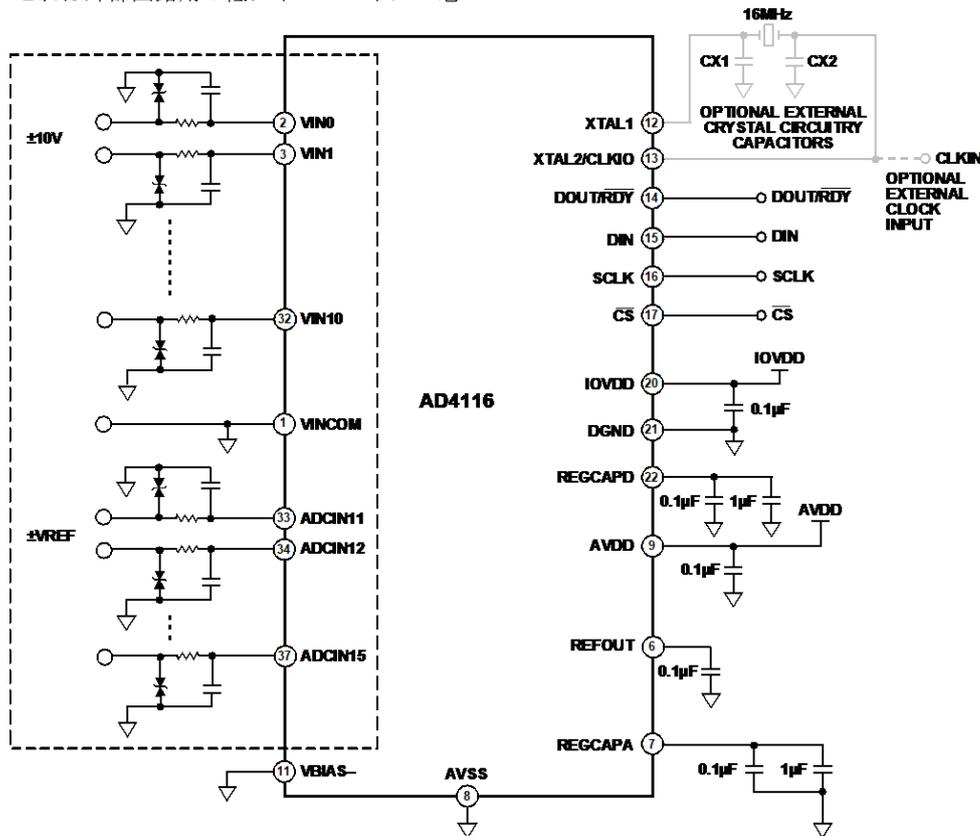


図 33. 代表的な接続図

2550-051

電源

AD4116には、AVDDとIOVDDの2つの独立した電源ピンがあります。AD4116の電源シーケンスには特定の条件はありません。ただし、すべての電源が安定したら、デバイスをリセットする必要があります。デバイスをリセットする方法の詳細については、AD4116のリセットのセクションを参照してください。

AVDDは内蔵の1.8VアナログLDOレギュレータに電力を供給し、このレギュレータはADCコアに電力を供給します。AVDDはクロスポイント・マルチプレクサと内蔵入力バッファにも電力を供給します。AVDDはAVSSを基準としており、 $AVDD - AVSS = 5V$ です。AVDDとAVSSは5Vの単電源または $\pm 2.5V$ の分離電源を使用できます。分離電源を使用する場合は、絶対最大定格を考慮してください（絶対最大定格のセクションを参照）。

IOVDDは内部の1.8VデジタルLDOレギュレータに電力を供給し、このレギュレータはADCのデジタル・ロジックに電力を供給します。IOVDDにより、ADCのシリアル・ペリフェラル・インターフェース（SPI）の電圧レベルが設定されます。IOVDDはDGNDを基準とし、 $IOVDD - DGND$ の範囲は2V（最小値）～5.5V（最大値）が可能です。

単電源動作（AVSS = DGND）

AD4116がAVDDに接続された単電源から給電される場合、電源は5Vである必要があります。この構成では、AVSSとDGNDを1つのグラウンド・プレーンで短絡することができます。

このユニポーラ入力構成では、IOVDDの範囲は2V～5.5Vです。

デジタル・コミュニケーション

AD4116は、QSPI[™]、MICROWIRE[®]、およびDSPと互換性のある3線式または4線式のSPIを備えています。このインターフェースはSPIモード3で動作し、CSをロー・レベルに接続した状態で動作させることができます。SPIモード3の場合、SCLKはアイドル・ハイになり、SCLKの立下がりエッジが駆動エッジ、立上がりエッジがサンプル・エッジです。データは立下がり（駆動）エッジに同期して出力され、立上がり（サンプル）エッジに同期して入力されます。



図 34. SPIモード3のSCLKのエッジ

ADCのレジスタ・マップへのアクセス

コミュニケーション・レジスタは、ADC内のレジスタ・マップ全体へのアクセスを制御しています。このレジスタは8ビットの書き込み専用レジスタです。パワーアップ時またはリセット後、デジタル・インターフェースはデフォルトでコミュニケーション・レジスタへの書き込み待ちの状態になります。したがって、すべての通信はコミュニケーション・レジスタへの書き込みによって開始されます。

コミュニケーション・レジスタに書き込まれたデータにより、アクセス先のレジスタと、次の動作が書き込みまたは読出しのどちらであるかが決まります。RAビット（レジスタ0x00のビット[5:0]）により、どのレジスタに対して読出しまたは書き込みが実行されるか決まります。

選択されたレジスタの読出し動作または書き込み動作が完了すると、インターフェースはデフォルト状態、すなわち、コミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。

インターフェースの同期が失われた場合、DINがハイ・レベルの状態です。少なくとも64シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADCがデフォルト状態に戻ります。代わりに、CSをデジタル・インターフェースと一緒に使用し、CSをハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態にリセットされ、実行中のすべての動作がアポートされます。

図35と図36は、レジスタへの書き込み動作とレジスタからの読出し動作を説明しています。まず、8ビット・コマンドをコミュニケーション・レジスタに書き込んだ後、アドレス指定されたレジスタのデータを書き込みます。

このデバイスが正常に通信していることを確認するには、IDレジスタの読出しをお勧めします。IDレジスタは読出し専用のレジスタで、AD4116の値0x34Dxが格納されています。

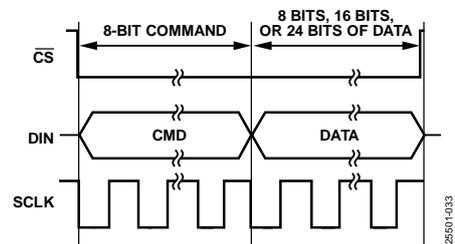


図 35. レジスタへの書き込み（レジスタ・アドレスを含む8ビット・コマンドを送信してから、8ビット、16ビット、または24ビットのデータを書き込む。データ長は選択されたレジスタによって異なる）

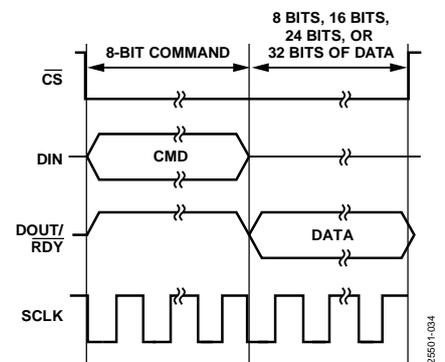


図 36. レジスタからの読出し（レジスタ・アドレスを含む8ビット・コマンドを送信してから、8ビット、16ビット、24ビット、または32ビットのデータを読み出す。DOUTのデータ長は選択されたレジスタによって異なる）

AD4116のリセット

パワーアップ・サイクル後に電源が安定したら、デバイスをリセットする必要があります。インターフェースの同期が失われた場合も、デバイスをリセットする必要があります。DINがハイ・レベルの状態です。少なくとも64シリアル・クロック・サイクルの書き込み動作が実行されると、レジスタの内容を含むデバイスのすべての設定がリセットされ、ADCはデフォルト状態に戻ります。あるいは、CSをデジタル・インターフェースと一緒に使用し、CSをハイ・レベルに戻すと、デジタル・インターフェースがデフォルト状態に設定され、すべてのシリアル・インターフェース動作が停止します。

表 11. コミュニケーション・レジスタのビット・マップ

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x00	COMMS	[7:0]	$\overline{\text{WEN}}$	$\overline{\text{R/W}}$	RA						0x00	W

表 12. ID レジスタのビット・マップ

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x07	ID	[15:8]	ID[15:8]								0x34DX ¹	R
		[7:0]	ID[7:0]									

¹X はドントケア。

設定の概要

パワーオンまたはリセット後の AD4116 のデフォルト設定は、次のとおりです。

- チャンネル設定：チャンネル 0 がイネーブルされ、VIN0 と VIN1 のペアが入力として選択されています。セットアップ 0 が選択されます。
- セットアップ設定：アナログ入力バッファとリファレンス入力バッファはディスエーブルされています。REF±ピンはリファレンス源として選択されています。この設定では、VIN 入力に対して入力バッファをイネーブルするため、デフォルトのチャンネルが正常に動作しないことに注意してください。
- フィルタ設定：sinc5 + sinc1 フィルタが選択されており、62.5kSPS の最大出力データ・レートが選択されています。
- ADC モード：連続変換モードと内部発振器がイネーブルされ、内部リファレンスがディスエーブルされています。
- インターフェース・モード：CRC、データとステータスの出力がディスエーブルされています。

上に挙げたレジスタ設定オプションはほんの一部であることに留意してください。このリストは一例にすぎません。レジスタの詳細については、レジスタの詳細のセクションを参照してください。

図 37 に、ADC 動作の設定を変更するときの推奨フローの概要を示します。このフローは3つのブロックに分割されます。

- チャンネル設定（図 37 のボックス A を参照）
- セットアップ設定（図 37 のボックス B を参照）
- ADC モードとインターフェース・モードの設定（図 37 のボックス C を参照）

チャンネル設定

AD4116 は 16 の独立したチャンネルと 8 つの独立したセットアップを備えています。あらゆるチャンネルで任意の入力ペアを選択でき、あらゆるチャンネルで 8 つのセットアップのうちどれでも選択できるため、チャンネル設定に関する完全な柔軟性が与えられます。また、この柔軟性により各チャンネル独自の専用セットアップを適用できるため、差動入力およびシングルエンド入力を使用している際はチャンネルごとの設定も可能です。

チャンネル・レジスタ

チャンネル・レジスタは、対応するチャンネルに使用する電圧入力を選択します。このレジスタには、チャンネル・イネーブル/ディスエーブル・ビットや、このチャンネルで使用するセットアップ（8 個のセットアップのいずれか）を選択するためのセットアップ選択ビットも含まれています。

複数のチャンネルがイネーブルされている状態で AD4116 が動作している場合、チャンネル・シーケンサはチャンネル 0 からチャンネル 15 までイネーブルされているチャンネルを順番に処理します。あるチャンネルがディスエーブルされている場合、このチャンネルはシーケンサによってスキップされます。チャンネル 0 のチャンネル・レジスタの詳細を表 13 に示します。

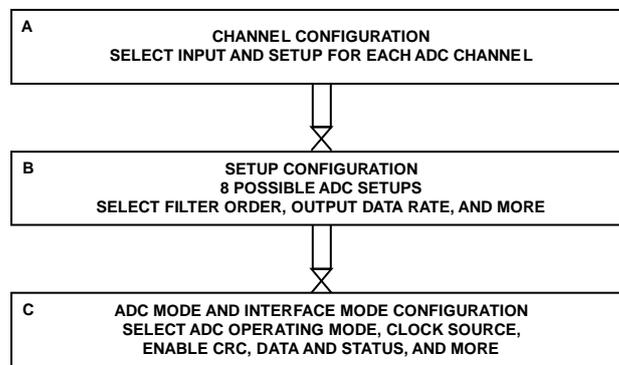


図 37. 推奨する ADC 設定のフロー

表 13. チャンネル・レジスタ 0

レジスタ	名前	ビット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット	RW
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0		予備		INPUT[9:8]		0x8001	RW	
		[7:0]	INPUT[7:0]									

ADC セットアップ

AD4116には8つの独立したセットアップがあります。各セットアップは以下の4つのレジスタから構成されています。

- セットアップ設定レジスタ
- フィルタ設定レジスタ
- ゲイン・レジスタ
- オフセット・レジスタ

例えば、セットアップ0は、セットアップ設定レジスタ0、フィルタ設定レジスタ0、ゲイン・レジスタ0、およびオフセット・レジスタ0で構成されています。図38に、これらのレジスタのグループを示します。このセットアップは、チャンネル・レジスタ（チャンネル設定のセクションを参照）で選択することができます。これにより、各チャンネルを8つの独立したセットアップの1つに割り当てることが可能になります。表14～表17に、セットアップ0に関連する4つのレジスタを示しています。なお、セットアップ1～セットアップ7も、セットアップ0と同じ構成です。

セットアップ設定レジスタ

セットアップ設定レジスタにより、バイポーラ・モードまたはユニポーラ・モードを選択してADCの出力コーディングを選択できます。これらのレジスタを使用してリファレンス源を選択できます。リファレンス源として、REF+ピンとREF-ピンの間に接続されたリファレンス、内部リファレンス、またはAVDD - AVSS電圧の3つの選択肢があります。これらのレジスタを使用して、入力バッファとリファレンス電圧バッファをイネーブルまたはディスエーブルにすることもできます。

フィルタ設定レジスタ

フィルタ設定レジスタは、ADC変調器の出力で使用するデジタル・フィルタを選択します。フィルタの次数と出力データ・レートは、これらのレジスタのビットを設定して選択します。詳細については、デジタル・フィルタのセクションを参照してください。

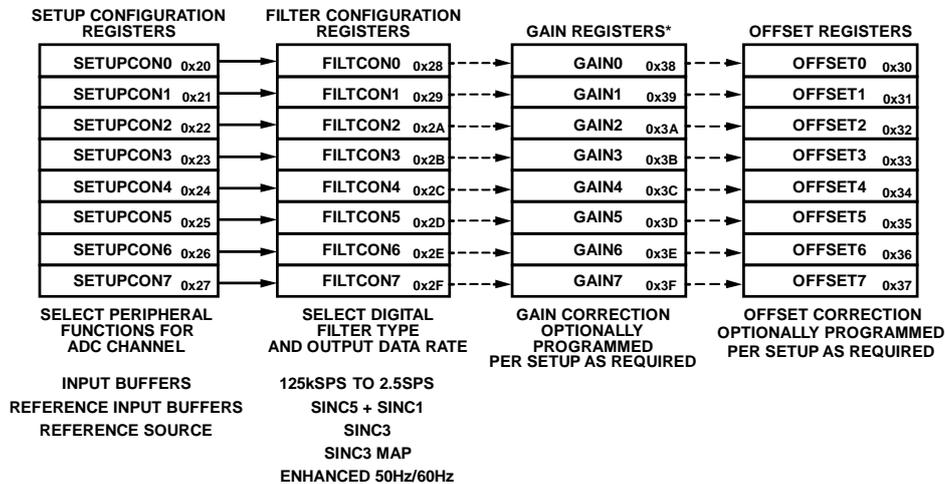


図 38. ADC セットアップ・レジスタのグループ

表 14. セットアップ設定レジスタ 0

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x20	SETUPCON0	[15:8]	予備			BI_UNIPOLAR0	REFBUF0+	REFBUF0	INBUF0		0x1000	RW
		[7:0]	予備	予備	REF_SEL0		予備					

表 15. フィルタ設定レジスタ 0

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x28	FILTCON0	[15:8]	SINC3_MAP0	予備			ENHFILTEN0	ENHFILTO			0x0500	RW
		[7:0]	予備	ORDER0		ODR0						

表 16. ゲイン・レジスタ 0

レジスタ	名前	ビット	ビット[23:0]	リセット	RW
0x38	GAIN0	[23:0]	GAIN0[32:0]	0x5XXXX0	RW

表 17. オフセット・レジスタ 0

レジスタ	名前	ビット	ビット[15:0]	リセット	RW
0x30	OFFSET0	[23:0]	OFFSET0[23:0]	0x800000	RW

ゲイン・レジスタ

ゲイン・レジスタは、ADC のゲイン・キャリブレーション係数を保持する 24 ビット・レジスタです。ゲイン・レジスタは読出し/書込みレジスタです。ゲイン・レジスタのパワーオン・リセット値は 0x5XXXX0 です。ゲイン・レジスタは 24 ビットの読出し/書込みレジスタです。

オフセット・レジスタ

オフセット・レジスタは、ADC のオフセット・キャリブレーション係数を保持します。オフセット・レジスタのパワーオン・リセット値は 0x800000 です。オフセット・レジスタは 24 ビットの読出し/書込みレジスタです。

ADC モードとインターフェース・モードの設定

ADC モード・レジスタとインターフェース・モード・レジスタは、AD4116 によって使用されるコア・ペリフェラルと、デジタル・インターフェースのモードを設定します。

ADC モード・レジスタ

ADC モード・レジスタは、主に ADC の変換モードを、連続変換モードまたはシングル変換モードに設定します。また、任意のキャリブレーション・モードの他、スタンバイ・モードやパワーダウン・モードの選択もできます。更に、このレジスタには、クロック源の選択ビットと内部リファレンスのイネーブル・ビットが含まれています。リファレンス選択ビットは、セットアップ設定レジスタに含まれています（詳細については、ADC セットアップのセクション参照）。このレジスタの詳細を表 18 に示します。

インターフェース・モード・レジスタ

インターフェース・モード・レジスタはデジタル・インターフェースの動作を設定します。このレジスタにより、データワード長、CRC イネーブル、データとステータスの読出し、および連続読出しモードを制御できます。このレジスタの詳細を表 19 に示します。詳細については、デジタル・インターフェースのセクションを参照してください。

表 18. ADC モード・レジスタ

レジスタ	名前	ビット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット	RW
0x01	ADCMODE	[15:8]	REF_EN	予備	SING_CYC	予備		遅延			0x2000	RW
		[7:0]	予備	モード		CLOCKSEL		予備				

表 19. インターフェース・モード・レジスタ

レジスタ	名前	ビット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	リセット	RW
0x02	IFMODE	[15:8]	予備			ALT_SYNC	IOSTRENGTH	予備		DOUT_RESET	0x0000	RW
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	予備	CRC_EN		予備	WL16		

回路の説明

マルチプレクサ

このデバイスには、12本の標準電圧 VIN ピンと 5本の低レベル電圧 ADCIN ピン (VIN0～VIN10、VINCOM、ADCIN11～ADCIN15) があります。これらのピンは、それぞれ内部のマルチプレクサに接続されています。マルチプレクサを使用すると、これらの入力を入力ペアとして設定することができます (これらの入力の設定方法の詳細については、電圧入力のセクションと低レベル入力のセクションを参照してください)。AD4116は、最大 16 のアクティブ・チャンネルを持つことができます。複数のチャンネルがイネーブルされているとき、イネーブルされている最も小さい番号のチャンネルから、イネーブルされている最も大きい番号のチャンネルまで自動的にシーケンス処理されます。マルチプレクサの出力は、内蔵された真のレール to レール・バッファの入力に接続されています。これらのバッファをバイパスして、マルチプレクサの出力を ADC のスイッチド・キャパシタ入力に直接接続できます。簡略化した入力回路を図 39 と図 40 に示します。

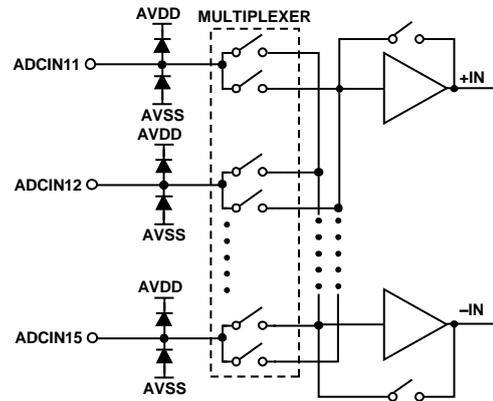


図 39. 簡略化した低レベル入力回路

25501-037

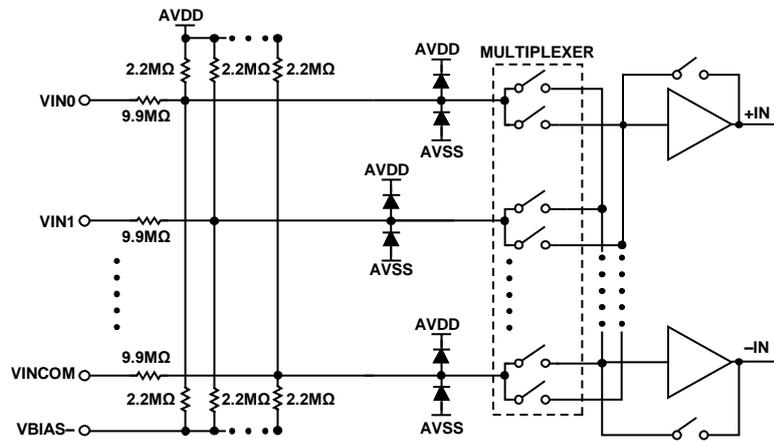


図 40. 簡略化した電圧入力回路

25501-038

電圧入力

AD4116は独自のアナログ・フロント・エンドを内蔵しているため、11のシングルエンド入力または6つの完全差動入力を持つように設定できます。アナログ・フロント・エンドの内蔵高精度分圧器は分圧比が10で、アナログ・デバイセズが独自に開発し特許を取得した *iPassives* 技術の実装によって5V単電源で±20Vの入力範囲を可能にする高インピーダンスの高精度整合抵抗を実現しています。アナログ・フロント・エンドは高入力インピーダンスなので、チャンネル切り替え時や `SING_CYC` イネーブル時には、電圧入力の変換精度が選択された出力データ・レートに依存することがあります。出力データ・レートが高いと、セトリグ時間が短いので、大きな入力インピーダンスは精度に影響する可能性があります。低い出力データ・レートを選択した場合は、ADCがアナログ入力を処理する時間が長くなり、フロント・エンドがセトリグするのに十分な時間がとれるので、誤差が減少します。したがって、セトリグ時間を長くして変換を行うと、誤差を最小限に抑えることができます。

電圧入力チャンネルに対応するセットアップ設定レジスタで入力バッファをイネーブルしてください（表34参照）。

完全差動入力

差動入力は次の組み合わせでペアリングされます。VIN0とVIN1、VIN2とVIN3、VIN4とVIN5、VIN6とVIN7、VIN8とVIN9、VIN10とVINCOM。

シングルエンド入力

最大11個の異なるシングルエンド電圧入力を測定することもできます。この場合、各電圧入力はVINCOMピンとペアになっていなければなりません。VINCOMピンはAVSSピンに外部接続します。

低レベル入力

5本の低レベル入力ピン（ADCIN11、ADCIN12、ADCIN13、ADCIN14、ADCIN15）があります。これらのピンは、それぞれ内部のクロスポイント・マルチプレクサに接続されています。クロスポイント・マルチプレクサにより、これらのどの入力もシングルエンドまたは完全差動の入力ペアとして設定できます。

マルチプレクサの出力は、内蔵された真のレール to レール・バッファの入力に接続されます。これらのバッファをバイパスして、マルチプレクサの出力をADCのスイッチド・キャパシタ入力に直接接続できます。バッファ付きモードの場合、入力チャンネルはバッファ・アンプの高インピーダンス入力段に接続されます。このため、入力は大きなソース・インピーダンスに耐えることができるほか、外部の抵抗型入力保護フィルタやEMCフィルタに直接接続できるよう、特別な設計となっています。デバイスがバッファなしモードで動作する場合は、アナログ入力電流が大きくなります。このバッファなしの入力パスは、駆動源に対して動的負荷になることに注意する必要があります。このため、ADC入力の駆動源の出力インピーダンスによっては、入力ピンの抵抗/コンデンサ（RC）の組み合わせにより、ゲイン誤差が発生する場合があります。

完全差動入力

差動の低レベル入力は、ADCIN11とADCIN12、ADCIN13とADCIN14の組み合わせでペアリングされます。

シングルエンド入力または疑似差動入力

最大4つの異なるシングルエンドまたは疑似差動の低レベル電圧入力を測定することができます。この場合、各電圧入力は、入力共通ピンとしてのADCIN15ピンとペアになっていなければなりません。例えば、シングルエンド構成でADCIN15ピンをAVSSピンに外部接続します。この場合、ADCは正の入力電圧のみを変換できます。もう1つの例は、疑似差動構成でADCIN15ピンをREFOUT電圧（つまり、AVSS + 2.5V）に接続します。この場合、-2.5V～+2.5Vの差動電圧を変換できます。

入力ピンの絶対電圧

電圧入力

AD4116の電圧入力ピンは、任意の2つの電圧入力ピン間の差動電圧について特に、±10Vの精度で仕様規定されています。

電圧入力ピンには印加可能な絶対電圧に関する個別の仕様があり、アナログ・フロント・エンドの分圧器回路のユニークな設計によって、AD4116での過電圧に対する堅牢性が確保されています。つまり、許容される過電圧はAVDD電源によって異なります。図41は、AVDD = 5Vで実現できる堅牢性の様々な度合いを示しています。図41は、電圧ピンの過電圧がデバイス全体の精度にどのように影響するかを視覚的に表し、ガイダンスを提供するものです。

図41の「guaranteed accuracy」のセクションは、電圧入力ピンに印加して精度を確保できる電圧範囲を示します。

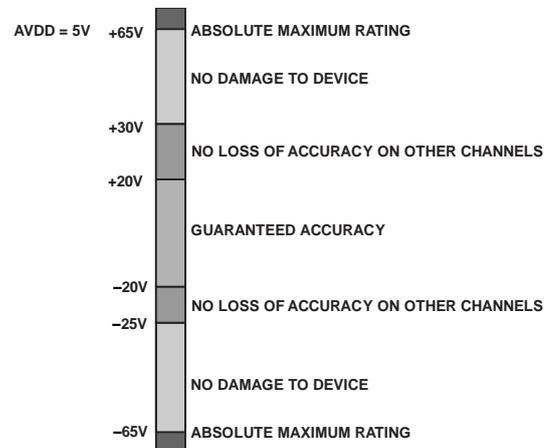


図 41. 入力ピンの絶対電圧、AVDD = 5V

「no loss of accuracy」のセクションは、他のチャンネルの精度を低下させることなく印加できる電圧レベルを示します。

「no damage to device」のセクションは、絶対最大電圧を超えずに電圧入力ピンに印加できる許容可能な正および負の電圧を示します。他のチャンネルの性能は低下しますが、過電圧が除去されると性能は回復します。この電圧範囲は、絶対最大定格が±65Vと規定されています。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

低レベル入力

バッファなしモードの絶対低レベル入力電圧には、AVSS - 50mV ~ AVDD + 50mV の範囲が含まれます。バッファ付きモードの絶対入力電圧範囲は、AVSS ~ AVDD の範囲に制限されています。低レベル入力電圧は、絶対最大定格が AVSS - 0.3V ~ AVDD1 + 0.3V と仕様規定されています。

データ出力コーディング

電圧入力

ADC がユニポーラ動作に設定されている場合、出力コードは自然（ストレート）バイナリになり、ゼロ差動入力の電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 になります。

入力電圧の出力コードは次のように表されます。

$$\text{コード} = (2^N \times V_{IN} \times 0.1) / V_{REF}$$

ADC がバイポーラ動作に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード 000 ... 000、ゼロ差動入力電圧がコード 100 ... 000、正のフルスケール入力電圧がコード 111 ... 111 になります。アナログ入力電圧の出力コードは次のように表されます。

$$\text{コード} = 2^{N-1} \times ((V_{IN} \times 0.1 / V_{REF}) + 1)$$

ここで、

$N = 24$ 、

V_{IN} は入力電圧、

V_{REF} はリファレンス電圧です。

低レベル入力

ADC がユニポーラ動作に設定されている場合、出力コードは自然（ストレート）バイナリになり、ゼロ差動入力の電圧がコード 00 ... 00、ミッドスケール電圧がコード 100 ... 000、フルスケール入力電圧がコード 111 ... 111 になります。どの低レベル入力電圧の場合も出力コードは次のように表されます。

$$\text{コード} = (2^N \times V_{ADCIN}) / V_{REF}$$

ADC がバイポーラ動作に設定されている場合、出力コードはオフセット・バイナリになり、負のフルスケール電圧がコード 000 ... 000、ゼロ差動入力電圧がコード 100 ... 000、正のフルスケール入力電圧がコード 111 ... 111 になります。どの低レベル入力電圧の場合も出力コードは次のように表されます。

$$\text{コード} = 2^{N-1} \times ((V_{ADCIN} / V_{REF}) + 1)$$

ここで、

$N = 24$ 、

V_{REF} はリファレンス電圧、

V_{ADCIN} は低レベル入力電圧です。

AD4116 のリファレンス

AD4116 は、AVDD - AVSS を使用して REF+ および REF- ピンに外部リファレンス電圧を供給するか、低ノイズ、低ドリフトの 2.5V 内部リファレンスを使用するかのどちらかを選択できるようになっています。セットアップ設定レジスタの REF_SELx ビット（ビット [5:4]）を適切に設定することにより、アナログ入力で使用するリファレンス源を選択します。デフォルトでは、AD4116 はパワーアップ時に外部リファレンスを使用します。

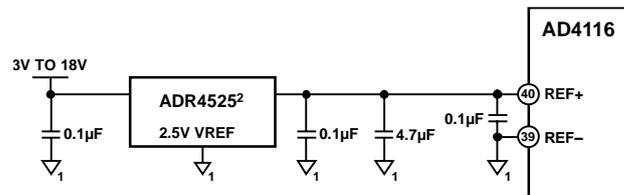
内部リファレンス

AD4116 は低ノイズで低ドリフトの電圧リファレンスを内蔵しています。この内部リファレンスは 2.5V の出力を備えています。ADC モード・レジスタの REF_EN ビットがセットされた後、内部リファレンスが REFOUT ピンに出力されます。このピンは AVSS に 0.1μF のコンデンサでデカップリングします。AD4116 の内部リファレンスは、デフォルトでパワーアップ時にディスエーブルされます。

外部リファレンス

AD4116 は、REF+ ピンと REF- ピンを通じて印加される完全差動のリファレンス電圧入力を備えています。ADR4525 などの標準的な低ノイズで低ドリフトの電圧リファレンスを使用することをお勧めします。外部リファレンスは、図 42 に示すように、AD4116 のリファレンス・ピンに接続してください。外部リファレンスの出力は AVSS にデカップリングします。図 42 に示すように、ADR4525 の出力は、安定化のために、0.1μF のコンデンサを使ってこの出力のところでデカップリングされています。また、この出力には 4.7μF のコンデンサが接続されていますが、このコンデンサは ADC に必要な動的電荷を貯蔵します。続いて、0.1μF のデカップリング・コンデンサが REF+ 入力に接続されています。このコンデンサは、REF+ ピンと REF- ピンのできるだけ近くに配置してください。

REF- ピンは、AVSS の電位に直接接続してください。内部リファレンスの代わりに外部リファレンスを使って AD4116 に供給するときは、REFOUT ピンの出力に注意する必要があります。内部リファレンスは、ADC モード・レジスタの REF_EN ビット（ビット 15）で制御されます。内部リファレンスがアプリケーションの他の場所で使用されていない場合は、REF_EN ビットがディスエーブルになっていることを確認してください。



¹ ALL DECOUPLING IS TO AVSS.
² ANY OF THE ADR452x FAMILY REFERENCES CAN BE USED.
 ADR4525 ENABLES REUSE OF THE 5V ANALOG SUPPLY
 NEEDED FOR AVDD TO POWER THE REFERENCE V_{IN} .

25501-040

図 42. AD4116 の REF±ピンに接続された ADR4525

表 20. セットアップ設定 0 レジスタ

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x20	SETUPCON0	[15:8]	予備			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	R W
		[7:0]	予備	予備	REF_SEL0		予備					

表 21. ADC モード・レジスタ

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x01	ADCMODE	[15:8]	REF_EN	予備	SING_CYC	予備		遅延			0x2000	R W
		[7:0]	予備	モード			CLOCKSEL		予備			

バッファ付きリファレンス入力

AD4116 は、両方の ADC リファレンス入力に、真のレール to レール高精度ユニティ・ゲイン・バッファを備えています。このバッファによって高い入力インピーダンスが実現され、高い出力インピーダンスを持つ信号源をリファレンス入力に直接接続できます。内蔵リファレンス・バッファは、内部リファレンス・スイッチド・キャパシタ・サンプリング・ネットワークを十分に駆動できるため、リファレンス回路の条件が緩和されます。各リファレンス入力バッファ・アンプは、完全にチョッピング方式で動作しています。これは、オフセット誤差ドリフトと 1/f ノイズを最小限に抑えるためです。ADR4525 などのリファレンスを使用する場合、これらのバッファは必要ありません。これは、適切にデカップリングすれば、これらのリファレンスはリファレンス入力を直接駆動できるためです。

クロック源

AD4116 は公称 4MHz のマスタ・クロックを使用します。AD4116 は、次の 3 つのソースのいずれかからサンプリング・クロックを得ることができます。

- 内部発振器
- 外部水晶振動子。16MHz の水晶振動子を使用すると、4MHz クロックを設定するように内部で自動的に分周されます。
- 外部クロック源

このデータシートに記載されている出力データ・レートはすべて、4MHz のマスタ・クロック・レートを基準にしています。外部クロックを使用するなど、これより低いクロック周波数を使う場合は、データシートに記載されている出力データ・レートと比例関係にある周波数を持つクロック源を使ってください。指定された出力データ・レートを実現し、特に 50Hz と 60Hz の影響を除去するには、4MHz のクロックを使用してください。マスタ・クロック源は、ADC モード・レジスタの CLOCKSEL ビット (ビット[3:2]) を設定して選択します。パワーアップおよびリセット時のデフォルト動作では、AD4116 は内部発振器で動作します。低い出力データ・レートの場合、SINC3_MAPx ビットを使って、出力データ・レートとフィルタ・ノッチを微調整することができます。

内部発振器

内部発振器は 16MHz で動作し、変調器用に内部で 4MHz に分周され、ADC のマスタ・クロックとして使用できます。AD4116 のデフォルトのクロック源は内部発振器で、その精度は-2.5% ~ +2.5% に仕様規定されています。

オプションで、この内部クロック発振器の出力を XTAL2/CLKIO ピンに出力することができます。クロック出力は、IOVDD のロジック・レベルで動作します。このオプションは、出力ドライバによって生じる外乱により、AD4116 の DC 特性に影響を与える可能性があります。DC 性能に与える影響の程度は IOVDD 電源に依存し、IOVDD 電圧が高いほど、ドライバからのロジック出力の電圧振幅が大きくなり、DC 性能に与える影響がより深刻になります。高い IOVDD レベルで IOSTRENGTH ビットをセットした場合、影響は更に大きくなります。

外部水晶振動子

更に精度が高くジッタの小さなクロック源が必要な場合、AD4116では外部水晶振動子を使ってマスタ・クロックを生成できます。水晶振動子は XTAL1 ピンと XTAL2/CLKIO ピンに接続します。推奨される水晶振動子は FA-20H です。これはエプソントヨコム製の 16MHz、10ppm、9pF の水晶振動子で、表面実装パッケージが採用されています。図 43 に示しているように、水晶振動子と XTAL1 ピンおよび XTAL2/CLKIO ピンの間に 2 つのコンデンサ (CX 1 と CX 2) を取り付けます。これらのコンデンサにより回路の調整が可能です。コンデンサは DGND ピンに接続します。これらのコンデンサの容量値は、水晶振動子の長さと容量に依存します。したがって、容量値は PCB レイアウトと使用する水晶振動子によって異なります。

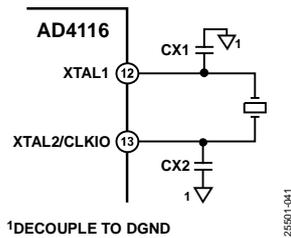


図 43. 外付け水晶振動子の接続方法

SCLK 周波数、IOVDD 電圧、水晶発振回路のレイアウト、および使用する水晶振動子によっては、外部水晶発振回路は SCLK エッジの影響を受けやすくなることがあります。水晶振動子の起動時、SCLK エッジによって引き起こされる外乱によって水晶振動子にダブル・エッジが入力される可能性があります。その結果、水晶振動子の出力電圧が十分に高くなって、SCLK エッジからの干渉がダブル・クロッキングを引き起こさなくなるまでは、有効ではない変換が行われます。起動後、SCLK を与える前に、水晶発振回路の出力レベルが十分高い値になるようにしておけば、このダブル・クロッキングを避けることができます。

水晶発振回路の性質により、最終的な PCB レイアウトと水晶振動子を使用して、要求される条件下で回路の実証テストを行って、正常に動作することを確認することをお勧めします。

外部クロック

AD4116 は、外部から供給されるクロックを使うこともできます。外部供給クロックを使用するシステムの場合、外部クロックは XTAL2/CLKIO ピンに配線します。この構成では、XTAL2/CLKIO ピンは外部からのクロックを受け入れて変調器に送ります。このクロック入力のロジック・レベルは、IOVDD ピンに与えられる電圧によって決まります。

デジタル・フィルタ

AD4116は、柔軟性に富む以下の3つのフィルタ・オプションを備えており、ノイズ特性、セトリング時間、ノイズ除去性能の最適化が可能です。

- sinc5 + sinc1 フィルタ
- sinc3 フィルタ
- 50Hzと60Hzを除去する強化フィルタ

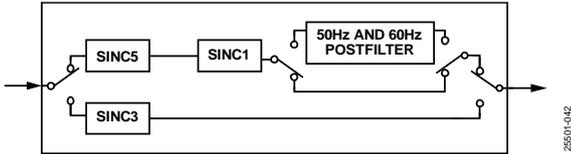


図 44. デジタル・フィルタ・ブロック図

フィルタと出力データ・レートは、選択されたセットアップのフィルタ設定レジスタの適切なビットを設定することで設定されます。各チャンネルは異なるセットアップを使用することができます。したがって、異なるフィルタと出力データ・レートを使用することができます。詳細については、レジスタの詳細のセクションを参照してください。

SINC5 + SINC1 フィルタ

sinc5 + sinc1 フィルタは、マルチプレクス・アプリケーションを対象としており、5.195 kSPS 以下の出力データ・レートでシングル・サイクル・セトリングを実現します。sinc5 ブロックの出力は 62.5kSPS の最大レートで固定されており、sinc1 ブロックの出力データ・レートを変更して最終 ADC 出力データ・レートを制御できます。図 45 に、出力データ・レート 50SPS での sinc5 + sinc1 フィルタの周波数領域応答を示します。sinc5 + sinc1 フィルタのノッチは狭く、周波数に対するロールオフは緩やかです。

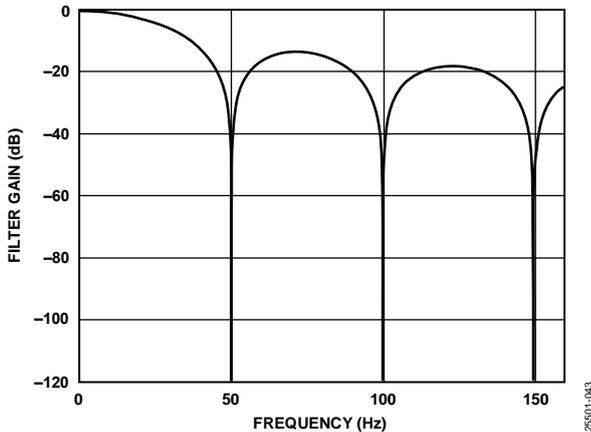


図 45. 出力データ・レート 50SPS における Sinc5 + Sinc1 フィルタの応答

sinc5 + sinc1 フィルタの出力データ・レートとそれに対応するセトリング時間および実効値ノイズを表 7 と表 9 に示します。

SINC3 フィルタ

sinc3 フィルタは低い出力レートで最良のシングルチャンネル・ノイズ性能を実現するので、シングルチャンネル・アプリケーションに最適です。sinc3 フィルタのセトリング時間は、常に以下の式と等しくなります。

$$t_{SETTLE} = 3 / \text{出力データ・レート}$$

図 46 に、sinc3 フィルタの周波数領域のフィルタ応答を示します。sinc3 フィルタは、周波数に対して優れたロールオフ特性を持ち、ノッチの幅が広く、ノッチ周波数の除去に適しています。

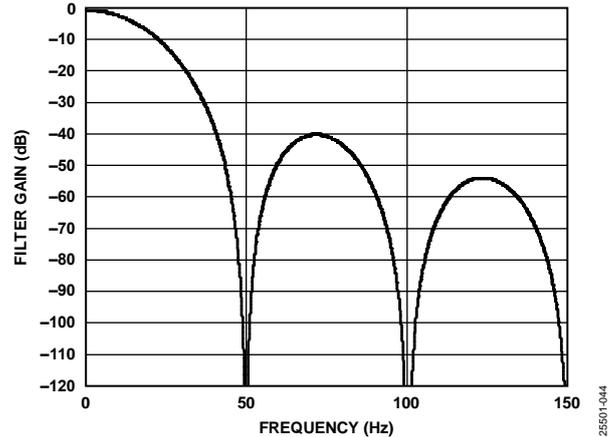


図 46. Sinc3 フィルタの応答

sinc3 フィルタの出力データ・レート、対応するセトリング時間および実効値ノイズを表 8 と表 10 に示します。フィルタ設定レジスタの SINC3_MAPx ビットをセットして、sinc3 フィルタの出力データ・レートを微調整できます。このビットをセットすると、このフィルタ・レジスタのマッピングが変化し、sinc3 フィルタのデシメーション・レートが直接設定されます。その他のオプションはすべて無効になります。シングル・チャンネルのデータ・レートは、次式で計算できます。

$$\text{出力データ・レート} = f_{MOD} / (32 \times \text{FILTCONx}[14:0])$$

ここで

f_{MOD} は、変調器のレート (MCLK/2) で 2MHz、 $\text{FILTCONx}[14:0]$ は、MSB を除いたフィルタ設定レジスタの内容です。

例えば、 $\text{FILTCONx}[14:0]$ ビットの値を 1,250 に設定し、SINC3_MAPx をイネーブルすれば、50SPS の出力データ・レートが得られます。

シングル・サイクル・セトリング

AD4116 は、ADC モード・レジスタの SING_CYC ビットをセットして、完全にセトリングされたデータのみが出力され、実質的に ADC がシングル・サイクル・セトリング・モードになるように設定できます。このモードは、選択された出力データ・レートにおける ADC のセトリング時間に等しくなるように出力データ・レートを下げて、シングル・サイクルでのセトリングを実現しています。出力データ・レートが 5.195 kSPS 以下で sinc5 + sinc1 フィルタを使用している場合、または複数のチャンネルがイネーブルされている場合、このビットは影響しません。

図 47 に、シングル・サイクル・セトリング・モードがディスエーブルで、sinc3 フィルタを選択した場合のアナログ入力のステップを示します。ステップ変化の後、出力が最終セトリング値に到達するまでにアナログ入力は少なくとも 3 サイクル必要です。

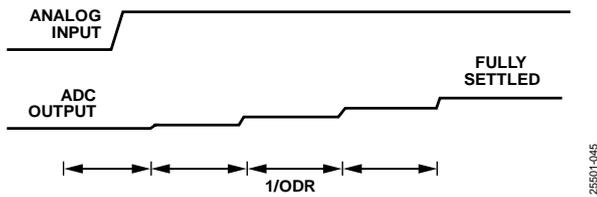


図 47. シングル・サイクル・セトリングを使わないときのステップ入力

図 48 に、シングル・サイクル・セトリングをイネーブルにした場合の、アナログ入力のステップを示します。出力が完全にセトリングするまでにアナログ入力が必要とするのは最低 1 サイクルです。RDY 信号が示す出力データ・レートは減少し、選択した出力データ・レートでのフィルタのセトリング時間に等しくなります。

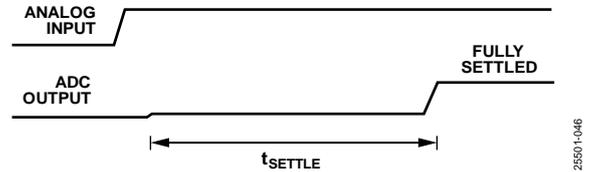


図 48. シングル・サイクル・セトリングでのステップ入力

50Hz と 60Hz を除去する強化フィルタ

強化フィルタは 50Hz と 60Hz を同時に除去することができ、また、セトリング時間と除去比の兼ね合いを調整できます。これらのフィルタは 27.27SPS まで動作可能で、50Hz ± 1Hz と 60Hz ± 1Hz の干渉信号を最大 90dB 除去することができます。これらのフィルタは、sinc5 + sinc1 フィルタの出力をポスト・フィルタすることで動作します。このため、強化フィルタを使って規定されたセトリング時間とノイズ性能を実現するには、sinc5 + sinc1 フィルタを選択する必要があります。

表 22. 強化フィルタの出力データ・レート、セトリング時間、除去比、電圧入力ノイズ

出力データ・レート (SPS)	セトリング時間 (ms)	50Hz ± 1Hz および 60Hz ± 1Hz (dB) の同時除去 ¹	ノイズ (μV rms)	ピーク to ピーク分解能 (ビット)	コメント
27.27	36.67	47	13.24	17.72	図 49 と図 52 を参照
25	40	62	12.81	17.87	図 50 と図 53 を参照
20	50	85	12.48	17.86	図 51 と図 54 を参照
16.667	60	90	11.99	17.91	図 55 と図 56 を参照

¹ マスタ・クロック = 4.00MHz

表 23. 強化フィルタの出力データ・レート、セトリング時間、除去比、低レベル入力ノイズ

出力データ・レート (SPS)	セトリング時間 (ms)	50Hz ± 1Hz および 60Hz ± 1Hz (dB) の同時除去 ¹	ノイズ (μV rms)	ピーク to ピーク分解能 (ビット)	コメント
27.27	36.67	47	0.34	21.19	図 49 と図 52 を参照
25	40	62	0.34	21.19	図 50 と図 53 を参照
20	50	85	0.3	21.42	図 51 と図 54 を参照
16.667	60	90	0.3	21.42	図 53 と図 56 を参照

¹ マスタ・クロック = 4.00MHz

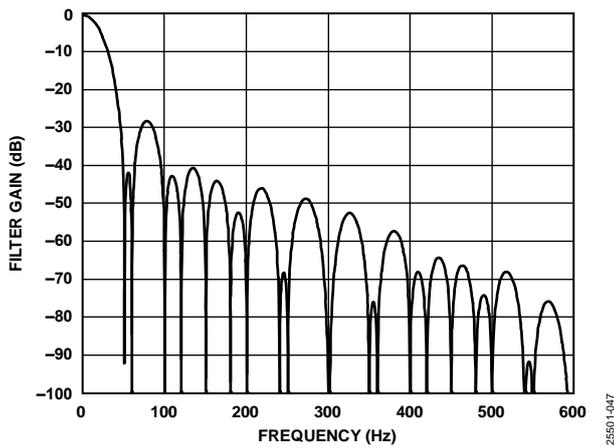


図 49. 27.27SPS の ODR、36.67 ms のセトリング時間

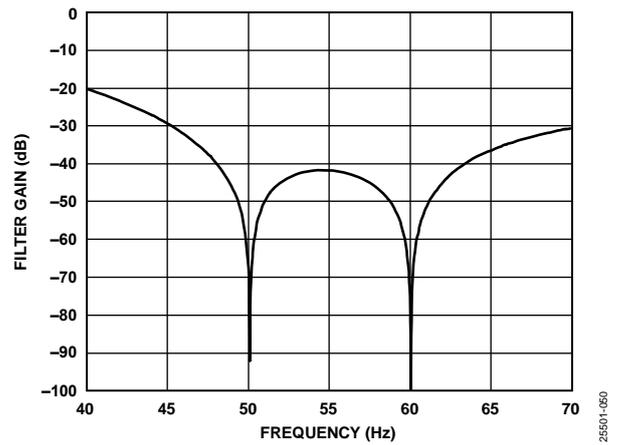


図 52. 27.27SPS の ODR、36.67ms のセトリング時間 (40Hz~70Hz)

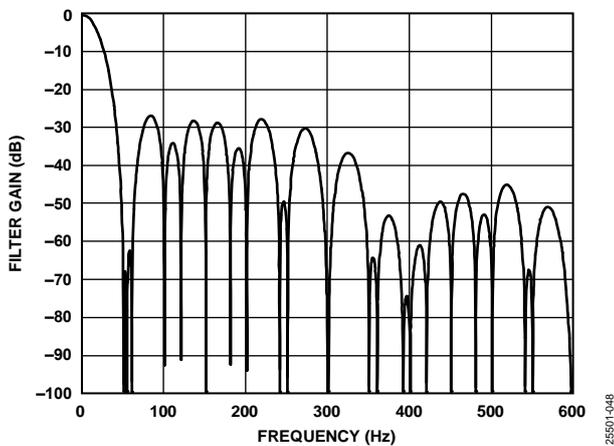


図 50. 25SPS の ODR、40ms のセトリング時間

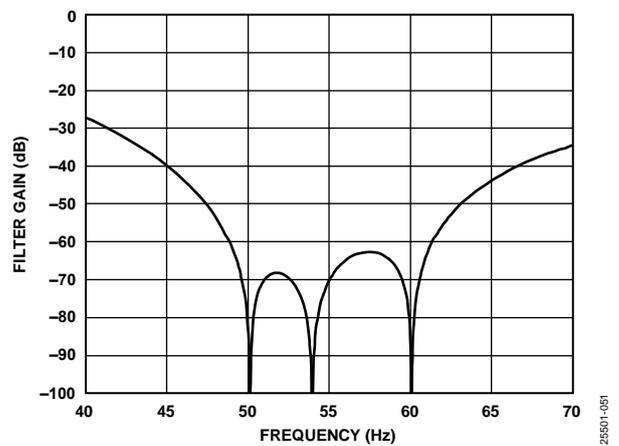


図 53. 25SPS の ODR、40ms のセトリング時間 (40Hz~70Hz)

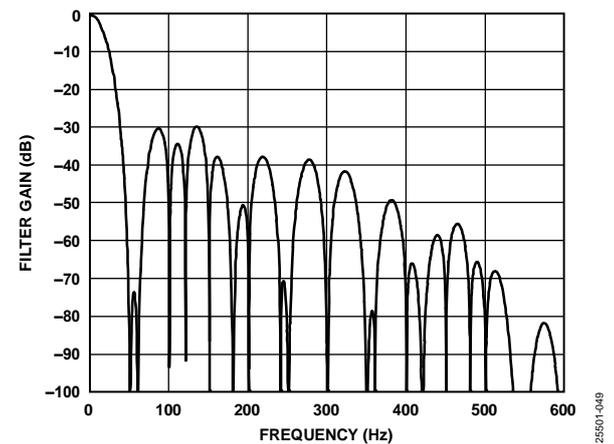


図 51. 20SPS の ODR、50ms のセトリング時間

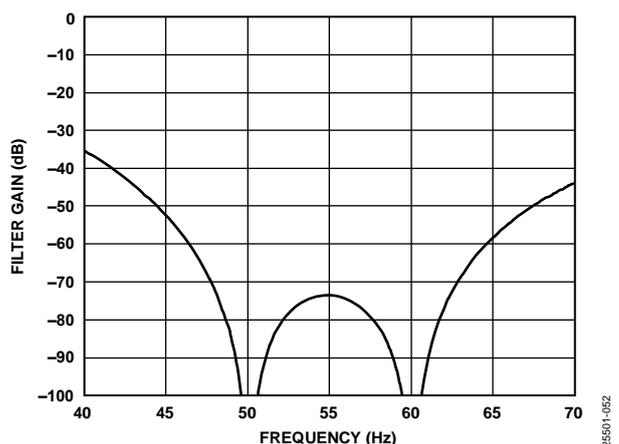


図 54. 20SPS の ODR、50ms のセトリング時間 (40Hz~70Hz)

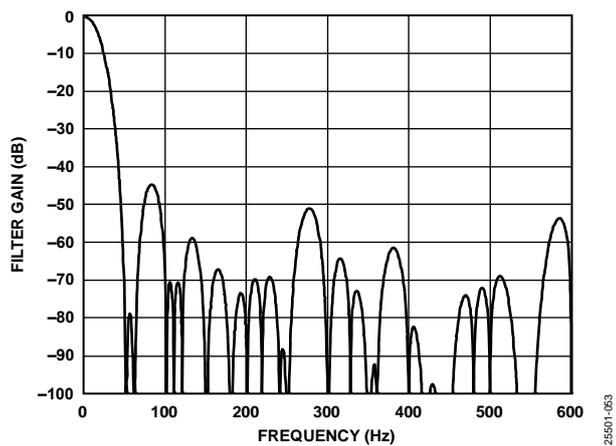


図 55. 16.667SPS の ODR、60ms のセトリング時間

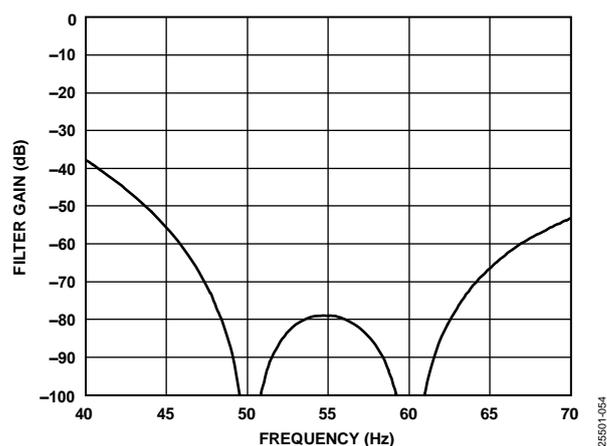


図 56. 16.667SPS の ODR、60ms のセトリング時間
(40Hz~70Hz)

動作モード

AD4116 は、ADC モード・レジスタとインターフェース・モード・レジスタで設定可能な、数種類の動作モードを備えています。これらのモードは次のとおりです。

- 連続変換モード
- 連続読出しモード
- シングル変換モード
- スタンバイ・モード
- パワーダウン・モード
- 4種類のキャリブレーション・モード

連続変換モード

連続変換モードは、パワーアップ時のデフォルト・モードです。AD4116 は連続的に変換を行い、変換が完了するたびにステータス・レジスタの RDY ビットがロー・レベルになります。CS がロー・レベルの場合、変換が完了すると、RDY 出力もロー・レベルになります。変換結果を読み出すには、コミュニケーション・レジスタに書込みを行って、次の動作がデータ・レジスタからの読出しであることを示します。データ・レジスタからデータワードを読み出すと、DOUT/RDY ピンがハイ・レベルになります。このレジスタの内容は、必要に応じて何回も読み出

すことが可能です。ただし、次の変換の完了時に、データ・レジスタへのアクセスを防止する必要があります。そうしないと、新しい変換ワードが失われます。

複数のチャンネルがイネーブルされた場合、ADC はイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルで 1 回の変換を行います。全チャンネルの変換が完了すると、最初のチャンネルに戻って、シーケンスが再度開始されます。チャンネルのデータ変換は、最も番号の小さいチャンネルから、最も番号の大きいチャンネルへ順番に行われます。データ・レジスタは、変換結果が読出し可能になると、直ちに更新されます。RDY は、変換結果が読出し可能になると、ロー・レベルのパルスを出力します。次いで、ADC がイネーブルされた次のチャンネルの変換を行っている間に、変換結果を読み出すことができます。

インターフェース・モード・レジスタの DATA_STAT ビットが 1 に設定されていると、データ・レジスタを読み出すたびに、ステータス・レジスタの内容と一緒に変換データが出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

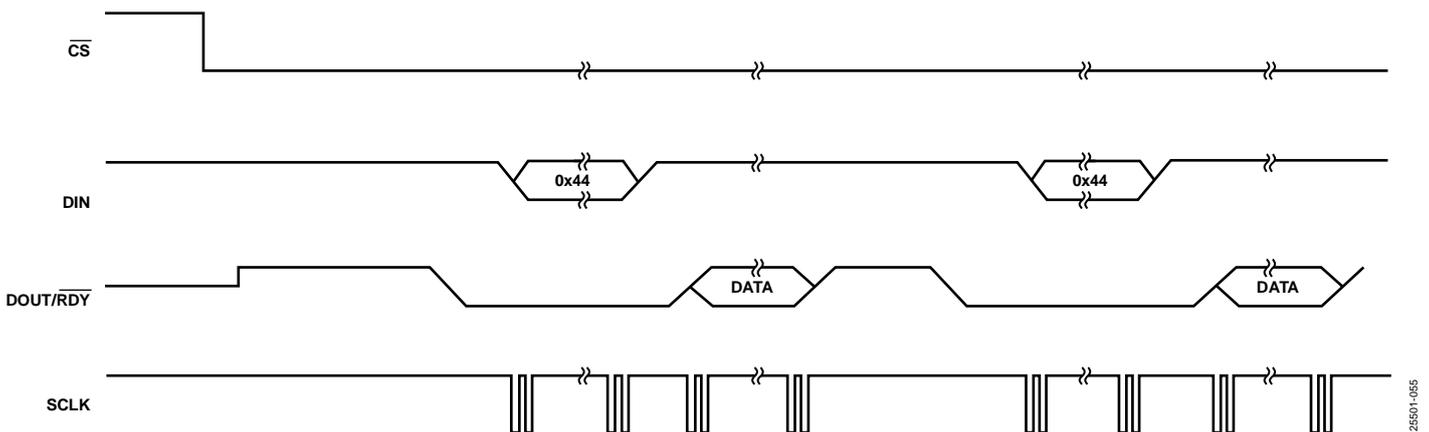


図 57. 連続変換モード

25501-085

連続読出しモード

連続読出しモードでは、ADC データの読出し前にコミュニケーション・レジスタに書き込む必要はありません。 $\overline{\text{RDY}}$ の出力がロー・レベルになって変換終了を示した後、必要な数の SCLK だけを印加します。変換結果を読み出すと、 $\overline{\text{RDY}}$ 出力はハイ・レベルに戻り、次の変換結果が得られるまでハイ・レベルを維持します。このモードでは、データは 1 回しか読み出すことができません。次の変換が完了する前に、必ずデータワードを読み出してください。次回の変換完了前に変換結果を読み出さなかった場合、または AD4116 に与えるシリアル・クロック数がデータワードを読み出すのに十分でなかった場合には、シリアル出力レジスタは次の変換が完了する直前にリセットされ、新たな変換データがシリアル出力レジスタに格納されます。連続読出しモードを使うためには、ADC を連続変換モードに設定しなければなりません。連続読出しモードをイネーブルするには、インターフェース・モード・レジスタの CONTREAD ビットをセットします。このビットがセットされると、シリアル・イン

ターフェースの可能な動作は、データ・レジスタからのデータ読出しのみになります。連続読出しモードを終了するには、 $\overline{\text{RDY}}$ 出力がロー・レベルのときにダミーの ADC データ・レジスタ読出しコマンド (0x44) を実行します。もしくは、ソフトウェア・リセットを行って (すなわち、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ として 64 個の SCLK を送って)、ADC および全レジスタの内容をリセットします。ダミー読出しおよびソフトウェア・リセットだけが、インターフェースが連続読出しモードになった後にインターフェースが認識できるコマンドです。命令をデバイスに書き込もうとするときまで、連続読出しモードでは $\overline{\text{DIN}}$ をロー・レベルに維持してください。

複数の ADC チャンネルがイネーブルで、インターフェース・モード・レジスタの DATA_STAT ビットがセットされている場合、データにステータス・ビットが付加された状態で各チャンネルが順番に出力されます。ステータス・レジスタの下位 4 ビットに、変換結果に対応するチャンネルが示されます。

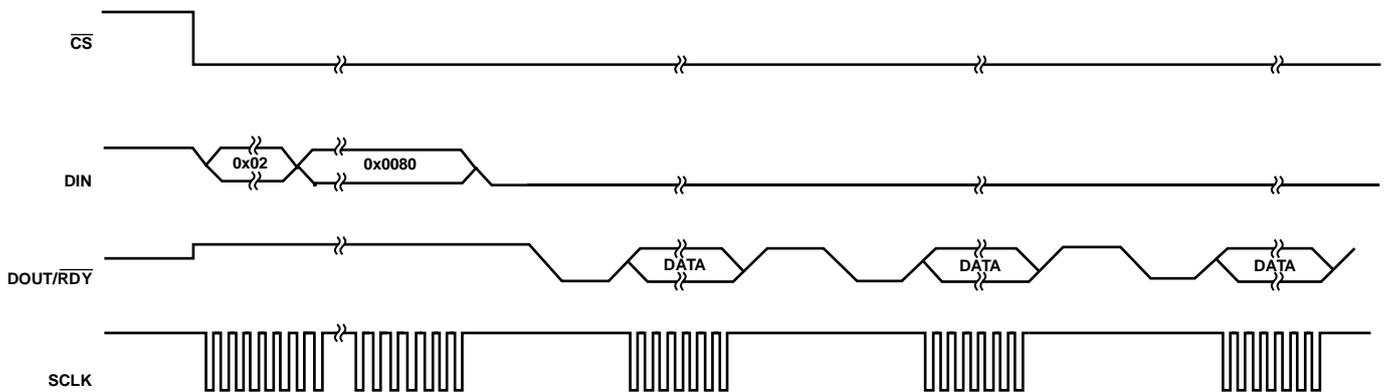


図 58. 連続読出しモード

シングル変換モード

シングル変換モードでは、AD4116はシングル変換を行い、変換が終了するとスタンバイ・モードになります。RDY出力はロー・レベルになり変換が完了したことを示します。データ・レジスタからデータワードを読み出すと、RDY出力がハイ・レベルに移行します。RDY出力がハイ・レベルに移行しても、必要に応じてデータ・レジスタを複数回読み出すことができます。

複数のチャンネルがイネーブルされていると、ADCはイネーブルされたチャンネルを自動的にシーケンス処理し、各チャンネルの変換を行います。最初の変換が開始されると、RDY出力はハイ・レベルに移行し、有効な変換結果が得られてCSがロー・レベルになるまでハイ・レベルを維持します。変換結果が得られると、RDY出力がロー・レベルに移行します。続いてADC

は次のチャンネルを選択して変換を開始します。次の変換を実行している間に、現在の変換結果を読み出すことができます。次の変換が完了すると、データ・レジスタが更新されます。したがって、変換データを読み出せる期間は限られています。ADCは、選択した各チャンネルのシングル変換を完了すると、スタンバイ・モードに戻ります。

インターフェース・モード・レジスタのDATA_STATビットが1に設定されていると、データ・レジスタが読み出されるたびに、ステータス・レジスタの内容が変換結果と一緒に出力されます。ステータス・レジスタの下位4ビットは、変換結果に対応するチャンネルを示します。

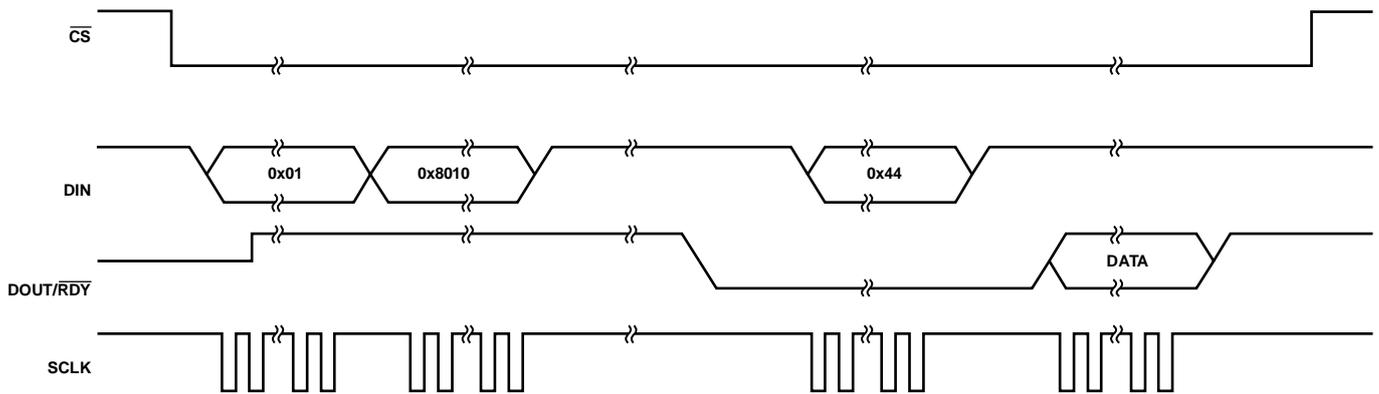


図 59. シングル変換モード

25501-057

スタンバイ・モードとパワーダウン・モード

スタンバイ・モードでは、ほとんどのブロックがパワーダウンします。しかし、レジスタの内容が保持されるよう、LDO レギュレータは動作状態を維持します。水晶発振器は、選択されている場合はアクティブのままになります。スタンバイ・モードでクロックをパワーダウンするには、ADC モード・レジスタの **CLOCKSEL** ビットを 00 (内部発振器モード) に設定します。

パワーダウン・モードでは、LDO レギュレータを含むすべてのブロックへの電力供給が停止します。この時、すべてのレジスタの内容が失われ、GPIO 出力はスリーステートになります。偶発的にパワーダウン・モードになるのを防ぐため、最初に ADC をスタンバイ・モードにする必要があります。パワーダウン・モードを終了するには、**CS** = 0、**DIN** = 1 (シリアル・インターフェース・リセット) の状態で 64 **SCLK** が必要です。LDO レギュレータがパワーアップするまでの待機時間として、後続のシリアル・インターフェース・コマンドの発行を 500µs 遅延させることを推奨します。

キャリブレーション

AD4116 では、2 ポイント・キャリブレーションを行って、オフセット誤差とゲイン誤差を除去できます。セットアップごとのオフセット誤差とゲイン誤差を除去するには、以下の 4 つのキャリブレーション・モードが使用できます。

- 内部ゼロスケール・キャリブレーション・モード
- 内部フルスケール・キャリブレーション・モード
- システム・ゼロスケール・キャリブレーション・モード
- システム・フルスケール・キャリブレーション・モード

キャリブレーション時は、1 チャンネルのみをアクティブにすることができます。各変換後、ADC 変換結果は、データ・レジスタに書き込まれる前に ADC キャリブレーション・レジスタのデータを使って補正されます。

オフセット・レジスタのデフォルト値は、0x800000、ゲイン・レジスタのデフォルト値は 0x5XXXX0 です。以下の式が、その計算に使われます。ユニポーラ・モードの場合、理想的な関係式 (すなわち、ADC のゲイン誤差とオフセット誤差を考慮しない式) は次のようになります。

電圧入力の場合は、

$$\text{データ} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) \times 2$$

低レベル入力の場合は、

$$\text{データ} = ((0.75 \times V_{ADCIN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) \times 2$$

バイポーラ・モードの場合、ADC のゲイン誤差とオフセット誤差を考慮しない理想的な関係式は次のようになります。

電圧入力の場合は、

$$\text{データ} = ((0.075 \times V_{IN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) + 0x800000$$

低レベル入力の場合は、

$$\text{データ} = ((0.75 \times V_{ADCIN}/V_{REF}) \times 2^{23} - (\text{オフセット} - 0x800000)) \times (\text{ゲイン}/0x400000) + 0x800000$$

キャリブレーションを開始するには、ADC モード・レジスタのモード・ビットに対応する値を書き込みます。キャリブレーションが開始されると、**DOUT/RDY**ピンと、ステータス・レジスタの **RDY** ビットがハイ・レベルになります。キャリブレーションが完了すると、対応するオフセットまたはゲイン・レジスタの内容が更新され、ステータス・レジスタの **RDY** ビットがリセットされます。また、**RDY** 出力ピンがロー・レベルに戻り (**CS** がロー・レベルの場合)、AD4116 がスタンバイ・モードに戻ります。

内部オフセット・キャリブレーションの間、変調器の両入力を選択した負のアナログ入力ピンに内部で接続されます。このため、選択した負のアナログ入力ピンの電圧が許容値を超えず、過度なノイズや干渉がないことを確認する必要があります。フルスケールの低レベル入力電圧は自動的に ADC 入力に接続され、内部フルスケール・キャリブレーションを実行します。

ただし、システム・キャリブレーションでは、キャリブレーション・モードを開始する前に、システム・ゼロスケール電圧 (オフセット) とシステム・フルスケール電圧 (ゲイン) を入力ピンに入力する必要があります。この結果、AD4116 の外部誤差が除去されます。

電圧入力のシステム・フルスケール・キャリブレーションでの ADC ゲインのキャリブレーション範囲は、 $3.75 \times V_{REF} \sim 10.5 \times V_{REF}$ です。 $10.5 \times V_{REF}$ が印加された **AVDD** の絶対入力電圧仕様よりも大きい場合は、上限値として $10.5 \times V_{REF}$ の代わりに仕様規定された値を使用してください (仕様のセクションを参照)。

低レベル入力のシステム・フルスケール・キャリブレーションでの ADC ゲインのキャリブレーション範囲は、 $0.4 \times V_{REF} \sim 1.05 \times V_{REF}$ です。

内部ゼロスケール・キャリブレーションでは、ADC コアのオフセット誤差のみが除去されます。抵抗フロント・エンドからの誤差は除去されません。システム・ゼロスケール・キャリブレーションにより、オフセット誤差はそのチャンネルのノイズ・レベルまで減少します。

動作の観点からは、キャリブレーションはもう 1 つの ADC 変換として扱う必要があります。オフセット・キャリブレーションが必要な場合は、常にフルスケール・キャリブレーションの前に行う必要があります。ステータス・レジスタの **RDY** ビットまたは **RDY** 出力をモニタするようにシステム・ソフトウェアを設定して、ポーリング・シーケンスまたは割込みによるルーチンによってキャリブレーションが終了したことを確認してください。どのキャリブレーションも、完了するには、選択したフィルタと出力データ・レートのセトリング時間に等しい時間を必要とします。

キャリブレーションはあらゆる出力データ・レートで実行できます。低い出力データ・レートを使うほど、精度の高いキャリブレーション結果を得ることができ、すべての出力データ・レートに対して高精度になります。あるチャンネルのリファレンス源を変更した場合、そのチャンネルのために新たなオフセット・キャリブレーションが必要です。

AD4116 では内蔵キャリブレーション・レジスタにアクセスできるため、マイクロプロセッサがデバイスのキャリブレーション係数を読み出したり、独自のキャリブレーション係数を書き込んだりすることができます。内部キャリブレーションまたはセルフ・キャリブレーション時以外は、オフセット・レジスタとゲイン・レジスタの読出しまたは書込みはいつでも行えます。

デジタル・インターフェース

AD4116 のプログラマブル機能は、SPI 経由で使用できます。AD4116 の SPI は、 $\overline{\text{CS}}$ 、DIN、SCLK、および DOUT/RDY の 4 つの信号で構成されています。DIN ラインはデータを内蔵レジスタに転送します。DOUT 出力は内蔵レジスタからのデータにアクセスします。SCLK は、デバイスのシリアル・クロック入力です。すべてのデータ転送 (DIN 上または DOUT 上での転送) は、この SCLK 信号を基準として行われます。

DOUT/RDY ピンはデータ・レディ信号としても機能し、データ・レジスタ内で新しいデータワードが利用可能になったとき $\overline{\text{CS}}$ がロー・レベルであれば、このラインはロー・レベルになります。データ・レジスタからの読出し動作が完了すると、DOUT/RDY ピンはハイ・レベルにリセットされます。RDY 出力はデータ・レジスタの更新前にもハイ・レベルになり、デバイスからの読出しが不可であることを示し、レジスタの更新中にデータの読み出しが試みられないようにします。RDY がロー・レベルになる間際にデータ・レジスタから読み出さないように注意してください。常に RDY 出力を監視するのが、データ読み出しを防止するのに最良の方法です。RDY がロー・レベルになったら直ちにデータ・レジスタの読出しを開始し、SCLK のレートが、次の変換結果の前に読出しを完了するのに十分であることを確認します。 $\overline{\text{CS}}$ はデバイスを選択するのに使用します。 $\overline{\text{CS}}$ を使用して、シリアル・バスに複数のデバイスが接続されているシステムで、AD4116 をデコードすることができます。

図 2 と図 3 は、AD4116 とのインターフェースのタイミング図です。デバイスのデコードに $\overline{\text{CS}}$ を使用しています。図 2 は AD4116 からの読み出し動作のタイミングを、図 3 は AD4116 への書き込み動作のタイミングを示しています。最初の読出し動作の後、RDY 出力がハイ・レベルに戻った後でも、データ・レジスタからの読出しを複数回行うことができます。ただし、次の出力更新が開始される前に、読出し動作が完了するようにしてください。連続読出しモードでは、データ・レジスタは 1 回しか読み出すことができません。

シリアル・インターフェースは、 $\overline{\text{CS}}$ をロー・レベルに固定して、3 線式モードで動作させることもできます。この場合、SCLK、DIN、DOUT/RDY の各ラインを使って AD4116 との通信を行います。変換の終了は、ステータス・レジスタの RDY ビットを使用して監視することもできます。

SPI をリセットするには、 $\overline{\text{CS}} = 0$ かつ $\text{DIN} = 1$ の状態で 64 個の SCLK を書き込みます。リセットにより、SPI はコミュニケーション・レジスタへの書き込み動作待ちの状態に戻ります。この動作により、すべてのレジスタ値がそれぞれのパワーオン時の値にリセットされます。リセット後、SPI のアドレス指定をする前に、500 μs の待ち時間が必要です。

チェックサム保護

AD4116 には、インターフェースの信頼性を向上できるチェックサム・モードがあります。チェックサム・モードを使用すると、レジスタには有効なデータのみが書き込まれ、検証対象のレジスタからのデータ読出しが可能になります。レジスタへの書き込み時にエラーが発生すると、ステータス・レジスタの CRC_ERROR ビットがセットされます。ただし、レジスタへの

書き込みが完了したことを確認するには、レジスタを読み出し、チェックサムを確認することが重要です。

書き込み動作時の CRC チェックサムの計算では、次の多項式が使用されます。

$$x^8 + x^2 + x + 1$$

読出し動作時は、この多項式か、同様の排他的論理和 (XOR) 関数を選択することができます。XOR 関数を使ったチェックサムは、多項式ベースのチェックサムに比べると、ホスト・マイクロコントローラでの処理が短時間で済みます。インターフェース・モード・レジスタの CRC_EN ビットにより、チェックサムのイネーブル/ディスエーブル、および、多項式チェックまたはシンプルな XOR チェックを選択することができます。

チェックサムは、読出しと書き込みの各トランザクションの最後に付加されます。書き込みトランザクションのチェックサム計算は、8 ビット・コマンド・ワードと 8~24 ビットのデータを使用して計算されます。読出しトランザクションでは、コマンド・ワードと 8~32 ビットのデータ出力を使って計算されます。図 60 と図 61 に、SPI での書き込みおよび読出しトランザクションを示します。

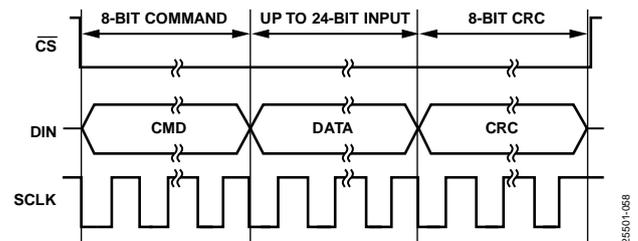


図 60. CRC 付き SPI 書き込みトランザクション

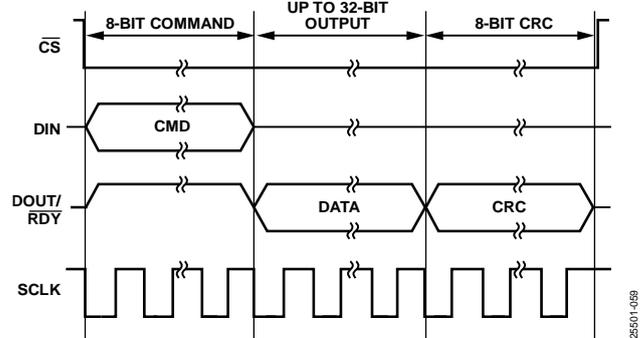


図 61. CRC 付き SPI 読出しトランザクション

連続読出しモードがアクティブのときにチェックサム保護がイネーブルになっている場合、チェックサム値を計算する際に考慮する必要がある暗黙的なデータ読出しコマンド 0x44 がすべてのデータ転送の前に実行されます。このチェックサム保護により、ADC データが 0x000000 であっても、チェックサム値はゼロになりません。

CRC の計算

多項式

8ビット幅のチェックサムは、次の多項式で生成します。

$$x^8 + x^2 + x + 1$$

チェックサムを生成するには、データを 8 ビット左にシフトし、8 個のロジック 0 で終わる値を発生させます。多項式の MSB がデータの最も左にあるロジック 1 と揃うように、多項式の位置を合わせます。次に、排他的論理和 (XOR) 関数をデータに適

```

初期値          011001010100001100100001
                01100101010000110010000100000000
x8 + x2 + x + 1 =    100000111
100100100000110010000100000000
100000111
1000110001100100001000000000
100000111
111111100100001000000000
100000111
11111011100001000000000
100000111
1111000000001000000000
100000111
111001110001000000000
100000111
11001001001000000000
100000111
1001010101000000000
100000111
1011011000000000
100000111
1101011000000
100000111
101010110000
100000111
1010001000
100000111
10000110

```

用してより短い数値を新たに生成し、再度、多項式の MSB が、得られたデータの最も左にあるロジック 1 と合うように、多項式の値の位置決めをします。このプロセスを、元のデータが多項式の値よりも小さくなるまで繰り返します。この値が 8 ビットのチェックサムになります。

多項式 CRC 計算の例-24 ビット・ワード : 0x654321 (8 ビット・コマンドと 16 ビット・データ)

多項式ベースのチェックサムを使用した 8 ビット・チェックサムの生成例を以下に示します。

8 ビット左にシフト

多項式

XOR の結果

多項式

XOR の結果

多項式

XOR の結果

多項式の値

チェックサム = 0x86

XOR の計算

データをバイトに分割し、それぞれのバイトに XOR 演算を行うことにより、8 ビット幅のチェックサムを生成します。

**XOR 計算の例-24 ビット・ワード : 0x654321
(8 ビット・コマンドと 16 ビット・データ)**

先述の多項式の例を使用し、チェックサムを 3 バイト (0x65、0x43、0x21) に分割し、次の XOR 計算を行います。

01100101	0x65
01000011	0x43
00100110	XOR の結果
00100001	0x21
00000111	CRC

内蔵機能

AD4116 は多くの機能を内蔵しています。

汎用 I/O

AD4116 は 2 本の汎用デジタル入出力ピン (GPIO0、GPIO1) と 2 本の汎用デジタル出力ピン (GPO2、GPO3) を備えています。名前が示しているように GPIO0 ピンと GPIO1 ピンは入力または出力として設定できますが、GPO2 ピンと GPO3 ピンは出力としてのみ設定できます。GPIOx ピンと GPOx ピンは、GPIOCON レジスタを使用してイネーブルします。GPIO0 と GPIO1 のイネーブルには IP_EN0 および IP_EN1 (または OP_EN0 および OP_EN1) ビットを、GPO2 と GPO3 のイネーブルには OP_EN2_3 ビットを使用します。

GPIO0 ピンまたは GPIO1 ピンが入力としてイネーブルされると、GPIOCON レジスタの GP_DATA0 ビットまたは GP_DATA1 ビットに各ピンのロジック・レベルがそれぞれ格納されます。GPIO0、GPIO1、GPO2、または GPO3 ピンが出力としてイネーブルされると、GP_DATA0、GP_DATA1、GP_DATA2、または GP_DATA3 ビットがそれぞれ対応するピンのロジック・レベル出力を決定します。これらのピンのロジック・レベルは AVDD と AVSS を基準とし、出力の振幅は、AVDD - AVSS の電圧に応じて 5V または 3.3V となります。

GPIOCON レジスタの ERR_EN ビットを 11 に設定すると、ERROR ピンは汎用出力としても使用できます。この設定では、GPIOCON レジスタの ERR_DAT ビットにより、ERROR ピンのロジック・レベル出力が決まります。このピンのロジック・レベルは IOVDD と DGND を基準にしており、ERROR ピンにはアクティブ・プルアップが備わっています。

外部マルチプレクサの制御

チャンネル数を増やすために外部マルチプレクサを使用する場合、AD4116 の GPIOx および GPOx ピンを使用してマルチプレクサのロジック・ピンを制御できます。GPIOCON レジスタの MUX_IO ビット (アドレス 0x06、ビット 12) がセットされている場合、GPIOx ピンのタイミングは ADC によって制御されるので、チャンネルの変更は ADC と同期されて、外部同期機能が不要になります。

遅延

AD4116 がサンプリングを始める前に、プログラマブルな遅延を挿入することが可能です。この遅延により、外部アンプやマルチプレクサの出力がセトリングするまで待つことができ、外部アンプやマルチプレクサの仕様条件を緩和することもできます。ADC モード・レジスタの遅延ビット (レジスタ 0x01、ビット [10:8]) を使って、0 μ s~4ms の範囲で 8 つのプログラマブルな遅延時間を設定できます。

16 ビット/24 ビット変換

デフォルトでは、AD4116 は 24 ビットのデータ変換を行います。しかし、データ幅を 16 ビットに減らして出力させることもできます。インターフェース・モード・レジスタの WL16 ビットを 1 に設定すると、すべてのデータ変換は 16 ビットに丸められます。このビットをクリアすると、データ変換幅は 24 ビットに設定されます。

DOUT_RESET

SPI では、共有の $\overline{\text{DOUT_RDY}}$ ピンを使用します。デフォルトでは、このピンは $\overline{\text{RDY}}$ 信号を出力します。データ読み出し時には、このピンは読み出し対象のレジスタからのデータを出力します。読み出し完了後、短い固定時間 (t_f) が経過したら、このピンは、RDY 信号の出力に戻ります。ただし、この時間は一部のマイクロコントローラにとって短すぎることがあります。この時間は、インターフェース・モード・レジスタの DOUT_RESET ビットを 1 に設定することで、CS ピンがハイ・レベルになるまで延長することができます。この設定では、CS が各読み出し動作をフレーム化して、SPI のトランザクションを完了する必要があります。

同期

ノーマル同期

GPIOCON レジスタの SYNC_EN ビットを 1 に設定すると、SYNC ピンが同期入力として機能します。SYNC 入力により、デバイス内のセットアップ状態に一切影響を与えることなく、変調器とデジタル・フィルタをリセットできます。このリセットにより、既知の時点、すなわち SYNC の立上がりエッジから、アナログ入力のサンプル取得を開始できます。確実に同期させるには、このピンを少なくとも 1 マスタ・クロック・サイクルの間ロー・レベルに維持する必要があります。複数のチャンネルがイネーブルの場合、シーケンサは最初にイネーブルされたチャンネルにリセットされます。

複数の AD4116 が共通のマスタ・クロックで動作する場合、データ・レジスタが同時に更新されるようにこれらのデバイスを同期させることができます。通常、各 AD4116 がキャリブレーションを実行した後、またはキャリブレーション係数をキャリブレーション・レジスタへロードした後に同期が行われます。SYNC ピンの立上がりエッジで、デジタル・フィルタとアナログ変調器がリセットされ、AD4116 は一貫した既知の状態になります。SYNC ピンがロー・レベルの間、AD4116 はこの状態を維持します。SYNC の立上がりエッジで変調器とフィルタはリセット状態を抜け出し、次のマスタ・クロックのエッジでデバイスは再び入力サンプルの収集を開始します。

このデバイスは、SYNC がロー・レベルからハイ・レベルに遷移した後のマスタ・クロックの立上がりエッジでリセット状態から抜け出します。このため、複数のデバイスを同期させる場合、マスタ・クロックの立上がりエッジで SYNC ピンをハイ・レベルにし、すべてのデバイスがマスタ・クロックの立上がりエッジでサンプリングを開始するように設定する必要があります。SYNC ピンを十分な時間にわたりハイ・レベルにしないと、デバイス間で 1 マスタ・クロック・サイクルの差が生じることがあります。つまり、変換結果が得られるタイミングが、デバイスによって最大で 1 マスタ・クロック・サイクル異なる場合があります。

SYNC 入力は、ノーマル同期モードでは、1 つのチャンネルの変換開始コマンドとして使用することもできます。このモードでは、SYNC 入力の立上がりエッジにより変換が開始され、RDY 出力の立上がりエッジにより変換が完了したタイミングが示されます。フィルタのセトリング時間は、各データ・レジスタの更新ごとに必要です。変換完了後、SYNC 入力をロー・レベルにして次の変換開始信号の準備をします。

オルタネート同期

オルタネート同期モードでは、AD4116の複数のチャンネルがイネーブルされている場合、SYNC入力は変換開始コマンドとして機能します。インターフェース・モード・レジスタのALT_SYNCビットを1に設定すると、オルタネート同期方式がイネーブルされます。SYNC入力がロー・レベルになると、ADCはイネーブルされているチャンネルでの変換を完了し、シーケンス内の次のチャンネルを選択して、SYNC入力がハイ・レベルになって変換が開始されるまで待機します。現在のチャンネルでの変換が完了し、対応する変換結果でデータ・レジスタが更新されるとRDY出力がロー・レベルになります。このため、SYNC入力は、現在選択されているチャンネルのサンプリングには干渉しませんが、シーケンス内の次のチャンネルで変換が開始されるタイミングを制御できます。

オルタネート同期モードは、複数のチャンネルをイネーブルする場合のみ使用できます。1つのチャンネルのみをイネーブルする場合は、このモードの使用はお勧めしません。

エラー・フラグ

ステータス・レジスタには、ADC変換エラー、CRCチェック・エラー、レジスタの変更によって発生したエラーをフラグする3つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）があります。更に、ERROR出力でエラーが発生したことを示すことができます。

ADC_ERROR

ステータス・レジスタのADC_ERRORビットは、変換プロセス中に何らかのエラーが発生したことを示します。このフラグは、ADCからオーバーレンジまたはアンダーレンジが出力されるとセットされます。また、低電圧や過電圧が発生すると、ADCの出力はオール0またはオール1になります。このフラグは、過電圧または低電圧が解消されたときのみ、リセットされます。データ・レジスタの読出しによってリセットされることはありません。

CRC_ERROR

書き込み動作時に付加されたCRCの値が送られた情報と一致しないと、CRC_ERRORフラグがセットされます。このフラグは、ステータス・レジスタが読み出されると、直ちにリセットされます。

REG_ERROR

REG_ERRORフラグはインターフェース・モード・レジスタのREG_CHECKビットと組み合わせて使用します。REG_CHECKビットがセットされると、AD4116は内部レジスタの値をモニタします。ビットが変化すると、REG_ERRORビットが1にセットされます。このため、内蔵レジスタへの書き込みを行うには、REG_CHECKビットを0に設定します。レジスタの更新が完了したら、REG_CHECKビットを1に設定することができます。AD4116は内部レジスタのチェックサムを計算します。いずれかのレジスタ値が変化すると、REG_ERRORビットが1にセットされます。エラーが検出されたら、ステータス・レジスタのREG_ERRORビットをクリアするため、REG_CHECKビットを必ず0に設定してください。このレジスタ・チェック機能では、データ・レジスタ、ステータス・レジスタ、インターフェース・モード・レジスタはモニタしません。

ERROR入出力

ERRORピンは、エラー入力/出力ピン、または汎用出力ピンとして機能します。GPIOCONレジスタのERR_ENビットにより、このピンの機能が決まります。

ERR_ENビットが10に設定された場合、ERRORピンはオープンドレイン・エラー出力として機能します。ステータス・レジスタの3つのエラー・ビット（ADC_ERROR、CRC_ERROR、REG_ERROR）は、論理和（OR）がとられ、反転され、ERROR出力にマッピングされます。これにより、ERROR出力はエラーが発生したことを示します。エラーの原因を特定するには、ステータス・レジスタを読み出す必要があります。

ERR_ENビットが01に設定された場合、ERRORピンはエラー入力として機能します。別の部品のエラー出力をAD4116のERROR入力に接続すると、AD4116または外部の部品でエラーが発生したときにエラーを示すことができます。ERROR入力の値が反転され、ADC変換からのエラーとの論理和がとられ、ステータス・レジスタのADC_ERRORビットを介してその結果が示されます。ERROR入力の値は、GPIOCONレジスタのERR_DATビットへ反映されます。

ERR_ENビットを00に設定すると、ERROR入出力はディスエーブルされます。ERR_ENビットを11に設定すると、ERRORピンは汎用出力として動作し、ERR_DATビットを使用してピンのロジック・レベルを決定します。

DATA_STAT

IFMODEレジスタのDATA_STATビットを使用して、ステータス・レジスタの内容をAD4116の各変換結果に付加できます。これは、複数のチャンネルがイネーブルされる場合に便利な機能です。変換結果が出力されるごとに、ステータス・レジスタの内容が付加されます。ステータス・レジスタの下位4ビットには、変換を実行したチャンネルが表示されます。更に、エラー・ビットによって何らかのエラーが示されているかを判断できます。

IOSTRENGTH

SPIは、電源電圧が2Vに低下しても動作します。ただし、基板に中程度の寄生容量が存在する場合、またはSCLK周波数が高い場合、この低電圧ではDOUT/RDYピンの駆動能力が十分ではないことがあります。インターフェース・モード・レジスタのIOSTRENGTHビットはDOUT/RDYピンの駆動能力を高めます。

内部温度センサー

AD4116は温度センサーを内蔵しています。温度センサーは、デバイスが動作する周囲温度の目安として使用することができます。周囲温度は、診断目的に使うこともできますし、動作温度の変化を考慮して、アプリケーション回路がキャリブレーション・ルーチンを再実行する必要があるかを示す指標として用いることもできます。温度センサーは、入力チャンネルの選択と同様、マルチプレクサを使って選択されます。

温度センサーでは、両方の入力で入力バッファをイネーブルし、内部リファレンスをイネーブルする必要があります。

温度センサーを使うには、最初に既知の温度（25°C）でデバイスをキャリブレーションし、変換結果を基準点としてとります。温度センサーの公称感度は 477 μ V/K です。この理想的な傾きと測定された傾きの差により、温度センサーを補正できます。温度センサーは、25°Cでのキャリブレーション後の精度が $\pm 2^\circ\text{C}$ （代表値）と仕様規定されています。温度は次式で計算できます。

$$\text{温度 (}^\circ\text{C)} = (\text{変換結果} \div 477\mu\text{V}) - 273.15$$

アプリケーション情報

グラウンディングとレイアウト

入力とリファレンス入力は差動なので、アナログ変調器内の電圧の大半はコモンモード電圧です。このデバイスの優れた同相ノイズ除去により、これらの入力の同相ノイズは除去されます。AD4116のアナログ電源とデジタル電源は独立しており、デバイスのアナログ部とデジタル部のカップリングを最小限に抑えるように個別のピンが採用されています。デジタル・フィルタは、マスタ・クロック周波数の整数倍の周波数以外の広帯域電源ノイズを除去します。

また、アナログ入力とリファレンス入力のノイズ源がアナログ変調器を飽和させない限り、デジタル・フィルタはこれらのノイズも除去します。そのため、従来の高分解能コンバータに比べて AD4116 のノイズ干渉耐性は向上しています。ただし、AD4116 は分解能が高く、コンバータのノイズ・レベルが非常に低いため、グラウンディングとレイアウトについては注意が必要です。

ADC を実装する基板は、アナログ部とデジタル部を分離し、基板の特定の領域に収納するように設計する必要があります。一般に、エッチング部分を最小限に抑えると、最良のシールド効果が得られるので、この方法はグラウンド・プレーンに最適です。

どのようなレイアウトを使用する場合も、システム内における電流の流れには十分注意を払い、すべてのリターン電流用の経路と目的の場所まで電流を流す経路をできるだけ近づけて配置するよう心がけてください。

チップにノイズが混入しないよう、デバイスの下にはデジタル・ラインを配置しないでください。そうすれば、AD4116 の下にアナログ・グラウンド・プレーンを配置することができ、ノイズの混入が防止されます。AD4116 への電源ラインには可能な限り幅広いパターンを使用して低インピーダンス経路を確保し、

電源ラインのグリッチを軽減します。クロックなどの高速スイッチング信号は、デジタル・グラウンドでシールドして基板の他の部分へのノイズの放射を防止します。また、クロック信号が入力の近くを決して通らないようにします。デジタル信号とアナログ信号を交差させないでください。基板の反対側のパターンは、互いに直角になるように配置します。このレイアウトにより、基板上でフィードスルーの影響を小さくすることができます。マイクロストリップ技術の使用が最善ですが、両面基板では常に使用できるとは限りません。この技法を使用する場合、基板の部品面はグラウンド・プレーン専用にして、信号はハンダ面に配線します。

高分解能 ADC を使用する場合は、適切なデカップリングが重要です。AD4116 には、AVDD と IOVDD の 2 本の電源ピンがあります。AVDD ピンは AVSS を基準とし、IOVDD ピンは DGND を基準としています。10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に接続して、AVDD を各ピンの AVSS にデカップリングします。0.1 μ F のコンデンサはデバイスの各電源ピンのできるだけ近くに配置します。理想的には、デバイスに隣接させます。IOVDD は、10 μ F のタンタル・コンデンサと 0.1 μ F のコンデンサを並列に DGND に接続してデカップリングします。すべての入力は AVSS にデカップリングします。外部リファレンスを使用する場合、REF+ピンと REF-ピンを AVSS にデカップリングします。

AD4116 は 2 つの LDO レギュレータ出力も備えており、一方は AVDD 電源を、他方は IOVDD 電源をレギュレーションします。REGCAPA ピンには、AVSS に接続した 1 μ F と 0.1 μ F のコンデンサを使用することをお勧めします。同様に、REGCAPD ピンには、DGND に接続した 1 μ F と 0.1 μ F のコンデンサを使用することをお勧めします。

レジスタの一覧

表 24. レジスタの一覧

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット ¹	R/W	
0x00	COMMS	[7:0]	WEN	R/W	RA						0x00	W	
0x00	Status	[7:0]	RDY	ADC_ERROR	CRC_ERROR	REG_ERROR	チャンネル				0x80	R	
0x01	ADCMODE	[15:8]	REF_EN	予備	SING_CYC	予備		遅延			0x2000	R/W	
		[7:0]	予備	モード			CLOCKSEL		予備				
0x02	IFMODE	[15:8]	予備			ALT_SYNC	IOSTRENGTH	予備		DOUT_RESET	0x0000	R/W	
		[7:0]	CONTREAD	DATA_STAT	REG_CHECK	予備	CRC_EN		予備	WL16			
0x03	REGCHECK	[23:16]	REGISTER_CHECK[23:16]									0x000000	R
		[15:8]	REGISTER_CHECK[15:8]										
		[7:0]	REGISTER_CHECK[7:0]										
0x04	データ	[23:0]	Data[23:16]									0x000000	R
		[15:8]	Data[15:8]										
		[7:0]	Data[7:0]										
0x06	GPIOCON	[15:8]	予備		OP_EN2_3	MUX_IO	SYNC_EN	ERR_EN		ERR_DAT	0x0800	R/W	
		[7:0]	GP_DATA3	GP_DATA2	IP_EN1	IP_EN0	OP_EN1	OP_EN0	GP_DATA1	GP_DATA0			
0x07	ID	[15:8]	ID[15:8]									0x34DX	R
		[7:0]	ID[7:0]										
0x10	CH0	[15:8]	CH_EN0	SETUP_SEL0			予備		INPUT0[9:8]		0x8001	R/W	
		[7:0]	INPUT0[7:0]										
0x11	CH1	[15:8]	CH_EN1	SETUP_SEL1			予備		INPUT1[9:8]		0x0001	R/W	
		[7:0]	INPUT1[7:0]										
0x12	CH2	[15:8]	CH_EN2	SETUP_SEL2			予備		INPUT2[9:8]		0x0001	R/W	
		[7:0]	INPUT2[7:0]										
0x13	CH3	[15:8]	CH_EN3	SETUP_SEL3			予備		INPUT3[9:8]		0x0001	R/W	
		[7:0]	INPUT3[7:0]										
0x14	CH4	[15:8]	CH_EN4	SETUP_SEL4			予備		INPUT4[9:8]		0x0001	R/W	
		[7:0]	INPUT4[7:0]										
0x15	CH5	[15:8]	CH_EN5	SETUP_SEL5			予備		INPUT5[9:8]		0x0001	R/W	
		[7:0]	INPUT5[7:0]										
0x16	CH6	[15:8]	CH_EN6	SETUP_SEL6			予備		INPUT6[9:8]		0x0001	R/W	
		[7:0]	INPUT6[7:0]										
0x17	CH7	[15:8]	CH_EN7	SETUP_SEL7			予備		INPUT7[9:8]		0x0001	R/W	
		[7:0]	INPUT7[7:0]										
0x18	CH8	[15:8]	CH_EN8	SETUP_SEL8			予備		INPUT8[9:8]		0x0001	R/W	
		[7:0]	INPUT8[7:0]										
0x19	CH9	[15:8]	CH_EN9	SETUP_SEL9			予備		INPUT9[9:8]		0x0001	R/W	
		[7:0]	INPUT9[7:0]										
0x1A	CH10	[15:8]	CH_EN10	SETUP_SEL10			予備		INPUT10[9:8]		0x0001	R/W	
		[7:0]	Input10[7:0]										
0x1B	CH11	[15:8]	CH_EN11	SETUP_SEL11			予備		INPUT11[9:8]		0x0001	R/W	
		[7:0]	INPUT11[7:0]										
0x1C	CH12	[15:8]	CH_EN12	SETUP_SEL12			予備		INPUT12[9:8]		0x0001	R/W	
		[7:0]	INPUT12[7:0]										
0x1D	CH13	[15:8]	CH_EN13	SETUP_SEL13			予備		INPUT13[9:8]		0x0001	R/W	
		[7:0]	INPUT13[7:0]										
0x1E	CH14	[15:8]	CH_EN14	SETUP_SEL14			予備		INPUT14[9:8]		0x0001	R/W	
		[7:0]	INPUT14[7:0]										
0x1F	CH15	[15:8]	CH_EN15	SETUP_SEL15			予備		INPUT15[9:8]		0x0001	R/W	
		[7:0]	INPUT15[7:0]										
0x20	SETUPCON0	[15:8]	予備			BI_UNIPOLAR0	REFBUF0+	REFBUF0-	INBUF0		0x1000	R/W	
		[7:0]	予備		REF_SEL0		予備						
0x21	SETUPCON1	[15:8]	予備			BI_UNIPOLAR1	REFBUF1+	REFBUF1-	INBUF1		0x1000	R/W	
		[7:0]	予備		REF_SEL1		予備						

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット ¹	R/W	
0x22	SETUPCON2	[15:8]	予備			BI_UNIPOLAR2	REFBUF2+	REFBUF2-	INBUF2		0x1000	R/W	
		[7:0]	予備		REF_SEL2		予備						
0x23	SETUPCON3	[15:8]	予備			BI_UNIPOLAR3	REFBUF3+	REFBUF3-	INBUF3		0x1000	R/W	
		[7:0]	予備		REF_SEL3		予備						
0x24	SETUPCON4	[15:8]	予備			BI_UNIPOLAR4	REFBUF4+	REFBUF4-	INBUF4		0x1000	R/W	
		[7:0]	予備		REF_SEL4		予備						
0x25	SETUPCON5	[15:8]	予備			BI_UNIPOLAR5	REFBUF5+	REFBUF5-	INBUF5		0x1000	R/W	
		[7:0]	予備		REF_SEL5		予備						
0x26	SETUPCON6	[15:8]	予備			BI_UNIPOLAR6	REFBUF6+	REFBUF6-	INBUF6		0x1000	R/W	
		[7:0]	予備		REF_SEL6		予備						
0x27	SETUPCON7	[15:8]	予備			BI_UNIPOLAR7	REFBUF7+	REFBUF7-	INBUF7		0x1000	R/W	
		[7:0]	予備		REF_SEL7		予備						
0x28	FILTCON0	[15:8]	SINC3_MAP0	予備			ENHFILTEN0	ENHFILT0		0x0500	R/W		
		[7:0]	予備	ORDER0		ODR0							
0x29	FILTCON1	[15:8]	SINC3_MAP1	予備			ENHFILTEN1	ENHFILT1		0x0500	R/W		
		[7:0]	予備	ORDER1		ODR1							
0x2A	FILTCON2	[15:8]	SINC3_MAP2	予備			ENHFILTEN2	ENHFILT2		0x0500	R/W		
		[7:0]	予備	ORDER2		ODR2							
0x2B	FILTCON3	[15:8]	SINC3_MAP3	予備			ENHFILTEN3	ENHFILT3		0x0500	R/W		
		[7:0]	予備	ORDER3		ODR3							
0x2C	FILTCON4	[15:8]	SINC3_MAP4	予備			ENHFILTEN4	ENHFILT4		0x0500	R/W		
		[7:0]	予備	ORDER4		ODR4							
0x2D	FILTCON5	[15:8]	SINC3_MAP5	予備			ENHFILTEN5	ENHFILT5		0x0500	R/W		
		[7:0]	予備	ORDER5		ODR5							
0x2E	FILTCON6	[15:8]	SINC3_MAP6	予備			ENHFILTEN6	ENHFILT6		0x0500	R/W		
		[7:0]	予備	ORDER6		ODR6							
0x2F	FILTCON7	[15:8]	SINC3_MAP7	予備			ENHFILTEN7	ENHFILT7		0x0500	R/W		
		[7:0]	予備	ORDER7		ODR7							
0x30	OFFSET0	[23:0]	OFFSET0[23:0]									0x800000	R/W
0x31	OFFSET1	[23:0]	OFFSET1[23:0]									0x800000	R/W
0x32	OFFSET2	[23:0]	OFFSET2[23:0]									0x800000	R/W
0x33	OFFSET3	[23:0]	OFFSET3[23:0]									0x800000	R/W
0x34	OFFSET4	[23:0]	OFFSET4[23:0]									0x800000	R/W
0x35	OFFSET5	[23:0]	OFFSET5[23:0]									0x800000	R/W
0x36	OFFSET6	[23:0]	OFFSET6[23:0]									0x800000	R/W
0x37	OFFSET7	[23:0]	OFFSET7[23:0]									0x800000	R/W
0x38	GAIN0	[23:0]	GAIN0[23:0]									0x5XXXX0	R/W
0x39	GAIN1	[23:0]	GAIN1[23:0]									0x5XXXX0	R/W
0x3A	GAIN2	[23:0]	GAIN2[23:0]									0x5XXXX0	R/W
0x3B	GAIN3	[23:0]	GAIN3[23:0]									0x5XXXX0	R/W
0x3C	GAIN4	[23:0]	GAIN4[23:0]									0x5XXXX0	R/W
0x3D	GAIN5	[23:0]	GAIN5[23:0]									0x5XXXX0	R/W
0x3E	GAIN6	[23:0]	GAIN6[23:0]									0x5XXXX0	R/W
0x3F	GAIN7	[23:0]	GAIN7[23:0]									0x5XXXX0	R/W

¹Xはドントケア。

レジスタの詳細

コミュニケーション・レジスタ

アドレス：0x00、リセット：0x00、レジスタ名：COMMS

内蔵レジスタに対するすべてのアクセスは、このコミュニケーション・レジスタへの書込みで開始する必要があります。この書込みにより、次にアクセスするレジスタと、動作が書込みと読出しのいずれであるかを指定します。

表 25. COMMS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	WEN		ADC との通信を開始するには、このビットをロー・レベルにする必要があります。	0x0	W
6	R/W	0 1	このビットで、コマンドが読出しであるか書込みであるかを指定します。 0 書込みコマンド。 1 読出しコマンド。	0x0	W
[5:0]	RA	000000 000001 000010 000011 000100 000110 000111 010000 010001 010010 010011 010100 010101 010110 010111 011000 011001 011010 011011 011100 011101 011110 011111 100000 100001 100010 100011 100100 100101 100110 100111 101000 101001 101010 101011 101100 101101 101110 101111	このレジスタ・アドレス・ビットで、現在の通信でどのレジスタを読出しまたは書込みの対象とするかを指定します。 ステータス・レジスタ。 ADC モード・レジスタ。 インターフェース・モード・レジスタ。 レジスタ・チェックサム・レジスタ。 データ・レジスタ。 GPIO 設定レジスタ。 ID レジスタ。 チャンネル 0 レジスタ チャンネル 1 レジスタ チャンネル 2 レジスタ チャンネル 3 レジスタ チャンネル 4 レジスタ チャンネル 5 レジスタ チャンネル 6 レジスタ チャンネル 7 レジスタ チャンネル 8 レジスタ チャンネル 9 レジスタ チャンネル 10 レジスタ チャンネル 11 レジスタ チャンネル 12 レジスタ チャンネル 13 レジスタ チャンネル 14 レジスタ チャンネル 15 レジスタ セットアップ設定 0 レジスタ セットアップ設定 1 レジスタ セットアップ設定 2 レジスタ セットアップ設定 3 レジスタ セットアップ設定 4 レジスタ セットアップ設定 5 レジスタ セットアップ設定 6 レジスタ セットアップ設定 7 レジスタ フィルタ設定 0 レジスタ フィルタ設定 1 レジスタ フィルタ設定 2 レジスタ フィルタ設定 3 レジスタ フィルタ設定 4 レジスタ フィルタ設定 5 レジスタ フィルタ設定 6 レジスタ フィルタ設定 7 レジスタ	0x00	W

ビット	ビット名	設定	説明	リセット	アクセス
		110000	オフセット 0 レジスタ		
		110001	オフセット 1 レジスタ		
		110010	オフセット 2 レジスタ		
		110011	オフセット 3 レジスタ		
		110100	オフセット 4 レジスタ		
		110101	オフセット 5 レジスタ		
		110110	オフセット 6 レジスタ		
		110111	オフセット 7 レジスタ		
		111000	ゲイン 0 レジスタ		
		111001	ゲイン 1 レジスタ		
		111010	ゲイン 2 レジスタ		
		111011	ゲイン 3 レジスタ		
		111100	ゲイン 4 レジスタ		
		111101	ゲイン 5 レジスタ		
		111110	ゲイン 6 レジスタ		
		111111	ゲイン 7 レジスタ		

ステータス・レジスタ

アドレス：0x00、リセット：0x80、レジスタ名：Status

ステータス・レジスタは 8 ビットのレジスタで、ADC とシリアル・インターフェースのステータスに関する情報が格納されています。インターフェース・モード・レジスタの DATA_STAT ビットをセットすることで、オプションとして、このレジスタの内容をデータ・レジスタへ付加することができます。

表 26. Status のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RDY	0 1	CSがロー・レベルで、レジスタが読出し中でない場合は、RDYのステータスが DOUT/RDYピンに出力されます。このビットは、ADC がデータ・レジスタに新しい結果を書き込むとロー・レベルになります。ADC のキャリブレーション・モードでは、ADC がキャリブレーション結果を書き込むと、このビットはロー・レベルになります。RDY は、データ・レジスタの読出しによって自動的にハイ・レベルになります。 新しいデータが読出し可能。 新しいデータ結果の待ち状態。	0x1	R
6	ADC_ERROR	0 1	このビットは、デフォルトでは、ADC がオーバーレンジまたはアンダーレンジになったことを示します。ADC の変換結果は、オーバーレンジ・エラーの場合は 0xFFFF にクランプされ、アンダーレンジ・エラーの場合は 0x000000 にクランプされます。このビットは、ADC の変換結果を書き込むと更新され、オーバーレンジまたはアンダーレンジ状態が解消された後、次の更新時にクリアされます。 エラーなし。 エラー。	0x0	R
5	CRC_ERROR	0 1	このビットは、レジスタ書き込み時に CRC エラーが発生したかどうかを示します。レジスタ読出しの場合、ホスト・マイクロコントローラが、CRC エラーが発生したかどうかを判断します。このレジスタを読み出すと、このビットはクリアされます。 エラーなし。 CRC エラー。	0x0	R
4	REG_ERROR	0 1	このビットは、内部レジスタのいずれかの値が、レジスタの整合性チェックを実行したときの計算値から変化したかどうかを示します。インターフェース・モード・レジスタの REG_CHECK ビットをセットすると、チェックが実行されます。このビットをクリアするには、REG_CHECK ビットをクリアします。 エラーなし。 エラー。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[3:0]	CHANNEL		これらのビットは、現在データ・レジスタに格納されているデータがどのチャンネルのADC変換結果かを示します。このチャンネルは、現在変換を行っているチャンネルとは異なる場合があります。マッピングは、チャンネル・レジスタからの直接マップです。したがって、チャンネル0は0x0になり、チャンネル15は0xFになります。	0x0	R
		0000	チャンネル0。		
		0001	チャンネル1。		
		0010	チャンネル2。		
		0011	チャンネル3。		
		0100	チャンネル4。		
		0101	チャンネル5。		
		0110	チャンネル6。		
		0111	チャンネル7。		
		1000	チャンネル8。		
		1001	チャンネル9。		
		1010	チャンネル10。		
		1011	チャンネル11。		
		1100	チャンネル12。		
		1101	チャンネル13。		
		1110	チャンネル14。		
		1111	チャンネル15。		

ADC モード・レジスタ

アドレス：0x01、リセット：0x2000、レジスタ名：ADCMODE

ADCモード・レジスタはADCの動作モードとマスタ・クロックの選択を制御します。ADCモード・レジスタへの書き込みによって、フィルタとRDYビットがリセットされ、新しい変換またはキャリブレーションが開始されます。

表 27. ADCMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	REF_EN		このビットは、内部リファレンスをイネーブルし、バッファされた2.5VをREFOUTピンに出力します。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
14	予備		このビットは予備で、0に設定します。	0x0	R/W
13	SING_CYC		1チャンネルのみがアクティブなときにこのビットを使用し、固定のフィルタ・データ・レートのみで出力するようにADCを設定することができます。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
[12:11]	予備		これらのビットは予備で、0に設定します。	0x0	R
[10:8]	Delay		これらのビットにより、チャンネルが切り替わった後、プログラマブルな遅延を追加することができるので、外部回路がセトリングしてからADCがその入力の処理を開始するようにすることができます。 000 0 μ s。 001 16 μ s。 010 64 μ s。 011 160 μ s。 100 400 μ s。 101 800 μ s。 110 3ms。 111 4ms。	0x0	R/W
7	予備		このビットは予備で、0に設定します。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[6:4]	Mode	000 001 010 011 100 101 110 111	これらのビットは ADC の動作モードを制御します。詳細については、動作モードのセクションを参照してください。 連続変換モード。 シングル変換モード。 スタンバイ・モード。 パワーダウン・モード。 内部オフセットのキャリブレーション。 内部ゲインのキャリブレーション。 システム・オフセットのキャリブレーション。 システム・ゲインのキャリブレーション。	0x0	R/W
[3:2]	CLOCKSEL	00 01 10 11	これらのビットは ADC のクロック源を選択します。内部発振器を選択すると、同時に内部発振器がイネーブルされます。 内部発振器 内部発振器の出力 (XTAL2/CLKIO ピン)。 外部クロックの入力 (XTAL2/CLKIO ピン)。 外部水晶振動子 (XTAL1 および XTAL2/CLKIO ピン)。	0x0	R/W
[1:0]	予備		これらのビットは予備で、0 に設定します。	0x0	R

インターフェース・モード・レジスタ

アドレス：0x02、リセット：0x0000、レジスタ名：IFMODE

インターフェース・モード・レジスタは様々なシリアル・インターフェース・オプションを設定します。

表 28. IFMODE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	予備		これらのビットは予備で、0 に設定します。	0x0	R
12	ALT_SYNC	0 1	このビットにより、SYNCピンの動作を変更して、チャンネル切替え時の変換制御に SYNC を使用できます。 ディスエーブル。 イネーブル。	0x0	R/W
11	IOSTRENGTH	0 1	このビットは DOUT/RDYピンの駆動能力を制御します。低電圧の IOVDD 電源を使い中程度の容量で SPI から高速で読み出す場合、このビットをセットします。 ディスエーブル (デフォルト)。 イネーブル。	0x0	R/W
[10:9]	予備		これらのビットは予備で、0 に設定します。	0x0	R
8	DOUT_RESET	0 1	DOUT_RESET のセクションを参照してください。 ディスエーブル。 イネーブル。	0x0	R/W
7	CONTREAD	0 1	このビットは、ADC データ・レジスタの連続読出しモードを有効にします。連続読出しモードを使うには、ADC を連続変換モードに設定する必要があります。詳細については、動作モードのセクションを参照してください。 ディスエーブル。 イネーブル。	0x0	R/W
6	DATA_STAT	0 1	このビットにより、読出し時にステータス・レジスタの内容をデータ・レジスタの内容に付加する機能を有効にすることで、チャンネルとステータスの情報がデータと共に送信されます。ステータス・レジスタから読み出したチャンネル・ビットがデータ・レジスタのデータに対応していることを確認するにはこれ以外の方法はありません。 ディスエーブル。 イネーブル。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
5	REG_CHECK	0 1	このビットはレジスタの整合性チェック機能を有効にします。この機能を使って、ユーザ・レジスタ内の値の変化をすべて監視することができます。この機能を使用するには、このビットをクリアした状態で、その他のすべてのレジスタを必要に応じて設定します。次に、REG_CHECK ビットを1に設定するようこのレジスタに書き込みます。いずれかのレジスタの内容が変化すると、ステータス・レジスタの REG_ERROR ビットがセットされます。このエラーをクリアするには、REG_CHECK ビットを0に設定します。ただし、インターフェース・モード・レジスタ、ADCデータ・レジスタ、ステータス・レジスタのいずれも、チェック対象のレジスタには含まれていません。レジスタに新しい値を書き込む必要がある場合は、このビットを最初にクリアします。そうでない場合、新しいレジスタの内容が書き込まれたときにエラーが示されます。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
4	予備		このビットは予備で、0に設定します。	0x0	R
[3:2]	CRC_EN	00 01 10	これらのビットは、レジスタの読出しと書き込みのCRC保護を有効にします。CRCにより、SPI転送のバイト数が1だけ増加します。 00 ディスエーブル。 01 レジスタ読出しトランザクションで、XORチェックサムを有効化。このビット設定がされても、レジスタ書き込みは引き続きCRCを使用します。 10 レジスタの読み書きトランザクションで、CRCチェックサムを有効化。	0x00	R/W
1	予備		このビットは予備で、0に設定します。	0x0	R
0	WL16	0 1	ADCデータ・レジスタを16ビットに変更します。インターフェース・モード・レジスタへの書き込みによってADCがリセットされることはありません。そのため、これらのビットへの書き込み後、ADCの結果は直ちに正しいワード長に丸められるわけではありません。最初の新しいADC変換結果は正しい値です。 0 24ビット・データ。 1 16ビット・データ。	0x0	R/W

レジスタ・チェック

アドレス：0x03、リセット：0x000000、レジスタ名：REGCHECK

レジスタ・チェック・レジスタは、ユーザ・レジスタの排他的論理和（XOR）計算で得られた24ビット長のチェックサムです。このチェックサムが動作するには、インターフェース・モード・レジスタのREG_CHECKビットをセットする必要があります。そうでない場合、レジスタの読出し値は0となります。

表 29. REGCHECKのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	REGISTER_CHECK		インターフェース・モード・レジスタのREG_CHECKビットをセットすると、ユーザ・レジスタの24ビットのチェックサムがこのレジスタに格納されます。	0x000000	R

データ・レジスタ

アドレス：0x04、リセット：0x000000、レジスタ名：データ

データ・レジスタには、ADCの変換結果が格納されます。エンコーディングはオフセット・バイナリですが、セットアップ設定レジスタのBI_UNIPOLARxビットによってユニポーラに変更できます。RDYビットとRDY出力がロー・レベルの場合、データ・レジスタを読み出すと、これらはハイ・レベルになります。ADCの変換結果は複数回読み出すことができます。ただし、RDY出力がハイ・レベルになっているため、ADCの次の変換結果が差し迫っているかどうかを知ることはできません。ADCのレジスタを読み出すコマンドを受け取った後、ADCは新しい変換結果をレジスタに書き込みません。

表 30. データのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	データ		このレジスタには、ADCの変換結果が格納されます。インターフェース・モード・レジスタのDATA_STATビットをセットすると、読出し時にステータス・レジスタのデータが付加され、32ビット・レジスタになります。	0x000000	R

GPIO 設定レジスタ

アドレス：0x06、リセット：0x0800、レジスタ名：GPIOCON

GPIO 設定レジスタは、ADC の汎用入出力ピンを制御します。

表 31. GPIOCON のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:14]	予備		予備	0x0	R
13	OP_EN2_3	0 1	GPO2/GPO3 出力イネーブル。このビットは GPO2 ピンと GPO3 ピンをイネーブルします。出力は、AVDD と AVSS の間の電圧を基準にしています。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
12	MUX_IO		このビットにより、ADC は内部チャンネルのシーケンスと同期させて GPIO0/GPIO1/GPO2/GPO3 を使用して、外部マルチプレクサを制御できます。チャンネルで使用するアナログ入力ピンは、そのままチャンネルごとに選択できます。したがって、各アナログ入力ペア (VIN0/VIN1~VIN10/VINCOM、ADCIN11/ADCIN12~ADCIN13/ADCIN14) の前に 16 チャンネルのマルチプレクサを配置して、合計 128 差動チャンネルに設定できます。ただし、自動的にシーケンス処理できるのは一度に 16 チャンネルのみです。16 チャンネルのシーケンス処理に続き、アナログ入力を入力チャンネルの次のペアに切り替え、次の 16 チャンネルをシーケンス処理します。外部マルチプレクサの切替え時に、アナログ入力がセトリングされるまでの時間を延長する遅延機能があります (ADC モード・レジスタのセクションの Delay ビットを参照)。	0x0	R
11	SYNC_EN	0 1	SYNC 入力イネーブル。このビットにより、SYNC ピンを同期入力として使用できるようになります。ローに設定すると、SYNC ピンによって、SYNC がハイ・レベルになるまで ADC とフィルタのリセット状態が保持されます。インターフェース・モード・レジスタの ALT_SYNC ビットをセットすると、SYNC ピンの動作を変更できます。このモードは、複数チャンネルがイネーブルされている場合にのみ機能します。この場合、SYNC ピンがロー・レベルになっても、フィルタと変調器は直ちにリセットされません。その代わりに、チャンネルが切り替わろうとするときに SYNC ピンがロー・レベルであると、変換器とフィルタは新しい変換を開始できなくなります。SYNC をハイ・レベルにすると次の変換が開始されます。このオルタネート同期モードにより、チャンネルのサイクリング時に SYNC を使用できるようになります。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
[10:9]	ERR_EN	00 01 10 11	ERROR ピン・モード。これらのビットにより、ERROR ピンをエラー入出力として使用できるようになります。 00 ディスエーブル。 01 エラー入力をイネーブル (アクティブ・ロー)。ERROR はエラー入力です。(反転された) リードバックの状態は、他のエラー・ソースとの論理和がとられ、ステータス・レジスタの ADC_ERROR ビットになります。ERROR ピンの状態は、このレジスタの ERR_DAT ビットから読み出すこともできます。 10 オープンドレイン・エラー出力をイネーブル (アクティブ・ロー)。ERROR はオープンドレインのエラー出力です。ステータス・レジスタのエラー・ビットは、論理和がとられ、反転されて、ERROR ピンにマッピングされます。複数のデバイスのどのエラーも検知できるように、それらのデバイスの ERROR ピンを、共通のプルアップ抵抗に接続することができます。 11 汎用出力 (アクティブ・ロー)。ERROR は汎用出力です。このピンのステータスは、このレジスタの ERR_DAT ビットによって制御されます。この出力は、GPIOx ピンで使用される AVDD および AVSS レベルとは異なり、IOVDD と DGND 間の電圧を基準にしています。この場合、出力にはアクティブ・プルアップ抵抗を接続します。	0x0	R/W
8	ERR_DAT	0 1	ERROR ピン・データ。ERROR ピンが汎用出力としてイネーブルされる場合、このビットがこのピンのロジック・レベルを決定します。このピンが入力としてイネーブルされていると、このビットは、このピンのリードバック・ステータスを反映します。 0 ロジック 0。 1 ロジック 1。	0x0	R/W
7	GP_DATA3	0 1	GPO1 データ。このビットは GPO1 の書込みデータです。 0 GPO1 = 0。 1 GPO1 = 1。	0x0	R/W
6	GP_DATA2	0 1	GPO0 データ。このビットは GPO0 の書込みデータです。 0 GPO0 = 0。 1 GPO0 = 1。	0x0	R/W
5	IP_EN1	0	このビットは GPIO1 を入力にします。入力は AVDD または AVSS と等しいことが必要。 0 ディスエーブル。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		1	イネーブル。		
4	IP_EN0	0 1	このビットは GPIO0 を入力にします。入力は AVDD または AVSS と等しいことが必要。 ディスエーブル。 イネーブル。	0x0	R/W
3	OP_EN1	0 1	このビットは GPIO1 を出力にします。出力は、AVDD または AVSS を基準にしています。 ディスエーブル。 イネーブル。	0x0	R/W
2	OP_EN0	0 1	このビットは GPIO0 を出力にします。出力は、AVDD または AVSS を基準にしています。 ディスエーブル。 イネーブル。	0x0	R/W
1	GP_DATA1		このビットは、GPIO1 の読出しまたは書き込みデータです。	0x0	R/W
0	GP_DATA0		このビットは、GPIO0 の読出しまたは書き込みデータです。	0x0	R/W

ID レジスタ

アドレス：0x07、リセット：0x34DX、レジスタ名：ID

ID レジスタは 16 ビットの ID を返します。AD4116 の場合、この値は 0x34Dx です。

表 32. ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:0]	ID		製品 ID。ID レジスタは、この ADC 固有の 16 ビットの ID コードを返します。	0x34DX	R

チャンネル・レジスタ 0～チャンネル・レジスタ 15

アドレス：0x10～0x1F、リセット値：0x8001、レジスタ名：CH0～CH15

チャンネル・レジスタは 16 ビットのレジスタです。現在アクティブなチャンネル、各チャンネルの入力、チャンネル用の ADC の設定に使用するセットアップを選択するには、このレジスタを使用します。CH1～CH15 に対応するデフォルトの CH_ENx ビットが 0x0 であることを除けば、CH0～CH15 のレイアウトは同一です。

表 33. CH0～CH15 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	CH_ENx	0 1	このビットはチャンネル 0 をイネーブルします。複数のチャンネルをイネーブルすると、ADC はこれらのチャンネルを自動的にシーケンス処理します。 ディスエーブル。 イネーブル。	0x1	R/W
[14:12]	SETUP_SELx	000 001 010 011 100 101 110 111	これらのビットは、このチャンネル用に ADC を設定するのに使用する 8 種類のセットアップ中のどれを使用するかを指定します。セットアップは、セットアップ設定レジスタ、フィルタ設定レジスタ、オフセット・レジスタ、ゲイン・レジスタの 4 つのレジスタで構成されています。すべてのチャンネルが同じセットアップを使用することができます。この場合、すべてのアクティブなチャンネルのこれらのビットに同じ 3 ビット値を書き込む必要があります。または、最多で 8 チャンネルを異なる設定にすることができます。	0x0	R/W
[11:10]	予備		予備。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[9:0]	INPUTx		これらのビットは、このチャンネルの ADC の入力に接続する入力ペアを選択します。	0x1	R/W
		000000001	VIN0、VIN1。		
		000010000	VIN0、VINCOM。		
		000010000	VIN1、VIN0。		
		000011000	VIN1、VINCOM。		
		000100011	VIN2、VIN3。		
		000101000	VIN2、VINCOM。		
		000110010	VIN3、VIN2。		
		000111000	VIN3、VINCOM。		
		0010000101	VIN4、VIN5。		
		001001000	VIN4、VINCOM。		
		0010100100	VIN5、VIN4。		
		001011000	VIN5、VINCOM。		
		0011000111	VIN6、VIN7。		
		001101000	VIN6、VINCOM。		
		0011100110	VIN7、VIN6。		
		001111000	VIN7、VINCOM。		
		0100001001	VIN8、VIN9。		
		010001000	VIN8、VINCOM。		
		0100101000	VIN9、VIN8。		
		010011000	VIN9、VINCOM。		
		010101000	VIN10、VINCOM (シングルエンドまたは差動ペア)		
		0101101100	ADCIN11、ADCIN12。		
		0110001011	ADCIN12、ADCIN11。		
		0110101110	ADCIN13、ADCIN14。		
		0111001101	ADCIN14、ADCIN13。		
		0101101111	ADCIN11、ADCIN15。(擬似差動または差動ペア)		
		0110001111	ADCIN12、ADCIN15。(擬似差動または差動ペア)		
		0110101111	ADCIN13、ADCIN15。(擬似差動または差動ペア)		
		0111001111	ADCIN14、ADCIN15。(擬似差動または差動ペア)		
		1000110010	温度センサー。		
		1010110110	リファレンス。		

セットアップ設定レジスタ 0～セットアップ設定レジスタ 7

アドレス：0x20～0x27、リセット：0x1000、レジスタ名：SETUPCON0～SETUPCON7

セットアップ設定レジスタは 16 ビットのレジスタで、リファレンスの選択、入力バッファ、および ADC の出力コーディングを設定します。SETUPCON0～SETUPCON7 のレイアウトは同一です。

表 34. SETUPCON0～SETUPCON7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[15:13]	予備		これらのビットは予備で、0 に設定します。	0x0	R
12	BI_UNIPOLARx	0 1	バイポーラ出力とユニポーラ出力。このビットはセットアップ 0 の ADC の出力コーディングを設定します。 ユニポーラ・コーディング出力。 バイポーラ・コーディング出力。	0x1	R/W
11	REFBUFx+	0 1	REF+バッファ。このビットは REF+入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
10	REFBUFx-	0 1	REF-バッファ。このビットは REF-入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 イネーブル。	0x0	R/W
[9:8]	INBUFx	00 01 10 11	入力バッファ。このビットは入力バッファをイネーブルまたはディスエーブルします。 ディスエーブル。 予備。 予備。 イネーブル。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	予備		このビットは予備で、0に設定します。	0x0	R
[5:4]	REF_SELx	00 10 11	これらのビットにより、セットアップ 0 の ADC 変換のリファレンス源を選択できます。 外部リファレンス - REF±。 内部 2.5V リファレンスは ADCMODE を介してイネーブルする必要があります (表 27 を参照)。 AVDD - AVSS。	0x0	R/W
[3:0]	予備		これらのビットは予備で、0に設定します。	0x0	R

フィルタ設定レジスタ 0～フィルタ設定レジスタ 7

アドレス：0x28～0x2F、リセット：0x0500、レジスタ名：FILTCON0～FILTCON7

フィルタ設定レジスタは 16 ビットのレジスタで、ADC のデータ・レートとフィルタ・オプションを設定します。これらのレジスタに書き込むと、アクティブな ADC 変換はすべてリセットされ、シーケンス内の最初のチャンネルから変換が再開されます。FILTCON0～FILTCON7 のレイアウトは同一です。

表 35. FILTCON0～FILTCON7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
15	SINC3_MAPx		このビットをセットすると、フィルタ・レジスタのマッピングが変化して、セットアップ 0 の sinc3 フィルタのデシメーション・レートが直接設定されます。その他のオプションはすべて無効になります。このビットにより、出力データ・レートおよび特定の周波数成分を除去するフィルタ・ノッチの微調整が可能になります。1つのチャンネルのデータ・レートは $f_{MOD}/(32 \times FILTCON0[14:0])$ に等しくなります。	0x0	R/W
[14:12]	予備		これらのビットは予備で、0に設定します。	0x0	R
11	ENHFILTENx	0 1	このビットは、セットアップ 0 の 50Hz/60Hz 除去用に強化された各種ポスト・フィルタをイネーブルします。この機能を有効にするには、ORDER0 ビットを 00 に設定し、sinc5 + sinc1 フィルタを選択する必要があります。 0 ディスエーブル。 1 イネーブル。	0x0	R/W
[10:8]	ENHFILT _x	010 011 101 110	これらのビットは、セットアップ 0 の 50Hz/60Hz 除去用に強化された各種ポスト・フィルタを選択します。 010 27SPS、除去比：47dB、セトリング時間：36.7ms。 011 25SPS、除去比：62dB、セトリング時間：40ms。 101 20SPS、除去比：86dB、セトリング時間：50ms。 110 16.67SPS、除去比：92dB、セトリング時間：60ms。	0x5	R/W
7	予備		このビットは予備で、0に設定します。	0x0	R
[6:5]	ORDERx	00 11	これらのビットは、セットアップ 0 の変調器データを処理するデジタル・フィルタの次数を制御します。 00 sinc5 + sinc1 (デフォルト)。 11 sinc3。	0x0	R/W
[4:0]	ODRx	00000 00001 00010 00011 00100 00101 00110 00111 01000 01001 01010 01011 01100 01101 01110 01111 10000	これらのビットは ADC の出力データ・レートを制御します。したがって、セットアップ x のセトリング時間とノイズの値も制御します。シングル・チャンネルで sinc5 + sinc1 フィルタをイネーブルした場合のレートを以下に示します。複数チャンネルをイネーブルした場合については、表 7 を参照してください。 62500SPS。 62500SPS。 62500SPS。 62500SPS。 31250SPS。 31250SPS。 15625SPS。 10416.7SPS。 5194.8SPS (sinc3 では 5208.3SPS)。 2496.9SPS (sinc3 では 2500SPS)。 1007.6SPS (sinc3 では 1008.1SPS)。 499.9SPS (sinc3 では 500SPS)。 390.6SPS (sinc3 では 400.64SPS)。 200.3SPS (sinc3 では 200.32SPS)。 100.0SPS。 59.75SPS (sinc3 では 59.98SPS)。 49.84SPS (sinc3 では 50SPS)。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		10001	20.00SPS。		
		10010	16.65SPS (sinc3 では 16.67SPS)。		
		10011	10.00SPS。		
		10100	5.00SPS。		
		10101	2.50SPS。		
		10110	1.25SPS。		

オフセット・レジスタ 0～オフセット・レジスタ 7

アドレス：0x30～0x37、リセット：0x800000、レジスタ名：OFFSET0～OFFSET7

オフセット（ゼロスケール）レジスタは 16 ビットのレジスタで、ADC またはシステムのオフセット誤差の補正に使用することができます。OFFSET0～OFFSET7 のレイアウトは同一です。

表 36. OFFSET0～OFFSET7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[23:0]	OFFSETx		セットアップ 0 用のオフセット・キャリブレーション係数。	0x800000	R/W

ゲイン・レジスタ 0～ゲイン・レジスタ 7

アドレス：0x38～0x3F、リセット：0x5XXXX0、レジスタ名：GAIN0～GAIN7

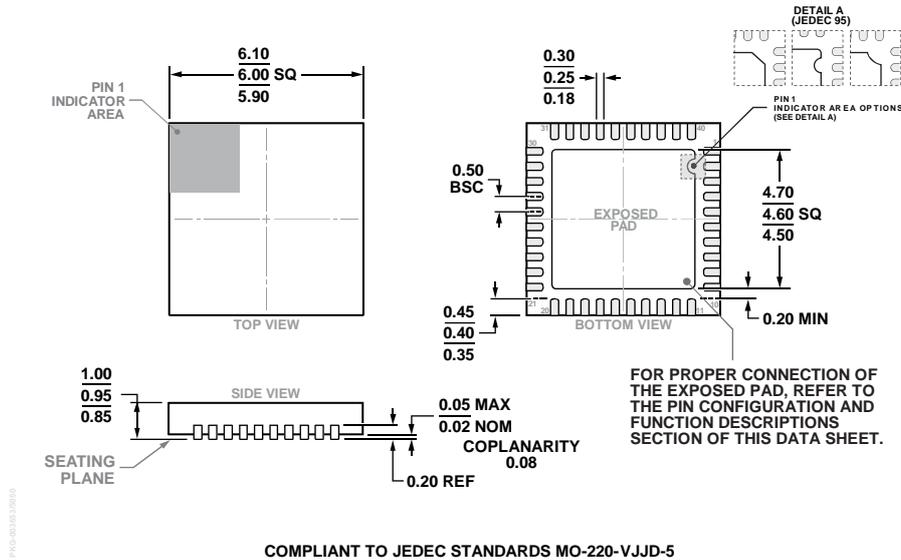
ゲイン（フルスケール）レジスタは 16 ビットのレジスタで、ADC またはシステムのゲイン誤差の補正に使用することができます。GAIN0～GAIN7 のレイアウトは同一です。

表 37. GAIN0～GAIN7 のビットの説明

ビット	ビット名	設定	説明	リセット ¹	アクセス
[23:0]	GAINx		セットアップ 0 のゲイン・キャリブレーション係数。	0x5XXXX0	R/W

¹X はドントケア。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5
 図 62. 40 ピン・リードフレーム・チップスケール・パッケージ[LFCSP]
 6mm × 6mm ボディ、0.95mm パッケージ高
 (CP-40-15)
 寸法 : mm

オーダー・ガイド

モデル ¹	温度範囲	パッケージの説明	パッケージ・オプション
AD4116BCPZ	-40°C~+105°C	40 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-40-15
AD4116BCPZ-RL7	-40°C~+105°C	40 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]	CP-40-15
EVAL-AD4116ASDZ		評価用ボード	
EVAL-SDP-CB1Z		評価コントローラ・ボード	

¹ Z = RoHS 準拠製品