

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 5 日現在、アナログ・デバイセス株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 5 日

製品名： AD3552R

対象となるデータシートのリビジョン(Rev)： Rev.B

訂正箇所： 32 ページ、左の段、CRC エラー検出の項、上から 12 行目～16 行目まで

【誤】

ページ内の説明で、CRC_EN ビットあるいは CRC_EN_B ビットという表記

【正】

これらは、それぞれ CRC_ENABLE ビット、CRC_ENABLE_B ビットが正確な表記です。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023年9月5日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023年9月5日

製品名： AD3552R

対象となるデータシートのリビジョン(Rev)： Rev.B

訂正箇所： 37ページ、左の段、「レジスタ・マップへの SPI アクセス・モード」の項、上から4行目

【誤】

・・・エラー・フラグに関するレジスタはアドレス 0x0～アドレス 0x1E のプライマリ領域に・・・

【正】

・・・エラー・フラグに関するレジスタはアドレス 0x00～アドレス 0x1E のプライマリ領域に・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 5 日現在、アナログ・デバイセス株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 5 日

製品名： AD3552R

対象となるデータシートのリビジョン(Rev)： Rev.B

訂正箇所： 39 ページ、右の段、「SPI クロック・カウンタ」の項、上から 1 行目から 5 行目

【誤】

CLOCK_COUNTING_ERR ビットで報告されるエラーは、SCLK サイクルの数が SPI モード(シングルまたはデュアル) および DDR モードを考慮した 8 の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。CLOCK_COUNTING_ERR ビットは ERR_STATUS レジスタでセットされます。

【正】

CLOCK_COUNTING_ERROR ビットで報告されるエラーは、SCLK サイクルの数が SPI モード(シングルまたはデュアル) および DDR モードを考慮した 8 の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。CLOCK_COUNTING_ERROR ビットは INTERFACE_STATUS_A レジスタ内にセットされます。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2023 年 9 月 5 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2023 年 9 月 5 日

製品名： AD3552R

対象となるデータシートのリビジョン(Rev)： Rev.B

45 頁 表 20. INTERFACE_CONFIG_A のビットの説明、一番下の項、SW_RESET_LSB
の説明欄

【誤】

同じレジスタ書込みトランザクションで SW_RESET_LSB ビットも 1 にセットされた場合、…

【正】

同じレジスタ書込みトランザクションで SW_RESET_MSB ビットも 1 にセットされた場合、…



データシート AD3552R

デュアル・チャンネル、16ビット、33MUPS、マルチスパン、 マルチIOのSPI DAC

特長

- ▶ 16ビット分解能
- ▶ 高速モード時のレート：33MUPS
- ▶ 高精度モード時のレート：22MUPS
- ▶ 0.1%の精度までの小信号セトリング時間：65ns
- ▶ 0.1%の精度までの大信号セトリング時間：100ns
- ▶ 超低グリッチ：< 50pV×s
- ▶ 超低遅延：5ns
- ▶ THD：-105dB（1kHz）
- ▶ 多様に設定可能な出力電圧スパンおよびオフセット
- ▶ 1.2V～1.8Vロジック・レベルに対応
- ▶ シングル（標準）、デュアル、およびクワッドSPIモード
- ▶ 複数のエラー検出器（アナログ領域とデジタル領域）
- ▶ 2.5Vの内部電圧リファレンス、10ppm/℃の最大温度係数
- ▶ 5mm × 5mm LFCSP

アプリケーション

- ▶ 計測器
- ▶ ハードウェア・イン・ザ・ループ
- ▶ プロセス制御機器
- ▶ 医療機器
- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション・システム
- ▶ プログラマブル電圧源
- ▶ 光通信

概要

AD3552Rは、低ドリフト、デュアル・チャンネル、超高速、16ビット精度の電流出力D/Aコンバータ（DAC）で、複数の電圧スパン・レンジで設定できます。AD3552Rは、2.5Vの固定リファレンスで動作します。

各DACは、出力電圧のスケールリングするために必要な外部トランインピーダンス・アンプ（TIA）用に、3つのドリフト補償帰還抵抗を内蔵しています。オフセット・スケールリング・レジスタとゲイン・スケールリング・レジスタにより、0V～2.5V、0V～5V、0V～10V、-5V～+5V、-10V～+10Vなどの複数の出力スパン・レンジやカスタムの中間レンジを16ビットのフル分解能で生成できます。

DACは、最大速度を実現するための高速モード動作と、最大精度を実現するための高精度モード動作が可能です。

シリアル・ペリフェラル・インターフェース（SPI）は、1.2V～1.8Vのロジック・レベルで、シングル・データ・レート（SDR）またはダブル・データ・レート（DDR）のクワッドSPIモード、デュアル同期SPIモード、デュアルSPIモード、シングルSPI（標準SPI）モードに設定可能です。

AD3552Rは、拡張工業用温度範囲（-40 °C～+105 °C）で仕様規定されています。

表 1. 関連デバイス

型番	説明
AD8675	36V、高精度、2.8nV/√Hzのレールtoレール出力オペアンプ
AD8065	高性能、145MHz FastFET™ オペアンプ
ADA4807-1	3.1nV/√Hz、1mA、180MHzのレールtoレール入出力アンプ
LTC6655	0.25ppmのノイズ、低ドリフトの高精度リファレンス
ADR4525	超低ノイズ、高精度の2.5V電圧リファレンス

機能ブロック図

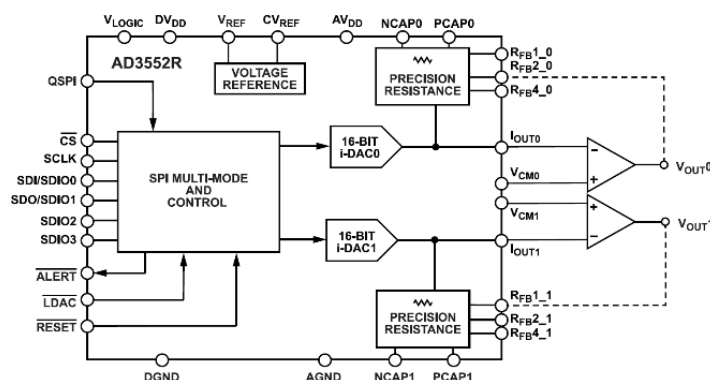


図 1.

アナログ・デバイセズでは、文化的に適切な用語および言語を提供するよう、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いします。

Rev. B

文書に関するご意見

テクニカルサポート

アナログ・デバイセズ社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

目次

特長.....	1	シリアル・インターフェース.....	34
アプリケーション.....	1	DACの更新モード.....	37
概要.....	1	パワーダウン.....	38
機能ブロック図.....	1	リセット.....	38
仕様.....	4	エラー検出.....	38
電気的特性.....	4	<u>ALERT</u> ピン.....	40
AC特性.....	5	デバイスID.....	40
タイミング特性.....	6	インターフェース・アクセス・モードのまとめ.....	40
絶対最大定格.....	11	レジスタ.....	42
熱抵抗.....	11	レジスタの一覧.....	42
ESDに関する注意.....	11	インターフェース・レジスタの詳細.....	45
ピン配置およびピン機能の説明.....	12	DACレジスタの詳細.....	54
代表的な性能特性.....	14	アプリケーション情報.....	68
用語の定義.....	24	電源の推奨事項.....	68
動作原理.....	26	DACチャンネルの結合.....	68
製品の説明.....	26	レイアウトのガイドライン.....	68
DACのアーキテクチャ.....	26	外形寸法.....	70
事前設定済みの出力電圧スパン.....	26	オーダー・ガイド.....	70
カスタム出力電圧スパン.....	27	評価用ボード.....	70
伝達関数.....	27		
V _{REF}	27		
SPIレジスタ・マップの利用.....	27		

改訂履歴

2/2023—Rev. A to Rev. B

Changed 16-Bit, 33 MUPS, Multispan, Multi-IO SPI DAC to Dual Channel, 16-Bit, 33 MUPS, Multispan, Multi-IO SPI DAC.	1
Changed DVDD to DV _{DD} , IOVDD to V _{LOGIC} , VREF to V _{REF} , AVDD to AV _{DD} , VDD to AV _{DD} (Throughout)	1
Changes to Features Section.....	1
Changes to General Description Section and Table 1.....	1
Changes to Figure 1.....	1
Changes to Table 2.....	4
Changes to Table 3.....	5
Change to Table 5.....	11
Changes to Figure 13 and Table 7.....	12
Change to Figure 32.....	17
Changes to Figure 60 and Figure 61.....	21
Changes to Figure 62, and Figure 64 to Figure 66.....	22
Added Figure 67; Renumbered Sequentially.....	22
Added Figure 68.....	23
Changes to Relative Accuracy or Integral Nonlinearity (INL) Section.....	24
Changes to Differential Nonlinearity (DNL) Section.....	24
Changes to DC PSRR and AC PSRR Section.....	24
Changes to Output Voltage Settling Time Section.....	24
Changes to Digital-to-Analog Glitch Impulse Section.....	24
Changes to Digital Feedthrough Section.....	24

目次

Changes to Output Noise Spectral Density Section	24
Changes to Total Harmonic Distortion (THD) Section.....	24
Changes to DC Crosstalk Section	25
Changes to Product Description Section.....	26
Changes to DAC Architecture Section and Figure 69	26
Changes to Predefined Output Voltage Spans and Table 8.....	26
Changes to Custom Output Voltage Span Section.....	27
Added Table 9 and Table 10; Renumbered Sequentially	27
Changes to Transfer Function Section	27
Change to SPI Frame Synchronization Section	27
Change to Multibyte Registers Section.....	28
Changes to Address Direction Section	29
Change to Figure 74	29
Changes to Streaming Mode Section	30
Changes to Figure 76 Caption and Figure 77.....	31
Change to Figure 89	37
Changes to SDIO Drive Strength Section and Figure 90	37
Changes to DAC Update Modes Section and Figure 91	37
Changes to Table 15	38
Changes to Power-Down Section	38
Changes to Reset Pin Section	38
Changes to SPI Mode Error Section	39
Changes to SPI Clock Counter Section	39
Changes to Table 19	43
Changes to Channel 0 Gain Register Figure and Table 42	58
Changes to Channel 1 Gain Register Figure and Table 43	59
Changes to Power Supply Recommendations Section and Figure 94.....	68
Changes to Combining DAC Channels Section and Figure 95.....	68
Changes to Layout Guidelines Section	68
Updated Outline Dimensions.....	70
2/2022—Rev. 0 to Rev. A	
Changes to Figure 13 and Table 7	12
Changes to Figure 92.....	68
1/2022—Revision 0: Initial Version	

仕様

電気的特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $V_{REF} = 2.5V$ 、 $-40^{\circ}C \leq TA \leq +105^{\circ}C$ 、出力アンプはAD8675。

表 2.

パラメータ ¹	記号	最小値	代表値	最大値	単位	テスト条件/コメント
STATIC PERFORMANCE						
Resolution		16			Bits	
Relative Accuracy (INL)		-2		+2	LSB	5Vのレンジのみ
		-4		+4	LSB	その他すべてのレンジ ²
Differential Nonlinearity (DNL)		-1		+1	LSB	高精度モード: $-40^{\circ}C \sim +105^{\circ}C$ 、 高速モード: $0^{\circ}C \sim 85^{\circ}C$
		-2		+2	LSB	高速モード: $-40^{\circ}C \sim +105^{\circ}C$
		-2		+2	LSB	0V~2.5Vのレンジ、高速または高精度モード ²
Offset Error			0.03		%FSR	ミッドスケール、25°C
Offset Error Drift ²			2	8	ppm FSR/°C	0V~5V、0V~10Vの各レンジ
			4	16	ppm FSR/°C	その他すべてのレンジ
Full-Scale Error			0.04		%FSR	25°C
Full-Scale Error Drift ²			1	5	ppm FSR/°C	0V~5V、0V~10Vの各レンジ
			4	12	ppm FSR/°C	その他すべてのレンジ
Zero-Scale Error ³			0.05		%FSR	25°C
Zero-Scale Error Drift ²			3.5	8	ppm FSR/°C	0V~5V、0V~10Vの各レンジ
			7	16	ppm FSR/°C	その他すべてのレンジ
Total Unadjusted Error (TUE)		-0.5		+0.5	%FSR	
DC Power Supply Rejection Ratio (PSRR)			0.6		mV/V	DACコード = ミッドスケール
DC Crosstalk			3		$\mu V/V$	フルスケール・ステップ
OUTPUT CHARACTERISTICS						
Output Current ⁴	I_{OUTx}		1.6		mA	絶対値
REFERENCE OUTPUT						
Output Voltage		2.492	2.5	2.508	V	25°C、寿命期間中
Voltage Reference Temperature Coefficient (TC) ⁴			3	10	ppm/°C	
Output Impedance			50		m Ω	
Output Voltage Noise			2.7		μV rms	0.1Hz~10Hz
Output Voltage Noise Density			173		nV/ $\sqrt{Hz}$	f = 1kHz、 V_{REF} は無負荷
			164		nV/ $\sqrt{Hz}$	f = 10kHz、 V_{REF} は無負荷
Capacitive Load Stability ²			10	μF		
Load Regulation			50		$\mu V/mA$	25°C時
Output Current Load Capability			± 8		mA	
Line Regulation			135		$\mu V/V$	25°C時
REFERENCE INPUT						
Reference Current			1		μA	
Reference Input Range ²	V_{REF}	2.4	2.5	2.6	V	
Reference Input Impedance			3		M Ω	
LOGIC INPUTS						
Input Current	I_I	-1		+1	μA	ピンごと
Input Low Voltage	V_{IL}			0.35 $\times V_{LOGIC}$	V	
Input High Voltage	V_{IH}	0.65 $\times V_{LOGIC}$			V	
Pin Capacitance	C_I		4		pF	

仕様

表 2. (続き)

パラメータ ¹	記号	最小値	代表値	最大値	単位	テスト条件/コメント
LOGIC OUTPUTS						
Output Low Voltage	V _{OL}			0.20 ×V _{LOGIC}	V	I _{SINK} = 100μA
Output High Voltage	V _{OH}	0.80 ×V _{LOGIC}			V	I _{SOURCE} = 100μA
Pin Capacitance	C _O		4		pF	
POWER REQUIREMENTS						
V _{LOGIC} Pin		1.1	1.8	1.89	V	
V _{LOGIC} Current	I _{LOGIC}		1	7.5	μA	V _{IH} = V _{LOGIC} × 0.9、V _{IL} = V _{LOGIC} × 0.1
V _{LOGIC} Dynamic Current	I _{LOGIC_} DYNAMIC		3	5	mA	SCLK = 66MHz、クワッドSPI DDR、V _{IH} = V _{LOGIC} × 0.65、V _{IL} = V _{LOGIC} × 0.35
DV _{DD} Pin		1.71	1.8	1.89	V	
DV _{DD} Current	I _{DVDD}		0.5	0.8	mA	
DV _{DD} Dynamic Current	I _{DVDD_} DYNAMIC		33	60	mA	SCLK = 66MHz、クワッドSPI DDR、同時 更新
AV _{DD} Pin		4.75	5	5.25	V	
AV _{DD} Current	I _{DD}		22	28.5	mA	チャンネル0ゼロスケール、0V～±5Vのレ ンジ
AV _{DD} Power-Down Current	I _{DD}		0.6		mA	リセット後、DACがパワーダウン
AV _{DD} Reset Current	I _{DD}		120		μA	リセットをアサート

- 1 用語の定義のセクションを参照してください。
- 2 設計と特性評価により確認していますが、出荷テストは行っていません。
- 3 ゼロ・コードで測定。
- 4 リファレンスの温度係数はボックス法に従って計算します。

AC特性

特に指定のない限り、AV_{DD} = 5.0V ± 5%、DV_{DD} = 1.8V ± 5%、1.1V ≤ V_{LOGIC} ≤ 1.9V、-40°C ≤ T_A ≤ +105°C、[ADA4807-1](#)を外部アンプに用いて測定。

表 3.

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
DYNAMIC PERFORMANCE					
Output Voltage Settling Time	100			ns	2Vステップ、0.1%誤差、0V～5Vのレンジ
	75			ns	2Vステップ、1%誤差、0V～5Vのレンジ
	65			ns	60mVステップ、0.1%誤差、0V～5Vのレンジ
	15			ns	60mVステップ、1%誤差、0V～5Vのレンジ
Slew Rate	100			V/μs	フルスケール・ステップ、0V～2.5Vのレンジ
Digital-to-Analog Glitch Impulse	50			pV × s	0V～5Vのレンジ、メジャー・キャリーを中心に1LSBの変化
Digital Feedthrough	25			pV × s	50MHzクロック、R _{FB2_x}
DAC to DAC Crosstalk	6.5			pV × s/V	フルスケール・ステップ、R _{FB2_x}
AC PSRR	80			dB	1kHz、R _{FB1_x}
	43			dB	1MHz、R _{FB1_x}
Output Noise Spectral Density	15			nV/√Hz	DACコード = ミッドスケール、外部リファレンス、 10kHz、NCAP _x = 1.2 μF、PCAP _x = なし、R _{FB1_x}
	30			nV/√Hz	R _{FB2_x}
	60			nV/√Hz	R _{FB4_x}
Output Noise	3.8			μVRMS	DACコード = ミッドスケール、外部リファレンス、1Hz～ 10kHz、NCAP _x = 1.2 μF、PCAP _x = なし、R _{FB1_x}
	7.6			μV RMS	R _{FB2_x}
	15.4			μV RMS	R _{FB4_x}

仕様

表 3. (続き)

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
Total Harmonic Distortion (THD)	-105			dB	0V~5Vのレンジ、 $f_{OUT} = 1\text{kHz}$
	-101			dB	$f_{OUT} = 10\text{kHz}$
	-84			dB	$f_{OUT} = 100\text{kHz}$
Spurious-Free Dynamic Range (SFDR)	-105			dB	0V~5Vのレンジ、 $f_{OUT} = 1\text{kHz}$

1 用語の定義のセクションを参照してください。

タイミング特性

特に指定のない限り、 $AV_{DD} = 5.0\text{V} \pm 5\%$ 、 $DV_{DD} = 1.8\text{V} \pm 5\%$ 、 $1.1\text{V} \leq V_{LOGIC} \leq 1.9\text{V}$ 、 $-40^\circ\text{C} \leq T_A \leq +105^\circ\text{C}$ 。

表 4.

Parameter ^{1, 2}	Description	Min	Typ	Max	Unit	Test Conditions / Comments
f_{SCLK}	SCLK frequency			66	MHz	
t_1	SCLK cycle time	15.2			ns	
$t_{SCLK/2}$	SCLK half period	7.6			ns	
t_2	$\overline{CS}$ falling edge to first SCLK rising edge	5			ns	
t_3	Last SCLK sampling edge ³ to $\overline{CS}$ rising edge	10			ns	
t_4	$\overline{CS}$ falling edge from SCLK sampling edge ignored	5			ns	
t_5	$\overline{CS}$ rising edge to SCLK rising edge ignored	5			ns	
t_6	Minimum $\overline{CS}$ high time	10			ns	
t_7	Data setup time	2			ns	
t_8	Data hold time	2			ns	
t_9	SCLK falling edge to SDO data valid			15	ns	$1.7 < V_{LOGIC} < 1.9$
				25	ns	$1.1 < V_{LOGIC} < 1.7$
t_{10}	SCLK sampling edge to $\overline{LDAC}$ falling edge	7.6			ns	
t_{11}	$\overline{LDAC}$ pulse width low	7.6			ns	
t_{12}	$\overline{CS}$ rising edge to SDO disabled		50		ns	
t_{13}	$\overline{LDAC}$ rising edge to $\overline{CS}$ falling edge	5			ns	
t_{14}	RESET pulse width low	10			ns	図12に示す $t_{14} \sim t_{19}$
t_{15}	RESET pulse activation time			100	ns	
t_{16}	V_{OUT} Update from CHx_DAC Register Write		12.6		ns	
t_{17}	V_{OUT} update from $\overline{LDAC}$ falling edge		5		ns	
t_{18} ⁴	Wait time before DAC register access	100			ms	
t_{19} ⁵	Shutdown exit time		5		ms	
Update Rate	Quad SPI mode, DDR and streaming enabled, precision mode			22	MUPS ⁶	
	Quad SPI mode, DDR and streaming enabled, fast mode			33	MUPS ⁶	

1 すべての入力信号は、 $t_r = t_f = 1\text{ns}/V$ (10%~90%) で仕様規定され、 $(V_{IL} + V_{IH})/2$ の電圧レベルから時間計測します。

2 設計と特性評価により確認していますが、出荷テストは行っていません。

3 SCLKのサンプリング・エッジは、データが読み込まれる (サンプリングされる) SCLKエッジを基準とします。

4 パワーアップ時に $AV_{DD} = 4\text{V}$ または $DV_{DD} = 0.8\text{V}$ となった時点から同じタイミングを見込む必要があります。

5 パワーダウン・モードを終了して通常動作モードになるまでに必要な時間。

6 MUPSは1秒あたりの更新数 (メガ単位) を表します。

仕様

タイミング図

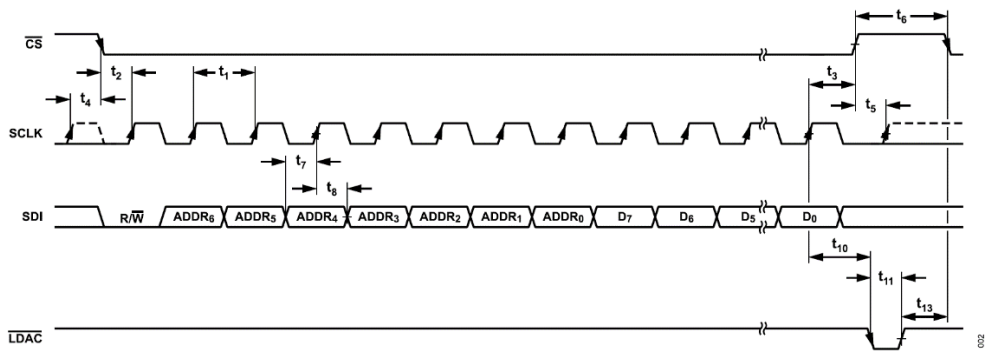


図 2. シングル・データ・レートでの標準SPI書き込み動作

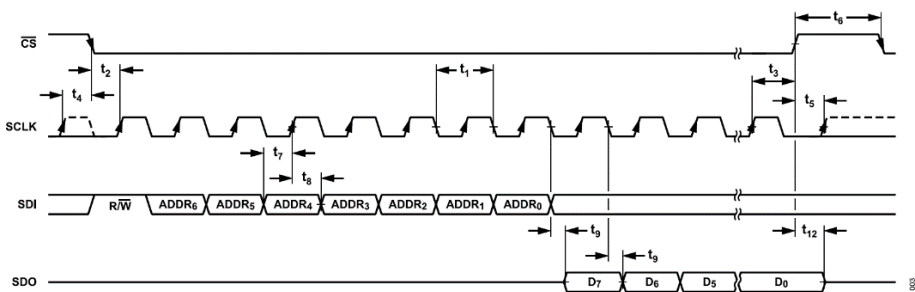


図 3. シングル・データ・レートでの標準SPI読み出し動作

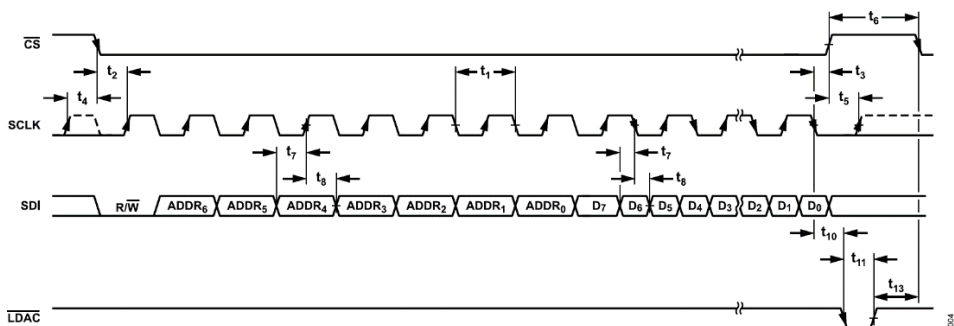


図 4. ダブル・データ・レートでの標準SPI書き込み動作

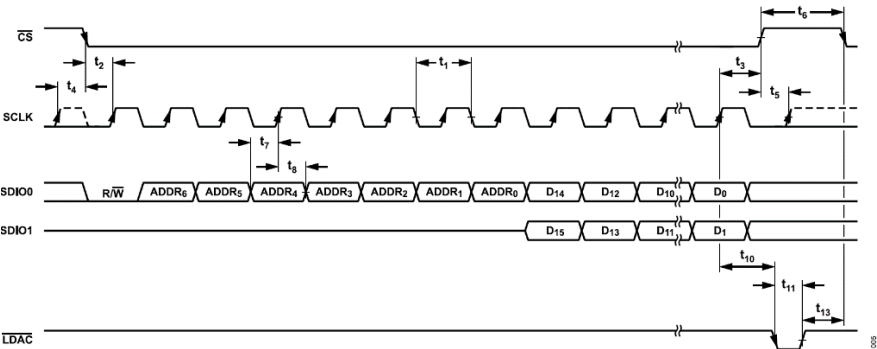


図 5. シングル・データ・レートでのデュアルSPI書き込み動作

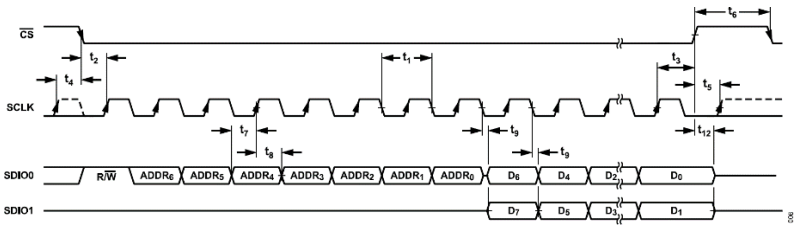


図 6. シングル・データ・レートでのデュアルSPI読み出し動作

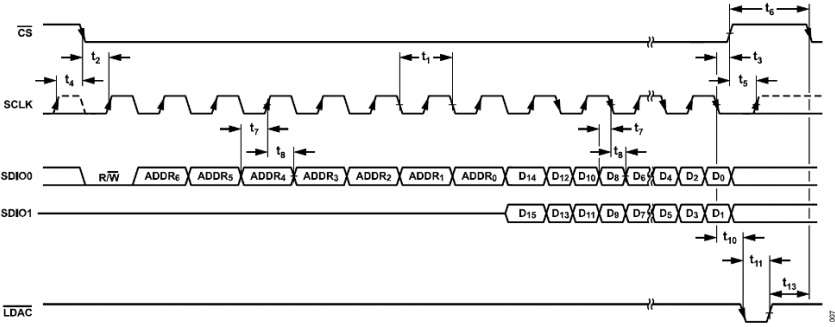


図 7. ダブル・データ・レートでのデュアルSPI書き込み動作

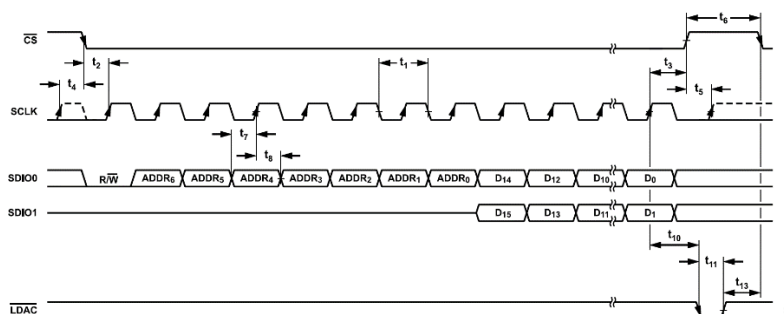


図 8. シングル・データ・レートでのデュアル同期SPI書き込み動作

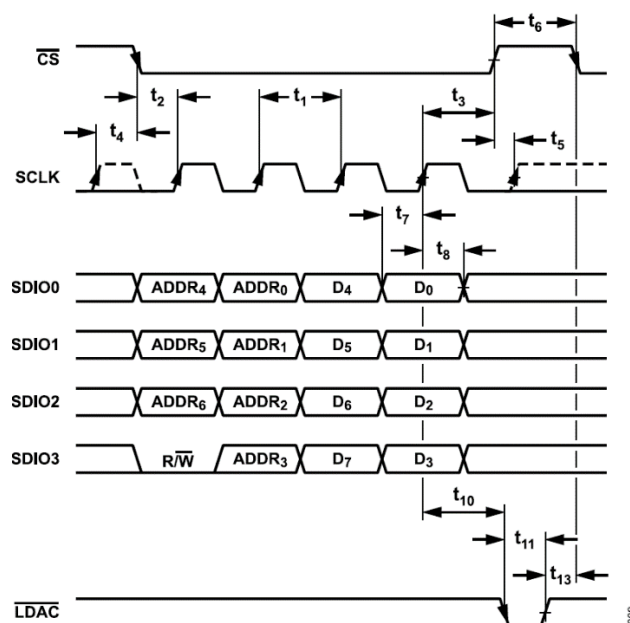


図 9. シングル・データ・レートでのクワッドSPI書き込み動作

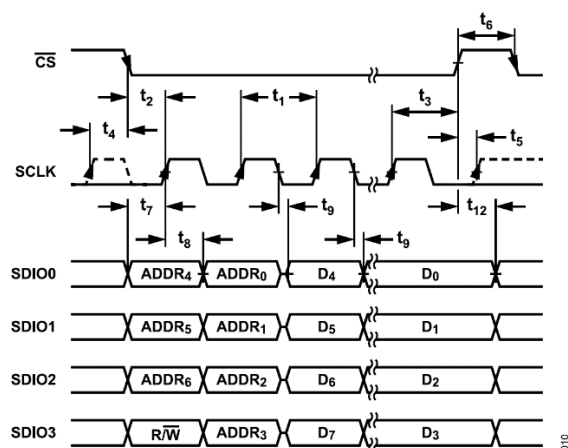


図 10. シングル・データ・レートでのクワッドSPI読出し動作

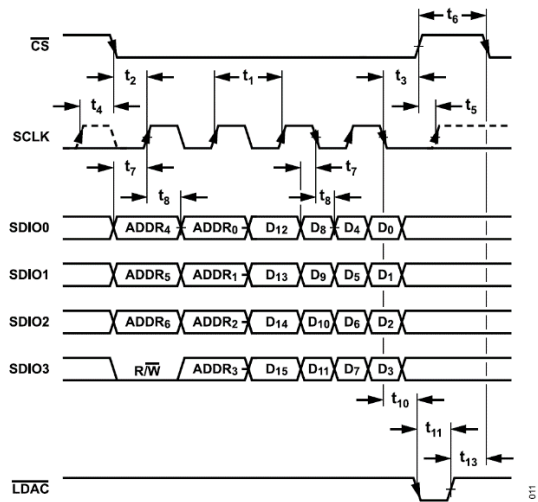


図 11. ダブル・データ・レートでのクワッドSPI書き込み動作

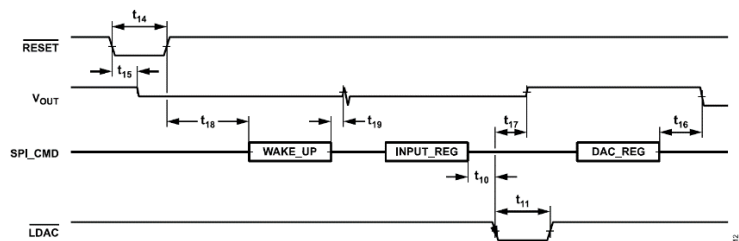


図 12. 起動シーケンス・タイミング

絶対最大定格

特に指定のない限り、T_A = 25°C。

表 5.

Parameter	Rating
AV _{DD} to AGND	-0.3 V to +6 V
DV _{DD} to DGND	-0.3 V to +2.1 V
AGND to DGND	-0.3 V to +0.3 V
V _{LOGIC} to DGND	-0.3 V to DV _{DD} + 0.3 V or +2.1 V (whichever is less)
V _{REF} to AGND	-0.3 V to +3 V
R _{FBX_y} to AGND	-18 V to +18 V
Digital Input Voltage to DGND	-0.3 V to V _{LOGIC} + 0.3 V or +2.1 V (whichever is less)
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature (T _J)	125°C
Power Dissipation	(Maximum T _J - T _A)/θ _{JA}

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA}は、自然対流下でのジャンクションと周囲の間の熱抵抗です。θ_{JC}は、ジャンクションとケースの間の熱抵抗です。θ_{JA}およびθ_{JC}はどちらもJEDEC JESD51規格で定義されており、その値は、テスト・ボードおよびテスト環境に依存します。

表 6. 熱抵抗

Package Type ¹	θ _{JA}	θ _{JC}	Unit
CP-32-30	43.5	23.6	°C/W

1 9個のサーマル・ビアを持つJEDEC 2S2Pボードを使用し自然空冷（空気流 0m/sec）の場合のシミュレーション値。

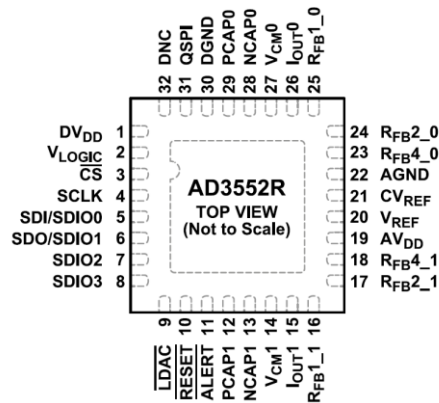
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

帯電したデバイスおよび回路基板は、検出されことなく放電されることがあります。本製品は当社独自の特許技術であるESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
 1. DNC = DO NOT CONNECT. LEAVE THIS PIN FLOATING.
 2. ANALOG GROUND REFERENCE. IT IS RECOMMENDED TO CONNECT DGND AND AGND TO THE SAME GROUND PLANE UNDER THE DEVICE.

013

図 13. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ	説明
1	DVDD	S	デジタル・コア電源。1.8V ± 5%。
2	VLOGIC	S	デジタル・インターフェース電源。1.2V~1.8V。
3	CS	DI	チップ・セレクト、アクティブ・ローのロジック入力。これは、入力データに対するフレーム同期化信号です。
4	SCLK	DI	シリアル・クロック入力。
5	SDI/SDIO0	DI/O	標準的SPIモードの場合のシリアル・データ入力。 デュアルまたはクワッドSPIモードでのシリアル双方向入出力ビット0。
6	SDO/SDIO1	DI/O	標準的SPIモードの場合のシリアル・データ出力。 デュアルまたはクワッドSPIモードでのシリアル双方向入出力ビット1。
7	SDIO2	DI/O	クワッドSPIモードでのシリアル双方向入出力ビット2。使用しない場合はプルダウンします。
8	SDIO3	DI/O	クワッドSPIモードでのシリアル双方向入出力ビット3。使用しない場合はプルダウンします。
9	LDAC	DI	ロードDAC、アクティブ・ローのロジック入力。LDACは、同期モードまたは非同期モードで動作できます。このピンにロー・レベルのパルスを入力すると、入力レジスタに新しいデータがある場合、DACレジスタが更新されます。このピンを常時ローに接続している場合は、新しいデータが入力レジスタに書き込まれるとDACが自動的に更新されます。
10	RESET	DI	非同期リセット入力。アクティブ・ローのロジック入力。RESETがローになると、すべてのレジスタがデフォルト値にリセットされて、デジタル・インターフェースでの動作は無視されます。AD3552Rはパワーオン・リセット（POR）回路を内蔵しています。このピンを使用しない場合、VLOGICに接続する必要があります。
11	ALERT	DO	アラート・ピン。アクティブ・ローのロジック出力。このピンは、アラート状態が検出されるとロー・レベルになります。また、マスク・レジスタの対応ビットでマスクされることはありません。このピンには設定可能なブルアップ抵抗が内蔵されています。
12	PCAP1	AI/O	DAC1のノイズ除去コンデンサ。オプション。コンデンサはAVDDに接続。
13	NCAP1	AI/O	DAC1のノイズ除去コンデンサ。オプション。コンデンサはGNDに接続。
14	VCM1	AO	DAC1のコモンモード電圧。アナログ入出力。
15	IOUT1	AI/O	DAC1の出力電流。
16	RFB1_1	AI/O	DAC1のハードウェア・ゲインの選択、ゲイン = 1。
17	RFB2_1	AI/O	DAC1のハードウェア・ゲインの選択、ゲイン = 2。
18	RFB4_1	AI/O	DAC1のハードウェア・ゲインの選択、ゲイン = 4。
19	AVDD	S	アナログ電源。5V ± 5%。
20	VREF	AI/O	2.5Vの電圧リファレンス。外部リファレンス使用時は入力、内部リファレンス使用時は出力またはフローティング。
21	CVREF	AI/O	内部リファレンス用のデカップリング・コンデンサ。オプション。
22	AGND	S	アナログ・グラウンド・リファレンス。DGNDとAGNDをデバイスの下と同じグラウンド・プレーンに接続することを推奨します。
23	RFB4_0	AI/O	DAC0のハードウェア・ゲインの選択、ゲイン = 4
24	RFB2_0	AI/O	DAC0のハードウェア・ゲインの選択、ゲイン = 2。
25	RFB1_0	AI/O	DAC0のハードウェア・ゲインの選択、ゲイン = 1。
26	IOUT0	AI/O	DAC0の出力電流。
27	VCM0	AO	DAC0の外部TIAのコモンモード電圧入力。

ピン配置およびピン機能の説明

表 7. ピン機能の説明（続き）

ピン番号	記号	タイプ	説明
28	NCAPO	AI/O	DAC0のノイズ除去コンデンサ。オプション。コンデンサはGNDに接続。
29	PCAPO	AI/O	DAC0のノイズ除去コンデンサ。オプション。コンデンサはAVDDに接続。
30	DGND	S	デジタル・グラウンド・リファレンス。DGNDとAGNDをデバイスの下と同じグラウンド・プレーンに接続することを推奨します。
31	QSPI	DI	QSPIモードを有効化。デジタル入力。ハイ・レベルにするとクワッドSPIモードが有効化されます。
32	DNC	DNC	何も接続しないでください。このピンはフロート状態のままにしておきます。
EPAD			露出パッド。 レイアウトのガイドライン のセクションで説明するように、このパッドはサーマル・ビアを介しAGNDに接続します。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = 5V$ 、 $DV_{DD} = V_{LOGIC} = 1.8V$ 、外部電圧リファレンス、温度 = 25°C（周囲温度）、[電源の推奨事項](#)のセクションの説明に従いデカップリング。

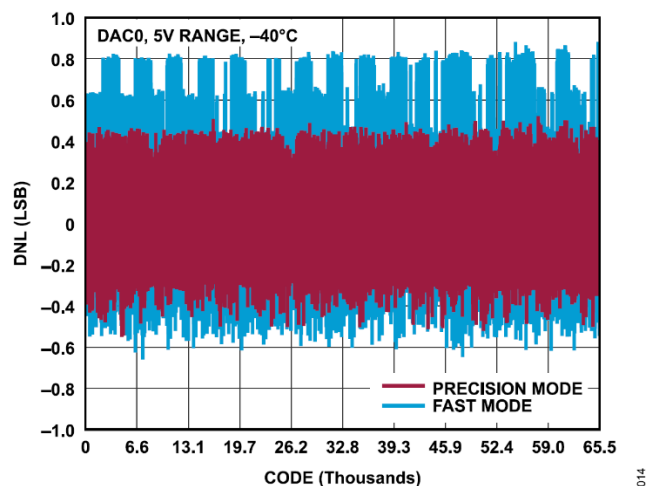


図 14. DNLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

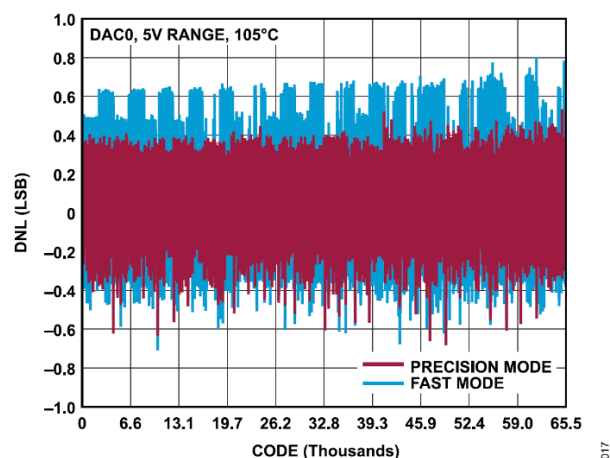


図 17. DNLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

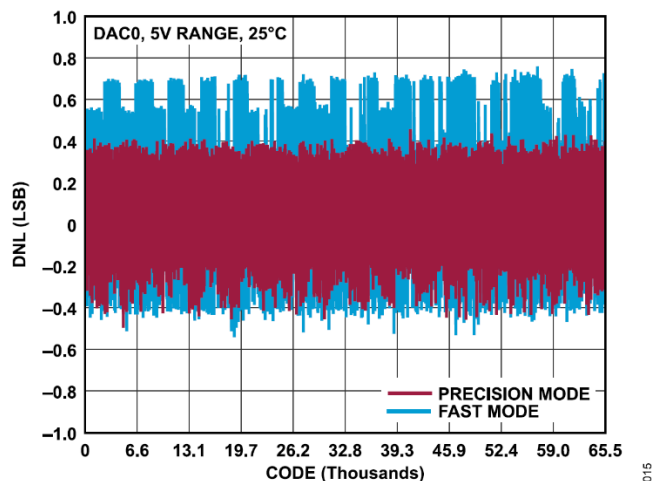


図 15. DNLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

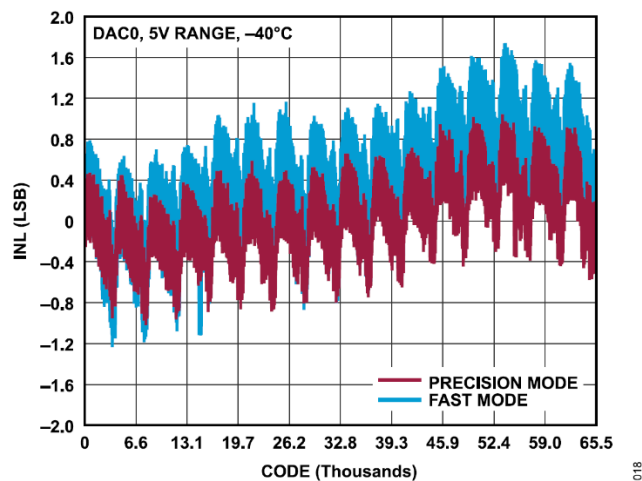


図 18. INLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

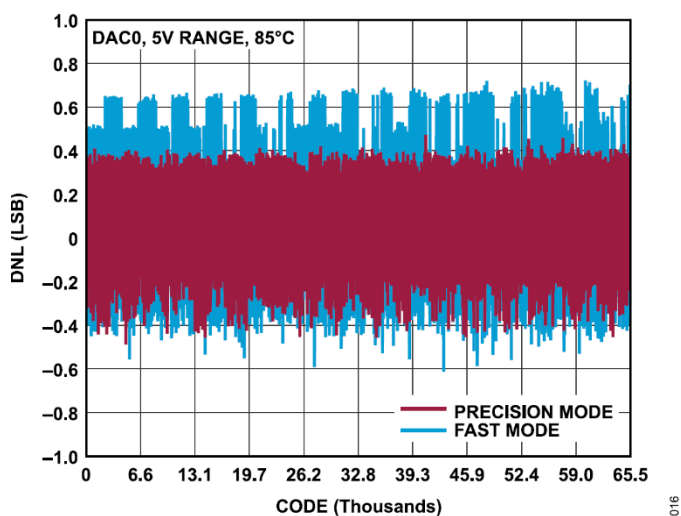


図 16. DNLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

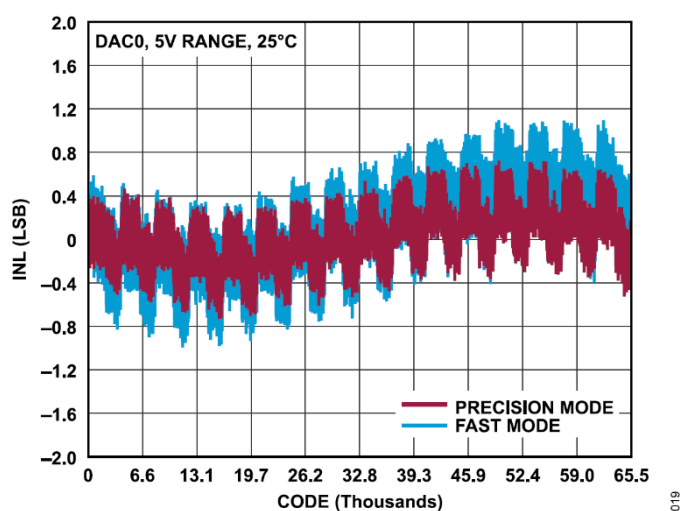


図 19. INLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

代表的な性能特性

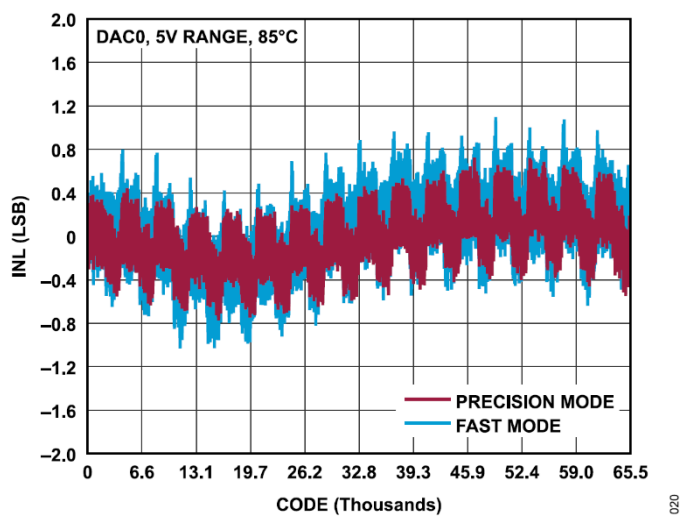


図 20. INLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

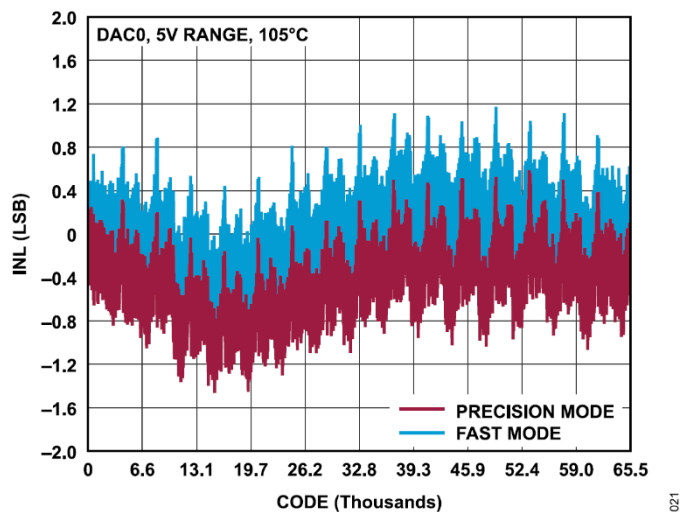


図 21. INLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

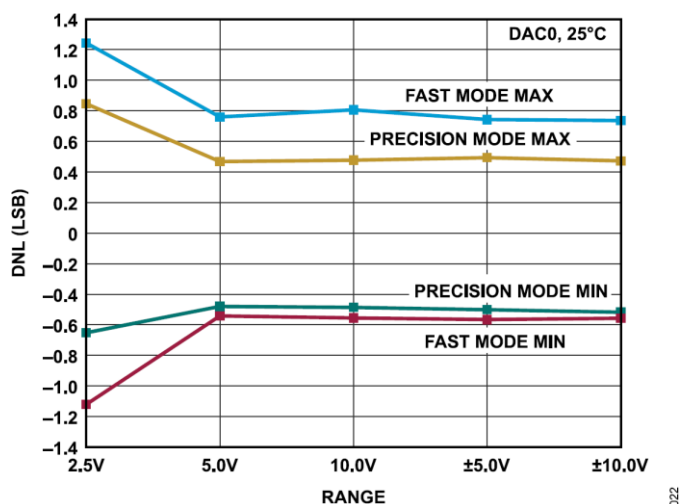


図 22. DNLとレンジの関係、高速モードおよび高精度モード

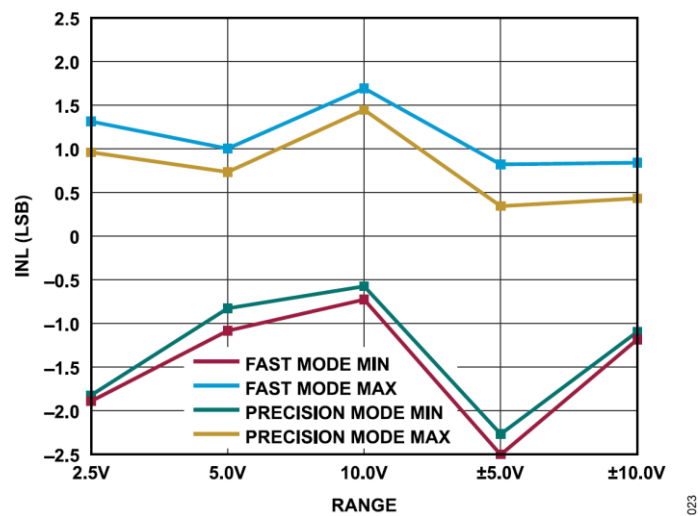


図 23. INLとレンジの関係、高速モードおよび高精度モード

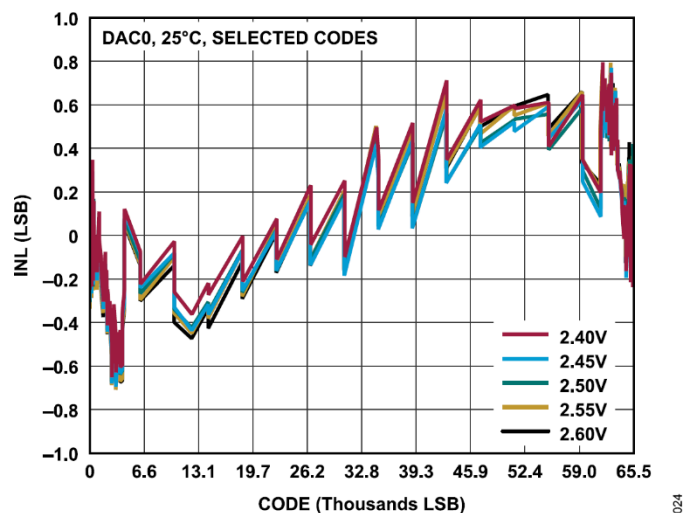


図 24. INLとコードの関係、リファレンス電圧

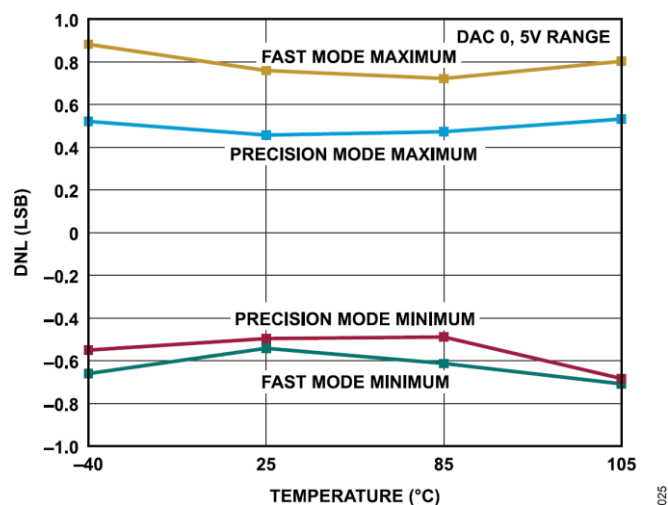


図 25. DNLと温度の関係

代表的な性能特性

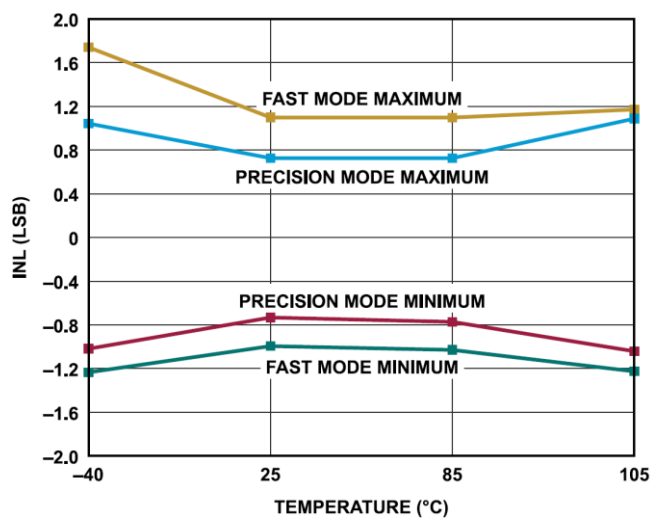


図 26. INLと温度の関係

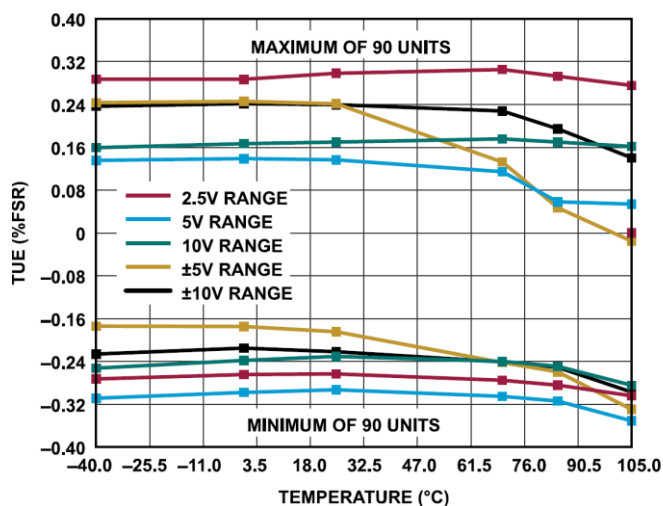


図 27. TUEと温度の関係

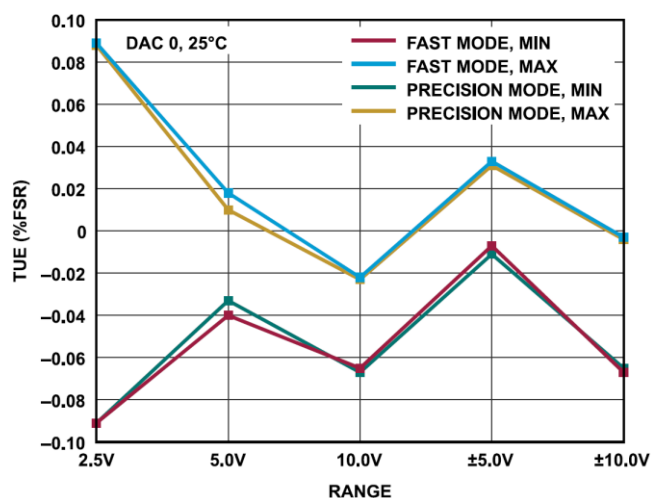


図 28. TUEとレンジの関係

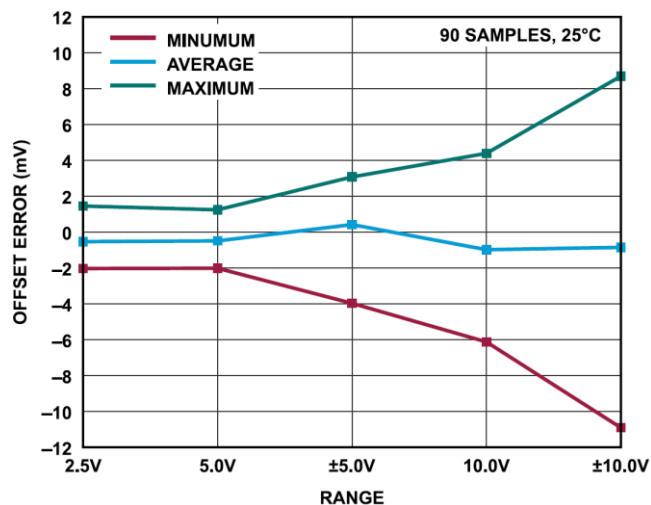


図 29. オフセット誤差とレンジの関係

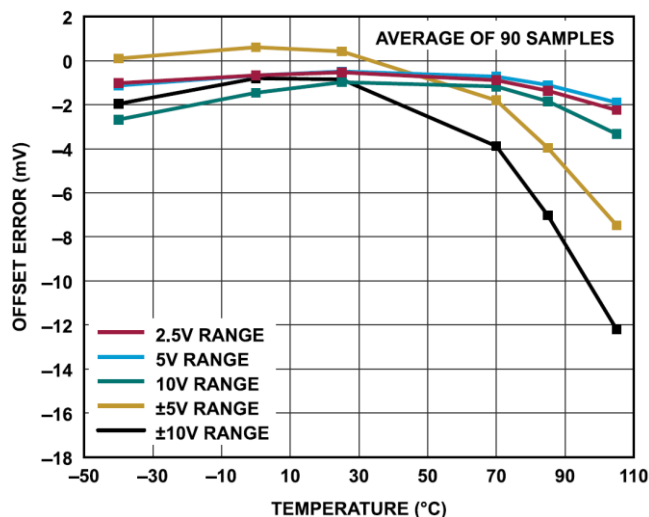


図 30. ゼロスケール誤差と温度の関係

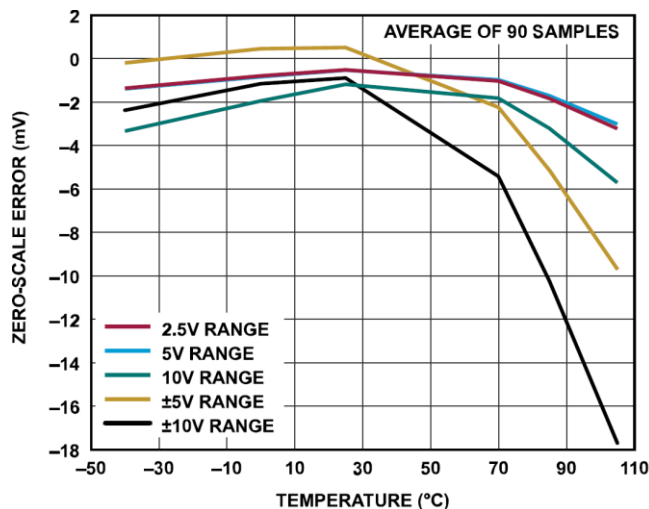


図 31. ゼロスケール誤差と温度の関係

代表的な性能特性

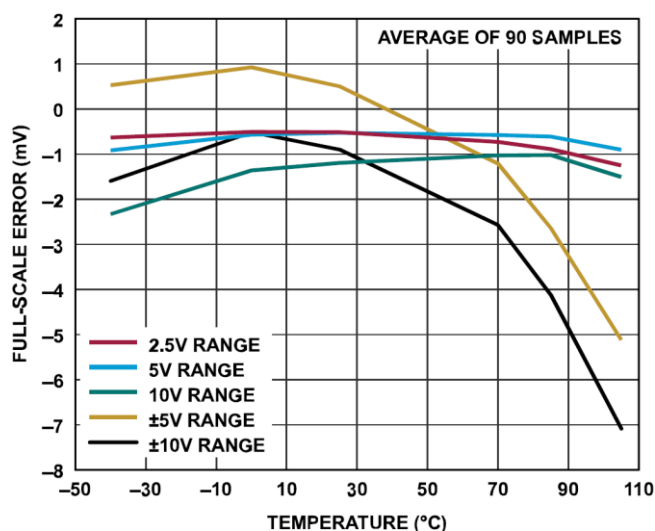


図 32. フルスケール誤差と温度の関係

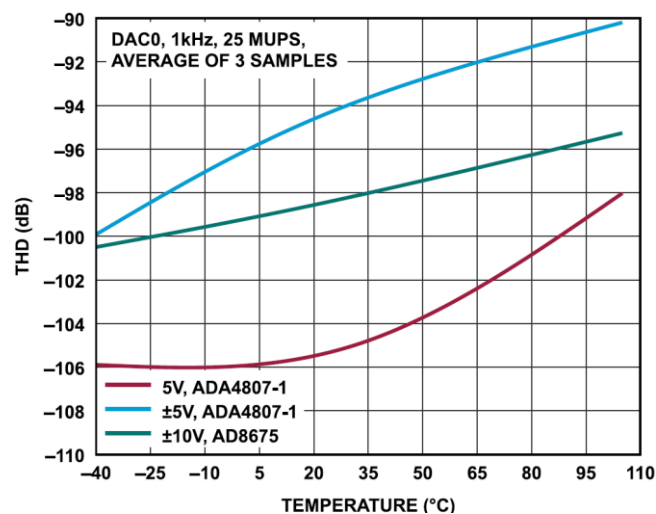


図 35. THDと温度の関係

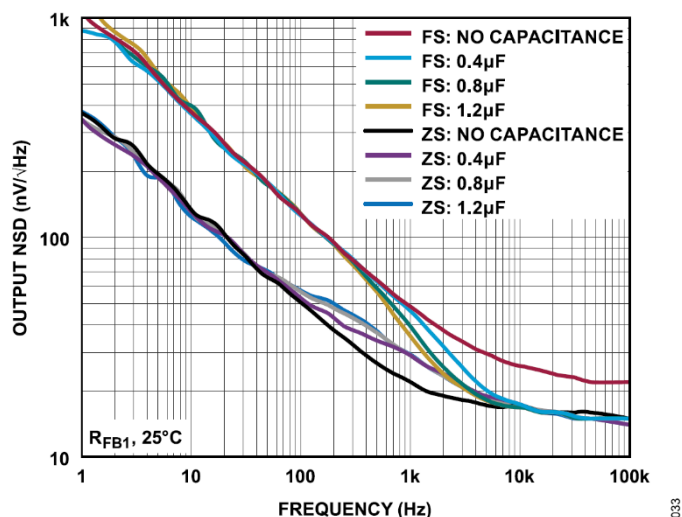


図 33. 出力NSDと周波数およびPCAPxとNCAPxのコンデンサ値の関係

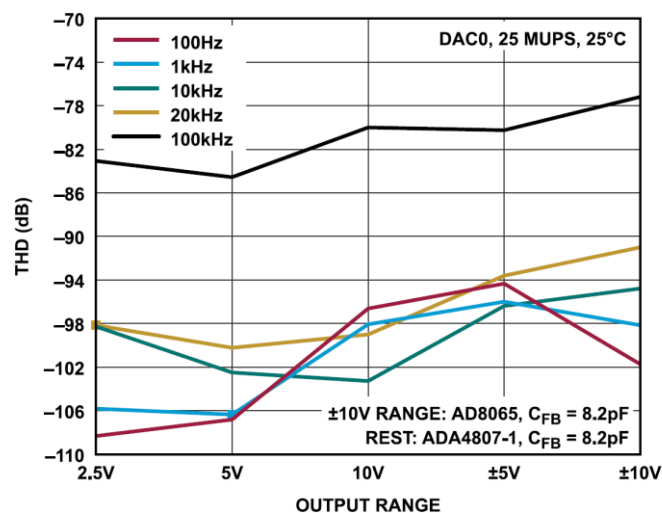


図 36. THDと出力レンジの関係

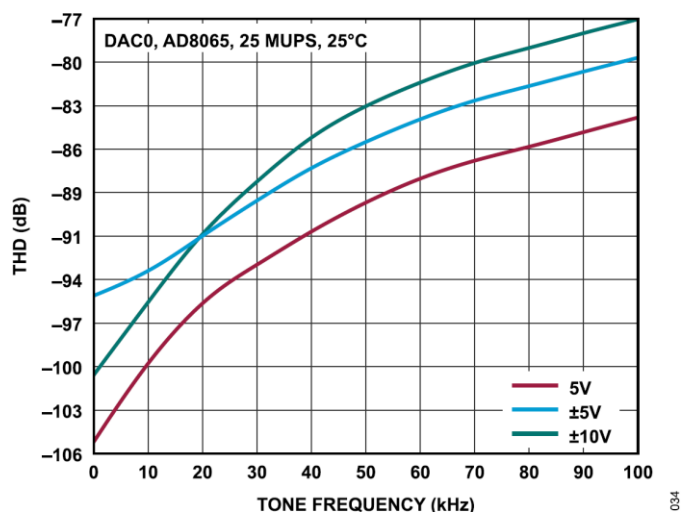


図 34. 全高調波歪み (THD) とトーン周波数の関係

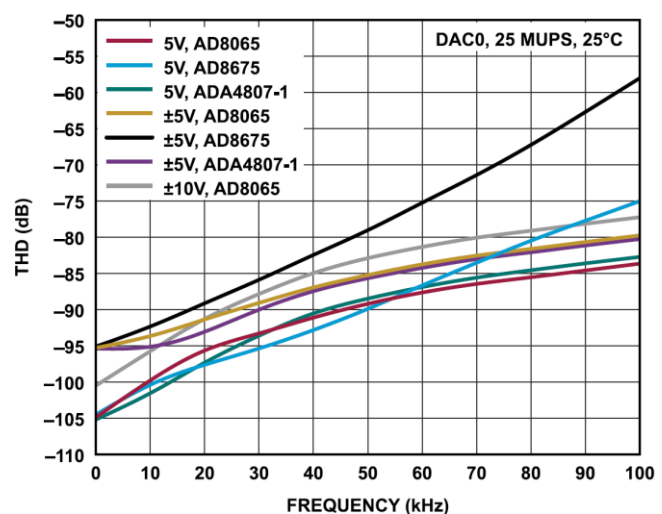


図 37. THDと周波数およびアンプの関係

代表的な性能特性

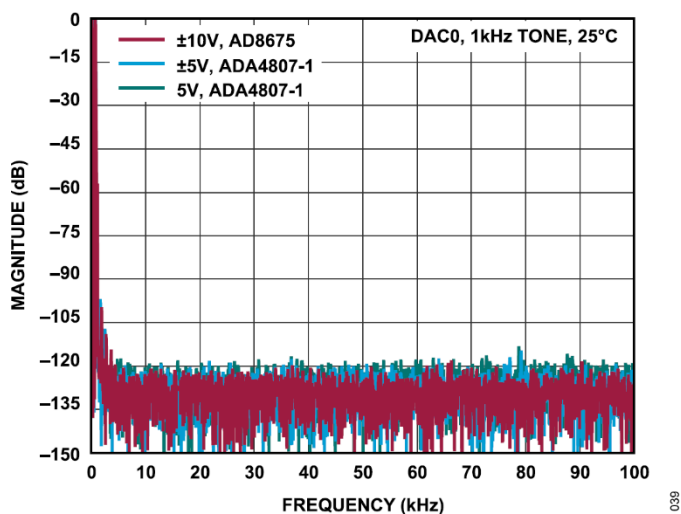


図 38. 1kHzサイン波の高速フーリエ変換 (FFT)、25MUPS

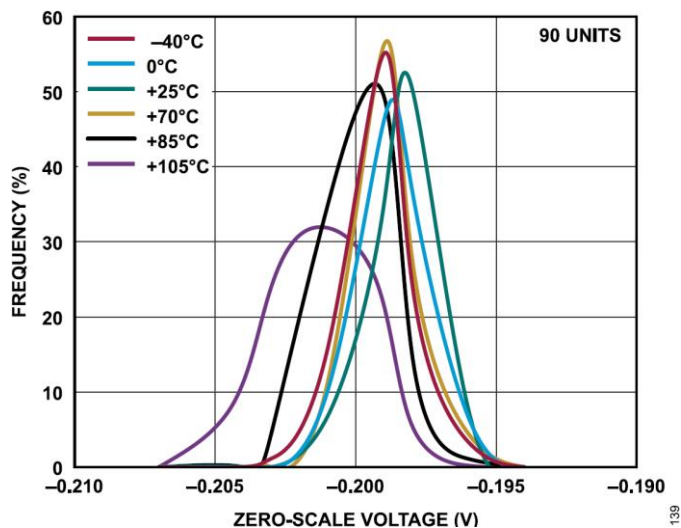


図 39. ゼロスケールの電圧分布、0V~2.5Vのレンジ

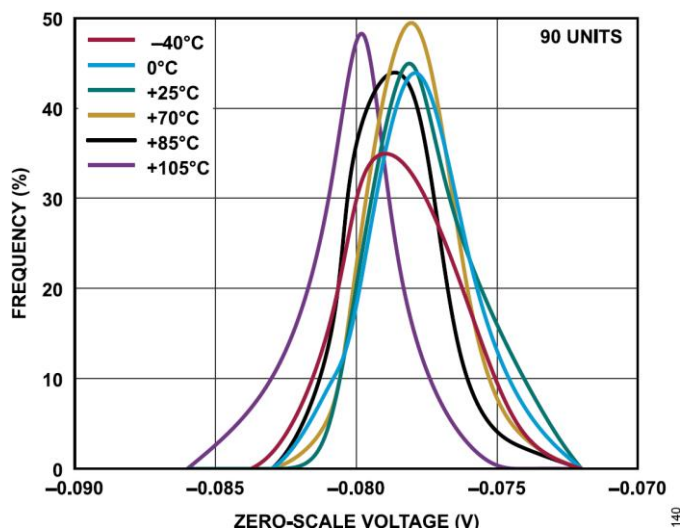


図 40. ゼロスケールの電圧分布、0V~5Vのレンジ

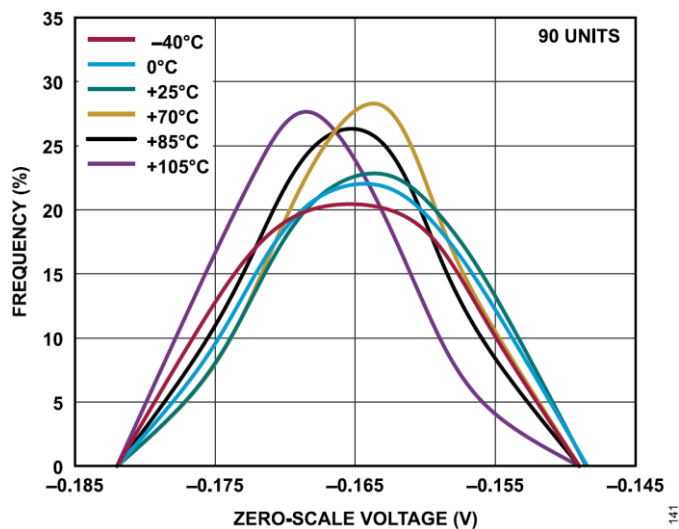


図 41. ゼロスケールの電圧分布、0V~10Vのレンジ

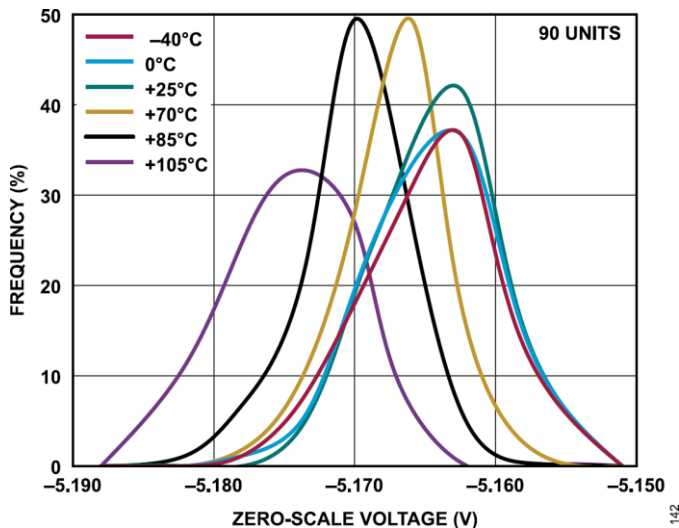


図 42. ゼロスケールの電圧分布、-5V~+5Vのレンジ

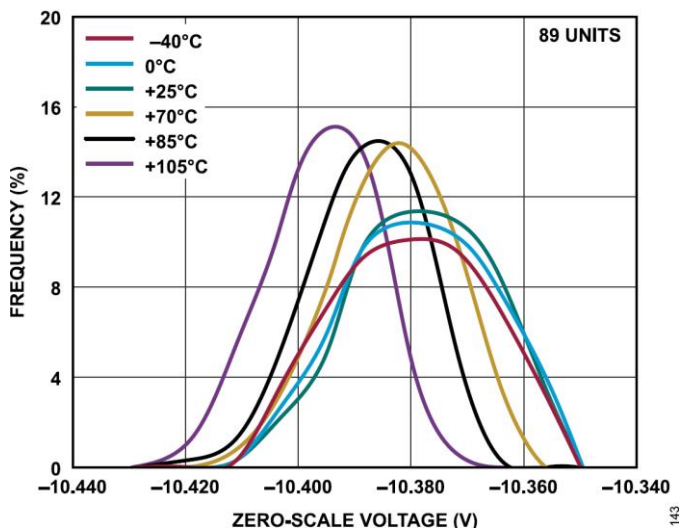


図 43. ゼロスケールの電圧分布、-10V~+10Vのレンジ

代表的な性能特性

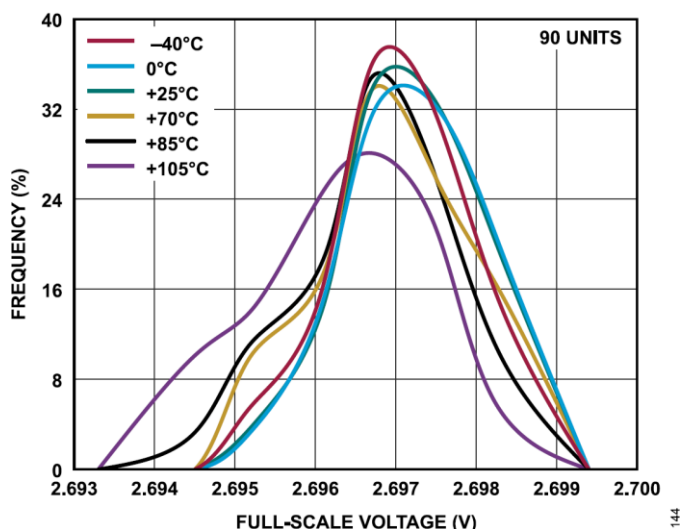


図 44. フルスケールの電圧分布、0V~2.5Vのレンジ

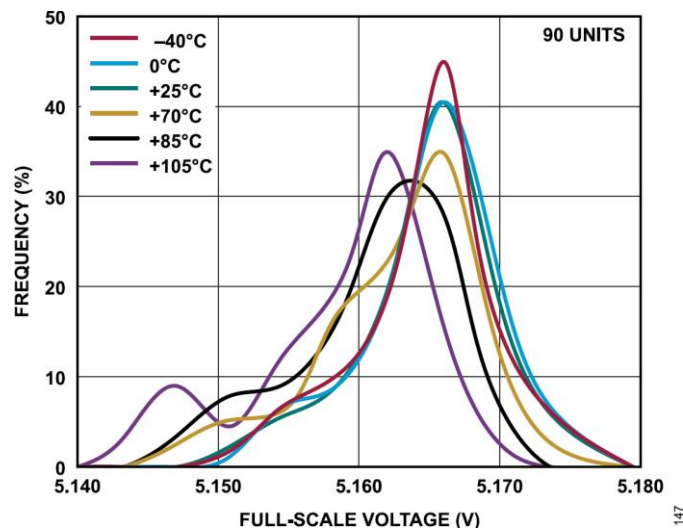


図 47. フルスケールの電圧分布、-5V~+5Vのレンジ

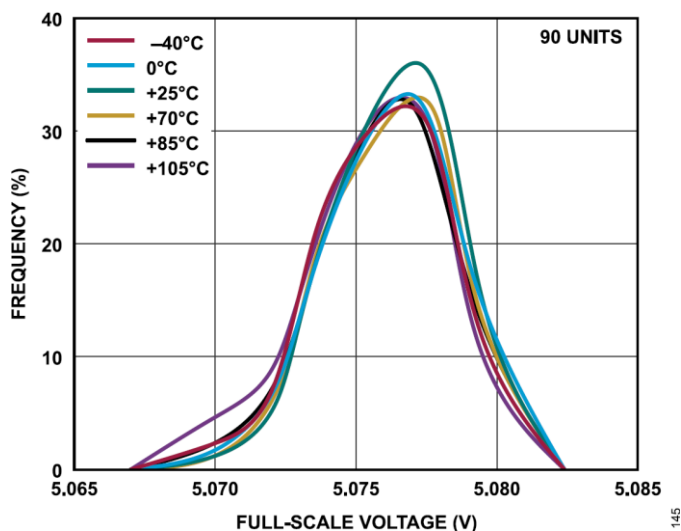


図 45. フルスケールの電圧分布、0V~5Vのレンジ

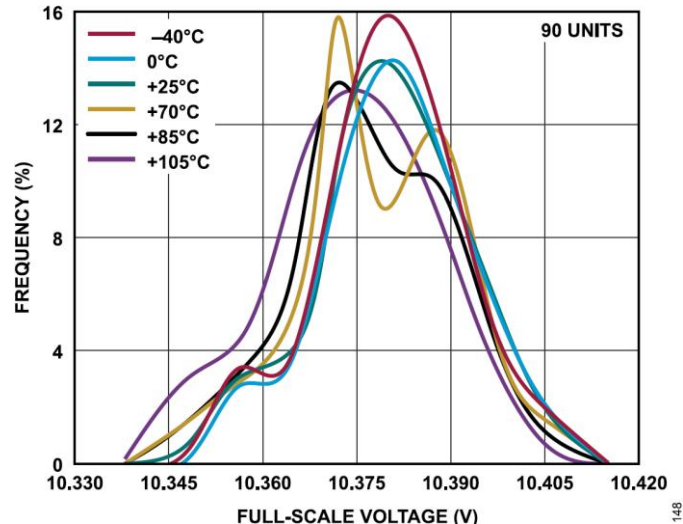


図 48. フルスケールの電圧分布、-10V~+10Vのレンジ

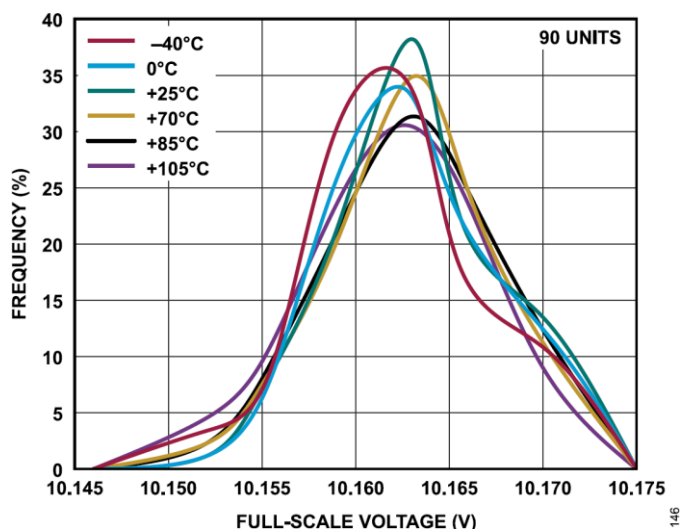


図 46. フルスケールの電圧分布、0V~10Vのレンジ

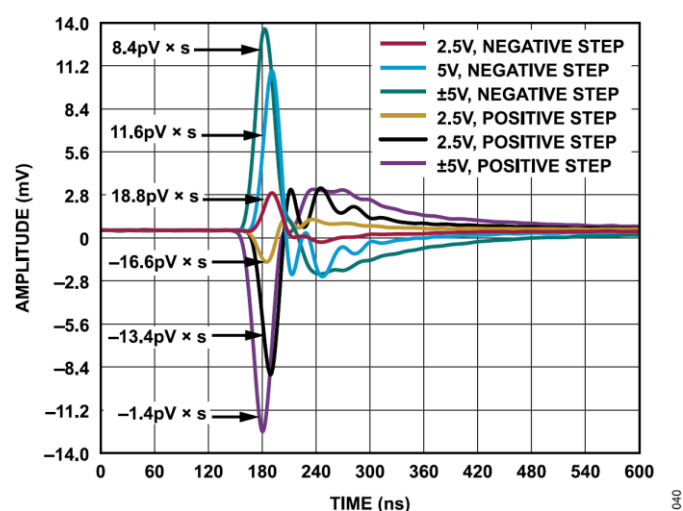


図 49. デジタル/アナログ・グリッチ

代表的な性能特性

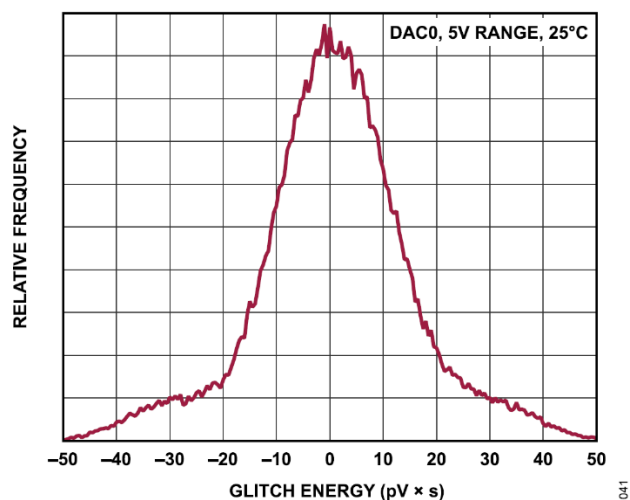


図 50. デジタル／アナログ・グリッチ・エネルギーのヒストグラム

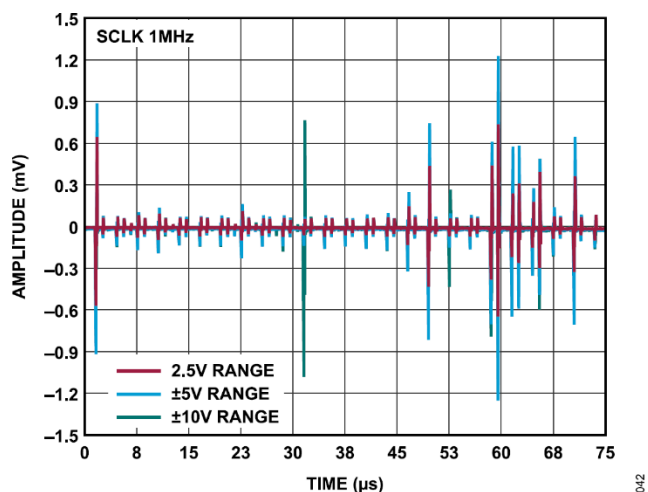


図 51. デジタル・フィードスルー

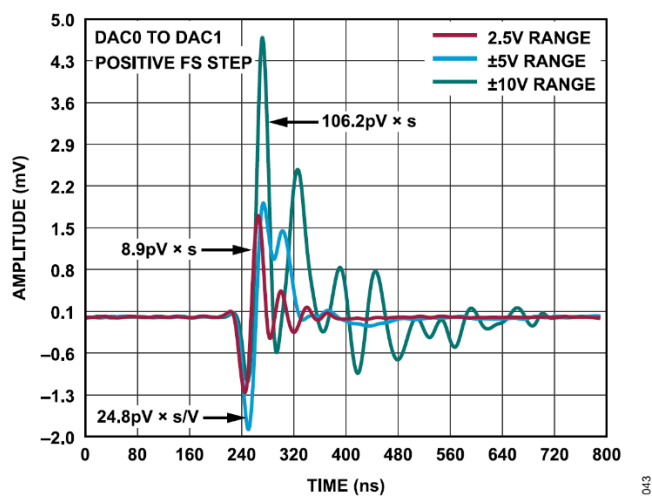


図 52. DAC間クロストーク

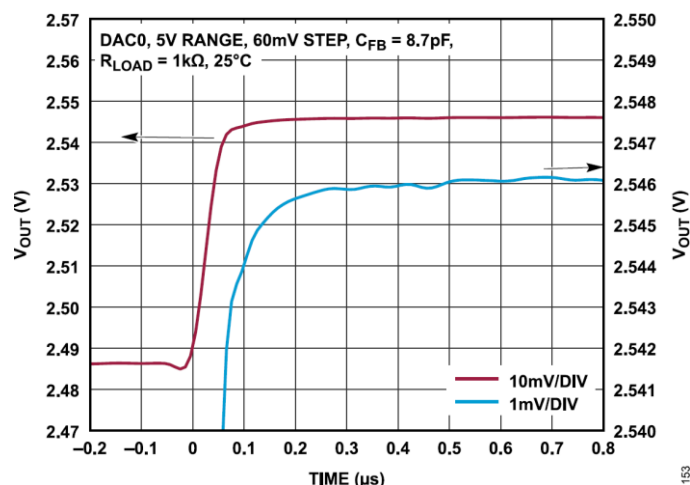


図 53. 小信号セトリング時間、0V~5Vのレンジ

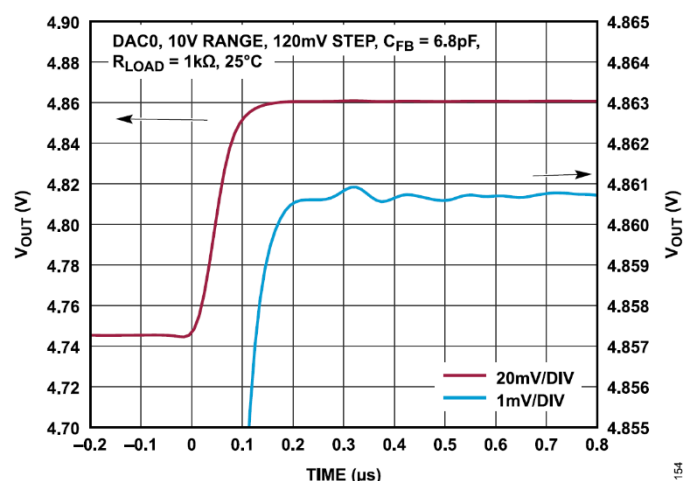


図 54. 小信号セトリング時間、0V~10Vのレンジ

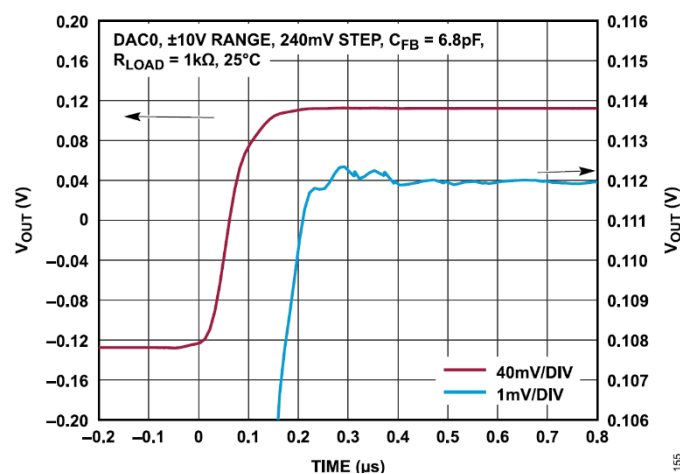


図 55. 小信号セトリング時間、-10V~+10Vのレンジ

代表的な性能特性

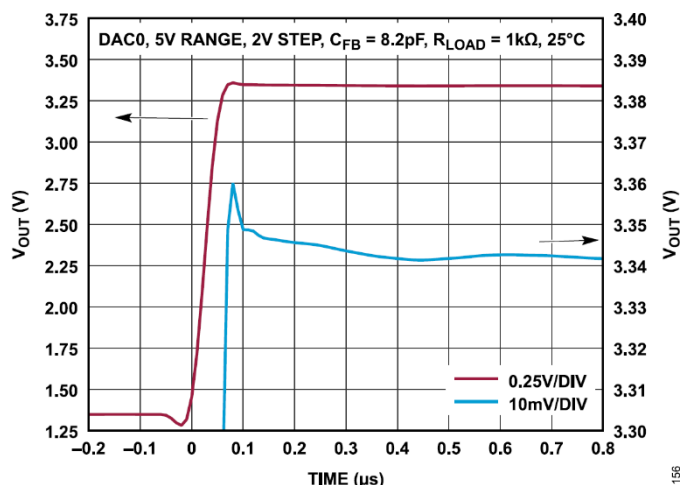


図 56. 大信号セトリング時間、0V~5Vのレンジ

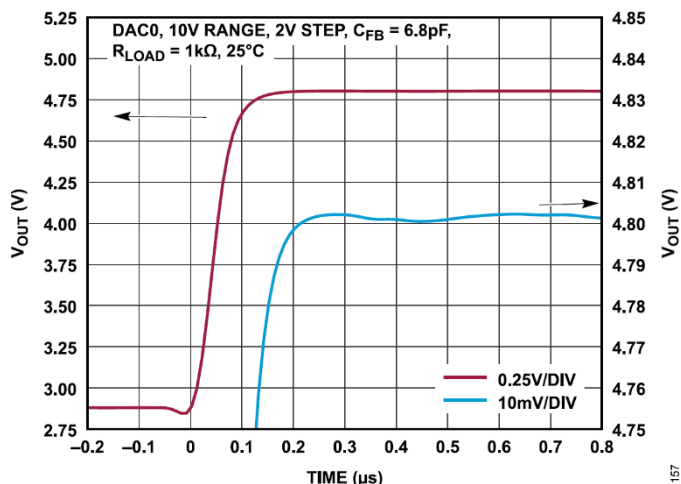


図 57. 大信号セトリング時間、0V~10Vのレンジ

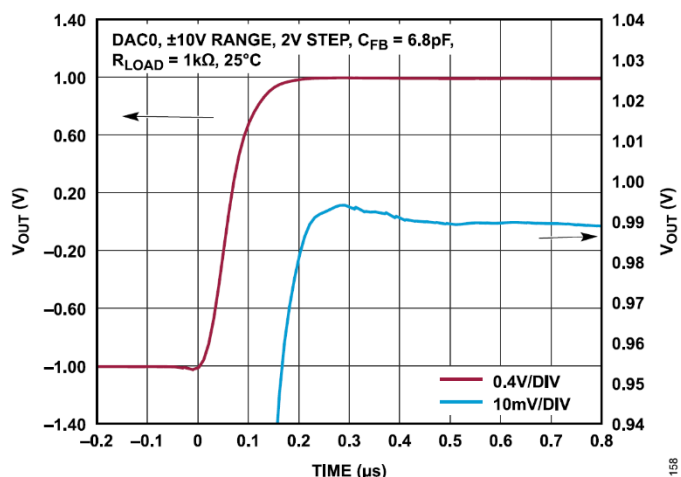


図 58. 大信号セトリング時間、-10V~+10Vのレンジ

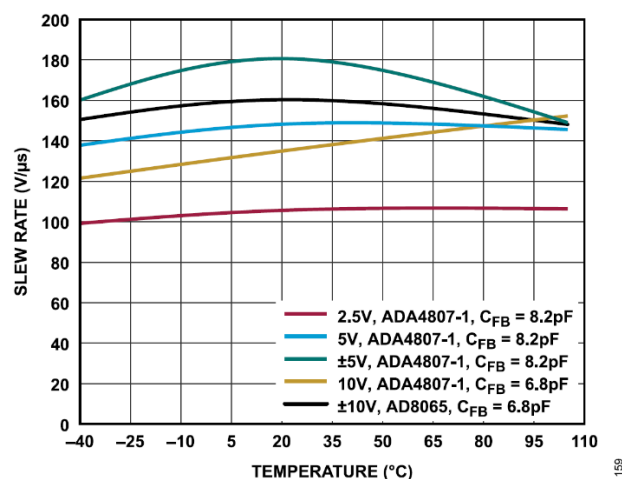


図 59. スルー・レートと温度の関係

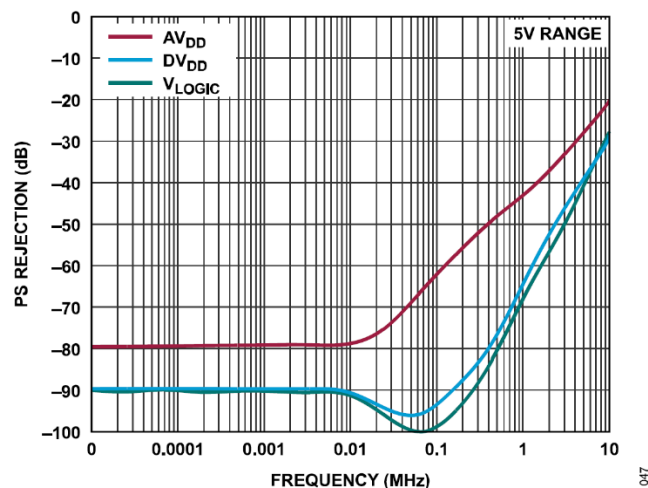
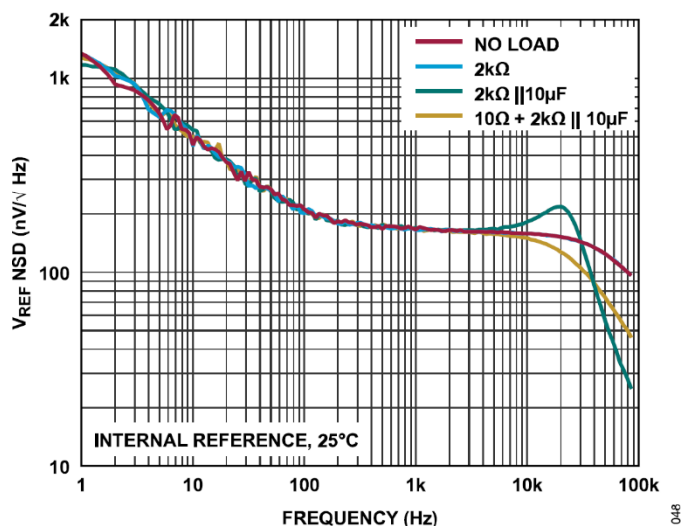


図 60. AC PSRR

図 61. リファレンス電圧 (V_{REF}) のNSDと周波数および負荷インピーダンスの関係

代表的な性能特性

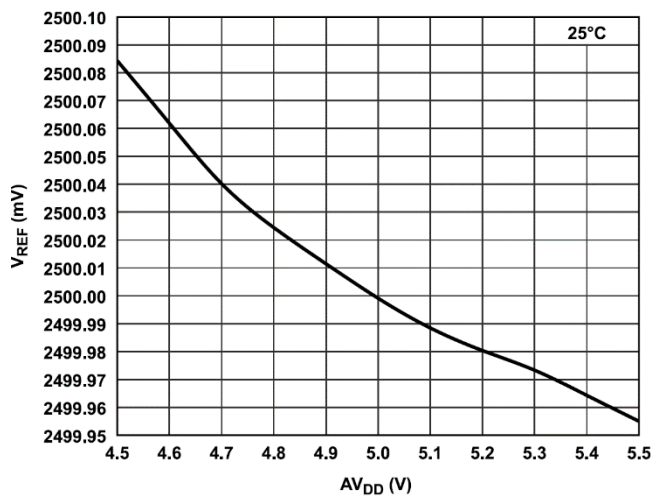
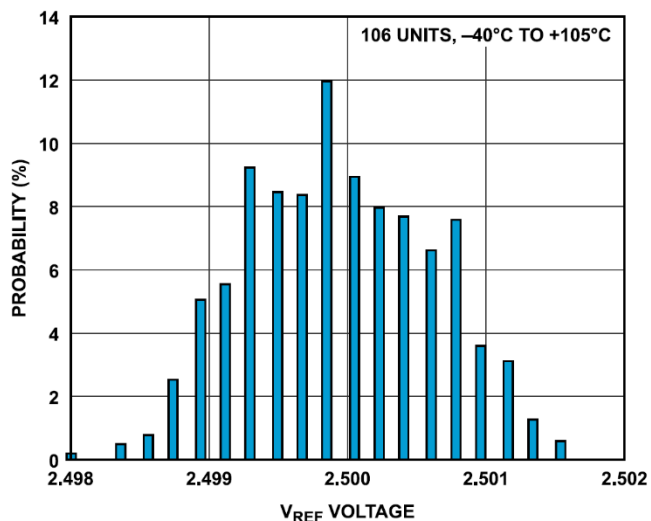
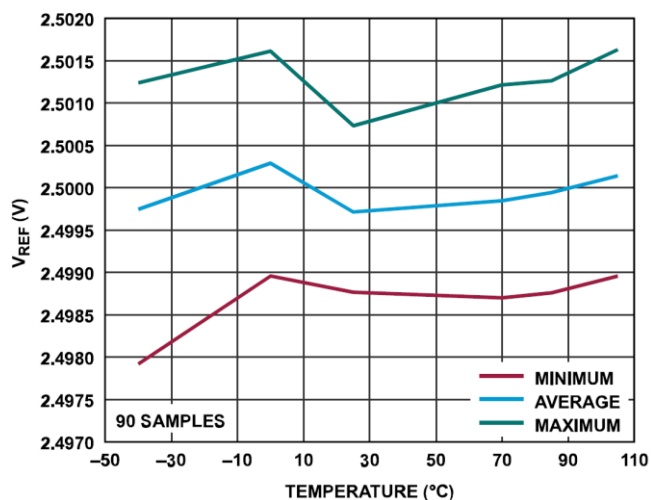
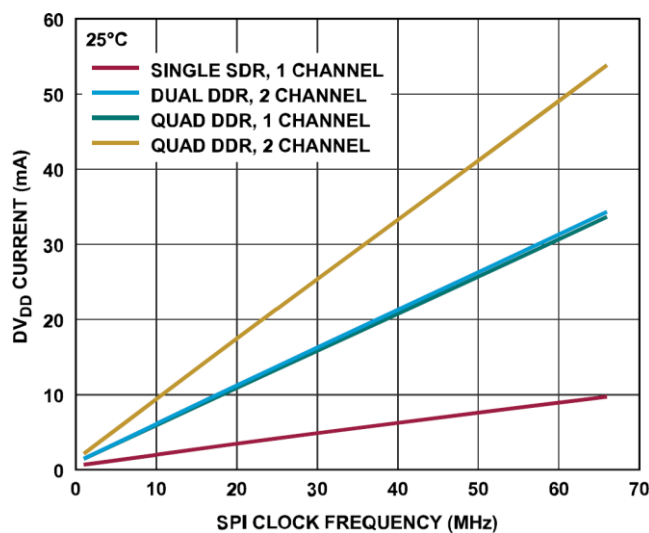
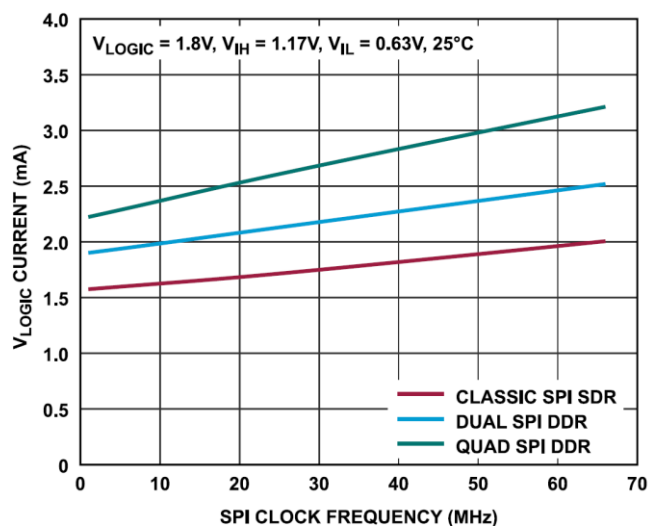
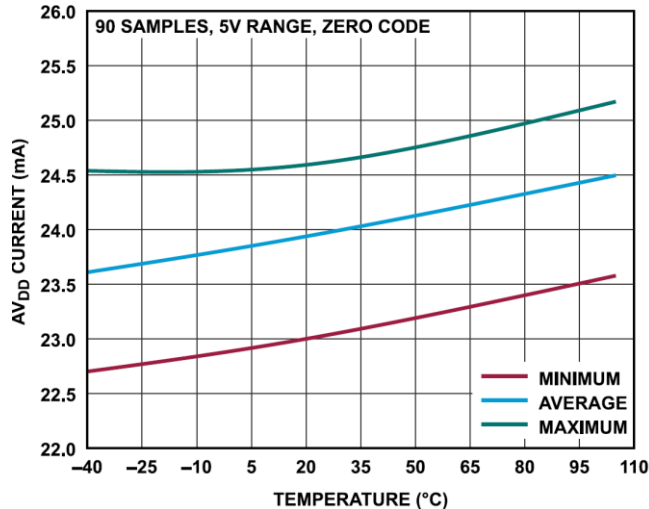
図 62. V_{REF} と電源 (AV_{DD}) の関係

図 63. リファレンス電圧の分布

図 64. V_{REF} と温度の関係図 65. DV_{DD} 電流とSPIクロック周波数およびSPIモードの関係図 66. V_{LOGIC} 電流とSPIクロック周波数およびSPIモードの関係図 67. AV_{DD} 電流と温度の関係

代表的な性能特性

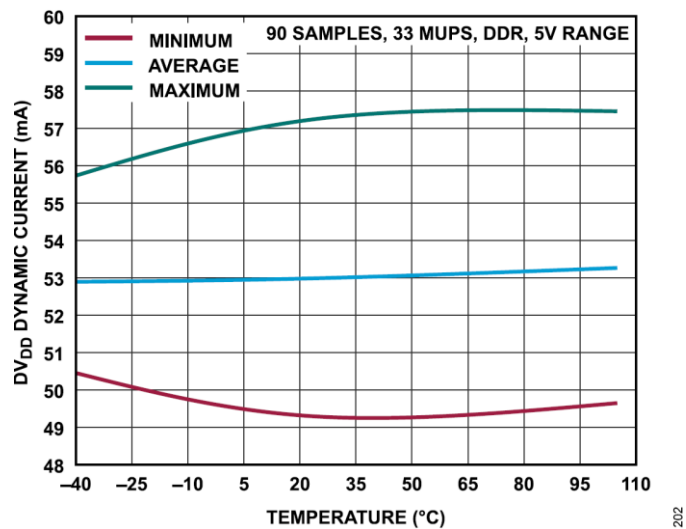


図 68. DV_{DD}動的電流と温度の関係

用語の定義

相対精度または積分非直線性 (INL)

DACの場合、相対精度すなわち積分非直線性は、DAC伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB単位で表示) を表します。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する2つのコードの間での測定された変化と理論的な1LSB変化との差を表します。

オフセット誤差

オフセット誤差は、ゲイン誤差を補償した後の理想的な伝達関数からの上下方向の偏差を表します。オフセット誤差の単位はmVです。AD3552Rでは、オフセット誤差はミッドスケールで測定されます。理想的な出力と実際の出力との比較はミッドスケールで行われます。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセットの相対的な変化を測定したもので、単位はppm/°Cです。所定温度での合計オフセットは、次式で表されます。

$$Offset_T = Offset_{25^\circ C} + \frac{TC \times (T - 25) \times V_{RANGE}}{10^6}$$

フルスケール／ゼロスケール誤差

これらの誤差は、25°Cにおけるフルスケールおよびゼロスケールでの理想値からの偏差を表します。フルスケール・レンジ (FSR) に対するパーセンテージで表されます。AD3552Rの場合、理想値は十分な数のサンプルによる平均値で計算します。

フルスケール／ゼロスケール誤差ドリフト

これらのパラメータは、理想的なゼロスケール電圧とフルスケール電圧を基準としたゼロスケール電圧とフルスケール電圧の変動を、温度の関数として表したものです。単位はppm/°Cです。合計偏差の温度変化は、オフセットと同じ式を用いて計算できます。

DC PSRRおよびAC PSRR

PSRRは、DAC出力に対する電源電圧変化の影響を表します。PSRRは、DACのミッドスケール出力での、 V_{OUT} 変化の電源電圧変化に対する比です。DC PSRRの単位はmV/V、AC PSRRの単位はdBです。 V_{REF} を2.5Vに維持して、電源電圧を±200mV p-p変化させます。

出力電圧セトリング時間

出力電圧セトリング時間は、所定のステップ変化に対して、DACの出力が指定されたレベルに所定の精度で安定するまでに要する時間です。通常、アンプのスルーイングを考慮し、小さいステップと大きいステップについて評価します。

デジタル／アナログ・グリッチ・インパルス

デジタル／アナログ・グリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常nV × secで表すグリッチの面積として規定され、デジタル入力コードが1LSBだけ変化したときに測定されます。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV × secで規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット0から全ビット1への変化時、または全ビット1から全ビット0への変化時に測定されます。

出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ノイズの測定は、ミッドスケール・コードで理想的な外部リファレンスを用いてロードされるDAC出力で行います。また、内部リファレンスを用いることが可能な場合はその出力でも行います。ノイズ密度の単位はnV/√Hzです。図33に、1/f領域とフラット (広帯域) 領域でのノイズのスペクトル密度を示しますが、表2に示した仕様はフラット領域についてのものです。

全高調波歪み (THD)

THDは、DACによって生成されたサイン波と、これと同じ周波数および振幅をもつ理想的なサイン波との差です。理想的なサイン波からの差が生じる原因は、時間および振幅が離散化されていることと非線形歪みが存在することです。THDは高調波の成分の総和と基本波成分の電力比として測定されます。単位はdBです。

電圧リファレンス温度係数 (TC)

電圧リファレンスTCは、温度変化に伴うリファレンス出力電圧の変化を表します。電圧リファレンスTCはボックス法を使って計算します。この方法では、次のように、ppm/°C単位で表される所定の温度範囲でのリファレンス出力の最大変化としてTCを定義しています。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TEMP_RANGE} \right) \times 10^6 \quad (1)$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、

V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、

V_{REF_NOM} は2.5Vの公称リファレンス電圧、

$TEMP_RANGE$ は仕様規定された温度範囲、-40°C~+105°Cです。

用語の定義

DCクロストーク

1つのDAC出力での変化に起因する別のDACの出力レベルのDC変化です。ミッドスケールに維持した1つのDACをモニタしながら、別のDAC上でのフルスケール出力変化（または、ソフト・パワーダウンおよびパワーアップ）を使って測定されます。単位は $\mu\text{V/V}$ です。

動作原理

製品の説明

AD3552Rは、デュアル・チャンネル、16ビット、33MUPSのDACで、プログラマブルな出力レンジと2.5Vの内部リファレンスを備えています。

AD3552Rには以下の2つの更新モードがあります。

- ▶ 高速モード：このモードで書き込まれるデータは16ビット長で、33MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は、表2に示す狭い温度範囲で有効です。このモードのデータは、末尾が_16Bのレジスタに書き込まれます。
- ▶ 高精度モード：このモードで書き込まれるデータは24ビット長で、22MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は全動作温度範囲で確保されます。このモードのデータは、末尾が_24Bのレジスタに書き込まれます。

AD3552Rは、標準、デュアル、クワッドの各SPIモードでシングル・データ・レートまたはダブル・データ・レートにより動作できる、汎用性のあるSPIインターフェースを実現します。AD3552Rは複数のエラー・チェックを備えており、アナログとデジタルのどちらの領域でも安全な動作が確保されています。

DACのアーキテクチャ

AD3552RはVREF電圧が2.5Vのカレント・ステアリング型DACアーキテクチャを採用しています。DACの電流は外付けTIAによって電圧に変換されます。

内部ブロック図を図69に示します。

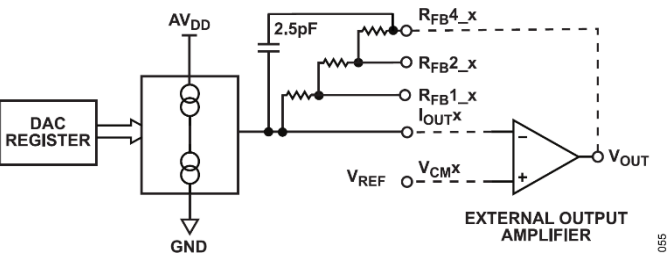


図 69. DACチャンネルのアーキテクチャのブロック図

表 8. 事前設定済みの出力スパン・レンジとそれに対応する帰還抵抗

RFBx_y	CH0_CH1_OUTPUT_RANGE	Output Span	CHx_GAIN_SCALING_P	CHx_GAIN_SCALING_N	CHx_OFFSET	V _{ZS} (V)	V _{FS} (V)
RFB1_y	0x000	2.5 V	0	3	-48	-0.198	2.701
	0x001	5 V	0	0	0	-0.078	5.077
RFB2_y	0x010	10 V	0	0	495	-0.165	10.163
	0x011	±5 V	0	0	-495	-5.165	5.166
RFB4_y	0x100	±10 V	0	0	-245	-10.382	10.380

TIAの帰還ループは、V_{OUT}ピンをいずれかの使用可能なRFBx_yピンにハードワイヤ接続することで閉じられます。RFBx_y値は実現可能な最大電圧スパンを設定します。この電圧スパンをゲイン・スケーリング・レジスタを使用して減少させ、オフセット・レジスタを使用してTIAの電源レールの範囲内に再設定することができます。

事前設定済みの出力電圧スパン

AD3552Rには事前設定済みの電圧スパンが5通りあり、これらはCH0_CH1_OUTPUT_RANGEレジスタを用いて選択できます。選択するスパンは、表8に示すように、使用する帰還抵抗に対応している必要があります。CHx_GAIN_SCALING_P、CHx_GAIN_SCALING_N、CHx_OFFSETの各パラメータは、設定する必要はありません。これらの事前設定値は、ユーザがカスタム・レンジ値を作成するための開始点としてのみ提供されたものであるためです。設定されているRFBx_y抵抗では実現できない電圧スパンを設定すると、電圧値が不適切なものになります。

スパンの両端には均等に分割された約3%のオーバーレンジが設けられており、どの条件でも公称レンジが確実にカバーされるようになっています。

事前設定済みの電圧スパンが目的のアプリケーションに適合しない場合、カスタム出力電圧スパンのセクションに示すように、ゲイン・スケーリング・レジスタとオフセット・レジスタを用いてカスタム・スパンを定義できます。

動作原理

カスタム出力電圧スパン

CH0_CH1_OUTPUT_RANGEレジスタで設定された事前設定済みの出力スパン・レンジに加え、出力スパン・レンジは、外部帰還抵抗と共にオフセット・レジスタとゲイン・レジスタをプログラミングして、カスタマイズできます。CHx_GAINレジスタのCHx_RANGE_OVERRIDEビットをセットして、事前設定済みのレンジとオフセットの値をオーバーライドする必要があります。ゲインは、CHx_GAINレジスタのCHx_GAIN_SCALING_PおよびCHx_GAIN_SCALING_Nの2つのパラメータの組み合わせで設定されます。オフセットの絶対値と符号は、表10に示すように、CHx_OFFSETレジスタおよびCHx_GAINレジスタの下位ビットで設定されます。

ゼロスケール出力電圧 ($V_{OUT,ZS}$) とフルスケール出力電圧 ($V_{OUT,FS}$) は、次式を用いて計算できます。

$$V_{OUT,ZS} = 2.5 + 1.6 \times R_{FB} \times (Offset - Gain_P)$$

$$V_{OUT,FS} = 2.5 + 1.6 \times R_{FB} \times (Offset + Gain_N)$$

ここで、

$$Gain_P = \frac{1}{2^{CHx_GAIN_SCALING_P}}$$

$$Gain_N = \frac{1}{2^{CHx_GAIN_SCALING_N}}$$

$$Offset = \frac{OFFSET_POLARITY \times CHx_OFFSET}{1024}$$

CHx_OFFSET_POLARITY = 0の場合はOFFSET_POLARITY = 1、CHx_OFFSET_POLARITY = 1の場合はOFFSET_POLARITY = -1で、R_{FB}の値は、表9に示すように、接続されているR_{FBx,y}ピンによって異なります。

表 9. R_{FBx,y}ピンの抵抗値

Pin	Resistor Value (kΩ)
R _{FB1,y}	1.610938
R _{FB2,y}	3.228125
R _{FB4,y}	6.488125

表 10. オフセット値のマッピング

Item	Register	Bit	Field Name
Offset Sign	CHx_GAIN	2	CHx_OFFSET_POLARITY
Offset Bit 8	CHx_GAIN	0	CHx_OFFSET[8]
Offset Bit 7 to Bit 0	CHx_OFFSET	[7:0]	CHx_OFFSET

オフセットがゼロの場合、カスタム・レンジの中心はV_{CM} (2.5V) になります。オフセット・レジスタを用いるとこのレンジをそのスパンの25%分、上下に移動できます。つまり、オフセットがゼロの場合に10Vのレンジが-2.5V~7.5Vの範囲にある場合、オフセット・レジスタと極性ビットを用いてこのレンジを±2.5Vシフトできます。ゲイン・スケーリングの設定はオフセットの大きさには影響しません。

R_{FB}とゲイン・スケーリングの値は、目的のレンジを定義するためにいくつかの組み合わせが可能です。TIAの出力のノイズ密度を最小限に抑えるために、R_{FB}の値が最小となる組み合わせを用いることを推奨します。

伝達関数

デジタル・コードをDAC出力電流に変換すると、プレーン・バイナリのコードとの間に線形関係が生じます。mAを単位とする理想的な出力電流は次式で与えられます。

$$I_{OUTx} = 1.6 \times \left(Gain_P - Offset - \frac{D}{2^{16}} \times (Gain_P + Gain_N) \right)$$

ここで、

Dは、DACレジスタにロードされるバイナリ・コード (10進数表示)、

Offset、Gain_P、Gain_Nは、カスタム出力電圧スパンのセクションに示した定義に従います。

電流から電圧への変換は外付けのTIAで行われます。内部帰還抵抗を用いる場合、出力電圧は、次式に従います。

$$V_{OUT} = V_{CM} - R_{FB} \times I_{OUT}$$

ここで、

V_{CM}は、TIAの非反転入力に接続されたV_{CMX}ピンのコモンモード電圧で公称値は2.5V、

R_{FB}は、表9に示す定義に従います。

V_{REF}

AD3552Rは、温度係数が3ppm/°Cでパワーアップ時にイネーブルされる2.5Vの電圧リファレンスを内蔵しています。V_{REF}ピンは、パワーアップ時には高インピーダンスであるため、電氣的な問題が生じるのを防止できます。内部リファレンスを外部使用する必要がある場合は、表11に示すように、REFERENCE_CONFIGレジスタのREFERENCE_VOLTAGE_SELビットに書込みを行って、V_{REF}出力をイネーブルする必要があります。

外部リファレンスを選択した場合、V_{REF}ピンは入力として機能します。

表 11. 電圧リファレンスの選択

REFERENCE_VOLTAGE_SEL	Source	V _{REF} I/O
00	Internal	Floating
01	Internal	2.5 V
10	External	Input
11	External	Input

SPIレジスタ・マップの利用

SPIフレーム同期

SPIトランザクション時、 $\overline{CS}$ 信号によってデータがフレーム化されます。 $\overline{CS}$ の立下がりエッジによってデジタル・インターフェースが有効化され、SPIトランザクションが開始します。各SPIトランザクションには、命令フェーズのセクションおよびデータ・フェーズのセクションで説明するように、少なくとも1つの命令フェーズとデータ・フェーズがあります。いずれのSPIトランザクションでも、データはMSBファーストに揃えられています。SPIトランザクション時に $\overline{CS}$ をデアサートすると、データ転送の一部または全部が終了し、デジタル・インターフェースが無効化されます。少なくとも1つのレジスタ・アドレスが指定された後に $\overline{CS}$ がデアサートされた場合 (ハイ・レベルに戻った場合)、これらのレジスタの書込みまたは読出しは行われますが、一部のアドレスしか指定されなかったレジスタは無視されます。AD3552Rがレジ

動作原理

スタ・モードの場合の基本的なSPI書き込みフレームのステージを図70に、SPI読出しフレームのステージを図71に示します。

レジスタの読出し／書き込み動作の詳細なタイミング図を、図2～図11に示します。タイミング仕様は、[タイミング特性](#)のセクションに記載されています。

AD3552RのSPIプロトコルは柔軟であるため、多様なデジタル・ホストのニーズを満たすよう設定できます。複数のレジスタからのデータが1つのSPIフレームでアクセスでき、効率的なデバイス設定が可能です。アクセス・モードの詳細は、[単一命令モード](#)のセクションおよび[ストリーミング・モード](#)のセクションで説明しています。

命令フェーズ

各SPIフレームは命令フェーズで始まります。命令フェーズは、SPIトランザクションを開始する $\overline{CS}$ の立下がりエッジの直後に始まります。

命令フェーズは、読出し／書き込みビット ($R/\overline{W}$) とそれに続くレジスタ・アドレス・ワードで構成されています。 $R/\overline{W}$ をローにセットすると書き込み命令が始まり、 $R/\overline{W}$ をハイにセットすると読出し命令が始まります。レジスタ・アドレス・ワードはアクセス先のレジスタのアドレスを指定します。レジスタ・アドレスのデフォルトのワード長は7ビット (7ビット・アドレス指定) です。必要に応じ、[INTERFACE_CONFIG_B](#)レジスタの

[SHORT_INSTRUCTION](#)ビットを0に設定することで、15ビット・アドレス指定にすることができます。単一命令モードを使用する場合、1つのSPIフレームの各レジスタ読出しトランザクションまたは書き込みトランザクションが命令フェーズで始まります。ストリーミング・モードを使用する場合は、一連の連続レジスタにアクセスするのに必要なのは、SPIフレームごとに1つの命令フェーズのみです。これらのモードの選択方法と使用方法については、[単一命令モード](#)のセクションおよび[ストリーミング・モード](#)のセクションを参照してください。

データ・フェーズ

図70および図71に示すように、データ・フェーズは命令フェーズの直後に置かれます。データ・フェーズには、選択したレジスタおよびアクセス・モードに応じて、1個のマルチバイト・レジスタ用、1個のマルチバイト・レジスタ用、複数のレジスタ用のデータが含まれます。[単一命令モード](#)のセクション、[ストリーミング・モード](#)のセクション、[アドレス方向](#)のセクションに、これらのモードがデータ・フェーズの読出しデータおよび書き込みデータにどう影響するかを説明しています。

書き込み動作では、アドレス指定されたレジスタの内容は、そのレジスタが1バイト、2バイト、3バイトのいずれであっても、レジスタ・データの最終ビットをシフト・インするSCLKエッジの直後に更新されます。[マルチバイト・レジスタ](#)のセクションで説明するように、マルチバイト・レジスタへ部分的に書き込みを行うことはできません。

読出し動作の場合は、アドレス指定されたレジスタの内容は、データ・フェーズの最初のSCLKエッジでシフト・アウトを開始します。

確実に更新が行われるよう、データはAD3552Rの設定レジスタにフル・バイトで書き込む必要があります。SPI書き込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、[INTERFACE_STATUS_A](#)レジスタの[CLOCK_COUNTING_ERROR](#)

ビットがセットされます。

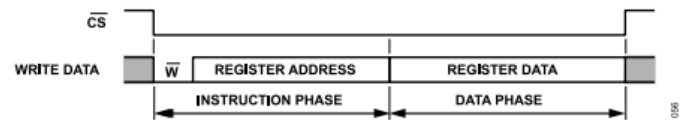


図 70. 基本的なSPI書き込みフレーム

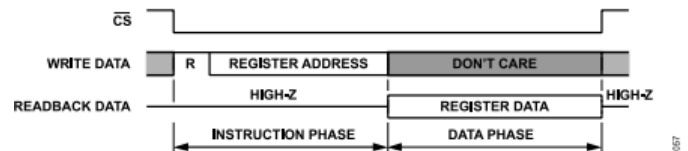


図 71. 基本的なSPI読出しフレーム

マルチバイト・レジスタ

AD3552Rの一部のレジスタは、隣接するアドレスに格納された2バイトまたは3バイトのデータで構成されています。これをマルチバイト・レジスタと呼びます。マルチバイト・レジスタのデータが2バイトの場合は末尾に16Bというサフィックスが、3バイトの場合は末尾に24Bというサフィックスが付きます。

AD3552Rのマルチバイト・レジスタに書き込みを行う場合、すべてのバイトを1回のSPIトランザクションで転送する必要があります。そのため、[INTERFACE_CONFIG_C](#)レジスタの

[STRICT_REGISTER_ACCESS](#)ビットは読出し専用で、1にセットされます。マルチバイト・レジスタへのSPI書き込みトランザクションをバイトごとに行おうとした場合、レジスタの内容は更新されず、[INTERFACE_STATUS_A](#)レジスタの

[PARTIAL_REGISTER_ACCESS](#)ビットがセットされます。

AD3552Rのマルチバイト・レジスタへの書き込みトランザクションが有効になるのは、レジスタ・データの最終ビットをシフト・インする、データ・フェーズの24個目または16個目のSCLKエッジの後です。

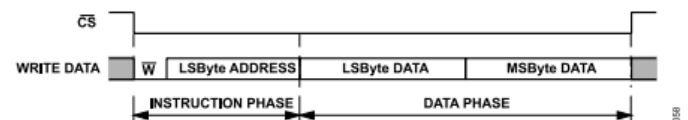


図 72. 昇順アドレス指定でのマルチバイト・レジスタへの書き込み

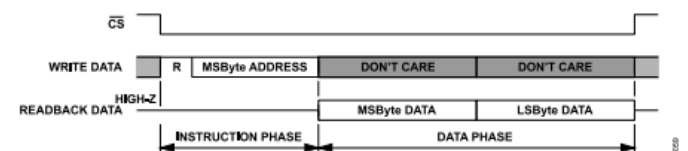


図 73. 降順アドレス指定でのマルチバイト・レジスタの読出し

マルチバイト・レジスタのアドレスは、常に[INTERFACE_CONFIG_A](#)レジスタの[ADDR_DIRECTION](#)ビットに依存します（詳細については[アドレス方向](#)のセクションを参照）。降順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであることが必要で、後続のバイトは次の下位アドレスのデータに対応します。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであり、後続のバイトは次の上位アドレスのデータに対応したものである必要があります。

動作原理

マルチバイト・レジスタは1回のSPIトランザクションで読み出すことができる他、バイトごとに個別にアドレス指定することも可能です。マルチバイト・レジスタへのSPI読出しトランザクションをバイトごとに行おうとした場合、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSビットがセットされます。例えば、VENDOR_IDレジスタは2バイト長で、その最下位バイトのアドレスは0x0C、最上位バイトのアドレスは0x0Dです。マルチバイト・レジスタ（2バイト）への書込み／読出しトランザクションを図72（昇順アドレス指定）と図73（降順アドレス指定）に示します。降順（自動デクリメント）あるいは昇順（自動インクリメント）のアドレス指定の選択については、[アドレス方向](#)のセクションを参照してください。

アドレス方向

アドレス方向オプションを使用すると、1つのデータ・フェーズで複数バイトのデータを転送する場合に、レジスタ・アドレスを自動的にインクリメント（アドレスが増加）するかデクリメント（アドレスが減少）するかを設定できます（例えば、[図72](#)および[図73](#)に示すように、マルチバイト・レジスタにアクセスする場合や、[図75](#)に示すようにストリーミング・モードで複数のレジスタにアクセスする場合）。

アドレス方向は、INTERFACE_CONFIG_AレジスタのADDR_DIRECTIONビットで選択できます。ADDR_DIRECTIONビットを0に設定すると、バイトにアクセスするごとにアドレスがデクリメントします。ADDR_DIRECTIONを1に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトをシフト・インします。

アドレス0x29以降のマルチバイト・レジスタは、降順モードでのみアクセスできます。

単一命令モード

INTERFACE_CONFIG_BレジスタのSINGLE_INSTRUCTIONビットが1に設定されている場合、ストリーミング・モードが無効化され、単一命令モードが有効になります。単一命令モードでは、データ・フェーズには単一レジスタのデータのみが含まれ、 $\overline{CS}$ がローのままであっても、各データ・フェーズの後には新しい命令フェーズが続く必要があります。単一命令モードでは、デジタル・ホストは1つのSPIフレーム内の隣接しないアドレスのレジスタに対して素早い読書きを行えます。これに対し、ストリーミング・モードでは、新たな命令フェーズを開始するために $\overline{CS}$ パルスをハイにすることなく隣接レジスタに対する読出しまたは書込みを行うことができます。

[図74](#)に、次のレジスタ・アクセスを行う単一命令モードのSPIトランザクション例を示します。

- ▶ 出力レンジを設定する。
- ▶ 出力段をイネーブルする。
- ▶ CHIP_TYPEレジスタを読み出す。

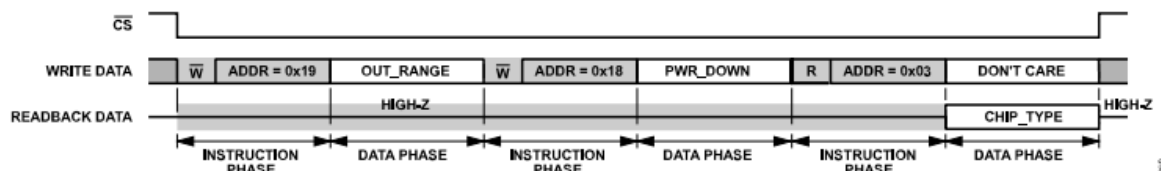


図 74. 単一命令モードによる降順アドレス指定でのレジスタ・アクセス

動作原理

ストリーミング・モード

INTERFACE_CONFIG_BレジスタのSINGLE_INSTRUCTIONビットが0に設定されている場合、単一命令モードが無効化され、ストリーミング・モードが有効になります。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに1つの命令フェーズとデータ・フェーズでアクセスできるため、メモリの隣接領域に効率的にアクセスできます（例えば、デバイスの初期設定時）。AD3552Rは、デフォルトでストリーミング・モードに設定されています。

ストリーミング・モードの場合、各SPIフレームは1つの命令フェーズで構成され、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。開始レジスタのアドレスは命令フェーズにおいてデジタル・ホストが指定し、データの各バイトへのアクセスが行われた後、このアドレスは、自動的にインクリメントまたはデクリメント（アドレス方向の設定による）します。そのため、データ・フェーズは複数バイト長となることがあり、読出しまたは書き込みデータの連続するバイトはそれぞれ、次の上位アドレス（昇順アドレス方向の場合）または下位アドレス（降順アドレス方向の場合）に対応します。

昇順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタに対する書き込みまたは読出しを行う場合、命令フェーズでレジスタの最下位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最下位バイトからデータ転送が行われます。

降順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタに対する書き込みまたは読出しを行う場合は、命令フェーズでレジスタの最上位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最上位バイトから転送が行われます。

図75に、降順アドレスのストリーミング・モードを使用し、AD3552Rのアドレス0x16で始まるいくつかのレジスタに書き込みを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって、連続するアドレスに転送されるデータ・バイトの数が決まります。 $\overline{CS}$ は書き込みトランザクションの最後でハイ・レベルになります（図75において、書き込みトランザクションはアドレス0x02の後に終了します）。

図76に、降順アドレスのストリーミング・モードを使用し、AD3552Rのアドレス0x16で始まるいくつかのレジスタから読出しを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって、連続するアドレスに転送されるデータ・バイトの数が決まります。 $\overline{CS}$ は読出しトランザクションの最後でハイ・レベルになります（図76において、読出しトランザクションはアドレス0x02の後に終了します）。

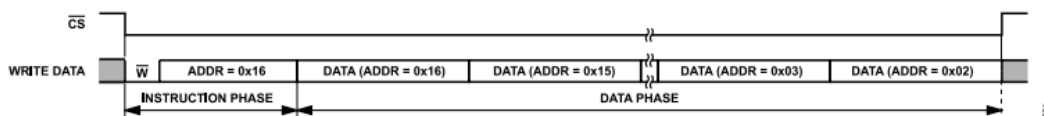


図 75. ストリーミング・モードによる降順アドレスでのレジスタ書き込み

STREAM_MODEレジスタを用いることで、連続するレジスタの範囲を指定してデータ・フェーズでループ・スルーを行うことができます。ループにより、デジタル・ホストは一連のレジスタ（例えば、アドレス0x29～アドレス0x2CのCHx_DAC_16Bレジスタ）との間で可能な限り効率的に読出しまたは書き込みを繰り返すことができます。アドレス0x29以降のレジスタ・アドレスにアクセスする場合、アドレス方向は必ず降順に設定する必要があります。

STREAM_MODEを0に設定すると、ループは無効化され、次の状態になります。

- ▶ アドレス方向が降順に設定されている場合、アドレスは0x00に達するまで減少します。その後のバイト・アクセスでは、アドレスはアドレス指定可能な空間の最上位（アドレス0x4B）に設定されます。なお、レジスタ・アドレスに応じてSPIモードのアクセスの観点で制限が適用される場合があります。
- ▶ アドレス方向が昇順に設定されている場合、アドレスはアドレス指定可能な空間の最上位（アドレス0x4B）に達するまで増加します。その後のバイト・アクセスでは、アドレスは0x00にリセットされます。なお、レジスタ・アドレスに応じてSPIモードのアクセスの観点で制限が適用される場合があります。0x29より大きなマルチバイト・レジスタは、昇順モードでは更新されません。

STREAM_MODEが0以外の値に設定されている場合、ループが有効化され、その値は、アドレス・フェーズで指定された値にアドレスがループ・バックする前にデータ・フェーズでアクセスされるバイト数に対応します。例を図77に示します。ここでは、CH0_DAC_16Bレジスタがループ機能を用いて2度アクセスされています。

STREAM_MODEレジスタの値は、表12に示すように、TRANSFER_REGISTERのSTREAM_LENGTH_KEEP_VALUEビットの値に応じて、トランザクションの終了時（ $\overline{CS}$ がハイに戻った時）に保持するか0にリセットするかを選択できます。この機能によって、同じトランザクション内で同じ範囲のレジスタに連続的に書き込みを行うことができます。これは、波形再生の際に便利です。

表 12. ストリーム・モードの自動リセット

STREAM_LENGTH_KEEP_VALUE	STREAM_MODE Register
0	Autoreset
1	Keeps previous value

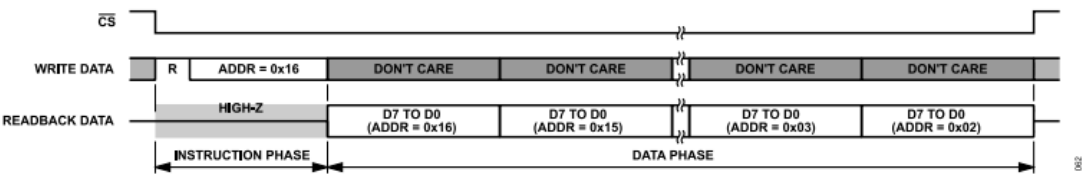


図 76. ストリーミング・モードによる降順アドレス指定でのレジスタ読出し

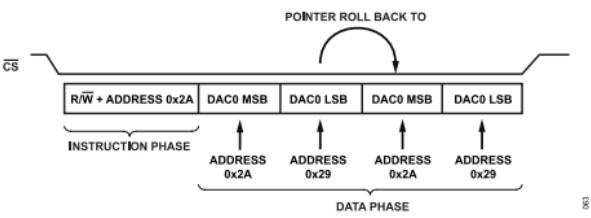


図 77. 降順アドレス指定でSTREAM_MODE = 2とした場合のループの有効化

動作原理

CRCエラー検出

AD3552RにはCRCオプションがあるため、デジタル・ホスト（マスタ）とAD3552R（スレーブ）の間のSPIトランザクションでエラー検出が可能です。

CRCエラー検出を用いることで、SPIのマスタとスレーブは、ビット転送エラーを高い信頼度で検出できます。CRCアルゴリズムでは、シード値と多項式除算を使用してCRCコードを生成します。マスタとスレーブの双方で個別にCRCコードを計算しそれを比較することで、転送されたデータの有効性を判定します。

AD3552Rは次の多項式からなるCRC-8の手法を用います。

$$x^8 + x^2 + x + 1 \tag{2}$$

CRCエラー検出をイネーブルするには、INTERFACE_CONFIG_CレジスタのCRC_ENビットとCRC_EN_Bビットを用います。CRC_ENの値が更新されるのは、同じレジスタ書き込み命令でCRC_EN_BがCRC_ENの反転値に設定されている場合のみです。そのため、CRCをイネーブルするには、CRC_ENを0b01に設定すると共に、同じ書き込みトランザクションでCRC_EN_Bを0b10に設定する必要があります。

CRCをディスエーブルするには、CRC_ENABLEを0b00に設定すると共に、同じ書き込みトランザクションでCRC_ENABLE_Bを0b11に設定します。2つの別々のフィールドに反転した値を書き込むことで、CRCが誤ってイネーブルされる可能性を低減できます。CSはイネーブルまたはディスエーブルの書き込み後にハイ・レベルにする必要があります。CRCをイネーブルした後のトランザクションには、書き込み動作か読出し動作かを問わず、既にCRCバイトが含まれていなくてはなりません。CRCをディスエーブルするレジスタ書き込みトランザクションでは、末尾にCRCコードが含まれたままである必要がありますが、CRCをディスエーブルした後のトランザクションにはCRCバイトが含まれている必要はありません。

図78と図79に、シングルSPIモード（標準モード）での書き込みトランザクションまたは読出しトランザクションの最後にCRCコードが付加されている状態を示します。レジスタ書き込みの場合、デジタル・ホストは、シード、アドレス、データに対し式2で表され

る計算を実行して、CRCを生成する必要があります。AD3552Rは同じ計算を行い、ホストと同時にCRCコードをSDOにシフト・アウトします。両方のCRCコードが一致すればトランザクションにはエラーがないことになります。レジスタ読出しの場合、ホストはシード、アドレス、ゼロ・パディングについてCRCを計算し、また、AD3552Rはシード、アドレス、読出しデータについてCRCを計算します。その後、両方のノードで同時にCRCコードをシフト・アウトし、両サイドでこれをチェックします。

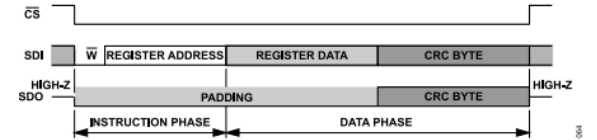


図 78. CRC付きの基本的なSPI書き込みフレーム

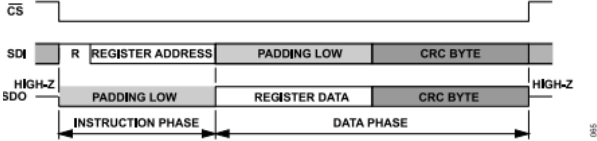


図 79. CRC付きの基本的なSPI読出しフレーム

CRCエラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRCコードはレジスタ・データの全バイトの後ろに配置されます。

CRCエラー検出がイネーブルされている場合、AD3552Rは、レジスタ・データの最後で有効なCRCコードを受け取るまで、レジスタ書き込みトランザクションに応答してレジスタ内容を更新することはありません。CRCコードが無効であったり、デジタル・ホストがCRCコードを送信できなかった場合、AD3552Rはそのレジスタの内容を更新せず、INTERFACE_STATUS_AレジスタのINVALID_OR_NO_CRCフラグをセットします。INVALID_OR_NO_CRCフラグはこのビットに1が書き込まれるとクリアされます。また、ビットをクリアする書き込みを有効にするためには正しいCRCが必要です。

CRCコードの計算で使用するシード値と計算方法を、単一命令モードおよびストリーミング・モードの両方について、表13に示します。

表 13. CRCのシード値とCRC計算の範囲

SPI Transaction Type	Pin	Single Instruction Mode	Streaming Mode, First Data Phase	Streaming Mode, Subsequent Data Phases
Read	SDI	0xA5, instruction phase, padding	0xA5, instruction phase, padding	No CRC sent
	SDO	0xA5, instruction phase, read data	0xA5, instruction phase, read data	Least significant byte of address, read data
Write	SDI	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data
	SDO	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data

動作原理

単一命令モードを使用する場合、SPIフレーム内のどのCRCコードもシード値として0xA5を用い、アドレス0x00で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPIフレームの最初のCRCコードもシード値として0xA5を用いますが、同じフレーム内の後続のCRCコードの計算には、SPIトランザクションでアクセスするレジスタ・アドレスの最下位バイトをシード値として用います。

シングルSPI（標準）モードでCRCをイネーブルするには、AD3552Rが計算したCRCをSDOピンでシフト・アウトすることが必要となるため、トランザクションは、読出し動作の制限（DDR

がディスエーブル）を守ることが必要です。同期デュアルSPIモードではCRCは使用できません。

図80および図81に示すように、デュアルSPIモードとクワッドSPIモードでは、CRCはバイト・レジスタ・トランザクションまたはマルチバイト・レジスタ・トランザクションの最後に付加されますが、CRCを生成するのは、コントローラ（書込み）またはAD3552R（読出し）のみです。

CRCエラー検出がイネーブルされている場合、アドレス指定されたレジスタの範囲に未使用または予備のレジスタがあると、ループを含めストリーミング・モードを使用することはできません。

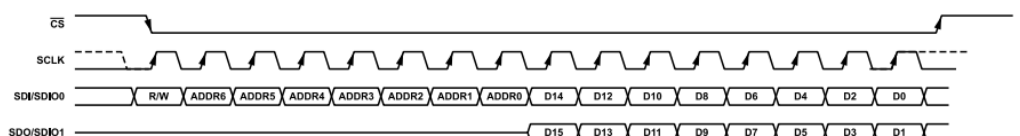


図 80. CRC付きのデュアルSPIトランザクション

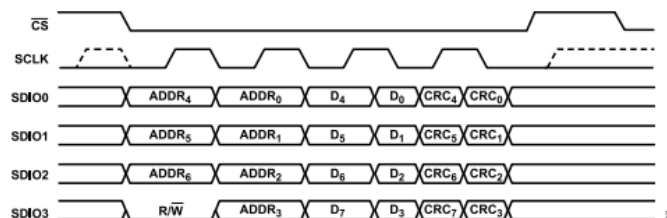


図 81. CRC付きのクワッドSPIトランザクション

動作原理

シリアル・インターフェース

AD3552Rには、いくつかのSPIモードに対応した汎用性のあるシリアル・インターフェースが備わっています。QSPIピンがローに接続されている場合、インターフェースは、デフォルトでシングルSPI（標準SPI）モードに設定されていますが、設定レジスタを使用することでデュアルSPIモードまたは同期デュアルSPIモードに切り替えることができます。QSPI_ピンがハイにプルアップされると、インターフェースはクワッドSPIモードに設定されます。DDRはどのモードでもイネーブルでき、データ・フェーズの転送速度を複製できます。

クロック極性（CPOL）は1または0にできますが、クロック位相（CPHA）は必ず0でなくてはなりません。これらの組み合わせはSPIモード0およびモード3に対応し、これらのモードはSPIインターフェースがシングル・データ・レート（SDR）モードの場合に適用できます。

シングルSPI（標準）モード

シングルSPI（標準）モードでは、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは一方方向性です。図82に示すように、SDI信号はマスタからスレーブにデータを転送するための入力として機能し、SDO信号はスレーブからマスタにデータを転送するための出力として機能します。シングルSPI（標準）モードはSPIモード0およびモード3に対応する他、同期シリアル・ポート（SPORT™）など、完全同期型のインターフェースにも対応します。図2に、代表的な書込みシーケンスのタイミング図を示します。標準SPIモードの詳細については、AN-1248アプリケーション・ノート、SPIインターフェースを参照してください。

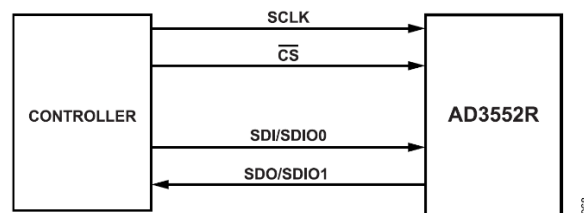


図 82. シングルSPI（標準SPI）接続

デュアルSPIモード

図83に示すように、デュアルSPIモードでは、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が決まります。命令フェーズ時には、データ・ラインは常に入力として設定されます。図84に示すように、デュアルSPIモードでは、連続するビットが2つのグループにシリアルライズされます。

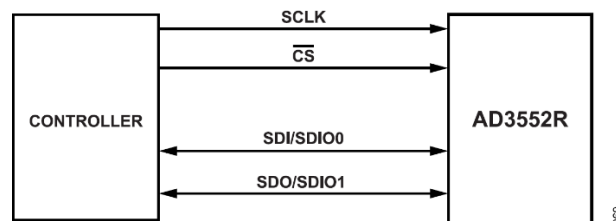


図 83. デュアルSPI接続

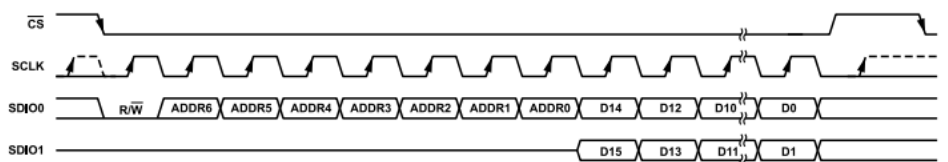


図 84. デュアルSPIモード

動作原理

同期デュアルSPIモード

図83に示すように、同期デュアルSPIモードではデュアルSPIモードと同様に、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が決まります。命令フェーズ時には、データ・ラインは常に入力として設定されます。デュアルSPIモードと異なり、同期デュアルSPIモードでは、図85に示すように、各々のSDIOラインが1つのDACのデータをシリアルライズします。

このモードでは、SDIO0ラインに転送されたデータは、命令フェーズでアドレス指定されたレジスタにロードされます。一方、SDIO1ラインに転送されたデータは、命令フェーズで3バイトずつインクリメントされるアドレスのレジスタ（高精度モード時）ま

たは2バイトずつインクリメントされるアドレスのレジスタ（高速モード時）にロードされます。

同期デュアルSPIモードを使用できるのは、CHx_DAC_16Bレジスタ、CHx_DAC_24Bレジスタ、CHx_INPUT_16Bレジスタ、CHx_INPUT_24Bレジスタに書き込みを行うときだけです。セカンダリ領域の他のレジスタに書き込みを行うには、標準SPIモードを使用する必要があります。

この転送モードは、コントローラが2つのエンティティで構成されていて、それぞれが1つのビット・ストリームで1つのDACをアドレス指定する場合や、CPUが2ビットのグループにデータをシリアルライズできない場合に有用です。また、このモードでは、LDAC信号を使用しないときにタイム・スキューなしに両方のチャンネルを同時に更新することができます。

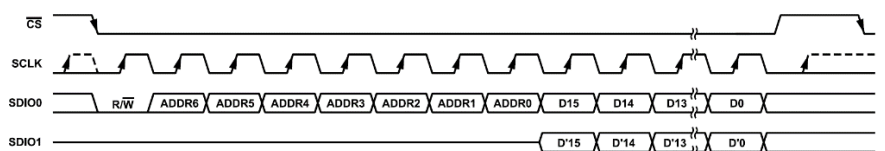


図 85. 同期デュアルSPIモード

動作原理

クワッドSPIモード

図86に示すように、クワッドSPIモードでは、SDI/SDIO0、SDO/SDIO1、SDIO2、SDIO3の各データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が決まります。命令フェーズ時には、データ・ラインは常に入力として設定されます。図87に示すように、クワッドSPIモードでは、連続するビットが4つのグループにシリアルライズされます。

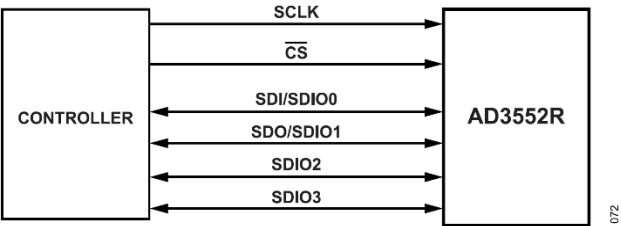


図 86. クワッドSPI接続

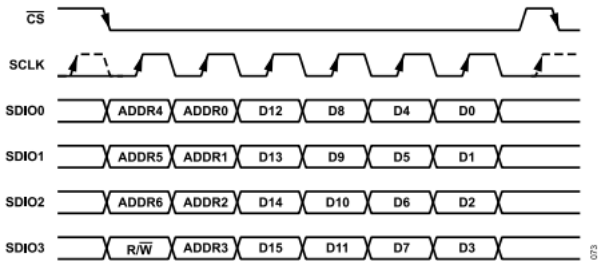


図 87. クワッドSPIモード

表 14. SPIモードの組み合わせ

SPI Mode	MULTI_IO_MODE	DUAL_SPI_SYNCHRONOUS_EN	SPI_CONFIG_DDR
Single SPI SDR	00	0	0
Single SPI DDR	00	0	1
Dual SPI SDR	01	0	0
Dual SPI DDR	01	0	1
Synchronous Dual SPI SDR	01	1	0
Synchronous Dual SPI DDR	01	1	1
Quad SPI SDR ¹	Not applicable	0	0
Quad SPI DDR ¹	Not applicable	0	1

1 QSPIピンによってのみ有効化されます。

ダブル・データ・レート（DDR）

どのSPIモードを使用するかに関わらず、INTERFACE_CONFIG_DレジスタのSPI_CONFIG_DDRビットをセットすることでDDRを有効化できます。これにより、図88に示すように、データ・フェーズ時に両方のクロック・エッジでデータをサンプリングできます。このモードを有効化した後は、すべてのデータをDDRで書き込む必要があります。

DDRを使用できるのは、書き込み動作時のデータ・フェーズのみです。読出し動作では、SPI_CONFIG_DDRビットは無視され、図2、図6、図10に示すように、データはシングル・データ・レートでAD3552Rからコントローラに転送されます。

SPIモードまたはSPI_CONFIG_DDRビットを変更した後は、CSをハイ・レベルにし、新たなアクセス・サイクルを適切なモードで開始する必要があります。

有効なSPIモードのすべての組み合わせを表14に示します。

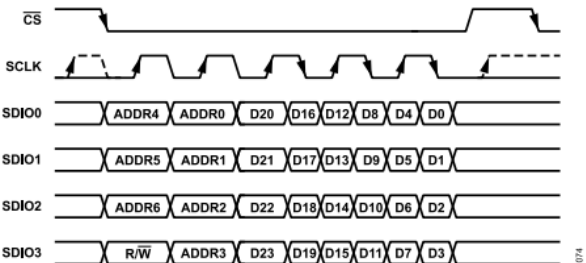


図 88. 24ビット・レジスタでのクワッドSPIモードのDDR

動作原理

レジスタ・マップへのSPIアクセス・モード

レジスタ・マップは、プライマリとセカンダリの2つの領域に分かれています。

インターフェース設定、DAC設定、エラー・フラグに関するレジスタはアドレス0x00～アドレス0x1Eのプライマリ領域に含まれます。QSPIピンがローの場合、この領域には、

TRANSFER_REGISTERのMULTI_IO_MODEの値や、DDRの使用の有無に関わらず、標準SPIモードでのみアクセスできます。

DACの出力値に影響するレジスタは、アドレス0x28～アドレス0x4Bのセカンダリ領域に含まれます。この領域には、DDRの使用の有無に関わらず、いずれのSPIモードでもアクセスできます。

QSPIピンがハイの場合、インターフェースは、プライマリまたはセカンダリ領域のレジスタへのすべての通信に対し、フル・クワッドSPIモードに設定されます。

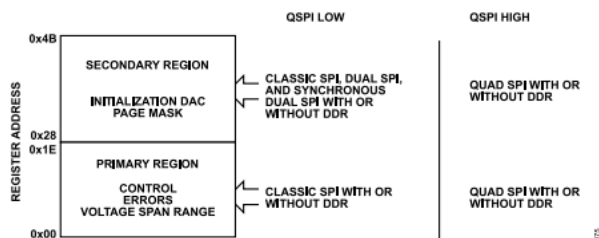


図 89. レジスタへのアクセス・モード

SDIOの駆動強度

SDIO3、SDIO2、SDIO/SDIO1、SDI/SDIO0の各ピンにあるSDIOラインの駆動強度は、INTERFACE_CONFIG_DレジスタのSDIO_DRIVE_STRENGTHビットを設定することで4つのレベルに設定できます。

図90に示すように、駆動強度値が大きいくほど信号のスルー・レートは高くなります。ただし、スルー・レートが高くなると、ピーク電流が大きくなり、システムのデジタル・ノイズが増加します。デフォルト値はミディアム・ローの強度です。

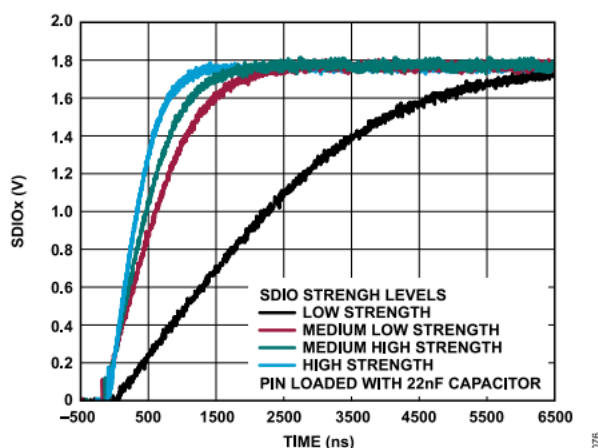


図 90. 駆動強度オプション

DACの更新モード

DAC出力の更新には、同期／非同期、同時／個別のいくつかの方法があります。

同期更新は、DAC出力の変化がLDACなどの外部信号によってトリガされる場合に行われます。これは多くのデバイスで一般的なものとなっています。この場合、コントローラは、入力レジスタの値を読み込み、その値はその後LDAC信号の立下がりエッジでDACレジスタに転送され、全V_{OUTX}信号の同時更新が行われます。

同期更新が1つのDACでのみ必要な場合は、HW_LDAC_16Bレジスタ（高速モード時）またはHW_LDAC_24Bレジスタ（高精度モード時）のHW_LDAC_MASK_CHxビットを用いて、LDAC信号をマスクできます。

レジスタ・セットの操作に追従してDAC出力が変化すると、非同期更新が行われます。この場合、この変化は最後のレジスタ・ビットをシフト・インするSCLKエッジに連動します。表15に示すいくつかの組み合わせに従って、1つのDACの更新または両方のDACの同時更新が可能です。

ページ・マスク・レジスタを使用することで、CH_SELECT_16BレジスタまたはCH_SELECT_24BレジスタのSEL_CHxビットの値に応じて、同じデータを1つのチャンネルまたは両方のチャンネルに転送することができます。DAC_PAGEレジスタに書き込みを行うとデータはCHx_DACレジスタに転送され、INPUT_PAGEレジスタに書き込みを行うとデータはCHx_INPUTレジスタに転送されます。レジスタ間のデータの流れを図91にまとめます。

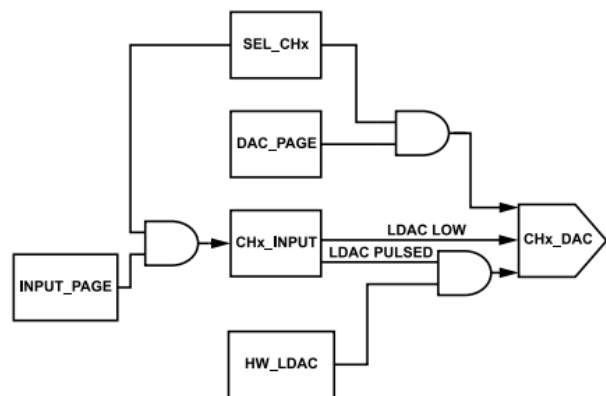


図 91. レジスタ間のDACデータの流れ

動作原理

表 15. DACの更新モード

SPI Mode	Register Written	LDAC Pin	Synchronous	Simultaneous	Notes
Quad, Dual and Single SPI	CHx_INPUT	Falling edge	Yes	Yes	No LDAC mask applied
Quad, Dual and Single SPI	CHx_INPUT	Falling edge	Yes	No	LDAC mask applied, HW_LDAC register
Quad, Dual and Single SPI	CHx_INPUT	High	No	Yes	Write to SW_LDAC triggers the update
Quad, Dual and Single SPI	CHx_INPUT	Low	No	No	Output updates automatically
Quad, Dual and Single SPI	CHx_DAC	Not applicable	No	No	Output updates immediately
Quad, Dual and Single SPI	DAC_PAGE	Not applicable	No	Yes	Same data written to the DAC registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register
Quad, Dual and Single SPI	INPUT_PAGE	Not applicable	No	No	Same data written to input registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register
Synchronous SPI	CHx_INPUT	Falling edge	Yes	Yes	No LDAC mask applied
Synchronous SPI	CHx_INPUT	Falling edge	Yes	No	LDAC mask applied, HW_LDAC register
Synchronous SPI	CHx_INPUT	Low	No	Yes	No LDAC mask applied
Synchronous SPI	CHx_DAC	Not applicable	No	Yes	Output updates immediately

パワーダウン

チャンネルを使用していない場合は、AD3552Rの2つのDACコアをそれぞれディスエーブルして消費電力を抑えることができます。制御は、POWERDOWN_CONFIGレジスタのCHx_DAC_POWERDOWNビットで行います。DACコアはリセット後にパワーダウンされ、最初の更新時にアクティブになります。

リセット

AD3552Rには、3種類のデバイス・リセット方法があります。ソフトウェア・リセットのセクションで説明する相違点を除き、この3つの方法はどれも同じリセット手順を内部でトリガします。

パワーオン・リセット

デバイスには、AV_{DD}およびDV_{DD}をモニタするパワーオン・リセット（POR）回路が内蔵されています。AV_{DD}が4V未満になるかDV_{DD}が1.3V未満になると必ず、内部リセット・パルスが生成されます。この回路により、パワーアップ時または一時的な電源電圧低下が発生した後にチップが正しく初期化されます。

リセット・ピン

RESETピンをロー・レベルにすると、チップはデフォルトのモードに設定され、全レジスタの値がクリアされます。また、I_{OUTX}出力およびV_{CMX}出力が0Vに設定され、SPIラインは高インピーダンスに維持されます。RESETラインを解放する（ハイに戻す）と、デバイスは、初期化手順の実行を開始しますが、これには最大100ms（t₁₈の時間）を要する可能性があります。リセット後、DACコアはパワーダウン・モードになり、I_{OUTX}出力およびV_{CMX}出力は0Vのままとなります。

リセット時、外付けトランスインピーダンス・アンプはパワーアップされたままであるため、電源シーケンスによってはV_{OUT}信号にある程度のグリッチが生じる可能性があります。

ソフトウェア・リセット

INTERFACE_CONFIG_AレジスタのSW_RESET_MSBビットとSW_RESET_LSBビットをセットすると、デバイスをSPIインターフェースからリセットできます。ソフトウェア・リセットとRESETピンを使用したハードウェア・リセットの大きな違いは、ソフトウェア・リセットではINTERFACE_CONFIG_Aレジスタが影響を受けない点です。リセット動作が完了すると、SW_RESET_MSBビットとSW_RESET_LSBビットはクリアされます。

エラー検出

AD3552Rは、アナログ領域とデジタル領域のどちらにおいても、異常な状態を検知できます。これらのエラーは、INTERFACE_STATUS_AレジスタとERR_STATUSレジスタで報告されます。ERR_ALARM_MASKレジスタに割り当てられたエラーとそれに対応するソースのリストを表16に示します。表16に示されているエラーはALERTピンをアサートできますが、ERR_ALARM_MASKレジスタでマスクされていない場合に限り、ALERTピンはリセット後や初期化異常の場合にもアサートされます。

INTERFACE_STATUS_AレジスタおよびERR_STATUSレジスタのエラー・ビットは、スティッキー・ビットで、1を書き込んでクリアされるまでその値を保持します。つまり、エラー・ビットをクリアするには、その特定のビットの場所に1を書き込みます。

動作原理

表 16. アラーム・マスク・レジスタと対応エラー・ソース

Bit Number	Alarm Mask Register Bit Name	Error Source Register Name	Error Source Bit Name
6	REF_RANGE_ALARM_MASK	ERR_STATUS	REF_RANGE_ERR_STATUS
5	CLOCK_COUNT_ALARM_MASK	INTERFACE_STATUS_A	CLOCK_COUNTING_ERROR
4	MEM_CRC_ALARM_MASK	ERR_STATUS	MEM_CRC_ERR_STATUS
3	SPI_CRC_ERR_ALARM_MASK	INTERFACE_STATUS_A	INVALID_OR_NO_CRC
2	WRITE_TO_READ_ONLY_ALARM_MASK	INTERFACE_STATUS_A	WRITE_TO_READ_ONLY_REGISTER
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK	INTERFACE_STATUS_A	PARTIAL_REGISTER_ACCESS
0	REGISTER_ADDRESS_INVALID_ALARM_MASK	INTERFACE_STATUS_A	REGISTER_ADDRESS_INVALID

ERR_STATUSレジスタ

V_{REF}検出

リファレンス電圧が1V未満に低下した状態が5msを超えて続くと、ERR_STATUSレジスタのREF_RANGE_ERR_STATUSビットがセットされます。リファレンス電圧源が内部で生成されたものであろうと、V_{REF}ピンを介して外部から供給されたものであろうと、エラーは検出されます。この機能は、内部リファレンスを他のデバイスと共有している場合に、外部リファレンス電圧での割込みや過負荷状態をV_{REF}ピンで検出するのに便利です。

SPIモード・エラー

SPIモード・エラーは、ストリーミング時、同期デュアルSPIモードまたはデュアルSPIモードに設定されたSPIインターフェースのセカンダリ領域とプライマリ領域の境界をアドレス・ポインタが越えるときに生じます。この領域にアクセスできるのはクワッドSPIモードまたは標準SPIモード時のみであるためです。ERR_STATUSレジスタのDUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUSビットがセットされます。

レジスタのCRC

AD3552Rには、レジスタ・マップおよび読み出し専用メモリ（ROM）用に内部CRC機能が備わっています。このCRCは、4.1μsごとに実行され、レジスタ・マップのプライマリ領域のみが対象となります。セカンダリ領域には連続的な書き込みが見込まれるためです。このCRCは、INTERFACE_CONFIG_DレジスタのMEM_CRC_ENビットをクリアすることでディスエーブルできます。CRCエラーが検出されると、ERR_STATUSレジスタのMEM_CRC_ERR_STATUSビットがセットされます。このエラーが発生した場合は、デバイスをリセットすることを推奨します。

リセット・ステータス

ERR_STATUSレジスタのRESET_STATUSビットは、AD3552Rが内部（PORまたはSWリセット）あるいは外部（RESETピン経由）からリセットされたことを示します。RESET_STATUSビットは、PORが正常に終了するとセットされます。これは、電源電圧の一時的な低下などの予期しないリセット状態を検出し、補正アクションを取るのに便利です。

RESET_STATUSビットによってALERTピンがアサートされますが、これはマスクできません。そのため、ALERT信号を介して新しいイベントを検出できるよう、リセット後またはパワーアップ後にクリアする必要があります。

INTERFACE_STATUS_Aレジスタ

デバイス・ビジー

INTERFACE_STATUS_AレジスタのINTERFACE_NOT_READYビットはエラー・ビットではなく、ステータス・ビットです。このビットは、デバイスがコントローラからのデータを受け取れる状態にあることを知るためにポーリングされます。

SPIクロック・カウンタ

CLOCK_COUNTING_ERRビットで報告されるエラーは、SCLKサイクルの数がSPIモード（クワッド、デュアル、またはシングル）およびDDRモードを考慮した8の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。

CLOCK_COUNTING_ERRビットはERR_STATUSレジスタでセットされます。

有効な組み合わせを表17に示します。

表 17. 1バイトの転送に必要なクロック・サイクル数

SPI Mode	DDR	Clock Cycles for 1 Byte
Single SPI	No	8
Single SPI	Yes	4
Dual SPI	No	4
Dual SPI	Yes	2
Quad SPI	No	2
Quad SPI	Yes	1

SPIのCRC

CRCがイネーブルされており、SPIトランザクションのCRCバイトがないか計算値と一致しない場合、INTERFACE_STATUS_AレジスタのINVALID_OR_NO_CRCビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。なお、CRCがイネーブルされているので、続行するにはこのSPIトランザクションに有効なCRCコードがある必要があります。

読み出し専用レジスタへの書き込み

ホストが読み出し専用レジスタに書き込みを行おうとした場合、INTERFACE_STATUS_AレジスタのWRITE_TO_READ_ONLY_REGISTERビット・フィールドがアサートされます。このエラーをクリアするには、WRITE_TO_READ_ONLY_REGISTERビットに1を書き込みます。

動作原理

レジスタに対する部分的アクセス

マルチバイト・レジスタが部分的に読出しまたは書き込みアクセスを受けた場合、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSビットがセットされます。これは、マルチバイト・レジスタの全バイトへのアクセスが完了しないうちにトランザクションが終了したことを示すものです。このエラーをクリアするには、PARTIAL_REGISTER_ACCESSビットに1を書き込みます。

無効アクセス

無効なレジスタ・アドレスにホストがアクセスしようとした場合、INTERFACE_STATUS_AレジスタのREGISTER_ADDRESS_INVALIDビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。

ALERTピン

表16に示したエラーのいずれかが検出され、ERR_ALARM_MASKレジスタにある対応ビットが0に設定されると、ALERTピンがアサートされます。このピンをCPUの割込みラインとして用いると、エラー状態が生じた場合にアクションを取ることができます。

更に、ERR_STATUSレジスタのRESET_STATUSビットがアサートされた場合も、ALERTピンがアサートされます。この状態はマスクできません。そのため、ALERTピンを使用するには、初期化後にRESET_STATUSビットをクリアする必要があります。すべてのエラー・ソースをクリアした後もこのピンがアサートされたままの場合は、デバイスの初期化時にエラーが発生したことを意味し、電源のオンオフを何度か繰り返す必要があります。

ALERTピンには、内部または外部プルアップ抵抗が必要です。チップには、INTERFACE_CONFIG_DレジスタのALERT_ENABLE_PULLUPビットをセットしてイネーブルできる、2.5kΩのプルアップ抵抗が内蔵されています。

すべてのエラーが対応レジスタでクリアされると、ALERTピンがデアサートされます。

デバイスID

AD3552Rは、デバイス関連の情報を提供するレジスタを多数備えています。以下のレジスタを使用すると、正しいチップ・タイプおよびバージョンが組み込まれていることを確認できます。

- ▶ CHIP_TYPE
- ▶ PRODUCT_ID_L
- ▶ PRODUCT_ID_H
- ▶ CHIP_GRADE
- ▶ SPI_REVISION
- ▶ VENDOR_L
- ▶ VENDOR_H

インターフェース・アクセス・モードのまとめ

モードの数や、特定のレジスタまたはメモリ領域の制限の数が多い場合、特にQSPIを用いていない場合は、適切なSPIモードを見つけることが困難な場合もあります。CPUへのドライバ実装を容易なものにできるよう、図92に決定木を示します。図92は、QSPIピンがローの場合に、インターフェースやアクセスするレジスタの設定に応じてドライバがどのような処理を行うべきかを示しています。QSPIがハイの場合の決定木は、図93に示すようにはるかに簡単なものになります。

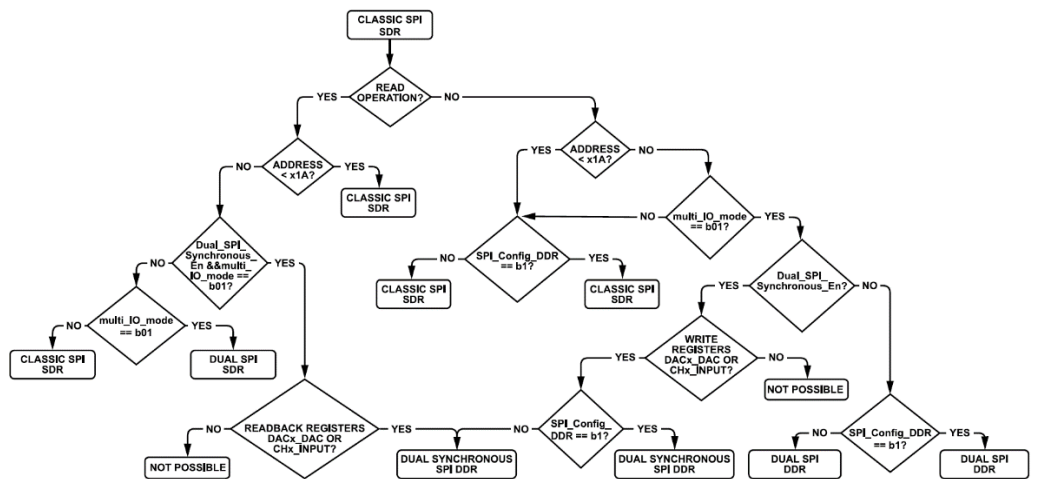


図 92. QSPIピンがローの場合のレジスタへのアクセス・モード

動作原理

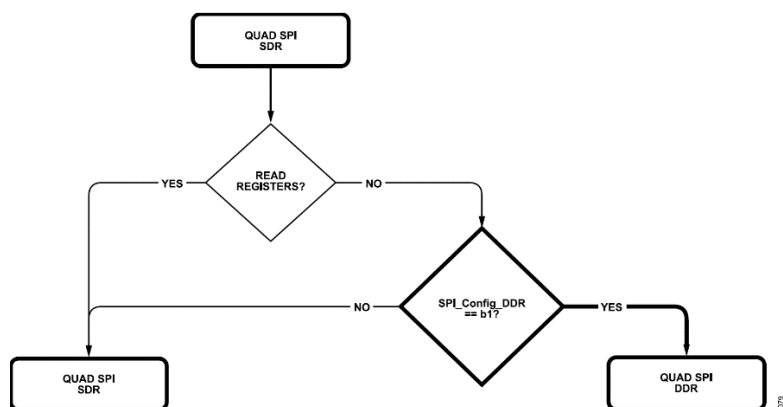


図 93. QSPIピンがハイの場合のレジスタへのアクセス・モード

レジスタ

レジスタの一覧

レジスタ・リスト

表 18. レジスタの一覧

Address	Name	Description	Reset	Access
0x00	INTERFACE_CONFIG_A	Interface Configuration A Register.	0x10	R/W
0x01	INTERFACE_CONFIG_B	Interface Configuration B Register.	0x08	R/W
0x02	DEVICE_CONFIG	Device Configuration Register.	0x00	R
0x03	CHIP_TYPE	Chip Type Register.	0x04	R
0x04	PRODUCT_ID_L	Product ID Low Register.	0x08	R
0x05	PRODUCT_ID_H	Product ID High Register.	0x40	R
0x06	CHIP_GRADE	Chip Grade Register.	0x05	R
0x0A	SCRATCH_PAD	Scratch Pad Register.	0x00	R/W
0x0B	SPI_REVISION	SPI Revision Register.	0x83	R
0x0C	VENDOR_L	Vendor ID Low Register.	0x56	R
0x0D	VENDOR_H	Vendor ID High Register.	0x04	R
0x0E	STREAM_MODE	Stream Mode Register.	0x00	R/W
0x0F	TRANSFER_REGISTER	Transfer Configuration Register.	0x00	R/W
0x10	INTERFACE_CONFIG_C	Interface Configuration C Register.	0x23	R/W
0x11	INTERFACE_STATUS_A	Interface Status A Register.	0x00	R/W
0x14	INTERFACE_CONFIG_D	Interface Configuration D Register.	0x04	R/W
0x15	REFERENCE_CONFIG	Reference Configuration Register.	0x00	R/W
0x16	ERR_ALARM_MASK	Error Alarm Mask Register.	0x00	R/W
0x17	ERR_STATUS	Error Status Register.	0x01	R/W
0x18	POWERDOWN_CONFIG	Power-Down Configuration Register.	0x00	R/W
0x19	CH0_CH1_OUTPUT_RANGE	Output Range Register.	0x00	R/W
0x1B	CH0_OFFSET	Channel 0 Offset Register.	0x00	R/W
0x1C	CH0_GAIN	Channel 0 Gain Register.	0x00	R/W
0x1D	CH1_OFFSET	Channel 1 Offset Register.	0x00	R/W
0x1E	CH1_GAIN	Channel 1 Gain Register.	0x00	R/W
0x28	HW_LDAC_16B	Hardware LDAC Mask Register, Fast Mode.	0x00	R/W
0x29	CH0_DAC_16B	DAC Register for Channel 0, Fast Mode.	0x0000	R/W
0x2B	CH1_DAC_16B	DAC Register for Channel 1, Fast Mode.	0x0000	R/W
0x2D	DAC_PAGE_16B	DAC Page Register, Fast Mode.	0x0000	R/W
0x2F	CH_SELECT_16B	Channel Select for Page Registers, Fast Mode.	0x00	R/W
0x30	INPUT_PAGE_16B	Input Page Register, Fast Mode.	0x0000	R/W
0x32	SW_LDAC_16B	Software LDAC Register, Fast Mode.	0x00	W
0x33	CH0_INPUT_16B	Input Register for Channel 0, Fast Mode.	0x0000	R/W
0x35	CH1_INPUT_16B	Input Register for Channel 1, Fast Mode.	0x0000	R/W
0x37	HW_LDAC_24B	Hardware LDAC Mask Register, Precision Mode.	0x00	R/W
0x38	CH0_DAC_24B	DAC Register for Channel 0, Precision Mode.	0x000000	R/W
0x3B	CH1_DAC_24B	DAC Register for Channel 1, Precision Mode.	0x000000	R/W
0x3E	DAC_PAGE_24B	DAC Page Register, Precision Mode.	0x000000	R/W
0x41	CH_SELECT_24B	Channel Select for Page Registers, Precision Mode.	0x00	R/W
0x42	INPUT_PAGE_24B	Input Page Register, Precision Mode.	0x000000	R/W
0x45	SW_LDAC_24B	Software LDAC Register, Precision Mode.	0x00	W
0x46	CH0_INPUT_24B	Input Register for Channel 0, Precision Mode.	0x000000	R/W
0x49	CH1_INPUT_24B	Input Register for Channel 1, Precision Mode.	0x000000	R/W

レジスタ

詳細なレジスタ・マップ

表 19. 詳細なレジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET_MSB	RESERVED	ADDR_DIRECTION	SDO_ACTIVE	RESERVED		SW_RESET_LSB		0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INSTRUCTION	RESERVED			SHORT_INSTRUCTION	RESERVED			0x08	R/W	
0x02	DEVICE_CONFIG	[7:0]	DEVICE_STATUS_3	DEVICE_STATUS_2	DEVICE_STATUS_1	DEVICE_STATUS_0	CUSTOM_MODES		OPERATING_MODES		0x00	R	
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS				0x04	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]								0x08	R	
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]								0x40	R	
0x06	CHIP_GRADE	[7:0]	DEVICE_GRADE				DEVICE_REVISION				0x05	R	
0x0A	SCRATCH_PAD	[7:0]	VALUE								0x00	R/W	
0x0B	SPI_REVISION	[7:0]	VERSION								0x83	R	
0x0C	VENDOR_L	[7:0]	VID[7:0]								0x56	R	
0x0D	VENDOR_H	[7:0]	VID[15:8]								0x04	R	
0x0E	STREAM_MODE	[7:0]	LENGTH								0x00	R/W	
0x0F	TRANSFER_REGISTER	[7:0]	MULTI_IO_MODE		RESERVED			STREAM_LENGTH_KEEP_VALUE	RESERVED		0x00	R/W	
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	RESERVED			CRC_ENABLE_B		0x23	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	INTERFACE_NOT_READY	RESERVED	CLOCK_COUNTING_ERROR	RESERVED	INVALID_OR_NO_CRC	WRITE_TO_READ_ONLY_REGISTER	PARTIAL_REGISTER_ACCESS	REGISTER_ADDRESS_INVALID	0x00	R/W	
0x14	INTERFACE_CONFIG_D	[7:0]	RESERVED	ALERT_ENABLE_PULLUP	RESERVED	MEM_CRC_EN	SDIO_DRIVE_STRENGTH		DUAL_SPI_SYNCHRONOUS_EN	SPI_CONFIG_DDR	0x04	R/W	
0x15	REFERENCE_CONFIG	[7:0]	RESERVED	IDUMP_FASTMODE	RESERVED				REFERENCE_VOLTAGE_SEL		0x00	R/W	
0x16	ERR_ALARM_MASK	[7:0]	RESERVED	REF_RANGE_ALARM_MASK	CLOCK_COUNT_ERR_ALARM_MASK	MEM_CRC_ERR_ALARM_MASK	SPI_CRC_ERR_ALARM_MASK	WRITE_TO_READ_ONLY_ALARM_MASK	PARTIAL_REGISTER_ACCESS_ALARM_MASK	REGISTER_ADDRESS_INVALID_ALARM_MASK	0x00	R/W	
0x17	ERR_STATUS	[7:0]	RESERVED	REF_RANGE_ERR_STATUS	DUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUS	MEM_CRC_ERR_STATUS	RESERVED			RESET_STATUS	0x01	R/W	
0x18	POWERDOWN_CONFIG	[7:0]	RESERVED		CH1_DAC_POWERDOWN	CH0_DAC_POWERDOWN	RESERVED					0x00	R/W
0x19	CH0_CH1_OUTPUT_RANGE	[7:0]	CH1_OUTPUT_RANGE_SEL				CH0_OUTPUT_RANGE_SEL				0x00	R/W	
0x1B	CH0_OFFSET	[7:0]	CH0_OFFSET								0x00	R/W	
0x1C	CH0_GAIN	[7:0]	CH0_RANGE_OVERRIDE	CH0_GAIN_SCALING_N		CH0_GAIN_SCALING_P		CH0_OFFSET_POLARITY	RESERVED	CH0_OFFSET[8]	0x00	R/W	

レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x1D	CH1_OFFSET	[7:0]	CH1_OFFSET								0x00	R/W
0x1E	CH1_GAIN	[7:0]	CH1_RANGE_OVERRIDE	CH1_GAIN_SCALING_N		CH1_GAIN_SCALING_P	CH1_OFFSET_POLARITY	RESERVED		CH1_OFFSET[8]	0x00	R/W
0x28	HW_LDAC_16B	[7:0]	RESERVED						HW_LDAC_MASK_CH1	HW_LDAC_MASK_CH0	0x00	R/W
0x2A	CH0_DAC_16B	[15:8]	DAC_DATA0[15:8]								0x00	R/W
0x29		[7:0]	DAC_DATA0[7:0]								0x00	
0x2C	CH1_DAC_16B	[15:8]	DAC_DATA1[15:8]								0x00	R/W
0x2B		[7:0]	DAC_DATA1[7:0]								0x00	
0x2E	DAC_PAGE_16B	[15:8]	DAC_PAGE[15:8]								0x00	R/W
0x2D		[7:0]	DAC_PAGE[7:0]								0x00	
0x2F	CH_SELECT_16B	[7:0]	RESERVED						SEL_CH1	SEL_CH0	0x00	R/W
0x31	INPUT_PAGE_16B	[15:8]	INPUT_PAGE[15:8]								0x00	R/W
0x30		[7:0]	INPUT_PAGE[7:0]								0x00	
0x32	SW_LDAC_16B	[7:0]	RESERVED						SW_LDAC_CH1	SW_LDAC_CH0	0x00	W
0x34	CH0_INPUT_16B	[15:8]	INPUT_DATA0[15:8]								0x00	R/W
0x33		[7:0]	INPUT_DATA0[7:0]								0x00	
0x36	CH1_INPUT_16B	[15:8]	INPUT_DATA1[15:8]								0x00	R/W
0x35		[7:0]	INPUT_DATA1[7:0]								0x00	
0x37	HW_LDAC_24B	[7:0]	RESERVED						HW_LDAC_MASK_CH1	HW_LDAC_MASK_CH0	0x00	R/W
0x3A	CH0_DAC_24B	[23:16]	DAC_DATA0[15:8]								0x00	R/W
0x39		[15:8]	DAC_DATA0[7:0]								0x00	
0x38		[7:0]	RESERVED								0x00	
0x3D	CH1_DAC_24B	[23:16]	DAC_DATA1[15:8]								0x00	R/W
0x3C		[15:8]	DAC_DATA1[7:0]								0x00	
0x3B		[7:0]	RESERVED								0x00	
0x40	DAC_PAGE_24B	[23:16]	DAC_PAGE[15:8]								0x00	R/W
0x3F		[15:8]	DAC_PAGE[7:0]								0x00	
0x3E		[7:0]	RESERVED								0x00	
0x41	CH_SELECT_24B	[7:0]	RESERVED						SEL_CH1	SEL_CH0	0x00	R/W
0x44	INPUT_PAGE_24B	[23:16]	INPUT_PAGE[15:8]								0x00	R/W
0x43		[15:8]	INPUT_PAGE[7:0]								0x00	
0x42		[7:0]	RESERVED								0x00	
0x45	SW_LDAC_24B	[7:0]	RESERVED						SW_LDAC_CH1	SW_LDAC_CH0	0x00	W
0x48	CH0_INPUT_24B	[23:16]	INPUT_DATA0[15:8]								0x00	R/W
0x47		[15:8]	INPUT_DATA0[7:0]								0x00	
0x46		[7:0]	RESERVED								0x00	
0x4B	CH1_INPUT_24B	[23:16]	INPUT_DATA1[15:8]								0x00	R/W
0x4A		[15:8]	INPUT_DATA1[7:0]								0x00	
0x49		[7:0]	RESERVED								0x00	

レジスタ

インターフェース・レジスタの詳細

インターフェース設定Aレジスタ

アドレス：0x00、リセット：0x10、レジスタ名：INTERFACE_CONFIG_A

インターフェースの設定値。

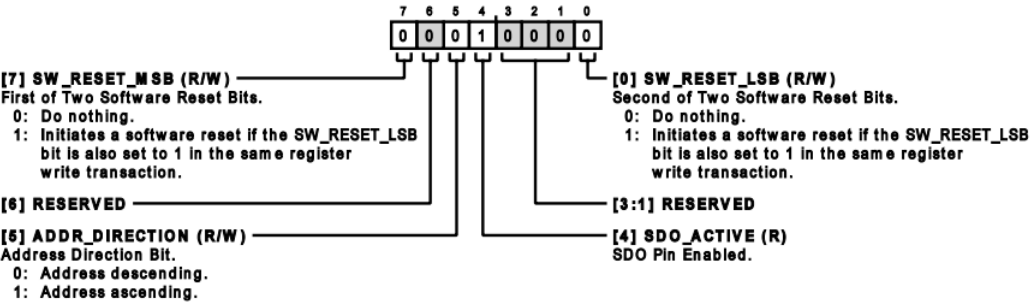


表 20. INTERFACE_CONFIG_Aのビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SW_RESET_MSB	0 1	2個のソフトウェア・リセット・ビットの1個目。1回のSPI書き込みで両方のソフトウェア・リセット・ビット（SW_RESET_MSBとSW_RESET_LSB）をセットすると、ソフトウェア・デバイス・リセットが実行され、（INTERFACE_CONFIG_Aレジスタを除く）すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 何もありません。 同じレジスタ書き込みトランザクションでSW_RESET_LSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W
6	RESERVED		予備。	0x0	R
5	ADDR_DIRECTION	0 1	アドレス方向ビット。1つのデータ・フェーズの複数バイトのデータに対してレジスタ読出しおよび書き込みを行う場合にシーケンシャルなアドレス指定動作を決定します。 降順アドレス指定。ストリーミング時またはマルチバイト・レジスタのアドレス指定時、アクセスするアドレスはデータ・バイトごとに1ずつ自動的にデクリメントします。 昇順アドレス指定。ストリーミング時またはマルチバイト・レジスタのアドレス指定時、アクセスするアドレスはデータ・バイトごとに1ずつ自動的にインクリメントします。	0x0	R/W
4	SDO_ACTIVE		SDOピンがイネーブルされています。	0x1	R
[3:1]	RESERVED		予備。	0x0	R
0	SW_RESET_LSB	0 1	2個のソフトウェア・リセット・ビットの2個目。1回のSPI書き込みで両方のソフトウェア・リセット・ビット（SW_RESET_MSBとSW_RESET_LSB）をセットすると、ソフトウェア・デバイス・リセットが実行され、（INTERFACE_CONFIG_Aレジスタを除く）すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 何もありません。 同じレジスタ書き込みトランザクションでSW_RESET_MSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W

レジスタ

インターフェース設定Bレジスタ

アドレス：0x01、リセット：0x08、レジスタ名：INTERFACE_CONFIG_B

追加のインターフェース設定値。

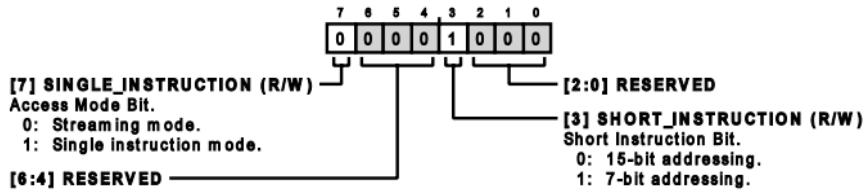


表 21. INTERFACE_CONFIG_Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	SINGLE_INSTRUCTION	0 1	アクセス・モード・ビット。ストリーミング・モードまたは単一命令モードを選択します。 ストリーミング・モード。連続したデータ・バイトが受信されている時に、INTERFACE_CONFIG_AレジスタのADDR_DIRECTIONビットの設定とSTREAM_MODEレジスタのLENGTHビットの設定に従ってアドレスがインクリメント/デクリメントします。 単一命令モード。	0x0	R/W
[6:4]	RESERVED		予備。	0x0	R
3	SHORT_INSTRUCTION	0 1	短命令ビット。命令フェーズのアドレスの長さを7ビットまたは15ビットに設定します。 15ビットのアドレス指定 7ビットのアドレス指定	0x1	R/W
[2:0]	RESERVED		予備。	0x0	R

デバイス設定レジスタ

アドレス：0x02、リセット：0x00、レジスタ名：DEVICE_CONFIG

このレジスタは、標準化されたレジスタ・マップとの互換性を目的としたもので、デバイスには影響しません。

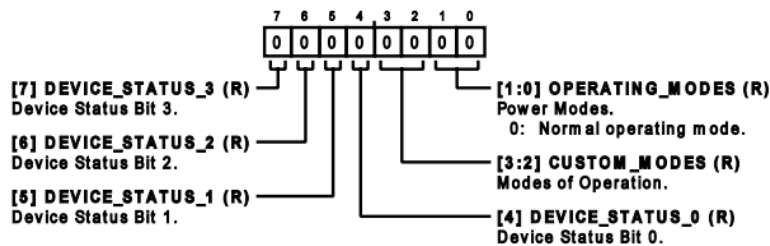


表 22. DEVICE_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	DEVICE_STATUS_3		デバイス・ステータス・ビット3。	0x0	R
6	DEVICE_STATUS_2		デバイス・ステータス・ビット2。	0x0	R
5	DEVICE_STATUS_1		デバイス・ステータス・ビット1。	0x0	R
4	DEVICE_STATUS_0		デバイス・ステータス・ビット0。	0x0	R
[3:2]	CUSTOM_MODES		動作モード。	0x0	R
[1:0]	OPERATING_MODES	0	電力モード。 通常動作モード。	0x0	R

レジスタ

チップ・タイプ・レジスタ

アドレス：0x03、リセット：0x04、レジスタ名：CHIP_TYPE

チップ・タイプ・レジスタには、AD3552Rを含む高精度DACファミリの識別子が格納されています。このレジスタは、AD3552Rを一意に識別する製品IDと共に使用する必要があります。

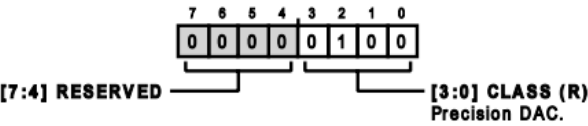


表 23. CHIP_TYPEのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R
[3:0]	CLASS		高精度DAC。	0x4	R

製品IDロー・レジスタ

アドレス：0x04、リセット：0x08、レジスタ名：PRODUCT_ID_L

製品IDの下位バイト。

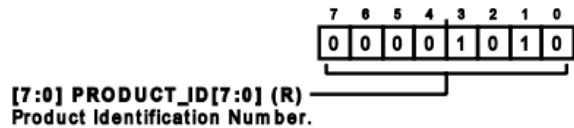


表 24. PRODUCT_ID_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	PRODUCT_ID[7:0]		製品識別番号。	0x8	R

製品IDハイ・レジスタ

アドレス：0x05、リセット：0x40、レジスタ名：PRODUCT_ID_H

製品IDの上位バイト。

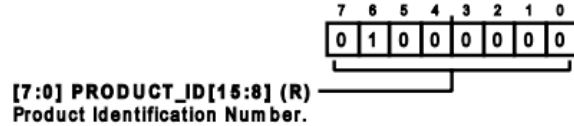


表 25. PRODUCT_ID_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	PRODUCT_ID[15:8]		製品識別番号。	0x40	R

レジスタ

チップ・グレード・レジスタ

アドレス：0x06、リセット：0x05、レジスタ名：CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。デバイスのリビジョンは半導体素子のバージョンを表し、デバイスのグレードは試験手順のバージョンを表すものです。

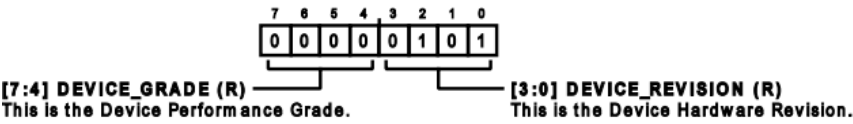


表 26. CHIP_GRADEのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:4]	DEVICE_GRADE		デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION		デバイスのハードウェア・リビジョンです。	0x5	R

スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

このレジスタは機能を目的としたものではありません。書き込み動作と読み出し動作を試験するためのものです。

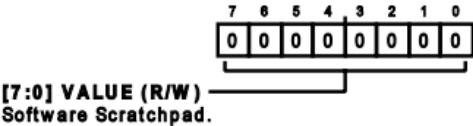


表 27. SCRATCH_PADのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	VALUE		ソフトウェア・スクラッチパッド。	0x0	R/W

SPIリビジョン・レジスタ

アドレス：0x0B、リセット：0x83、レジスタ名：SPI_REVISION

SPIインターフェースのリビジョンを示します。

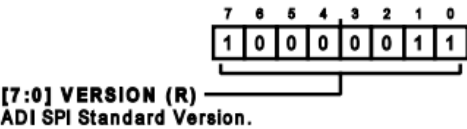


表 28. SPI_REVISIONのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	VERSION		アナログ・デバイセズのSPI規格のバージョン。	0x83	R

レジスタ

ベンダIDロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダIDの下位バイト。

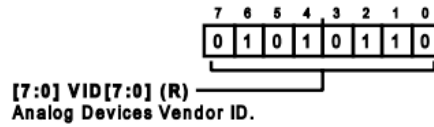


表 29. VENDOR_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	VID [7:0]		アナログ・デバイセズのベンダID。	0x56	R

ベンダIDハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダIDの上位バイト。

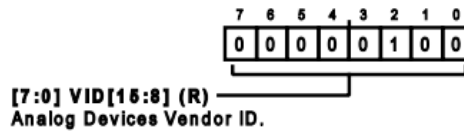


表 30. VENDOR_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	VID [15:8]		アナログ・デバイセズのベンダID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データのストリーミング時のループ長を定義します。

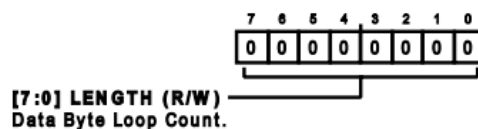


表 31. STREAM_MODEのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	LENGTH		データ・バイトのループ数。開始アドレスにループ・バックするまでのデータ・バイト数を指定します。ストリーミング・モードでのみ有効です。ゼロ以外の値によって、アドレスが開始アドレスにループ・バックするまでに読書きされるデータ・バイト数を設定します。この方法で最大255個のバイトを伝送できます。値を0x00にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

レジスタ

転送設定レジスタ

アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER_REGISTER

このレジスタを用いることで、データ転送に用いるSPIモードを設定でき、また、データのストリーミング時に同じレジスタ・セクションでのループをイネーブルできます。

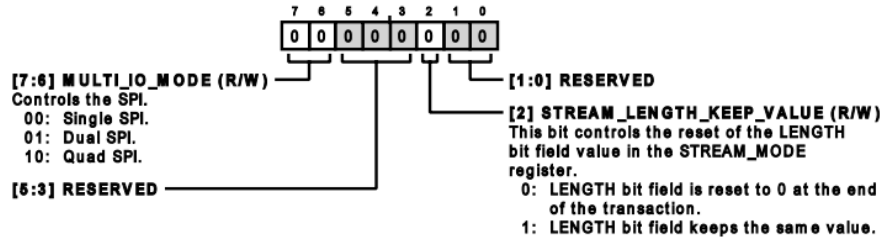


表 32. TRANSFER_REGISTERのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:6]	MULTI_IO_MODE	00 01 10	SPIを制御します。 シングルSPI。 デュアルSPI。 クワッドSPI。	0x0	R/W
[5:3]	RESERVED		予備。	0x0	R
2	STREAM_LENGTH_KEEP_VALUE	0 1	このビットはSTREAM_MODEレジスタのLENGTHビット・フィールドのリセットを制御します。 0 LENGTHビット・フィールドはトランザクションの最後で0にリセットされます。 1 LENGTHビット・フィールドは同じ値を維持します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

インターフェース設定Cレジスタ

アドレス：0x10、リセット：0x23、レジスタ名：INTERFACE_CONFIG_C

追加のインターフェース設定値。

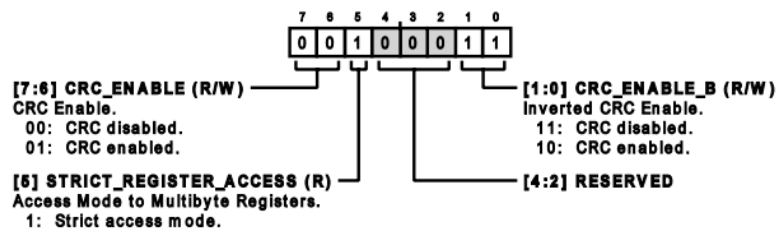


表 33. INTERFACE_CONFIG_Cのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:6]	CRC_ENABLE	00 01	CRCイネーブル。このフィールドに書き込むことで、インターフェースでのCRCエラー検出の使用をイネーブル/ディスエーブルできます（デバイスがレジスタ・モードの場合）。CRCのステータスを変更するには、同じSPI書き込みトランザクションで、CRC_ENABLE_BビットにもCRC_ENABLEビットの反転値を書き込む必要があります。 CRCをディスエーブル。 CRCをイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS		マルチバイト・レジスタへのアクセス・モード。このビットは読み出し専用です。マルチバイト・レジスタへのレジスタ書き込みトランザクションには、更新するレジスタの各バイトのデータが含まれている必要があります。マルチバイト・レジスタ全体（エンティティ）へのデータ書き込み失敗すると、レジスタの内容がメモリで更新されず、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSフラグがセットされます。	0x1	R

レジスタ

表 33. INTERFACE_CONFIG_Cのビットの説明（続き）

ビット	ビット名	設定値	説明	リセット	アクセス
		1	厳密なアクセス・モード。PARTIAL_REGISTER_ACCESSビットのフラグが立つの防ぐために、マルチバイト・レジスタでは全バイトを読み出す／書き込む必要があります。		
[4:2]	RESERVED		予備。	0x0	R
[1:0]	CRC_ENABLE_B		CRCイネーブルの反転値。このフィールドには、CRC_ENABLEフィールドの補数値を書き込む必要があります。	0x3	R/W
		11	CRCをディスエーブル。		
		10	CRCをイネーブル。		

インターフェース・ステータスAレジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE_STATUS_A

このレジスタは、SPI通信およびレジスタ・アドレス指定に関するいくつかのエラー状態をフラグで通知します。

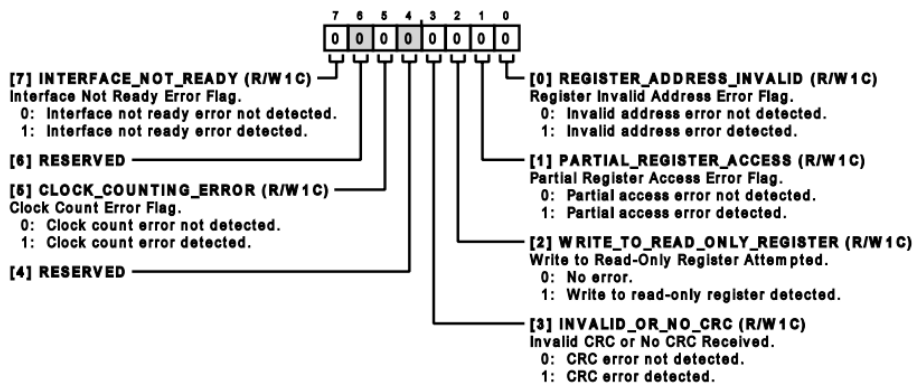


表 34. INTERFACE_STATUS_Aのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	INTERFACE_NOT_READY		インターフェース・ノット・レディ・エラー・フラグ。デジタル・ホスト（マスタ）から読出しましたまたは書き込みトランザクションがリクエストされた場合に、デバイスのインターフェースにトランザクションの準備ができていないことを示します。このフラグ・ビットは、パワーオン・リセット後デバイスがレディ状態になる前にSPIフレームが開始されるとセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによつてのみリセットできます）。	0x0	R/W1C
		0	インターフェース・ノット・レディ・エラーは未検出。		
		1	インターフェース・ノット・レディ・エラーを検出。		
6	RESERVED		予備。	0x0	R
5	CLOCK_COUNTING_ERROR		クロック・カウント・エラー・フラグ。SPI読出または書き込みトランザクションでシリアル・クロック・エッジの数が正しくなかったことが検出された（例えば、トランザクションがバイトの途中で終了した）ことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによつてのみリセットできます）。	0x0	R/W1C

レジスタ

表 34. INTERFACE_STATUS_Aのビットの説明（続き）

ビット	ビット名	設定値	説明	リセット	アクセス
		0	クロック・カウント・エラーは未検出。		
		1	クロック・カウント・エラーを検出。		
4	RESERVED		予備。	0x0	R
3	INVALID_OR_NO_CRC		CRCが無効なデータまたはCRCのないデータを受信。これは、マスタがCRCを送信できなかった場合、またはデバイスがCRCを計算してチェックしその値が正しくなかった場合にセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによってのみリセットできます）。	0x0	R/W1C
		0	CRCエラーは未検出。		
		1	CRCエラーを検出。		
2	WRITE_TO_READ_ONLY_REGISTER		読み出し専用レジスタへの書き込みを試行。このビットは、デジタル・ホストが読み出し専用フィールドだけで構成されているレジスタにSPI書き込みを行おうとすると、セットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによってのみリセットできます）。	0x0	R/W1C
		0	エラーなし。		
		1	読み出し専用レジスタへの書き込みを検出。		
1	PARTIAL_REGISTER_ACCESS		レジスタに対する部分的アクセス・エラー・フラグ。このビットは、マルチバイト・レジスタにアドレス指定されたトランザクションのデータ・バイト数が不十分である場合にアサートされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによってのみリセットできます）。	0x0	R/W1C
		0	部分的アクセス・エラーは未検出。		
		1	部分的アクセス・エラーを検出。		
0	REGISTER_ADDRESS_INVALID		レジスタ無効アドレス・エラー・フラグ。無効なレジスタ・アドレスに対してSPI読み出し／書き込みトランザクションが試行されたことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによってのみリセットできます）。	0x0	R/W1C
		0	無効アドレス・エラーは未検出。		
		1	無効アドレス・エラーを検出。		

インターフェース設定Dレジスタ

アドレス：0x14、リセット：0x04、レジスタ名：INTERFACE_CONFIG_D

このレジスタは、デジタル信号のSPI通信や電氣的パラメータに影響する各種設定ビットで構成されます。

レジスタ

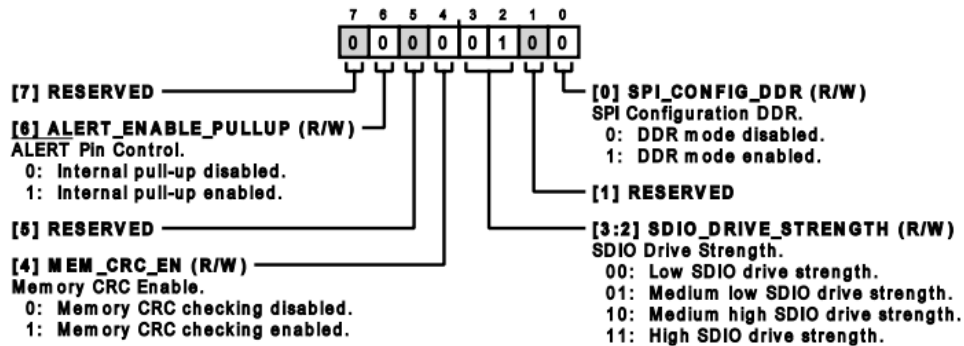


表 35. INTERFACE_CONFIG_Dのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
6	ALERT_ENABLE_PULLUP	0 1	ALERTピン制御。2.5kΩ内部プルアップ抵抗をイネーブルします。 内部プルアップをディスエーブル。外部プルアップが必要です。 内部プルアップをイネーブル。	0x0	R/W
5	RESERVED		予備。	0x0	R
4	MEM_CRC_EN	0 1	メモリのCRCをイネーブル。このビットは、プライマリ・レジスタ・セットとROMメモリの連続的なチェックを制御します。 メモリのCRCチェックをディスエーブル。 メモリのCRCチェックをイネーブル。	0x0	R/W
[3:2]	SDIO_DRIVE_STRENGTH	00 01 10 11	SDIOの駆動強度。これら2つのビットによりSDIOの駆動強度を上げることができます。 低SDIO駆動強度。 中低SDIO駆動強度。 中高SDIO駆動強度。 高SDIO駆動強度。	0x1	R/W
1	DUAL_SPI_SYNCHRONOUS_EN	0 1	デュアルSPI同期をイネーブル。このビットは、DACストリームごとに1つのSDIOラインを使用するデュアル同期データ転送を制御します。 デュアル同期モードをディスエーブル。 デュアル同期モードをイネーブル。	0x0	R/W
0	SPI_CONFIG_DDR	0 1	SPI設定DDR。このビットはデータ転送でのDDRの使用を制御します DDRモードを無効化。 DDRモードを有効化。	0x0	R/W

レジスタ

DACレジスタの詳細

リファレンス設定レジスタ

アドレス：0x15、リセット：0x00、レジスタ名：REFERENCE_CONFIG

このレジスタは、電圧リファレンスのソースと駆動を制御します。

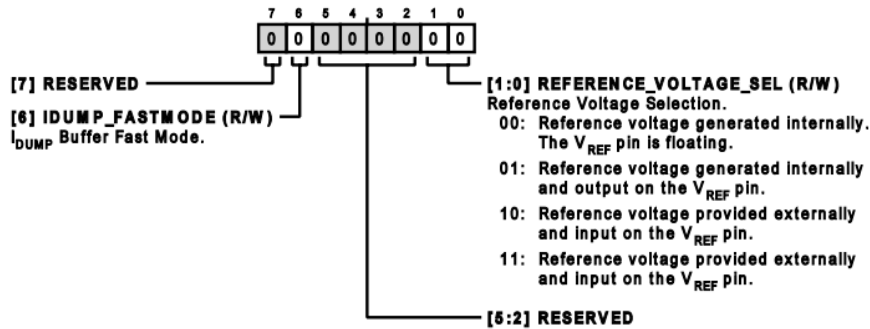


表 36. REFERENCE_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
6	IDUMP_FASTMODE		IDUMPバッファ高速モード。このビットをセットすると、アンプのIDUMPバッファのIDDを増加してゲイン帯域幅を広げることができます。	0x0	R/W
[5:2]	RESERVED		予備。	0x0	R
[1:0]	REFERENCE_VOLTAGE_SEL	00 01 10 11	リファレンス電圧の選択。これら2つのビットを使用して、リファレンス電圧回路の設定を選択します。 00 リファレンス電圧は内部生成。VREFピンはフローティング状態です。 01 リファレンス電圧は内部生成され、VREFピンで出力。 10 リファレンス電圧は外部から供給され、VREFピンに入力。 11 リファレンス電圧は外部から供給され、VREFピンに入力。	0x0	R/W

エラー・アラーム・マスク・レジスタ

アドレス：0x16、リセット：0x00、レジスタ名：ERR_ALARM_MASK

このレジスタは、ALERTピンのアサートの原因となるエラー条件を選択します。

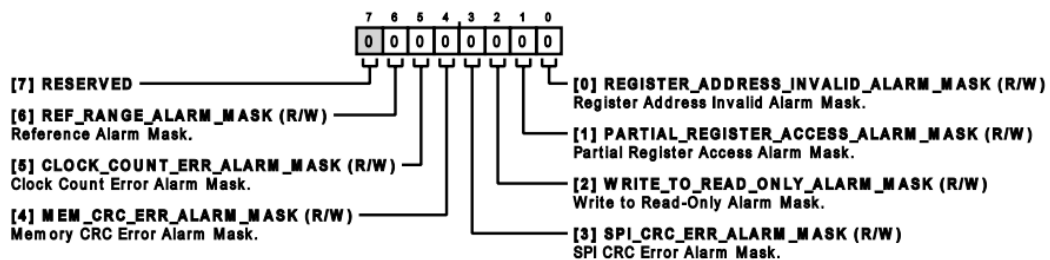


表 37. ERR_ALARM_MASKのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R

レジスタ

表 37. ERR_ALARM_MASKのビットの説明 (続き)

ビット	ビット名	設定値	説明	リセット	アクセス
6	REF_RANGE_ALARM_MASK		リファレンス・アラーム・マスク。このビットをセットすると、リファレンスが2V未満に低下したことによるアラームを無視できます。	0x0	R/W
5	CLOCK_COUNT_ERR_ALARM_MASK		クロック・カウント・エラー・アラーム・マスク。このビットをセットすると、ユーザ書き込み用のクロック周期数が不足していることによるアラームを無視できます。	0x0	R/W
4	MEM_CRC_ERR_ALARM_MASK		メモリCRCエラー・アラーム・マスク。このビットをセットすると、メモリCRCエラーによるアラームを無視できます。	0x0	R/W
3	SPI_CRC_ERR_ALARM_MASK		SPI CRCエラー・アラーム・マスク。このビットをセットすると、SPI CRCチェックによるアラームを無視できます。	0x0	R/W
2	WRITE_TO_READ_ONLY_ALARM_MASK		読み出し専用への書き込みアラームのマスク。このビットをセットすると、読み出し専用レジスタへのユーザ書き込みによるアラームを無視できます。	0x0	R/W
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK		レジスタに対する部分的アクセス・アラーム・マスク。このビットをセットすると、ユーザがレジスタへの書き込みを完了しなかったことによるアラームを無視できます。	0x0	R/W
0	REGISTER_ADDRESS_INVALID_ALARM_MASK		レジスタ・アドレス無効アラーム・マスク。このビットをセットすると、無効なレジスタ・アドレスへのユーザ書き込みによるアラームを無視できます。	0x0	R/W

エラー・ステータス・レジスタ

アドレス：0x17、リセット：0x01、レジスタ名：ERR_STATUS

このレジスタは、アナログ領域とデジタル領域のエラーの組合わせを示します。すべてのビットはスティッキーであり、1を書き込むことによってクリアできます。

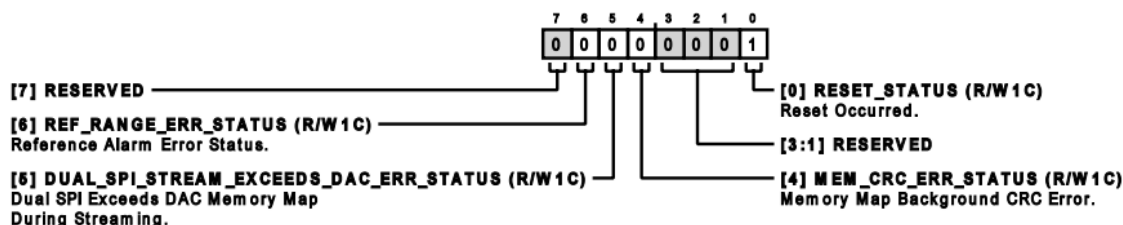


表 38. ERR_STATUSのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
6	REF_RANGE_ERR_STATUS		リファレンス・アラーム・エラー・ステータス。このビットは、リファレンスが2V未満に低下した場合にアラームを発します。	0x0	R/W1C
5	DUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUS		デュアルSPIがストリーミング時にDACメモリ・マップを超過。このビットは、デュアルSPIでストリーミング・アクセスがDACのメモリ・マップ範囲を超えた場合にアラームを発します。	0x0	R/W1C
4	MEM_CRC_ERR_STATUS		メモリ・マップのバックグラウンドCRCエラー。このビットは、バックグラウンドCRCがメモリ・マップでビットが破損していることを検出した場合にアラームを発します。	0x0	R/W1C

レジスタ

表 38. ERR_STATUSのビットの説明（続き）

ビット	ビット名	設定値	説明	リセット	アクセス
[3:1]	RESERVED		予備。	0x0	R
0	RESET_STATUS		リセット発生。このビットは、デバイスがリセット後の初期化を完了したばかりであることを示します。このビットは、ALERTピンをアサートし、マスク不可です。そのため、初期化後は直ちにクリアする必要があります。	0x1	R/W1C

パワーダウン設定レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：POWERDOWN_CONFIG

このレジスタは、DACチャンネル個々のパワーダウンを制御します。

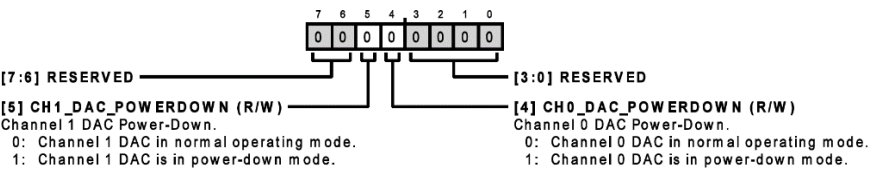


表 39. POWERDOWN_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	CH1_DAC_POWERDOWN	0 1	チャンネル1のDACのパワーダウン。 0 チャンネル1のDACは通常動作モード。 1 チャンネル1のDACはパワーダウン・モード。	0x0	R/W
4	CH0_DAC_POWERDOWN	0 1	チャンネル0のDACのパワーダウン。 0 チャンネル0のDACは通常動作モード。 1 チャンネル0のDACはパワーダウン・モード。	0x0	R/W
[3:0]	RESERVED		予備。	0x0	R

レジスタ

出力レンジ・レジスタ

アドレス：0x19、リセット：0x00、レジスタ名：CH0_CH1_OUTPUT_RANGE

このレジスタは、DACチャンネルの出力レンジを、表8に示す事前に定められたレンジの1つに設定します。目的とする結果を得るためには、このレジスタを設定する他に、対応するRFBx_yの抵抗を接続することもあります。

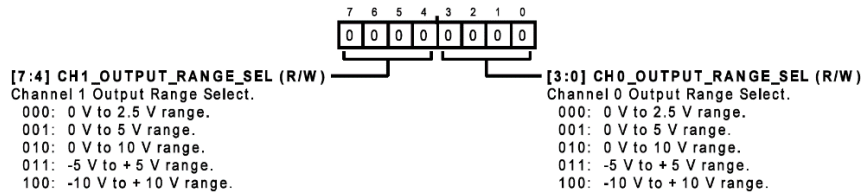


表 40. CH0_CH1_OUTPUT_RANGEのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:4]	CH1_OUTPUT_RANGE_SEL		チャンネル1の出力レンジの選択。必要な電圧出力レンジを選択できません。 000 0V～2.5Vのレンジ。RFB1_1の接続が必要です。 001 0V～5Vのレンジ。RFB1_1の接続が必要です。 010 0V～10Vのレンジ。RFB2_1の接続が必要です。 011 -5V～+5Vのレンジ。RFB2_1の接続が必要です。 100 -10V～+10Vのレンジ。RFB4_1の接続が必要です。	0x0	R
[3:0]	CH0_OUTPUT_RANGE_SEL		チャンネル0の出力レンジの選択。必要な電圧出力レンジを選択できません。 000 0V～2.5Vのレンジ。RFB1_0の接続が必要です。 001 0V～5Vのレンジ。RFB1_0の接続が必要です。 010 0V～10Vのレンジ。RFB2_0の接続が必要です。 011 -5V～+5Vのレンジ。RFB2_0の接続が必要です。 100 -10V～+10Vのレンジ。RFB4_0の接続が必要です。	0x0	R/W

チャンネル0オフセット・レジスタ

アドレス：0x1B、リセット：0x00、レジスタ名：CH0_OFFSET

このレジスタは、チャンネル0のDACのDCオフセットを設定します。この値を有効にするには、CH0_GAINレジスタのCH0_RANGE_OVERRIDEビットをセットする必要があります。

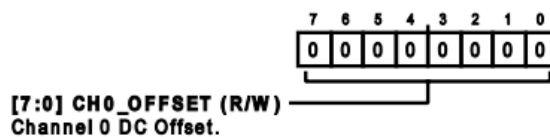


表 41. CH0_OFFSETのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	CH0_OFFSET		チャンネル0のDCオフセット。	0x0	R/W

レジスタ

チャンネル0ゲイン・レジスタ

アドレス：0x1C、リセット：0x00、レジスタ名：CH0_GAIN

このレジスタは、カスタム・スパン・モードの設定の有効化、PMOS DACおよびNMOS DACの電流源のスケーリングの設定、オフセット値の極性制御を行います。

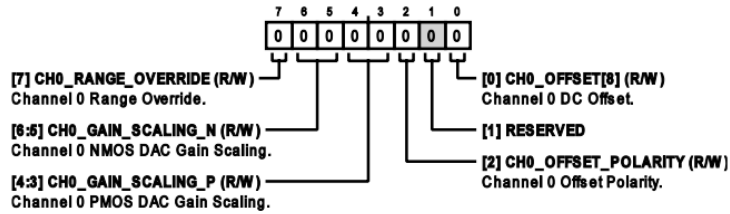


表 42. CH0_GAINのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH0_RANGE_OVERRIDE	チャンネル0のレンジのオーバーライド。このビットを用いることで、あらかじめ設定されたレンジ設定をオーバーライドし、オフセットおよびゲインを手動で設定できます。 0：あらかじめ設定されたレンジ設定を使用。 1：カスタムのレンジ設定を使用。	0x0	R/W
[6:5]	CH0_GAIN_SCALING_N	チャンネル0のNMOS DACのゲイン・スケーリング。このフィールドは、NMOS DAC電流源に適用されるコードの倍率を制御します。 00：ゲイン・スケーリング1。 01：ゲイン・スケーリング0.5。 10：ゲイン・スケーリング0.25。 11：ゲイン・スケーリング0.125。	0x0	R/W
[4:3]	CH0_GAIN_SCALING_P	チャンネル0のPMOS DACのゲイン・スケーリング。このフィールドは、PMOS DAC電流源に適用されるコードの倍率を制御します。 00：ゲイン・スケーリング1。 01：ゲイン・スケーリング0.5。 10：ゲイン・スケーリング0.25。 11：ゲイン・スケーリング0.125。	0x0	R/W
2	CH0_OFFSET_POLARITY	チャンネル0のオフセットの極性。このビットはオフセットの極性を設定します。 0：正のオフセット。 1：負のオフセット。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	CH0_OFFSET[8]	チャンネル0のDCオフセット。	0x0	R/W

チャンネル1オフセット・レジスタ

アドレス：0x1D、リセット：0x00、レジスタ名：CH1_OFFSET

このレジスタは、チャンネル0のDACのDCオフセットを設定します。この値を有効にするには、CH1_GAINレジスタのCH1_RANGE_OVERRIDEビットをセットする必要があります。

レジスタ

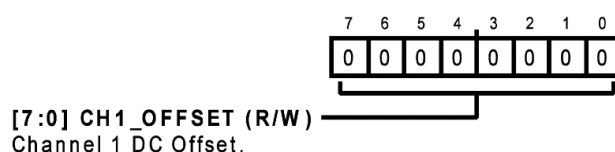


表 43. CH1_OFFSETのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:0]	CH1_OFFSET		チャンネル1のDCオフセット。	0x0	R/W

チャンネル1ゲイン・レジスタ

アドレス：0x1E、リセット：0x00、レジスタ名：CH1_GAIN

このレジスタは、カスタム・スパン・モードの設定の有効化、PMOS DACおよびNMOS DACの電流源のスケーリングの設定、オフセット値の極性制御を行います。

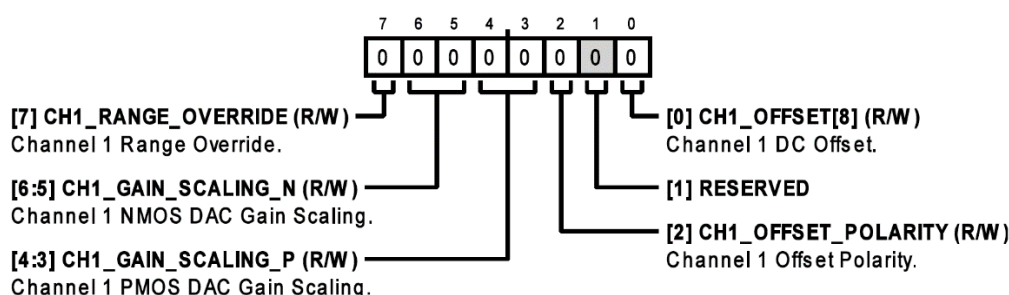


表 44. CH1_GAINのビットの説明

ビット	ビット名	説明	リセット	アクセス
7	CH1_RANGE_OVERRIDE	チャンネル1のレンジのオーバーライド。このビットを用いることで、あらかじめ設定されたレンジ設定をオーバーライドし、オフセットおよびゲインを手動で設定できます。 0：あらかじめ設定されたレンジ設定を使用。 1：カスタムのレンジ設定を使用。	0x0	R/W
[6:5]	CH1_GAIN_SCALING_N	チャンネル1のNMOS DACのゲイン・スケーリング。このフィールドは、NMOS DAC電流源に適用されるコードの倍率を制御します。 00：ゲイン・スケーリング1。 01：ゲイン・スケーリング0.5。 10：ゲイン・スケーリング0.25。 11：ゲイン・スケーリング0.125。	0x0	R/W
[4:3]	CH1_GAIN_SCALING_P	チャンネル1のPMOS DACのゲイン・スケーリング。このフィールドは、PMOS DAC電流源に適用されるコードの倍率を制御します。 00：ゲイン・スケーリング1。 01：ゲイン・スケーリング0.5。 10：ゲイン・スケーリング0.25。 11：ゲイン・スケーリング0.125。	0x0	R/W
2	CH1_OFFSET_POLARITY	チャンネル1のオフセットの極性。このビットはオフセットの極性を設定します。 0：正のオフセット。 1：負のオフセット。	0x0	R/W
1	RESERVED	予備。	0x0	R
0	CH0_OFFSET[8]	チャンネル1のDCオフセット。	0x0	R/W

レジスタ

ハードウェアLDACマスク・レジスタ、高速モード

アドレス：0x28、リセット：0x00、レジスタ名：HW_LDAC_16B

このレジスタは、データを各DACチャンネルにラッチするための外部信号であるLDACのマスクを制御します。

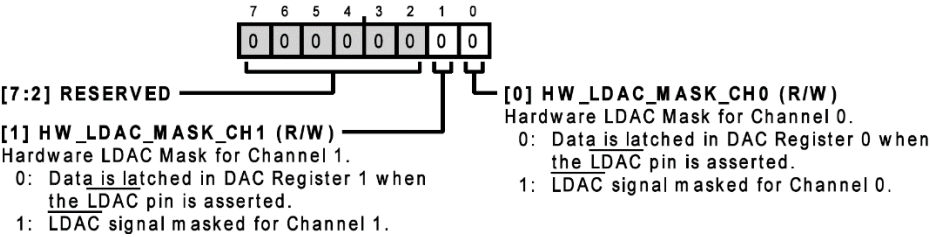


表 45. HW_LDAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	HW_LDAC_MASK_CH0	0 1	チャンネル1のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ1にラッチされます。 1 チャンネル1のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W
0	HW_LDAC_MASK_CH0	0 1	チャンネル0のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。 1 チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W

チャンネル0のDACレジスタ、高速モード

アドレス：0x29、リセット：0x0000、レジスタ名：CH0_DAC_16B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

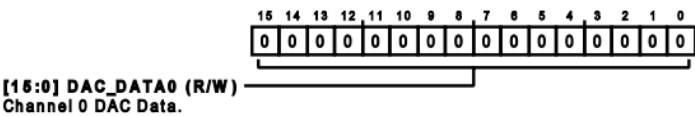


表 46. CH0_DAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W

チャンネル1のDACレジスタ、高速モード

アドレス：0x2B、リセット：0x0000、レジスタ名：CH1_DAC_16B

このレジスタには、現在DACチャンネル1で使用されているデータが格納されています。

レジスタ

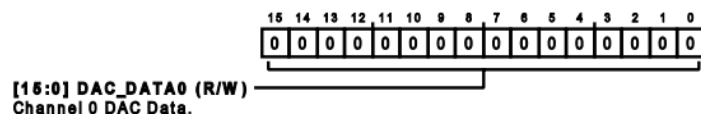


表 47. CH1_DAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	DAC_DATA1		チャンネル1のDACデータ。	0x0	R/W

DACページ・レジスタ、高速モード

アドレス：0x2D、リセット：0x0000、レジスタ名：DAC_PAGE_16B

このレジスタを使用することで、CH_SELECT_16BレジスタのSEL_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。これにより、LDAC信号を使用せずに両方のチャンネルに同時に書き込みを行うことができます。

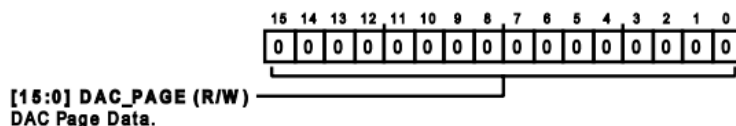


表 48. DAC_PAGE_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	DAC_PAGE		DACページ・データ。このレジスタへの書き込みの後、このレジスタにロードされたDACコードは、CH_SELECT_16Bレジスタで選択されたチャンネルのDACレジスタにコピーされます。	0x0	R/W

ページ・レジスタ用チャンネル選択レジスタ、高速モード

アドレス：0x2F、リセット：0x00、レジスタ名：CH_SELECT_16B

このレジスタは、DAC_PAGE_16BレジスタまたはINPUT_PAGE_16Bレジスタへの書き込みの後、どのチャンネルのレジスタを更新するかを選択します。

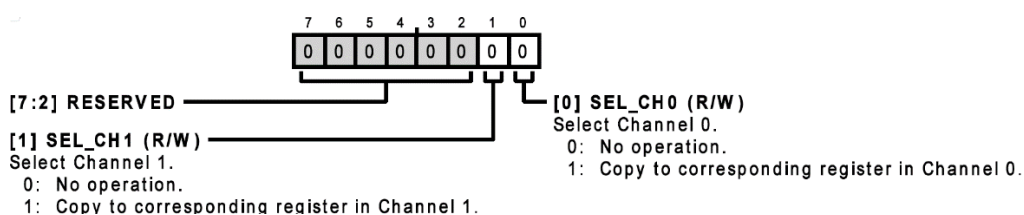


表 49. CH_SELECT_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	SEL_CH0	0 1	チャンネル1を選択。このビットをセットすると、INPUT_PAGE_16Bレジスタに書き込まれたデータはCH1_INPUT_16Bレジスタにコピーされ、DAC_PAGE_16Bレジスタに書き込まれたデータはCH1_DAC_16Bレジスタにコピーされます。 動作なし。 チャンネル1の対応するレジスタにコピー。	0x0	R/W
0	SEL_CH0	0 1	チャンネル0を選択。このビットをセットすると、INPUT_PAGE_16Bレジスタに書き込まれたデータはCH0_INPUT_16Bレジスタにコピーされ、DAC_PAGE_16Bレジスタに書き込まれたデータはCH0_DAC_16Bレジスタにコピーされます。 動作なし。 チャンネル0の対応するレジスタにコピー。	0x0	R/W

レジスタ

入力ページ・レジスタ、高速モード

アドレス：0x30、リセット：0x0000、レジスタ名：INPUT_PAGE_16B

このレジスタを使用することで、CH_SELECT_16BレジスタのSEL_CHxビットの設定に応じて一方または両方のDAC入力レジスタにデータを書き込むことができます。

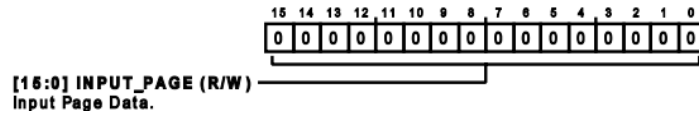


表 50. INPUT_PAGE_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	INPUT_PAGE		入力ページ・データ。このレジスタへの書込みの後、このレジスタにロードされたDACコードは、CH_SELECT_16Bレジスタで選択されたチャンネルの入力レジスタにコピーされます。	0x0	R/W

ソフトウェアLDACレジスタ、高速モード

アドレス：0x32、リセット：0x00、レジスタ名：SW_LDAC_16B

このレジスタを使用して、入力レジスタとDACレジスタの間のデータ転送をトリガすることができます。これは、LDACラインにロー・レベルの信号をパルス入力することをソフトウェアで実現するものです。

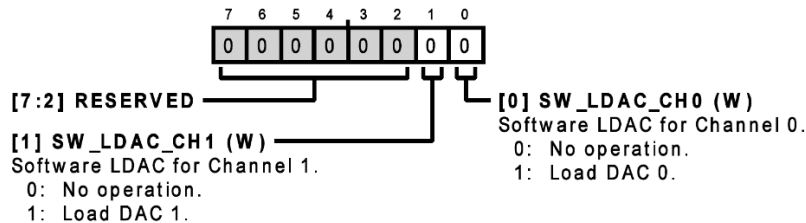


表 51. SW_LDAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
1	SW_LDAC_CH1	0 1	チャンネル1のソフトウェアLDAC。このビットをセットすると、CH1_INPUT_16Bレジスタの内容がCH1_DAC_16Bレジスタに転送されます。このビットは、書込み後は自動的にリセットされます。 0 動作なし。 1 DAC1をロード。	0x0	W
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_16Bレジスタの内容がCH0_DAC_16Bレジスタに転送されます。このビットは、書込み後は自動的にリセットされます。 0 動作なし。 1 DAC0をロード。	0x0	W

レジスタ

チャンネル0の入力レジスタ、高速モード

アドレス：0x33、リセット：0x0000、レジスタ名：CH0_INPUT_16B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。



表 52. CH0_INPUT_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W

チャンネル1の入力レジスタ、高速モード

アドレス：0x35、リセット：0x0000、レジスタ名：CH1_INPUT_16B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

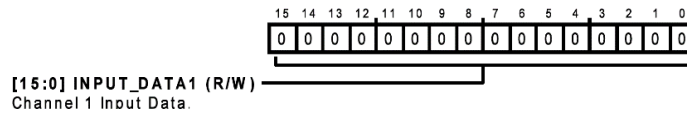


表 53. CH1_INPUT_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[15:0]	INPUT_DATA1		チャンネル1の入力データ。	0x0	R/W

ハードウェアLDACマスク・レジスタ、高精度モード

アドレス：0x37、リセット：0x00、レジスタ名：HW_LDAC_24B

このレジスタは、データを各DACチャンネルにラッチするための外部信号であるLDACのマスクを制御します。

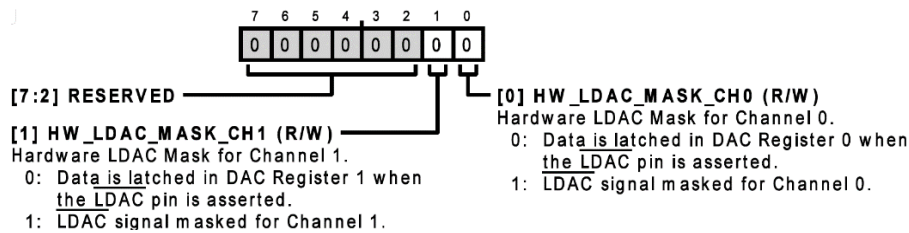


表 54. HW_LDAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	HW_LDAC_MASK_CH1	0 1	チャンネル1のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ1にラッチされます。 1 チャンネル1のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W
0	HW_LDAC_MASK_CH0	0	チャンネル0のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。	0x0	R/W

レジスタ

表 54. HW_LDAC_24Bのビットの説明（続き）

ビット	ビット名	設定値	説明	リセット	アクセス
		1	チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。		

チャンネル0のDACレジスタ、高精度モード

アドレス：0x38、リセット：0x000000、レジスタ名：CH0_DAC_24B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

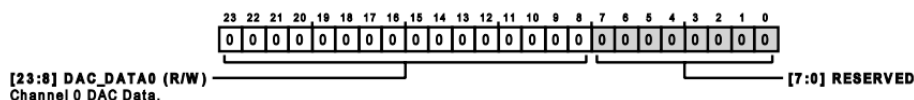


表 55. CH0_DAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

チャンネル1のDACレジスタ、高精度モード

アドレス：0x3B、リセット：0x000000、レジスタ名：CH1_DAC_24B

このレジスタには、現在DACチャンネル1で使用されているデータが格納されています。

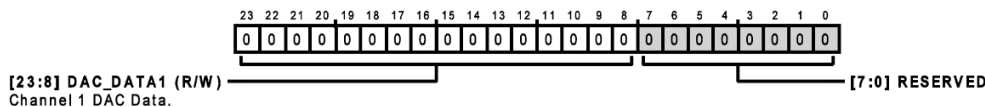


表 56. CH1_DAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	DAC_DATA1		チャンネル1のDACデータ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

DACページ・レジスタ、高精度モード

アドレス：0x3E、リセット：0x000000、レジスタ名：DAC_PAGE_24B

このレジスタを使用することで、CH_SELECT_24BレジスタのSEL_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。これにより、LDAC信号を使用せずに両方のチャンネルに同時に書き込みを行うことができます。

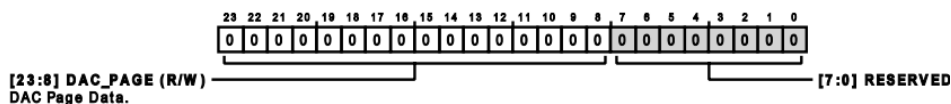


表 57. DAC_PAGE_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	DAC_PAGE		DACページ・データ。このレジスタへの書き込みの後、このレジスタにロードされたDACコードは、CH_SELECT_24Bレジスタで選択されたチャンネルのDACレジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

レジスタ

ページ・レジスタ用チャンネル選択レジスタ、高精度モード

アドレス：0x41、リセット：0x00、レジスタ名：CH_SELECT_24B

このレジスタは、DAC_PAGE_24BレジスタまたはINPUT_PAGE_24Bレジスタへの書込みの後、どのチャンネルのレジスタを更新するかを選択します。

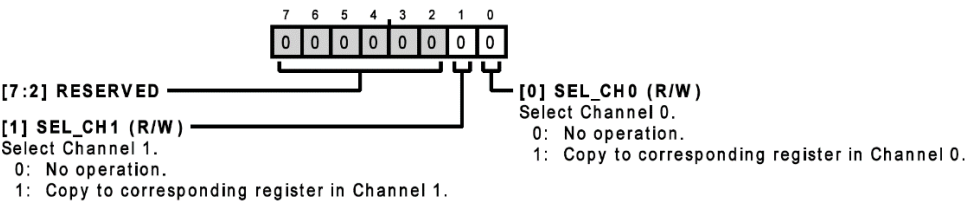


表 58. CH_SELECT_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	SEL_CH1	0 1	チャンネル1を選択。このビットをセットすると、INPUT_PAGE_24Bレジスタに書き込まれたデータはCH1_INPUT_24Bレジスタにコピーされ、DAC_PAGE_24Bレジスタに書き込まれたデータはCH1_DAC_24Bレジスタにコピーされます。 動作なし。 チャンネル1の対応するレジスタにコピー。	0x0	R/W
0	SEL_CH0	0 1	チャンネル0を選択。このビットをセットすると、INPUT_PAGE_24Bレジスタに書き込まれたデータはCH0_INPUT_24Bレジスタにコピーされ、DAC_PAGE_24Bレジスタに書き込まれたデータはCH0_DAC_24Bレジスタにコピーされます。 動作なし。 チャンネル0の対応するレジスタにコピー。	0x0	R/W

入力ページ・レジスタ、高精度モード

アドレス：0x42、リセット：0x000000、レジスタ名：INPUT_PAGE_24B

このレジスタを使用することで、CH_SELECT_24BレジスタのSEL_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。



表 59. INPUT_PAGE_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	INPUT_PAGE		入力ページ・データ。このレジスタへの書込みの後、このレジスタにロードされたDACコードは、CH_SELECT_24Bレジスタで選択されたチャンネルの入力レジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

レジスタ

ソフトウェアLDACレジスタ、高精度モード

アドレス：0x45、リセット：0x00、レジスタ名：SW_LDAC_24B

このレジスタを使用して、入力レジスタとDACレジスタの間のデータ転送をトリガすることができます。これは、LDACラインにロー・レベルの信号をパルス入力することをソフトウェアで実現するものです。

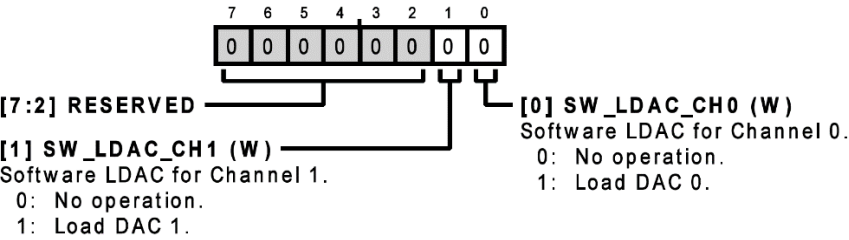


表 60. SW_LDAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	SW_LDAC_CH1	0 1	チャンネル1のソフトウェアLDAC。このビットをセットすると、CH1_INPUT_24Bレジスタの内容がCH1_DAC_24Bレジスタに転送されます。このビットは、書き込み後は自動的にリセットされます。 動作なし。 DAC1をロード。	0x0	W
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_24Bレジスタの内容がCH0_DAC_24Bレジスタに転送されます。このビットは、書き込み後は自動的にリセットされます。 動作なし。 DAC0をロード。	0x0	W

チャンネル0の入力レジスタ、高精度モード

アドレス：0x46、リセット：0x000000、レジスタ名：CH0_INPUT_24B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

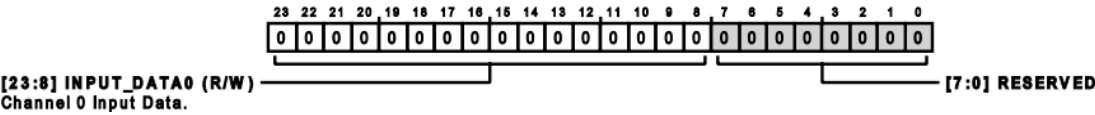


表 61. CH0_INPUT_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

レジスタ

チャンネル1の入力レジスタ、高精度モード

アドレス：0x49、リセット：0x000000、レジスタ名：CH1_INPUT_24B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

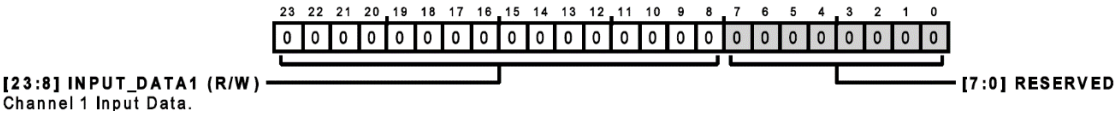


表 62. CH1_INPUT_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	アクセス
[23:8]	INPUT_DATA1		チャンネル1の入力データ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

アプリケーション情報

電源の推奨事項

AD3552Rには、電源シーケンスに関して制限はありません。チップは、AV_{DD}およびDV_{DD}用の電力モニタを内蔵しており、両方のレールが仕様範囲内にある場合に内部リセットをリリースします。ただし、電源レールをターン・オンする際は、GND、AV_{DD}、DV_{DD}、V_{LOGIC}の順序とすることを推奨します。これにより、パワーアップ時のグリッチを最小限に抑えられます。

AGNDとDGNDは互いに接続し、また、単一のグランド・プレーンを用意することを推奨します。チップ下の露出パッドもグランド・プレーンに接続する必要があります。

AVDDの消費電力は、更新レートとは無関係に一定です。このレールに関する主な注意点は、ACのPSRRが低下する高周波数領域でノイズ・レベルが確実に低くなるようにすることです。

DV_{DD}の消費電力は、更新レートおよびSPIバス・モードに応じて変化します。動的な電流は高速で変動して、レールのノイズが増加する原因となります。DV_{DD}がAV_{DD}から引き出される場合は、LDOの他にフィルタを追加し、DAC出力への影響を完全に排除することを推奨します。

V_{LOGIC}は非常に低消費電流ですが、SPIバス・モードとクロック・レートに依存します。デュアルSPIモードでの読出し動作時に消費電力が最大となります。

電源レールとアナログ・ラインの推奨デカップリング方法を図94に示します。

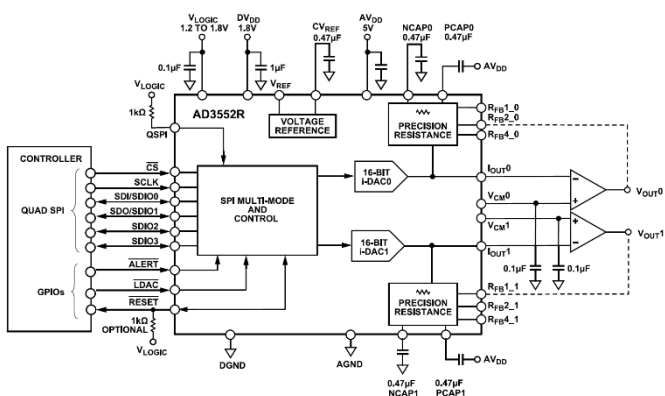


図 94. 推奨アプリケーション回路図

PCAP_x、NCAP_x、V_{CMX}、CV_{REF}のデカップリング・コンデンサを調整することで、ノイズのコナ周波数とパワーアップ・グリッチの振幅の間で必要なトレードオフを実現できます。

NCAPxおよびPCAPxの帰還コンデンサおよび出力電圧経路上のその他のコンデンサにはNP0の誘電体コンデンサを用い、低周波電圧変動によるディレーティングを防止します。電源レール、 V_{CM} 、 CV_{REF} のデカップリング・コンデンサには、これらのラインの電圧が一定であるため、高誘電率の材料を使用できます。

DACチャンネルの結合

AD3552Rでは、2つのDACチャンネルを結合して単一出力を生成することができます。これにより、ノイズ密度が下がり、セトリグ時間が短くなりますが、消費電力が増加します。

この構成を実現するには、両方のIOUTXピンを互いに接続し、両方のDACからの同じRFBX_Yピンを互いに接続する必要があります。ただし、1個のアンプを使用する場合は、帰還コンデンサを2個配置する必要はありません。VCMX出力は、直列抵抗を使って結合できます。RFB2の例を図95に示します。

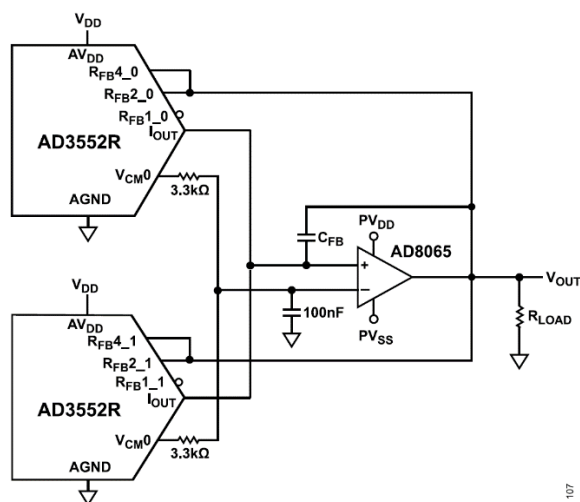


図95. R_{FB2} を用いたデュアルDAC構成

1個のDACを使った場合と同じ電圧出力を得るためには、両方のDACを同じコードで同時に更新する必要があります。そのための最も効率的な方法は、DAC_PAGEレジスタを使って直接更新を行うか、INPUT_PAGEレジスタを使ってLDACピンまたはソフトウェアのLDACコマンドを介した更新を行うことです。

レイアウトのガイドライン

図13に示すAD3552Rのピン配置は、EVAL-AD3552Rのレイアウトを容易にするよう、考慮されています。ほとんどの高速デジタル・ラインは、チップの1つの側に配置され、各DACのアナログ機能部は他の3つの側で対称に配置されています。この配置により、図96に示すように、デジタル・ラインをアナログ機能部から直線的に配線し、チップの両側にそれぞれ1個のアンプを配置し、外部リファレンスを左側に配置することができます。

アプリケーション情報

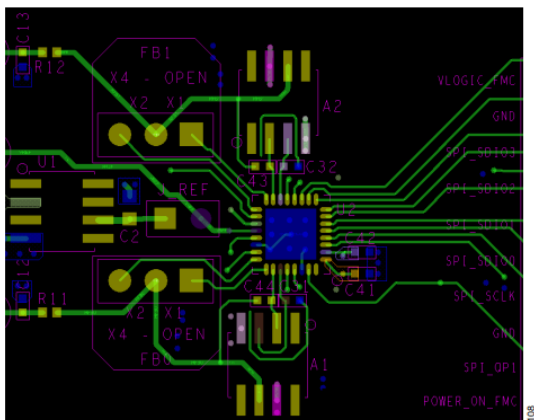


図 96. EVAL-AD3552Rの部品配置とレイアウト

以下に、最高性能を得るための推奨事項を挙げます。

- ▶ I_{OUT} のラインはできるだけ短く薄くします。この信号によって、アンプのスルーイングの最終値が決まります。そのため、このラインの寄生容量によりセトリング時間が増加します。フットプリントの小さな帰還コンデンサを用いてグラウンド・プレーンとの間の寄生容量を最小限に抑えてください。
- ▶ I_{OUT} のラインは、クロックや高電圧の変動があるアナログ信号などの繰り返し信号からは遠ざけて配線します。このラインは高インピーダンスのラインで、電磁干渉の影響を受けやすいからです。

- ▶ AD3552Rの露出パッドは、サーマルドリフトを最小限に抑えるため、複数のビアを通じてグラウンド・プレーンに接続します。チップの消費電力は250mWに達する場合があります。
- ▶ スイッチング・レギュレータと高速の dV/dt 信号はDACの帰還ループから離します。これらのラインに μA レベルの電流が流れるだけでも、DACの出力ではmV単位の大きさとなります。
- ▶ アナログ信号とデジタル信号は重ならないようにし、やむを得ず交差させる場合は、 45° または 90° となるようにします。
- ▶ 一定の特性インピーダンスを持つパターンを用いてデジタル・ラインを配線し、DDRモードでのタイミング違反や信号間のクロストークの原因となる信号の完全性の諸問題を回避します。下の層に切れ目のないグラウンド・プレーンがあることが必要です。層をまたぐ場合、相手先の層は別のグラウンド・プレーンを基準とし、パターンの特性インピーダンスは同じであることが必要です。デジタル・ラインのビアの付近には両グラウンド・プレーンを接続するビアを配置します。相手先の層が電源プレーンを基準としている場合、電源プレーンはラインの経路に沿って切れ目がなく、電源とグラウンドの間のデカップリング・コンデンサはデジタル・ラインのビアの付近に配置する必要があります。

