

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年4月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月19日

製品名：AD3542R

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：31 ページ、ページ内の表現

**【誤】**

ページ内の説明で、CRC\_EN ビットあるいは CRC\_EN\_B ビットという表記

**【正】**

これらは、それぞれ CRC\_ENABLE ビット、CRC\_ENABLE\_B ビットが正確な表記です。詳細は、データシート内 42 ページ、表 17 の 0x10 のレジスタ説明欄をご覧ください。

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年4月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月19日

製品名：AD3542R

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：36 ページ、左の段、「レジスタ・マップへの SPI アクセス・モード」の項、上から4行目

【誤】

・・・エラー・フラグに関するレジスタはアドレス 0x0～アドレス 0x1E のプライマリ領域に・・・

【正】

・・・エラー・フラグに関するレジスタはアドレス 0x00～アドレス 0x1E のプライマリ領域に・・・

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2023年4月19日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2023年4月19日

製品名：AD3542R

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：39ページ、右の段、「SPIクロック・カウンタ」の項内のビット名表記

【誤】

**CLOCK\_COUNTING\_ERR** ビットで報告されるエラーは、SCLK サイクルの数が SPI モード（シングルまたはデュアル）および DDR モードを考慮した 8 の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。**CLOCK\_COUNTING\_ERR** ビットは **ERR\_STATUS** レジスタでセットされます。

【正】

**CLOCK\_COUNTING\_ERROR** ビットで報告されるエラーは、SCLK サイクルの数が SPI モード（シングルまたはデュアル）および DDR モードを考慮した 8 の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。**CLOCK\_COUNTING\_ERROR** ビットは **INTERFACE\_STATUS\_A** レジスタ内にセットされます。

# デュアル・チャンネル、12/16ビット、16MUPS、 マルチスパン、マルチIOのSPI DAC

## 特長

- ▶ 12/16ビット分解能
- ▶ 高速モード時のシングル・チャンネル・レート：16MUPS
- ▶ 高精度モード時のシングル・チャンネル・レート：11MUPS
- ▶ 0.1%の精度までの小信号セトリング時間：78ns
- ▶ 0.1%の精度までの大信号セトリング時間：100ns
- ▶ 超低グリッチ：<math>< 50\text{pV} \times \text{s}</math>
- ▶ 超低遅延：5ns
- ▶ THD：
  - ▶ 1kHz時に-105dB (AD3542R-16)
  - ▶ 1kHz時に-95dB (AD3542R-12)
- ▶ 選択可能な5つの出力電圧レンジ
- ▶ 1.2V~1.8Vロジック・レベルに対応
- ▶ シングル（標準）およびデュアルSPIモード
- ▶ 複数のエラー検出器（アナログ領域とデジタル領域）
- ▶ 2.5Vの内部電圧リファレンス、10ppm/°Cの最大温度係数
- ▶ 小型パッケージ：4mm × 4mm LFCSP

## アプリケーション

- ▶ 計測器
- ▶ ハードウェア・イン・ザ・ループ
- ▶ プロセス制御機器
- ▶ 医療機器
- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション・システム
- ▶ プログラマブル電圧源
- ▶ 光通信

## 機能ブロック図

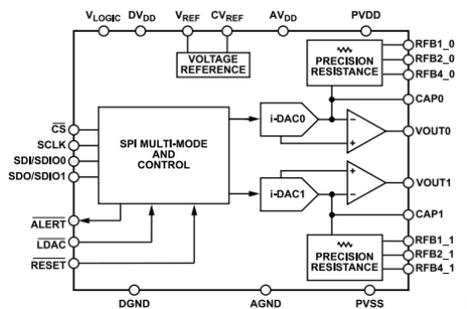


図 1.

アナログ・デバイスでは、文化的に適切な用語および言語の提供を期して、技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いします。

## Rev. A

文書に関するご意見

テクニカルサポート

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	V <sub>REF</sub> .....	27
アプリケーション.....	1	SPIレジスタ・マップの利用.....	27
概要.....	1	シリアル・インターフェース.....	33
機能ブロック図.....	1	DACの更新モード.....	37
仕様.....	3	パワーダウン.....	38
電気的特性.....	3	リセット.....	38
AC特性.....	5	エラー検出.....	38
タイミング仕様.....	5	ALERTピン.....	40
絶対最大定格.....	9	デバイスID.....	40
熱抵抗.....	9	インターフェース・アクセス・モードのまとめ.....	40
ESDに関する注意.....	9	レジスタ.....	41
ピン配置およびピン機能の説明.....	10	レジスタの概要.....	41
代表的な性能特性.....	12	インターフェース・レジスタの詳細.....	44
用語の定義.....	24	DACレジスタの詳細.....	53
動作原理.....	26	アプリケーション情報.....	65
製品の説明.....	26	電源の推奨事項.....	65
DACのアーキテクチャ.....	26	レイアウトのガイドライン.....	65
出力電圧スパン.....	26	外形寸法.....	66
伝達関数.....	26	オーダー・ガイド.....	66
内蔵TIA.....	26	評価用ボード.....	66
TIAの消費電力.....	26		

## 改訂履歴

## 9/2022—Rev. 0 to Rev. A

Changes to Title and Features Section.....	1
Changes to General Description Section and Table 1.....	1
Changes to Figure 1.....	1
Changes to Table 2.....	3
Changes to Total Harmonic Distortion (THD) Parameter and Spurious-Free Dynamic Range (SFDR) Parameter, Table 3.....	5
Changes to Typical Performance Characteristics Section.....	12
Changes to Product Description Section.....	26
Changes to Transfer Function Section.....	26
Change to Address Direction Section.....	28
Change to Figure 95.....	36
Changes to V <sub>REF</sub> Detection Section.....	39
Changes to Table 16.....	41
Changes to Table 17.....	42
Change to Product ID Low Register Section.....	46
Changes to Figure 99.....	65
Changes to Ordering Guide.....	66

## 4/2022—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $V_{REF} = 2.5V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^{\circ}C \leq T_A \leq +105^{\circ}C$ 。

表 2.

パラメータ <sup>1</sup>	記号	最小値	代表値	最大値	単位	テスト条件/コメント
STATIC PERFORMANCE						
Resolution		16			Bits	
Relative Accuracy (INL)		-2		+2	LSB	AD3542R-16、5Vのレンジのみ
		-4		+4	LSB	AD3542R-16、その他すべてのレンジ <sup>2</sup>
		-1		+1	LSB	AD3542R-12、すべてのレンジ
Differential Nonlinearity (DNL)		-1		+1	LSB	AD3542R-16、高精度モード：-40°C~+105°C、高速モード：0°C~85°C
		-2		+2	LSB	AD3542R-16、高速モード：-40°C~+105°C
		-2		+2	LSB	AD3542R-16、0V~2.5Vのレンジ、高速または高精度モード <sup>2</sup>
Offset Error		-0.5		+0.5	LSB	AD3542R-12、すべてのレンジ
		-0.15	+0.03	+0.15	%FSR	ミッドスケール (MS)、25°C
Offset Error Drift <sup>2</sup>			2	7	ppm FSR/°C	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
			4	11	ppm FSR/°C	0V~2.5V、-5V~+5Vの各レンジ
Full-Scale Error		-0.3	±0.03	+0.3	%FSR	25°C
Full-Scale Error Drift <sup>2</sup>			2	7	ppm FSR/°C	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
			3	8	ppm FSR/°C	0V~2.5V、-5V~+5Vの各レンジ
			-0.35	-0.03	+0.35	%FSR
Zero-Scale Error <sup>3</sup>			3	7	ppm FSR/°C	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
Zero-Scale Error Drift <sup>2</sup>			5	12	ppm FSR/°C	0V~2.5V、-5V~+5Vの各レンジ
			-0.5	+0.5	%FSR	
Total Unadjusted Error (TUE)			0.6		mV/V	DACコード=ミッドスケール
DC Power Supply Rejection Ratio (PSRR)			4.6		μV/V	フルスケール・ステップ
DC Crosstalk						
OUTPUT CHARACTERISTICS						
Zero-Scale Voltage <sup>4</sup>	$V_{OUTx\_ZS}$					DACレジスタの全ビットに0をロード、25°C
0 V to 2.5 V Range			-0.198		V	
0 V to 5 V Range			-0.077		V	
0 V to 10 V Range			-0.163		V	
-5 V to +5 V Range			-5.163		V	
-2.5 V to +7.5 V Range		-2.666		V		
Full-Scale Voltage <sup>4</sup>	$V_{OUTx\_FS}$					DACレジスタの全ビットに1をロード、25°C
0 V to 2.5 V Range			2.697		V	
0 V to 5 V Range			5.076		V	
0 V to 10 V Range			10.163		V	
-5 V to +5 V Range			5.166		V	
-2.5 V to +7.5 V Range		7.662		V		
Short-Circuit Current			73 and 85		mA	ソースおよびシンク
Load Regulation			10		μV/mA	
Capacitive Load Stability			200		pF	2kΩをコンデンサと並列に接続
REFERENCE OUTPUT						
Output Voltage		2.492	2.5	2.508	V	25°C、寿命期間中
Voltage Reference Temperature			3	10	ppm/°C	0°C~105°C
Coefficient (TC) <sup>5</sup>			3	15	ppm/°C	-40°C~+105°C
Output Impedance			50		mΩ	

## 仕様

パラメータ <sup>1</sup>	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Output Voltage Noise			3.2		$\mu\text{V rms}$	0.1Hz~10Hz、 $V_{\text{REF}}$ は無負荷
Output Voltage Noise Density			173		$\text{nV}/\sqrt{\text{Hz}}$	$f = 1\text{kHz}$ 、 $V_{\text{REF}}$ は無負荷
			167		$\text{nV}/\sqrt{\text{Hz}}$	$f = 10\text{kHz}$ 、 $V_{\text{REF}}$ は無負荷
Capacitive Load Stability <sup>2</sup>			4.7		$\mu\text{F}$	
Load Regulation			50		$\mu\text{V}/\text{mA}$	25°C時
Output Current Load Capability			$\pm 8$		$\text{mA}$	
Line Regulation			142		$\mu\text{V}/\text{V}$	25°C時
REFERENCE INPUT						
Reference Current			1		$\mu\text{A}$	
Reference Input Range <sup>2</sup>	$V_{\text{REF}}$	2.4	2.5	2.6	$\text{V}$	
Reference Input Impedance			3		$\text{M}\Omega$	
LOGIC INPUTS						
Input Current	$I_{\text{I}}$	-1		+1	$\mu\text{A}$	ピンごと
Input Low Voltage	$V_{\text{IL}}$			$0.35 \times V_{\text{LOGIC}}$	$\text{V}$	
Input High Voltage	$V_{\text{IH}}$	$0.65 \times V_{\text{LOGIC}}$			$\text{V}$	
Pin Capacitance	$C_{\text{I}}$		4		$\text{pF}$	
LOGIC OUTPUTS						
Output Low Voltage	$V_{\text{OL}}$			$0.20 \times V_{\text{LOGIC}}$	$\text{V}$	$I_{\text{SINK}} = 100\mu\text{A}$
Output High Voltage	$V_{\text{OH}}$	$0.80 \times V_{\text{LOGIC}}$			$\text{V}$	$I_{\text{SOURCE}} = 100\mu\text{A}$
Pin Capacitance	$C_{\text{O}}$		4		$\text{pF}$	
POWER REQUIREMENTS						
$V_{\text{LOGIC}}$ Pin		1.1	1.8	1.89	$\text{V}$	
$V_{\text{LOGIC}}$ Current	$I_{\text{LOGIC}}$		1	7.5	$\mu\text{A}$	$V_{\text{INH}} = V_{\text{LOGIC}} \times 0.9$ 、 $V_{\text{INL}} = V_{\text{LOGIC}} \times 0.1$
$V_{\text{LOGIC}}$ Dynamic Current	$I_{\text{LOGIC\_DYNAMIC}}$		2	3.2	$\text{mA}$	$\text{SCLK} = 66\text{MHz}$ 、デュアルSPI DDR、 $V_{\text{INH}} = V_{\text{LOGIC}} \times 0.65$ 、 $V_{\text{INL}} = V_{\text{LOGIC}} \times 0.35$
$DV_{\text{DD}}$ Pin		1.71	1.8	1.89	$\text{V}$	
$DV_{\text{DD}}$ Current	$I_{\text{DVDD}}$		0.5	0.8	$\text{mA}$	
$DV_{\text{DD}}$ Dynamic Current	$I_{\text{DVDD\_DYNAMIC}}$		36	40	$\text{mA}$	AD3542R-16、 $\text{SCLK} = 66\text{MHz}$ 、デュアルSPI DDR
			22	25	$\text{mA}$	AD3542R-12、 $\text{SCLK} = 66\text{MHz}$ 、デュアルSPI DDR
$AV_{\text{DD}}$ Pin		4.75	5	5.25	$\text{V}$	
$AV_{\text{DD}}$ Current	$I_{\text{DD}}$		22	28.5	$\text{mA}$	
$AV_{\text{DD}}$ Power-Down Current	$I_{\text{DD}}$		0.6		$\text{mA}$	リセット後、DACがパワーダウン
$AV_{\text{DD}}$ Reset Current	$I_{\text{DD}}$		120		$\mu\text{A}$	RESETをアサート
$PV_{\text{DD}}$ Pin		4.75		10.6	$\text{V}$	
$PV_{\text{DD}}$ Current	$I_{\text{PVDD}}$		7.5		$\text{mA}$	10Vレンジ・フル・スケール、負荷電流は含まず
$PV_{\text{DD}}$ Power-Down Current	$I_{\text{PVDD}}$		32	40	$\mu\text{A}$	チャンネル・パワーダウン・ビットをセット
$PV_{\text{SS}}$ Pin		$PV_{\text{DD}} - 10.6$		0	$\text{V}$	
$PV_{\text{SS}}$ Current <sup>6</sup>	$I_{\text{PVSS}}$		6.5		$\text{mA}$	$\pm 5\text{V}$ レンジ・ゼロ・スケール、負荷電流は含まず
$PV_{\text{SS}}$ Power-Down Current	$I_{\text{PVSS}}$		32	40	$\mu\text{A}$	チャンネル・パワーダウン・ビットをセット
Recommended Headroom and Footroom			200		$\text{mV}$	図52を参照してください。

1 用語の定義のセクションを参照してください。

2 設計と特性評価により確認していますが、出荷テストは行いません。

3 ゼロ・コードで測定。

## 仕様

- 4 出力電圧スパンのセクションを参照してください。
- 5 リファレンスの温度係数はボックス法に従って計算します。
- 6 PVSSピンから流れる電流として測定。

## AC特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^\circ C \leq T_A \leq +105^\circ C$ 。

表 3.

パラメータ <sup>1</sup>	最小値	代表値	最大値	単位	テスト条件/コメント
<b>DYNAMIC PERFORMANCE</b>					
Output Voltage Settling Time	100			ns	2Vステップ、0.1%誤差、0V~5Vのレンジ
	85			ns	2Vステップ、1%誤差、0V~5Vのレンジ
	78			ns	60mVステップ、0.1%誤差、0V~5Vのレンジ
	22			ns	60mVステップ、1%誤差、0V~5Vのレンジ
Slew Rate	100			V/ $\mu$ s	フルスケール・ステップ、0V~2.5Vのレンジ、 $-40^\circ C \sim +105^\circ C$
	140			V/ $\mu$ s	フルスケール・ステップ、その他すべてのレンジ、 $-40^\circ C \sim +105^\circ C$
Digital-to-Analog Glitch Impulse	50			pV $\times$ s	0V~5Vのレンジ、メジャー・キャリーを中心に1LSBの変化
Digital Feedthrough	12			pV $\times$ s	50MHzクロック、 $R_{FB2,x}$
DAC to DAC Crosstalk	20			pV $\times$ s/V	フルスケール・ステップ、 $R_{FB2,x}$
AC PSRR	80			dB	1kHz、 $R_{FB1,x}$
	43			dB	1MHz、 $R_{FB1,x}$
Output Noise Spectral Density	20			nV/ $\sqrt{Hz}$	DACコード = ミッドスケール、外部リファレンス、10kHz、 $R_{FB1,x}$
	40			nV/ $\sqrt{Hz}$	$R_{FB2,x}$
Output Noise	3.8			$\mu$ V <sub>RMS</sub>	DACコード = ミッドスケール、外部リファレンス、1Hz~10kHz、 $R_{FB1,x}$
	7.6			$\mu$ V <sub>RMS</sub>	$R_{FB2,x}$
Total Harmonic Distortion (THD)	-105			dB	AD3542R-16、0V~5Vレンジ、 $f_{OUT} = 1kHz$
	-101			dB	AD3542R-16、 $f_{OUT} = 10kHz$
	-90			dB	AD3542R-12、 $f_{OUT} = 1Hz \sim 10kHz$
	-84			dB	$f_{OUT} = 100kHz$
Spurious-Free Dynamic Range (SFDR)	-105			dB	AD3542R-16、0V~5Vレンジ、 $f_{OUT} = 1kHz$
	-92			dB	AD3542R-12

1 用語の定義のセクションを参照してください。

## タイミング仕様

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^\circ C \leq T_A \leq +105^\circ C$ 。

表 4. タイミング仕様

パラメータ <sup>1,2</sup>	説明	最小値	代表値	最大値	単位	テスト条件/コメント
$f_{SCLK}$	SCLK frequency			66	MHz	
$t_1$	SCLK cycle time	15.2			ns	
$t_{SCLK/2}$	SCLK half period	7.6			ns	
$t_2$	$\overline{CS}$ falling edge to first SCLK rising edge	5			ns	
$t_3$	Last SCLK sampling edge <sup>3</sup> to $\overline{CS}$ rising edge	10			ns	
$t_4$	$\overline{CS}$ falling edge from SCLK sampling edge ignored	5			ns	
$t_5$	$\overline{CS}$ rising edge to SCLK rising edge ignored	5			ns	
$t_6$	Minimum $\overline{CS}$ high time	10			ns	
$t_7$	Data setup time	2			ns	

仕様

パラメータ <sup>1,2</sup>	説明	最小値	代表値	最大値	単位	テスト条件/コメント
t <sub>8</sub>	Data hold time	2			ns	
t <sub>9</sub>	SCLK falling edge to SDO data valid			15	ns	1.7 < V <sub>LOGIC</sub> < 1.9
				25	ns	1.1 < V <sub>LOGIC</sub> < 1.7
t <sub>10</sub>	SCLK sampling edge to LDAC falling edge	7.6			ns	
t <sub>11</sub>	LDAC pulse width low	7.6			ns	
t <sub>12</sub>	$\overline{\text{CS}}$ rising edge to SDO disabled		50		ns	
t <sub>13</sub>	$\overline{\text{LDAC}}$ rising edge to $\overline{\text{CS}}$ falling edge	5			ns	
t <sub>14</sub>	$\overline{\text{RESET}}$ pulse width low	10			ns	図9に示すt <sub>14</sub> ~t <sub>19</sub>
t <sub>15</sub>	$\overline{\text{RESET}}$ pulse activation time			100	ns	
t <sub>16</sub>	V <sub>OUTx</sub> update from CH <sub>x</sub> _DAC register write		12.6		ns	
t <sub>17</sub>	V <sub>OUT</sub> update from $\overline{\text{LDAC}}$ falling edge		5		ns	
t <sub>18</sub> <sup>4</sup>	Wait time before DAC register access	100			ms	
t <sub>19</sub> <sup>5</sup>	Shutdown exit time		5		ms	
Update Rate	Dual SPI mode, DDR and streaming enabled, precision mode			11	MUPS <sup>6</sup>	
	Dual SPI mode, DDR and streaming enabled, fast mode			16.5	MUPS <sup>6</sup>	

- すべての入力信号は、 $t_r = t_f = 1\text{ns}/V$  (10%~90%) で仕様規定され、(V<sub>IL</sub> + V<sub>IH</sub>)/2の電圧レベルから時間計測します。
- 設計と特性評価により確認していますが、出荷テストは行いません。
- SCLKのサンプリング・エッジは、データが読み込まれる(サンプリングされる) SCLKエッジを基準とします。
- パワーアップ時にAV<sub>DD</sub> = 4VまたはDV<sub>DD</sub> = 0.8Vとなった時点から同じタイミングを見込む必要があります。
- パワーダウン・モードを終了して通常動作モードになるまでに必要な時間。
- MUPSは1秒あたりの更新数(メガ単位)を表します。

タイミング図

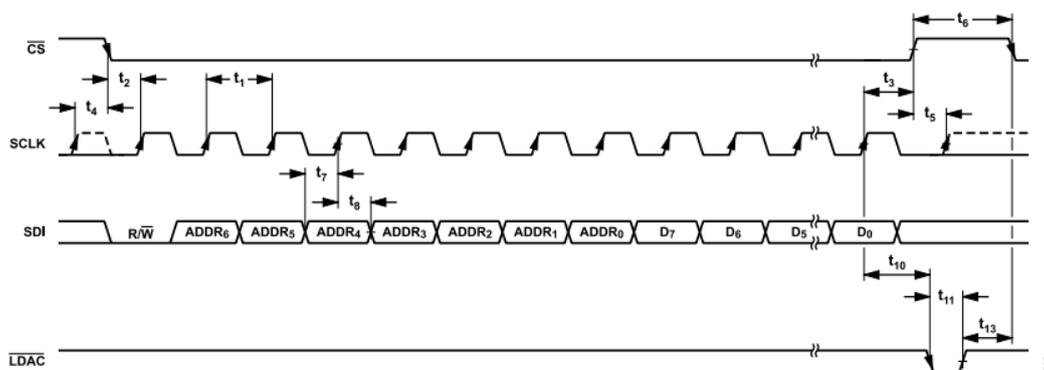


図 2. シングル・データ・レートでの標準SPI書き込み動作

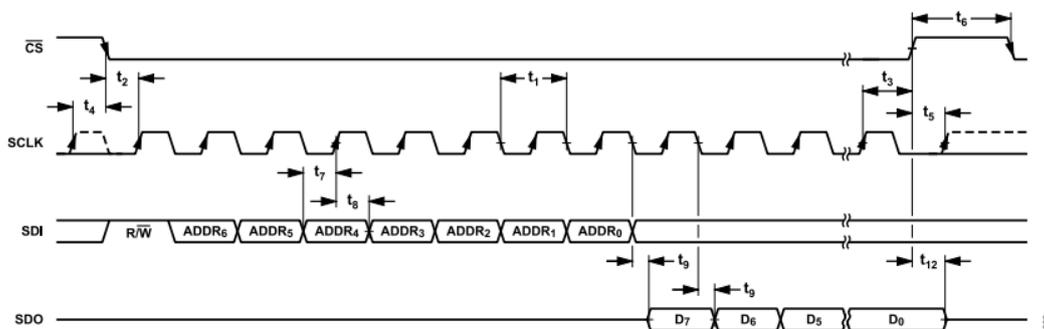


図 3. シングル・データ・レートでの標準SPI読み出し動作

仕様

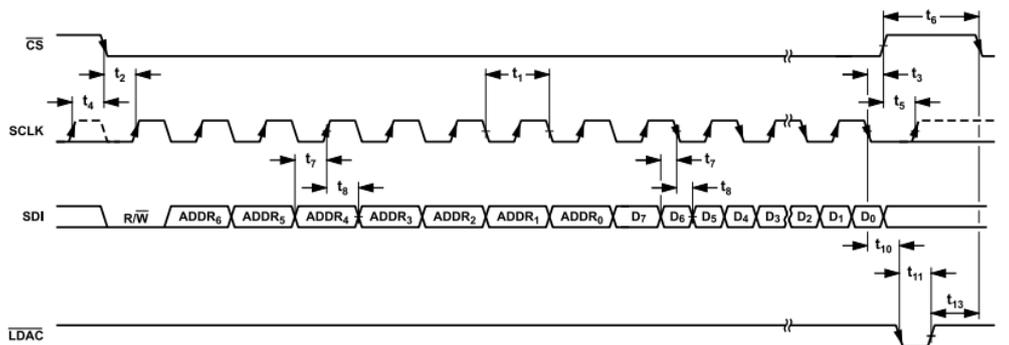


図 4. ダブル・データ・レートでの標準SPI書き込み動作

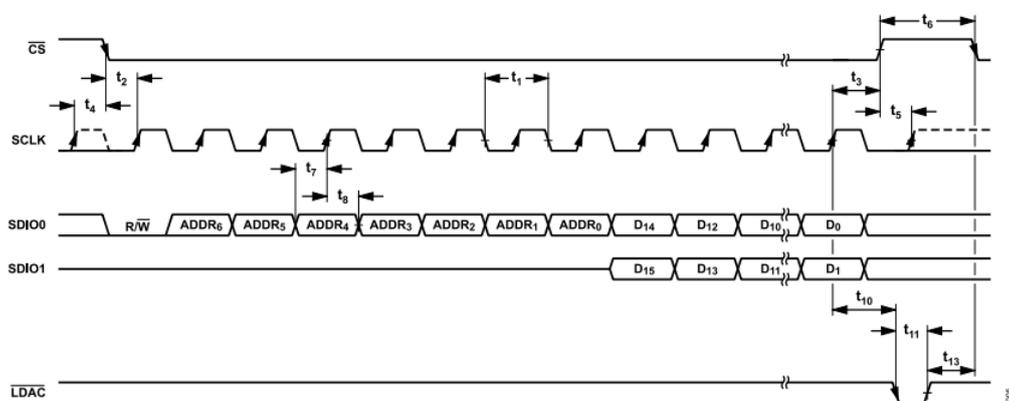


図 5. シングル・データ・レートでのデュアルSPI書き込み動作

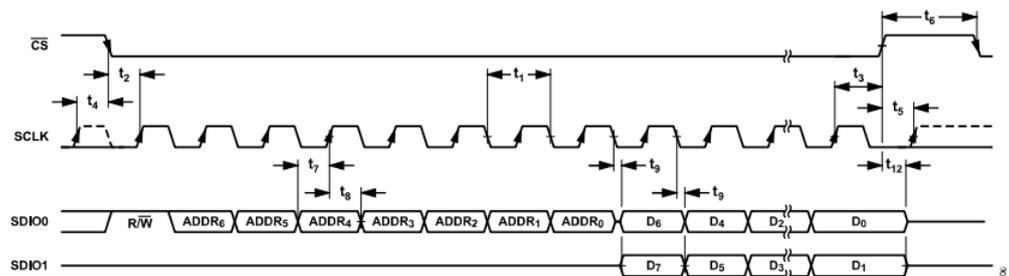


図 6. シングル・データ・レートでのデュアルSPI読み出し動作

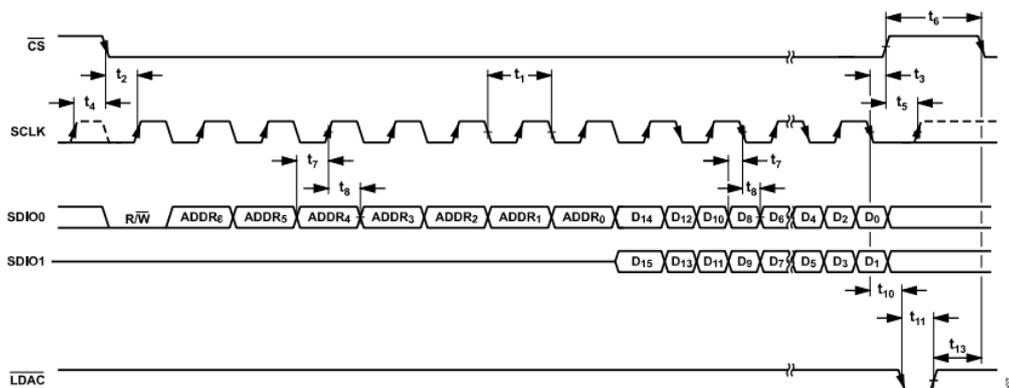


図 7. ダブル・データ・レートでのデュアルSPI書き込み動作

仕様

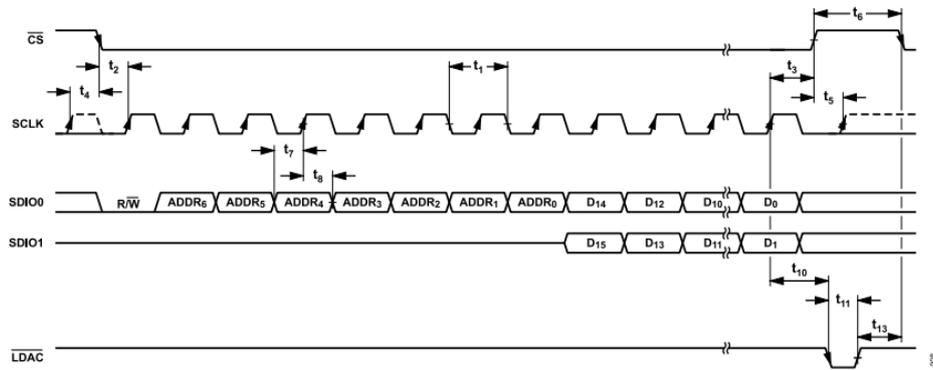


図 8. シングル・データ・レートでのデュアル同期SPI書き込み動作

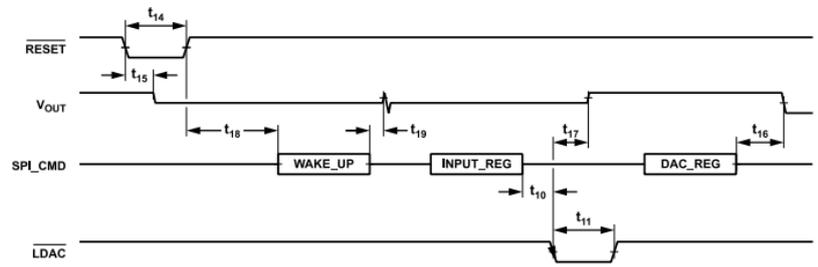


図 9. 起動シーケンス・タイミング

## 絶対最大定格

特に指定のない限り  $T_A = 25^\circ\text{C}$ 。

表 5.

Parameter	Rating
$AV_{DD}$ to AGND	-0.3 V to +6 V
$DV_{DD}$ to DGND	-0.3 V to +2.1 V
AGND to DGND	-0.3 V to +0.3 V
$V_{LOGIC}$ to DGND	-0.3 V to $DV_{DD} + 0.3$ V or +2.1 V (whichever is less)
$PV_{DD}$ to $PV_{SS}$	-0.3 V to +11 V
$V_{REF}$ to AGND	-0.3 V to +3 V
$R_{FBx,y}$ to AGND	-18 V to +18 V
Digital Input Voltage to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V or +2.1 V (whichever is less)
Operating Temperature Range	
Industrial	$-40^\circ\text{C}$ to $+105^\circ\text{C}$
Storage Temperature Range	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
Maximum Junction Temperature ( $T_J$ )	$125^\circ\text{C}$
Power Dissipation	$(\text{Maximum } T_J - T_A)/\theta_{JA}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$ は自然対流でのジャンクションと周囲の間の熱抵抗値、 $\theta_{JC}$ はジャンクションとケースの間の熱抵抗値です。 $\theta_{JA}$ と $\theta_{JC}$ のどちらもJEDEC JESD51規格で定義されており、その値は、テスト・ボードおよびテスト環境に依存します。

表 6. 熱抵抗<sup>1</sup>

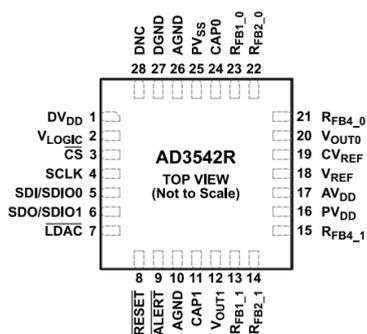
Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CP-28-15	54	12	$^\circ\text{C}/\text{W}$

## ESDに関する注意

**ESD (静電放電) の影響を受けやすいデバイスです。**

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES  
1. DNC = DO NOT CONNECT. LEAVE THIS PIN FLOATING.

図 10. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	DVDD	S	デジタル・コア電源。1.8 V ± 5%。
2	VLOGIC	S	デジタル・インターフェース電源。1.2V~1.8V。
3	$\overline{\text{CS}}$	DI	チップ・セレクト、アクティブ・ローのロジック入力。これは、入力データに対するフレーム同期化信号です。
4	SCLK	DI	シリアル・クロック入力。
5	SDI/SDIO0	DI/O	標準SPIモードでのシリアル・データ入力。 デュアルSPIモードでのシリアル双方向入出力ビット0。
6	SDO/SDIO1	DI/O	標準SPIモードでのシリアル・データ出力。 デュアルSPIモードでのシリアル双方向入出力ビット1。
7	$\overline{\text{LDAC}}$	DI	ロードDAC、アクティブ・ローのロジック入力。 $\overline{\text{LDAC}}$ は、非同期と同期の2つのモードで動作できます。このピンにロー・レベルのパルスを入力すると、入力レジスタに新しいデータがある場合、DACレジスタが更新されます。このピンを常時ローに接続している場合は、新しいデータが入力レジスタに書き込まれるとDACが自動的に更新されます。
8	$\overline{\text{RESET}}$	DI	非同期リセット入力。アクティブ・ローのロジック入力。 $\overline{\text{RESET}}$ がローになると、すべてのレジスタがデフォルト値にリセットされて、デジタル・インターフェースでの動作は無視されます。AD3542Rはパワーオン・リセット (POR) 回路を内蔵しています。このピンを使用しない場合、VLOGICに接続する必要があります。
9	$\overline{\text{ALERT}}$	DO	アラート・ピンアクティブ・ローのロジック出力。このピンは、アラート状態が検出されるとロー・レベルになります。また、マスク・レジスタの対応ビットでマスクされることはありません。このピンには設定可能なブルアップ抵抗が内蔵されています。
10, 26	AGND	S	アナログ・グラウンド・リファレンス。DGNDとAGNDをデバイスの下の同じグラウンド・プレーンに接続することを推奨します。
11	CAP1	A/O	チャンネル1のアンプ帰還コンデンサ。このピンとVOUT1の間にコンデンサ (NP0を推奨) を接続し、アンプの帯域幅を調整します。
12	VOUT1	A/O	チャンネル1のアナログ出力電圧。
13	RFB1_1	A/O	チャンネル1のハードウェア・ゲインの選択、ゲイン=1。
14	RFB2_1	A/O	チャンネル1のハードウェア・ゲインの選択、ゲイン=2。
15	RFB4_1	A/O	チャンネル1のハードウェア・ゲインの選択、ゲイン=4。
16	PVDD	S	出力アンプの正電源電圧。
17	AVDD	S	アナログ電源。5 V ± 5%。
18	VREF	A/O	2.5Vの電圧リファレンス。外部リファレンス使用時は入力、内部リファレンス使用時は出力またはフローティング状態。
19	CVREF	A/O	内部リファレンス用のデカップリング・コンデンサ。オプション。
20	VOUT0	A/O	チャンネル0のアナログ出力電圧。
21	RFB4_0	A/O	チャンネル0のハードウェア・ゲインの選択、ゲイン=4。
22	RFB2_0	A/O	チャンネル0のハードウェア・ゲインの選択、ゲイン=2。
23	RFB1_0	A/O	チャンネル0のハードウェア・ゲインの選択、ゲイン=1。

## ピン配置およびピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
24	CAPO	A/O	チャンネル0のアンプ帰還コンデンサ。このピンとV <sub>OUT0</sub> の間にコンデンサ（NPOを推奨）を接続し、アンプの帯域幅を調整します。
25	PV <sub>SS</sub>	S	出力アンプの負側レール。
27	DGND	S	デジタル・グラウンド・リファレンス。DGNDとAGNDをデバイスの下の同じグラウンド・プレーンに接続することを推奨します。
28	DNC		接続なし。これらのピンはフロート状態のままにしておきます。

1 Sは電源、DIはデジタル入力、DOはデジタル出力、A/Oはアナログ入出力です。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = 5V$ 、 $DV_{DD} = V_{LOGIC} = 1.8V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、外部電圧リファレンス、温度 = 25°C（周囲温度）。電源の推奨事項のセクションの説明に従いデカップリング。

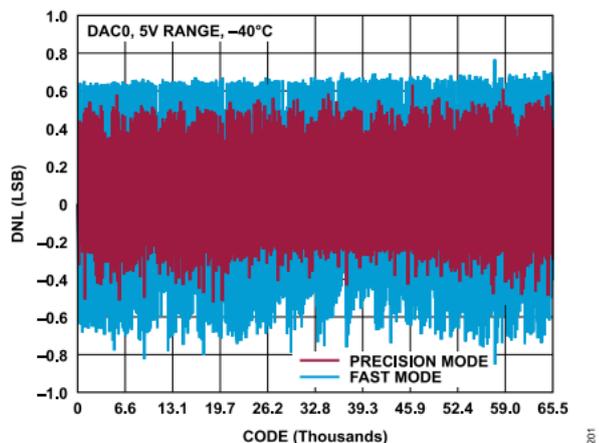


図 11. AD3542R-16のDNLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

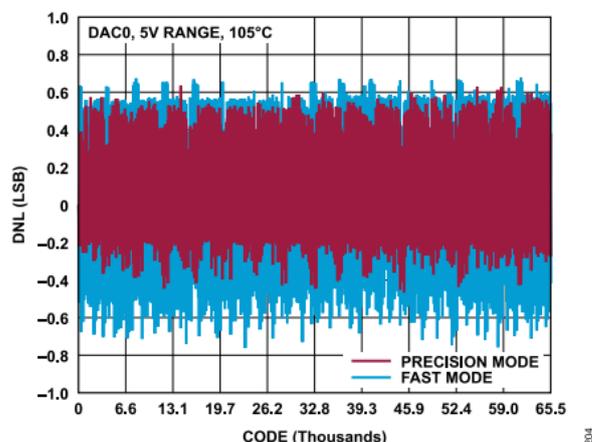


図 14. AD3542R-16のDNLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

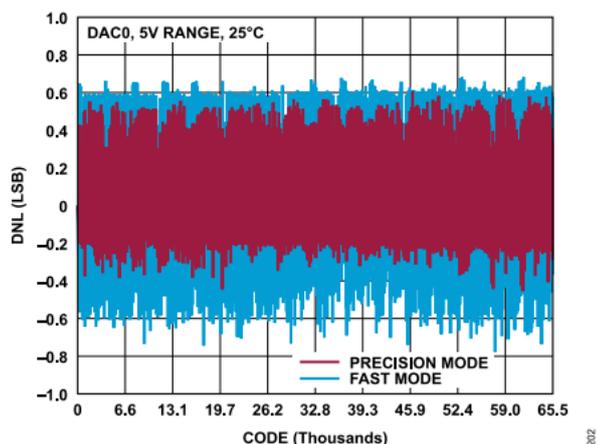


図 12. AD3542R-16のDNLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

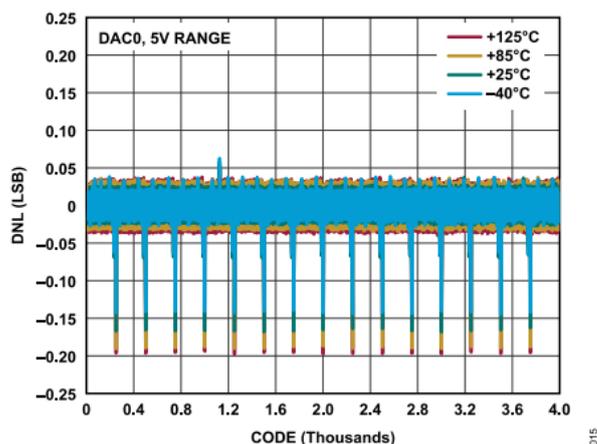


図 15. AD3542R-12のDNLとコードと温度の関係、0V~5Vのレンジ

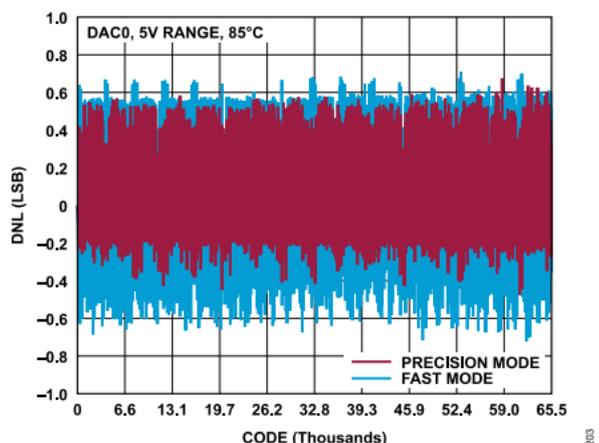


図 13. AD3542R-16のDNLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

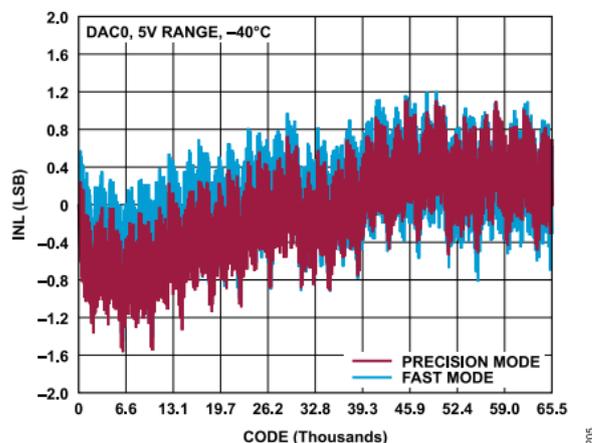


図 16. AD3542R-16のINLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

代表的な性能特性

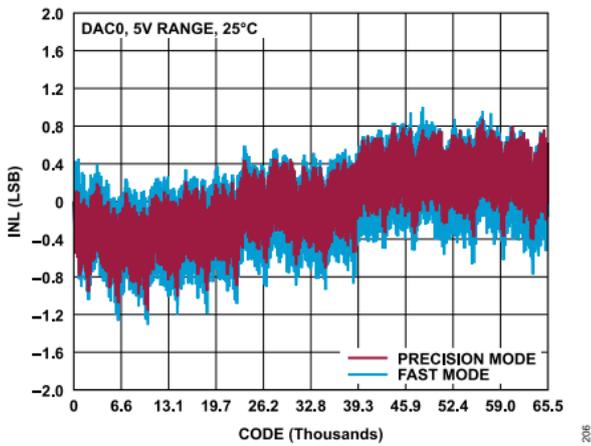


図 17. AD3542R-16のINLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

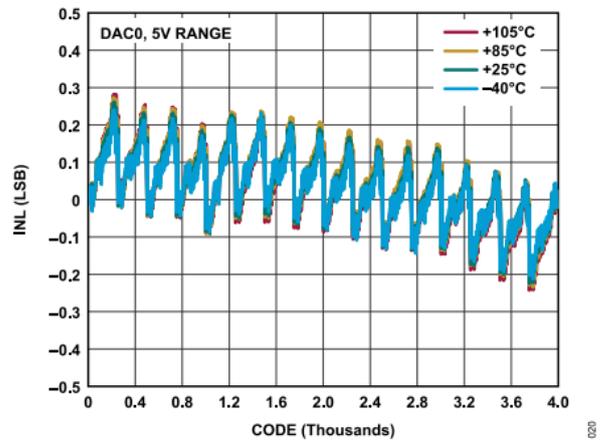


図 20. AD3542R-12のINLとコードと温度の関係、0V~5Vのレンジ

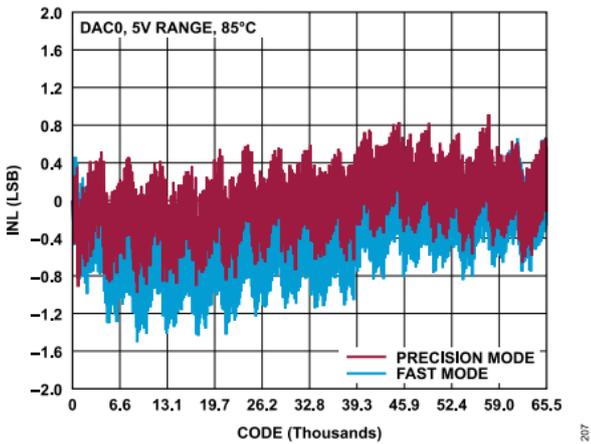


図 18. AD3542R-16のINLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

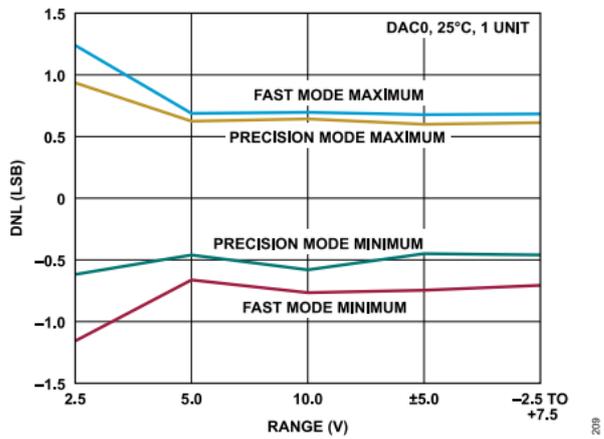


図 21. AD3542R-16のDNLとレンジの関係、高速モードおよび高精度モード

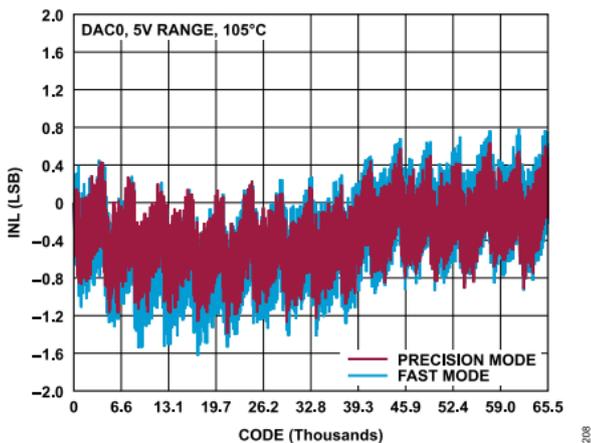


図 19. AD3542R-16のINLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

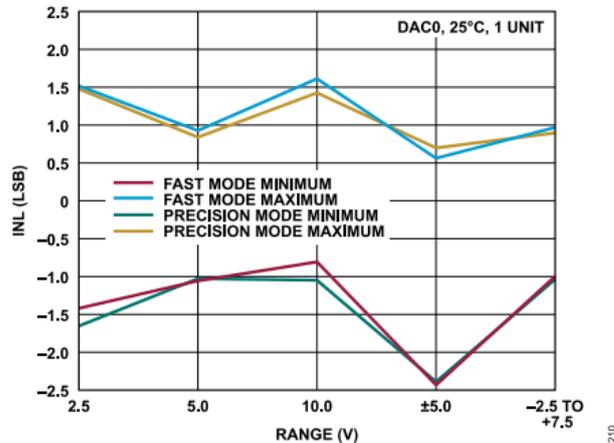


図 22. AD3542R-16のINLとレンジの関係、高速モードおよび高精度モード

代表的な性能特性

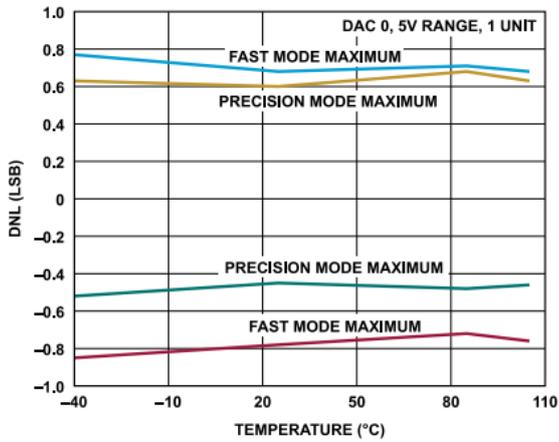


図 23. AD3542R-16のDNLと温度の関係

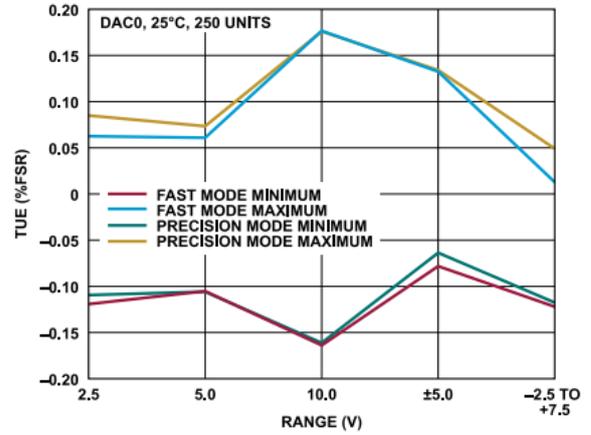


図 26. TUEとレンジの関係

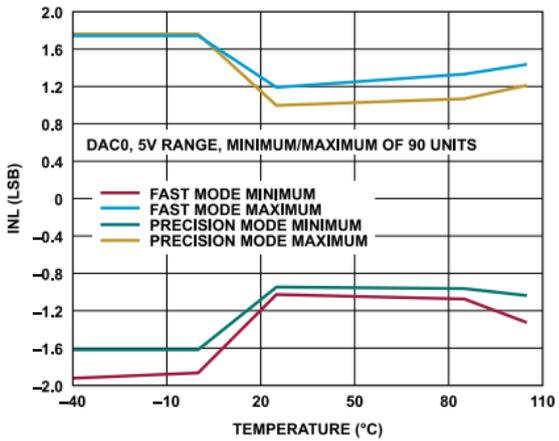


図 24. AD3542R-16のINLと温度の関係

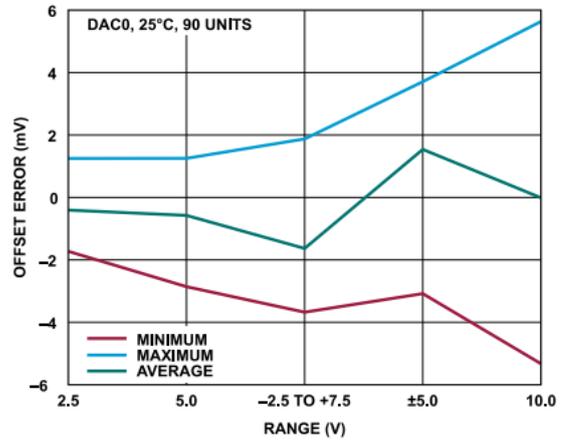


図 27. オフセット誤差とレンジの関係

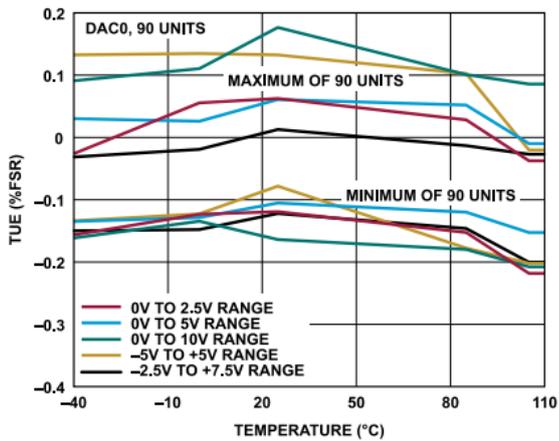


図 25. TUEと温度の関係

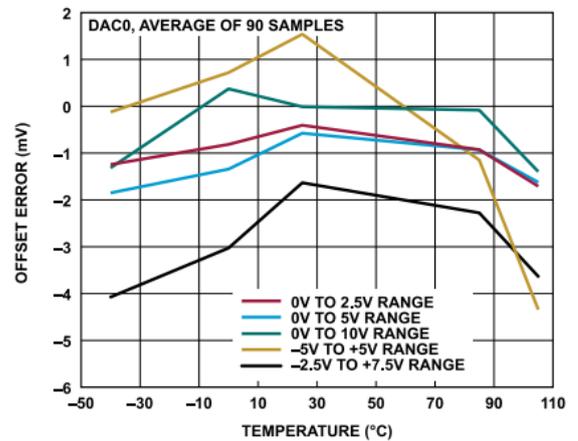


図 28. オフセット誤差と温度の関係

代表的な性能特性

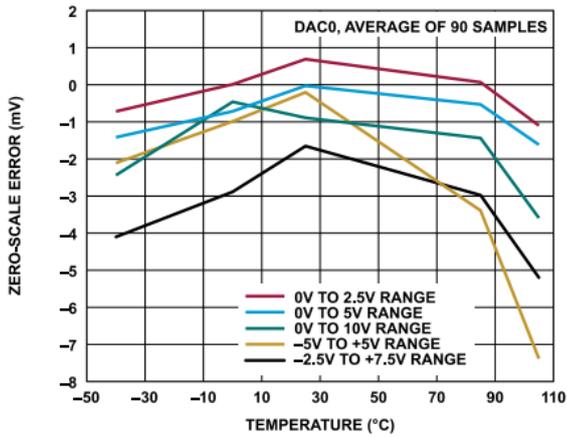


図 29. ゼロスケール誤差と温度の関係

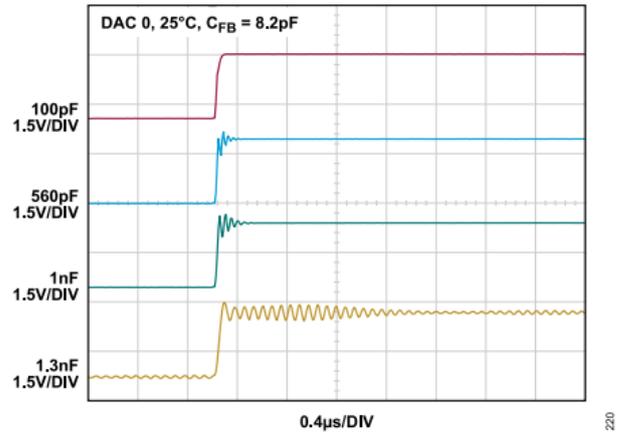


図 32. 出力の負荷安定性 (C<sub>FB</sub> は帰還コンデンサ)

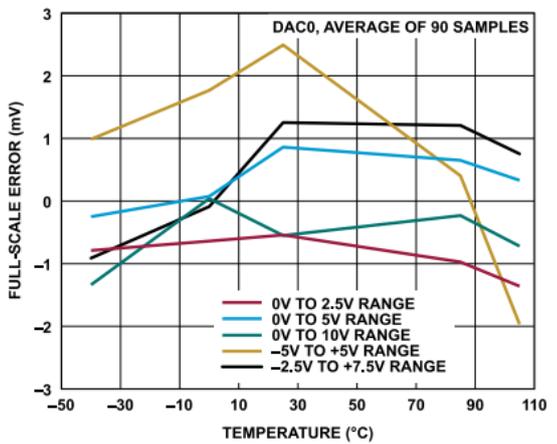


図 30. フルスケール誤差と温度の関係

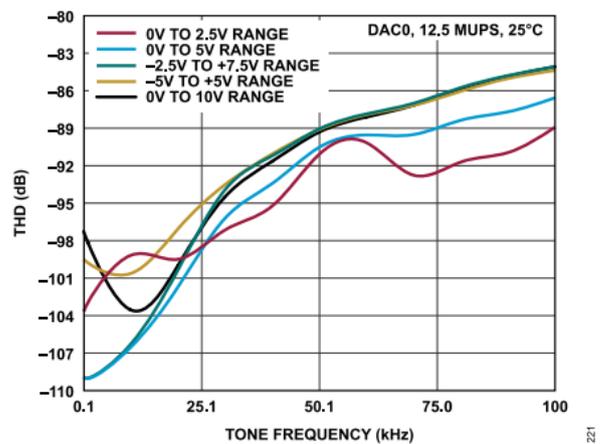


図 33. AD3542R-16のTHDとトーン周波数の関係

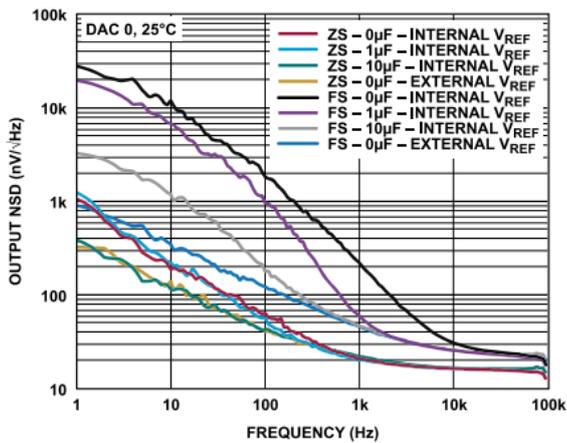


図 31. 出力ノイズ・スペクトル密度 (NSD) と周波数の関係

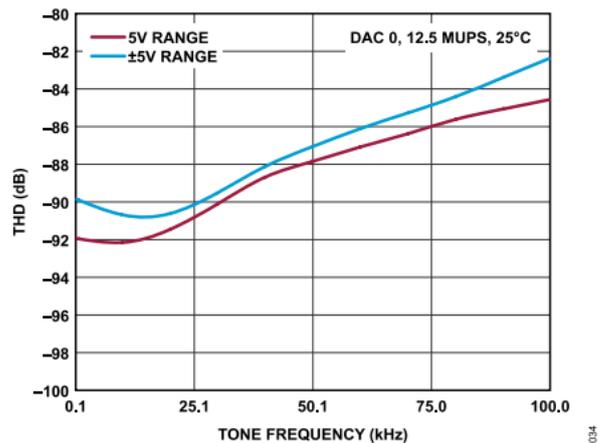


図 34. AD3542R-12のTHDとトーン周波数の関係

代表的な性能特性

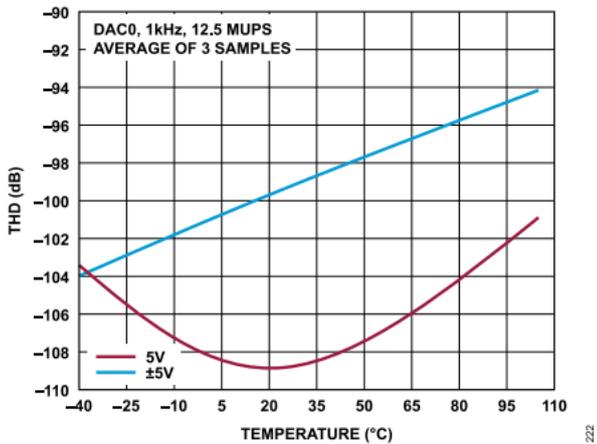


図 35. AD3542R-16のTHDと温度の関係

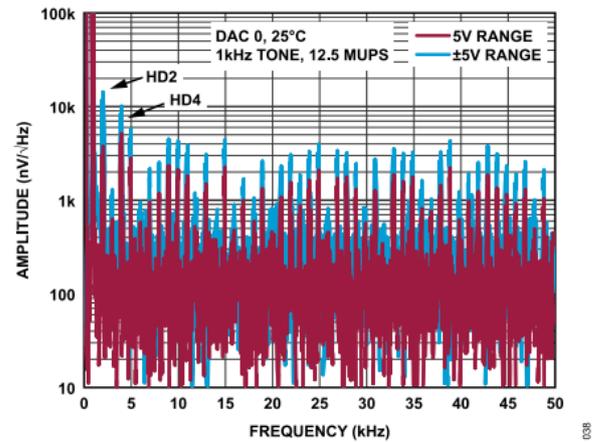


図 38. AD3542R-12の1kHzサイン波を再生時のスペクトル・ノイズ密度

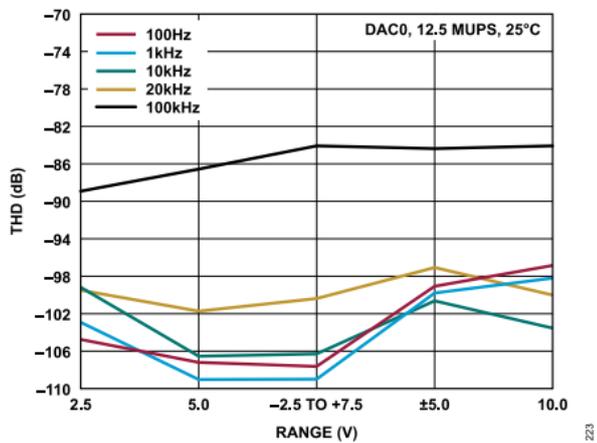


図 36. AD3542R-16のTHDとレンジの関係

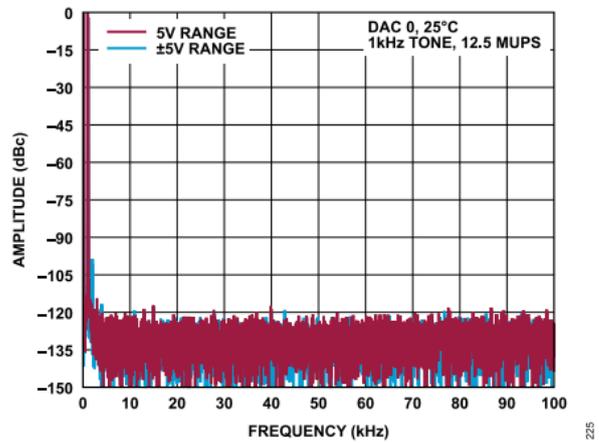


図 39. AD3542R-16の1kHzサイン波の高速フーリエ変換 (FFT)、12.5 MUPS

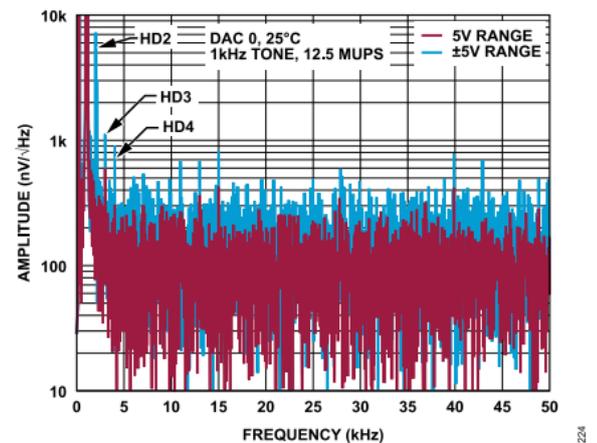


図 37. AD3542R-16の1kHzサイン波を再生時のスペクトル・ノイズ密度 (HD2は2次高調波歪み、HD3は3次高調波歪み、HD4は4次高調波歪み)

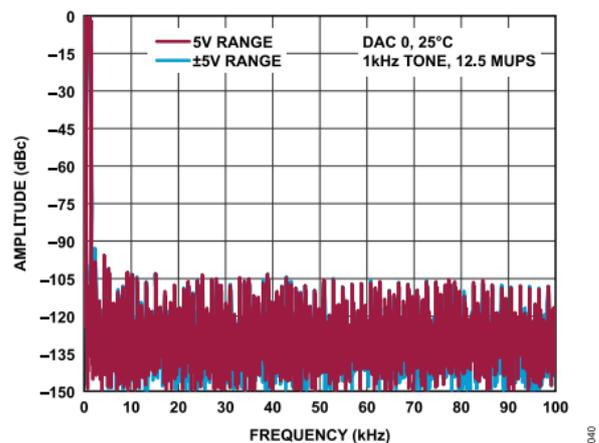


図 40. AD3542R-12の1kHzサイン波の高速フーリエ変換 (FFT)、12.5 MUPS

代表的な性能特性

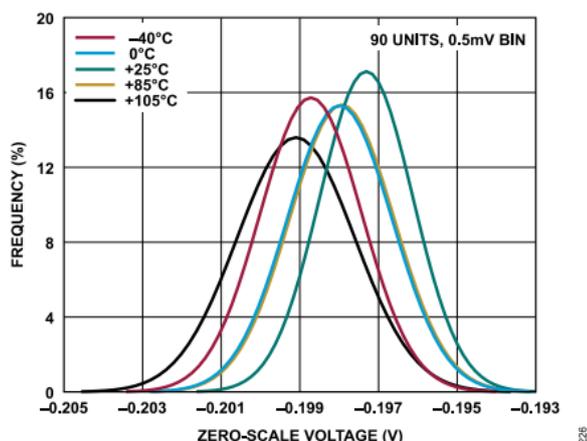


図 41. ゼロスケールの電圧分布、0V~2.5Vのレンジ

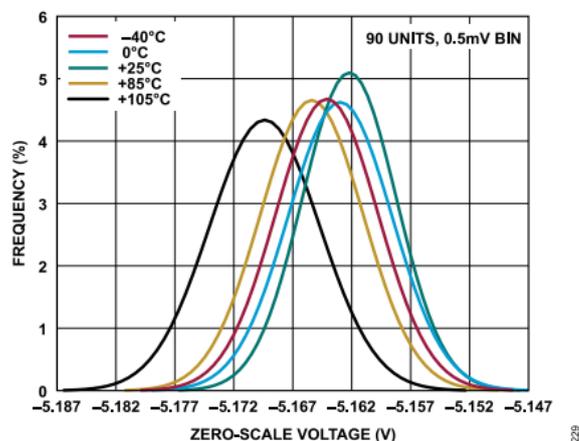


図 44. ゼロスケールの電圧分布、-5V~+5Vのレンジ

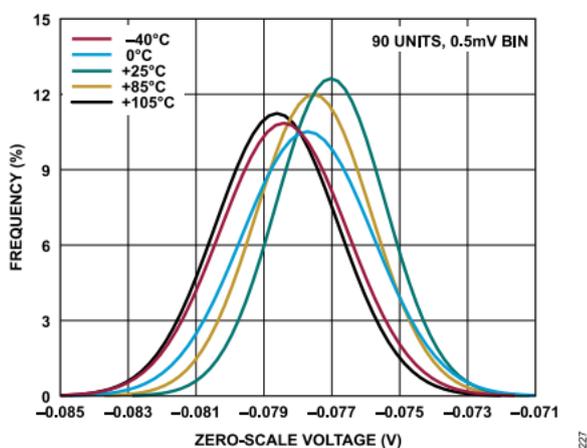


図 42. ゼロスケールの電圧分布、0V~5Vのレンジ

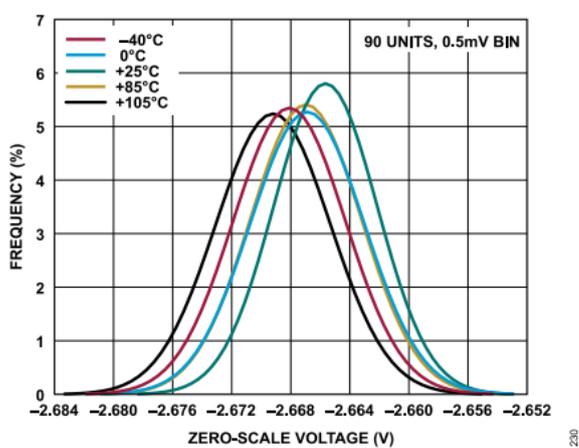


図 45. ゼロスケールの電圧分布、-2.5V~+7.5Vのレンジ

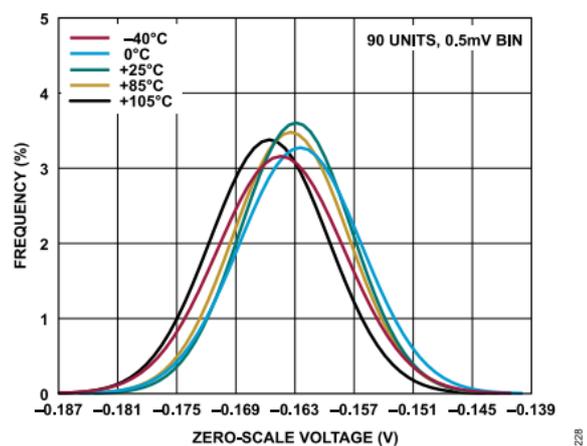


図 43. ゼロスケールの電圧分布、0V~10Vのレンジ

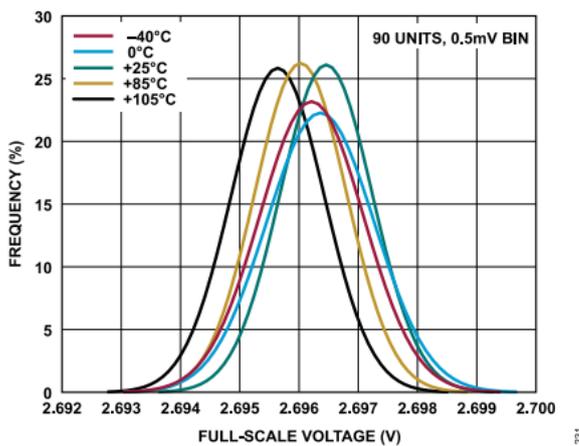


図 46. フルスケールの電圧分布、0V~2.5Vのレンジ

代表的な性能特性

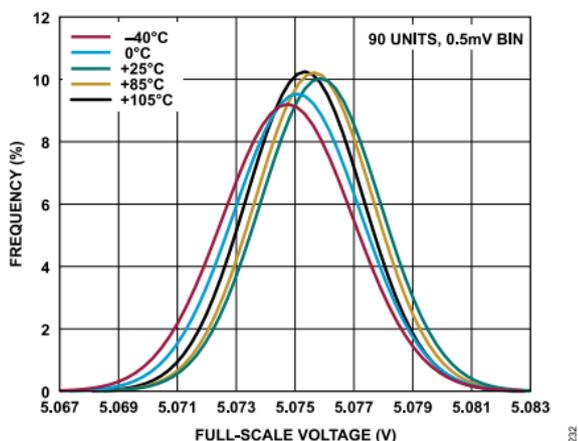


図 47. フルスケールの電圧分布、0V~5Vのレンジ

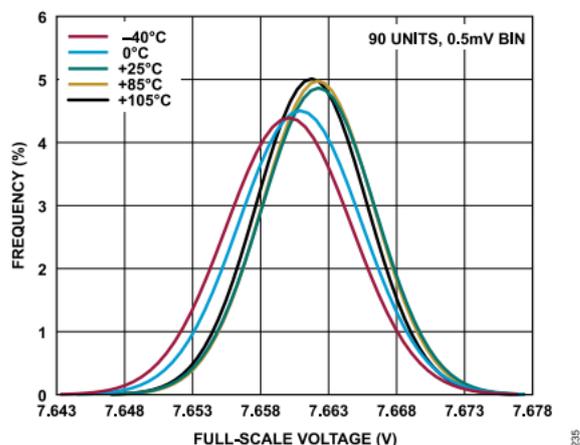


図 50. フルスケールの電圧分布、-2.5V~+7.5Vのレンジ

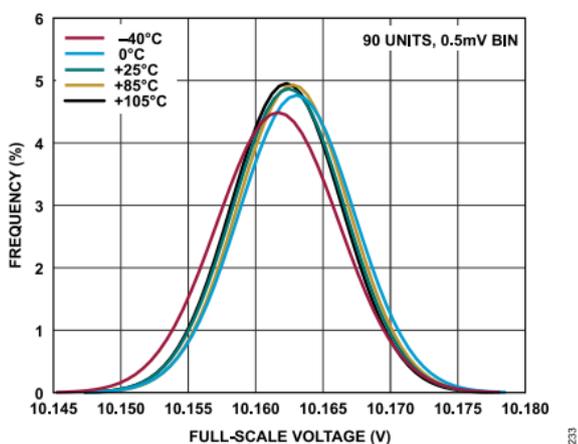


図 48. フルスケールの電圧分布、0V~10Vのレンジ

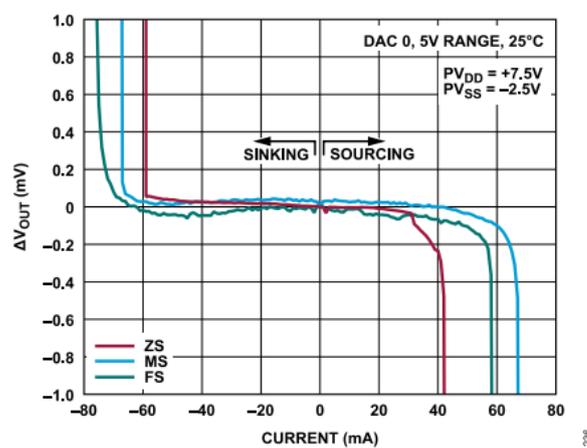


図 51. 5Vレンジでのソース能力とシンク能力

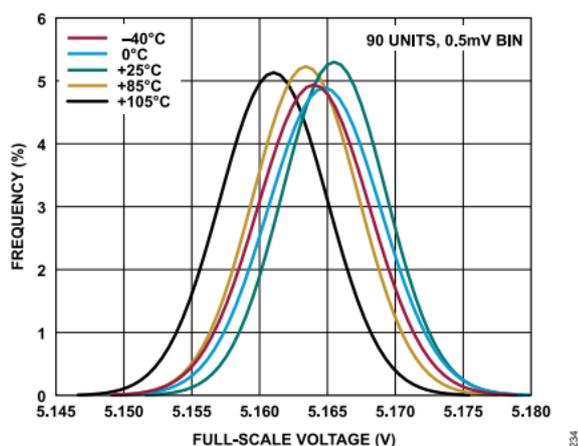


図 49. フルスケールの電圧分布、-5V~+5Vのレンジ

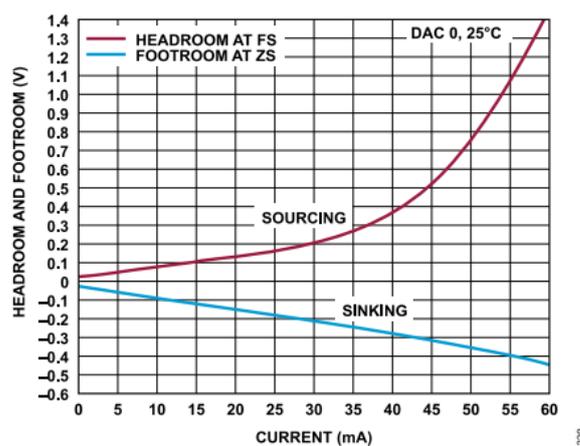


図 52. ヘッドルームおよびフットルームと負荷電流の関係

代表的な性能特性

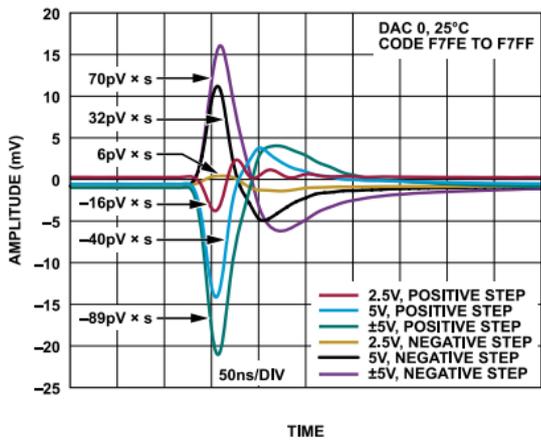


図 53. デジタル/アナログ・グリッチ

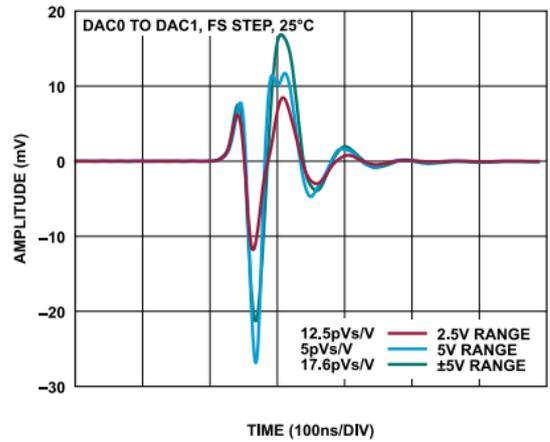


図 56. DAC間クロストーク

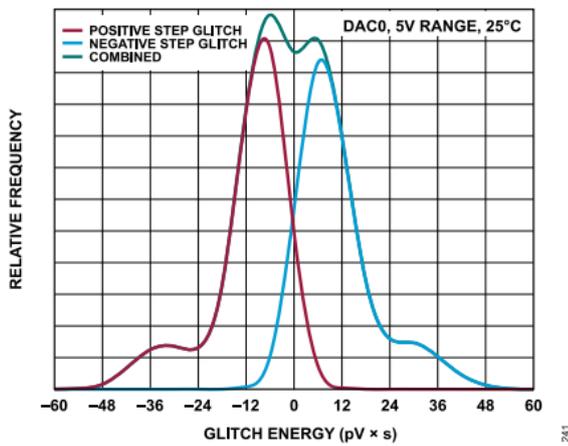


図 54. デジタル/アナログ・グリッチ・エネルギーのヒストグラム

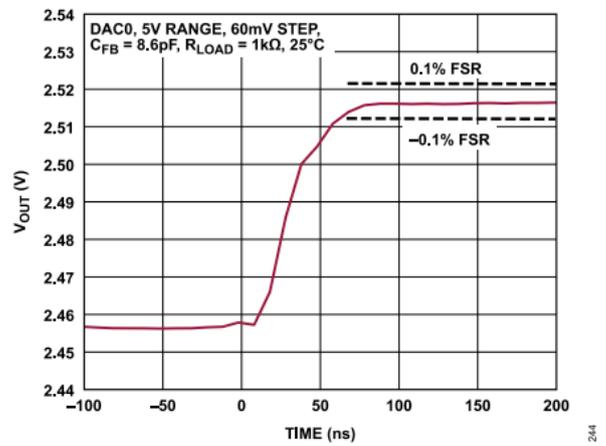


図 57. 小信号セトリング時間、0V~5Vのレンジ (R<sub>LOAD</sub>は負荷抵抗)

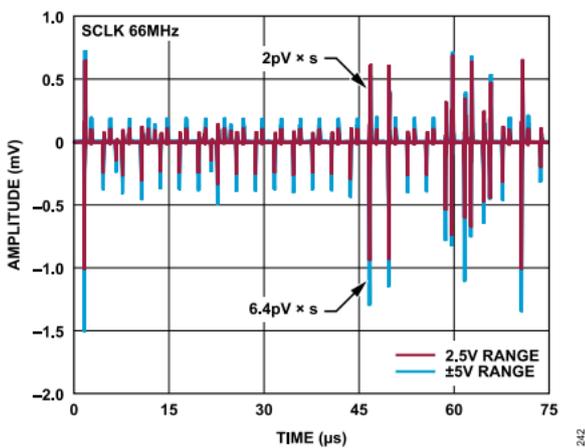


図 55. デジタル・フィードスルー

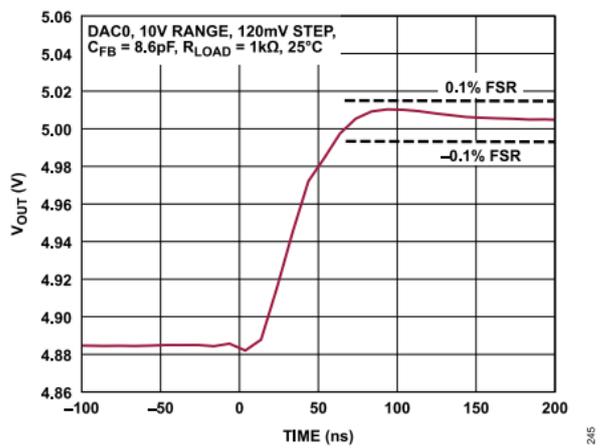


図 58. 小信号セトリング時間、0V~10Vのレンジ

代表的な性能特性

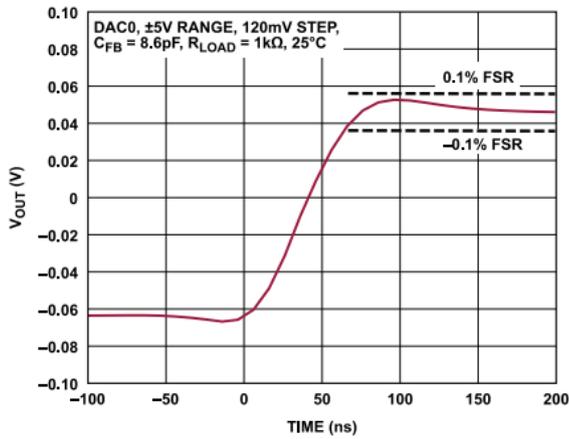


図 59. 小信号セトリング時間、-5V~+5Vのレンジ

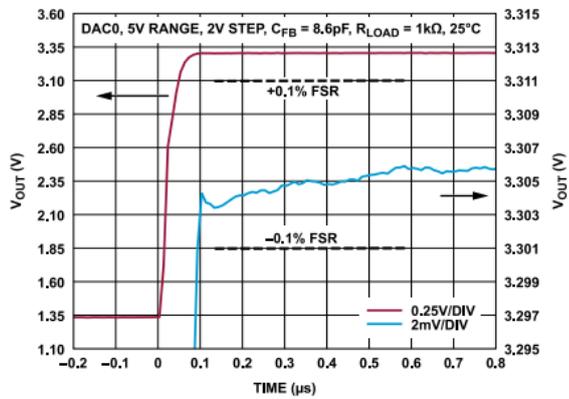


図 60. 大信号セトリング時間、0V~5Vのレンジ

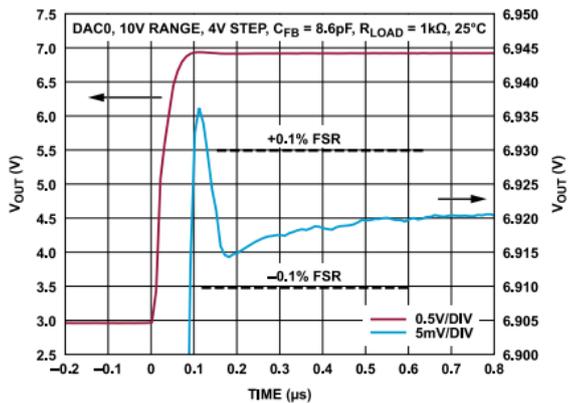


図 61. 大信号セトリング時間、0V~10Vのレンジ

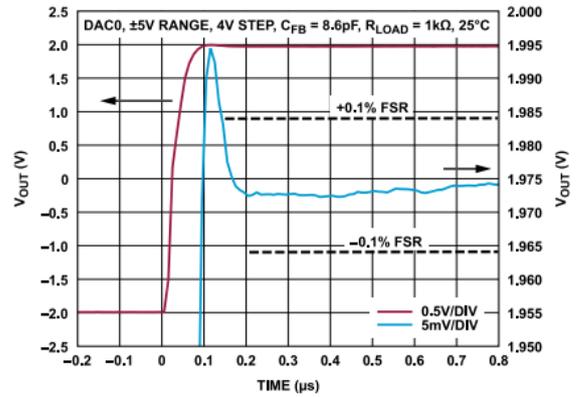


図 62. 大信号セトリング時間、-5V~+5Vのレンジ

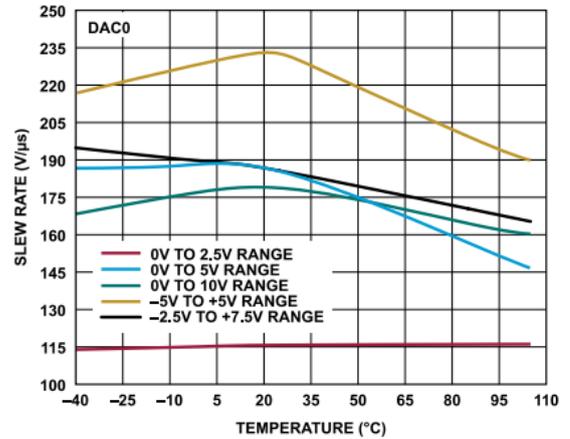


図 63. スルー・レートと温度の関係

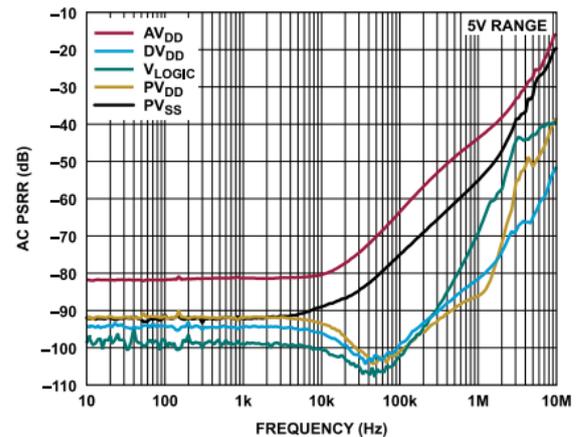


図 64. AC PSRRと周波数の関係

代表的な性能特性

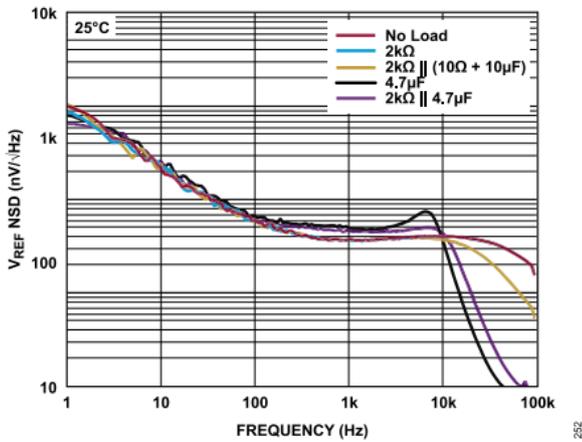


図 65. リファレンス電圧 ( $V_{REF}$ ) のNSDと周波数および負荷インピーダンスの関係

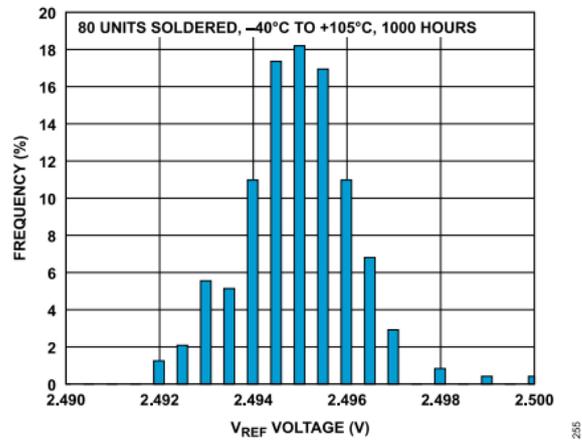


図 68. リファレンス電圧の分布

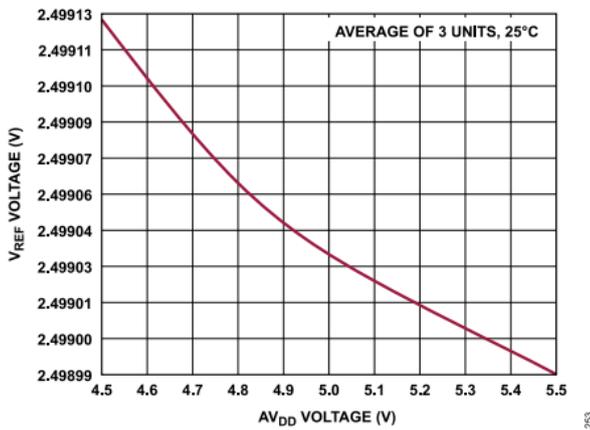


図 66.  $V_{REF}$ 電圧と $AV_{DD}$ 電圧の関係

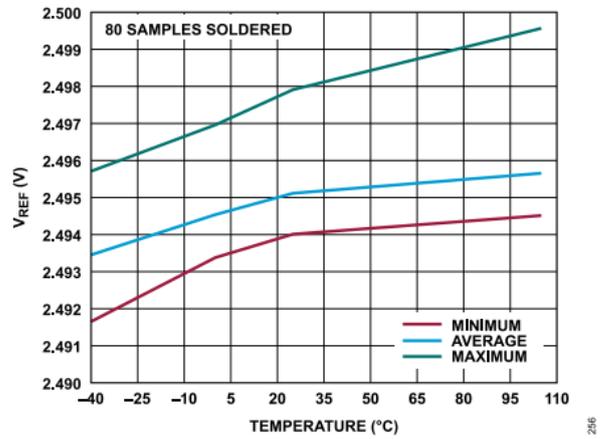


図 69.  $V_{REF}$ と温度の関係

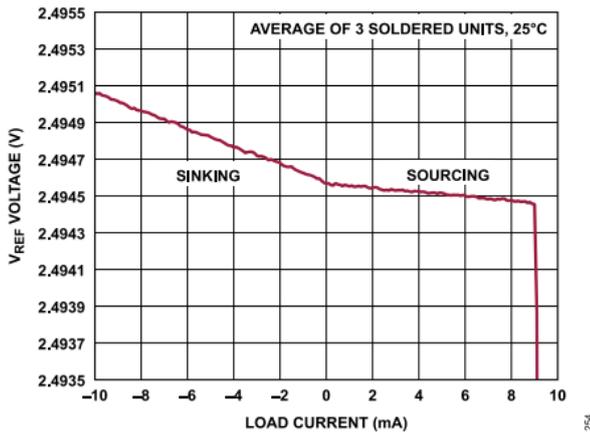


図 67.  $V_{REF}$ 電圧と負荷電流の関係

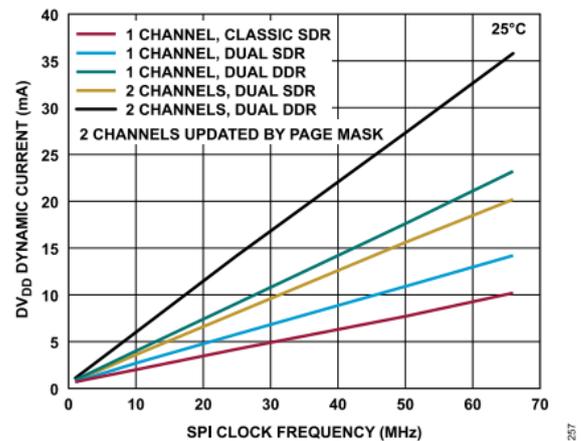


図 70. AD3542R-16の $DV_{DD}$  動的電流とSPIクロック周波数およびSPIモードの関係

代表的な性能特性

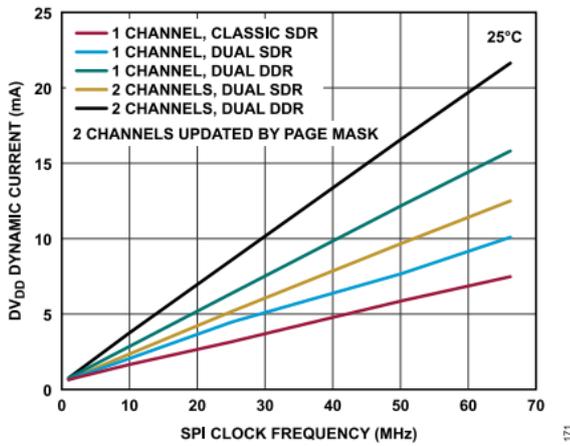


図 71. AD3542R-12のDV<sub>DD</sub> 動的電流とSPIクロック周波数およびSPIモードの関係

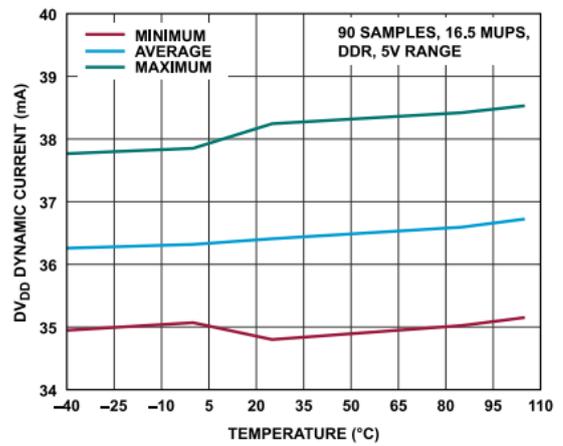


図 74. AD3542R-16のDV<sub>DD</sub> 動的電流と温度の関係

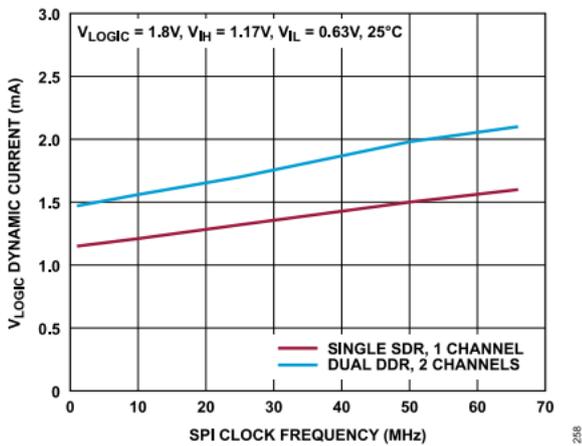


図 72. V<sub>LOGIC</sub>動的電流とSPIクロック周波数およびSPIモードの関係

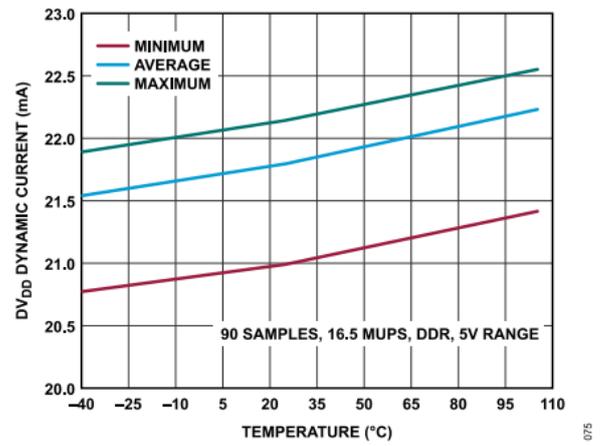


図 75. AD3542R-12のDV<sub>DD</sub> 動的電流と温度の関係

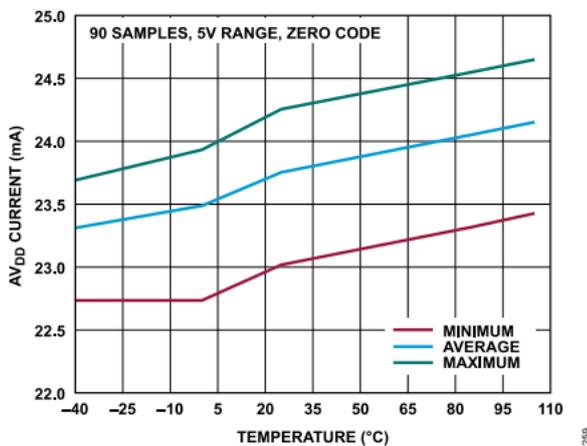


図 73. AV<sub>DD</sub> 電流と温度の関係

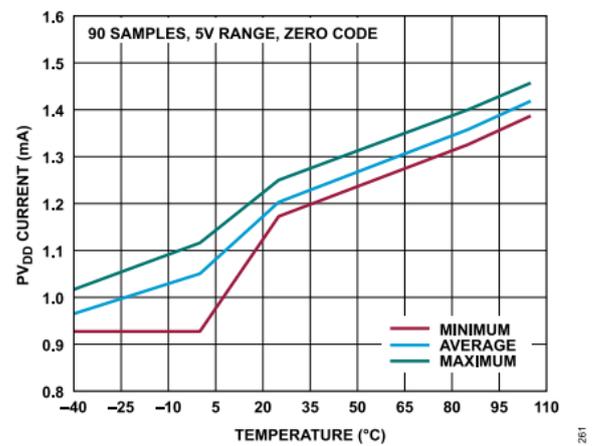


図 76. PV<sub>DD</sub> 電流と温度の関係

代表的な性能特性

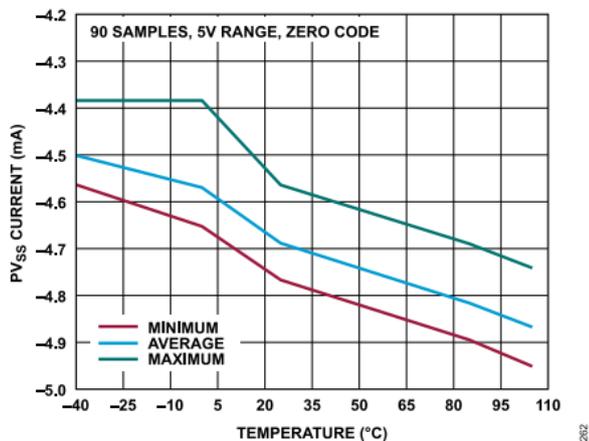


図 77. PV<sub>SS</sub> 電流と温度の関係

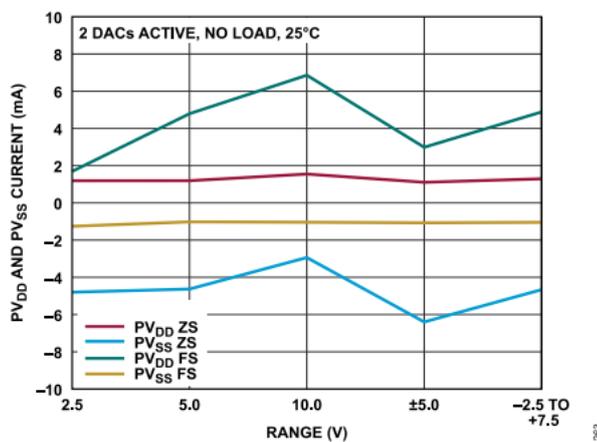


図 78. PV<sub>DD</sub> およびPV<sub>SS</sub>電流とレンジの関係

## 用語の定義

### 相対精度または積分非直線性 (INL)

DACの場合、相対精度すなわち積分非直線性は、DAC伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB単位で表示) を表します。INLとコードの関係を示す代表的なグラフについては、[図17](#)を参照してください。

### 微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する2つのコードの間での測定された変化と理論的な1LSB変化との差を表します。DNLとコードの関係を示す代表的なグラフについては、[図12](#)を参照してください。

### オフセット誤差

オフセット誤差は、ゲイン誤差を補償した後の理想的な伝達関数からの上下方向の偏差を表します。オフセット誤差の単位はmVです。AD3542Rでは、オフセット誤差はミッドスケールで測定されます。理想的な出力と実際の出力との比較はミッドスケールで行われます。

### オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセットの相対的な変化を測定したもので、単位はppm/°Cです。所定温度での合計オフセットは、次式で表されます。

$$Offset_T = Offset_{25^\circ\text{C}} + \frac{TC \times (T - 25) \times V_{RANGE}}{10^6}$$

### フルスケール/ゼロスケール誤差

25°Cにおけるフルスケールおよびゼロスケールでの理想値からの偏差を表します。フルスケール・レンジ (FSR) に対するパーセンテージで表されます。AD3542Rの場合、理想値は、十分な数のサンプルによる平均値で計算します。

### フルスケール/ゼロスケール誤差ドリフト

これらのパラメータは、理想的なゼロスケール電圧とフルスケール電圧を基準としたゼロスケール電圧とフルスケール電圧の変動を、温度の関数として表したものです。単位はppm/°Cです。合計偏差の温度変化は、オフセットと同じ式を用いて計算できます。

### DC PSRRおよびAC PSRR

PSRRは、DAC出力に対する電源電圧変化の影響を表します。PSRRは、DACのミッドスケール出力での、 $V_{OUT}$ 変化の電源電圧変化に対する比です。単位はdBです。 $V_{REF}$ を2.5Vに維持して、電源電圧を±200mV p-p変化させます。

### 出力電圧セトリング時間

出力電圧セトリング時間は、所定のステップ変化に対して、DACの出力が指定されたレベルに安定するまでに要する時間です。小信号セトリングと大信号セトリングの代表的なグラフについては、[図57](#)～[図62](#)を参照してください。

### デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常nV × secで表すグリッチの面積として規定され、デジタル入力コードが1LSBだけ変化したときに測定されます。グリッチ・インパルスの代表的なグラフについては、[図53](#)を参照してください。

### デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV × secで規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット0から全ビット1への変化時、または全ビット1から全ビット0への変化時に測定されます。デジタル・フィードスルーの代表的なグラフについては[図55](#)を参照してください。

### 出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ノイズの測定は、ミッドスケール・コードでロードされるDAC出力で行います。単位はnV/√Hzです。ノイズ・スペクトル密度のグラフについては、[図31](#)をご覧ください。内部リファレンスのノイズも[図65](#)に示します。

### 全高調波歪み (THD)

THDは、理想的なサイン波と、DACを使って減衰したサイン波との偏差を表します。サイン波がDACのリファレンスとして用いられ、DAC出力に現われるその高調波がTHDになります。単位はdBです。

### 電圧リファレンス温度係数 (TC)

電圧リファレンスTCは、温度変化に伴うリファレンス出力電圧の変化を表します。電圧リファレンスTCはボックス法を使って計算します。この方法では、次のように、ppm/°C単位で表される所定の温度範囲でのリファレンス出力の最大変化としてTCを定義しています。単位はppm/°Cです。合計偏差の温度変化は、オフセットと同じ式を用いて計算できます。

$$TC = \left( \frac{V_{REF\_MAX} - V_{REF\_MIN}}{V_{REF\_NOM} \times TEMP\_RANGE} \right) \times 10^6$$

ここで、

$V_{REF\_MAX}$ は全温度範囲で測定した最大リファレンス出力、 $V_{REF\_MIN}$ は全温度範囲で測定した最小リファレンス出力、 $V_{REF\_NOM}$ は公称リファレンス出力電圧 (2.5V)、 $TEMP\_RANGE$ は仕様規定された温度範囲 (-40°C～+105°C) です。

### DCクロストーク

別のDAC出力での変化に起因する1つのDACの出力レベルのDC変化。ミッドスケールに維持した別のDACをモニタしながら、1つのDAC上でのフルスケール出力変化 (または、ソフト・パワーダウンおよびパワーアップ) を使って測定し、単位はμVです。

## 用語の定義

負荷電流変化に起因するDCクロストークでは、あるDACの負荷電流の変化がミッドスケールに維持された別のDACへ与える影響を測定します。単位は $\mu\text{V}/\text{mA}$ です。

## 動作原理

### 製品の説明

AD3542Rは、デュアル・チャンネル、16MUPSの電圧出力DACで、出力レンジを設定可能で、2.5Vの内部リファレンスを備えています。分解能が16ビットのAD3542R-16と、12ビットのAD3542R-12があります。

AD3542R-16には以下の2つの更新モードがあります。

- ▶ 高速モード：このモードで書き込まれるデータは16ビット長で、16MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は、表2に示す狭い温度範囲で有効です。このモードのデータは、末尾が`_16B`のレジスタに書き込まれます。
- ▶ 高精度モード：このモードで書き込まれるデータは24ビット長で、11MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は全動作温度範囲で確保されます。このモードのデータは、末尾が`_24B`のレジスタに書き込まれます。

AD3542R-12は、高速モードのみをサポートしており、`_24B`レジスタにはアクセスできません。12ビットのデータを`_16B`レジスタに書き込み、レジスタの最下位4ビットは0に設定されたままにしなければなりません。

AD3542Rは、標準SPIモードとデュアルSPIモードを使用しシングル・データ・レートまたはダブル・データ・レートで動作できる、汎用性のあるSPIインターフェースを実現します。AD3542Rは複数のエラー・チェックを備えており、アナログとデジタルのどちらの領域でも安全な動作が確保されています。

### DACのアーキテクチャ

AD3542Rは $V_{REF}$ 電圧が2.5Vのカレント・ステアリング型DACアーキテクチャを採用しています。DACの電流は内蔵TIAによって電圧に変換されます。

内部ブロック図を図79に示します。

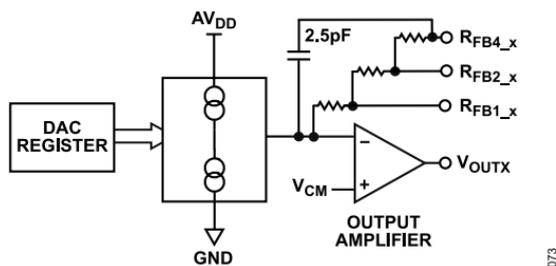


図 79. DACチャンネルのアーキテクチャのブロック図

TIAの帰還ループは、 $V_{OUTX}$ ピンを使用可能ないずれかの $R_{FBx,y}$ ピンにハードワイヤ接続することで閉じられます。 $R_{FBx,y}$ によって、実現可能な最大電圧スパンが設定されます。各電圧レンジに使用する $R_{FBx,y}$ ピンは、出力電圧スパンのセクションで指定されています。

### 出力電圧スパン

AD3542Rには電圧スパンが5通りあり、これらは`CH0_CH1_OUTPUT_RANGE`レジスタを用いて選択します。選択するスパンは、表8に示すように、使用する帰還抵抗に対応したものであることが必要です。現行の $R_{FBx,y}$ 抵抗では実現できない電圧スパンを設定すると、電圧値が不適切なものになります。

$P_{VDD}$ と $P_{VSS}$ の電源レベルは、各レンジについて十分なヘッドルームおよびフットルームが確保できるよう調整する必要があります。

スパンの両端には均等に分割された約3%のオーバーレンジが設けられており、どの条件でも公称レンジが確実にカバーされるようになっています。

表 8. 出力スパン・レンジとそれに対応する帰還抵抗

$R_{FBx,y}$	<code>CH0_CH1_OUTPUT_RANGE</code>	Output Span (V)	$V_{ZS}(V)$	$V_{FS}(V)$
$R_{FB1,y}$	0x000	0 to 2.5	-0.197	2.701
	0x001	0 to 5	-0.077	5.077
$R_{FB2,y}$	0x010	0 to 10	-0.162	10.164
	0x011	-5 to +5	-5.164	5.162
	0x100	-2.5 to +7.5	-2.663	7.663

### 伝達関数

デジタル・コードをDAC出力電流に変換すると、プレーン・バイナリのコードとの間に線形関係が生じます。理想的な出力電圧は次式で与えられます。

$$V_{OUTx} = (V_{FS} - V_{ZS}) \times \frac{D}{2^{16}} + V_{ZS}$$

ここで、

Dは、DACレジスタにロードされるバイナリ・コード（10進数表示）です。AD3542R-12では、Dは下位4ビットが0の16ビット数で、つまり、12ビット・コードに16を乗算した値です。 $V_{ZS}$ と $V_{FS}$ は、出力電圧スパンのセクションに記載されている値に従います。

### 内蔵TIA

内蔵TIAは、 $P_{VDD}$ と $P_{VSS}$ の電源レールから20mVの電圧で動作できます。内蔵TIAの各電源は、必要とされる出力レンジに対応すると同時に、最小限のヘッドルームとフットルームおよび最大限の電源電圧を維持できることが必要です。

### TIAの消費電力

内蔵TIAの静的消費電力は、出力電圧、帰還抵抗、負荷抵抗に依存します。次式は、1個のアンプによって $P_{VDD}$ および $P_{VSS}$ に流れる電流を、これらのパラメータの関数として概算するものです（アンプが飽和していない場合に限りです）。電流値はmAを単位として次のようになります。

$$I_{PVDD} = 0.65 + \max\left(0, \frac{V_{OUT} - 2.5}{R_{FB}} + \frac{V_{OUT}}{R_L}\right)$$

$$I_{PVSS} = -0.65 + \min\left(0, \frac{V_{OUT} - 2.5}{R_{FB}} + \frac{V_{OUT}}{R_L}\right)$$

ここで、

$V_{OUT}$ は出力電圧（単位：ボルト）。

$R_{FB}$ は帰還抵抗の値（単位：k $\Omega$ ）。

$R_L$ は負荷抵抗（単位：k $\Omega$ ）です。

## 動作原理

### V<sub>REF</sub>

AD3542Rは、温度係数が3ppm/°Cでパワーアップ時にイネーブルされる2.5Vの電圧リファレンスを内蔵しています。V<sub>REF</sub>ピンは、パワーアップ時には高インピーダンスであるため、電気的な問題が生じるのを防止できます。内部リファレンスを外部使用する場合がある場合は、REFERENCE\_CONFIGレジスタのREFERENCE\_VOLTAGE\_SELビットに書き込みを行い、V<sub>REF</sub>出力をイネーブルします（表9参照）。

外部リファレンスを選択した場合、V<sub>REF</sub>ピンは入力として機能します。

表 9. 電圧リファレンスの選択

REFERENCE_VOLTAGE_SEL	Source	V <sub>REF</sub> I/O
00	Internal	Floating
01	Internal	2.5 V
10	External	Input
11	External	Input

## SPIレジスタ・マップの利用

### SPIフレーム同期

SPIトランザクション時、 $\overline{CS}$ 信号によってデータがフレーム化されます。 $\overline{CS}$ の立下がりエッジによってデジタル・インターフェースが有効化され、SPIトランザクションが開始します。各SPIトランザクションには、**命令フェーズ**および**データ・フェーズ**のセクションで説明するように、少なくとも1つの命令フェーズとデータ・フェーズがあります。いずれのSPIトランザクションでも、データはMSBファーストに揃えられています。SPIトランザクション時に $\overline{CS}$ をデアサートすると、データ転送の一部または全部が終了し、デジタル・インターフェースが無効化されます。少なくとも1つのレジスタ・アドレスが指定された後に $\overline{CS}$ がデアサートされた場合（ハイ・レベルに戻った場合）、これらのレジスタの書き込みまたは読出しは行われますが、一部のアドレスしか指定されなかったレジスタは無視されます。AD3542Rがレジスタ・モードの場合の基本的なSPI書き込みフレームのステージを図80に、SPI読出しフレームのステージ図81に示します。

レジスタの読出し／書き込み動作の詳細なタイミング図を、図2～図8に示します。タイミング仕様は、**タイミング特性**のセクションに記載されています。

AD3542RのSPIプロトコルは柔軟であるため、多様なデジタル・ホストのニーズを満たすよう設定できます。複数のレジスタからのデータが1つのSPIフレームでアクセスでき、効率的なデバイス設定が可能です。すべてのアクセス・モードは、**単一命令モード**のセクションおよび**ストリーミング・モード**のセクションで説明されています。

### 命令フェーズ

各SPIフレームは命令フェーズで始まります。命令フェーズは、SPIトランザクションを開始する $\overline{CS}$ の立下がりエッジの直後に始まります。

命令フェーズは、読出し／書き込みビット（R/ $\overline{W}$ ）とそれに続くレジスタ・アドレス・ワードで構成されています。R/ $\overline{W}$ をローにセットすると書き込み命令が始まり、R/ $\overline{W}$ をハイにセットすると読出

し命令が始まります。レジスタ・アドレス・ワードはアクセス先のレジスタのアドレスを指定します。レジスタ・アドレスのデフォルトのワード長は7ビット（7ビット・アドレス指定）です。必要に応じ、INTERFACE\_CONFIG\_BレジスタのSHORT\_INSTRUCTIONビットを0に設定することで、15ビット・アドレス指定にすることができます。単一命令モードを使用する場合、1つのSPIフレームの各レジスタ読出しトランザクションまたは書き込みトランザクションも命令フェーズで始まります。ストリーミング・モードを使用する場合は、一連の連続レジスタにアクセスするのに必要なのは、SPIフレームごとに1つの命令フェーズのみです。これらのモードの選択方法と使用方法については、**単一命令モード**のセクションおよび**ストリーミング・モード**のセクションを参照してください。

### データ・フェーズ

図80および図81に示すように、データ・フェーズは命令フェーズの直後に置かれます。データ・フェーズには、選択したレジスタおよびアクセス・モードに応じて、1つのシングルバイト・レジスタ用、1つのマルチバイト・レジスタ用、複数のレジスタ用のデータが含まれます。**単一命令モード**のセクション、**ストリーミング・モード**のセクション、**アドレス方向**のセクションを参照すると、これらのモードがデータ・フェーズの読出しデータおよび書き込みデータにどう影響するかが理解できます。

書き込み動作では、アドレス指定されたレジスタの内容は、そのレジスタが1バイト、2バイト、3バイトのいずれであっても、レジスタ・データの最終ビットをシフト・インするSCLKエッジの直後に更新されます。**マルチバイト・レジスタ**のセクションで説明するように、マルチバイト・レジスタへ部分的に書き込みを行うことはできません。

読出し動作の場合、アドレス指定されたレジスタの内容は、データ・フェーズの最初のSCLKエッジでシフト・アウトを開始します。

確実に更新が行われるよう、データはAD3542Rの設定レジスタにフル・バイトで書き込む必要があります。SPI書き込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、INTERFACE\_STATUS\_AレジスタのCLOCK\_COUNTING\_ERRORビットがセットされます。

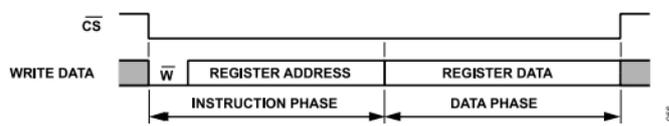


図 80. 基本的なSPI書き込みフレーム

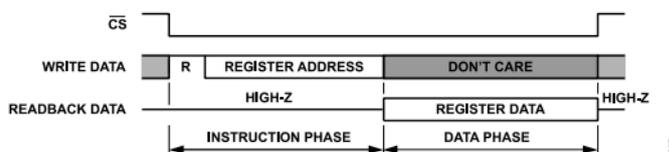


図 81. 基本的なSPI読出しフレーム

### マルチバイト・レジスタ

AD3542Rの一部のレジスタは、隣接するアドレスに格納された2バイトまたは3バイトのデータで構成されています。これをマル

## 動作原理

1バイト・レジスタと呼びます。マルチバイト・レジスタのデータが2バイトの場合は末尾に16Bというサフィックスが、3バイトの場合は末尾に24Bというサフィックスが付きます。

AD3542Rのマルチバイト・レジスタに書き込みを行う場合、すべてのバイトを1回のSPIトランザクションで転送する必要があります。そのため、INTERFACE\_CONFIG\_Cレジスタの

STRICT\_REGISTER\_ACCESSビットは読み出し専用で、1にセットされます。マルチバイト・レジスタへのSPI書き込みトランザクションをバイトごとに行おうとした場合、レジスタの内容は更新されず、INTERFACE\_STATUS\_Aレジスタの

PARTIAL\_REGISTER\_ACCESSビットがセットされます。

AD3542Rのマルチバイト・レジスタへの書き込みトランザクションが有効になるのは、レジスタ・データの最終ビットをシフト・インする、データ・フェーズの24個目または16個目のSCLKエッジの後です。

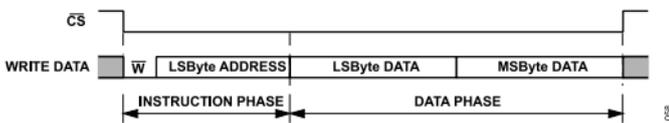


図 82. 昇順アドレス指定でのマルチバイト・レジスタへの書き込み

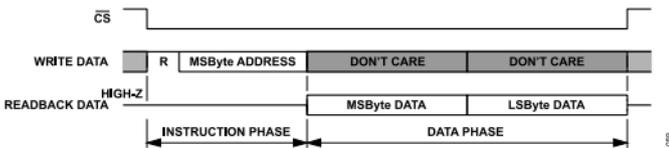


図 83. 降順アドレス指定でのマルチバイト・レジスタの読み出し

マルチバイト・レジスタのアドレスは、常にINTERFACE\_CONFIG\_AレジスタのADDR\_DIRECTIONビットに依存します（詳細については[アドレス方向](#)のセクションを参照）。降順アドレス指定では、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであり、後続のバイトは次の下位アドレスのデータに対応したものである必要があります。昇順アドレス指定の場合は、データ・フェーズの最初のアクセス・バイトはマルチバイト・レジスタの最下位バイトであり、後続のバイトは次の上位アドレスのデータに対応している必要があります。

マルチバイト・レジスタは1回のSPIトランザクションで読み出すことができる他、バイトごとに個別にアドレス指定することもできます。マルチバイト・レジスタへのSPI読み出しトランザクションをバイトごとに行おうとした場合、INTERFACE\_STATUS\_AレジスタのPARTIAL\_REGISTER\_ACCESSビットがセットされます。例えば、VENDOR\_IDレジスタは2バイト長で、その最下位バイトのアドレスは0x0C、最上位バイトのアドレスは0x0Dです。マルチ

バイト・レジスタ（2バイト）への書き込み/読み出しトランザクションを、昇順アドレス指定の場合について図82に、降順アドレス指定の場合について図83に示します。アドレス指定を降順（自動デクリメント）とするか昇順（自動インクリメント）とするかを選択する方法の詳細については、[アドレス方向](#)のセクションを参照してください。

### アドレス方向

アドレス方向オプションを使用すると、1つのデータ・フェーズで複数バイトのデータを転送する場合に、レジスタ・アドレスを自動的にインクリメント（アドレスが増加）するかデクリメント（アドレスが減少）するかを設定できます（例えば、図82および図83に示すように、マルチバイト・レジスタにアクセスする場合や、図85に示すようにストリーミング・モードで複数のレジスタにアクセスする場合）。

アドレス方向は、INTERFACE\_CONFIG\_AレジスタのADDR\_DIRECTIONビットで選択できます。ADDR\_DIRECTIONビットを0に設定すると、バイトにアクセスするごとにアドレスがデクリメントします。ADDR\_DIRECTIONを1に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトをシフト・インします。

アドレス0x29以降のマルチバイト・レジスタは、降順モードでのみアクセスできます。

### 単一命令モード

INTERFACE\_CONFIG\_BレジスタのSINGLE\_INSTRUCTIONビットが1に設定されている場合、ストリーミング・モードが無効化され、単一命令モードが有効になります。単一命令モードでは、データ・フェーズには単一レジスタのデータのみが含まれ、CSがローのままであっても、各データ・フェーズの後には新しい命令フェーズが続く必要があります。単一命令モードでは、デジタル・ホストは1つのSPIフレーム内の隣接しないアドレスのレジスタに対して手早く読書ができます。これに対し、ストリーミング・モードでは、新たな命令フェーズを開始するためにCSパルスをハイにすることなく隣接レジスタに対する読み出しまたは書き込みのいずれかを行うことができます。

図84に、次のレジスタ・アクセスを行う単一命令モードのSPIトランザクション例を示します。

- ▶ 出力レンジを設定する。
- ▶ 出力段をイネーブルする。
- ▶ CHIP\_TYPEレジスタを読み出す。

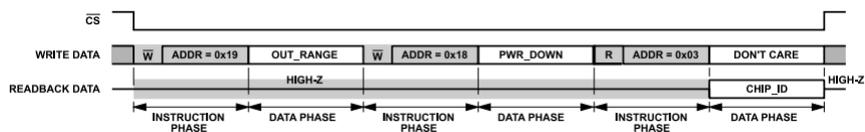


図 84. 単一命令モードによる降順アドレス指定でのレジスタ・アクセス

## 動作原理

## ストリーミング・モード

INTERFACE\_CONFIG\_BレジスタのSINGLE\_INSTRUCTIONビットが0に設定されている場合、単一命令モードが無効化され、ストリーミング・モードが有効になります。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに1つの命令フェーズとデータ・フェーズでアクセスできるため、メモリの隣接領域に効率的にアクセスできます（例えば、デバイスの初期設定時）。AD3542Rは、デフォルトでストリーミング・モードに設定されています。

ストリーミング・モードの場合、各SPIフレームは1つの命令フェーズで構成され、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。開始レジスタのアドレスは命令フェーズにおいてデジタル・ホストが指定し、データの各バイトへのアクセスが行われた後、このアドレスは、自動的にインクリメントまたはデクリメント（アドレス方向の設定による）します。そのため、データ・フェーズは複数バイト長となることがあり、読出または書き込みデータの連続するバイトはそれぞれ、次の上位アドレス（昇順アドレス方向の場合）または下位アドレス（降順アドレス方向の場合）に対応します。

昇順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタに対する書き込みまたは読出しを行う場合、命令フェーズでレジスタの最下位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最下位バイトからデータ転送が行われます。

降順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタに対する書き込みまたは読出しを行う場合は、命令フェーズでレジスタの最上位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最上位バイトから転送が行われます。

図85に、降順アドレスのストリーミング・モードを使用し、AD3542Rのアドレス0x16で始まるいくつかのレジスタに書き込みを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって、連続するアドレスに転送されるデータ・バイトの数が決まります。 $\overline{CS}$ は書き込みトランザクションの最後でハイ・レベルになります（図85において、書き込みトランザクションはアドレス0x02の後に終了します）。

図86に、降順アドレスのストリーミング・モードを使用し、AD3542Rのアドレス0x16で始まるいくつかのレジスタから読出しを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって、連続するアドレスに転送される

データ・バイトの数が決まります。 $\overline{CS}$ は読出しトランザクションの最後でハイ・レベルになります（図86において、読出しトランザクションはアドレス0x02の後に終了します）。

STREAM\_MODEレジスタを用いることで、連続するレジスタの範囲を指定してデータ・フェーズでループ・スルーを行うことができます。ループにより、デジタル・ホストは一連のレジスタ（例えば、アドレス0x29～アドレス0x2CのCHx\_DAC\_16Bレジスタ）との間で可能な限り効率的に読出または書き込みを繰り返すことができます。アドレス0x29以降のレジスタ・アドレスにアクセスする場合、アドレス方向は必ず降順に設定する必要があります。

STREAM\_MODEを0に設定すると、ループは無効化され、次の状態になります。

- ▶ アドレス方向が降順に設定されている場合、アドレスは0x00に達するまで減少します。その後のバイト・アクセスでは、アドレスはアドレス指定可能な空間の最上位（アドレス0x4B）に設定されます。なお、レジスタ・アドレスによってはSPIモードのアクセスの観点から制限が適用される場合があります。
- ▶ アドレス方向が昇順に設定されている場合、アドレスはアドレス指定可能な空間の最上位（アドレス0x4B）に達するまで増加します。その後のバイト・アクセスでは、アドレスは0x00にリセットされます。なお、レジスタ・アドレスに応じてSPIモードのアクセスの観点で制限が適用される場合があります。0x28より大きなマルチバイト・レジスタは、昇順モードでは更新されません。

STREAM\_MODEが0以外の値に設定されている場合、ループが有効化され、その値は、アドレス・フェーズで指定された値にアドレスがループ・バックする前にデータ・フェーズでアクセスされるバイト数に対応します。例を図87に示します。

STREAM\_MODEレジスタの値は、表10に示すように、TRANSFER\_REGISTERのSTREAM\_LENGTH\_KEEP\_VALUEビットの値に応じて、トランザクションの終了時（ $\overline{CS}$ がハイに戻った時）に保持するか0にリセットするかを選択できます。

表 10. ストリーム・モードの自動リセット

STREAM_LENGTH_KEEP_VALUE	STREAM_MODE Register
0	Autoreset
1	Keeps previous value

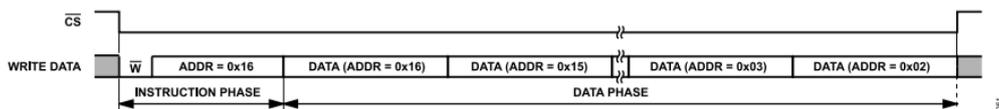


図 85. ストリーミング・モードによる降順アドレスでのレジスタ書き込み

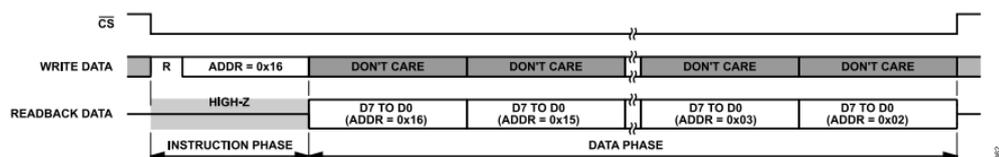


図 86. ループを無効化した場合のストリーミング・モードによるレジスタ読出し

動作原理

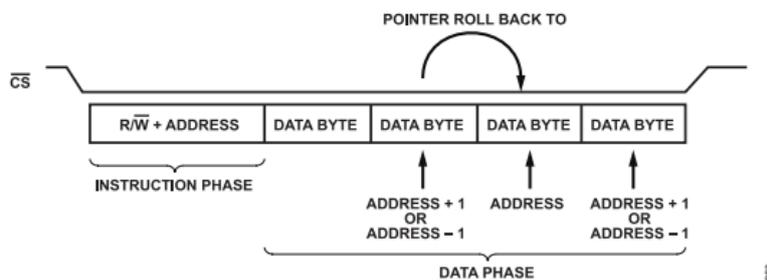


図 87. STREAM\_MODE = 2とした場合のループの有効化

動作原理

CRCエラー検出

AD3542RにはCRCオプションがあるため、デジタル・ホスト（マスタ）とAD3542R（スレーブ）の間のSPIトランザクションでエラー検出が可能です。

CRCエラー検出を用いることで、SPIのマスタとスレーブは、ビット転送エラーを高い信頼度で検出できます。CRCアルゴリズムでは、シード値と多項式除算を使用してCRCコードを生成します。マスタとスレーブの双方で個別にCRCコードを計算しそれを比較することで、転送されたデータの有効性を判定します。

AD3542Rでは次の多項式を用いるCRC-8規格を採用しています。

$$x^8 + x^2 + x + 1 \tag{1}$$

CRCエラー検出をイネーブルするには、INTERFACE\_CONFIG\_CレジスタのCRC\_ENビットとCRC\_EN\_Bビットを用います。CRC\_ENの値が更新されるのは、同じレジスタ書き込み命令でCRC\_EN\_BがCRC\_ENの反転値に設定されている場合のみです。そのため、CRCをイネーブルするには、CRC\_ENを0b01に設定すると共に、同じ書き込みトランザクションでCRC\_EN\_Bを0b10に設定する必要があります。

CRCをディスエーブルするには、CRC\_ENABLEを0b00に設定すると共に、同じ書き込みトランザクションでCRC\_ENABLE\_Bを0b11に設定する必要があります。2つの別々のフィールドに反転した値を書き込むことで、CRCが誤ってイネーブルされる可能性を低減できます。CSはイネーブルまたはディスエーブルの書き込み後にハイ・レベルにする必要があります。CRCをイネーブルした後のトランザクションには、書き込み動作/読出し動作を問わず、既にCRCバイトが含まれている必要があります。CRCをディスエーブルするレジスタ書き込みトランザクションでは、末尾にCRCコードが含まれたままである必要がありますが、CRCをディスエーブルした後のトランザクションにはCRCバイトが含まれている必要はありません。

図88と図89に、シングルSPIモード（標準モード）での書き込みトランザクションまたは読出しトランザクションの最後にCRCコードが付加されている状態を示します。レジスタ書き込みの場合、デジタル・ホストは、シード、アドレス、データに対し式1で表される計算を実行して、CRCを生成する必要があります。AD3542Rは

同じ計算を行い、ホストと同時にCRCコードをSDOにシフト・アウトします。両方のCRCコードが一致すればトランザクションにはエラーがないことになります。レジスタ読出しの場合、ホストはシード、アドレス、ゼロ・パディングについてCRCを計算し、また、AD3542Rはシード、アドレス、読出しデータについてCRCを計算します。その後、両方のノードで同時にCRCコードをシフト・アウトし、両サイドでこれをチェックします。

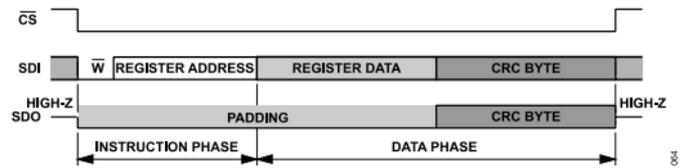


図 88. CRC付きの基本的なSPI書き込みフレーム

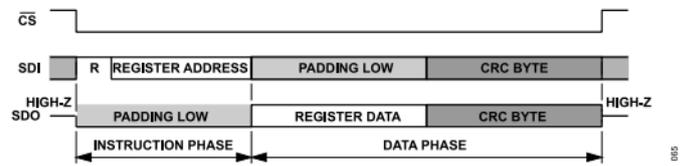


図 89. CRC付きの基本的なSPI読出しフレーム

CRCエラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRCコードはレジスタ・データの全バイトの後ろに配置されます。

CRCエラー検出がイネーブルされている場合、AD3542Rは、レジスタ・データの最後で有効なCRCコードを受け取るまで、レジスタ書き込みトランザクションに応答してレジスタ内容を更新することはありません。CRCコードが無効であったり、デジタル・ホストがCRCコードを送信できなかったりした場合、AD3542Rはそのレジスタの内容を更新せず、INTERFACE\_STATUS\_AレジスタのINVALID\_OR\_NO\_CRCフラグをセットします。

INVALID\_OR\_NO\_CRCフラグはこのビットに1が書き込まれるとクリアされます。また、ビットをクリアする書き込みを有効にするためには正しいCRCが必要です。

CRCコードの計算で使用するシード値と計算方法を、単一命令モードおよびストリーミング・モードの両方について、表11に示します。

表 11. CRCのシード値とCRC計算の範囲

SPI Transaction Type	Pin	Single Instruction Mode	Streaming Mode, First Data Phase	Streaming Mode, Subsequent Data Phases
Read	SDI	0xA5, instruction phase, padding	0xA5, instruction phase, padding	No CRC sent
	SDO	0xA5, instruction phase, read data	0xA5, instruction phase, read data	Least significant byte of address, read data
Write	SDI	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data
	SDO	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data

## 動作原理

単一命令モードを使用する場合、SPIフレーム内のどのCRCコードもシード値として0xA5を用い、アドレス0x00で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPIフレームの最初のCRCコードもシード値として0xA5を用いますが、同じフレーム内の後続のCRCコードの計算には、SPIトランザクションでアクセスするレジスタ・アドレスの最下位バイトをシード値として用います。

シングルSPI（標準）モードでCRCをイネーブルするには、AD3542Rが計算したCRCをSDOピンでシフト・アウトすることが

必要となるため、トランザクションは、読出し動作の制限（DDRがディスエーブル）を守ることが必要です。同期デュアルSPIモードではCRCは使用できません。

図90に示すように、デュアルSPIモードでは、CRCはバイト・レジスタ・トランザクションまたはマルチバイト・レジスタ・トランザクションの最後に付加されますが、CRCを生成するのは、コントローラ（書込み）またはAD3542R（読出し）のみです。

CRCエラー検出がイネーブルされている場合、アドレス指定されたレジスタの範囲に未使用または予備のレジスタがあると、ループを含めストリーミング・モードを使用することはできません。

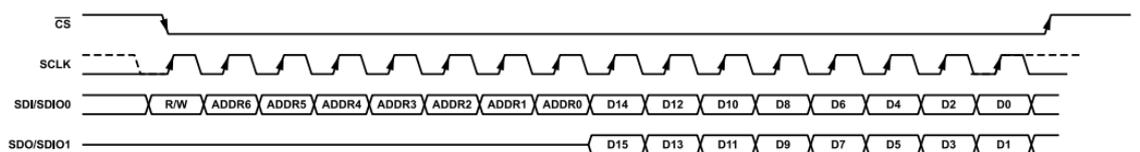


図 90. CRC付きのデュアルSPIトランザクション

## 動作原理

### シリアル・インターフェース

AD3542Rには、いくつかのSPIモードに対応できる、汎用性のあるシリアル・インターフェースが備わっています。インターフェースは、デフォルトでシングルSPI（標準SPI）モードに設定されていますが、設定レジスタを使用することでデュアルSPIモードまたは同期デュアルSPIモードに切り替えることができます。

クロック極性（CPOL）は1または0にできますが、クロック位相（CPHA）は必ず0でなくてはなりません。これらの組み合わせはSPIモード0およびモード3に対応し、これらのモードはSPIインターフェースがシングル・データ・レート（SDR）モードの場合に適用できます。

#### シングルSPI（標準）モード

シングルSPI（標準）モードでは、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは一方方向性です。SDI信号は、マスタからスレーブにデータを転送するための入力として機能し、SDO信号はスレーブからマスタにデータを転送するための出力として機能します（図91参照）。シングルSPI（標準）モードはSPIモード0およびモード3に対応する他、同期シリアル・ポート（SPORT™）など、完全同期型のインターフェースにも対応します。図2に、代表的な書込みシーケンスのタイミング図を示します。標準SPIモードの詳細については、AN-1248アプリケーション・ノート、SPIインターフェースを参照してください。

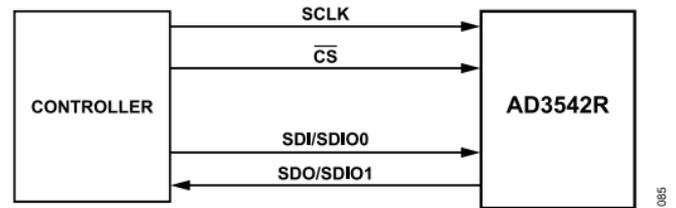


図 91. シングルSPI（標準SPI）接続

#### デュアルSPIモード

図92に示すように、デュアルSPIモードでは、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が決まります。命令フェーズ時には、データ・ラインは常に入力として設定されます。図93に示すように、デュアルSPIモードでは、連続するビットが2つのグループにシリアライズされます。

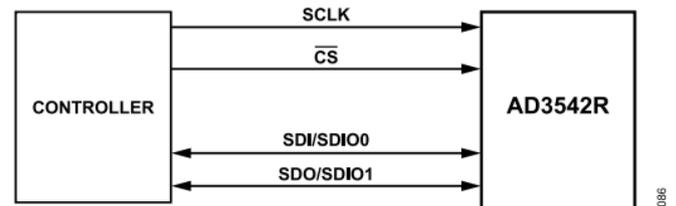


図 92. デュアルSPI接続

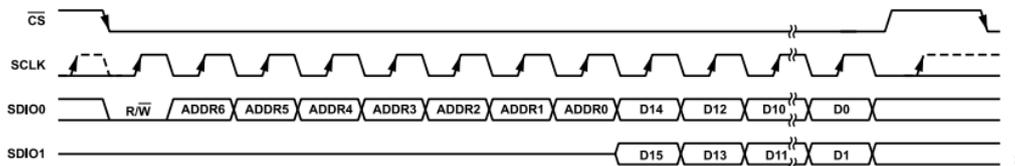


図 93. デュアルSPIモード

## 動作原理

## 同期デュアルSPIモード

図92に示すように、同期デュアルSPIモードでは、デュアルSPIモードと同様に、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が決まります。命令フェーズ時には、データ・ラインは常に入力として設定されます。デュアルSPIモードと異なり、同期デュアルSPIモードでは、図94に示すように、各々のSDIOラインが1つのDACのデータをシリアルライズします。

このモードでは、SDIO0ラインに転送されたデータは、命令フェーズでアドレス指定されたレジスタにロードされます。一方、SDIO1ラインに転送されたデータは、命令フェーズで3バイトずつインクリメントされるアドレスのレジスタ（高精度モード時）または2バイトずつインクリメントされるアドレスのレジスタ（高

速モード時）にロードされます。

同期デュアルSPIモードを使用できるのは、CHx\_DAC\_16Bレジスタ、CHx\_DAC\_24Bレジスタ、CHx\_INPUT\_16Bレジスタ、CHx\_INPUT\_24Bレジスタに書き込みを行うときだけです。セカンダリ領域の他のレジスタに書き込みを行うには、標準SPIモードを使用する必要があります。

この転送モードは、コントローラが2つのエンティティで構成されていて、それぞれが1つのビット・ストリームで1つのDACをアドレス指定する場合や、CPUが2ビットのグループにデータをシリアルライズできない場合に有用です。また、このモードでは、LDAC信号を使用しないときにタイム・スキューなしに両方のチャンネルを同時に更新することができます。

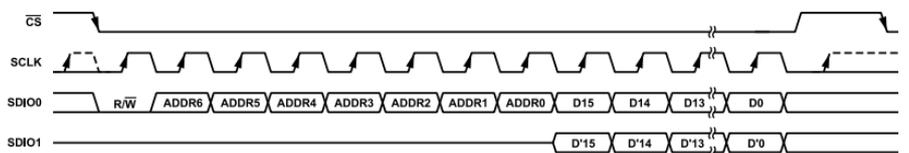


図 94. 同期デュアルSPIモード

## 動作原理

### ダブル・データ・レート (DDR)

どのSPIモードを使用するかに関わらず、INTERFACE\_CONFIG\_DレジスタのSPI\_CONFIG\_DDRビットをセットすることでDDRをイネーブルできます。これにより、データ・フェーズ時に両方のクロック・エッジでデータをサンプリングできます (図4と図7を参照)。このモードを有効化した後は、すべてのデータをDDRで書き込む必要があります。

DDRを使用できるのは、書き込み動作時のデータ・フェーズのみで

表 12. SPIモードの組み合わせ

PI Mode	MULTI_IO_MODE	DUAL_SPI_SYNCHRONOUS_EN	SPI_CONFIG_DDR
Single SPI SDR	00	0	0
Single SPI DDR	00	0	1
Dual SPI SDR	01	0	0
Dual SPI DDR	01	0	1
Synchronous Dual SPI SDR	01	1	0
Synchronous Dual SPI DDR	01	1	1

す。読出し動作では、SPI\_CONFIG\_DDRビットは無視され、図2と図6に示すように、データはシングル・データ・レートでAD3542Rからコントローラに転送されます。

SPIモードまたはSPI\_CONFIG\_DDRビットを変更した後は、 $\overline{CS}$ をハイ・レベルにし、新たなアクセス・サイクルを適切なモードで開始する必要があります。

有効なSPIモードの全ての組み合わせを表12に示します。

## 動作原理

### レジスタ・マップへのSPIアクセス・モード

レジスタ・マップは、プライマリとセカンダリの2つの領域に分かれています。

インターフェース設定、DAC設定、エラー・フラグに関するレジスタはアドレス0x0～アドレス0x1Eのプライマリ領域に含まれます。この領域には、TRANSFER\_REGISTERのMULTI\_IO\_MODEの値や、DDRの使用の有無に関わらず、標準SPIモードでのみアクセスできます。

DACの出力値に影響するレジスタは、アドレス0x28～アドレス0x4Bのセカンダリ領域に含まれます。この領域には、DDRの使用の有無に関わらず、いずれのSPIモードでもアクセスできます。

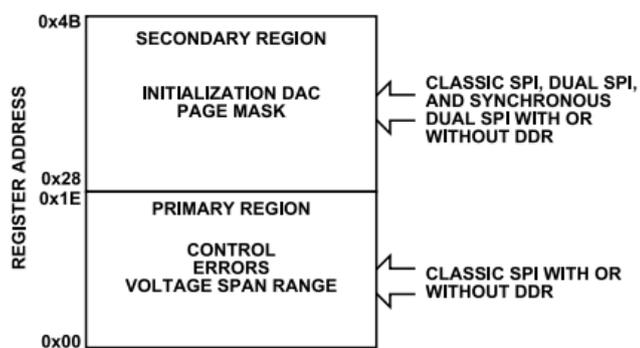


図 95. レジスタへのアクセス・モード

### SDIOの駆動強度

ピン5とピン6にあるSDIOラインの駆動強度は、INTERFACE\_CONFIG\_DレジスタのSDIO\_DRIVE\_STRENGTHビットを設定することで4つのレベルに設定できます。

図96に示すように、駆動強度値が大きいかほど信号のスルー・レートは高くなります。ただし、スルー・レートが高くなると、ピーク電流が大きくなり、システムのデジタル・ノイズが増加します。デフォルト値はミディアム・ローの強度です。

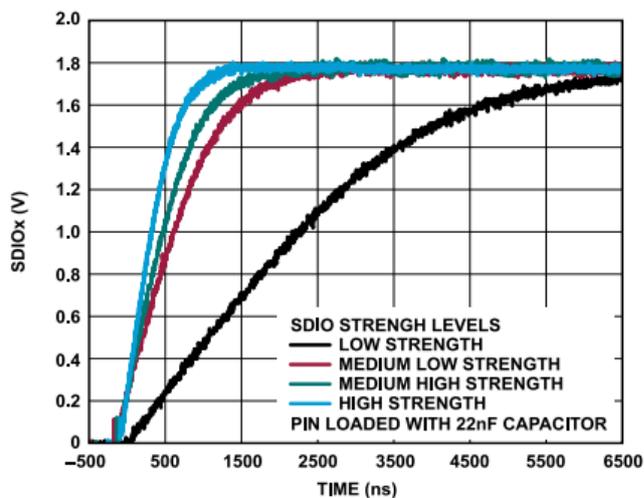


図 96. 駆動強度オプション

## 動作原理

### DACの更新モード

DAC出力の更新には、同期／非同期、同時／個別のいくつかの方法があります。

同期更新は、DAC出力の変化がLDACなどの外部信号によってトリガされる場合に行われます。これは多くのデバイスで一般的なものとなっています。この場合、コントローラが入力レジスタの値をロードし、その値はその後LDAC信号の立下がりエッジでDACレジスタに転送され、全てのV<sub>OUTx</sub>信号が同時に更新されます。

同期更新が1つのDACでのみ必要な場合は、高速モードか高精度モードかによってHW\_LDAC\_16BレジスタまたはHW\_LDAC\_24BレジスタのHW\_LDAC\_MASK\_CHxビットを用いて、LDAC信号をマスクできます。

レジスタ・セットの操作に追従してDAC出力が変化すると、非同期更新が行われます。この場合、この変化は最後のレジスタ・ビットをシフト・インするSCLKエッジに連動します。表13に示すいくつかの組み合わせに従って、1つのDACの更新または両方のDACの同時更新が可能です。

ページ・マスク・レジスタを使用することで、CH\_SELECT\_16BレジスタまたはCH\_SELECT\_24BレジスタのSEL\_CHxビットの値に応じて、同じデータを1つのチャンネルまたは両方のチャンネルに転送することができます。DAC\_PAGEレジスタに書き込みを行うとデータはCHx\_DACレジスタに転送され、INPUT\_PAGEレジスタに書き込みを行うとデータはCHx\_INPUTレジスタに転送されます。レジスタ間のデータの流れを図97に示します。

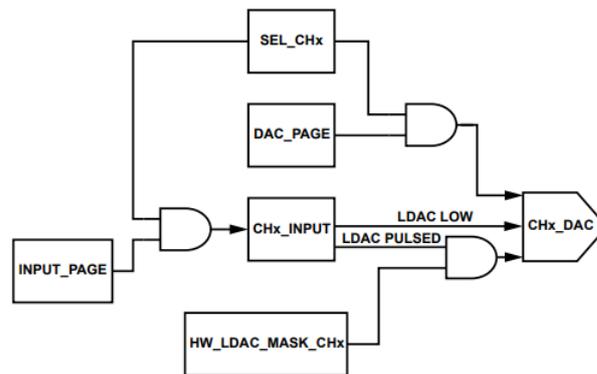


図 97. レジスタ間のDACデータの流れ

## 動作原理

表 13. DACの更新モード

SPI Mode	Register Written	$\overline{\text{LDAC}}$ Pin	Synchronous	Simultaneous	Notes
Single and Dual SPI	CHx_INPUT	Falling edge	Yes	Yes	No $\overline{\text{LDAC}}$ mask applied
Single and Dual SPI	CHx_INPUT	Falling edge	Yes	No	$\overline{\text{LDAC}}$ mask applied, HW_LDAC register
Single and Dual SPI	CHx_INPUT	High	No	Yes	Write to SW_LDAC triggers the update
Single and Dual SPI	CHx_INPUT	Low	No	No	Output updates automatically
Single and Dual SPI	CHx_DAC	Not applicable	No	No	Output updates immediately
Single and Dual SPI	DAC_PAGE	Not applicable	No	Yes	Same data written to the DAC registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register
Single and Dual SPI	INPUT_PAGE	Not applicable	No	No	Same data written to input registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register
Synchronous SPI	CHx_INPUT	Falling edge	Yes	Yes	No $\overline{\text{LDAC}}$ mask applied
Synchronous SPI	CHx_INPUT	Falling edge	Yes	No	$\overline{\text{LDAC}}$ mask applied, HW_LDAC register
Synchronous SPI	CHx_INPUT	Low	No	Yes	No $\overline{\text{LDAC}}$ mask applied
Synchronous SPI	CHx_DAC	Not applicable	No	Yes	Output updates immediately

## パワーダウン

AD3542Rには、POWERDOWN\_CONFIGレジスタに次の2つのパワーダウン・オプションがあります。

- ▶ CHx\_DAC\_POWERDOWN。このビットをセットすると、出力アンプをオンにしたままDACコアをパワーダウンします。
- ▶ CHx\_CHANNEL\_POWERDOWN。このビットをセットすると、DACコアと出力アンプをパワーダウンします。

## リセット

AD3542Rには、3種類のデバイス・リセット方法があります。ソフトウェア・リセットのセクションで説明する相違点を除き、この3つの方法はどれも同じリセット手順を内部でトリガします。

## パワーオン・リセット

デバイスには、AV<sub>DD</sub>およびDV<sub>DD</sub>をモニタするパワーオン・リセット (POR) 回路が内蔵されています。AV<sub>DD</sub>が4V未満になるかDV<sub>DD</sub>が1.3V未満になると必ず、内部リセット・パルスが生成されます。この回路により、パワーアップ時または一時的な電源電圧低下が発生した後にチップが正しく初期化されます。

## リセット・ピン

RESETピンをロー・レベルにすると、チップはデフォルトのモードに設定され、全レジスタの値がクリアされます。また、V<sub>OUTx</sub>出力が0Vに設定され、SPIラインは高インピーダンスに維持されます。RESETラインを解放する (ハイに戻す) と、デバイスは、初期化手順の実行を開始しますが、これには最大100ms (t<sub>18</sub>の時間) を要する可能性があります。リセット後、DACはパワーダウン・モードになり、V<sub>OUTx</sub>出力は0Vのままとなります。

リセット時、内蔵トランスインピーダンス・アンプはパワーアップされたままであるため、電源シーケンスによってはV<sub>OUTx</sub>信号にある程度のグリッチが生じる可能性があります。

## ソフトウェア・リセット

INTERFACE\_CONFIG\_AレジスタのSW\_RESET\_MSBビットとSW\_RESET\_LSBビットをセットすると、デバイスをSPIインターフェースからリセットできます。ソフトウェア・リセットとRESETピンを使用したハードウェア・リセットの大きな違いは、ソフトウェア・リセットではINTERFACE\_CONFIG\_Aレジスタが影響を受けない点です。リセット動作が完了すると、SW\_RESET\_MSBビットとSW\_RESET\_LSBビットはクリアされます。

## エラー検出

AD3542Rは、アナログ領域とデジタル領域のどちらにおいても、異常な状態を検知できます。検知されたエラーは、INTERFACE\_STATUS\_AレジスタとERR\_STATUSレジスタで報告されます。ERR\_ALARM\_MASKレジスタに割り当てられたエラーとそれに対応するソースのリストを表14に示します。表14に示されているエラーによってALERTピンをアサートできますが、ERR\_ALARM\_MASKレジスタでマスクされていない場合に限り、ALERTピンはリセット後や初期化異常の場合にもアサートされます。

INTERFACE\_STATUS\_AレジスタおよびERR\_STATUSレジスタのエラー・ビットは、スティッキー・ビットで、1を書き込んでクリアされるまでその値を保持します。つまり、エラー・ビットをクリアするには、その特定のビットの場所に1を書き込みます。

## 動作原理

表 14. アラーム・マスク・レジスタと対応エラー・ソース

Bit Number	Alarm Mask Register Bit Name	Error Source Register Name	Error Source Bit Name
6	REF_RANGE_ALARM_MASK	ERR_STATUS	REF_RANGE_ERR_STATUS
5	CLOCK_COUNT_ALARM_MASK	INTERFACE_STATUS_A	CLOCK_COUNTING_ERROR
4	MEM_CRC_ALARM_MASK	ERR_STATUS	MEM_CRC_ERR_STATUS
3	SPI_CRC_ERR_ALARM_MASK	INTERFACE_STATUS_A	INVALID_OR_NO_CRC
2	WRITE_TO_READ_ONLY_ALARM_MASK	INTERFACE_STATUS_A	WRITE_TO_READ_ONLY_REGISTER
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK	INTERFACE_STATUS_A	PARTIAL_REGISTER_ACCESS
0	REGISTER_ADDRESS_INVALID_ALARM_MASK	INTERFACE_STATUS_A	REGISTER_ADDRESS_INVALID

## ERR\_STATUSレジスタ

V<sub>REF</sub>検出

リファレンス電圧が1V未満に低下した状態で5ms以上経過すると、ERR\_STATUSレジスタのREF\_RANGE\_ERR\_STATUSビットがセットされます。リファレンス電圧源が内部で生成されたものであろうと、V<sub>REF</sub>ピンを介して外部から供給されたものであろうと、エラーは検出されます。この機能は、内部リファレンスを他のデバイスと共有している場合に、外部リファレンス電圧での割込みや過負荷状態をV<sub>REF</sub>ピンで検出するのに便利です。

## SPIモード・エラー

SPIモード・エラーは、ストリーミング時、デュアルSPIモードまたはデュアル同期SPIモードに設定されたSPIインターフェースのセカンダリ領域とプライマリ領域の境界をアドレス・ポインタが横切るときに生じます。これは、この領域にアクセスできるのは標準SPIモード時のみであるためです。ERR\_STATUSレジスタのDUAL\_SPI\_STREAM\_EXCEEDS\_DAC\_ERR\_STATUSビットがセットされます。

## レジスタのCRC

AD3542Rには、レジスタ・マップおよび読み出し専用メモリ（ROM）用にCRC機能が備わっています。このCRCは、4.1μsごとに実行され、レジスタ・マップのプライマリ領域のみが対象となります。セカンダリ領域は連続的に書き込まれると見込まれるためです。このCRCは、INTERFACE\_CONFIG\_DレジスタのMEM\_CRC\_ENビットをクリアすることでディスエーブルできます。CRCエラーが検出されると、ERR\_STATUSレジスタのMEM\_CRC\_ERR\_STATUSビットがセットされます。このエラーが発生した場合は、デバイスをリセットすることを推奨します。

## リセット・ステータス

ERR\_STATUSレジスタのRESET\_STATUSビットは、AD3542Rが内部（PORまたはSWリセット）あるいは外部（RESETピン経由）からリセットされたことを示します。RESET\_STATUSビットは、PORが正常に終了するとセットされます。これは、電源電圧の一時的な低下などの予期しないリセット状態を検出し、補正アクションを取るのに便利です。

RESET\_STATUSビットによってALERTピンがアサートされますが、これはマスクできません。そのため、ALERT信号を介して新しいイベントを検出できるよう、リセット後またはパワーアップ後にクリアする必要があります。

## INTERFACE\_STATUS\_Aレジスタ

## デバイス・ビジー

INTERFACE\_STATUS\_AレジスタのINTERFACE\_NOT\_READYビットはエラー・ビットではなく、ステータス・ビットです。このビットは、デバイスがコントローラからのデータを受け取れる状態にあることを知るためにポーリングされます。

## SPIクロック・カウンタ

CLOCK\_COUNTING\_ERRビットで報告されるエラーは、SCLKサイクルの数がSPIモード（シングルまたはデュアル）およびDDRモードを考慮した8の倍数個のビットをシフトするのに必要な数に一致しない場合に、生成されます。CLOCK\_COUNTING\_ERRビットはERR\_STATUSレジスタでセットされます。

有効な組み合わせを表15に示します。

表 15. 1バイトの転送に必要なクロック・サイクル数

SPI Mode	DDR	Clock Cycles for 1 Byte
Single SPI	No	8
Single SPI	Yes	4
Dual SPI	No	4
Dual SPI	Yes	2

## SPIのCRC

CRCがイネーブルされており、SPIトランザクションのCRCバイトがないか計算値と一致しない場合、INTERFACE\_STATUS\_AレジスタのINVALID\_OR\_NO\_CRCビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。なお、CRCがイネーブルされているので、続行するにはこのSPIトランザクションに有効なCRCコードがある必要があります。

## 読み出し専用レジスタへの書き込み

ホストが読み出し専用レジスタに書き込みを行おうとした場合、INTERFACE\_STATUS\_AレジスタのWRITE\_TO\_READ\_ONLY\_REGISTERビット・フィールドがアサートされます。このエラーをクリアするには、WRITE\_TO\_READ\_ONLY\_REGISTERビットに1を書き込みます。

## 動作原理

### レジスタに対する部分的アクセス

マルチバイト・レジスタが部分的に読出しまたは書込みアクセスを受けた場合、INTERFACE\_STATUS\_AレジスタのPARTIAL\_REGISTER\_ACCESSビットがセットされます。これは、マルチバイト・レジスタの全バイトへのアクセスが完了しないうちにトランザクションが終了したことを示すものです。このエラーをクリアするには、PARTIAL\_REGISTER\_ACCESSビットに1を書き込みます。

### 無効アクセス

無効なレジスタ・アドレスにホストがアクセスしようとした場合、INTERFACE\_STATUS\_AレジスタのREGISTER\_ADDRESS\_INVALIDビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。

### ALERTピン

表14に示したエラーのいずれかが検出され、ERR\_ALARM\_MASKレジスタにある対応ビットが0に設定されていると、ALERTピンがアサートされます。このピンをCPUの割り込みラインとして用いると、エラー状態が生じた場合にアクションを取ることができます。

更に、ERR\_STATUSレジスタのRESET\_STATUSビットがアサートされた場合も、ALERTピンがアサートされます。この状態はマスクできません。そのため、ALERTピンを使用するには、初期化後にRESET\_STATUSビットをクリアする必要があります。すべてのエラー・ソースをクリアした後もこのピンがアサートされたままの場合は、デバイスの初期化時にエラーが発生したことを意味し、電源のオンオフを何度か繰り返す必要があります。

ALERTピンには、内部または外部プルアップ抵抗が必要です。AD3542Rには、INTERFACE\_CONFIG\_DレジスタのALERT\_ENABLE\_PULLUPビットをセットしてイネーブルできる、2.5kΩのプルアップ抵抗が内蔵されています。

すべてのエラーが対応レジスタでクリアされると、ALERTピンがデアサートされます。

### デバイスID

AD3542Rは、デバイス関連の情報を提供するレジスタを多数備えています。以下のレジスタを使用すると、正しいチップ・タイプおよびバージョンが組み込まれていることを確認できます。

- ▶ CHIP\_TYPE
- ▶ PRODUCT\_ID\_L
- ▶ PRODUCT\_ID\_H
- ▶ CHIP\_GRADE
- ▶ SPI\_REVISION
- ▶ VENDOR\_L
- ▶ VENDOR\_H

### インターフェース・アクセス・モードのまとめ

モードの数や、特定のレジスタまたはメモリ領域の制限の数が多いため、適切なSPIモードを見つけることが困難な場合もあります。CPUへのドライバ実装を容易なものにできるよう、図98に決定木を示します。図98は、インターフェースやアクセスするレジスタの設定に応じてドライバがどのような処理を行うべきかを示しています。

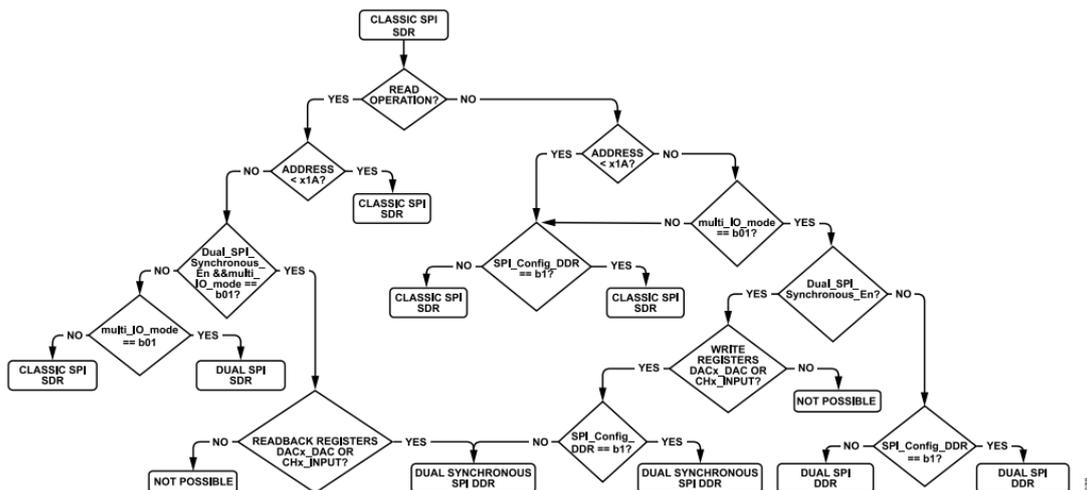


図 98. レジスタへのアクセス・モード

## レジスタ

## レジスタの概要

## レジスタ・リスト

表 16. レジスタの概要

アドレス	レジスタ名	説明	リセット	読書き
0x00	INTERFACE_CONFIG_A	インターフェース設定Aレジスタ。	0x10	R/W
0x01	INTERFACE_CONFIG_B	インターフェース設定Bレジスタ。	0x08	R/W
0x02	DEVICE_CONFIG	デバイス設定レジスタ。	0x00	R
0x03	CHIP_TYPE	チップ・タイプ・レジスタ。	0x04	R
0x04	PRODUCT_ID_L	製品IDロー・レジスタ。	0x09	R
0x05	PRODUCT_ID_H	製品IDハイ・レジスタ。	0x40	R
0x06	CHIP_GRADE	チップ・グレード・レジスタ。	0x05	R
0x0A	SCRATCH_PAD	スクラッチ・パッド・レジスタ。	0x00	R/W
0x0B	SPI_REVISION	SPIリビジョン・レジスタ。	0x83	R
0x0C	VENDOR_L	ベンダIDロー・レジスタ。	0x56	R
0x0D	VENDOR_H	ベンダIDハイ・レジスタ。	0x04	R
0x0E	STREAM_MODE	ストリーム・モード・レジスタ。	0x00	R/W
0x0F	TRANSFER_REGISTER	転送設定レジスタ。	0x00	R/W
0x10	INTERFACE_CONFIG_C	インターフェース設定Cレジスタ。	0x23	R/W
0x11	INTERFACE_STATUS_A	インターフェース・ステータスAレジスタ。	0x00	R/W
0x14	INTERFACE_CONFIG_D	インターフェース設定Dレジスタ。	0x04	R/W
0x15	REFERENCE_CONFIG	リファレンス設定レジスタ。	0x00	R/W
0x16	ERR_ALARM_MASK	エラー・アラーム・マスク・レジスタ。	0x00	R/W
0x17	ERR_STATUS	エラー・ステータス・レジスタ。	0x01	R/W
0x18	POWERDOWN_CONFIG	パワーダウン設定レジスタ。	0x00	R/W
0x19	CH0_CH1_OUTPUT_RANGE	出力レンジ・レジスタ。	0x00	R/W
0x28	HW_LDAC_16B	ハードウェアLDACマスク・レジスタ、高速モード。	0x00	R/W
0x29	CH0_DAC_16B	チャンネル0のDACレジスタ、高速モード。	0x0000	R/W
0x2B	CH1_DAC_16B	チャンネル1のDACレジスタ、高速モード。	0x0000	R/W
0x2D	DAC_PAGE_16B	DACページ・レジスタ、高速モード。	0x0000	R/W
0x2F	CH_SELECT_16B	ページ・レジスタ用チャンネル選択レジスタ、高速モード。	0x00	R/W
0x30	INPUT_PAGE_16B	入力ページ・レジスタ、高速モード。	0x0000	R/W
0x32	SW_LDAC_16B	ソフトウェアLDACレジスタ、高速モード。	0x00	W
0x33	CH0_INPUT_16B	チャンネル0の入力レジスタ、高速モード。	0x0000	R/W
0x35	CH1_INPUT_16B	チャンネル1の入力レジスタ、高速モード。	0x0000	R/W
0x37	HW_LDAC_24B <sup>1</sup>	ハードウェアLDACマスク・レジスタ、高精度モード。	0x00	R/W
0x38	CH0_DAC_24B <sup>1</sup>	チャンネル0のDACレジスタ、高精度モード。	0x000000	R/W
0x3B	CH1_DAC_24B <sup>1</sup>	チャンネル1のDACレジスタ、高精度モード。	0x000000	R/W
0x3E	DAC_PAGE_24B <sup>1</sup>	DACページ・レジスタ、高精度モード。	0x000000	R/W
0x41	CH_SELECT_24B <sup>1</sup>	ページ・レジスタ用チャンネル選択レジスタ、高精度モード。	0x00	R/W
0x42	INPUT_PAGE_24B <sup>1</sup>	入力ページ・レジスタ、高精度モード。	0x000000	R/W
0x45	SW_LDAC_24B <sup>1</sup>	ソフトウェアLDACレジスタ、高精度モード。	0x00	W
0x46	CH0_INPUT_24B <sup>1</sup>	チャンネル0の入力レジスタ、高精度モード。	0x000000	R/W
0x49	CH1_INPUT_24B <sup>1</sup>	チャンネル1の入力レジスタ、高精度モード。	0x000000	R/W

1 AD3542R-12では使用できません。

## レジスタ

## 詳細なレジスタ・マップ

表 17. 詳細なレジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET_MSB	RESERVED	ADDR_DIRECTION	SDO_ACTIVE	RESERVED			SW_RESET_LSB	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INSTRUCTION	RESERVED			SHORT_INSTRUCTION	RESERVED			0x08	R/W	
0x02	DEVICE_CONFIG	[7:0]	DEVICE_STATUS_3	DEVICE_STATUS_2	DEVICE_STATUS_1	DEVICE_STATUS_0	CUSTOM_MODES		OPERATING_MODES		0x00	R	
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS					0x04	R
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x09	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x40	R
0x06	CHIP_GRADE	[7:0]	DEVICE_GRADE				DEVICE_REVISION					0x05	R
0x0A	SCRATCH_PAD	[7:0]	VALUE									0x00	R/W
0x0B	SPL_REVISION	[7:0]	VERSION									0x83	R
0x0C	VENDOR_L	[7:0]	VID[7:0]									0x56	R
0x0D	VENDOR_H	[7:0]	VID[15:8]									0x04	R
0x0E	STREAM_MODE	[7:0]	LENGTH									0x00	R/W
0x0F	TRANSFER_REGISTER	[7:0]	MULTI_IO_MODE		RESERVED			STREAM_LENGTH_KEEP_VALUE	RESERVED			0x00	R/W
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	RESERVED			CRC_ENABLE_B		0x23	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	INTERFACE_NOT_READY	RESERVED	CLOCK_COUNTING_ERROR	RESERVED	INVALID_OR_NO_CRC	WRITE_ONLY_REGISTER	PARTIAL_REGISTER_ACCESS	REGISTER_ADDRESS_INVALID	0x00	R/W	
0x14	INTERFACE_CONFIG_D	[7:0]	RESERVED	ALERT_ENABLE_PULLUP	RESERVED	MEM_CRC_EN	SDIO_DRIVE_STRENGTH		DUAL_SPI_SYNCRONOUS_EN	SPI_CONFIG_DDR	0x04	R/W	
0x15	REFERENCE_CONFIG	[7:0]	RESERVED	IDUMP_FASTMODE	RESERVED				REFERENCE_VOLTAGE_SEL		0x00	R/W	
0x16	ERR_ALARM_MASK	[7:0]	RESERVED	REFERENCE_ALARM_MASK	CLOCK_COUNT_ERROR_ALARM_MASK	MEM_CRC_ERROR_ALARM_MASK	SPI_CRC_ERROR_ALARM_MASK	WRITE_ONLY_ALARM_MASK	PARTIAL_REGISTER_ACCESS_ALARM_MASK	REGISTER_ADDRESS_INVALID_ALARM_MASK	0x00	R/W	
0x17	ERR_STATUS	[7:0]	RESERVED	REFERENCE_ERROR_STATUS	DUAL_SPI_STREAM_EXCEEDS_DATA_ERROR_STATUS	MEM_CRC_ERROR_STATUS	RESERVED			RESET_STATUS	0x01	R/W	
0x18	POWERDOWN_CONFIG	[7:0]	RESERVED		CH1_DATA_POWERDOWN	CH0_DATA_POWERDOWN	RESERVED		CH1_CHANNEL_POWERDOWN	CH0_CHANNEL_POWERDOWN	0x00	R/W	
0x19	CH0_CH1_OUTPUT_RANGE	[7:0]	CH1_OUTPUT_RANGE_SEL				CH0_OUTPUT_RANGE_SEL					0x00	R/W
0x28	HW_LDAC_16B	[7:0]	RESERVED						HW_LDAC_MASK_CH1	HW_LDAC_MASK_CH0	0x00	R/W	
0x2A	CH0_DAC_16B	[15:8]	DAC_DATA0[15:8]									0x00	R/W
0x29		[7:0]	DAC_DATA0[7:0]									0x00	
0x2C	CH1_DAC_16B	[15:8]	DAC_DATA1[15:8]									0x00	R/W
0x2B		[7:0]	DAC_DATA1[7:0]									0x00	

## レジスタ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x2E	DAC_PAGE_16B	[15:8]	DAC_PAGE[15:8]								0x00	R/W
0x2D		[7:0]	DAC_PAGE[7:0]								0x00	
0x2F	CH_SELECT_16B	[7:0]	RESERVED						SEL_CH1	SEL_CH0	0x00	R/W
0x31	INPUT_PAGE_16	[15:8]	INPUT_PAGE[15:8]								0x00	R/W
0x30	B	[7:0]	INPUT_PAGE[7:0]								0x00	
0x32	SW_LDAC_16B	[7:0]	RESERVED						SW_LDA C_CH1	SW_LDA C_CH0	0x00	W
0x34	CH0_INPUT_16B	[15:8]	INPUT_DATA0[15:8]								0x00	R/W
0x33		[7:0]	INPUT_DATA0[7:0]								0x00	
0x36	CH1_INPUT_16B	[15:8]	INPUT_DATA1[15:8]								0x00	R/W
0x35		[7:0]	INPUT_DATA1[7:0]								0x00	
0x37	HW_LDAC_24B <sup>1</sup>	[7:0]	RESERVED						HW_LDA C_MASK _CH1	HW_LDA C_MASK _CH0	0x00	R/W
0x3A	CH0_DAC_24B <sup>1</sup>	[23:16]	DAC_DATA0[15:8]								0x00	R/W
0x39		[15:8]	DAC_DATA0[7:0]								0x00	
0x38		[7:0]	RESERVED								0x00	
0x3D	CH1_DAC_24B <sup>11</sup>	[23:16]	DAC_DATA1[15:8]								0x00	R/W
0x3C		[15:8]	DAC_DATA1[7:0]								0x00	
0x3B		[7:0]	RESERVED								0x00	
0x40	DAC_PAGE_24B <sup>1</sup>	[23:16]	DAC_PAGE[15:8]								0x00	R/W
0x3F		[15:8]	DAC_PAGE[7:0]								0x00	
0x3E		[7:0]	RESERVED								0x00	
0x41	CH_SELECT_24B <sup>1</sup>	[7:0]	RESERVED						SEL_CH1	SEL_CH0	0x00	R/W
0x44	INPUT_PAGE_24	[23:16]	INPUT_PAGE[15:8]								0x00	R/W
0x43	B <sup>1</sup>	[15:8]	INPUT_PAGE[7:0]								0x00	
0x42		[7:0]	RESERVED								0x00	
0x45	SW_LDAC_24B <sup>1</sup>	[7:0]	RESERVED						SW_LDA C_CH1	SW_LDA C_CH0	0x00	W
0x48	CH0_INPUT_24B <sup>1</sup>	[23:16]	INPUT_DATA0[15:8]								0x00	R/W
0x47		[15:8]	INPUT_DATA0[7:0]								0x00	
0x46		[7:0]	RESERVED								0x00	
0x4B	CH1_INPUT_24B <sup>1</sup>	[23:16]	INPUT_DATA1[15:8]								0x00	R/W
0x4A		[15:8]	INPUT_DATA1[7:0]								0x00	
0x49		[7:0]	RESERVED								0x00	

1 AD3542R-12では使用できません。

## レジスタ

### インターフェース・レジスタの詳細

#### インターフェース設定Aレジスタ

アドレス：0x00、リセット：0x10、レジスタ名：INTERFACE\_CONFIG\_A

インターフェースの設定値

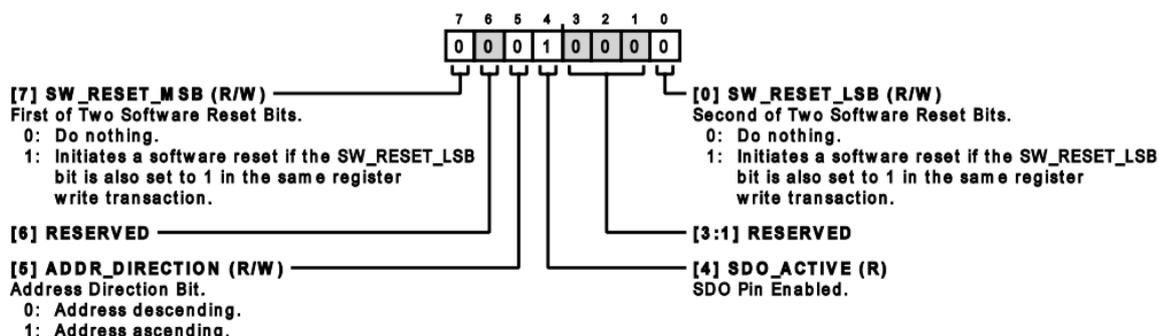


表 18. INTERFACE\_CONFIG\_Aのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	SW_RESET_MSB		2個のソフトウェア・リセット・ビットの1個目。1回のSPI書込みで両方のソフトウェア・リセット・ビット (SW_RESET_MSBとSW_RESET_LSB) をセットすると、ソフトウェア・デバイス・リセットが実行され、(INTERFACE_CONFIG_Aレジスタを除く) すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0 何もしません。 1 同じレジスタ書込みトランザクションでSW_RESET_LSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W
6	RESERVED		予備。	0x0	R
5	ADDR_DIRECTION		アドレス方向ビット。1つのデータ・フェーズの複数バイトのデータに対してレジスタ読出しおよび書込みを行う場合にシーケンシャルなアドレス指定動作を決定します。 0 降順アドレス指定。ストリーミング時またはマルチバイト・レジスタのアドレス指定時、アクセスするアドレスはデータ・バイトごとに1ずつ自動的にデクリメントします。 1 昇順アドレス指定。ストリーミング時またはマルチバイト・レジスタのアドレス指定時、アクセスするアドレスはデータ・バイトごとに1ずつ自動的にインクリメントします。	0x0	R/W
4	SDO_ACTIVE		SDOピンがイネーブルされています。	0x1	R
[3:1]	RESERVED		予備。	0x0	R
0	SW_RESET_LSB		2個のソフトウェア・リセット・ビットの2個目。1回のSPI書込みで両方のソフトウェア・リセット・ビット (SW_RESET_MSBとSW_RESET_LSB) をセットすると、ソフトウェア・デバイス・リセットが実行され、(INTERFACE_CONFIG_Aレジスタを除く) すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0 何もしません。 1 同じレジスタ書込みトランザクションでSW_RESET_MSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W

## レジスタ

### インターフェース設定Bレジスタ

アドレス：0x01、リセット：0x08、レジスタ名：INTERFACE\_CONFIG\_B

追加のインターフェース設定値。

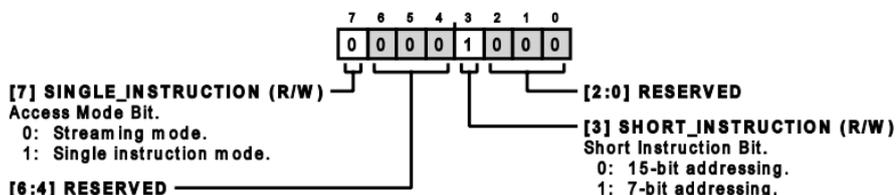


表 19. INTERFACE\_CONFIG\_Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	SINGLE_INSTRUCTION	0 1	アクセス・モード・ビット。ストリーミング・モードまたは単一命令モードを選択します。 0: ストリーミング・モード。連続したデータ・バイトが受信されている時に、INTERFACE_CONFIG_AレジスタのADDR_DIRECTIONビットの設定とSTREAM_MODEレジスタのLENGTHビットの設定に従ってアドレスがインクリメント/デクリメントします。 1: 単一命令モード。	0x0	R/W
[6:4]	RESERVED		予備。	0x0	R
3	SHORT_INSTRUCTION	0 1	短命令ビット。命令フェーズのアドレスの長さを7ビットまたは15ビットに設定します。 0: 15ビット・アドレス指定。 1: 7ビット・アドレス指定。	0x1	R/W
[2:0]	RESERVED		予備。	0x0	R

### デバイス設定レジスタ

アドレス：0x02、リセット：0x00、レジスタ名：DEVICE\_CONFIG

このレジスタは、標準化されたレジスタ・マップとの互換性を目的としたもので、デバイスには影響しません。

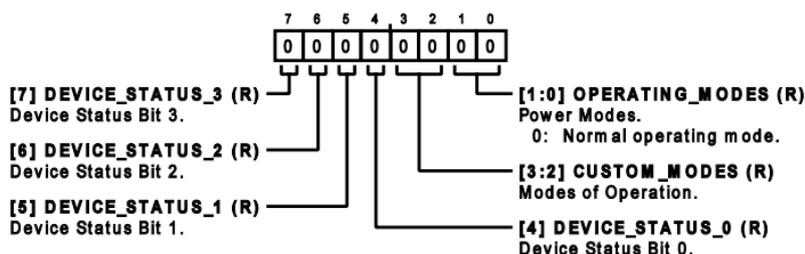


表 20. DEVICE\_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	DEVICE_STATUS_3		デバイス・ステータス・ビット3。	0x0	R
6	DEVICE_STATUS_2		デバイス・ステータス・ビット2。	0x0	R
5	DEVICE_STATUS_1		デバイス・ステータス・ビット1。	0x0	R
4	DEVICE_STATUS_0		デバイス・ステータス・ビット0。	0x0	R
[3:2]	CUSTOM_MODES		動作モード。	0x0	R
[1:0]	OPERATING_MODES	0	電力モード。 通常動作モード。	0x0	R

## レジスタ

## チップ・タイプ・レジスタ

アドレス：0x03、リセット：0x04、レジスタ名：CHIP\_TYPE

チップ・タイプ・レジスタには、AD3542Rを含む高精度DACファミリの識別子が格納されています。このレジスタは、AD3542Rを一意に識別する製品IDと共に使用する必要があります。

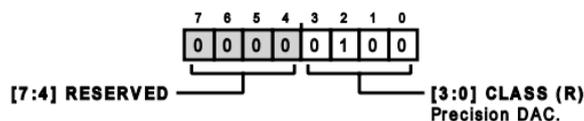


表 21. CHIP\_TYPEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	RESERVED		予備。	0x0	R
[3:0]	CLASS		高精度DAC。	0x4	R

## 製品IDロー・レジスタ

アドレス：0x04、リセット：0x09、レジスタ名：PRODUCT\_ID\_L

製品IDの下位バイト。

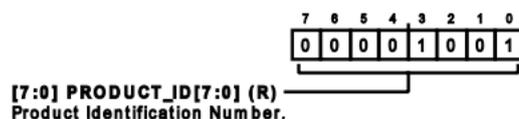


表 22. PRODUCT\_ID\_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	PRODUCT_ID[7:0]		製品識別番号。	0x9	R

## 製品IDハイ・レジスタ

アドレス：0x05、リセット：0x40、レジスタ名：PRODUCT\_ID\_H

製品IDの上位バイト。

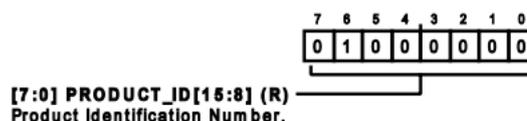


表 23. PRODUCT\_ID\_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	PRODUCT_ID[15:8]		製品識別番号。	0x40	R

## レジスタ

## チップ・グレード・レジスタ

アドレス：0x06、リセット：0x05、レジスタ名：CHIP\_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。デバイスのリビジョンは半導体素子のバージョンを表し、デバイスのグレードは試験手順のバージョンを表すものです。

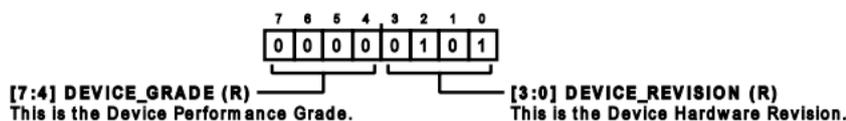


表 24. CHIP\_GRADEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	DEVICE_GRADE		デバイス性能のグレード。	0x0	R
[3:0]	DEVICE_REVISION		デバイスのハードウェア・リビジョン。	0x5	R

## スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH\_PAD

このレジスタには機能を目的としたものではありません。書込み動作と読出し動作を試験するためのものです。

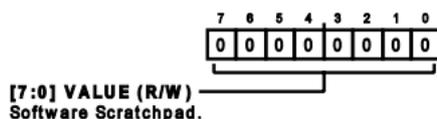


表 25. SCRATCH\_PADのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VALUE		ソフトウェア・スクラッチパッド。	0x0	R/W

## SPIリビジョン・レジスタ

アドレス：0x0B、リセット：0x83、レジスタ名：SPI\_REVISION

SPIインターフェースのリビジョンを示します。

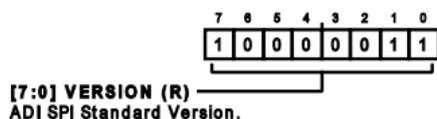


表 26. SPI\_REVISIONのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VERSION		アナログ・デバイスサイズのSPI規格のバージョン。	0x83	R

## レジスタ

## ベンダIDロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR\_L

ベンダIDの下位バイト。

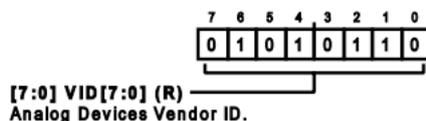


表 27. VENDOR\_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VID [7:0]		アナログ・デバイセズのベンダID。	0x56	R

## ベンダIDハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR\_H

ベンダIDの上位バイト。

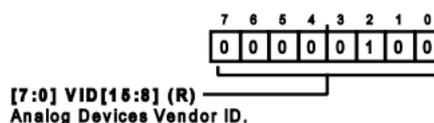


表 28. VENDOR\_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VID [15:8]		アナログ・デバイセズのベンダID。	0x4	R

## ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM\_MODE

データのストリーミング時のループ長を定義します。

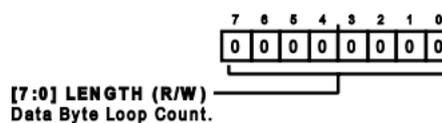


表 29. STREAM\_MODEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	LENGTH		データ・バイトのループ数。開始アドレスにループ・バックするまでのデータ・バイト数を指定します。ストリーミング・モードでのみ有効です。ゼロ以外の値によって、アドレスが開始アドレスにループ・バックするまでに読書きされるデータ・バイト数を設定します。この方法で最大255個のバイトを伝送できます。値を0x00にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

## レジスタ

## 転送設定レジスタ

アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER\_REGISTER

このレジスタを用いることで、データ転送に用いるSPIモードを設定でき、また、データのストリーミング時に同じレジスタ・セクションでのループをイネーブルできます。

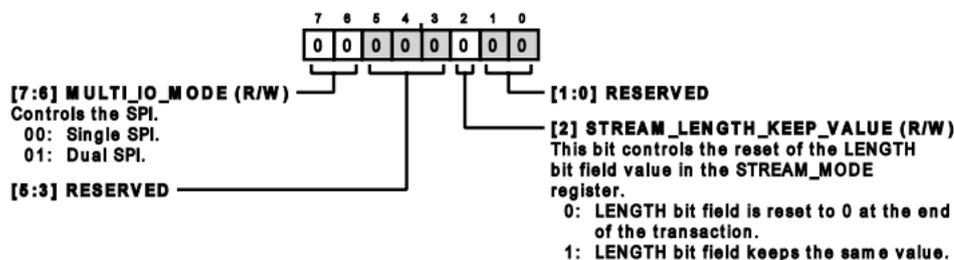


表 30. TRANSFER\_REGISTERのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:6]	MULTI_IO_MODE	00 01	SPIを制御します。 00: シングルSPI。 01: デュアルSPI。	0x0	R/W
[5:3]	RESERVED		予備。	0x0	R
2	STREAM_LENGTH_KEEP_VALUE	0 1	このビットは、STREAM_MODEレジスタのLENGTHビット・フィールドのリセットを制御します。 0: LENGTHビット・フィールドはトランザクションの最後で0にリセットされます。 1: LENGTHビット・フィールドは同じ値を維持します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

## インターフェース設定Cレジスタ

アドレス：0x10、リセット：0x23、レジスタ名：INTERFACE\_CONFIG\_C

追加のインターフェース設定値。

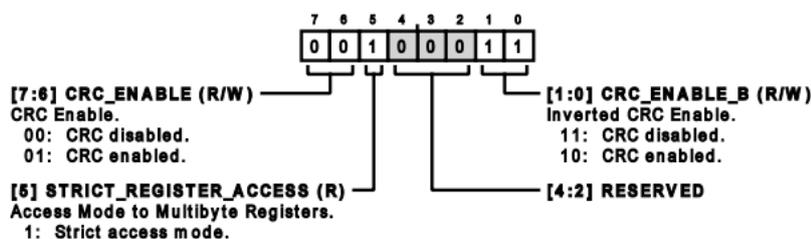


表 31. INTERFACE\_CONFIG\_Cのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:6]	CRC_ENABLE	00 01	CRCイネーブル。このフィールドに書き込むことで、インターフェースでのCRCエラー検出の使用をイネーブル/ディスエーブルできます (デバイスがレジスタ・モードの場合)。CRCのステータスを変更するには、同じSPI書き込みトランザクションで、CRC_ENABLE_BビットにもCRC_ENABLEビットの反転値を書き込む必要があります。 00: CRCをディスエーブル。 01: CRCをイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS		マルチバイト・レジスタへのアクセス・モード。このビットは読出し専用です。マルチバイト・レジスタへのレジスタ書き込みトランザクションには、更新するレジスタの各バイトのデータが含まれている必要があります。マルチバイト・レジスタ全体 (エンティティ) へのデータ書き込みに失敗すると、レジスタの内容がメモリで更新されず、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSフラグがセットされます。	0x1	R

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
		1	厳密なアクセス・モード。PARTIAL_REGISTER_ACCESSビットのフラグが立つの防ぐために、マルチバイト・レジスタでは全バイトを読み出す／書き込む必要があります。		
[4:2]	RESERVED		予備。	0x0	R
[1:0]	CRC_ENABLE_B		CRCイネーブルの反転値。このフィールドには、CRC_ENABLEフィールドの補数値を書き込む必要があります。	0x3	R/W
		11	CRCをディスエーブル。		
		10	CRCをイネーブル。		

### インターフェース・ステータスAレジスタ

アドレス：0x11、リセット：0x00、レジスタ名：INTERFACE\_STATUS\_A

このレジスタは、SPI通信およびレジスタ・アドレス指定に関するいくつかのエラー状態をフラグで通知します。

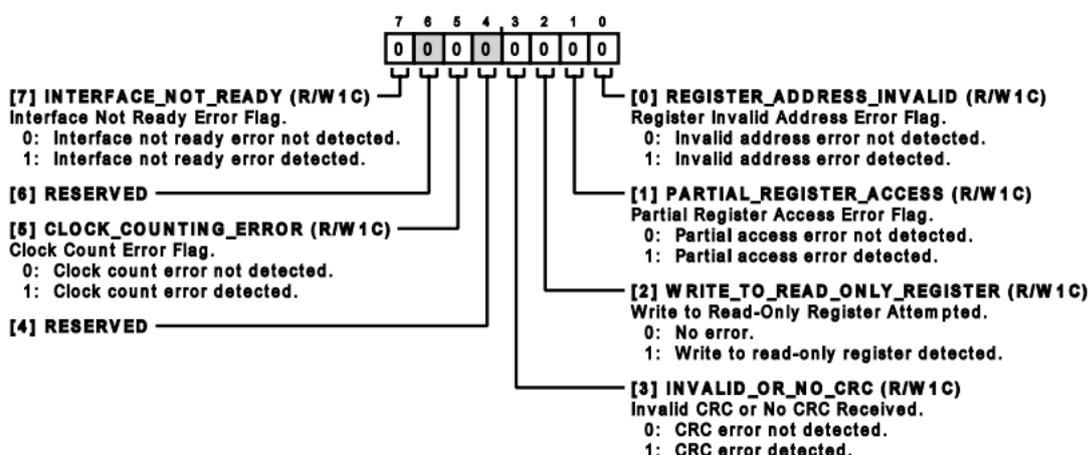


表 32. INTERFACE\_STATUS\_Aのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	INTERFACE_NOT_READY		インターフェース・ノット・レディ・エラー・フラグ。デジタル・ホスト（マスタ）から読出または書き込みトランザクションがリクエストされた場合に、デバイスのインターフェースにトランザクションの準備ができていないことを示します。このフラグ・ビットは、パワーオン・リセット後デバイスがレディ状態になる前にSPIフレームが開始されるとセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/W1C
		0	インターフェース・ノット・レディ・エラーは未検出。		
		1	インターフェース・ノット・レディ・エラーを検出。		
6	RESERVED		予備。	0x0	R
5	CLOCK_COUNTING_ERROR		クロック・カウント・エラー・フラグ。SPI読出または書き込みトランザクションでシリアル・クロック・エッジの数が正しくないと検出された（例えば、トランザクションがバイトの途中で終了した）ことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/W1C

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
		0	クロック・カウント・エラーは未検出。		
		1	クロック・カウント・エラーを検出。		
4	RESERVED		予備。	0x0	R
3	INVALID_OR_NO_CRC		CRCが無効なデータまたはCRCのないデータを受信。このビットは、マスタがCRCを送信できなかった場合、またはデバイスがCRCを計算してチェックしその値が正しくなかった場合にセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	CRCエラーは未検出。		
		1	CRCエラーを検出。		
2	WRITE_TO_READ_ONLY_REGISTER		読出し専用レジスタへの書込みを試行。このビットは、デジタル・ホストが読出し専用フィールドだけで構成されているレジスタにSPI書込みを行おうとすると、セットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	エラーなし。		
		1	読出し専用レジスタへの書込みを検出。		
1	PARTIAL_REGISTER_ACCESS		レジスタに対する部分的アクセス・エラー・フラグ。このビットは、マルチバイト・レジスタにアドレス指定されたトランザクションのデータ・バイト数が不十分である場合にアサートされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	部分的アクセス・エラーは未検出。		
		1	部分的アクセス・エラーを検出。		
0	REGISTER_ADDRESS_INVALID		レジスタ無効アドレス・エラー・フラグ。無効なレジスタ・アドレスに対してSPI読出し/書込みトランザクションが試行されたことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	無効アドレス・エラーは未検出。		
		1	無効アドレス・エラーを検出。		

## レジスタ

## インターフェース設定Dレジスタ

アドレス：0x14、リセット：0x04、レジスタ名：INTERFACE\_CONFIG\_D

このレジスタは、デジタル信号のSPI通信や電気的パラメータに影響する各種設定ビットで構成されます。

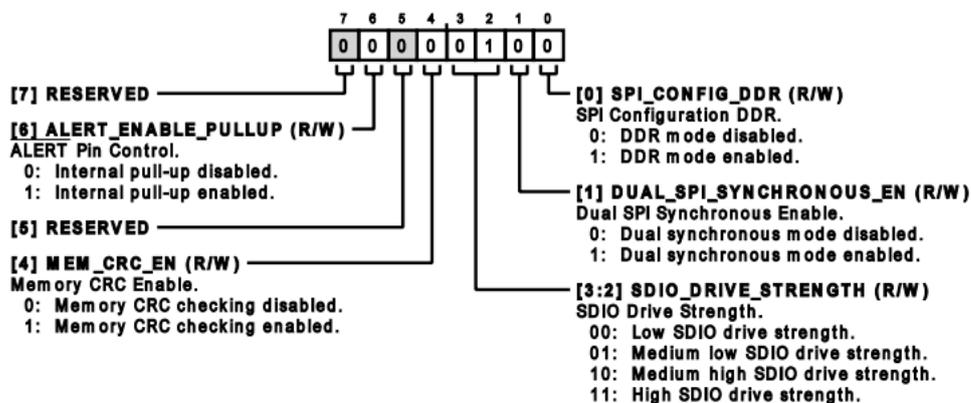


表 33. INTERFACE\_CONFIG\_Dのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	ALERT_ENABLE_PULLUP	0 1	ALERTピン制御。2.5kΩ内部プルアップ抵抗をイネーブルします。 内部プルアップをディスエーブル。外部プルアップが必要です。 内部プルアップをイネーブル。	0x0	R/W
5	RESERVED		予備。	0x0	R
4	MEM_CRC_EN	0 1	メモリのCRCをイネーブル。このビットは、プライマリ・レジスタ・セットとROMメモリの連続的なチェックを制御します。 メモリのCRCチェックをディスエーブル。 メモリのCRCチェックをイネーブル。	0x0	R/W
[3:2]	SDIO_DRIVE_STRENGTH	00 01 10 11	SDIOの駆動強度。これら2つのビットにより、SDIOの駆動強度を上げることができます。 低SDIO駆動強度。 中低SDIO駆動強度。 中高SDIO駆動強度。 高SDIO駆動強度。	0x1	R/W
1	DUAL_SPI_SYNCHRONOUS_EN	0 1	デュアルSPI同期をイネーブル。このビットは、DACストリームごとに1つのSDIOラインを使用するデュアル同期データ転送を制御します。 デュアル同期モードをディスエーブル。 デュアル同期モードをイネーブル。	0x0	R/W
0	SPI_CONFIG_DDR	0 1	SPI設定DDR。このビットは、データ転送でのDDRの使用を制御します。 DDRモードを無効化。 DDRモードを有効化。	0x0	R/W

## レジスタ

## DACレジスタの詳細

## リファレンス設定レジスタ

アドレス：0x15、リセット：0x00、レジスタ名：REFERENCE\_CONFIG

このレジスタは、電圧リファレンスのソースと駆動を制御します。

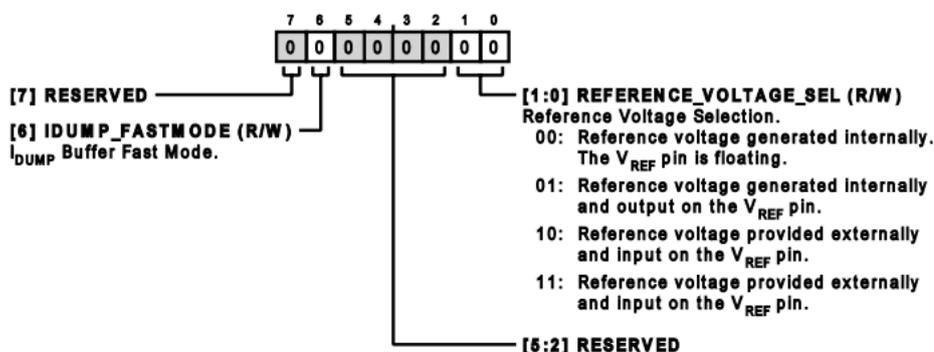


表 34. REFERENCE\_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	IDUMP_FASTMODE		$I_{DUMP}$ バッファ高速モード。このビットをセットすると、アンプの $I_{DUMP}$ バッファの $I_{DD}$ を増加させてゲイン帯域幅を広げることができます。	0x0	R/W
[5:2]	RESERVED		予備。	0x0	R
[1:0]	REFERENCE_VOLTAGE_SEL		リファレンス電圧の選択。この2つのビットを使用して、リファレンス電圧回路の設定を選択します。 00 リファレンス電圧は内部生成。 $V_{REF}$ ピンはフローティング状態です。 01 リファレンス電圧は内部生成され、 $V_{REF}$ ピンから出力。 10 リファレンス電圧は外部から供給され、 $V_{REF}$ ピンに入力。 11 リファレンス電圧は外部から供給され、 $V_{REF}$ ピンに入力。	0x0	R/W

## エラー・アラーム・マスク・レジスタ

アドレス：0x16、リセット：0x00、レジスタ名：ERR\_ALARM\_MASK

このレジスタは、 $\overline{ALERT}$ ピンのアサートの原因となるエラー条件を選択します。

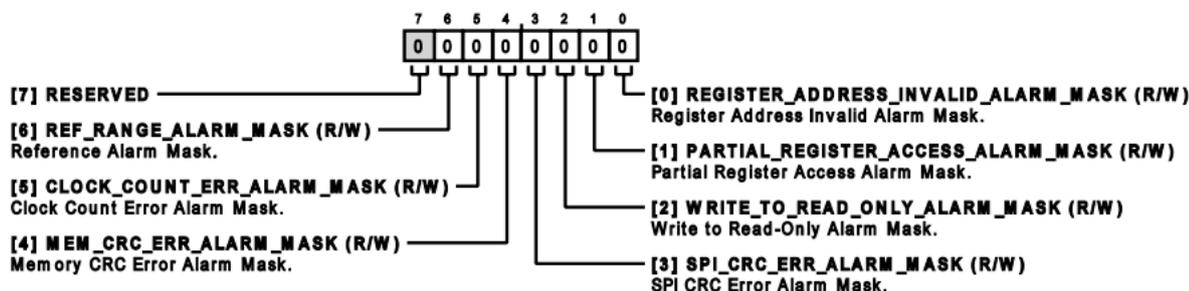


表 35. ERR\_ALARM\_MASKのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
6	REF_RANGE_ALARM_MASK		リファレンス・アラーム・マスク。このビットをセットすると、リファレンスが2V未満に低下したことによるアラームを無視できます。	0x0	R/W
5	CLOCK_COUNT_ERR_ALARM_MASK		クロック・カウント・エラー・アラーム・マスク。このビットをセットすると、ユーザ書き込み用のクロック周期数が不足していることによるアラームを無視できます。	0x0	R/W
4	MEM_CRC_ERR_ALARM_MASK		メモリCRCエラー・アラーム・マスク。このビットをセットすると、メモリCRCエラーによるアラームを無視できます。	0x0	R/W
3	SPI_CRC_ERR_ALARM_MASK		SPI CRCエラー・アラーム・マスク。このビットをセットすると、SPI CRCチェッカによるアラームを無視できます。	0x0	R/W
2	WRITE_TO_READ_ONLY_ALARM_MASK		読出し専用への書き込みアラームのマスク。このビットをセットすると、読出し専用レジスタへのユーザ書き込みによるアラームを無視できます。	0x0	R/W
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK		レジスタに対する部分的アクセス・アラーム・マスク。このビットをセットすると、ユーザがレジスタへの書き込みを完了しなかったことによるアラームを無視できます。	0x0	R/W
0	REGISTER_ADDRESS_INVALID_ALARM_MASK		レジスタ・アドレス無効アラーム・マスク。このビットをセットすると、無効なレジスタ・アドレスへのユーザ書き込みによるアラームを無視できます。	0x0	R/W

## エラー・ステータス・レジスタ

アドレス：0x17、リセット：0x01、レジスタ名：ERR\_STATUS

このレジスタは、アナログ領域とデジタル領域のエラーの組み合わせを示します。すべてのビットはスティッキーであり、1を書き込むことによってクリアできます。

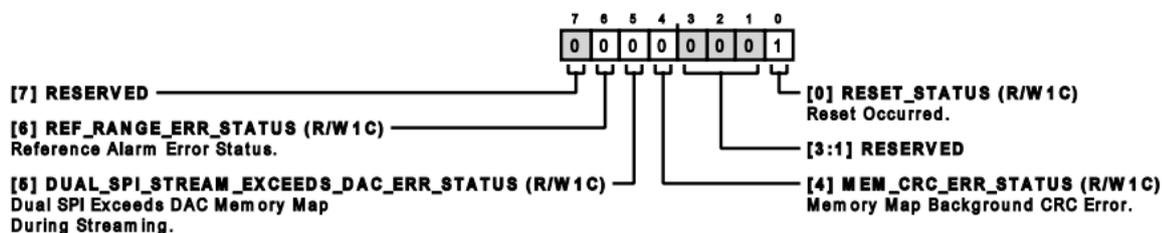


表 36. ERR\_STATUSのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	REF_RANGE_ERR_STATUS		リファレンス・アラーム・エラー・ステータス。このビットは、リファレンスが2V未満に低下した場合にアラームを発生します。	0x0	R/W1C
5	DUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUS		デュアルSPIがストリーミング時にDACメモリ・マップを超過。このビットは、デュアルSPIでストリーミング・アクセスがDACのメモリ・マップ範囲を超えた場合にアラームを発生します。	0x0	R/W1C
4	MEM_CRC_ERR_STATUS		メモリ・マップのバックグラウンドCRCエラー。このビットは、バックグラウンドCRCがメモリ・マップでビットが破損していることを検出した場合にアラームを発生します。	0x0	R/W1C

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
[3:1]	RESERVED		予備。	0x0	R
0	RESET_STATUS		リセット発生。このビットは、デバイスがリセット後の初期化を完了したばかりであることを示します。このビットは、 <b>ALERT</b> ピンをアサートし、マスク不可です。そのため、初期化後は直ちにクリアする必要があります。	0x1	R/WIC

## パワーダウン設定レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：POWERDOWN\_CONFIG

このレジスタは、DACチャンネル個々のパワーダウンを制御します。

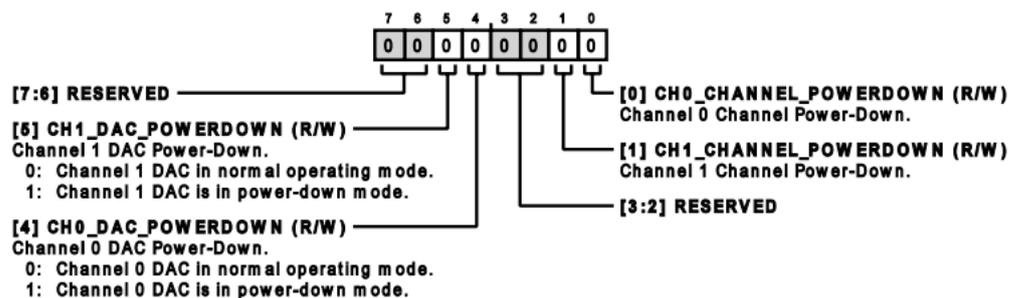


表 37. POWERDOWN\_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:6]	RESERVED		予備。	0x0	R
5	CH1_DAC_POWERDOWN	0 1	チャンネル1のDACのパワーダウン。 チャンネル1のDACは通常動作モード。 チャンネル1のDACはパワーダウン・モード。	0x0	R/W
4	CH0_DAC_POWERDOWN	0 1	チャンネル0のDACのパワーダウン。 チャンネル0のDACは通常動作モード。 チャンネル0のDACはパワーダウン・モード。	0x0	R/W
[3:2]	RESERVED		予備。	0x0	R
1	CH1_CHANNEL_POWERDOWN	0 1	チャンネル1の出力アンプのパワーダウン。 チャンネル1の出力アンプはパワーオン。 チャンネル1の出力アンプはパワーダウン・モード。	0x0	R/W
0	CH0_CHANNEL_POWERDOWN	0 1	チャンネル0の出力アンプのパワーダウン。 チャンネル0の出力アンプはパワーオン。 チャンネル0の出力アンプはパワーダウン・モード。	0x0	R/W

## レジスタ

### 出力レンジ・レジスタ

アドレス：0x19、リセット：0x00、レジスタ名：CH0\_CH1\_OUTPUT\_RANGE

このレジスタは、DACチャンネルの出力レンジを、表8に示す事前に定められたレンジの1つに設定します。必要な結果を得るためには、このレジスタを設定する他に、対応するR<sub>FBx,y</sub>抵抗を接続することも必要です。

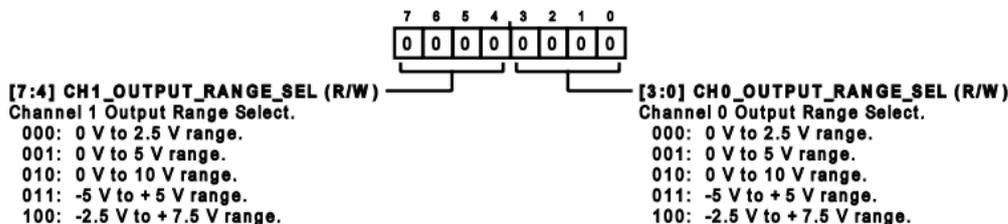


表 38. CH0\_CH1\_OUTPUT\_RANGEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	CH1_OUTPUT_RANGE_SEL	000 001 010 011 100	チャンネル1の出力レンジの選択。必要な電圧出力レンジを選択できます。 000 0V~2.5Vのレンジ。R <sub>FB1,1</sub> の接続が必要です。 001 0V~5Vのレンジ。R <sub>FB1,1</sub> の接続が必要です。 010 0V~10Vのレンジ。R <sub>FB2,1</sub> の接続が必要です。 011 -5V~+5Vのレンジ。R <sub>FB2,1</sub> の接続が必要です。 100 -2.5V~+7.5Vのレンジ。R <sub>FB2,1</sub> の接続が必要です。	0x0	R/W
[3:0]	CH0_OUTPUT_RANGE_SEL	000 001 010 011 100	チャンネル0の出力レンジの選択。必要な電圧出力レンジを選択できます。 000 0V~2.5Vのレンジ。R <sub>FB1,0</sub> の接続が必要です。 001 0V~5Vのレンジ。R <sub>FB1,0</sub> の接続が必要です。 010 0V~10Vのレンジ。R <sub>FB2,0</sub> の接続が必要です。 011 -5V~+5Vのレンジ。R <sub>FB2,0</sub> の接続が必要です。 100 -2.5V~+7.5Vのレンジ。R <sub>FB2,0</sub> の接続が必要です。	0x0	R/W

### ハードウェアLDACマスク・レジスタ、高速モード

アドレス：0x28、リセット：0x00、レジスタ名：HW\_LDAC\_16B

このレジスタは、データを各DACチャンネルにラッチするための外部信号であるLDACのマスクを制御します。

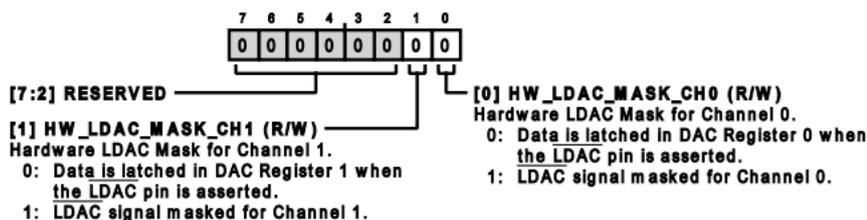


表 39. HW\_LDAC\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	HW_LDAC_MASK_CH1	0	チャンネル1のハードウェアLDCAマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ1にラッチされます。	0x0	R/W

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
			1 チャンネル1のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。		
0	HW_LDAC_MASK_CH0		チャンネル0のハードウェアLDCAマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。 1 チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W

## チャンネル0のDACレジスタ、高速モード

アドレス：0x29、リセット：0x0000、レジスタ名：CH0\_DAC\_16B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

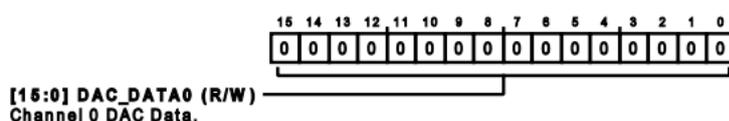


表 40. CH0\_DAC\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W

## チャンネル1のDACレジスタ、高速モード

アドレス：0x2B、リセット：0x0000、レジスタ名：CH1\_DAC\_16B

このレジスタには、現在DACチャンネル1で使用されているデータが格納されています。

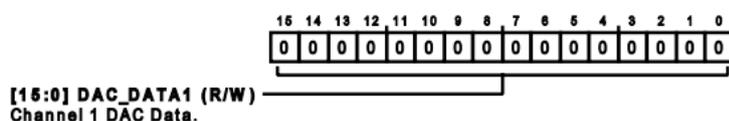


表 41. CH1\_DAC\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	DAC_DATA1		チャンネル1のDACデータ。	0x0	R/W

## DACページ・レジスタ、高速モード

アドレス：0x2D、リセット：0x0000、レジスタ名：DAC\_PAGE\_16B

このレジスタを使用することで、CH\_SELECT\_16BレジスタのSEL\_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。これにより、LDAC信号を使用せずに両方のチャンネルに同時に書き込みを行うことができます。

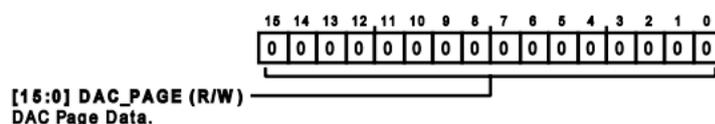


表 42. DAC\_PAGE\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	DAC_PAGE		DACページ・データ。このレジスタへの書き込みの後、このレジスタにロードされたDACコードは、CH_SELECT_16Bレジスタで選択されたチャンネルのDACレジスタにコピーされます。	0x0	R/W

## レジスタ

## ページ・レジスタ用チャンネル選択レジスタ、高速モード

アドレス：0x2F、リセット：0x00、レジスタ名：CH\_SELECT\_16B

このレジスタは、DAC\_PAGE\_16BレジスタまたはINPUT\_PAGE\_16Bレジスタへの書込みの後、どのチャンネルのレジスタを更新するかを選択します。

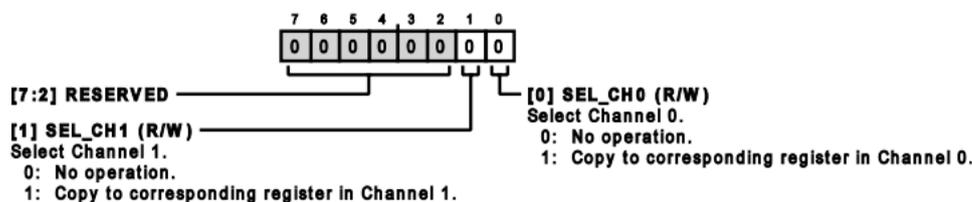


表 43. CH\_SELECT\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	SEL_CH1	0 1	チャンネル1を選択。このビットをセットすると、INPUT_PAGE_16Bレジスタに書き込まれたデータはCH1_INPUT_16Bレジスタにコピーされ、DAC_PAGE_16Bレジスタに書き込まれたデータはCH1_DAC_16Bレジスタにコピーされます。 動作なし。 チャンネル1の対応するレジスタにコピー。	0x0	R/W
0	SEL_CH0	0 1	チャンネル0を選択。このビットをセットすると、INPUT_PAGE_16Bレジスタに書き込まれたデータはCH0_INPUT_16Bレジスタにコピーされ、DAC_PAGE_16Bレジスタに書き込まれたデータはCH0_DAC_16Bレジスタにコピーされます。 動作なし。 チャンネル0の対応するレジスタにコピー。	0x0	R/W

## 入力ページ・レジスタ、高速モード

アドレス：0x30、リセット：0x0000、レジスタ名：INPUT\_PAGE\_16B

このレジスタを使用することで、CH\_SELECT\_16BレジスタのSEL\_CHxビットの設定に応じて一方または両方のDAC入力レジスタにデータを書き込むことができます。

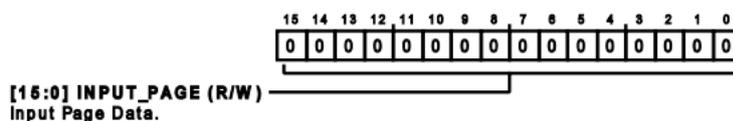


表 44. INPUT\_PAGE\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	INPUT_PAGE		入力ページ・データ。このレジスタへの書込みの後、このレジスタにロードされたDACコードは、CH_SELECT_16Bレジスタで選択されたチャンネルの入力レジスタにコピーされます。	0x0	R/W

## ソフトウェアLDACレジスタ、高速モード

アドレス：0x32、リセット：0x00、レジスタ名：SW\_LDAC\_16B

このレジスタを使用して、入力レジスタとDACレジスタ間のデータ転送をトリガすることができます。これは、LDACラインにローレベルの信号をパルス入力することをソフトウェアで実現するものです。

レジスタ

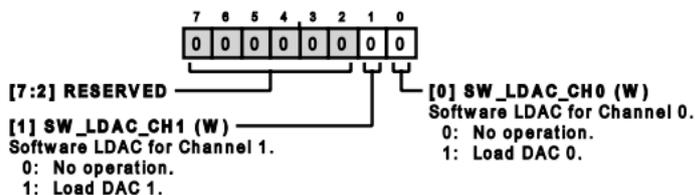


表 45. SW\_LDAC\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	SW_LDAC_CH1	0 1	チャンネル1のソフトウェアLDAC。このビットをセットすると、CH1_INPUT_16Bレジスタの内容がCH1_DAC_16Bレジスタに転送されます。このビットは、書き込み後は自動的にリセットされます。 0 動作なし。 1 DAC1をロード。	0x0	W
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_16Bレジスタの内容がCH0_DAC_16Bレジスタに転送されます。このビットは、書き込み後は自動的にリセットされます。 0 動作なし。 1 DAC0をロード。	0x0	W

## レジスタ

### チャンネル0の入力レジスタ、高速モード

アドレス：0x33、リセット：0x0000、レジスタ名：CH0\_INPUT\_16B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

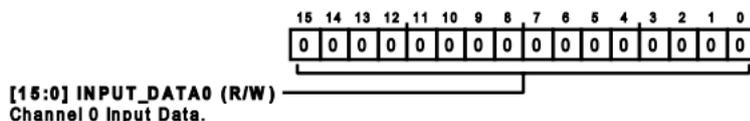


表 46. CH0\_INPUT\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W

### チャンネル1の入力レジスタ、高速モード

アドレス：0x35、リセット：0x0000、レジスタ名：CH1\_INPUT\_16B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納保管されています。

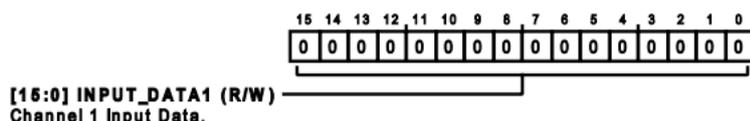


表 47. CH1\_INPUT\_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	INPUT_DATA1		チャンネル1の入力データ。	0x0	R/W

### ハードウェアLDACマスク・レジスタ、高精度モード

アドレス：0x37、リセット：0x00、レジスタ名：HW\_LDAC\_24B

このレジスタは、データを各DACレジスタにラッチするための外部信号であるLDACのマスクを制御します。

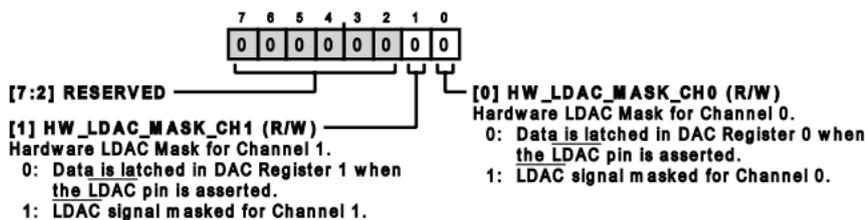


表 48. HW\_LDAC\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	HW_LDAC_MASK_CH1		チャンネル1のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ1にラッチされます。 1 チャンネル1のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W
0	HW_LDAC_MASK_CH0		チャンネル0のハードウェアLDACマスク。このビットで、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかどうかを制御します。	0x0	R/W

## レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
		0	LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。		
		1	チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。		

## チャンネル0のDACレジスタ、高精度モード

アドレス：0x38、リセット：0x000000、レジスタ名：CH0\_DAC\_24B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

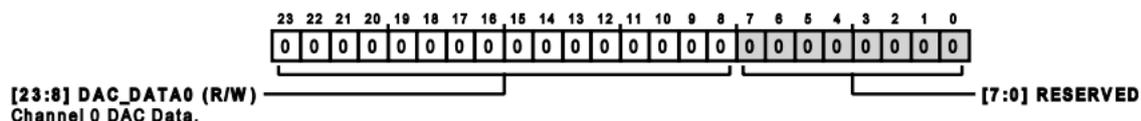


表 49. CH0\_DAC\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

## チャンネル1のDACレジスタ、高精度モード

アドレス：0x3B、リセット：0x000000、レジスタ名：CH1\_DAC\_24B

このレジスタには、現在DACチャンネル1で使用されているデータが格納されています。

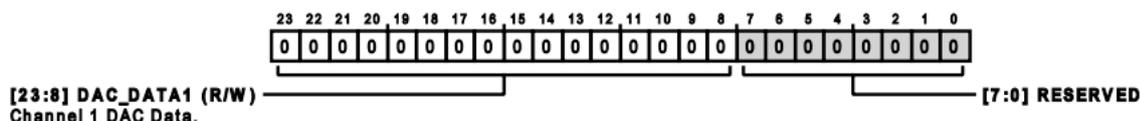


表 50. CH1\_DAC\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	DAC_DATA1		チャンネル1のDACデータ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

## DACページ・レジスタ、高精度モード

アドレス：0x3E、リセット：0x000000、レジスタ名：DAC\_PAGE\_24B

このレジスタを使用することで、CH\_SELECT\_24BレジスタのSEL\_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。これにより、LDAC信号を使用せずに両方のチャンネルに同時に書き込みを行うことができます。

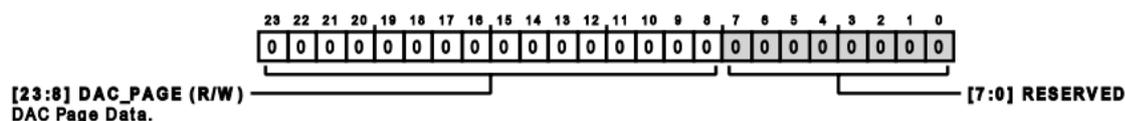


表 51. DAC\_PAGE\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	DAC_PAGE		DACページ・データ。このレジスタへの書き込みの後、このレジスタにロードされたDACコードは、CH_SELECT_24Bレジスタで選択されたチャンネルのDACレジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

## レジスタ

### ページ・レジスタ用チャンネル選択レジスタ、高精度モード

アドレス：0x41、リセット：0x00、レジスタ名：CH\_SELECT\_24B

このレジスタは、DAC\_PAGE\_24BレジスタまたはINPUT\_PAGE\_24Bレジスタへの書込みの後、どのチャンネルのレジスタを更新するかを選択します。

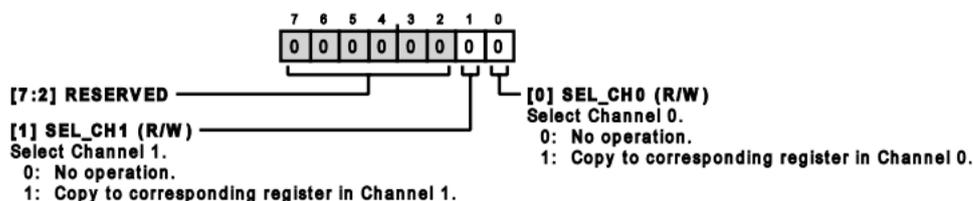


表 52. CH\_SELECT\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	SEL_CH1	0 1	チャンネル1を選択。このビットをセットすると、INPUT_PAGE_24Bレジスタに書き込まれたデータはCH1_INPUT_24Bレジスタにコピーされ、DAC_PAGE_24Bレジスタに書き込まれたデータはCH1_DAC_24Bレジスタにコピーされます。 動作なし。 チャンネル1の対応するレジスタにコピー。	0x0	R/W
0	SEL_CH0	0 1	チャンネル0を選択。このビットをセットすると、INPUT_PAGE_24Bレジスタに書き込まれたデータはCH0_INPUT_24Bレジスタにコピーされ、DAC_PAGE_24Bレジスタに書き込まれたデータはCH0_DAC_24Bレジスタにコピーされます。 動作なし。 チャンネル0の対応するレジスタにコピー。	0x0	R/W

### 入力ページ・レジスタ、高精度モード

アドレス：0x42、リセット：0x000000、レジスタ名：INPUT\_PAGE\_24B

このレジスタを使用することで、CH\_SELECT\_24BレジスタのSEL\_CHxビットの設定に応じて一方または両方のチャンネルにデータを書き込むことができます。

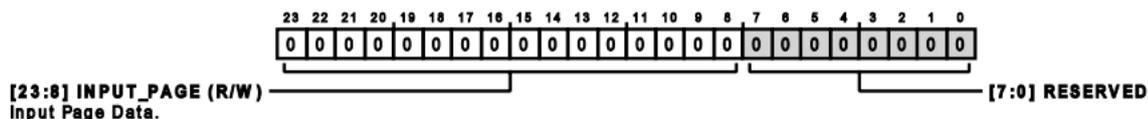


表 53. INPUT\_PAGE\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	INPUT_PAGE		入力ページ・データ。このレジスタへの書込みの後、このレジスタにロードされたDACコードは、CH_SELECT_24Bレジスタで選択されたチャンネルの入力レジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

## レジスタ

### ソフトウェアLDACレジスタ、高精度モード

アドレス：0x45、リセット：0x00、レジスタ名：SW\_LDAC\_24B

このレジスタを使用して、入力レジスタとDACレジスタの間のデータ転送をトリガすることができます。これは、LDACラインにロー・レベルの信号をパルス入力することをソフトウェアで実現するものです。

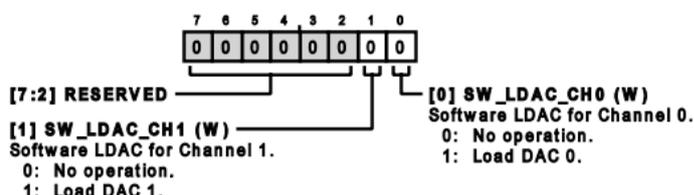


表 54. SW\_LDAC\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:2]	RESERVED		予備。	0x0	R
1	SW_LDAC_CH1	0 1	チャンネル1のソフトウェアLDAC。このビットをセットすると、CH1_INPUT_24Bレジスタの内容がCH1_DAC_24Bレジスタに転送されます。このビットは、書込み後は自動的にリセットされます。 0 動作なし。 1 DAC1をロード。	0x0	W
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_24Bレジスタの内容がCH0_DAC_24Bレジスタに転送されます。このビットは、書込み後は自動的にリセットされます。 0 動作なし。 1 DAC0をロード。	0x0	W

### チャンネル0の入力レジスタ、高精度モード

アドレス：0x46、リセット：0x000000、レジスタ名：CH0\_INPUT\_24B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

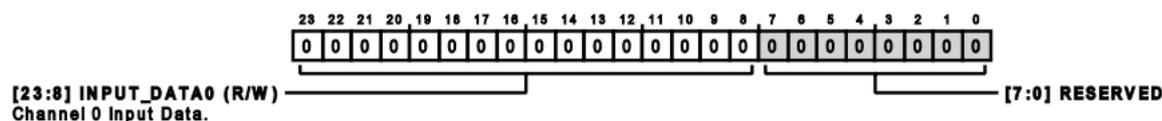


表 55. CH0\_INPUT\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

## レジスタ

### チャンネル1の入力レジスタ、高精度モード

アドレス：0x49、リセット：0x000000、レジスタ名：CH1\_INPUT\_24B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

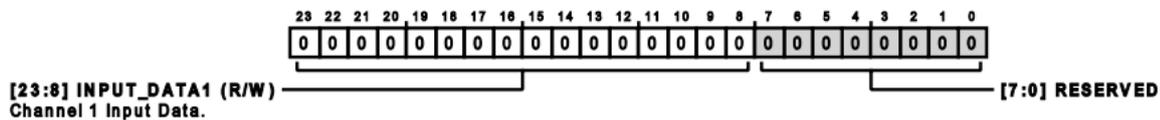


表 56. CH1\_INPUT\_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	INPUT_DATA1		チャンネル1の入力データ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R



外形寸法

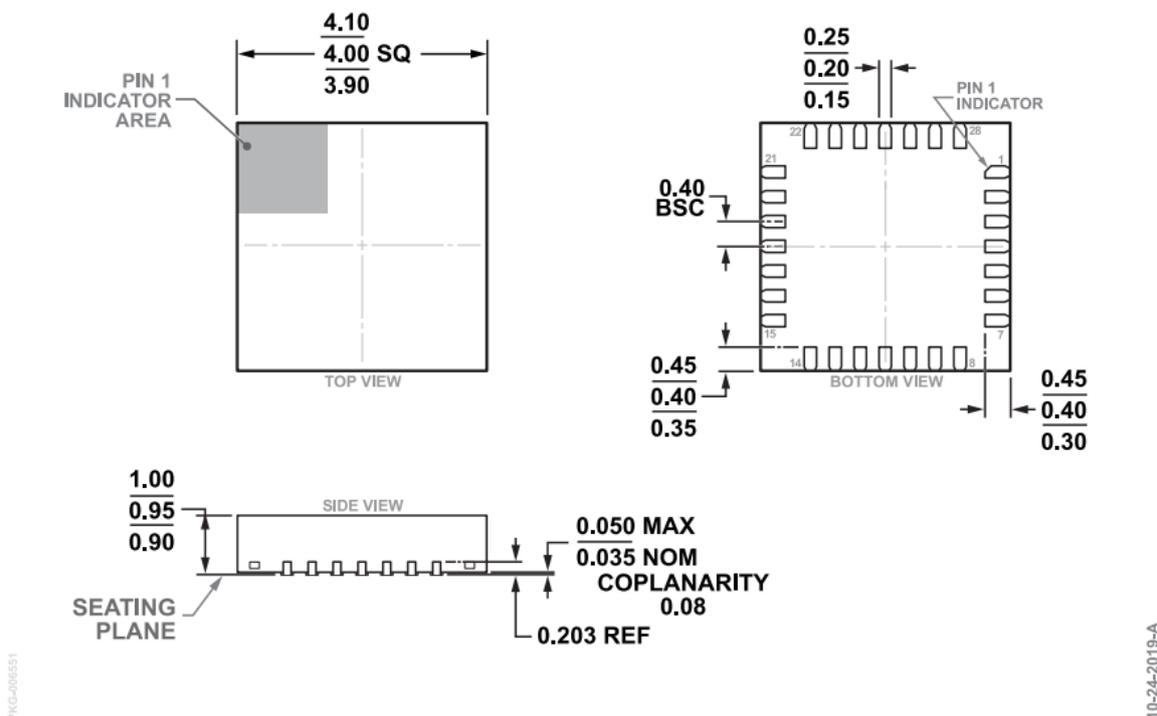


図 101. 28ピン・リード・フレーム・チップ・パッケージ [LFCSP]  
 4mm × 4mmボディ、0.95mmパッケージ高  
 (CP-28-15)  
 寸法 : mm

更新 : 2022年8月25日

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Packing Quantity	Package Option
AD3542RBCPZ12-RL7	-40°C to +105°C	28-Lead LFCSP (4mm x 4mm x 0.95 mm)	Reel, 1500	CP-28-15
AD3542RBCPZ16	-40°C to +105°C	28-Lead LFCSP (4mm x 4mm x 0.95 mm)		CP-28-15
AD3542RBCPZ16-RL7	-40°C to +105°C	28-Lead LFCSP (4mm x 4mm x 0.95 mm)	Reel, 1500	CP-28-15

<sup>1</sup> Z = RoHS準拠製品。

評価用ボード

Model <sup>1</sup>	Description
EVAL-AD3542RFMCZ	AD3542R Evaluation Board
EVAL-SDP-CH1Z	SDP High Speed Controller Board

<sup>1</sup> Z = RoHS準拠製品。

