

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年2月21日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年2月21日

製品名：AD3541R

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：3頁、右の段、上から9行目

【誤】

ADDR_ASCENSION ビットを0に設定すると…

【正】

ADDR_DIRECTION ビットを0に設定すると…

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2022年2月21日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2022年2月27日

製品名：AD3541R

対象となるデータシートのリビジョン(Rev)：Rev.0

38頁 表18内、一番下の項、SW_RESET_LSBの項、説明の欄

【誤】

同じレジスタ書込みトランザクションで SW_RESET_LSB ビットも 1 にセットされた場合、…

【正】

同じレジスタ書込みトランザクションで SW_RESET_MSB ビットも 1 にセットされた場合、…

シングル・チャンネル、16ビット、16MUPS、マルチスパン、マルチIOのSPI DAC

特長

- ▶ 16ビット分解能
- ▶ 高速モード時、16MUPSのシングル・チャンネル・レート
- ▶ 高精度モード時、11MUPSのシングル・チャンネル・レート
- ▶ 0.1%の精度まで78nsの小信号セトリング時間
- ▶ 0.1%の精度まで100nsの大信号セトリング時間
- ▶ 超低グリッチ：<math><50\text{pVxs}</math>
- ▶ 超低遅延：5ns
- ▶ THD：1kHz時に-105dB
- ▶ 多様に設定可能な出力電圧スパンおよびオフセット
- ▶ 1.2V~1.8Vロジック・レベルに対応
- ▶ シングル（標準）およびデュアルSPIモード
- ▶ 複数のエラー検出器（アナログ領域とデジタル領域）
- ▶ 2.5Vの内部リファレンス、10ppm/°Cの最大温度係数
- ▶ 小型パッケージ：4mm x 4mm LFCSP

アプリケーション

- ▶ 計測器
- ▶ ハードウェア・イン・ザ・ループ
- ▶ プロセス制御機器
- ▶ 医療機器
- ▶ ATE（自動試験装置）
- ▶ データ・アキュイジション・システム
- ▶ プログラマブル電圧源
- ▶ 光通信

機能ブロック図

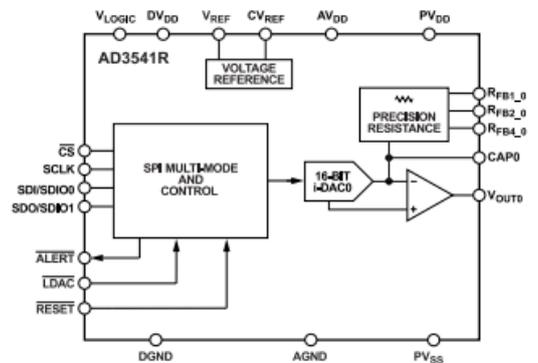


図 1. 機能ブロック図

アナログ・デバイスでは、文化的に適切な用語および言語の提供を期して技術資料の更新を行っております。これは広い範囲にわたるプロセスですが、できるだけ早期に段階的に導入して行く予定です。完了までしばらくお待ちいただけますようお願いします。

Rev. 0

文書に関するご意見

テクニカルサポート

アナログ・デバイス社の提供する情報は、「そのまま」正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関しては一切の責任を負いません。仕様は予告なく変更される場合があります。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。本紙記載の商標および登録商標は、各社の所有に属します。

概要

AD3541Rは、低ドリフト、シングル・チャンネル、超高速、16ビット精度の電圧出力D/Aコンバータ（DAC）で、複数の電圧スパン・レンジで設定できます。また、2.5Vの固定リファレンスで動作します。

このデバイスは、出力電圧をスケールする内部トランインピーダンス・アンプ（TIA）のために、3つのドリフト補償帰還抵抗を内蔵しています。AD3541Rでは5個の出力レンジが事前設定されています（0V~2.5V、0V~5V、0V~10V、-5V~+5V、-2.5V~+7.5V）。

DACは、最大速度を実現するためには高速モード、最大精度を実現するためには高精度モードで動作できます。

シリアル・ペリフェラル・インターフェース（SPI）は、シングルSPI（標準SPI）モードまたはデュアルSPIモードに設定可能で、1.2V~1.8Vのロジック・レベルでシングル・データ・レート（SDR）またはダブル・データ・レート（DDR）をサポートします。

巡回冗長検査（CRC）をイネーブルしてデバイスの信頼性を高めることができます。VREFの障害やメモリ・マップの破損を検出するために、複数のエラー・チェッカも内蔵されています。

AD3541Rは、拡張工業用温度範囲（-40°C~+105°C）で仕様規定されています。

表 1. 関連製品

Part No.	Description
LTC6655	0.25 ppm noise, low drift precision reference
ADR4525	Ultralow noise, high accuracy, 2.5 V voltage reference

目次

特長.....	1	V _{REF}	22
アプリケーション.....	1	SPIレジスタ・マップの利用.....	23
概要.....	1	シリアル・インターフェース.....	29
機能ブロック図.....	1	DACの更新モード.....	30
仕様.....	3	パワーダウン.....	32
電気特性.....	3	リセット.....	32
AC特性.....	5	エラー検出.....	32
タイミング特性.....	5	ALERTピン.....	33
絶対最大定格.....	9	デバイスID.....	34
熱抵抗.....	9	インターフェース・アクセス・モードのまとめ.....	34
ESDに関する注意.....	9	レジスタ.....	35
ピン配置およびピン機能の説明.....	10	レジスタの一覧.....	35
代表的な性能特性.....	11	インターフェース・レジスタの詳細.....	38
用語.....	21	DACレジスタの詳細.....	47
動作原理.....	22	アプリケーション情報.....	55
製品の説明.....	22	電源の推奨事項.....	55
DACのアーキテクチャ.....	22	取付けに関する機構上の留意点.....	55
出力電圧スパン.....	22	外形寸法.....	56
伝達関数.....	22	オーダー・ガイド.....	56
内蔵TIA.....	22	評価用ボード.....	56
TIAの消費電力.....	22		

改訂履歴

5/2022 — Revision 0: Initial Version

仕様

電気特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $V_{REF} = 2.5V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^{\circ}C \leq T_A \leq +105^{\circ}C$ 。

表 2. 電気的特性

パラメータ ¹	記号	最小値	代表値	最大値	単位	テスト条件/コメント
STATIC PERFORMANCE						
Resolution		16			Bits	
Relative Accuracy (INL)		-2		+2	LSB	5Vのレンジのみ
		-4		+4	LSB	その他すべてのレンジ ²
Differential Nonlinearity (DNL)		-1		+1	LSB	高精度モード: $-40^{\circ}C \sim +105^{\circ}C$ 、 高速モード: $0^{\circ}C \sim 85^{\circ}C$
		-2		+2	LSB	高速モード: $-40^{\circ}C \sim +105^{\circ}C$
Offset Error		-2		+2	LSB	0V~2.5Vのレンジ、高速または高精度モード ²
Offset Error Drift ²		-0.15	+0.03	+0.15	%FSR	ミッドスケール (MS)、 $25^{\circ}C$
Full-Scale Error			2	7	ppm FSR/ $^{\circ}C$	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
Full-Scale Error Drift ²			4	11	ppm FSR/ $^{\circ}C$	0V~2.5V、-5V~+5Vの各レンジ
Zero-Scale Error ³		-0.3	± 0.03	+0.3	%FSR	$25^{\circ}C$
Zero-Scale Error Drift ²			2	7	ppm FSR/ $^{\circ}C$	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
			3	8	ppm FSR/ $^{\circ}C$	0V~2.5V、-5V~+5Vの各レンジ
Total Unadjusted Error (TUE)		-0.35	-0.03	+0.35	%FSR	$25^{\circ}C$
DC Power Supply Rejection Ratio (PSRR)			3	7	ppm FSR/ $^{\circ}C$	0V~5V、0V~10V、-2.5V~+7.5Vの各レンジ
			5	12	ppm FSR/ $^{\circ}C$	0V~2.5V、-5V~+5Vの各レンジ
		-0.5		+0.5	%FSR	
			0.6		mV/V	DACコード = ミッドスケール
OUTPUT CHARACTERISTICS						
Zero-Scale Voltage ⁴	V_{OUTx_ZS}					DACレジスタの全ビットに0をロード、 $25^{\circ}C$
0 V to 2.5 V Range			-0.198		V	
0 V to 5 V Range			-0.077		V	
0 V to 10 V Range			-0.163		V	
-5 V to +5 V Range			-5.163		V	
-2.5 V to +7.5 V Range			-2.666		V	
Full-Scale Voltage ⁴	V_{OUTx_FS}					DACレジスタの全ビットに1をロード、 $25^{\circ}C$
0 V to 2.5 V Range			2.697		V	
0 V to 5 V Range			5.076		V	
0 V to 10 V Range			10.163		V	
-5 V to +5 V Range			5.166		V	
-2.5 V to +7.5 V Range			7.662		V	
Short-Circuit Current			73 and 85		mA	ソースおよびシンク
Load Regulation			10		$\mu V/mA$	
Capacitive Load Stability			200		pF	コンデンサと並列に2k Ω を接続
REFERENCE OUTPUT						
Output Voltage		2.492	2.5	2.508	V	$25^{\circ}C$ 、寿命期間中
Voltage Reference Temperature Coefficient (TC) ⁵			3	10	ppm/ $^{\circ}C$	$0^{\circ}C \sim 105^{\circ}C$
			3	15	ppm/ $^{\circ}C$	$-40^{\circ}C \sim +105^{\circ}C$
Output Impedance			50		m Ω	
Output Voltage Noise			3.2		μV rms	0.1Hz~10Hz、 V_{REF} には無負荷
Output Voltage Noise Density			173		nV/ \sqrt{Hz}	f = 1kHz、 V_{REF} には無負荷

仕様

パラメータ ¹	記号	最小値	代表値	最大値	単位	テスト条件/コメント
Capacitive Load Stability ²			167		nV/ $\sqrt{\text{Hz}}$	f = 10kHz、V _{REF} には無負荷
Line Regulation			4.7		μF	
Output Current Load Capability			50		$\mu\text{V}/\text{mA}$	25°C
Line Regulation			± 8		mA	
			142		$\mu\text{V}/\text{V}$	25°C
REFERENCE INPUT						
Reference Current			1		μA	
Reference Input Range ²	V _{REF}	2.4	2.5	2.6	V	
Reference Input Impedance			3		M Ω	
LOGIC INPUTS						
Input Current	I _I	-1		+1	μA	ピンごと
Input Low Voltage	V _{IL}			0.35	V	
				$\times V_{\text{LOGIC}}$		
Input High Voltage	V _{IH}	0.65			V	
		$\times V_{\text{LOGIC}}$				
Pin Capacitance	C _I		4		pF	
LOGIC OUTPUTS						
Output Low Voltage	V _{OL}			0.20	V	シンク電流 (I _{SINK}) = 100 μA
				$\times V_{\text{LOGIC}}$		
Output High Voltage	V _{OH}	0.80			V	ソース電流 (I _{SOURCE}) = 100 μA
		$\times V_{\text{LOGIC}}$				
Pin Capacitance	C _O		4		pF	
POWER REQUIREMENTS						
V _{LOGIC} Pin		1.1	1.8	1.89	V	
V _{LOGIC} Current	I _{LOGIC}		1	7.5	μA	V _{IH} = V _{LOGIC} \times 0.9、V _{IL} = V _{LOGIC} \times 0.1
V _{LOGIC} Dynamic Current	I _{LOGIC_DYNAMIC}		2	3.2	mA	SCLK = 66MHz、デュアルSPI DDR、V _{IH} = V _{LOGIC} \times 0.65、V _{IL} = V _{LOGIC} \times 0.35
DV _{DD} Pin		1.71	1.8	1.89	V	
DV _{DD} Current	I _{DVDD}		0.5	0.8	mA	
DV _{DD} Dynamic Current	I _{DVDD_DYNAMIC}		24	26	mA	SCLK = 66MHz、デュアルSPI DDR
AV _{DD} Pin		4.75	5	5.25	V	
AV _{DD} Current	I _{DD}		12	15	mA	
AV _{DD} Power-Down Current	I _{DD}		0.6		mA	リセット後、DACをパワーダウン
AV _{DD} Reset Current	I _{DD}		120		μA	RESETをアサート
PV _{DD} Pin		4.75		10.6	V	
PV _{DD} Current	I _{PVDD}		4.5		mA	10Vレンジ・フル・スケール、負荷電流は含まず
PV _{DD} Power-Down Current	I _{PVDD}		32	40	μA	チャンネル・パワーダウン・ビットをセット
PV _{SS} Pin		PV _{DD} - 10.6		0	V	
PV _{SS} Current ⁶	I _{PVSS}		3.8		mA	$\pm 5\text{V}$ レンジ・ゼロ・スケール、負荷電流は含まず
PV _{SS} Power-Down Current	I _{PVSS}		32	40	μA	チャンネル・パワーダウン・ビットをセット
Recommended Headroom and Footroom			200		mV	図46を参照

1 用語の定義のセクションを参照してください。

2 設計と特性評価により確認していますが、出荷テストは行いません。

3 ゼロ・コードで測定。

4 出力電圧スパンのセクションを参照。

5 リファレンスの温度係数はボックス法に従って計算します。

6 PV_{SS}ピンから流れる電流として測定。

仕様

AC特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^\circ C \leq T_A \leq +105^\circ C$ 。

表 3. AC特性

パラメータ ¹	最小値	代表値	最大値	単位	テスト条件/コメント
DYNAMIC PERFORMANCE					
Output Voltage Settling Time	100			ns	2Vステップ、0.1%誤差、0V~5Vのレンジ
	85			ns	2Vステップ、1%誤差、0V~5Vのレンジ
	78			ns	60mVステップ、0.1%誤差、0V~5Vのレンジ
	22			ns	60mVステップ、1%誤差、0V~5Vのレンジ
Slew Rate	100			V/μs	フルスケール・ステップ、0V~2.5Vのレンジ、-40°C~+105°C
	140			V/μs	フルスケール・ステップ、その他の全レンジ、-40°C~+105°C
Digital-to-Analog Glitch Impulse	50			pV×s	0V~5Vのレンジ、メジャー・キャリーを中心に±1LSBの変化
Digital Feedthrough	12			pV×s	50MHzクロック、 $R_{FB2,x}$
AC PSRR	80			dB	1kHz、 $R_{FB1,x}$
	43			dB	1MHz、 $R_{FB1,x}$
Output Noise Spectral Density	20			nV/√Hz	DACコード = ミッドスケール、外部リファレンス、10kHz、 $R_{FB1,x}$
	40			nV/√Hz	$R_{FB2,x}$
Output Noise	3.8			μV rms	DACコード = ミッドスケール、外部リファレンス、1Hz~10kHz、 $R_{FB1,x}$
	7.6			μV rms	$R_{FB2,x}$
Total Harmonic Distortion (THD)	-105			dB	0V~5Vレンジ、 $f_{OUT} = 1kHz$
	-101			dB	$f_{OUT} = 10kHz$
	-84			dB	$f_{OUT} = 100kHz$
Spurious-Free Dynamic Range (SFDR)	-105			dB	0V~5Vレンジ、 $f_{OUT} = 1kHz$

1 用語の定義のセクションを参照してください。

タイミング特性

特に指定のない限り、 $AV_{DD} = 5.0V \pm 5\%$ 、 $DV_{DD} = 1.8V \pm 5\%$ 、 $1.1V \leq V_{LOGIC} \leq 1.9V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、 $-40^\circ C \leq T_A \leq +105^\circ C$ 。

表 4. タイミング特性

パラメータ ^{1,2}	説明	最小値	代表値	最大値	単位	テスト条件/コメント
f_{SCLK}	SCLK frequency			66	MHz	
t_1	SCLK cycle time	15.2			ns	
t_{SCLK2}	SCLK half period	7.6			ns	
t_2	\overline{CS} falling edge to first SCLK rising edge	5			ns	
t_3	Last SCLK sampling edge ³ to \overline{CS} rising edge	10			ns	
t_4	\overline{CS} falling edge from SCLK sampling edge ignored	5			ns	
t_5	\overline{CS} rising edge to SCLK rising edge ignored	5			ns	
t_6	Minimum \overline{CS} high time	10			ns	
t_7	Data setup time	2			ns	
t_8	Data hold time	2			ns	
t_9	SCLK falling edge to SDO data valid			15	ns	$1.7 < V_{LOGIC} < 1.9$
				25	ns	$1.1 < V_{LOGIC} < 1.7$
t_{10}	SCLK sampling edge to \overline{LDAC} falling edge	7.6			ns	
t_{11}	\overline{LDAC} pulse width low	7.6			ns	
t_{12}	\overline{CS} rising edge to SDO disabled		50		ns	
t_{13}	\overline{LDAC} rising edge to \overline{CS} falling edge	5			ns	

仕様

パラメータ ^{1,2}	説明	最小値	代表値	最大値	単位	テスト条件/コメント
t ₁₄	RESET pulse width low	10			ns	図8に示すt ₁₄ ~t ₁₉
t ₁₅	RESET pulse activation time			100	ns	
t ₁₆	V _{OUTX} update from CHx_DAC register write		12.6		ns	
t ₁₇	V _{OUT} update from LDAC falling edge		5		ns	
t ₁₈ ⁴	Wait time before DAC register access	100			ms	
t ₁₉ ⁵	Shutdown exit time		5		ms	
Update Rate	Dual SPI mode, DDR and streaming enabled, precision mode			11	MUPS ⁶	
	Dual SPI mode, DDR and streaming enabled, fast mode			16.5	MUPS ⁶	

1 すべての入力信号は、 $t_r = t_f = 1\text{ns/V}$ (10%~90%) で仕様規定され、(V_{IL} + V_{IH})/2の電圧レベルから時間計測します。

2 設計と特性評価により確認していますが、出荷テストは行いません。

3 SCLKのサンプリング・エッジは、データが読み込まれる(サンプリングされる) SCLKエッジを基準とします。

4 パワーアップ時にAV_{DD} = 4VまたはDV_{DD} = 0.8Vとなった時点から同じタイミングを見込む必要があります。

5 パワーダウン・モードを終了して通常動作モードになるまでに必要な時間。

6 MUPSは1秒あたりの更新数(メガ単位)を表します。

タイミング図

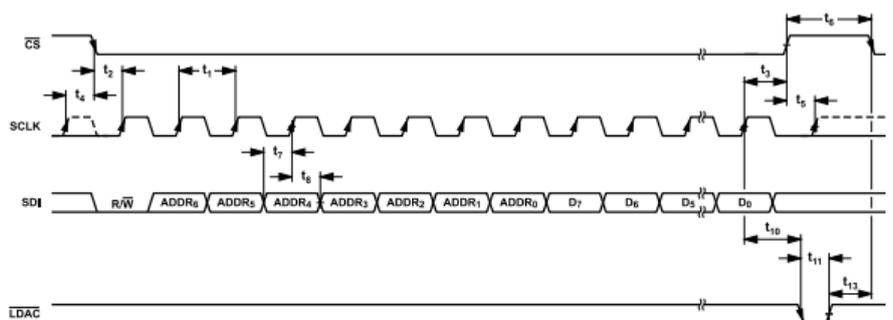


図 2. シングル・データ・レートでの標準的なSPI書き込み動作

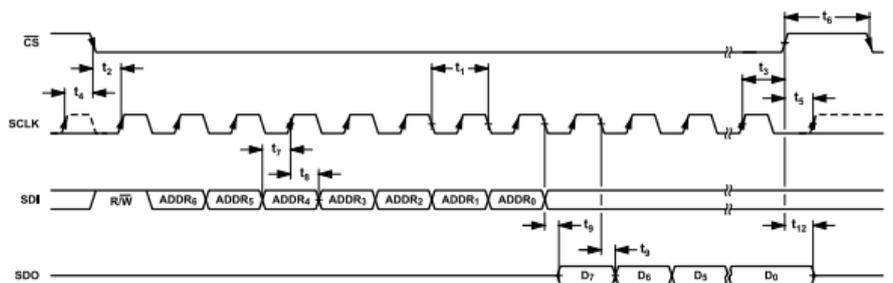


図 3. シングル・データ・レートでの標準的なSPI読み出し動作

仕様

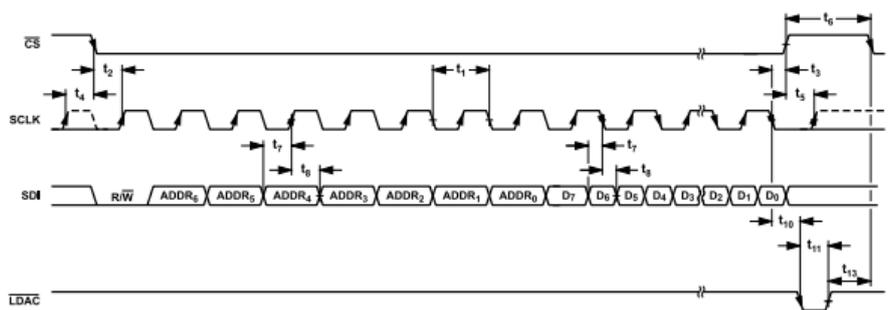


図 4. ダブル・データ・レートでの標準的なSPI書き込み動作

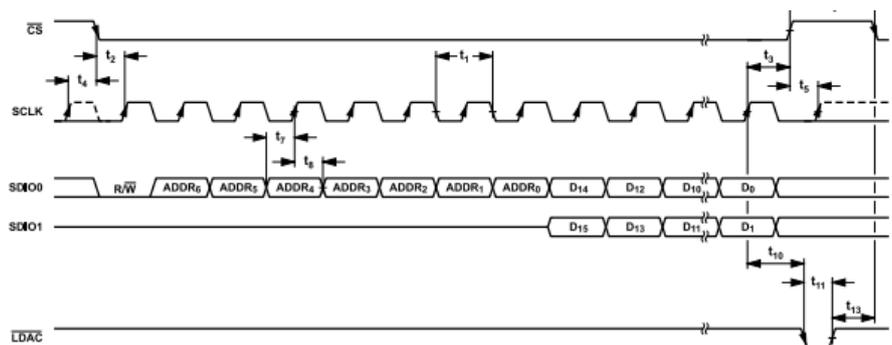


図 5. シングル・データ・レートでのデュアルSPI書き込み動作

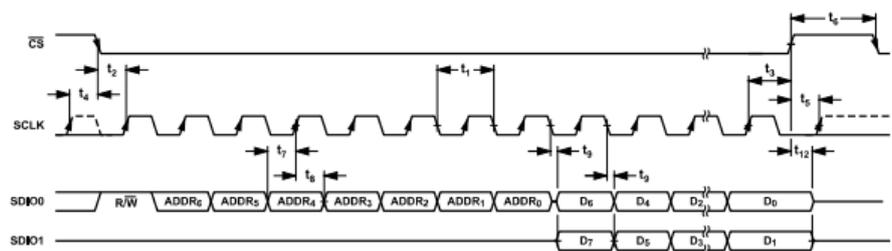


図 6. シングル・データ・レートでのデュアルSPI読み出し動作

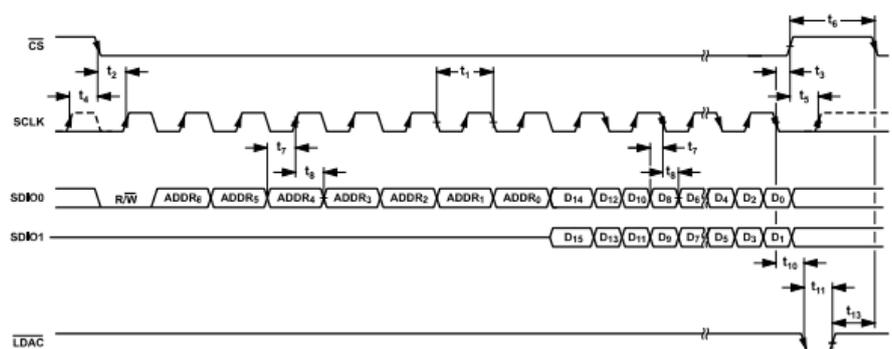


図 7. ダブル・データ・レートでのデュアルSPI書き込み動作

仕様

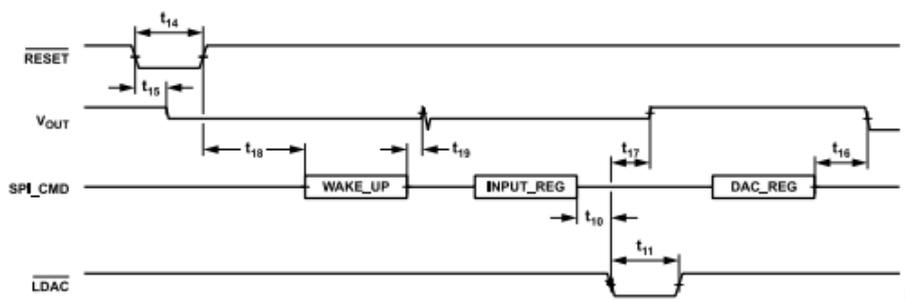


図 8. 起動シーケンス・タイミング

絶対最大定格

特に指定のない限り $T_A = 25^\circ\text{C}$ 。

表 5. 絶対最大定格

Parameter	Rating
AV_{DD} to AGND	-0.3 V to +6 V
DV_{DD} to DGND	-0.3 V to +2.1 V
AGND to DGND	-0.3 V to +0.3 V
V_{LOGIC} to DGND	-0.3 V to $DV_{DD} + 0.3$ V or +2.1 V (whichever is less)
PV_{DD} to PV_{SS}	-0.3 V to +11 V
V_{REF} to AGND	-0.3 V to +3 V
$R_{FBx,y}$ to AGND	-18 V to +18 V
Digital Input Voltage to DGND	-0.3 V to $V_{LOGIC} + 0.3$ V or +2.1 V (whichever is less)
Operating Temperature Range	
Industrial	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature (T_J)	125°C
Power Dissipation	$(\text{Maximum } T_J - T_A) / \theta_{JA}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。これはストレス定格のみを定めたものであり、本規格の動作セクションに記載する規定値以上でデバイスが正常に動作することを示唆するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCBの熱設計には、細心の注意を払う必要があります。

θ_{JA} は自然対流でのジャンクションと周囲の間の熱抵抗、 θ_{JC} はジャンクションとケースの間の熱抵抗値です。 θ_{JA} および θ_{JC} のどちらもJEDEC JESD51規格で定義されており、その値は、テスト・ボードおよびテスト環境に依存します。

表 6. 熱抵抗¹

Package Type	θ_{JA}	θ_{JC}	Unit
CP-28-15	54	12	°C/W

¹ JEDEC 2S2Pボードを使用し自然空冷 (空気流0m/sec) の場合のシミュレーション値。

ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。
電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

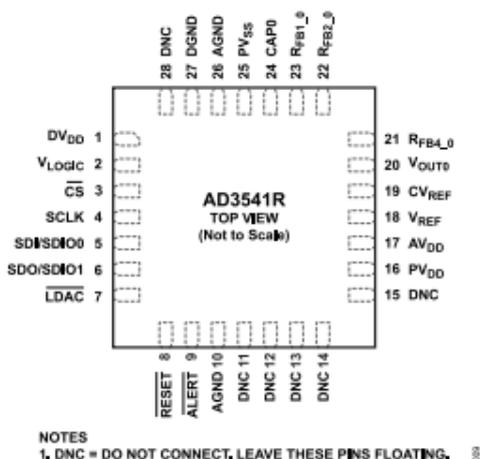


図 9. ピン配置

表 7. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1	DV _{DD}	S	デジタル・コア電源。1.8V ± 5%。
2	V _{LOGIC}	S	デジタル・インターフェース電源。1.2V~1.8V。
3	\overline{CS}	DI	チップ・セレクト、アクティブ・ローのロジック入力。これは、入力データに対するフレーム同期信号です。
4	SCLK	DI	シリアル・クロック入力。
5	SDI/SDIO0	DI/O	標準的SPIモードの場合のシリアル・データ入力。 デュアルSPIモードの場合のシリアル双方向入出力ビット0。
6	SDO/SDIO1	DI/O	標準的SPIモードの場合のシリアル・データ出力。 デュアルSPIモードの場合のシリアル双方向入出力ビット1。
7	\overline{LDAC}	DI	ロードDAC、アクティブ・ローのロジック入力。 \overline{LDAC} は、非同期と同期の2つのモードで動作できます。このピンにロー・レベルのパルスを入力すると、入力レジスタに新しいデータがある場合、DACレジスタが更新されます。このピンを常時ローに接続すると、DACは新しいデータが入力レジスタに書き込まれた場合に更新されます。
8	\overline{RESET}	DI	非同期リセット入力。アクティブ・ローのロジック入力。 \overline{RESET} がローになると、すべてのレジスタがデフォルト状態にリセットされて、デジタル・インターフェースでの動作は無視されます。AD3541Rはパワーオン・リセット (POR) 回路を内蔵しています。このピンを使用しない場合、V _{LOGIC} に接続する必要があります。
9	\overline{ALERT}	DO	アラート・ピン。アクティブ・ローのロジック出力。このピンは、アラート状態が検出されるとロー・レベルになります。また、マスク・レジスタの対応ビットでマスクされることはありません。このピンには構成設定可能なプルアップ抵抗が内蔵されています。
10、26	AGND	S	アナログ・グラウンド・リファレンス。DGNDとAGNDをデバイスの下の同じグラウンド・プレーンに接続することを推奨します。
11~15、28	DNC		接続なし。これらのピンはフロート状態のままにしておきます。
16	PV _{DD}	S	出力アンプの正電源。
17	AV _{DD}	S	アナログ電源。5V ± 5%。
18	V _{REF}	AI/O	2.5Vの電圧リファレンス。外部リファレンス使用時は入力、内部リファレンス使用時は出力またはフローティング。
19	CV _{REF}	AI/O	内部リファレンス用のデカップリング・コンデンサ。オプション。
20	V _{OUT0}	AI/O	チャンネル0のアナログ出力電圧。
21	R _{FB4_0}	AI/O	チャンネル0のハードウェア・ゲインの選択、ゲイン = 4。
22	R _{FB2_0}	AI/O	チャンネル0のハードウェア・ゲインの選択、ゲイン = 2。
23	R _{FB1_0}	AI/O	チャンネル0のハードウェア・ゲインの選択、ゲイン = 1。
24	CAPO	AI/O	チャンネル0のアンプ帰還コンデンサ。このピンとV _{OUT0} の間にコンデンサ (NP0を推奨) を接続し、アンプの帯域幅を調整します。
25	PV _{SS}	S	出力アンプの負側レール。
27	DGND	S	デジタル・グラウンド・リファレンス。DGNDとAGNDをデバイスの下の同じグラウンド・プレーンに接続することを推奨します。

1 Sは電源、DIはデジタル入力、DOはデジタル出力、AI/Oはアナログ入出力です。

代表的な性能特性

特に指定のない限り、 $AV_{DD} = 5V$ 、 $DV_{DD} = V_{LOGIC} = 1.8V$ 、 $4.75V \leq PV_{DD} - PV_{SS} \leq 10.6V$ 、 $4.75V \leq PV_{DD} \leq 10.6V$ 、 $-5.3V \leq PV_{SS} \leq 0V$ 、外部リファレンス電圧、温度 = 25°C（周囲温度）、電源の推奨事項のセクションの説明に従いデカップリング。

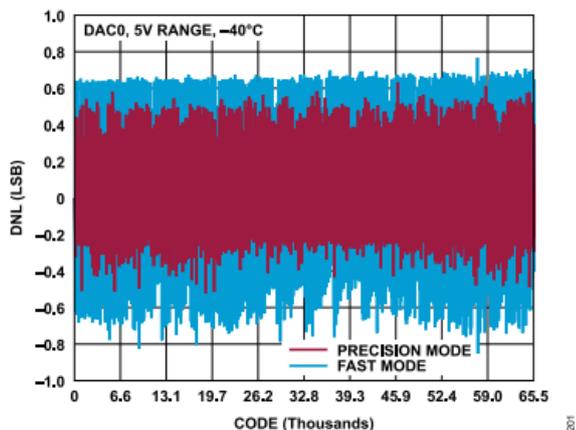


図 10. DNLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

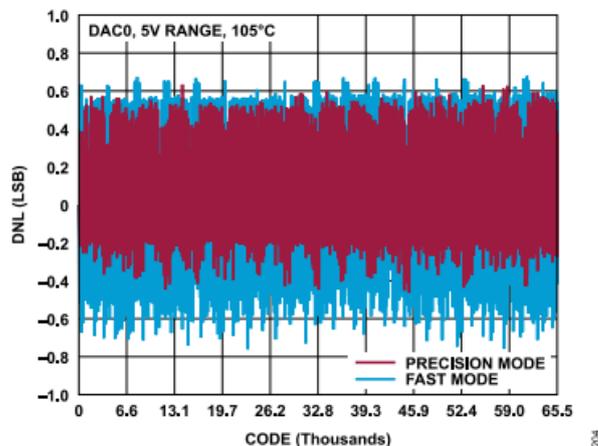


図 13. DNLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

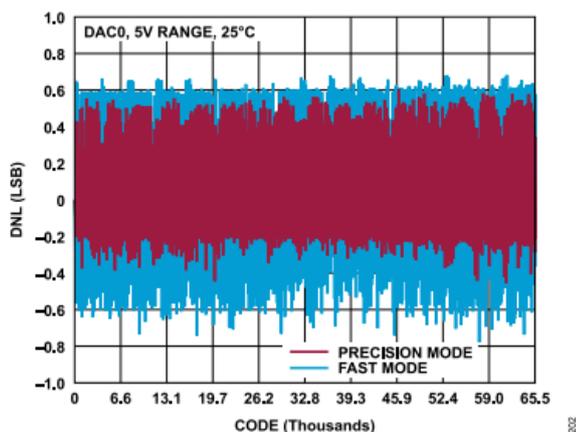


図 11. DNLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

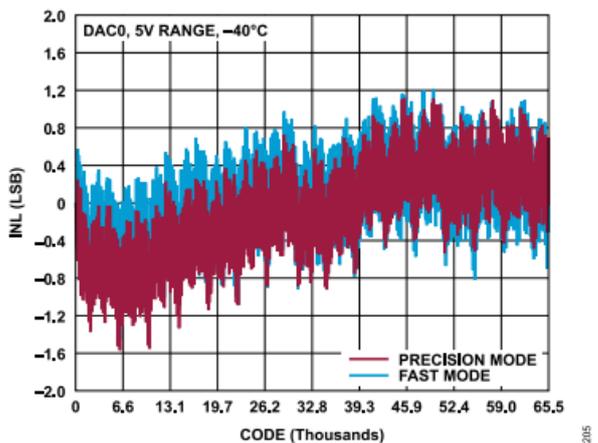


図 14. INLとコードの関係、0V~5Vのレンジ、-40°C、高速モードおよび高精度モード

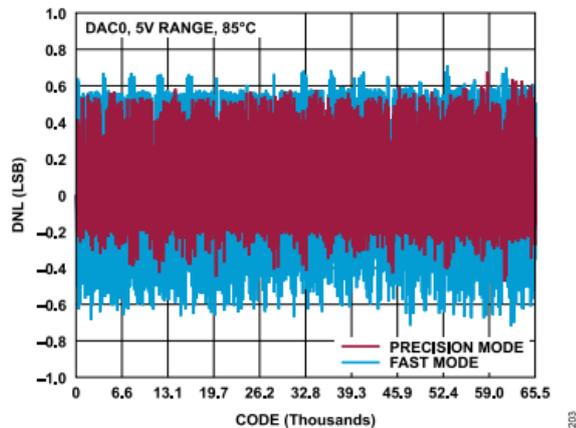


図 12. DNLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

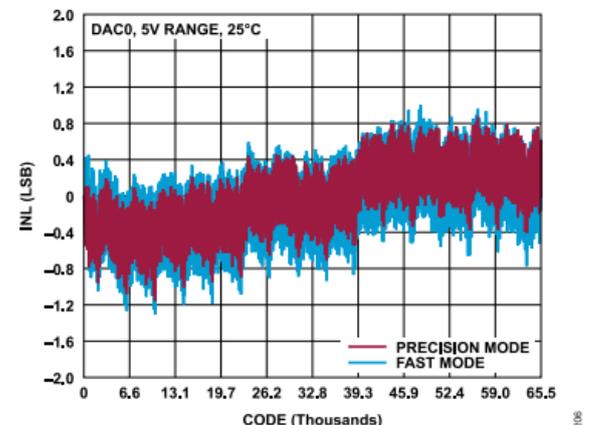


図 15. INLとコードの関係、0V~5Vのレンジ、25°C、高速モードおよび高精度モード

代表的な性能特性

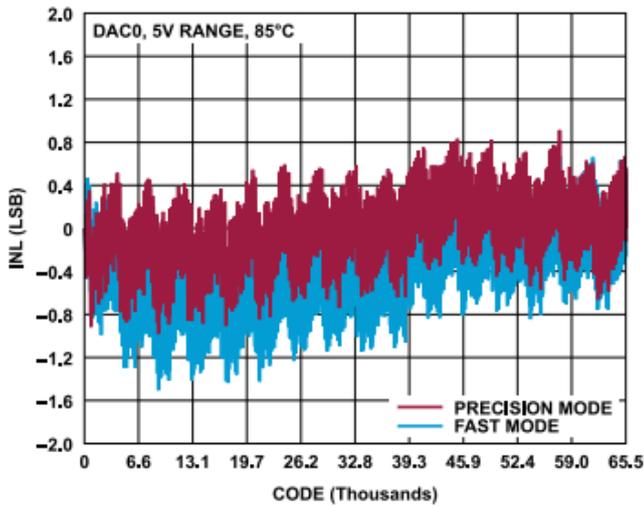


図 16. INLとコードの関係、0V~5Vのレンジ、85°C、高速モードおよび高精度モード

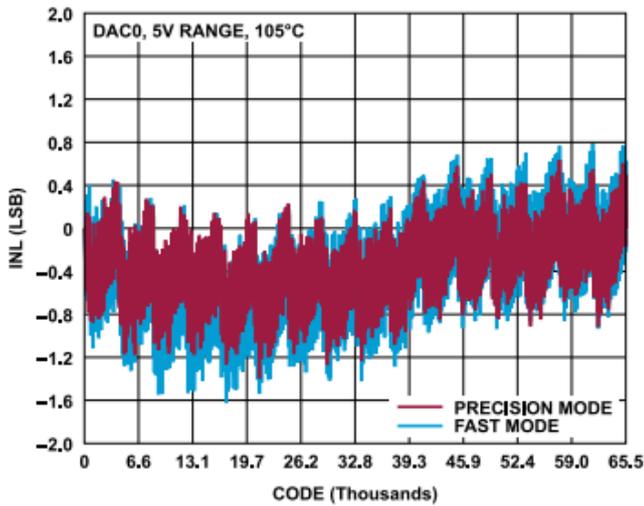


図 17. INLとコードの関係、0V~5Vのレンジ、105°C、高速モードおよび高精度モード

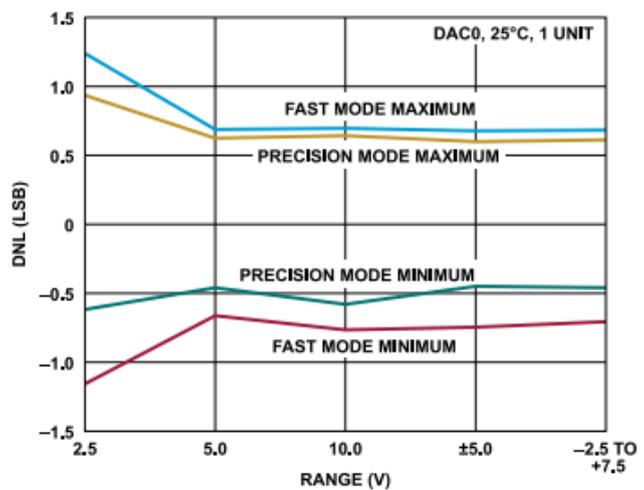


図 18. DNLとレンジの関係、高速モードおよび高精度モード

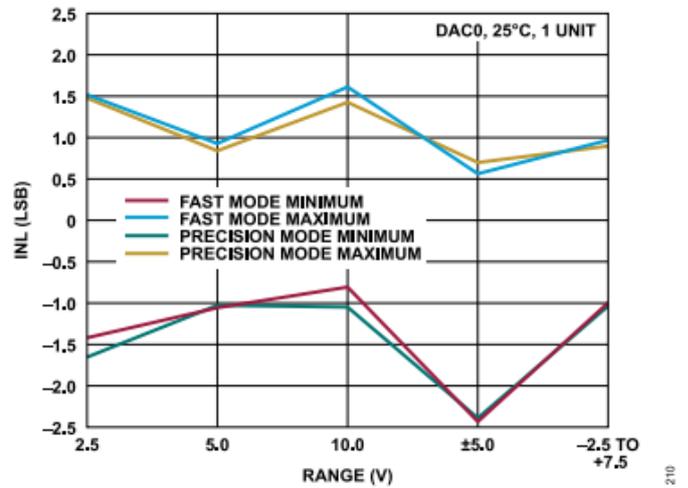


図 19. INLとレンジの関係、高速モードおよび高精度モード

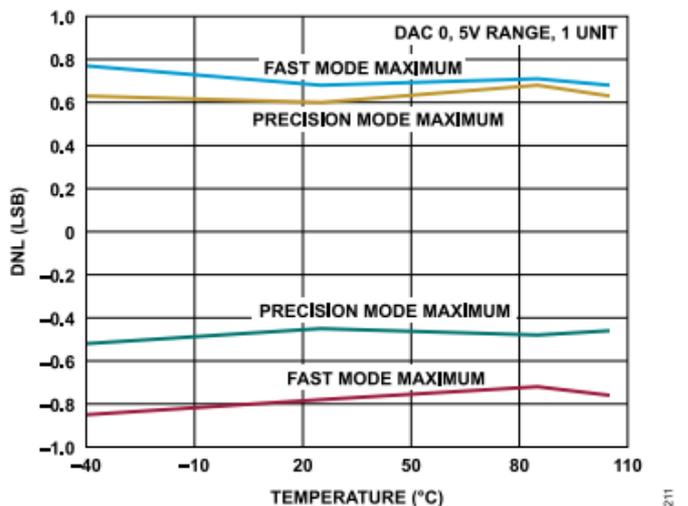


図 20. DNLと温度の関係

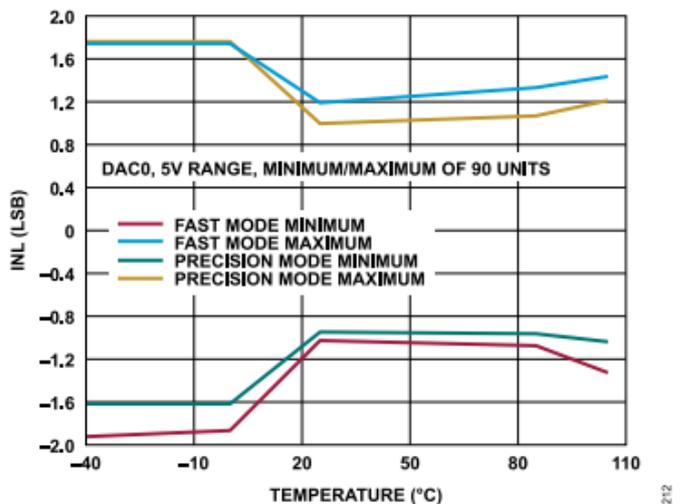


図 21. INLと温度の関係

代表的な性能特性

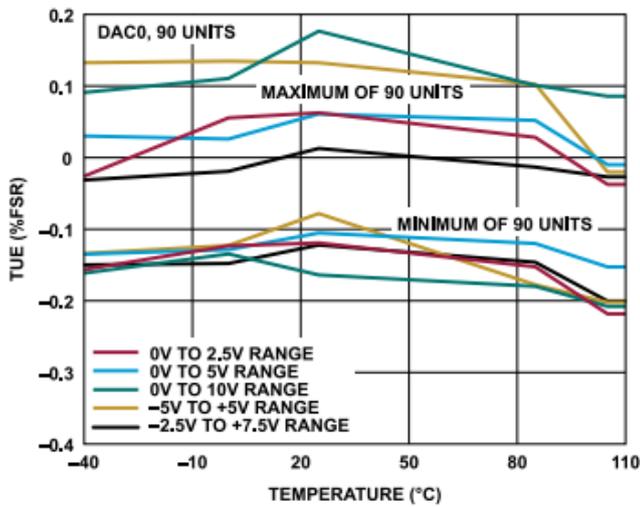


図 22. TUEと温度の関係

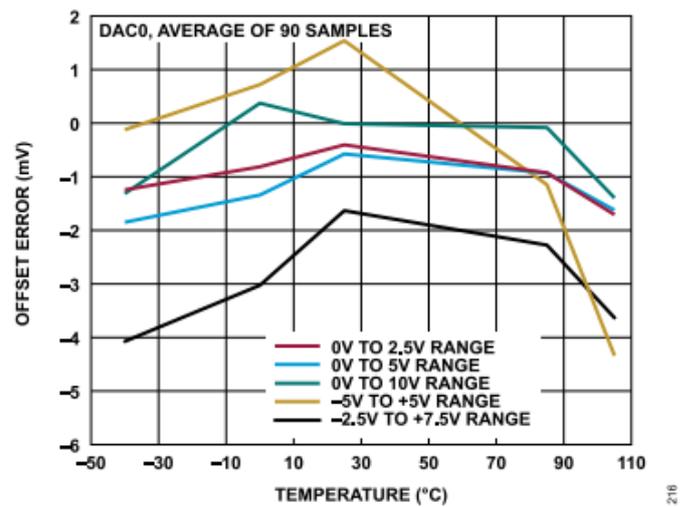


図 25. オフセット誤差と温度の関係

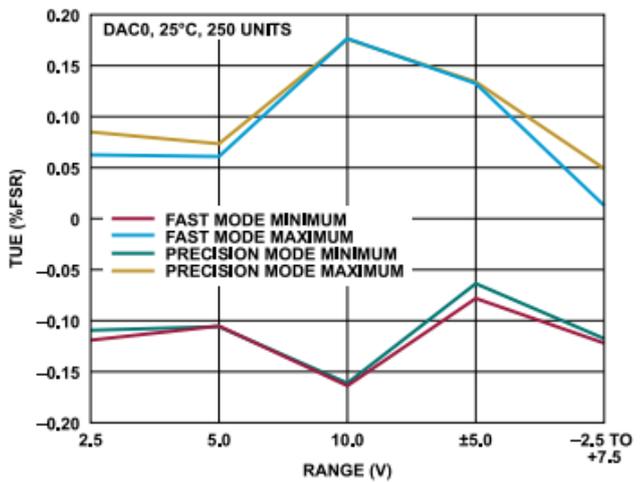


図 23. TUEとレンジの関係

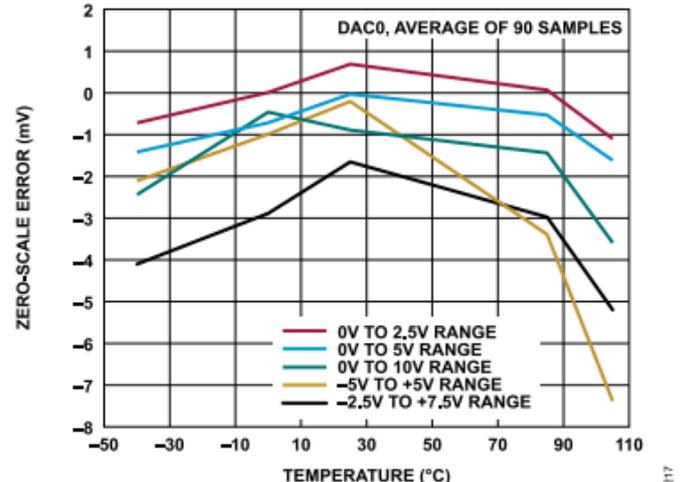


図 26. ゼロスケール誤差と温度の関係

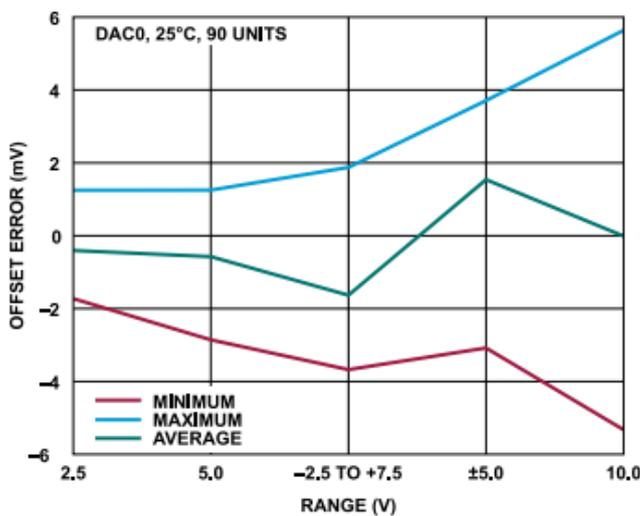


図 24. オフセット誤差とレンジの関係

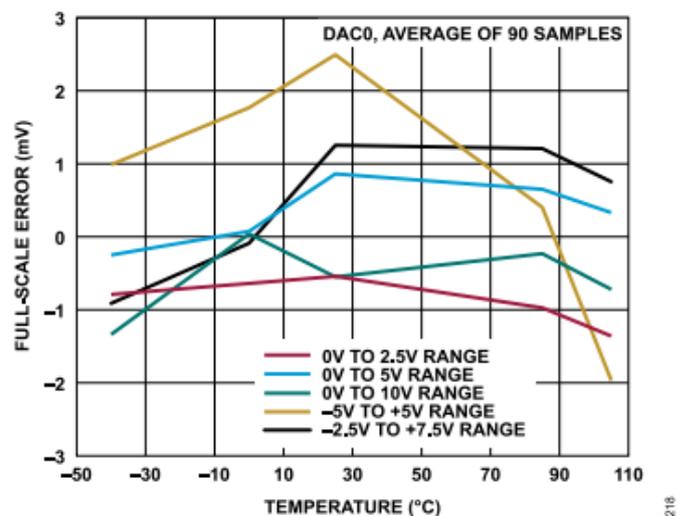


図 27. フルスケール誤差と温度の関係

代表的な性能特性

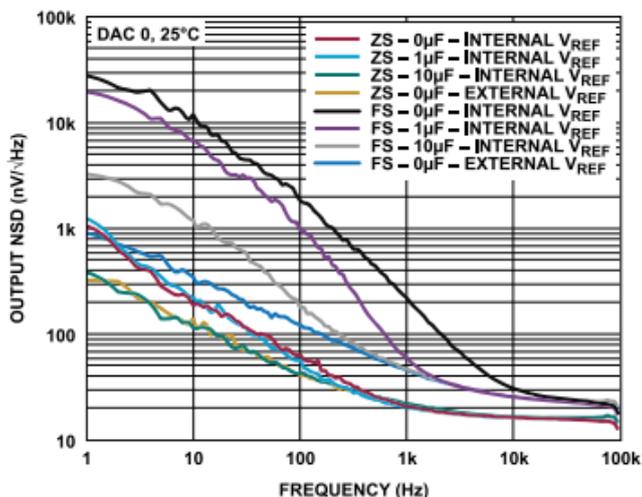


図 28. 出力ノイズ・スペクトル密度 (NSD) と周波数の関係

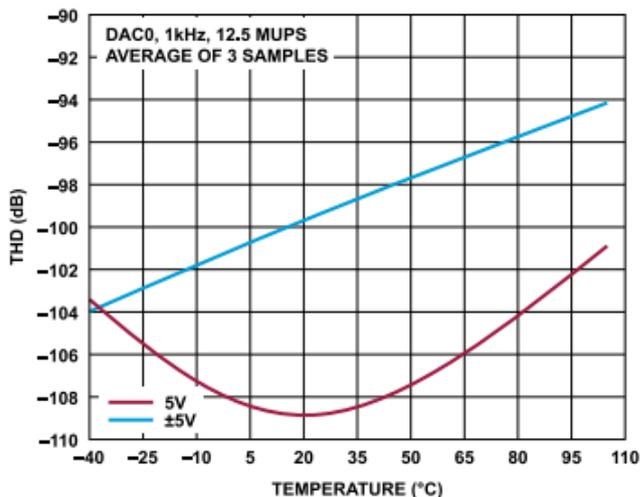


図 31. THDと温度の関係

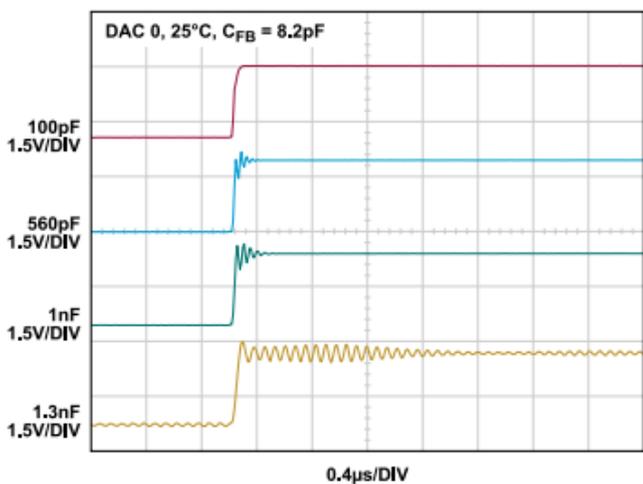


図 29. 出力の負荷安定性 (C_{FB} は帰還コンデンサ)

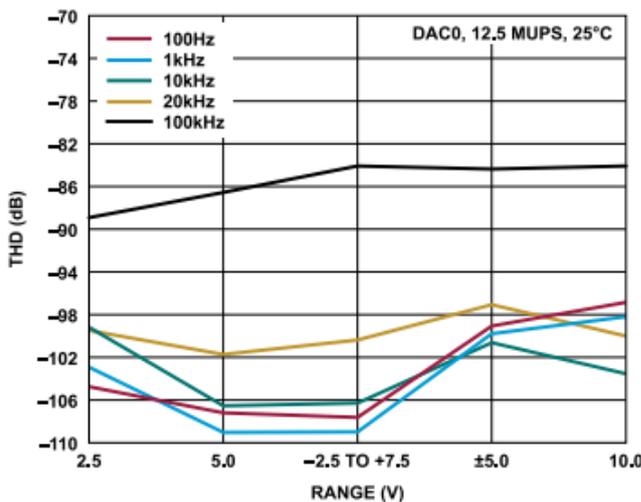


図 32. THDとレンジの関係

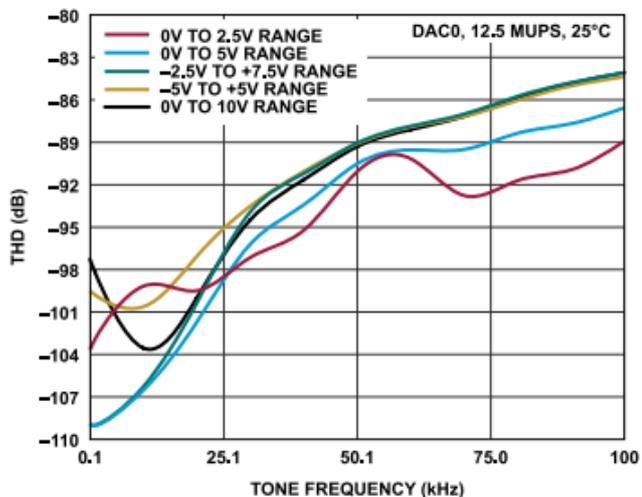


図 30. THDとトーン周波数の関係

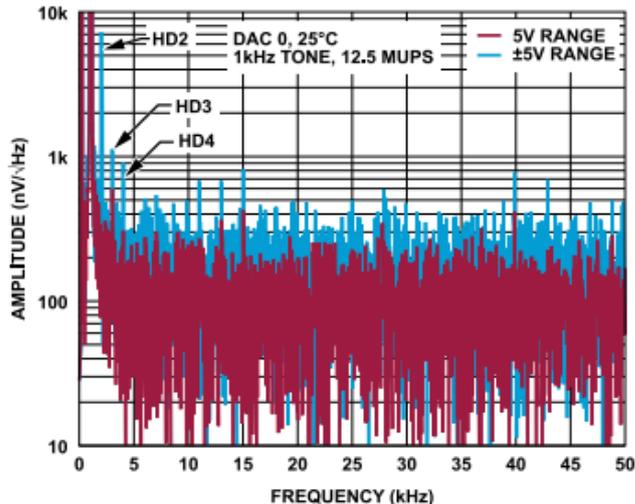


図 33. 1kHzサイン波を再生時のスペクトル・ノイズ密度 (HD2は2次高調波歪み、HD3は3次高調波歪み、HD4は4次高調波歪み)

代表的な性能特性

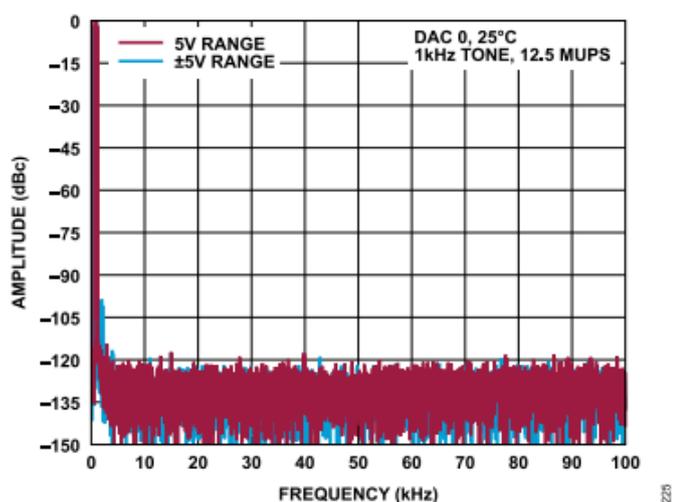


図 34. 1kHzサイン波の高速フーリエ変換 (FFT)、12.5MUPS

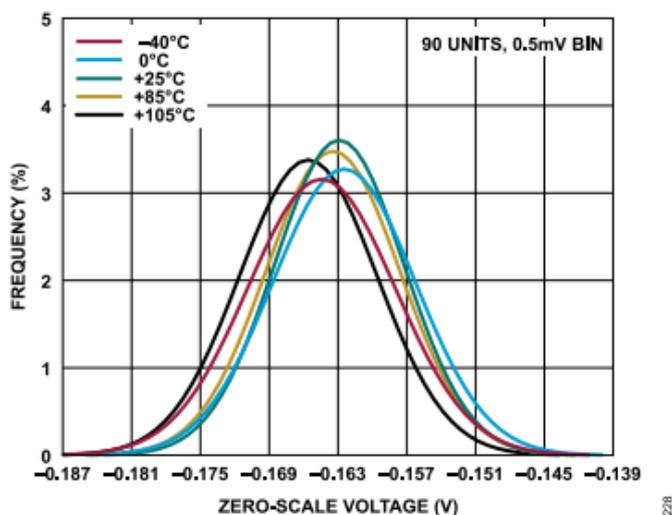


図 37. ゼロスケールの電圧分布、0V~10Vのレンジ

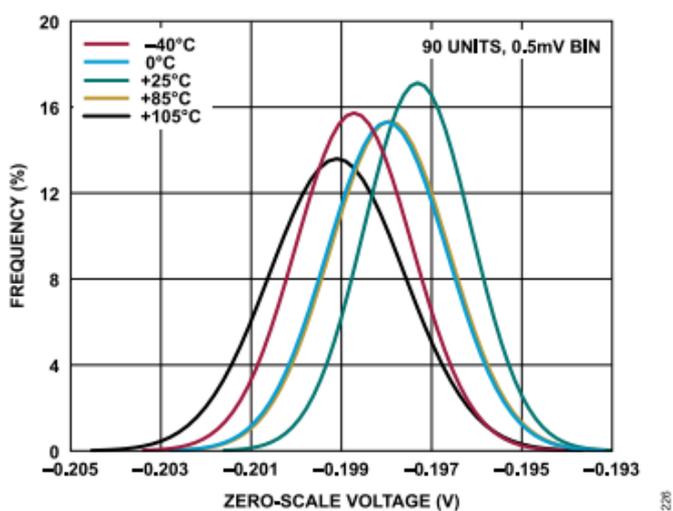


図 35. ゼロスケールの電圧分布、0V~2.5Vのレンジ

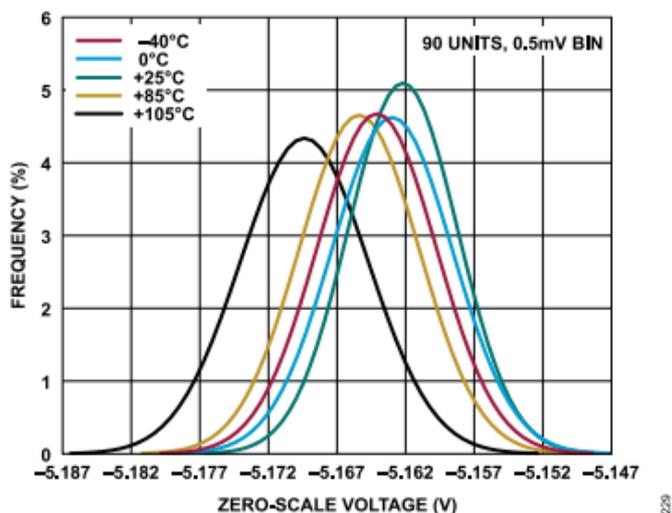


図 38. ゼロスケールの電圧分布、-5V~+5Vのレンジ

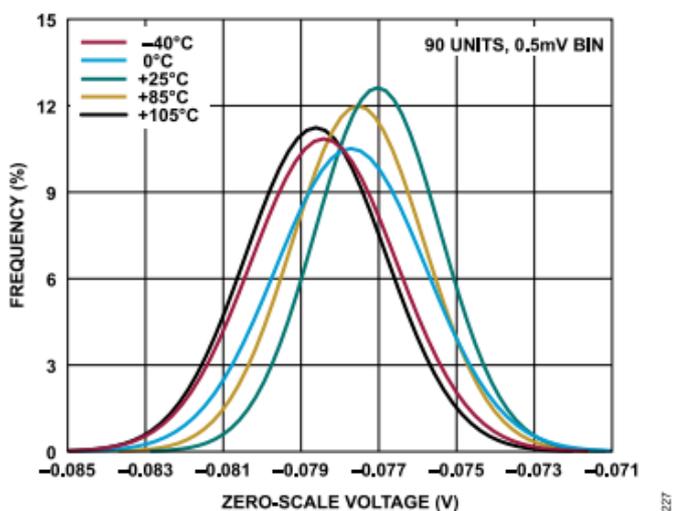


図 36. ゼロスケールの電圧分布、0V~5Vのレンジ

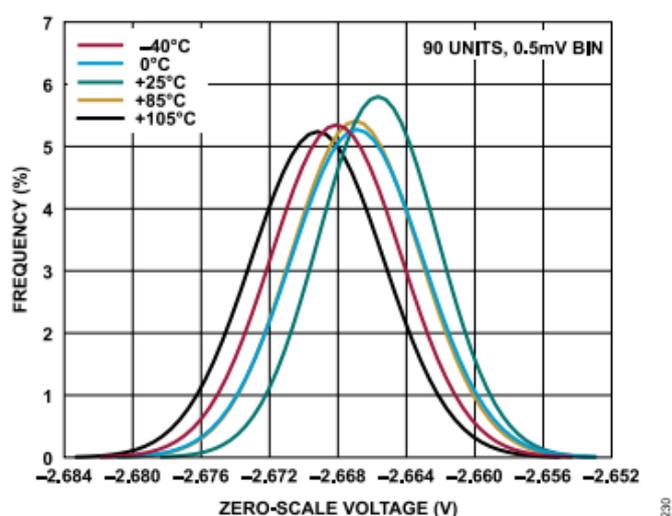


図 39. ゼロスケールの電圧分布、-2.5V~+7.5Vのレンジ

代表的な性能特性

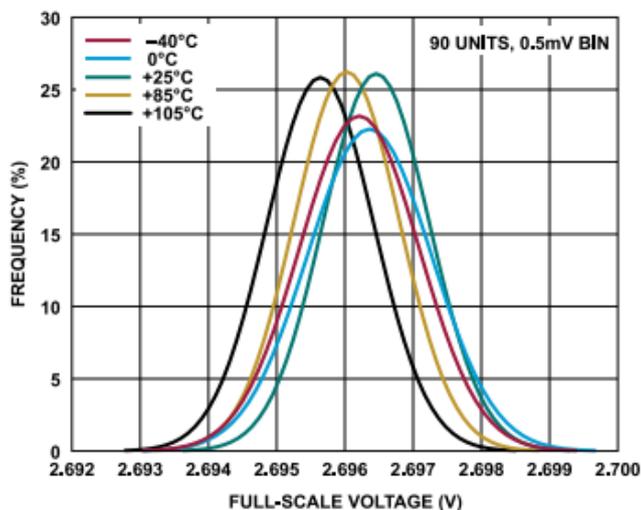


図 40. フルスケールの電圧分布、0V~2.5Vのレンジ

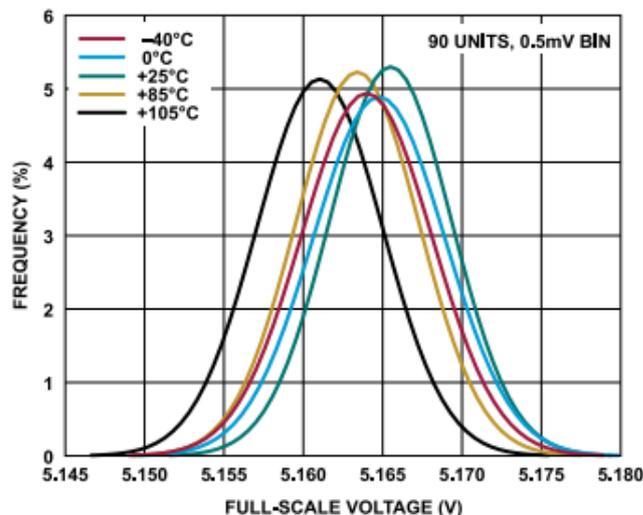


図 43. フルスケールの電圧分布、-5V~+5Vのレンジ

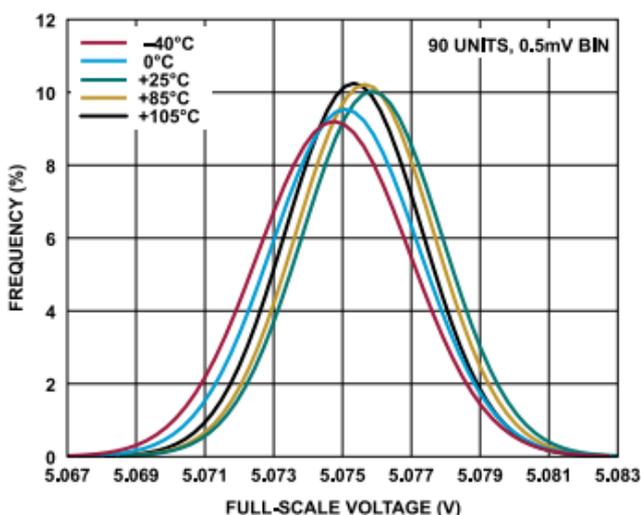


図 41. フルスケールの電圧分布、0V~5Vのレンジ

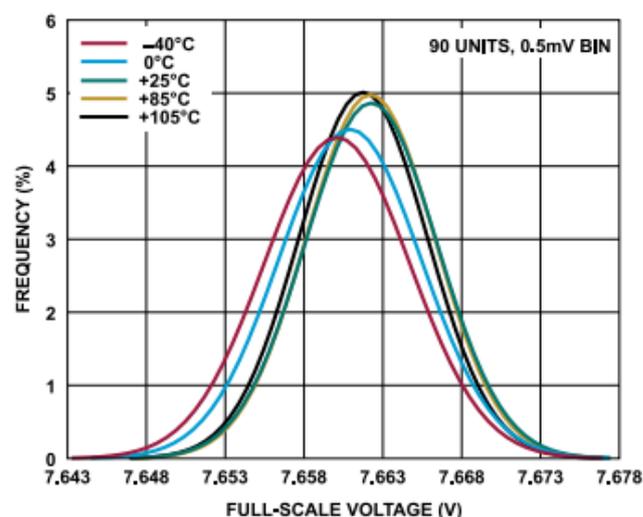


図 44. フルスケールの電圧分布、-2.5V~+7.5Vのレンジ

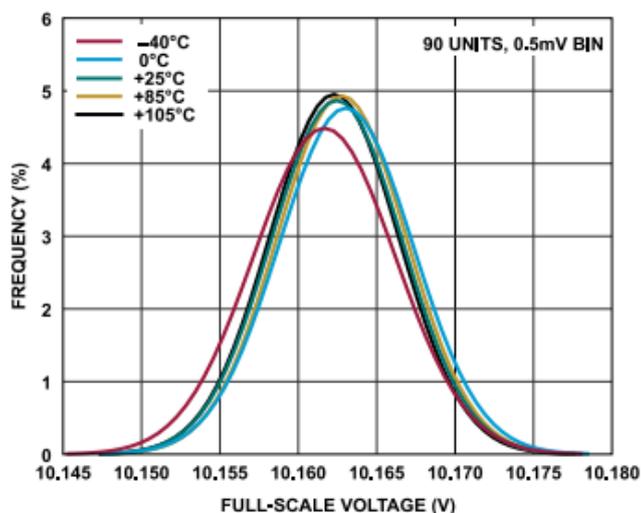


図 42. フルスケールの電圧分布、0V~10Vのレンジ

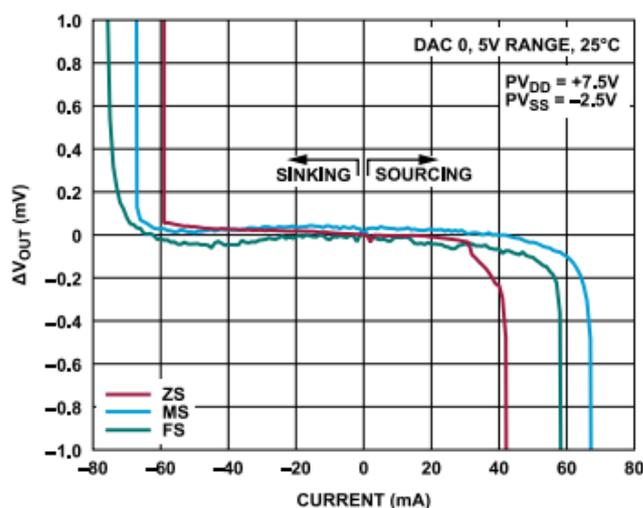


図 45. 5Vレンジでのソース能力とシンク能力

代表的な性能特性

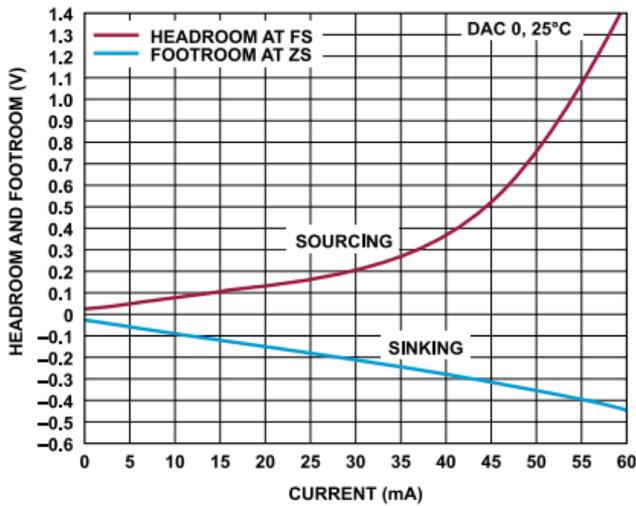


図 46. ヘッドルームおよびフットルームと負荷電流の関係

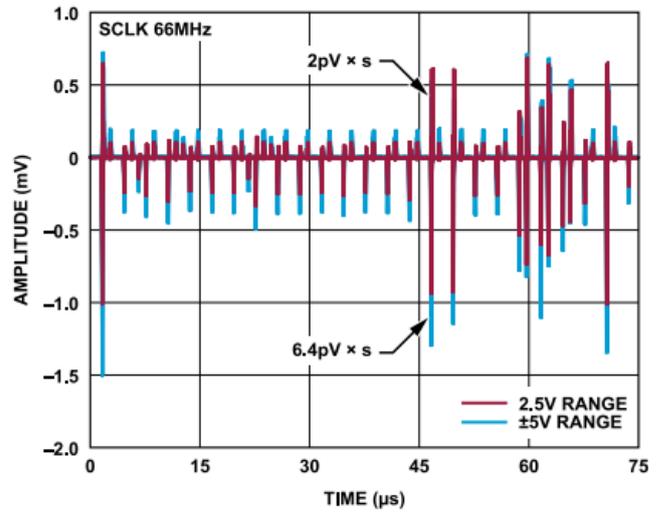


図 49. デジタル・フィードスルー

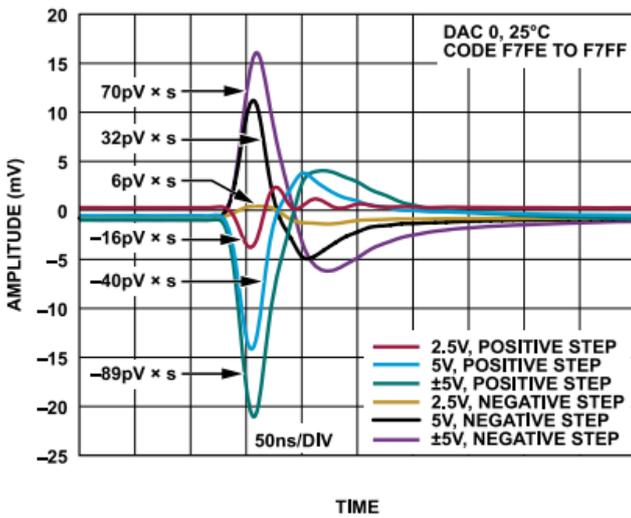


図 47. デジタル/アナログ・グリッチ

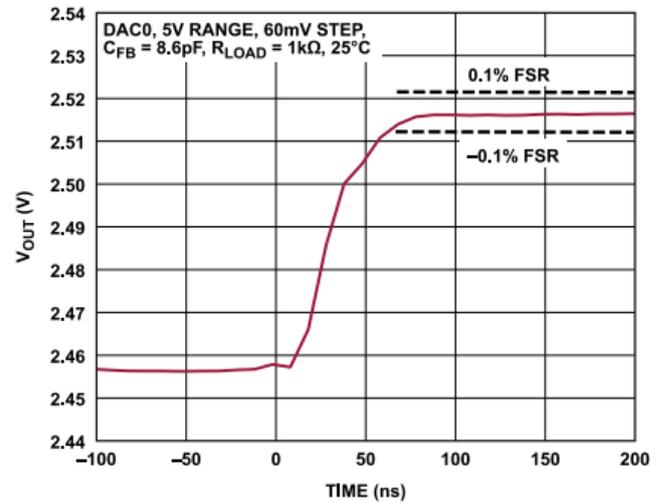


図 50. 小信号セトリング時間、0V~5Vのレンジ (R_{LOAD}は負荷抵抗)

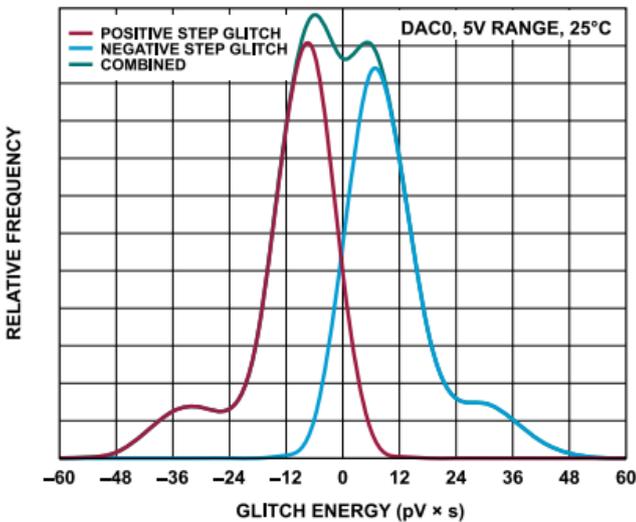


図 48. デジタル/アナログ・グリッチ・エネルギーのヒストグラム

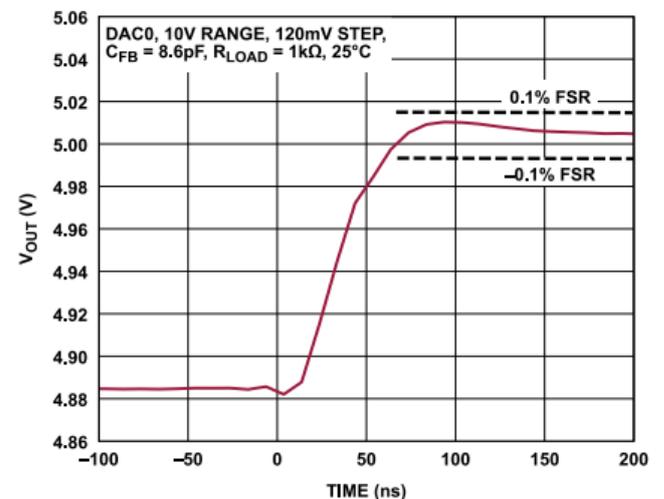


図 51. 小信号セトリング時間、0V~10Vのレンジ

代表的な性能特性

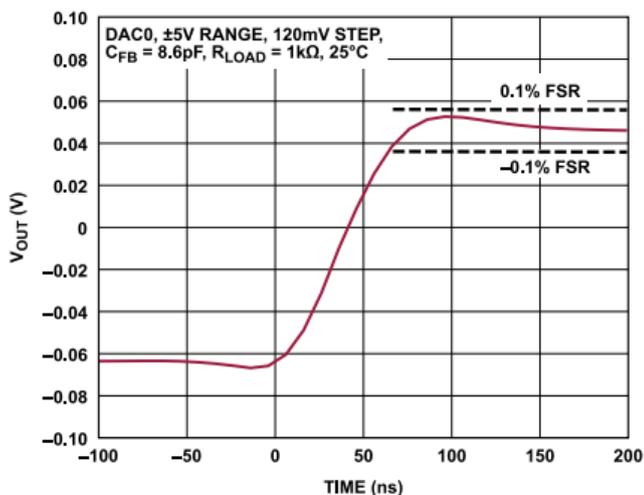


図 52. 小信号セトリング時間、-5V~+5Vのレンジ

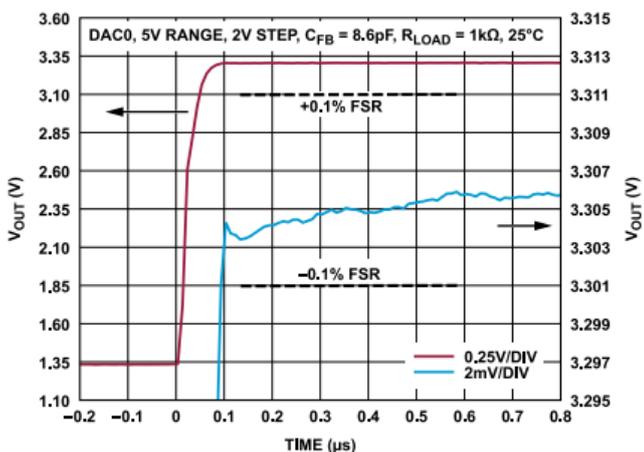


図 53. 大信号セトリング時間、0V~5Vのレンジ

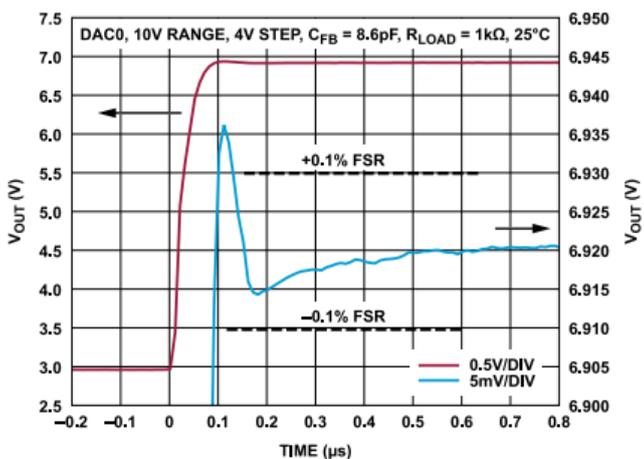


図 54. 大信号セトリング時間、0V~10Vのレンジ

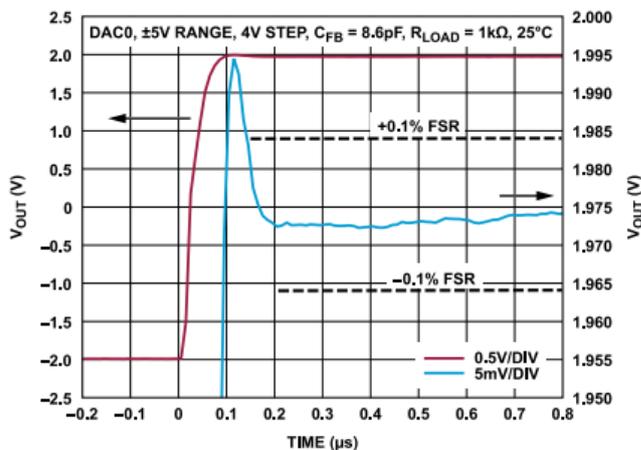


図 55. 大信号セトリング時間、-5V~+5Vのレンジ

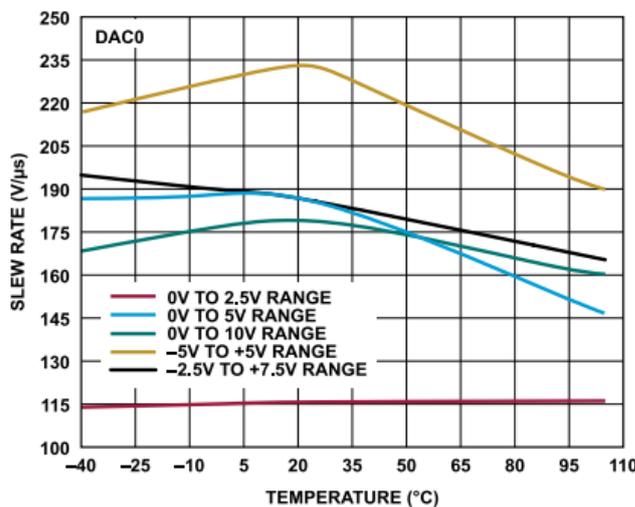


図 56. スルー・レートと温度の関係

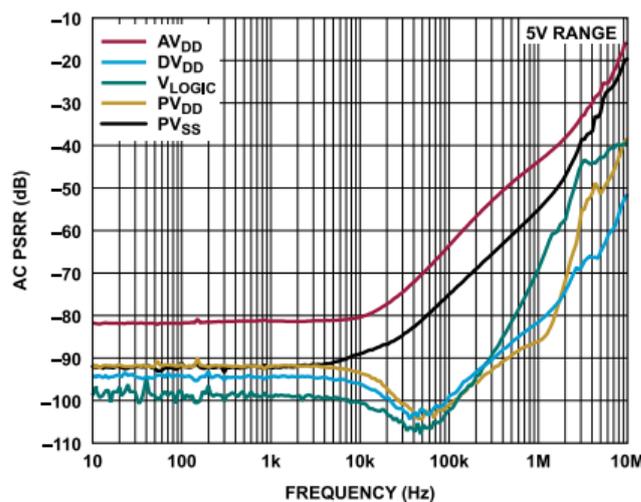


図 57. AC PSRRと周波数の関係

代表的な性能特性

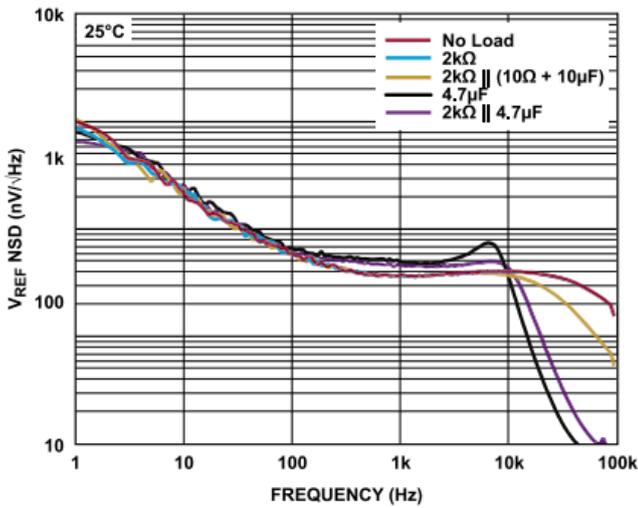


図 58. リファレンス電圧 (V_{REF}) のNSDと周波数および負荷インピーダンスの関係

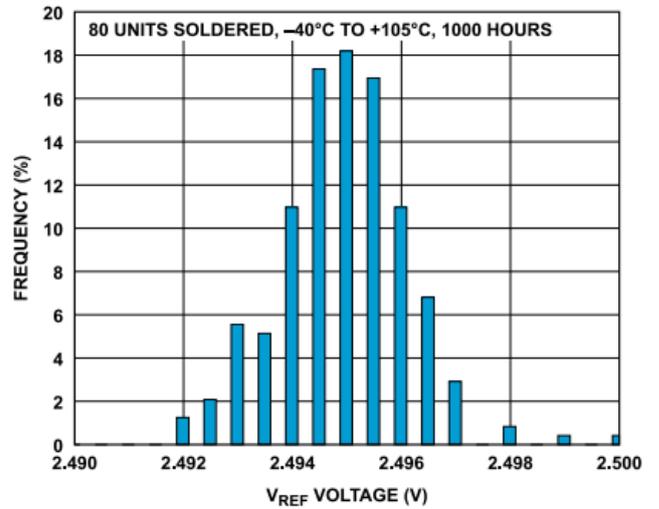


図 61. リファレンス電圧の分布

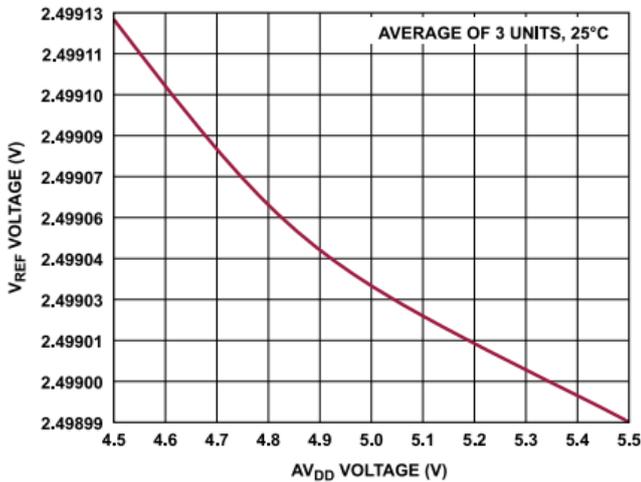


図 59. V_{REF} 電圧と AV_{DD} 電圧の関係

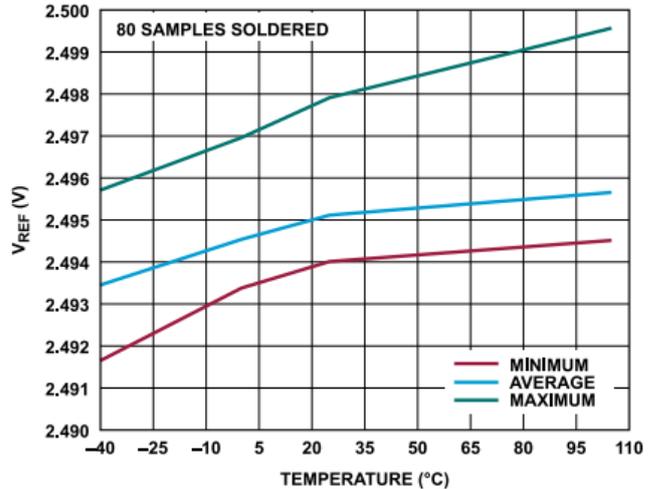


図 62. V_{REF} と温度の関係

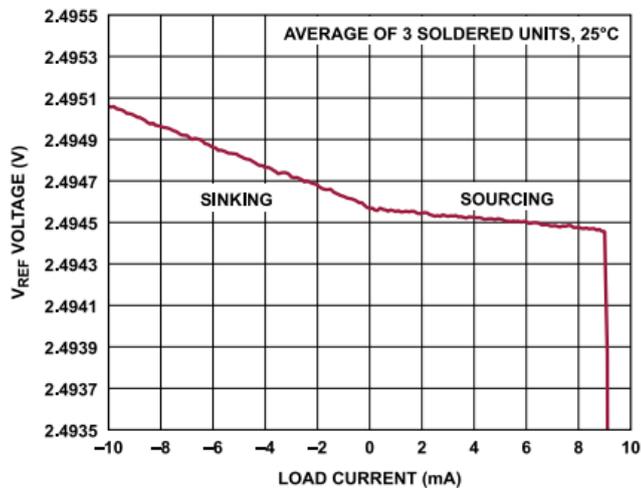


図 60. V_{REF} 電圧と負荷電流の関係

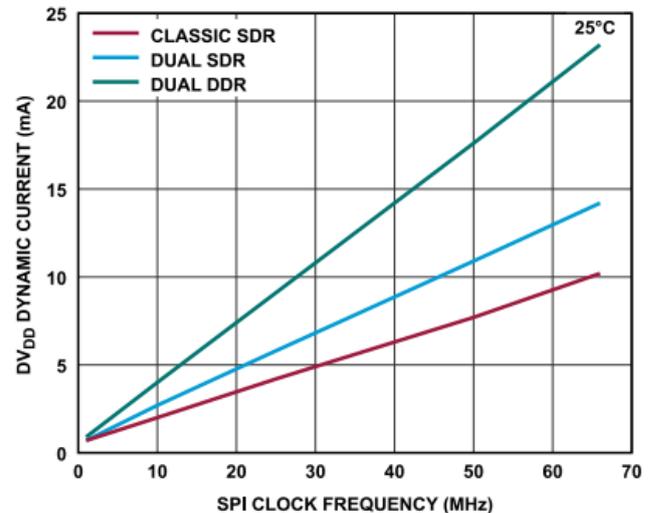


図 63. DV_{DD} 動的電流とSPIクロック周波数およびSPIモードの関係

代表的な性能特性

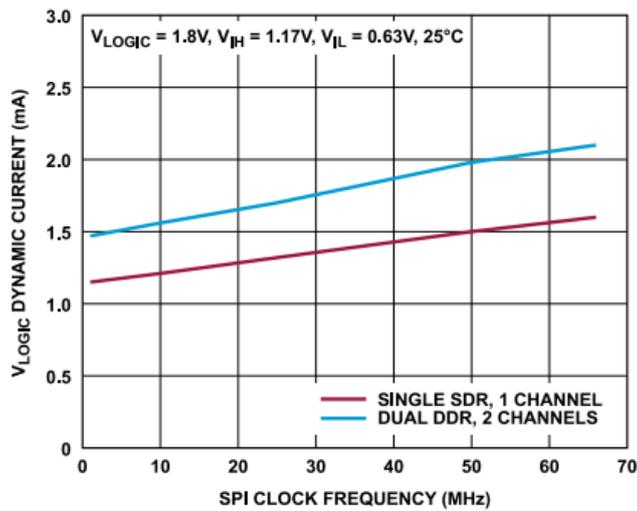


図 64. V_{LOGIC} 動的電流とSPIクロック周波数およびSPIモードの関係

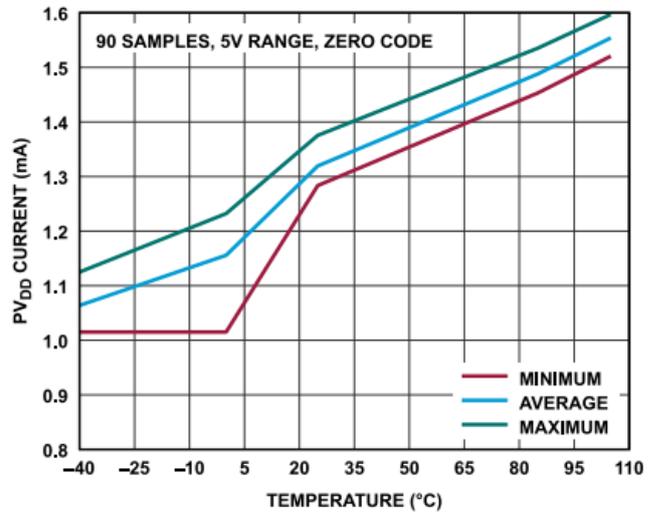


図 67. PV_{DD} 電流と温度の関係

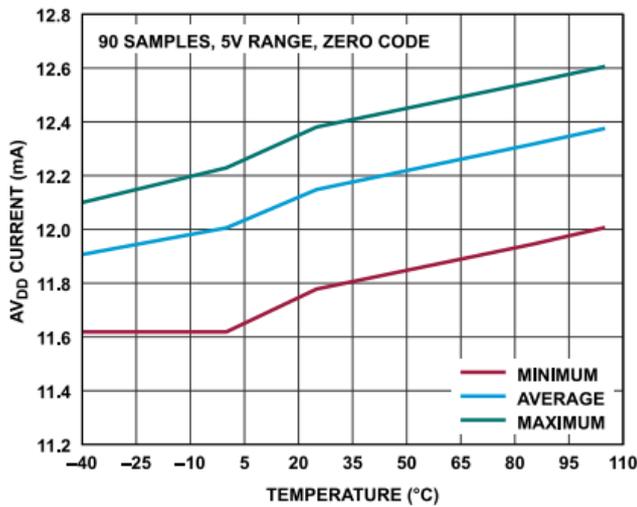


図 65. AV_{DD} 電流と温度の関係

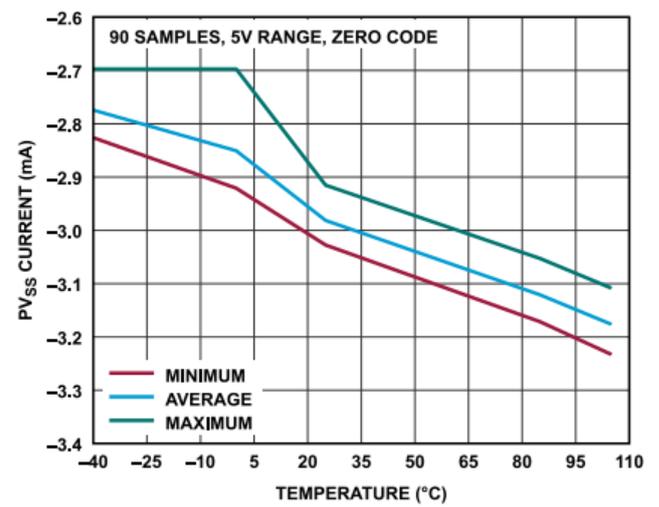


図 68. PV_{SS} 電流と温度の関係

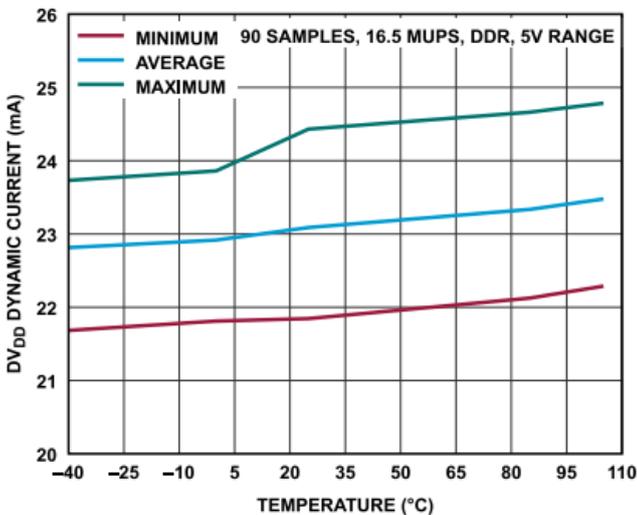


図 66. DV_{DD} 動的電流と温度の関係

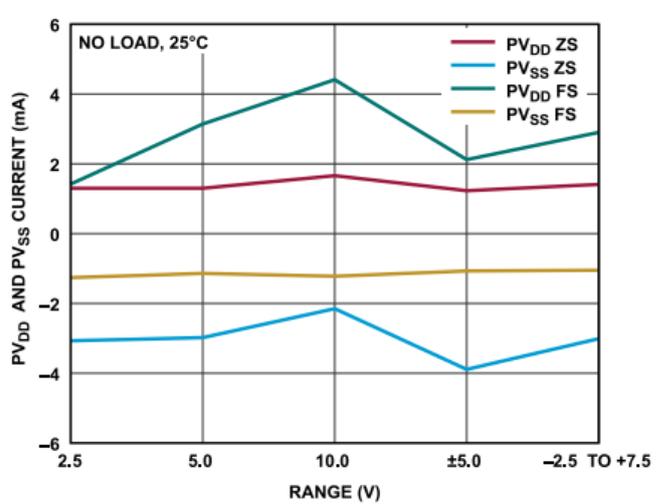


図 69. PV_{DD} 電流および PV_{SS} 電流とレンジの関係

用語の定義

相対精度または積分非直線性 (INL)

DACの場合、相対精度すなわち積分非直線性は、DACの伝達関数の上下両端を結ぶ直線からの最大偏差 (LSB単位) を表します。INLとコードの関係を示す代表的なグラフについては、[図15](#)を参照してください。

微分非直線性 (DNL)

微分非直線性 (DNL) は、隣接する2つのコードの間で測定された変化と理論的な1LSB変化との差を表します。DNLとコードの関係を示す代表的なグラフについては、[図11](#)を参照してください。

オフセット誤差

オフセット誤差は、ゲイン誤差を補償した後の理想的な伝達関数からの上下方向の偏差を表します。オフセット誤差の単位はmVです。AD3541Rでは、オフセット誤差はミッドスケールで測定されます。理想的な出力と実際の出力との比較はミッドスケールで行われます。

オフセット誤差ドリフト

オフセット誤差ドリフトは、温度変化に伴うオフセットの相対的な変化を測定したもので、単位はppm/°Cです。所定温度での合計オフセットは、次式で表されます。

$$Offset_T = Offset_{25^\circ C} + \frac{TC \times (T - 25) \times V_{RANGE}}{10^6}$$

フルスケール/ゼロスケール誤差

これらの誤差は、25°Cにおけるフルスケールおよびゼロスケールでの理想値からの偏差を表します。フルスケール・レンジ (FSR) に対するパーセンテージで表されます。AD3541Rの場合、理想値は十分な数のサンプルによる平均値で計算します。

フルスケール/ゼロスケール誤差ドリフト

これらのパラメータは、理想的なゼロスケール電圧とフルスケール電圧を基準としたゼロスケール電圧およびフルスケール電圧の変動を、温度の関数として表したものです。単位はppm/°Cです。合計偏差の温度変化は、オフセットと同じ式を用いて計算できます。

DC PSRRおよびAC PSRR

PSRRは、DAC出力に対する電源電圧変化の影響を表します。PSRRは、DACのミッドスケール出力での、 V_{OUT} 変化の電源電圧変化に対する比です。単位はdBです。 V_{REF} は2.5Vに維持して、電源を±200mV p-p変化させます。

出力電圧セトリング時間

出力電圧セトリング時間は、所定のステップ状変化に対して、DACの出力が指定されたレベルに安定するまでに要する時間です。小信号セトリングと大信号セトリングの代表的なグラフについては[図50](#)～[図55](#)を参照してください。

デジタル/アナログ・グリッチ・インパルス

デジタル/アナログ・グリッチ・インパルスは、DACレジスタ内の入力コードが変化したときに、アナログ出力に混入するインパルスを表します。通常nV×secで表すグリッチの面積として規定され、デジタル入力コードが1LSBだけ変化したときに測定されます。グリッチ・インパルスの代表的なグラフについては、[図47](#)を参照してください。

デジタル・フィードスルー

デジタル・フィードスルーは、DAC出力の更新が行われていないときに、DACのデジタル入力からDACのアナログ出力に注入されるインパルスを表します。nV×secで規定され、データ・バス上でのフルスケールのコード変化時、すなわち全ビット0から全ビット1への変化時、または全ビット1から全ビット0への変化時に測定されます。デジタル・フィードスルーの代表的なグラフについては、[図49](#)を参照してください。

出力ノイズ・スペクトル密度

ノイズ・スペクトル密度は、内部で発生するランダム・ノイズを測定したものです。ノイズの測定は、ミッドスケール・コードでロードされるDAC出力で行います。単位はnV/√Hzです。ノイズ・スペクトル密度の代表的なグラフについては[図28](#)を参照してください。内部リファレンスのノイズも[図58](#)に示します。

全高調波歪み (THD)

THDは、理想的なサイン波と、DACを使って減衰したサイン波との偏差を表します。サイン波は、DACのリファレンスとして用いられ、DAC出力に現われるその高調波がTHDになります。単位はdBです。

電圧リファレンス温度係数 (TC)

電圧リファレンスTCは、温度変化に伴うリファレンス出力電圧の変化を表します。電圧リファレンスTCは、ボックス法を使って計算します。この方法では、次のように、ppm/°C単位で表される所定の温度範囲でのリファレンス出力の最大変化としてTCを定義しています。

$$TC = \left(\frac{V_{REF_MAX} - V_{REF_MIN}}{V_{REF_NOM} \times TEMP_RANGE} \right) \times 10^6$$

ここで、

V_{REF_MAX} は全温度範囲で測定した最大リファレンス出力、

V_{REF_MIN} は全温度範囲で測定した最小リファレンス出力、

V_{REF_NOM} は公称リファレンス出力電圧2.5V、

$TEMP_RANGE$ は仕様規定された温度範囲 (-40°C～+105°C) です。

動作原理

製品の説明

AD3541Rは、シングル・チャンネル、16ビット、16MUPSの電圧出力DACで、プログラマブルな出力レンジと2.5Vの内部リファレンスを備えています。

AD3541Rには以下の2つの更新モードがあります。

- ▶ 高速モード：このモードで書き込まれるデータは16ビット長で、16MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は、表2に示す狭い温度範囲で有効です。このモードのデータは、末尾が_16Bのレジスタに書き込まれます。
- ▶ 高精度モード：このモードで書き込まれるデータは24ビット長で、11MUPSのシングル・チャンネル更新レートとなります。DNLの仕様は全動作温度範囲で確保されます。このモードのデータは、末尾が_24Bのレジスタに書き込まれます。

AD3541Rは、標準的なSPIモードとデュアルSPIモードを使用しシングル・データ・レートまたはダブル・データ・レートで動作できる、汎用性のあるSPIインターフェースを実現します。

AD3541Rは複数のエラー・チェックを備えており、アナログとデジタルのどちらの場合でも安全な動作が確保されています。

DACのアーキテクチャ

AD3541RはV_{REF}電圧が2.5Vのカレント・ステアリング型DACアーキテクチャを採用しています。DACの電流は内蔵TIAによって電圧に変換されます。

内部ブロック図を図70に示します。

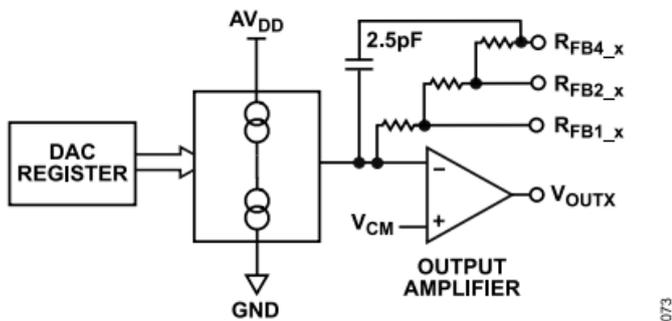


図 70. DACチャンネルのアーキテクチャのブロック図

TIAの帰還ループは、V_{OUTX}ピンを使用可能ないずれかのR_{FBx,y}ピンにハードワイヤ接続することで閉じられます。R_{FBx,y}値によって、実現可能な最大電圧スパンが設定されます。各電圧レンジに使用するR_{FBx,y}ピンは、出力電圧スパンのセクションで指定されています。

出力電圧スパン

AD3541Rには電圧スパンが5通りあり、これらはCH0_OUTPUT_RANGEレジスタを用いて選択します。選択するスパンは、表8に示すように、使用する帰還抵抗に対応したものである必要があります。現行のR_{FBx,y}抵抗では実現できない電圧スパンを設定すると、電圧値が不適切なものになります。PV_{DD}とPV_{SS}の電源レベルは、各レンジについて十分なヘッドルームおよびフットルームが確保できるよう調整する必要があります。

スパンの両端には均等に分割された約3%のオーバーレンジが設けられており、どの条件でも公称レンジが確実にカバーされるようになっています。

表 8. 出力スパン・レンジとそれに対応する帰還抵抗

R _{FBx,y}	CH0_OUTPUT_RANGE	Output Span (V)	V _{ZS} (V)	V _{FS} (V)
R _{FB1,y}	0x000	0 to 2.5	-0.197	2.701
	0x001	0 to 5	-0.077	5.077
R _{FB2,y}	0x010	0 to 10	-0.162	10.164
	0x011	-5 to +5	-5.164	5.162
	0x100	-2.5 to +7.5	-2.663	7.663

伝達関数

デジタル・コードをDAC出力電流に変換すると、プレーン・バイナリのコードとの間に線形関係が生じます。理想的な出力電圧は次式で与えられます。

$$V_{OUTx} = (V_{FS} - V_{ZS}) \times \frac{D}{2^{16}} + V_{ZS}$$

ここで、

Dは、DACレジスタにロードされるバイナリ・コード（10進数表示）です。

V_{ZS}およびV_{FS}は、出力電圧スパンのセクションに記載されている値に従います。

内蔵TIA

内蔵TIAは、PV_{DD}とPV_{SS}の電源レールから20mV異なる電圧で動作できます。内蔵TIAの各電源は、必要とされる出力レンジに対応すると同時に、最小限のヘッドルームとフットルームおよび最大限の電源電圧を維持できることが必要です。

TIAの消費電力

内蔵TIAの静的な消費電力は、出力電圧、帰還抵抗、負荷抵抗に依存します。次式は、単一アンプによってPV_{DD}およびPV_{SS}に流れる電流を、これらのパラメータの関数として概算するものです（アンプが飽和していない場合に限り）。電流値はmAを単位として次のようになります。

$$I_{PVDD} = 0.65 + \max\left(0, \frac{V_{OUT} - 2.5}{R_{FB}} + \frac{V_{OUT}}{R_L}\right)$$

$$I_{PVSS} = -0.65 + \min\left(0, \frac{V_{OUT} - 2.5}{R_{FB}} + \frac{V_{OUT}}{R_L}\right)$$

ここで、

V_{OUT}は出力電圧（単位：ボルト）、

R_{FB}は帰還抵抗値（単位：kΩ）、

R_Lは負荷抵抗（単位：kΩ）です。

V_{REF}

AD3541Rは、温度係数が3ppm/°Cで、パワーアップ時にイネーブされる2.5Vの電圧リファレンスを内蔵しています。V_{REF}ピンは、パワーアップ時には高インピーダンスであるため、電気的な問題が生じるのを防止できます。内部リファレンスを外部使用する場合、

動作原理

REFERENCE_CONFIGレジスタのREFERENCE_VOLTAGE_SELビットに書き込みを行い、V_{REF}出力をイネーブルします（表9参照）。外部リファレンスを選択した場合、V_{REF}ピンは入力として機能します。

表 9. 電圧リファレンスの選択

REFERENCE_VOLTAGE_SEL	Source	V _{REF} I/O
00	Internal	Floating
01	Internal	2.5 V
10	External	Input
11	External	Input

SPIレジスタ・マップの利用

SPIフレーム同期

SPIトランザクション時、 \overline{CS} 信号によってデータがフレーム化されます。 \overline{CS} の立下がりエッジによってデジタル・インターフェースが有効化され、SPIトランザクションが開始します。各SPIトランザクションには、**命令フェーズ**および**データ・フェーズ**のセクションで説明するように、少なくとも1つの命令フェーズとデータ・フェーズがあります。いずれのSPIトランザクションでもデータはMSBファーストに揃えられています。SPIトランザクション時に \overline{CS} をデアサートすると、データ転送の一部または全部が終了し、デジタル・インターフェースが無効化されます。少なくとも1つのレジスタ・アドレスが指定された後に \overline{CS} がデアサートされた場合（ハイ・レベルに戻った場合）、これらのレジスタの書き込みまたは読出しは行われますが、一部しかアドレス指定されなかったレジスタは無視されます。AD3541Rがレジスタ・モードの場合の基本的なSPI書き込みフレームのステージを図71に、SPI読出しフレームのステージ図72に示します。

レジスタの読出し／書き込み動作の詳細なタイミング図を、図2～図7に示します。タイミング仕様は、**タイミング特性**のセクションに記載されています。

AD3541RのSPIプロトコルは柔軟であるため、多様なデジタル・ホストのニーズに合わせた設定が可能です。複数のレジスタからのデータが1つのSPIフレームでアクセスでき、効率的なデバイス設定が可能です。すべてのアクセス・モードは、**単一命令モード**のセクションおよび**ストリーミング・モード**のセクションで説明されています。

命令フェーズ

各SPIフレームは命令フェーズで始まります。命令フェーズは、SPIトランザクションを開始する \overline{CS} の立下がりエッジの直後に始まります。

命令フェーズは、読出し／書き込みビット（ $\overline{R/W}$ ）とそれに続くレジスタ・アドレス・ワードで構成されています。 $\overline{R/W}$ をローにセットすると書き込み命令が始まり、 $\overline{R/W}$ をハイにセットすると読出し命令が始まります。レジスタ・アドレス・ワードはアクセス先のレジスタのアドレスを指定します。レジスタ・アドレスのデフォルトのワード長は7ビット（7ビット・アドレス指定）です。必要に応じて、INTERFACE_CONFIG_Bレジスタの

SHORT_INSTRUCTIONビットを0に設定することで、15ビット・アドレス指定にすることができます。単一命令モードを使用する場合、1つのSPIフレームの各レジスタ読出しトランザクションまたは書き込みトランザクションが命令フェーズで始まります。ストリーミング・モードを使用する場合は、一連の連続レジスタにアクセスするのに必要なのは、SPIフレームごとに1つの命令フェーズのみです。

これらのモードの選択方法と使用方法については、**単一命令モード**のセクションおよび**ストリーミング・モード**のセクションを参照してください。

データ・フェーズ

図71および図72に示すように、データ・フェーズは命令フェーズの直後に置かれます。データ・フェーズには、選択したレジスタおよびアクセス・モードに応じて、1個のシングルバイト・レジスタ用、1個のマルチバイト・レジスタ用、複数のレジスタ用のデータが含まれます。**単一命令モード**のセクション、**ストリーミング・モード**のセクション、**アドレス方向**のセクションに、これらのモードがデータ・フェーズの読出しデータおよび書き込みデータにどう影響するかを説明しています。

書き込み動作では、アドレス指定されたレジスタの内容は、そのレジスタが1バイト、2バイト、3バイトのいずれであっても、レジスタ・データの最終ビットでシフト・インするSCLKエッジの直後に更新されます。**マルチバイト・レジスタ**のセクションで説明するように、マルチバイト・レジスタへ部分的に書き込みを行うことはできません。

読出し動作の場合は、アドレス指定されたレジスタの内容は、データ・フェーズの最初のSCLKエッジでシフト・アウトを開始します。

確実に更新が行われるように、データはAD3541Rの設定レジスタにフル・バイトで書き込む必要があります。SPI書き込みトランザクションのデータ・フェーズに、更新対象レジスタのデータ・バイトの一部しか含まれない場合、レジスタの内容は更新されず、INTERFACE_STATUS_AレジスタのCLOCK_COUNTING_ERRORビットがセットされます。

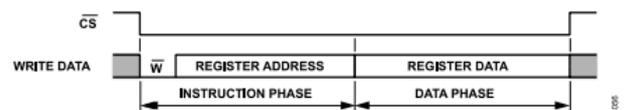


図 71. 基本的なSPI書き込みフレーム

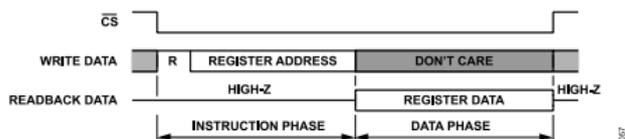


図 72. 基本的なSPI読出しフレーム

マルチバイト・レジスタ

AD3541Rの一部のレジスタは、隣接するアドレスに格納された2バイトまたは3バイトのデータで構成されています。これをマルチバイト・レジスタと呼びます。マルチバイト・レジスタが2バイトの場合は末尾に16Bというサフィックス、3バイトの場合は末尾に24Bというサフィックスが付きま。

AD3541Rのマルチバイト・レジスタに書き込みを行う場合、すべてのバイトを1回のSPIトランザクションで転送する必要があります。そのため、INTERFACE_CONFIG_CレジスタのSTRICT_REGISTER_ACCESSビットは読出し専用で1にセットされます。マルチバイト・レジスタへのSPI書き込みトランザクションをバイトごとに行おうとした場合、レジスタの内容は更新されず、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSビットがセットされます。AD3541Rのマルチバイト・レジスタへの書き込みトランザクションが有効になるのは、レジスタ・データの最終

動作原理

ビットでシフト・インする、データ・フェーズの24個目または16個目のSCLKエッジの後です。

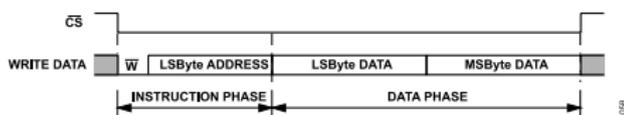


図 73. 昇順アドレス指定でのマルチバイト・レジスタへの書き込み

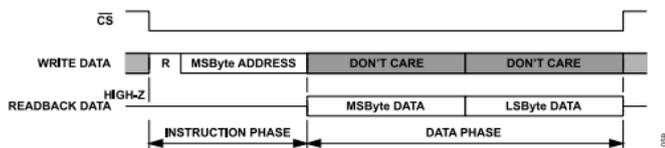


図 74. 降順アドレス指定でのマルチバイト・レジスタの読出し

マルチバイト・レジスタのアドレスは、常に INTERFACE_CONFIG_A レジスタの ADDR_DIRECTION ビットに依存します（詳細については [アドレス方向](#) のセクションを参照）。降順アドレス指定では、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最上位バイトであり、後続のバイトは次の下位アドレスのデータに対応したものである必要があります。昇順アドレス指定の場合は、データ・フェーズで最初にアクセスするバイトはマルチバイト・レジスタの最下位バイトであり、後続のバイトは次の上位アドレスのデータに対応したものである必要があります。

マルチバイト・レジスタは1回のSPIトランザクションで読み出すことができる他、バイトごとに個別にアドレス指定することもできます。マルチバイト・レジスタへのSPI読出しトランザクションがバイトごとに行われようとした場合、INTERFACE_STATUS_A レジスタの PARTIAL_REGISTER_ACCESS ビットがセットされます。例えば、VENDOR_ID レジスタは2バイト長で、その最下位バイトのアドレスは0x0C、最上位バイトのアドレスは0x0Dです。マルチバイト・レジスタ（2バイト）への書き込み/読出しトランザクションを、昇順アドレス指定の場合について [図73](#)、降順アドレス指定の場合について [図74](#) に示します。アドレス指定を降順（自動デクリメント）とするか昇順（自動インクリメント）とするかを選択する方法の詳細については、[アドレス方向](#) のセクションを参照してください。

アドレス方向

アドレス方向オプションを使用すると、単一データ・フェーズで複数バイトのデータを転送する場合に、レジスタ・アドレスを自動的にインクリメント（アドレスが増加）するかデクリメント（アドレスが減少）するかを設定できます（例えば、[図73](#)および[図74](#)に示すように、マルチバイト・レジスタにアクセスする場合や、[図76](#)に示すようにストリーミング・モードで複数のレジスタにアクセスする場合）。

アドレス方向は、INTERFACE_CONFIG_A レジスタの ADDR_DIRECTION ビットで選択できます。ADDR_ASCENSION ビットを0に設定すると、バイトにアクセスするごとにアドレスがデクリメントします。ADDR_DIRECTION を1に設定すると、バイトにアクセスするごとにアドレスがインクリメントします。

マルチバイト・レジスタにアクセスする場合、降順アドレス指定を用いると、最初に最上位バイトにシフト・インします。

アドレス0x29以降のマルチバイト・レジスタは、降順モードでのみアクセスできます。

単一命令モード

INTERFACE_CONFIG_B レジスタの SINGLE_INSTRUCTION ビットが1に設定されている場合、ストリーミング・モードが無効化され、単一命令モードが有効になります。単一命令モードでは、データ・フェーズには単一レジスタのデータのみが含まれ、 \overline{CS} がローのままであっても、各データ・フェーズの後には新しい命令フェーズが続く必要があります。単一命令モードにより、デジタル・ホストは1つのSPIフレーム内の隣接しないアドレスのレジスタとの間で手早く読書きができます。これに対し、ストリーミング・モードでは、新たな命令フェーズを開始するために \overline{CS} パルスをハイにすることなく、隣接レジスタに対する読出しまたは書き込みだけを行うことができます。

[図75](#)に、次のレジスタ・アクセスを行う単一命令モードのSPIトランザクション例を示します。

- ▶ 出力レンジを設定する。
- ▶ 出力段をイネーブルする。
- ▶ CHIP_TYPE レジスタを読み出す。

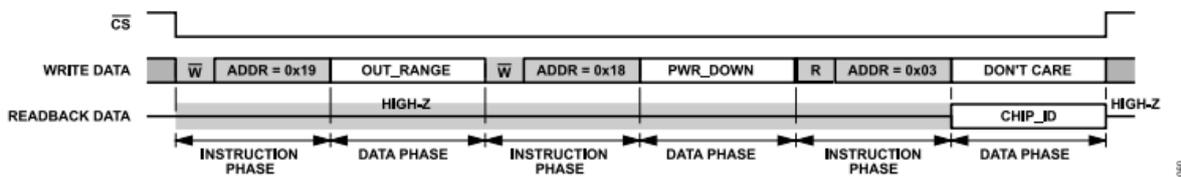


図 75. 単一命令モードによる降順アドレス指定でのレジスタ・アクセス

動作原理

ストリーミング・モード

INTERFACE_CONFIG_BレジスタのSINGLE_INSTRUCTIONビットが0に設定されている場合、単一命令モードが無効化され、ストリーミング・モードが有効になります。ストリーミング・モードでは、アドレスが隣接する複数のレジスタに単一の命令フェーズとデータ・フェーズでアクセスできるため、メモリの隣接領域に効率的なアクセスが可能となります（例えば、デバイスの初期設定時）。AD3541Rは、デフォルトでストリーミング・モードに設定されています。

ストリーミング・モードの場合、各SPIフレームは単一の命令フェーズで構成され、後続のデータ・フェーズにはアドレスが隣接する複数のレジスタのデータが含まれます。開始レジスタのアドレスは、命令フェーズにおいてデジタル・ホストが指定し、データの各バイトへのアクセスが行われた後、このアドレスは、自動的にインクリメントまたはデクリメント（アドレス方向の設定による）します。そのため、データ・フェーズは複数バイト長となることがあり、読みまたは書き込みデータの連続するバイトはそれぞれ、次の上位アドレス（昇順アドレス方向の場合）または下位アドレス（降順アドレス方向の場合）に対応します。

昇順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタとの間で書き込みまたは読み出しを行う場合、命令フェーズでレジスタの最下位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最下位バイトからデータ転送が行われます。

降順アドレスでのストリーミング・モードにおけるマルチバイト・レジスタとの間で書き込みまたは読み出しを行う場合は、命令フェーズでレジスタの最上位バイトをアドレス指定する必要があります。データ・フェーズでは、まず最上位バイトから転送を行います。

図76に、降順アドレスのストリーミング・モードを使用し、AD3541Rのアドレス0x16で始まるいくつかのレジスタに書き込みを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって、連続するアドレスに転送されるデータ・バイトの数が決まります。CSは書き込みトランザクションの最後でハイ・レベルになります（図76において、書き込みトランザクションはアドレス0x02の後に終了します）。

図77に、降順アドレスのストリーミング・モードを使用し、AD3541Rのアドレス0x16で始まるいくつかのレジスタから読み出しを行う場合の、命令フェーズとデータ・フェーズを示します。データ・フェーズの長さによって連続するアドレスに転送されるデ

ータ・バイトの数が決まります。CSは読み出しトランザクションの最後でハイ・レベルになります（図77において、読み出しトランザクションはアドレス0x02の後に終了します）。

STREAM_MODEレジスタを用いることで、連続するレジスタの範囲を指定してデータ・フェーズでループ・スルーを行うことができます。ループにより、デジタル・ホストは一連のレジスタ（例えば、アドレス0x29～アドレス0x2CのCHx_DAC_16Bレジスタ）との間で可能な限り効率的に読書きを繰り返すことができます。アドレス0x29以降のレジスタ・アドレスにアクセスする場合、アドレス方向は必ず降順に設定する必要があります。

STREAM_MODEを0に設定すると、ループは無効化され、次の状態になります。

- ▶ アドレス方向が降順に設定されている場合、アドレスは0x00に達するまで減少します。その後のバイト・アクセスでは、アドレスはアドレス指定可能な空間の最上位（アドレス0x48）に設定されます。なお、レジスタ・アドレスに応じてSPIモードのアクセスの観点で制限が適用される場合があります。
- ▶ アドレス方向が昇順に設定されている場合、アドレスはアドレス指定可能な空間の最上位（アドレス0x48）に達するまで増加します。その後のバイト・アクセスでは、アドレスは0x00にリセットされます。なお、レジスタ・アドレスに応じてSPIモードのアクセスの観点で制限が適用される場合があります。0x28より大きなマルチバイト・レジスタは、昇順モードでは更新されません。

STREAM_MODEが0以外の値に設定されている場合、ループが有効化され、その値は、アドレス・フェーズで指定された値にアドレスがループ・バックする前にデータ・フェーズでアクセスされるバイト数に対応します。例を図78に示します。

STREAM_MODEレジスタの値は、表10に示すように、TRANSFER_REGISTERのSTREAM_LENGTH_KEEP_VALUEビットの値に応じて、トランザクションの終了時（CSがハイに戻った時）に保持するか0にリセットするかを選択できます。

表 10. ストリーミング・モードの自動リセット

STREAM_LENGTH_KEEP_VALUE	STREAM_MODE Register
0	Autoreset
1	Keeps previous value

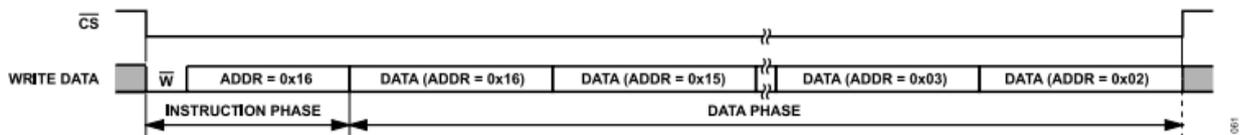


図 76. ストリーミング・モードによる降順アドレスでのレジスタ書き込み

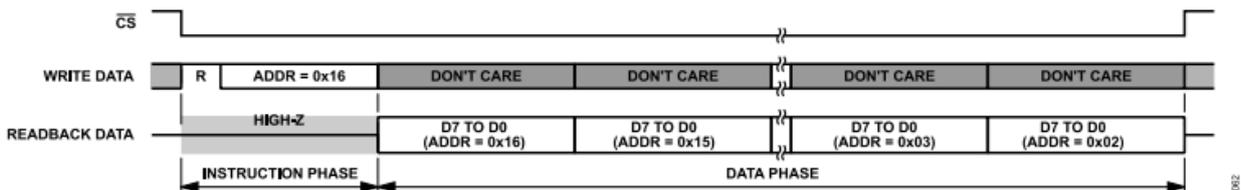


図 77. ループを無効化した場合のストリーミング・モードによるレジスタ読み出し

動作原理

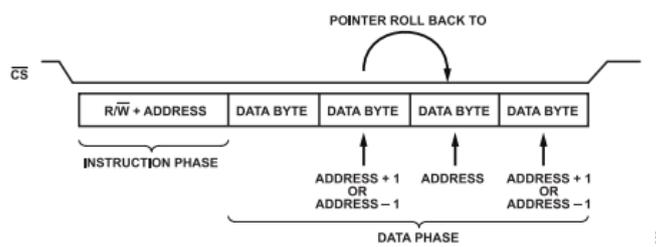


図 78. STREAM_MODE = 2とした場合のループの有効化

動作原理

RCエラー検出

AD3541RにはCRCオプションがあるため、デジタル・ホスト（マスタ）とAD3541R（スレーブ）の間のSPIトランザクションでエラー検出が可能です。

CRCエラー検出を用いることで、SPIのマスタとスレーブは、ビット転送エラーを高い信頼度で検出できます。CRCアルゴリズムでは、シード値と多項式除算を使用してCRCコードを生成します。マスタとスレーブの双方で個別にCRCコードを計算しそれを比較することで、転送されたデータの有効性を判定します。

AD3541Rでは次の多項式を用いるCRC-8規格を採用しています。

$$x^8 + x^2 + x + 1 \tag{1}$$

CRCエラー検出をイネーブルするには、INTERFACE_CONFIG_CレジスタのCRC_ENビットとCRC_EN_Bビットを用います。CRC_ENの値が更新されるのは、同じレジスタ書き込み命令でCRC_EN_BがCRC_ENの反転値に設定されている場合のみです。そのため、CRCをイネーブルするには、CRC_ENを0b01に設定すると共に、同じ書き込みトランザクションでCRC_EN_Bを0b10に設定する必要があります。

CRCをディスエーブルするには、CRC_ENABLEを0b00に設定すると共に、同じ書き込みトランザクションでCRC_EN_Bを0b11に設定する必要があります。2つの別々のフィールドに反転した値を書くことと、CRCが誤ってイネーブルされる可能性を減らすことができます。CSはイネーブルまたはディスエーブルの書き込み後にハイ・レベルにする必要があります。CRCをイネーブルした後のトランザクションには、書き込み動作か読出し動作かを問わず、既にCRCバイトが含まれている必要があります。CRCをディスエーブルするレジスタ書き込みトランザクションでは、末尾にCRCコードが含まれたままである必要がありますが、CRCをディスエーブルした後のトランザクションではCRCバイトを含んでいする必要はありません。

図79と図80に、シングルSPIモード（標準モード）での書き込みトランザクションまたは読出しトランザクションの最後にCRCコードが付加されている状態を示します。レジスタ書き込みの場合、デジタル・ホストは、シード、アドレス、データに対し式1で表され

る計算を実行して、CRCを生成する必要があります。AD3541Rは、同じ計算を行い、ホストと同時にCRCコードをSDOにシフト・アウトします。両方のCRCコードが一致すればトランザクションにはエラーがないことになります。レジスタ読出しの場合、ホストはシード、アドレス、ゼロ・パディングについてCRCを計算し、また、AD3541Rはシード、アドレス、読出しデータについてCRCを計算します。その後、両方のノードで同時にCRCコードをシフト・アウトし、両サイドでこれをチェックします。

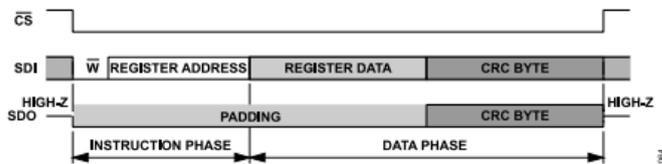


図 79. CRC付きの基本的なSPI書き込みフレーム

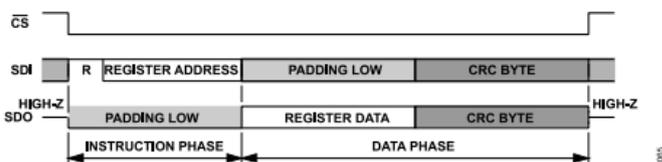


図 80. CRC付きの基本的なSPI読出しフレーム

CRCエラー検出をイネーブルしてマルチバイト・レジスタにアクセスする場合、CRCコードはレジスタ・データの全バイトの後ろに配置されます。

CRCエラー検出がイネーブルされている場合、AD3541Rは、レジスタ・データの最後で有効なCRCコードを受け取るまで、レジスタ書き込みトランザクションに応答してレジスタ内容を更新することはありません。CRCコードが無効であったり、デジタル・ホストがCRCコードを送信できなかったりした場合、AD3541Rはそのレジスタの内容を更新せず、INTERFACE_STATUS_AレジスタにINVALID_OR_NO_CRCフラグをセットします。

INVALID_OR_NO_CRCフラグはこのビットに1が書き込まれるとクリアされます。また、ビットをクリアする書き込みを有効にするためには正しいCRCが必要です。

CRCコードの計算で使用するシード値と計算方法を、単一命令モードおよびストリーミング・モードの両方について、表11に示します。

表 11. CRCのシード値とCRC計算の範囲

SPI Transaction Type	Pin	Single Instruction Mode	Streaming Mode, First Data Phase	Streaming Mode, Subsequent Data Phases
Read	SDI	0xA5, instruction phase, padding	0xA5, instruction phase, padding	No CRC sent
	SDO	0xA5, instruction phase, read data	0xA5, instruction phase, read data	Least significant byte of address, read data
Write	SDI	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data
	SDO	0xA5, instruction phase, write data	0xA5, instruction phase, write data	Least significant byte of address, write data

動作原理

単一命令モードを使用する場合、SPIフレーム内のどのCRCコードもシード値として0xA5を用い、アドレス0x00で縮退故障状態が発生するのを防止します。

ストリーミング・モードを使用する場合、SPIフレームの最初のCRCコードもシード値として0xA5を用いますが、同じフレーム内の後続のCRCコードは、SPIトランザクションでアクセスするレジスタ・アドレスの最下位バイトをシード値として用いて計算されます。

シングルSPI（標準）モードでCRCをイネーブルするには、AD3541Rが計算したCRCをSDOピンでシフト・アウトすることが

必要となるため、トランザクションは、読出し動作の制限（DDRがディスエーブル）を守ることが必要です。

図81に示すように、デュアルSPIモードでは、CRCはバイト・レジスタ・トランザクションまたはマルチバイト・レジスタ・トランザクションの最後に付加されますが、CRCを生成するのは、コントローラ（書込み）またはAD3541R（読出し）のみです。

CRCエラー検出がイネーブルされている場合、アドレス指定されたレジスタの範囲に未使用または予備のレジスタがあると、ループを含めストリーミング・モードを使用することはできません。

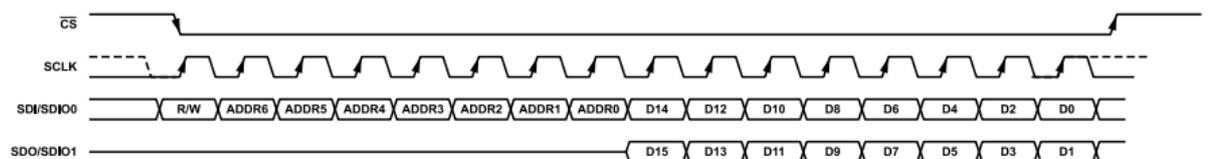


図 81. CRC付きのデュアルSPIトランザクション

動作原理

シリアル・インターフェース

AD3541Rには、いくつかのSPIモードに対応できる、汎用性のあるシリアル・インターフェースが備わっています。インターフェースは、デフォルトでシングルSPI（標準的なSPI）モードに設定されていますが、設定レジスタを使用することでデュアルSPIモードに切り替えることができます。

クロック極性（CPOL）は1または0にできますが、クロック位相（CPHA）は必ず0でなくてはなりません。これらの組み合わせはSPIモード0およびモード3に対応し、これらのモードはSPIインターフェースがシングル・データ・レート（SDR）モードの場合に適用できます。

シングルSPI（標準）モード

シングルSPI（標準）モードでは、SDI/SDIO0データ・ラインとSDO/SDIO1データ・ラインは一方方向性です。SDI信号は、マスタからスレーブにデータを転送するための入力として機能し、SDO信号はスレーブからマスタにデータを転送するための出力として機能します（図82参照）。シングルSPI（標準）モードはSPIモード0およびモード3に対応する他、同期シリアル・ポート（SPORT™）など、完全に同期するタイプのインターフェースにも対応します。図2に、代表的な書込みシーケンスのタイミング図を示します。標準SPIモードの詳細については、AN-1248アプリケーション・ノート、SPIインターフェースを参照してください。

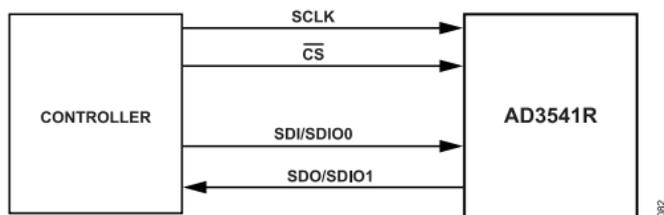


図 82. シングルSPI（標準SPI）接続

デュアルSPIモード

図83に示すように、デュアルSPIモードでは、SDI/SDIO0データ・ラインおよびSDO/SDIO1データ・ラインは双方向です。データ・フェーズ時、命令フェーズのR/Wビットによってデータ・ラインの方向が定められます。命令フェーズ時には、データ・ラインは常に入力として設定されます。図84に示すように、デュアルSPIモードでは、連続するビットが2つのグループにシリアライズされます。

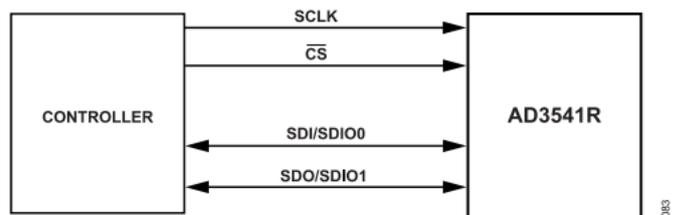


図 83. デュアルSPI接続

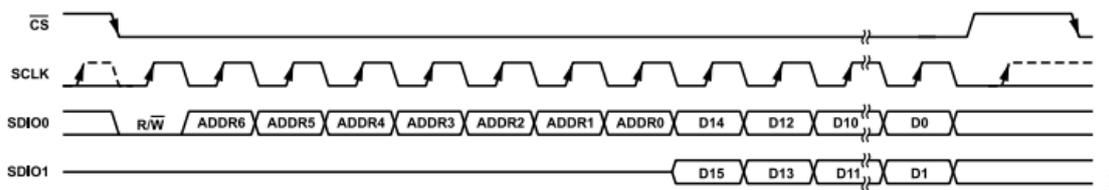


図 84. デュアルSPI接続

動作原理

ダブル・データ・レート (DDR)

どのSPIモードを使用するかに関わらず、INTERFACE_CONFIG_DレジスタのSPI_CONFIG_DDRビットをセットすることでDDRを有効化できます。これにより、データ・フェーズ時に両方のクロック・エッジでデータをサンプリングできます (図4と図7を参照)。このモードを有効化した後は、すべてのデータをDDRで書き込む必要があります。

DDRを使用できるのは、書き込み動作時のデータ・フェーズのみです。読み出し動作では、SPI_CONFIG_DDRビットは無視され、図2と図6に示すように、データはシングル・データ・レートでAD3541Rからコントローラに転送されます。

SPIモードまたはSPI_CONFIG_DDRビットを変更した後は、CSをハイ・レベルにし、新たなアクセス・サイクルを適切なモードで開始する必要があります。

有効なSPIモードの全組み合わせを表12に示します。

表 12. SPIモードの組み合わせ

SPI Mode	MULTI_IO_MODE	SPI_CONFIG_DDR
Single SPI SDR	00	0
Single SPI DDR	00	1
Dual SPI SDR	01	0
Dual SPI DDR	01	1

レジスタ・マップへのSPIアクセス・モード

レジスタ・マップはプライマリとセカンダリの2つの領域に分かれています。

インターフェース設定、DAC設定、エラー・フラグに関するレジスタはアドレス0x0~アドレス0x1Eのプライマリ領域に含まれます。この領域には、TRANSFER_REGISTERのMULTI_IO_MODEの値に関わらず、またDDRの使用の有無によらず、標準的なSPIモードでのみアクセスできます。

DACの出力値に影響するレジスタは、アドレス0x28~アドレス0x48のセカンダリ領域に含まれます。この領域には、DDRの使用の有無に関わらず、いずれのSPIモードでもアクセスできます。

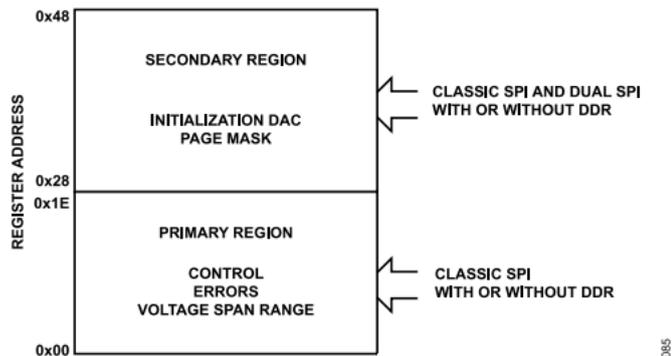


図 85. レジスタへのアクセス・モード

SDIOの駆動強度

ピン5およびピン6にあるSDIOラインの駆動強度は、INTERFACE_CONFIG_DレジスタのSDIO_DRIVE_STRENGTHビットを設定することで4種類のレベルに設定できます。

図86に示すように、駆動強度値が大きいほど信号のスルー・レートは高くなります。ただし、スルー・レートが高くなると、ピーク電流が大きくなり、システムのデジタル・ノイズが増加します。デフォルト値はミディアム・ローの強度です。

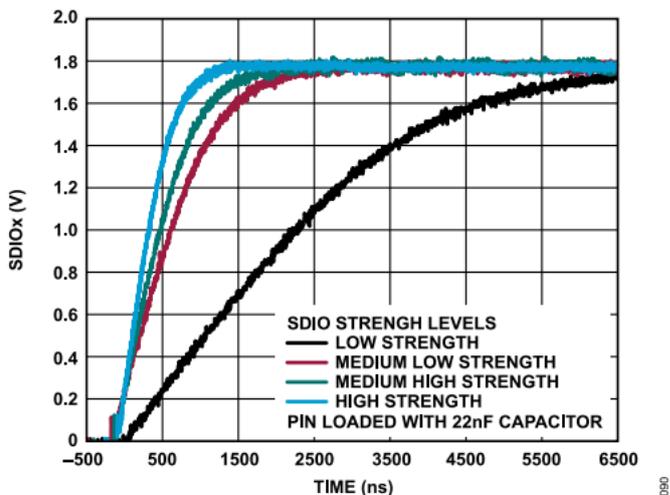


図 86. 駆動強度オプション

DACの更新モード

DAC出力の更新には、同期的/非同期的、直接的/間接的ないくつかの方法があります。

同期更新は、DAC出力の変化がLDACなどの外部信号によってトリガされる場合に行われます。これは多くのデバイスで一般的なものとなっています。この場合、コントローラは、入力レジスタの値を読み込み、その値はその後LDAC信号の立下がりエッジでDACレジスタに転送され、全V_{OUT}信号の同時更新が行われます。

同期更新が1つのDACでのみ必要な場合は、高精度モードに応じてHW_LDAC_16BレジスタまたはHW_LDAC_24BレジスタのHW_LDAC_MASK_CHxビットを用い、LDAC信号をマスクできます。

DAC出力の変化がレジスタ・セットの操作に追従する場合に非同期更新が生じます。この場合、この変化は最後のレジスタ・ビットをシフト・インするSCLKエッジに連動します。DAC出力を更新するためのいくつかの組み合わせを表13に示します。

マルチチャンネル・デバイスであるAD3552RおよびAD3542Rとの互換性を確保するために、ページ・マスク・レジスタが備わっています。ページ・レジスタを用いてDACを更新するには、CH_SELECT_16BレジスタまたはCH_SELECT_24BレジスタのSEL_CH0ビットの値を1にセットする必要があります。

DAC_PAGE

動作原理

レジスタに書き込みを行うとデータはCH0_DACレジスタに転送され、INPUT_PAGEレジスタに書き込みを行うとデータはCH0_INPUTレジスタに転送されます。レジスタ間のデータの流れを図87にまとめます。

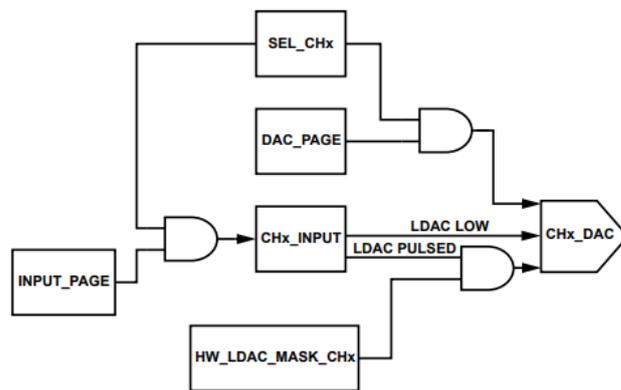


図 87. レジスタ間のDACデータの流れ

表 13. DACの更新モード

SPI Mode	Register Written	LDAC Pin	Synchronous	Notes
Single and Dual SPI	CHx_INPUT	Falling edge	Yes	LDAC mask applied, HW_LDAC register
Single and Dual SPI	CHx_INPUT	High	No	Write to SW_LDAC triggers the update
Single and Dual SPI	CHx_INPUT	Low	No	Output updates automatically
Single and Dual SPI	CHx_DAC	Not applicable	No	Output updates immediately
Single and Dual SPI	DAC_PAGE	Not applicable	No	Same data written to the DAC registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register
Single and Dual SPI	INPUT_PAGE	Not applicable	No	Same data written to input registers selected using the SEL_CHx bits in the CH_SELECT_16B register or the CH_SELECT_24B register

動作原理

パワーダウン

AD3541Rには、POWERDOWN_CONFIGレジスタに次の2つのパワーダウン・オプションがあります。

- ▶ CHx_DAC_POWERDOWN。このビットをセットすると、出力アンプをオンにしたままDACコアをパワーダウンします。
- ▶ CHx_CHANNEL_POWERDOWN。このビットをセットすると、DACコアおよび出力アンプをパワーダウンします。

リセット

AD3541Rには、3種類のデバイス・リセット方法があります。この3つの方法はどれも、ソフトウェア・リセットのセクションで説明する相違点を除き、同じリセット手順を内部でトリガします。

パワーオン・リセット

デバイスには、AV_{DD}およびDV_{DD}をモニタするパワーオン・リセット (POR) 回路が内蔵されています。AV_{DD}が4V未満になるかDV_{DD}が1.3V未満になると必ず、内部リセット・パルスが生成されます。この回路により、パワーアップ時または一時的な電源電圧低下が発生した後にチップが正しく初期化されます。

リセット・ピン

RESETピンをロー・レベルにすると、チップはデフォルトのモードに設定され、全レジスタの値がクリアされます。また、V_{OUT0}出力が0Vに設定され、SPIラインは高インピーダンスに維持されます。RESETラインを解放する (ハイに戻す) と、デバイスは、初期化手順の実行を開始しますが、これには最大100ms (t₁₈の時

間) を要する可能性があります。リセット後、DACはパワーダウン・モードになり、V_{OUT0}出力は0Vのままとなります。

リセット時、内蔵トランスインピーダンス・アンプはパワーアップされたままであるため、電源シーケンスによってはV_{OUT0}信号にある程度のグリッチが生じる可能性があります。

ソフトウェア・リセット

INTERFACE_CONFIG_AレジスタのSW_RESET_MSBビットおよびSW_RESET_LSBビットをセットすると、デバイスをSPIインターフェースからリセットできます。ソフトウェア・リセットとRESETピンを使用したハードウェア・リセットの大きな違いは、ソフトウェア・リセットではINTERFACE_CONFIG_Aレジスタが影響を受けない点です。リセット動作が完了すると、SW_RESET_MSBビットとSW_RESET_LSBビットはクリアされません。

エラー検出

AD3541Rは、アナログ領域とデジタル領域のどちらにおいても、異常な状態を検知できます。これらのエラーは、INTERFACE_STATUS_AレジスタとERR_STATUSレジスタでレポートされます。ERR_ALARM_MASKレジスタに割り当てられたエラーとそれに対応するソースのリストを表14に示します。表14に示されているエラーはALERTピンをアサートできますが、ERR_ALARM_MASKレジスタでマスクされていない場合に限りです。ALERTピンはリセット後や初期化異常の場合にもアサートされます。

INTERFACE_STATUS_AレジスタおよびERR_STATUSレジスタのエラー・ビットは、1を書き込んでクリアするまでその値が保持されるスティッキー・ビットです。つまり、エラー・ビットをクリアするには、その特定のビットの場所に1を書き込みます。

表 14. アラーム・マスク・レジスタと対応エラー・ソース

Bit Number	Alarm Mask Register Bit Name	Error Source Register Name	Error Source Bit Name
6	REF_RANGE_ALARM_MASK	ERR_STATUS	REF_RANGE_ERR_STATUS
5	CLOCK_COUNT_ALARM_MASK	INTERFACE_STATUS_A	CLOCK_COUNTING_ERROR
4	MEM_CRC_ALARM_MASK	ERR_STATUS	MEM_CRC_ERR_STATUS
3	SPI_CRC_ERR_ALARM_MASK	INTERFACE_STATUS_A	INVALID_OR_NO_CRC
2	WRITE_TO_READ_ONLY_ALARM_MASK	INTERFACE_STATUS_A	WRITE_TO_READ_ONLY_REGISTER
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK	INTERFACE_STATUS_A	PARTIAL_REGISTER_ACCESS
0	REGISTER_ADDRESS_INVALID_ALARM_MASK	INTERFACE_STATUS_A	REGISTER_ADDRESS_INVALID

動作原理

ERR_STATUSレジスタ

V_{REF}検出

リファレンス電圧が1V未満に低下した状態で5ms以上経過すると、ERR_STATUSレジスタのREF_RANGE_ERR_STATUSビットがセットされます。それにも関わらず、リファレンス電圧は内部生成されるか、V_{REF}ピンを介して外部から供給されます。この機能は、内部リファレンスを他のデバイスと共有している場合に、外部リファレンス電圧での割込みや過負荷状態をV_{REF}ピンで検出するのに便利です。

SPIモード・エラー

SPIモード・エラーは、ストリーミング時、デュアルSPIモードに設定されたSPIインターフェースのセカンダリ領域とプライマリ領域の境界をアドレス・ポインタが横切るときに生じます。この領域にアクセスできるのは標準SPIモードでのみであるためです。

ERR_STATUSレジスタの

DUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUSビットがセットされます。

レジスタのCRC

AD3541Rには、レジスタ・マップおよび読み出し専用メモリ (ROM) 用に内部CRC機能が備わっています。このCRCは、4.1μsごとに実行され、レジスタ・マップのプライマリ領域のみが対象となります。セカンダリ領域は連続的に書き込まれると見込まれるためです。このCRCは、INTERFACE_CONFIG_DレジスタのMEM_CRC_ENビットをクリアしてディスエーブルできます。CRCエラーが検出されると、ERR_STATUSレジスタのMEM_CRC_ERR_STATUSビットがセットされます。このエラーが発生した場合はデバイスをリセットすることを推奨します。

リセット・ステータス

ERR_STATUSレジスタのRESET_STATUSビットは、AD3541Rが内部 (PORまたはSWリセット) あるいは外部 (RESETピン経由) からリセットされたことを示します。RESET_STATUSビットは、PORが正常に終了するとセットされます。これは、電源電圧の一時的な低下などの予期しないリセット状態を検出し、補正アクションを取るのに便利です。

RESET_STATUSビットによってALERTピンがアサートされますが、これはマスクできません。そのため、ALERT信号を介して新しいイベントを検出できるよう、リセット後またはパワーアップ後にクリアする必要があります。

INTERFACE_STATUS_Aレジスタ

デバイス・ビジー

INTERFACE_STATUS_AレジスタのINTERFACE_NOT_READYビットはエラー・ビットではなく、ステータス・ビットです。このビットは、デバイスがコントローラからのデータを受け取れる状態にあることを知るためにポーリングされます。

SPIクロック・カウンタ

CLOCK_COUNTING_ERRビットで報告されるエラーは、SCLKサイクルの数がSPIモード (シングルまたはデュアル) およびDDRモードを考慮した8の倍数個のビットをシフトするのに必要な数に一致しない場合に生成されます。

CLOCK_COUNTING_ERRビットはERR_STATUSレジスタでセットされます。

有効な組み合わせを表15に示します。

表 15. 1バイトの転送に必要なクロック・サイクル数

SPI Mode	DDR	Clock Cycles for 1 Byte
Single SPI	No	8
Single SPI	Yes	4
Dual SPI	No	4
Dual SPI	Yes	2

SPIのCRC

CRCがイネーブルされており、SPIトランザクションのCRCバイトがないか計算値と一致しない場合、INTERFACE_STATUS_AレジスタのINVALID_OR_NO_CRCビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。なお、CRCがイネーブルされているので、続行するにはこのSPIトランザクションに有効なCRCコードが存在する必要があります。

読み出し専用レジスタへの書き込み

ホストが読み出し専用レジスタに書き込みを行おうとした場合、INTERFACE_STATUS_AレジスタのWRITE_TO_READ_ONLY_REGISTERビット・フィールドがアサートされます。このエラーをクリアするには、WRITE_TO_READ_ONLY_REGISTERビットに1を書き込みます。

部分的なレジスタ・アクセス

マルチバイト・レジスタが部分的に読み出されたまたは書き込みアクセスを受けた場合、INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSビットがセットされます。これは、マルチバイト・レジスタの全バイトへのアクセスが完了しないうちにトランザクションが終了したことを示すものです。このエラーをクリアするには、PARTIAL_REGISTER_ACCESSビットに1を書き込みます。

無効アクセス

無効なレジスタ・アドレスにホストがアクセスしようとした場合、INTERFACE_STATUS_AレジスタのREGISTER_ADDRESS_INVALIDビットがセットされます。このエラーをクリアするには、このビットに1を書き込みます。

ALERTピン

表14に示したエラーのいずれかが検出され、ERR_ALARM_MASKレジスタにある対応ビットが0に設定されると、ALERTピンがアサートされます。このピンをCPUの割込みラインとして用いると、エラー状態が生じた場合にアクションを取ることができません。

更に、ERR_STATUSレジスタのRESET_STATUSビットがアサートされた場合も、ALERTピンがアサートされます。この状態はマスクできません。そのため、ALERTピンを使用するには、初期化後にRESET_STATUSビットをクリアする必要があります。すべてのエラー・ソースをクリアした後もこのピンがアサートされたままの場合は、デバイスの初期化時にエラーが発生したことを意味し、電源のオンオフを何度か繰り返す必要があります。

動作原理

ALERTピンには、内部または外部から提供できるプルアップ抵抗が必要です。チップには、INTERFACE_CONFIG_DレジスタのALERT_ENABLE_PULLUPビットをセットしてイネーブルできる、2.5kΩのプルアップ抵抗が内蔵されています。

すべてのエラーが対応レジスタでクリアされると、ALERTピンがデアサートされます。

デバイスID

AD3541Rは、デバイス関連の情報を提供するレジスタを多数備えています。以下のレジスタを使用すると、正しいチップ・タイプおよびバージョンが組み込まれていることを確認できます。

- ▶ CHIP_TYPE
- ▶ PRODUCT_ID_L

- ▶ PRODUCT_ID_H
- ▶ CHIP_GRADE
- ▶ SPI_REVISION
- ▶ VENDOR_L
- ▶ VENDOR_H

インターフェース・アクセス・モードのまとめ

モードの数や、特定のレジスタまたはメモリ領域の制限の数が多いため、適切なSPIモードを見つけることが困難な場合もあります。CPUへのドライバ実装を容易なものにできるよう、図88に決定木を示します。図88は、インターフェースやアクセスするレジスタの設定に応じてドライバがどのような処理を行うべきかを示しています。

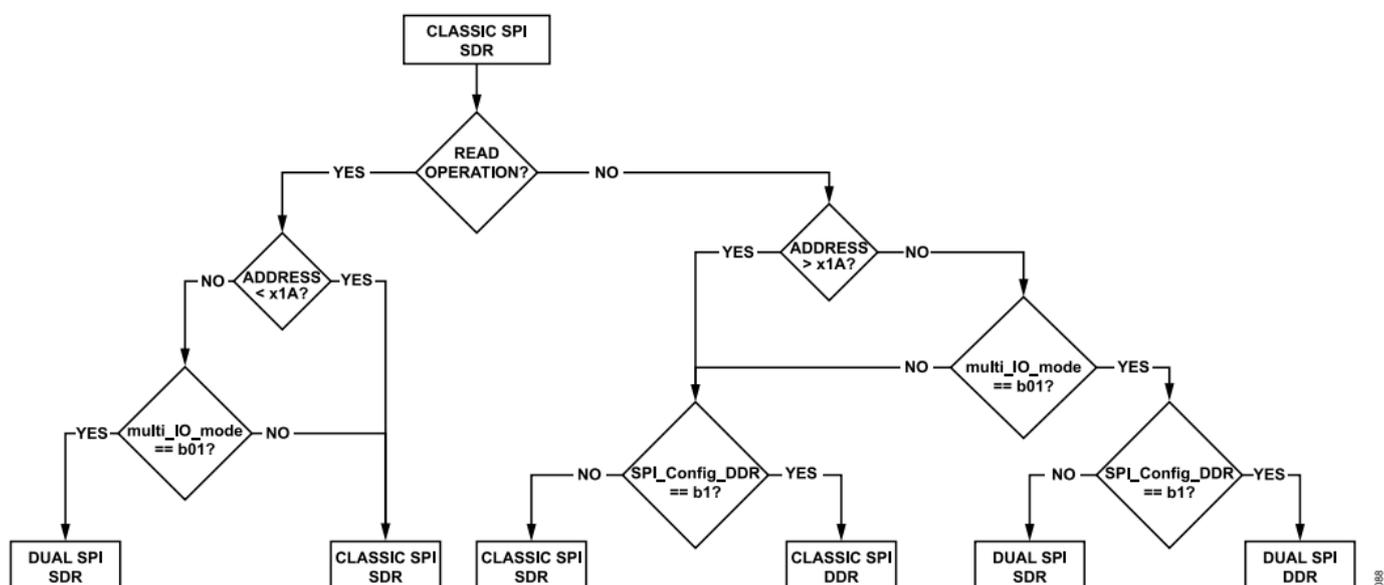


図 88. レジスタへのアクセス・モード

レジスタ

レジスタの一覧

レジスタ・リスト

表 16. レジスタの一覧

アドレス	名前	説明	リセット	アクセス
0x00	INTERFACE_CONFIG_A	インターフェース設定Aレジスタ。	0x10	R/W
0x01	INTERFACE_CONFIG_B	インターフェース設定Bレジスタ。	0x08	R/W
0x02	DEVICE_CONFIG	デバイス設定レジスタ。	0x00	R
0x03	CHIP_TYPE	チップ・タイプ・レジスタ。	0x04	R
0x04	PRODUCT_ID_L	製品IDロー・レジスタ。	0x0B	R
0x05	PRODUCT_ID_H	製品IDハイ・レジスタ。	0x40	R
0x06	CHIP_GRADE	チップ・グレード・レジスタ。	0x05	R
0x0A	SCRATCH_PAD	スクラッチ・パッド・レジスタ。	0x00	R/W
0x0B	SPI_REVISION	SPIリビジョン・レジスタ。	0x83	R
0x0C	VENDOR_L	ベンダIDロー・レジスタ。	0x56	R
0x0D	VENDOR_H	ベンダIDハイ・レジスタ。	0x04	R
0x0E	STREAM_MODE	ストリーム・モード・レジスタ。	0x00	R/W
0x0F	TRANSFER_REGISTER	転送設定レジスタ。	0x00	R/W
0x10	INTERFACE_CONFIG_C	インターフェース設定Cレジスタ。	0x23	R/W
0x11	INTERFACE_STATUS_A	インターフェース・ステータスAレジスタ。	0x00	R/W
0x14	INTERFACE_CONFIG_D	インターフェース設定Dレジスタ。	0x04	R/W
0x15	REFERENCE_CONFIG	リファレンス設定レジスタ。	0x00	R/W
0x16	ERR_ALARM_MASK	エラー・アラーム・マスク・レジスタ。	0x00	R/W
0x17	ERR_STATUS	エラー・ステータス・レジスタ。	0x01	R/W
0x18	POWERDOWN_CONFIG	パワーダウン設定レジスタ。	0x00	R/W
0x19	CH0_OUTPUT_RANGE	出力レンジ・レジスタ。	0x00	R/W
0x28	HW_LDAC_16B	ハードウェアLDACマスク・レジスタ、高速モード。	0x00	R/W
0x29	CH0_DAC_16B	チャンネル0のDACレジスタ、高速モード。	0x0000	R/W
0x2D	DAC_PAGE_16B	DACページ・レジスタ、高速モード。	0x0000	R/W
0x2F	CH_SELECT_16B	ページ・レジスタ用チャンネル・セレクト、高速モード	0x00	R/W
0x30	INPUT_PAGE_16B	入力ページ・レジスタ、高速モード。	0x0000	R/W
0x32	SW_LDAC_16B	ソフトウェアLDACレジスタ、高速モード。	0x00	W
0x33	CH0_INPUT_16B	チャンネル0の入力レジスタ、高速モード。	0x0000	R/W
0x37	HW_LDAC_24B	ハードウェアLDACマスク・レジスタ、高精度モード。	0x00	R/W
0x38	CH0_DAC_24B	チャンネル0のDACレジスタ、高精度モード。	0x000000	R/W
0x3E	DAC_PAGE_24B	DACページ・レジスタ、高精度モード。	0x000000	R/W
0x41	CH_SELECT_24B	ページ・レジスタ用チャンネル・セレクト、高精度モード。	0x00	R/W
0x42	INPUT_PAGE_24B	入力ページ・レジスタ、高精度モード。	0x000000	R/W
0x45	SW_LDAC_24B	ソフトウェアLDACレジスタ、高精度モード。	0x00	W
0x46	CH0_INPUT_24B	チャンネル0の入力レジスタ、高精度モード。	0x000000	R/W

レジスタ

詳細なレジスタ・マップ

表 17. 詳細なレジスタの一覧

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW	
0x00	INTERFACE_CONFIG_A	[7:0]	SW_RESET_MSB	RESERVED	ADDR_DIRECTION	SDO_ACTIVE	RESERVED			SW_RESET_LSB	0x10	R/W	
0x01	INTERFACE_CONFIG_B	[7:0]	SINGLE_INSTRUCTION	RESERVED			SHORT_INSTRUCTION	RESERVED			0x08	R/W	
0x02	DEVICE_CONFIG	[7:0]	DEVICE_STATUS_ATUS_3	DEVICE_STATUS_ATUS_2	DEVICE_STATUS_ATUS_1	DEVICE_STATUS_ATUS_0	CUSTOM_MODES		OPERATING_MODES		0x00	R	
0x03	CHIP_TYPE	[7:0]	RESERVED				CLASS				0x04	R	
0x04	PRODUCT_ID_L	[7:0]	PRODUCT_ID[7:0]									0x0B	R
0x05	PRODUCT_ID_H	[7:0]	PRODUCT_ID[15:8]									0x40	R
0x06	CHIP_GRADE	[7:0]	DEVICE_GRADE				DEVICE_REVISION				0x05	R	
0x0A	SCRATCHPAD	[7:0]	VALUE									0x00	R/W
0x0B	SPI_REVISION	[7:0]	VERSION									0x83	R
0x0C	VENDOR_L	[7:0]	VID [7:0]									0x56	R
0x0D	VENDOR_H	[7:0]	VID [15:8]									0x04	R
0x0E	STREAM_MODE	[7:0]	LENGTH									0x00	R/W
0x0F	TRANSFER_REGISTER	[7:0]	MULTI_IO_MODE			RESERVED			STREAM_LENGTH_KEY_EP_VALUE	RESERVED		0x00	R/W
0x10	INTERFACE_CONFIG_C	[7:0]	CRC_ENABLE		STRICT_REGISTER_ACCESS	RESERVED			CRC_ENABLE_B		0x23	R/W	
0x11	INTERFACE_STATUS_A	[7:0]	INTERFACE_NOT_READY	RESERVED	CLOCK_COUNTING_ERROR	RESERVED	INVALID_OR_NO_CRC	WRITE_TO_READ_ONLY_REGISTER	PARTIAL_REGISTER_ACCESS	REGISTER_ADDRESS_INVALID	0x00	R/W	
0x14	INTERFACE_CONFIG_D	[7:0]	RESERVED	ALERT_ENABLE_PULLUP	RESERVED	MEM_CRC_ENABLE	SDIO_DRIVE_STRENGTH		RESERVED	SPI_CONFIG_DDR	0x04	R/W	
0x15	REFERENCE_CONFIG	[7:0]	RESERVED	IDUMP_FAS_TMODE	RESERVED				REFERENCE_VOLTAGE_SEL		0x00	R/W	
0x16	ERR_ALARM_MASK	[7:0]	RESERVED	REF_RANGE_ALARM_MASK	CLOCK_COUNT_ERROR_ALARM_MASK	MEM_CRC_ERROR_ALARM_MASK	SPI_CRC_ERROR_ALARM_MASK	WRITE_TO_READ_ONLY_ALARM_MASK	PARTIAL_REGISTER_ACCESS_ALARM_MASK	REGISTER_ADDRESS_INVALID_ALARM_MASK	0x00	R/W	
0x17	ERR_STATUS	[7:0]	RESERVED	REF_RANGE_ERROR_STATUS	DUAL_SPI_STREAM_EXCEEDS_DATA_ERROR_STATUS	MEM_CRC_ERROR_STATUS	RESERVED			RESET_STATUS	0x01	R/W	
0x18	POWERDOWN_CONFIG	[7:0]	RESERVED		RESERVED	CH0_DAC_POWERDOWN	RESERVED		RESERVED	CH0_CHANNEL_POWERDOWN	0x00	R/W	
0x19	CH0_OUTPUT_RANGE	[7:0]	RESERVED				CH0_OUTPUT_RANGE_SEL				0x00	R/W	
0x28	HW_LDAC_16B	[7:0]	RESERVED						RESERVED	HW_LDAC_MASK_CH0	0x00	R/W	
0x2A	CH0_DAC_16	[15:8]	DAC_DATA0 [15:8]									0x00	R/W
0x29	B	[7:0]	DAC_DATA0 [7:0]									0x00	
0x2E	DAC_PAGE_1	[15:8]	DAC_PAGE[15:8]									0x00	R/W
0x2D	6B	[7:0]	DAC_PAGE[7:0]									0x00	

レジスタ

レジスタ	名前	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	リセット	RW
0x2F	CH_SELECT_16B	[7:0]							RESERVED	SEL_CH0	0x00	R/W
0x31	INPUT_PAGE_16	[15:8]									0x00	R/W
0x30	B	[7:0]									0x00	
0x32	SW_LDAC_16B	[7:0]							RESERVED	SW_LDAC_CH0	0x00	W
0x34	CH0_INPUT_16B	[15:8]									0x00	R/W
0x33		[7:0]									0x00	
0x37	HW_LDAC_24B	[7:0]							RESERVED	HW_LDAC_MASK_CH0	0x00	R/W
0x3A	CH0_DAC_24B	[23:16]									0x00	R/W
0x39		[15:8]									0x00	
0x38		[7:0]									0x00	
0x40	DAC_PAGE_24B	[23:16]									0x00	R/W
0x3F		[15:8]									0x00	
0x3E		[7:0]									0x00	
0x41	CH_SELECT_24B	[7:0]							RESERVED	SEL_CH0	0x00	R/W
0x44	INPUT_PAGE_24	[23:16]									0x00	R/W
0x43	B	[15:8]									0x00	
0x42		[7:0]									0x00	
0x45	SW_LDAC_24B	[7:0]							RESERVED	SW_LDAC_CH0	0x00	W
0x48	CH0_INPUT_24B	[23:16]									0x00	R/W
0x47		[15:8]									0x00	
0x46		[7:0]									0x00	

レジスタ

インターフェース・レジスタの詳細

インターフェース設定Aレジスタ

アドレス : 0x00、リセット : 0x10、レジスタ名 : INTERFACE_CONFIG_A

インターフェースの設定値。

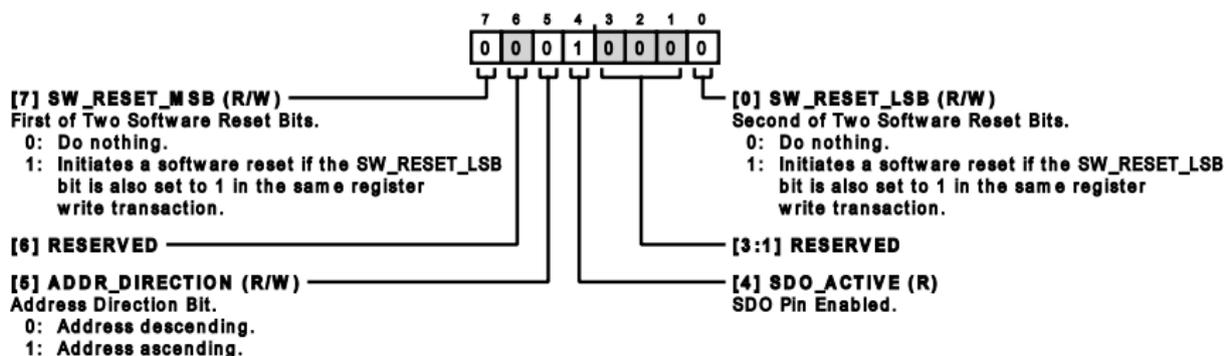


表 18. INTERFACE_CONFIG_Aのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	SW_RESET_MSB		2個のソフトウェア・リセット・ビットの1個目。1回のSPI書き込みで両方のソフトウェア・リセット・ビット (SW_RESET_MSBおよびSW_RESET_LSB) をセットすると、ソフトウェア・デバイス・リセットが実行され、(INTERFACE_CONFIG_Aレジスタを除く) すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0 何もしません。 1 同じレジスタ書き込みトランザクションでSW_RESET_LSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W
6	RESERVED		予備。	0x0	R
5	ADDR_DIRECTION		アドレス方向ビット。単一のデータ・フェーズの複数バイトのデータに対しレジスタ読みおよび書き込みを行う場合にシーケンシャルなアドレス指定動作を決定します。 0 降順アドレス指定。マルチバイト・レジスタのストリーミング時またはアドレス指定時に、アクセスするアドレスがデータ・バイトごとに1ずつ自動的にデクリメントします。 1 昇順アドレス指定。マルチバイト・レジスタのストリーミング時またはアドレス指定時に、アクセスするアドレスがデータ・バイトごとに1ずつ自動的にインクリメントします。	0x0	R/W
4	SDO_ACTIVE		SDOピンがイネーブルされています。	0x1	R
[3:1]	RESERVED		予備。	0x0	R
0	SW_RESET_LSB		2個のソフトウェア・リセット・ビットの2個目。1回のSPI書き込みで両方のソフトウェア・リセット・ビット (SW_RESET_MSBおよびSW_RESET_LSB) をセットすると、ソフトウェア・デバイス・リセットが実行され、(INTERFACE_CONFIG_Aレジスタを除く) すべてのレジスタがデフォルトのパワーアップ状態に戻ります。 0 何もしません。 1 同じレジスタ書き込みトランザクションでSW_RESET_LSBビットも1にセットされた場合、ソフトウェア・リセットを開始します。	0x0	R/W

レジスタ

インターフェース設定Bレジスタ

アドレス：0x01、リセット：0x08、レジスタ名：INTERFACE_CONFIG_B

追加インターフェース設定値。

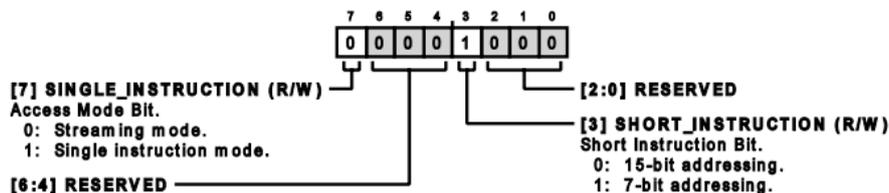


表 19. INTERFACE_CONFIG_Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	SINGLE_INSTRUCTION	0 1	アクセス・モード・ビット。ストリーミング・モードまたは単一命令モードを選択します。 0 ストリーミング・モード。連続データ・バイトとしてのアドレスのインクリメント/デクリメントは、INTERFACE_CONFIG_AレジスタのADDR_DIRECTIONビットの設定とSTREAM_MODEレジスタのLENGTHビットの設定に従って受け入れられます 1 単一命令モード。	0x0	R/W
[6:4]	RESERVED		予備。	0x0	R
3	SHORT_INSTRUCTION	0 1	アドレス方向ビット。単一のデータ・フェーズの複数バイトのデータに対しレジスタ読出しおよび書込みを行う場合にシーケンシャルなアドレス指定動作を決定します。 0 15ビット・アドレス指定。 1 7ビット・アドレス指定。	0x1	R/W
[2:0]	RESERVED		予備。	0x0	R

デバイス設定レジスタ

アドレス：0x02、リセット：0x00、レジスタ名：DEVICE_CONFIG

このレジスタは、標準化されたレジスタ・マップとの互換性を目的としたもので、デバイスには影響しません。

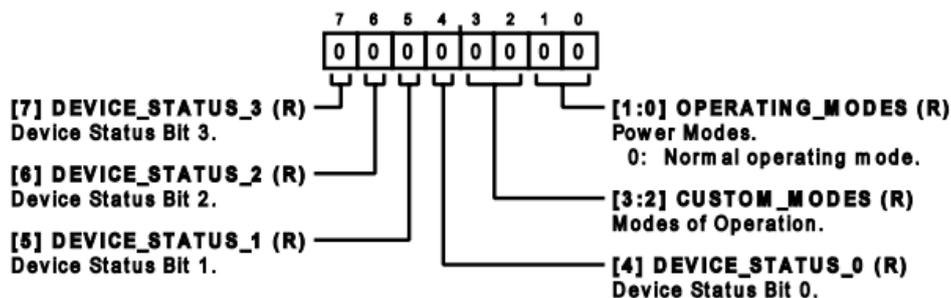


表 20. DEVICE_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	DEVICE_STATUS_3		デバイス・ステータス・ビット3。	0x0	R
6	DEVICE_STATUS_2		デバイス・ステータス・ビット2。	0x0	R
5	DEVICE_STATUS_1		デバイス・ステータス・ビット1。	0x0	R
4	DEVICE_STATUS_0		デバイス・ステータス・ビット0。	0x0	R
[3:2]	CUSTOM_MODES		動作モード。	0x0	R
[1:0]	OPERATING_MODES	0	電力モード。 通常動作モード。	0x0	R

レジスタ

チップ・タイプ・レジスタ

アドレス：0x03、リセット：0x04、レジスタ名：CHIP_TYPE

チップ・タイプ・レジスタには、AD3541Rを含む高精度DACファミリの識別子が格納されています。このレジスタは、AD3541Rを一意に識別する製品IDと共に使用する必要があります。

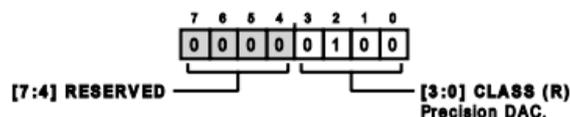


表 21. CHIP_TYPEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	RESERVED		予備。	0x0	R
[3:0]	CLASS		高精度DAC。	0x4	R

製品IDロー・レジスタ

アドレス：0x04、リセット：0x08、レジスタ名：PRODUCT_ID_L

製品IDの下位バイト。

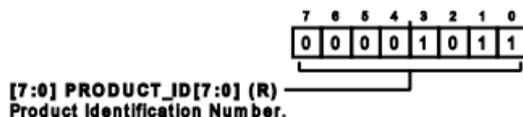


表 22. PRODUCT_ID_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	PRODUCT_ID[7:0]		製品識別番号。	0xB	R

製品IDハイ・レジスタ

アドレス：0x05、リセット：0x40、レジスタ名：PRODUCT_ID_H

製品IDの上位バイト。

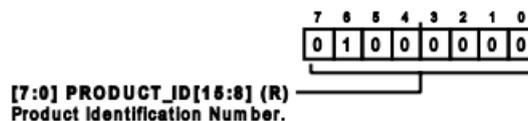


表 23. PRODUCT_ID_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	PRODUCT_ID[15:8]		製品識別番号。	0x40	R

レジスタ

チップ・グレード・レジスタ

アドレス：0x06、リセット：0x05、レジスタ名：CHIP_GRADE

製品のバリエーションとデバイスのリビジョンを識別します。デバイスのリビジョンは半導体素子のバージョンを表し、デバイスのグレードは試験手順のバージョンを表すものです。

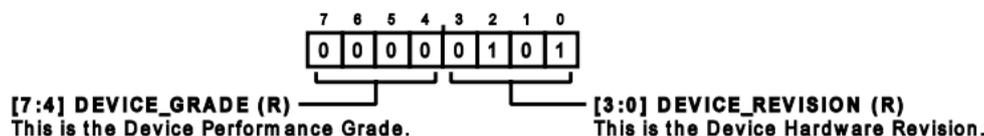


表 24. CHIP_GRADEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	DEVICE_GRADE		デバイス性能のグレードです。	0x0	R
[3:0]	DEVICE_REVISION		デバイスのハードウェア・リビジョンです。	0x5	R

スクラッチ・パッド・レジスタ

アドレス：0x0A、リセット：0x00、レジスタ名：SCRATCH_PAD

このレジスタは機能を目的としたものではありません。書き込み動作と読み出し動作を試験するためのものです。

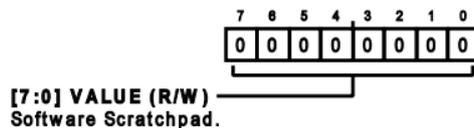


表 25. SCRATCH_PADのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VALUE		ソフトウェア・スクラッチパッド。	0x0	R/W

SPIリビジョン・レジスタ

アドレス：0x0B、リセット：0x83、レジスタ名：SPI_REVISION

SPIインターフェースのリビジョンを示します。

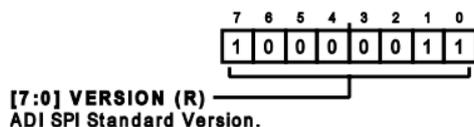


表 26. SPI_REVISIONのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VERSION		アナログ・デバイセズのSPI規格のバージョン。	0x83	R

レジスタ

ベンダIDロー・レジスタ

アドレス：0x0C、リセット：0x56、レジスタ名：VENDOR_L

ベンダIDの下位バイト。

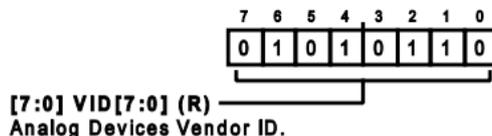


表 27. VENDOR_Lのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VID [7:0]		アナログ・デバイセズのベンダID。	0x56	R

ベンダIDハイ・レジスタ

アドレス：0x0D、リセット：0x04、レジスタ名：VENDOR_H

ベンダIDの上位バイト。

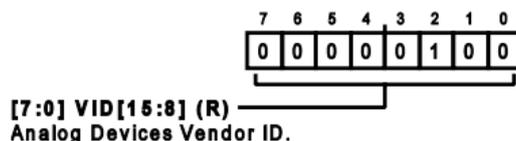


表 28. VENDOR_Hのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	VID [15:8]		アナログ・デバイセズのベンダID。	0x4	R

ストリーム・モード・レジスタ

アドレス：0x0E、リセット：0x00、レジスタ名：STREAM_MODE

データのストリーミング時のループ長を定義します。

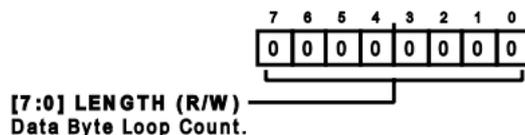


表 29. STREAM_MODEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:0]	LENGTH		データ・バイトのループ数。開始アドレスにループ・バックするまでのデータ・バイト数を指定します。ストリーミング・モードでのみ有効です。ゼロ以外の値によって、アドレスが開始アドレスにループ・バックするまでに読書きされるデータ・バイト数を設定します。この方法で最大255個のバイトを伝送できます。値を0x00にするとループ・バックがディスエーブルされるため、アドレス指定はメモリの上限または下限で最初に戻ります。	0x0	R/W

レジスタ

転送設定レジスタ

アドレス：0x0F、リセット：0x00、レジスタ名：TRANSFER_REGISTER

このレジスタを用いることで、データ転送に用いるSPIモードを設定でき、また、データのストリーミング時に同じレジスタ・セクションでのループをイネーブルできます。

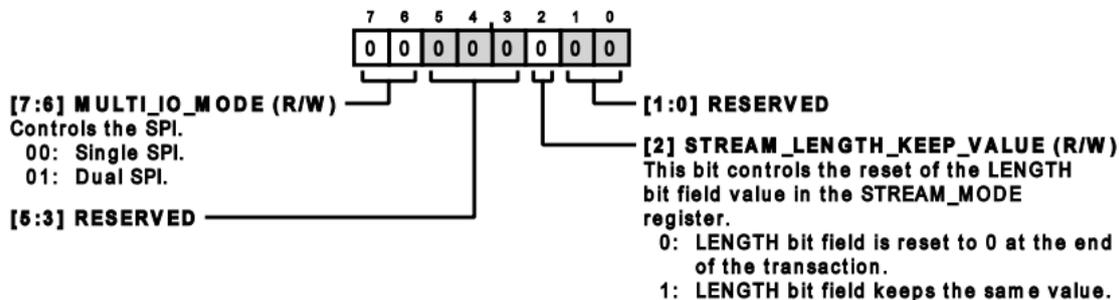


表 30. TRANSFER_REGISTERのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:6]	MULTI_IO_MODE	00 01	SPIを制御します。 00 シングルSPI。 01 デュアルSPI。	0x0	R/W
[5:3]	RESERVED		予備。	0x0	R
2	STREAM_LENGTH_KEEP_VALUE	0 1	このビットはSTREAM_MODEレジスタのLENGTHビット・フィールドのリセットを制御します。 0 LENGTHビット・フィールドはトランザクションの最後で0にリセットされます。 1 LENGTHビット・フィールドは同じ値を維持します。	0x0	R/W
[1:0]	RESERVED		予備。	0x0	R

インターフェース設定Cレジスタ

アドレス：0x10、リセット：0x23、レジスタ名：INTERFACE_CONFIG_C

追加インターフェース設定値。

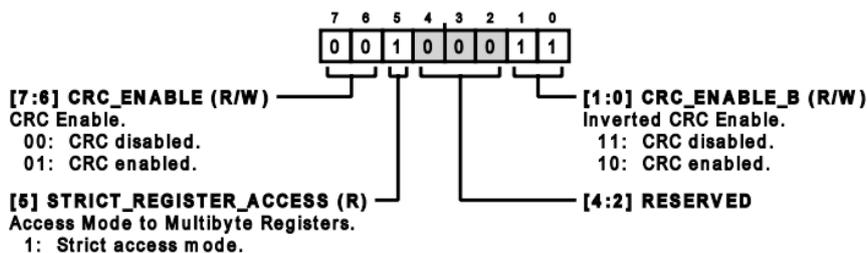


表 31. INTERFACE_CONFIG_Cのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:6]	CRC_ENABLE	00 01	CRCイネーブル。このフィールドに書き込むことで、インターフェースでのCRCエラー検出の使用をイネーブル/ディスエーブルできます（デバイスがレジスタ・モードの場合）。CRCステータスを変更するには、CRC_ENABLE_Bビットにも、同じSPI書き込みトランザクションのCRC_ENABLEビットの反転値を書き込む必要があります。 00 CRCをディスエーブル。 01 CRCをイネーブル。	0x0	R/W
5	STRICT_REGISTER_ACCESS		マルチバイト・レジスタへのアクセス・モード。このビットは読出し専用です。マルチバイト・レジスタへのレジスタ書き込みトランザクションには、更新するレジスタの各バイトのデータが含まれている必要があります。全マルチバイト・レジスタ（エンティティ）へのデータ書き込みに失敗すると、レジスタの内容がメモリで更新されず、	0x1	R

レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
		1	INTERFACE_STATUS_AレジスタのPARTIAL_REGISTER_ACCESSフラグがセットされます。厳密なアクセス・モード。 PARTIAL_REGISTER_ACCESSビットのフラグが立つのを防止するために、マルチバイト・レジスタでは全バイトに読出し/書込みを行う必要があります。		
[4:2]	RESERVED		予備。	0x0	R
[1:0]	CRC_ENABLE_B		CRCイネーブルの反転値。このフィールドには、CRC_ENABLEフィールドの補数値を書き込む必要があります。	0x3	R/W
		11	CRCをディスエーブル。		
		10	CRCをイネーブル。		

インターフェース・ステータスAレジスタ

アドレス : 0x11、リセット : 0x00、レジスタ名 : INTERFACE_STATUS_A

このレジスタは、SPI通信およびレジスタ・アドレス指定に関するいくつかのエラー状態をフラグで通知します。

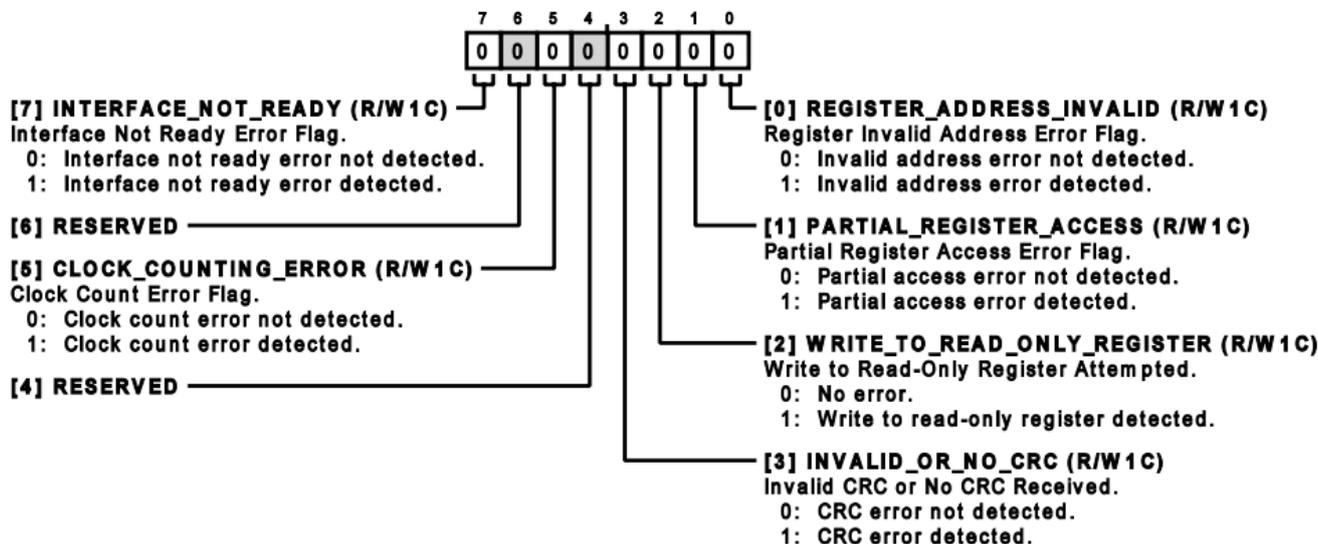


表 32. INTERFACE_STATUS_Aのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	INTERFACE_NOT_READY		インターフェース・ノット・レディ・エラー・フラグ。デジタル・ホスト（マスタ）から読出または書込みトランザクションがリクエストされた場合に、デバイスのインターフェースにトランザクションの準備ができていないことを示します。このフラグ・ビットは、パワーオン・リセット後デバイスがレディ状態になる前にSPIフレームが開始されるとセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。 0 インターフェース・ノット・レディ・エラーは未検出。 1 インターフェース・ノット・レディ・エラーを検出。	0x0	R/W1C
6	RESERVED		予備。	0x0	R
5	CLOCK_COUNTING_ERROR		クロック・カウント・エラー・フラグ。SPI読出または書込みトランザクションでシリアル・クロック・エッジの数が正しくないことが検出された場合（例えば、トランザクションがバイトの途中で終了した場合）に、そのことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/W1C

レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
		0	クロック・カウント・エラーは未検出。		
		1	クロック・カウント・エラーを検出。		
4	RESERVED		予備。	0x0	R
3	INVALID_OR_NO_CRC		CRCが無効なデータまたはCRCのないデータを受信。これは、マスタがCRCを送信できなかった場合、またはデバイスがCRCを計算してチェックしその値が正しくなかった場合にセットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	CRCエラーは未検出。		
		1	CRCエラーを検出。		
2	WRITE_TO_READ_ONLY_REGISTER		読出し専用レジスタへの書込みを試行。このビットは、デジタル・ホストが読出し専用フィールドだけで構成されているレジスタにSPI書込みを行おうとすると、セットされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	エラーなし。		
		1	読出し専用レジスタへの書込みを検出。		
1	PARTIAL_REGISTER_ACCESS		部分的レジスタ・アクセス・エラー・フラグ。このビットは、マルチバイト・レジスタにアドレス指定されたトランザクションのデータ・バイト数が不十分である場合にアサートされます。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	部分的アクセス・エラーは未検出。		
		1	部分的アクセス・エラーを検出。		
0	REGISTER_ADDRESS_INVALID		レジスタ無効アドレス・エラー・フラグ。無効なレジスタ・アドレスに対してSPI読出し／書込みが試行された場合に、そのことを示します。このエラー・フラグをクリアするには1を書込みます（このエラー・フラグがセットされた場合、このビットに1を書き込むことによるのみリセットできます）。	0x0	R/WIC
		0	無効アドレス・エラーは未検出。		
		1	無効アドレス・エラーを検出。		

レジスタ

インターフェース設定Dレジスタ

アドレス：0x14、リセット：0x04、レジスタ名：INTERFACE_CONFIG_D

このレジスタは、デジタル信号のSPI通信や電氣的パラメータに影響する補助設定ビットで構成されます。

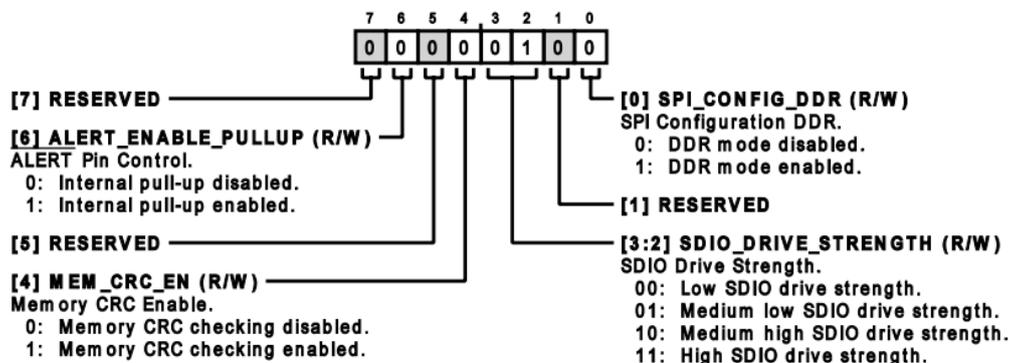


表 33. INTERFACE_CONFIG_Dのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	ALERT_ENABLE_PULLUP	0 1	ALERTピン制御。2.5kΩ内部プルアップ抵抗をイネーブルします。 内部プルアップをディスエーブル。 外部プルアップが必要です。 内部プルアップをイネーブル。	0x0	R/W
5	RESERVED		予備。	0x0	R
4	MEM_CRC_EN	0 1	メモリのCRCをイネーブル。このビットは、プライマリ・レジスタ・セットとROMメモリの連続的なチェックを制御します。 メモリのCRCチェックをディスエーブル。 メモリのCRCチェックをイネーブル。	0x0	R/W
[3:2]	SDIO_DRIVE_STRENGTH	00 01 10 11	SDIOの駆動強度。これら2つのビットによりSDIOの駆動強度を増加できます。 低SDIO駆動強度。 中低SDIO駆動強度。 中高SDIO駆動強度。 高SDIO駆動強度。	0x1	R/W
1	RESERVED		予備。	0x0	R
0	SPI_CONFIG_DDR	0 1	SPI設定DDR。このビットはデータ転送でのDDRの使用を制御します DDRモードを無効化。 DDRモードを有効化。	0x0	R/W

レジスタ

DACレジスタの詳細

リファレンス設定レジスタ

アドレス : 0x15、リセット : 0x00、レジスタ名 : REFERENCE_CONFIG

このレジスタは電圧リファレンスのソースと駆動を制御します。

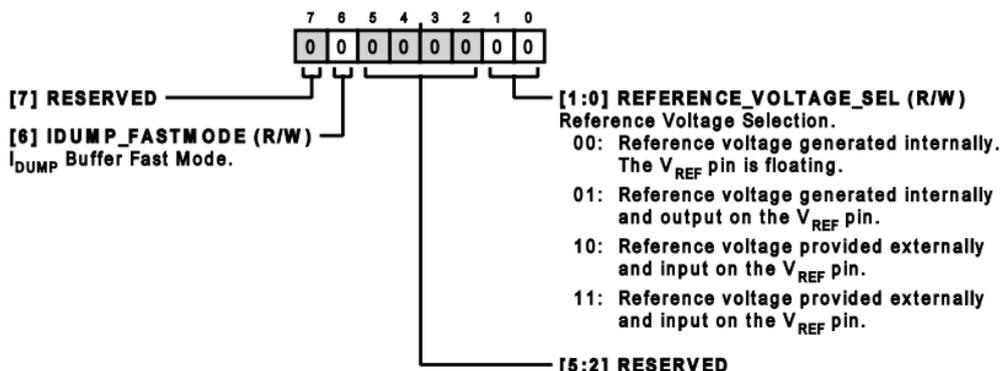


表 34. REFERENCE_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	IDUMP_FASTMODE		IDUMPバッファ高速モード。このビットをセットすると、アンプのIDUMPバッファのIDDを増加してゲイン帯域幅を広げることができます。	0x0	R/W
[5:2]	RESERVED		予備。	0x0	R
[1:0]	REFERENCE_VOLTAGE_SEL		リファレンス電圧の選択。これら2つのビットはリファレンス電圧回路の設定を選択するために用います。 00 リファレンス電圧は内部生成。VREFピンはフローティング状態です。 01 リファレンス電圧は内部生成され、VREFピンで出力。 10 リファレンス電圧は外部から供給され、VREFピンに入力。 11 リファレンス電圧は外部から供給され、VREFピンに入力。	0x0	R/W

エラー・アラーム・マスク・レジスタ

アドレス : 0x16、リセット : 0x00、レジスタ名 : ERR_ALARM_MASK

このレジスタは、ALERTピンのアサートの原因となるエラー条件を選択します。

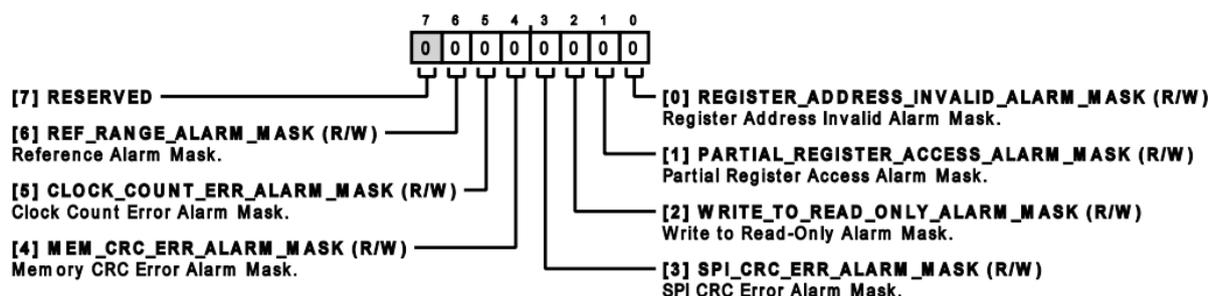


表 35. ERR_ALARM_MASKのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R

レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
6	REF_RANGE_ALARM_MASK		リファレンス・アラーム・マスク。これをセットすると、リファレンスが2V未満に低下したことによるアラームを無視できます。	0x0	R/W
5	CLOCK_COUNT_ERR_ALARM_MASK		クロック・カウント・エラー・アラーム・マスク。これをセットすると、ユーザ書き込み用のクロック周期数が不足していることによるアラームを無視できます。	0x0	R/W
4	MEM_CRC_ERR_ALARM_MASK		メモリCRCエラー・アラーム・マスク。これをセットすると、メモリCRCエラーによるアラームを無視できます。	0x0	R/W
3	SPI_CRC_ERR_ALARM_MASK		SPI CRCエラー・アラーム・マスク。これをセットすると、SPI CRCチェッカによるアラームを無視できます。	0x0	R/W
2	WRITE_TO_READ_ONLY_ALARM_MASK		読出し専用への書き込みアラームのマスク。これをセットすると、読出し専用レジスタへのユーザ書き込みによるアラームを無視できます。	0x0	R/W
1	PARTIAL_REGISTER_ACCESS_ALARM_MASK		部分的レジスタ・アクセス・アラーム・マスク。これをセットすると、レジスタへの書き込みを完了できなかったことによるアラームを無視できます。	0x0	R/W
0	REGISTER_ADDRESS_INVALID_ALARM_MASK		レジスタ・アドレス無効アラーム・マスク。これをセットすると、無効なレジスタ・アドレスへのユーザ書き込みによるアラームを無視できます。	0x0	R/W

エラー・ステータス・レジスタ

アドレス：0x17、リセット：0x01、レジスタ名：ERR_STATUS

このレジスタは、アナログ領域とデジタル領域のエラーの組み合わせを示します。すべてのビットはスティッキーであり、1を書き込むことによってクリアできます。

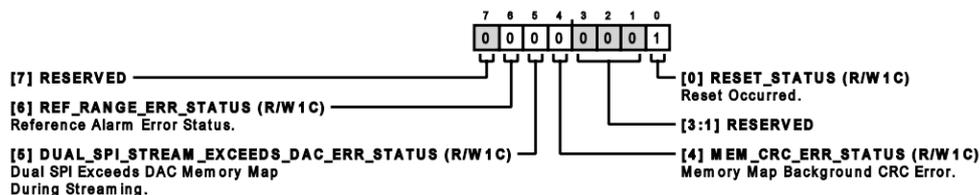


表 36. ERR_STATUSのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
7	RESERVED		予備。	0x0	R
6	REF_RANGE_ERR_STATUS		リファレンス・アラーム・エラー・ステータス。このビットは、リファレンスが2V未満に低下した場合にアラームを発生します。	0x0	R/W1C
5	DUAL_SPI_STREAM_EXCEEDS_DAC_ERR_STATUS		デュアルSPIがストリーミング時にDACメモリ・マップを超過。このビットは、デュアルSPIでストリーミング・アクセスがDACのメモリ・マップ範囲を超えた場合にアラームを発生します。	0x0	R/W1C
4	MEM_CRC_ERR_STATUS		メモリ・マップのバックグラウンドCRCエラー。このビットは、バックグラウンドCRCがメモリ・マップでビットが破損されていることを検出した場合にアラームを発生します。	0x0	R/W1C

レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
[3:1]	RESERVED		予備。	0x0	R
0	RESET_STATUS		リセット発生。このビットは、デバイスがリセット後の初期化を完了したばかりであることを示します。このビットは、 ALERT ピンをアサートし、マスク不可です。そのため、初期化後は直ちにクリアする必要があります。	0x1	R/WIC

パワーダウン設定レジスタ

アドレス：0x18、リセット：0x00、レジスタ名：POWERDOWN_CONFIG

このレジスタは、DACチャンネルの個々のパワーダウンを制御します。

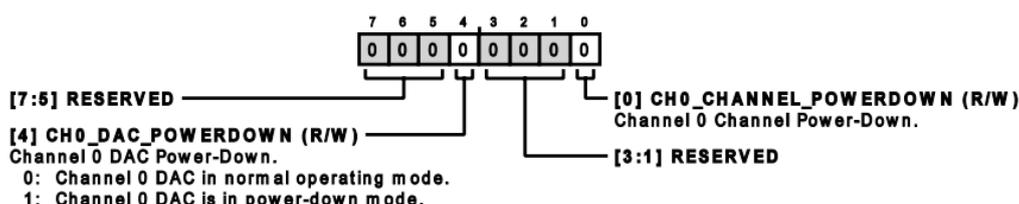


表 37. POWERDOWN_CONFIGのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:5]	RESERVED		予備。	0x0	R
4	CH0_DAC_POWERDOWN	0 1	チャンネル0のDACのパワーダウン。 0: チャンネル0のDACは通常動作モード。 1: チャンネル0のDACはパワーダウン・モード。	0x0	R/W
[3:1]	RESERVED		予備。	0x0	R
0	CH0_CHANNEL_POWERDOWN	0 1	チャンネル0の出力アンプのパワーダウン。 0: チャンネル0の出力アンプはパワーオン。 1: チャンネル0の出力アンプはパワーダウン・モード。	0x0	R/W

出力レンジ・レジスタ

アドレス：0x19、リセット：0x00、レジスタ名：CH0_OUTPUT_RANGE

このレジスタは、DACチャンネルの出力レンジを、表8に示す事前に定められたレンジの1つに設定します。目的とする結果を得るためには、このレジスタを設定する他に、対応するR_{FBx,0}の抵抗を接続することも必要です。

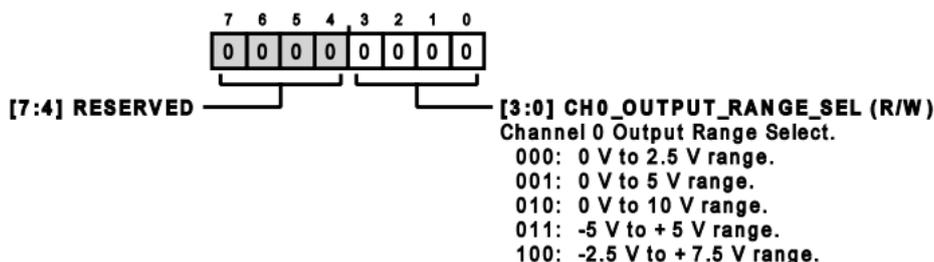


表 38. CH0_OUTPUT_RANGEのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:4]	RESERVED		予備。	0x0	R

レジスタ

ビット	ビット名	設定値	説明	リセット	読書き
[3:0]	CH0_OUTPUT_RANGE_SEL		チャンネル0の出力レンジの選択。必要な電圧出力レンジを選択できます。 000 0V~2.5Vのレンジ。R _{FB1,0} の接続が必要です。 001 0V~5Vのレンジ。R _{FB1,0} の接続が必要です。 010 0V~10Vのレンジ。R _{FB2,0} の接続が必要です。 011 -5V~+5Vのレンジ。R _{FB2,0} の接続が必要です。 100 -2.5V~+7.5Vのレンジ。R _{FB2,0} の接続が必要です。	0x0	R/W

ハードウェアLDACマスク・レジスタ、高速モード

アドレス：0x28、リセット：0x00、レジスタ名：HW_LDAC_16B

このレジスタは、データをDACレジスタにラッチするための外部LDAC信号のマスクを制御します。

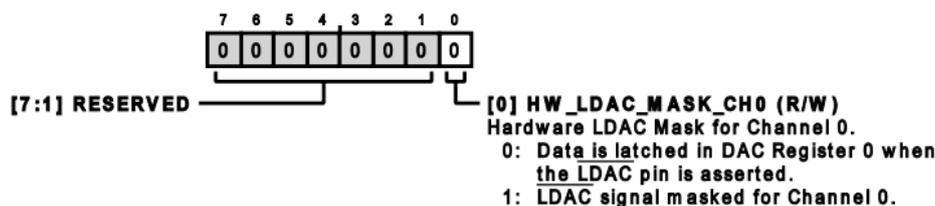


表 39. HW_LDAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	HW_LDAC_MASK_CH0		チャンネル0のハードウェアLDACマスク。このピンは、LDAC信号がアサートされた場合にデータをDACレジスタにラッチするかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。 1 チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W

チャンネル0のDACレジスタ、高速モード

アドレス：0x29、リセット：0x0000、レジスタ名：CH0_DAC_16B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

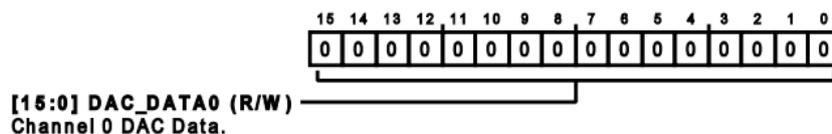


表 40. CH0_DAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W

DACページ・レジスタ、高速モード

アドレス：0x2D、リセット：0x0000、レジスタ名：DAC_PAGE_16B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

レジスタ

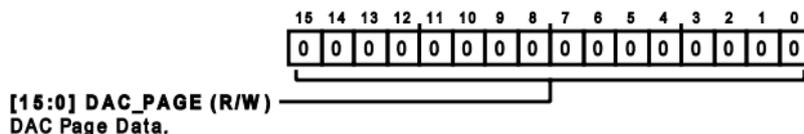


表 41. DAC_PAGE_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	DAC_PAGE		DACページ・データ。CH_SELECT_16BレジスタのSEL_CH0ビットがセットされている場合、このレジスタへの書込みの後、このレジスタにロードされたDACコードはDACレジスタにコピーされます。	0x0	R/W

ページ・レジスタ用チャンネル・セレクト、高速モード

アドレス：0x2F、リセット：0x00、レジスタ名：CH_SELECT_16B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

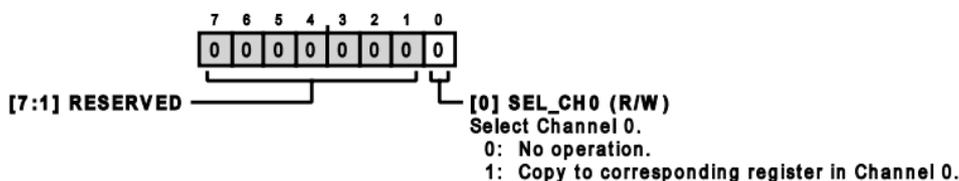


表 42. CH_SELECT_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	SEL_CH0		チャンネル0を選択。このビットをセットすると、INPUT_PAGE_16Bレジスタに書き込まれたデータは、CH0_INPUT_16Bレジスタにコピーされ、DAC_PAGE_16Bレジスタに書き込まれたデータは、CH0_DAC_16Bレジスタにコピーされます。 0 動作なし。 1 チャンネル0の対応するレジスタにコピー。	0x0	R/W

入力ページ・レジスタ、高速モード

アドレス：0x30、リセット：0x0000、レジスタ名：INPUT_PAGE_16B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

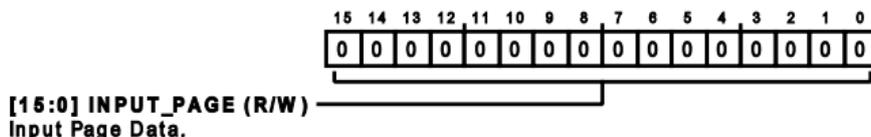


表 43. INPUT_PAGE_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	INPUT_PAGE		入力ページ・データ。CH_SELECT_16BレジスタのSEL_CH0ビットがセットされている場合、このレジスタへの書込みの後、このレジスタにロードされたDACコードは入力レジスタにコピーされます。	0x0	R/W

ソフトウェアLDACレジスタ、高速モード

アドレス：0x32、リセット：0x00、レジスタ名：SW_LDAC_16B

このレジスタを使用して、入力レジスタとDACレジスタ間のデータ転送をトリガすることができます。これは、LDACラインにロー・レベルの信号をパルス入力することとソフトウェア的に等価なものです。

レジスタ

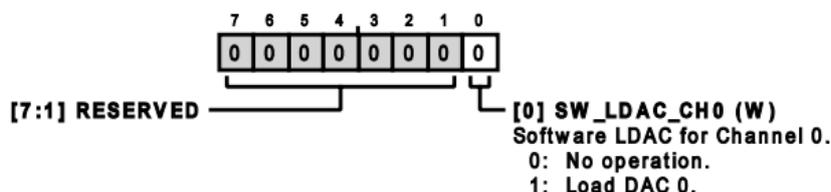


表 44. SW_LDAC_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_16Bレジスタの内容がCH0_DAC_16Bレジスタに転送されます。このビットは、書き込み後は自動的にリセットされます。 0 動作なし。 1 DAC0をロード。	0x0	W

チャンネル0の入力レジスタ、高速モード

アドレス：0x33、リセット：0x0000、レジスタ名：CH0_INPUT_16B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

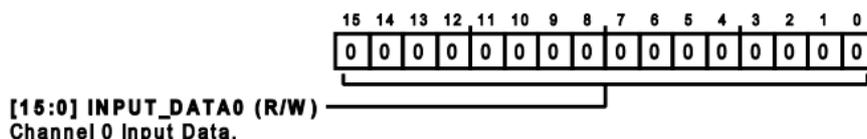


表 45. CH0_INPUT_16Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[15:0]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W

ハードウェアLDACマスク・レジスタ、高精度モード

アドレス：0x37、リセット：0x00、レジスタ名：HW_LDAC_24B

このレジスタは、データをDACレジスタにラッチするための外部LDAC信号のマスクを制御します。

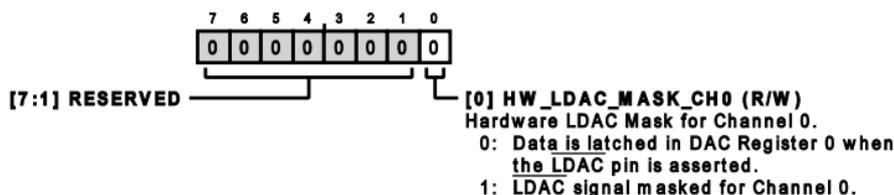


表 46. HW_LDAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	HW_LDAC_MASK_CH0	0 1	チャンネル0のハードウェアLDACマスク。このピンは、LDAC信号がアサートされた場合にデータをDACにラッチするかどうかを制御します。 0 LDACピンがアサートされた場合、データはDACレジスタ0にラッチされます。 1 チャンネル0のLDAC信号をマスク。LDACがアサートされてもDACレジスタは更新されません。	0x0	R/W

レジスタ

チャンネル0のDACレジスタ、高精度モード

アドレス：0x38、リセット：0x000000、レジスタ名：CH0_DAC_24B

このレジスタには、現在DACチャンネル0で使用されているデータが格納されています。

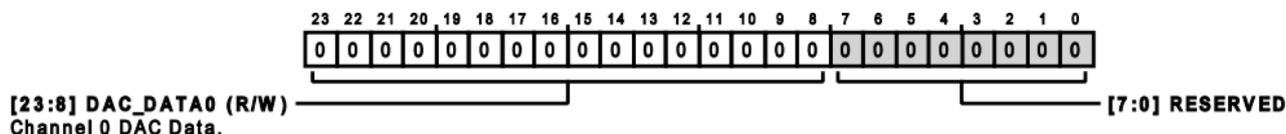


表 47. CH0_DAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	DAC_DATA0		チャンネル0のDACデータ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

DACページ・レジスタ、高精度モード

アドレス：0x3E、リセット：0x000000、レジスタ名：DAC_PAGE_24B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

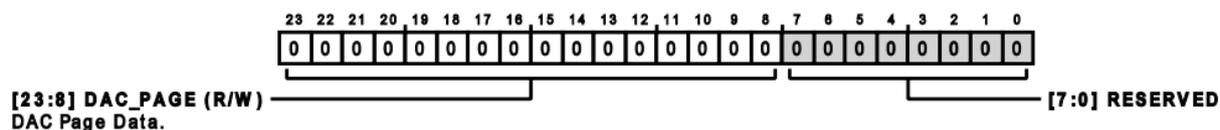


表 48. DAC_PAGE_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	DAC_PAGE		DACページ・データ。CH_SELECT_24BレジスタのSEL_CH0ビットがセットされている場合、このレジスタへの書込みの後、このレジスタにロードされたDACコードはDACレジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

ページ・レジスタ用チャンネル・セレクト、高精度モード

アドレス：0x41、リセット：0x00、レジスタ名：CH_SELECT_24B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

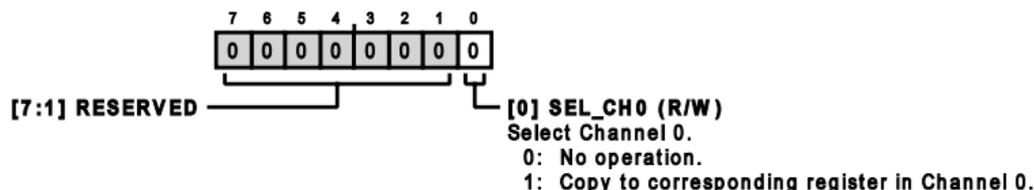


表 49. CH_SELECT_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	SEL_CH0		チャンネル0を選択。このビットをセットすると、INPUT_PAGE_24Bレジスタに書き込まれたデータは、CH0_INPUT_24Bレジスタにコピーされ、DAC_PAGE_24Bレジスタに書き込まれたデータは、CH0_DAC_24Bレジスタにコピーされます。 0 動作なし。 1 チャンネル0の対応するレジスタにコピー。	0x0	R/W

レジスタ

入力ページ・レジスタ、高精度モード

アドレス：0x42、リセット：0x000000、レジスタ名：INPUT_PAGE_24B

このレジスタは、このファミリのマルチチャンネル・チップとの互換性を確保するために備わっているものです。

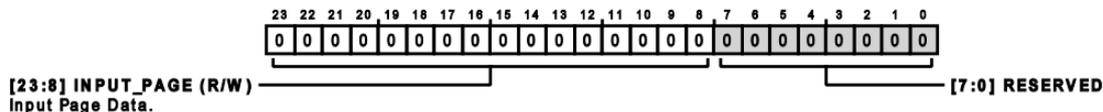


表 50. INPUT_PAGE_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	INPUT_PAGE		入力ページ・データ。CH_SELECT_24BレジスタのSEL_CH0ビットがセットされている場合、このレジスタへの書込みの後、このレジスタにロードされたDACコードは入力レジスタにコピーされます。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

ソフトウェアLDACレジスタ、高精度モード

アドレス：0x45、リセット：0x00、レジスタ名：SW_LDAC_24B

このレジスタを使用して、入力レジスタとDACレジスタの間のデータ転送をトリガすることができます。これは、LDACラインにロー・レベルの信号をパルス入力することとソフトウェア的に等価なものです。

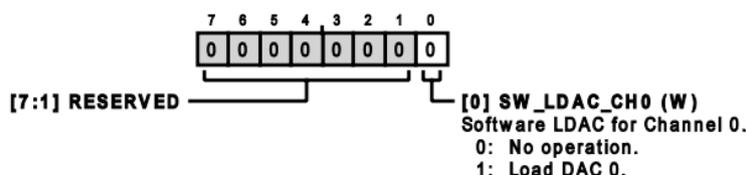


表 51. SW_LDAC_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[7:1]	RESERVED		予備。	0x0	R
0	SW_LDAC_CH0	0 1	チャンネル0のソフトウェアLDAC。このビットをセットすると、CH0_INPUT_24Bレジスタの内容がCH0_DAC_24Bレジスタに転送されます。このビットは、書込み後は自動的にリセットされます。 0 動作なし。 1 DAC0をロード。	0x0	W

チャンネル0の入力レジスタ、高精度モード

アドレス：0x46、リセット：0x000000、レジスタ名：CH0_INPUT_24B

このレジスタには、ハードウェアLDAC、ソフトウェアLDAC、自動転送のいずれかのトリガ・オプションを使用してDACレジスタに転送されるデータが格納されています。

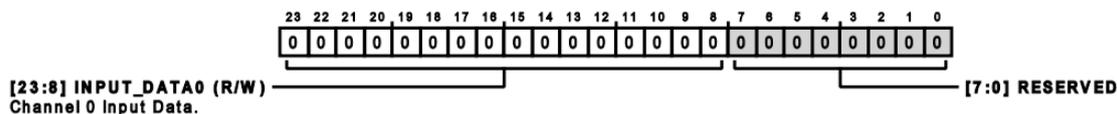


表 52. CH0_INPUT_24Bのビットの説明

ビット	ビット名	設定値	説明	リセット	読書き
[23:8]	INPUT_DATA0		チャンネル0の入力データ。	0x0	R/W
[7:0]	RESERVED		予備。	0x0	R

アプリケーション情報

電源の推奨事項

AD3541Rには、電源シーケンスに関して特定の制限はありません。チップは、AV_{DD}およびDV_{DD}用の電力モニタを内蔵しており、両方のレールが仕様範囲内にある場合に内部リセットをリリースします。それでもなお、電源レールをターン・オンする際は、GND、AV_{DD}、DV_{DD}、V_{Logic}の順序とすることを推奨します。これにより、パワーアップ時のグリッチを最小限に抑えられます。

AGNDとDGNDは互いに接続し、また、単一のしっかりとしたグラウンド・プレーンを用意することを推奨します。

AV_{DD}の消費電力は、更新レートとは無関係に一定です。このレールに関する主な注意点は、ACのPSRRが低下する高周波数領域でノイズ・レベルが確実に低くなるようにすることです。

DV_{DD}の消費電力は、更新レートおよびPSIバス・モードに応じて変化します。動的な電流は高速で変動して、レールのノイズが増加する原因となります。DV_{DD}がAV_{DD}から引き出される場合は、LDOの他にフィルタを追加し、DAC出力への影響を完全に排除することを推奨します。

V_{Logic}は非常に低消費電流ですが、SPIバス・モードとアクセス・タイプに依存します。デュアルSPIモードの場合は読み出し動作時に消費電力が最大となります。

電源レールとアナログ・ラインの推奨デカップリング方法を図89に示します。

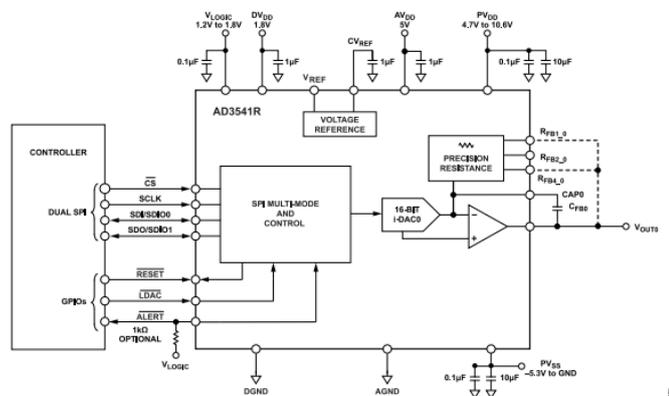


図 89. 推奨アプリケーション回路図

CV_{REF}のデカップリング・コンデンサは、リファレンスのノイズ密度で必要なコーナ周波数を実現するよう調整できます。

CFB0コンデンサを用いて内部TIAの帯域幅を調整し、オーバーシュートが最小となる最適なステップ応答を実現できます。アンプの帯域幅をその出力に接続する回路の帯域幅と一致するよう調整し、オーバーシュートを最小限に抑えることを推奨します。

帰還コンデンサおよび出力パス上のその他のコンデンサにはNPOの誘電体コンデンサを用い、電圧変動によるディレーティングを防止します。電源レールとCV_{REF}のデカップリング・コンデンサには、これらのラインの電圧が一定であるため、高誘電率の材料を使用できます。

取付けに関する機構上の留意点

図9に示すAD3541Rのピン配置は、EVAL-AD3542Rのレイアウトを容易にするよう、考慮されています。なお、EVAL-AD3542RはAD3541Rの評価に使用することができます。ほとんどの高速デジタル・ラインは、チップの1つの側に配置され、DACのアナログ機能部は他の2つの側で対称に配置されています。この配置により、図90に示すように、アナログ機能部から直にデジタル・ラインを配線し、アナログ部品を他の3つの側の周辺に配置するスペースを残すことができます。

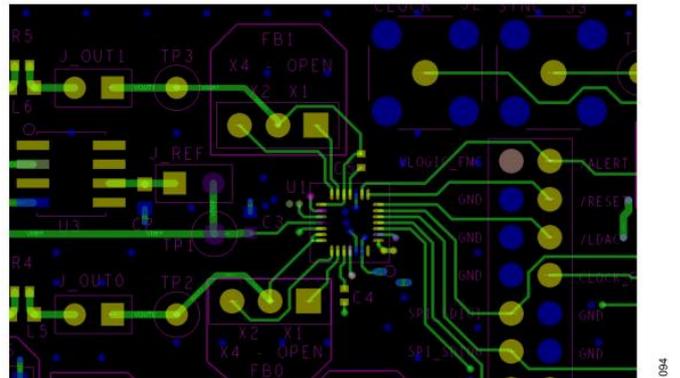
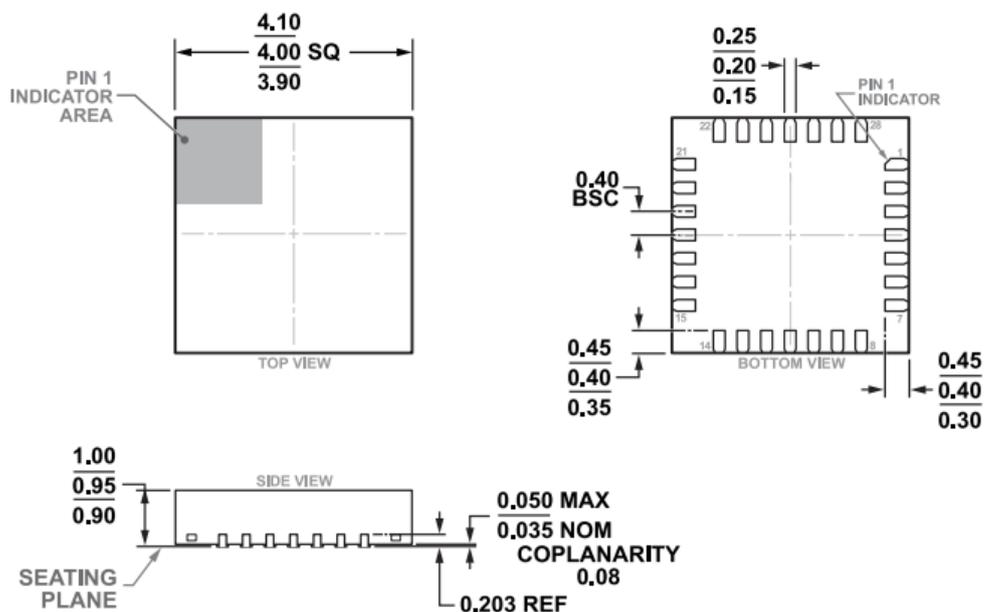


図 90. EVAL-AD3542Rの部品配置とレイアウト

以下のリストは、最高性能を得るための推奨事項です。

- ▶ CFB0コンデンサは内部で高インピーダンスのノードに接続されているため、AD3541Rの近くに短いパターンを用いて配置し、ノイズの混入を最小限に抑えます。
- ▶ RFBx_0は内部で高インピーダンスのノードに接続されているため、できるだけ短いパターンとし、ノイズの混入を最小限に抑えます。
- ▶ スwitchング・レギュレータと高速のdV/dt信号はDACの帰還ループから離します。これらのラインにμAレベルの電流が流れるだけでも、DACの出力ではmV単位の大きさとなります。
- ▶ アナログ信号とデジタル信号は重ならないようにし、やむを得ず交差させる場合は、45°または90°となるようにします。
- ▶ 特性インピーダンスが一定のパターンを用いてデジタル・ラインを配線し、DDRモードでのタイミング変動や信号間のクロストークの原因となる信号の完全性の諸問題を回避します。パターンには隣接する層に切れ目のないグラウンド・プレーンがあることが必要です。層をまたぐ場合、相手先の層は別のグラウンド・プレーンを基準とし、パターンの特性インピーダンスは同じであることが必要です。デジタル・ラインのビアの付近には両グラウンド・プレーンを接続するビアを配置します。相手先の層が電源プレーンを基準としている場合、電源プレーンはラインの経路に沿って切れ目がなく、電源とグラウンドの間のデカップリング・コンデンサはデジタル・ラインのビアの付近に配置する必要があります。

外形寸法



10-24-2019-A

図 91. 28ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
 4mm x 4mmボディ、0.95mmパッケージ高
 (CP-28-15)
 寸法 : mm

更新 : 2022年5月19日

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Packing Quantity	Package Option
AD3541RBCPZ16-RL7	-40°C to +105°C	28-Lead LFCSP (4mm x 4mm x 0.95 mm)	Reel, 1500	CP-28-15

1 Z = RoHS準拠製品。

評価用ボード

Model ^{1,2}	Description
EVAL-AD3542RFMCZ	AD3542R Evaluation Board
EVAL-SDP-CH1Z	SDP High Speed Controller Board

1 Z = RoHS準拠製品。

2 EVAL-AD3542RFMCZはAD3541Rの評価用に使用できます。

