

### 特長

ステレオ用の 24 ビットの A/D コンバータと D/A コンバータを内蔵

DAC SNR: 100 dB (A 周波数特性重みづけ)、THD: 48 kHz、3.3 V で-80 dB

ADC SNR: 90 dB (A 周波数特性重みづけ)、THD: 48 kHz、3.3 V で-80 dB

ステレオ・ライン入力を装備

#### 低消費電力

ステレオ 再生時 7 mW (1.8 V/1.5 V 電源)  
録音および再生時 14 mW (1.8 V/1.5 V 電源)

#### 低電源電圧

アナログ: 1.8 V~3.6 V  
デジタル: 1.5 V~3.6 V

ノーマル・モードでのオーバーサンプリング・レート: 256/384  
USB モードでのオーバーサンプリング・レート: 250/272

オーディオ・サンプリング・レート: 8 kHz、11.025 kHz、12 kHz、16 kHz、22.05 kHz、24 kHz、32 kHz、44.1 kHz、48 kHz、88.2 kHz、96 kHz

20 ピンの 4 mm x 4 mm LFCSP (QFN) パッケージを採用

### アプリケーション

携帯電話

MP3 プレーヤ

ポータブル・ゲーム機

ポータブル機器

教育用玩具

### 概要

SSM2604 は、ステレオ用プログラマブル・ゲイン・アンプ (PGA) ライン入力 1 本を持つポータブル・デジタル・オーディオ・アプリケーション向けの低消費電力高品質ステレオ・オーディオ・コーデックです。このデバイスは、2 チャンネルの 24 ビット A/D コンバータ (ADC) と 2 チャンネルの 24 ビット D/A コンバータ (DAC) を内蔵しています。

SSM2604 はマスターまたはスレーブとして動作することができます。このデバイスは、様々なマスター・クロック周波数をサポートしており、USB デバイス向けの 12 MHz または 24 MHz、標準 256  $f_s$  または 384  $f_s$  ベースのレート (たとえば 12.288 MHz や 24.576 MHz)、さらに多くの一般的なオーディオ・サンプリング・レート (たとえば 96 kHz、88.2 kHz、48 kHz、44.1 kHz、32 kHz、24 kHz、22.05 kHz、16 kHz、12 kHz、11.025 kHz、8 kHz) などをサポートしています。

SSM2604 の電源電圧は、アナログ回路は 1.8 V まで、デジタル回路は 1.5 V まで、それぞれ下げることができます。すべての電源の最大電源電圧は 3.6 V です。

SSM2604 は、-40°C~+85°C の工業用温度範囲仕様で、20 ピンの 4 mm x 4 mm リードフレーム・チップ・スケール・パッケージ (LFCSP) を採用しています。

### 機能ブロック図

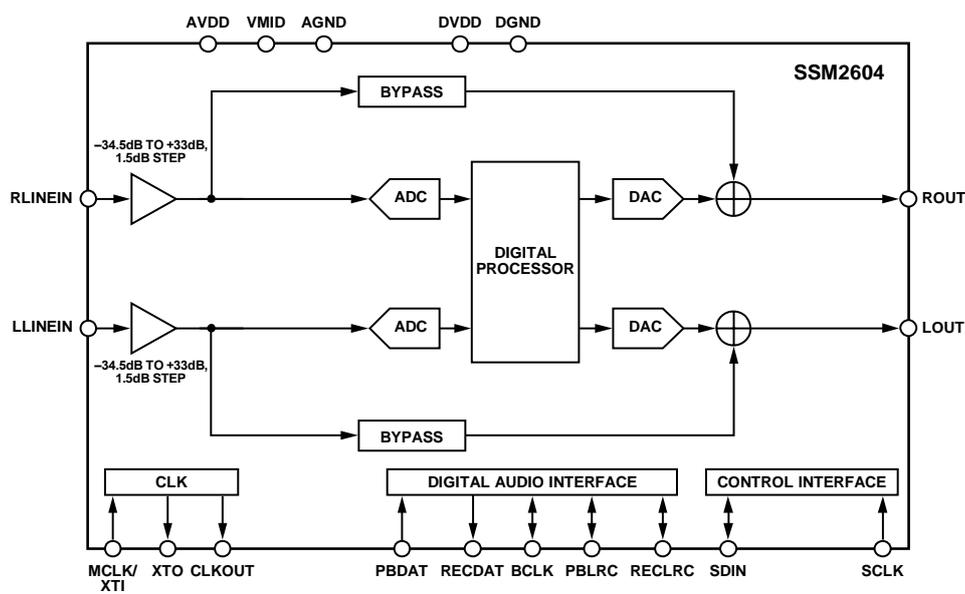


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

## 目次

特長 .....	1	ADC ハイパス・フィルタおよび DAC ディエンファシス・ フィルタ .....	11
アプリケーション .....	1	アナログ・インターフェース .....	12
概要 .....	1	デジタル・オーディオ・インターフェース .....	12
機能ブロック図 .....	1	ソフトウェア・コントロール・インターフェース .....	15
改訂履歴 .....	2	代表的なアプリケーション回路 .....	16
仕様 .....	3	レジスタ・マップ .....	17
デジタル・フィルタ特性 .....	4	レジスタ・マップの詳細 .....	18
タイミング特性 .....	5	左チャンネル ADC 入力ボリューム、アドレス 0x00 .....	18
絶対最大定格 .....	7	右チャンネル ADC 入力ボリューム、アドレス 0x01 .....	19
熱抵抗 .....	7	アナログ・オーディオ・パス、アドレス 0x04 .....	20
ESD の注意 .....	7	デジタル・オーディオ・パス、アドレス 0x05 .....	20
ピン配置およびピン機能説明 .....	8	パワー・マネジメント、アドレス 0x06 .....	21
代表的な性能特性 .....	9	デジタル・オーディオ I/F、アドレス 0x07 .....	22
コンバータ・フィルタの応答 .....	9	サンプリング・レート、アドレス 0x08 .....	22
デジタルのディエンファシス .....	10	アクティブ、アドレス 0x09 .....	25
動作原理 .....	11	ソフトウェア・リセット、アドレス 0x0F .....	25
デジタル・コア .....	11	外形寸法 .....	26
ADC および DAC .....	11	オーダー・ガイド .....	26

## 改訂履歴

7/08—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $AVDD = DVDD = 3.3\text{ V}$ 、 $1\text{ kHz}$  信号、 $f_s = 48\text{ kHz}$ 、PGA ゲイン =  $0\text{ dB}$ 、オーディオ・データは 24 ビット。

表 1.

Parameter	Min	Typ	Max	Unit	Conditions
<b>RECOMMENDED OPERATING CONDITIONS</b>					
Analog Voltage Supply (AVDD)	1.8	3.3	3.6	V	
Digital Power Supply	1.5	3.3	3.6	V	
Ground (AGND, DGND)		0		V	
<b>POWER CONSUMPTION</b>					
Power-Up					
Stereo Record (1.5 V and 1.8 V)		7		mW	
Stereo Record (3.3 V)		22		mW	
Stereo Playback (1.5 V and 1.8 V)		7		mW	
Stereo Playback (3.3 V)		22		mW	
Power-Down		56		$\mu\text{W}$	
<b>LINE INPUT</b>					
Input Signal Level (0 dB)		$1 \times AVDD/3.3$		V rms	
Input Impedance		200		$\text{k}\Omega$	PGA gain = 0 dB
		10		$\text{k}\Omega$	PGA gain = +33 dB
		480		$\text{k}\Omega$	PGA gain = -34.5 dB
Input Capacitance		10		pF	
Signal-to-Noise Ratio (A-Weighted)	70	90		dB	PGA gain = 0 dB, AVDD = 3.3 V
		84		dB	PGA gain = 0 dB, AVDD = 1.8 V
Total Harmonic Distortion (THD)		-80		dB	-1 dBFS input, AVDD = 3.3 V
		-75		dB	-1 dBFS input, AVDD = 1.8 V
Channel Separation		80		dB	
Programmable Gain	-34.5	0	+33.5	dB	
Gain Step		1.5		dB	
Mute Attenuation		-80		dB	
<b>LINE OUTPUT</b>					
DAC					-1 dBFS input DAC + line output
Full-Scale Output		$1 \times AVDD/3.3$		V rms	
Signal-to-Noise Ratio (A-Weighted)	85	100		dB	AVDD = 3.3 V
		94		dB	AVDD = 1.8 V
THD + N		-80	-75	dB	AVDD = 3.3 V
		-75		dB	AVDD = 1.8 V
Power Supply Rejection Ratio		50		dB	
Channel Separation		80		dB	
<b>LINE INPUT TO LINE OUTPUT</b>					
Full-Scale Output Voltage		$1 \times AVDD/3.3$		V rms	
Signal-to-Noise Ratio (A-Weighted)		92		dB	AVDD = 3.3 V
		86		dB	AVDD = 1.8 V
Total Harmonic Distortion		-80		dB	AVDD = 3.3 V
		-80		dB	AVDD = 1.8 V
Power Supply Rejection		50		dB	

## デジタル・フィルタ特性

表 2.

Parameter	Min	Typ	Max	Unit	Conditions
<b>ADC FILTER</b>					
Pass Band	0		0.445 $f_s$	Hz	$\pm 0.04$ dB
		0.5 $f_s$		Hz	-6 dB
Pass-Band Ripple			$\pm 0.04$	dB	
Stop Band	0.555 $f_s$			Hz	
Stop-Band Attenuation	-61			dB	$f > 0.567 f_s$
High-Pass Filter Corner Frequency		3.7		Hz	-3 dB
		10.4		Hz	-0.5 dB
		21.6		Hz	-0.1 dB
<b>DAC FILTER</b>					
Pass Band	0		0.445 $f_s$	Hz	$\pm 0.04$ dB
		0.5 $f_s$		Hz	-6 dB
Pass-Band Ripple			$\pm 0.04$	dB	
Stop Band	0.555 $f_s$			Hz	
Stop-Band Attenuation	-61			dB	$f > 0.565 f_s$
<b>CORE CLOCK TOLERANCE</b>					
Frequency Range	8.0		13.8	MHz	
Jitter Tolerance		50		ps	

## タイミング特性

表 3. I<sup>2</sup>C のタイミング

Parameter	Limit		Unit	Description
	t <sub>MIN</sub>	t <sub>MAX</sub>		
t <sub>SCS</sub>	600		ns	Start condition setup time
t <sub>SCH</sub>	600		ns	Start condition hold time
t <sub>PH</sub>	600		ns	SCLK pulse width high
t <sub>PL</sub>	1.3		μs	SCLK pulse width low
f <sub>SCLK</sub>	0	526	kHz	SCLK frequency
t <sub>DS</sub>	100		ns	Data setup time
t <sub>DH</sub>		900	ns	Data hold time
t <sub>RT</sub>		300	ns	SDIN and SCLK rise time
t <sub>FT</sub>		300	ns	SDIN and SCLK fall time
t <sub>HCS</sub>	600		ns	Stop condition setup time

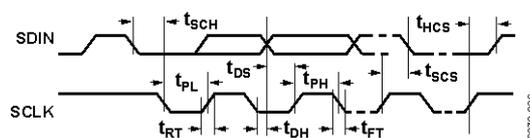


図 2. I<sup>2</sup>C のタイミング

表 4. デジタル・オーディオ・インターフェースのスレーブ・モード・タイミング

Parameter	Limit		Unit	Description
	t <sub>MIN</sub>	t <sub>MAX</sub>		
t <sub>DS</sub>	10		ns	PBDAT setup time from BCLK rising edge
t <sub>DH</sub>	10		ns	PBDAT hold time from BCLK rising edge
t <sub>LRSU</sub>	10		ns	RECLRC/PBLRC setup time to BCLK rising edge
t <sub>LRH</sub>	10		ns	RECLRC/PBLRC hold time to BCLK rising edge
t <sub>DD</sub>		30	ns	RECDAT propagation delay from BCLK falling edge (external load of 70 pF)
t <sub>BCH</sub>	25		ns	BCLK pulse width high
t <sub>BCL</sub>	25		ns	BCLK pulse width low
t <sub>BCY</sub>	50		ns	BCLK cycle time

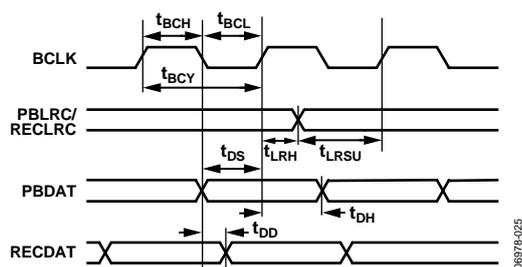


図 3. デジタル・オーディオ・インターフェースのスレーブ・モード・タイミング

表 5. デジタル・オーディオ・インターフェースのマスター・モード・タイミング

Parameter	Limit		Unit	Description
	$t_{\text{MIN}}$	$t_{\text{MAX}}$		
$t_{\text{DST}}$	30		ns	PBDAT setup time to BCLK rising edge
$t_{\text{DHT}}$	10		ns	PBDAT hold time to BCLK rising edge
$t_{\text{DL}}$		10	ns	RECLRC/PBLRC propagation delay from BCLK falling edge
$t_{\text{DDA}}$		10	ns	RECDAT propagation delay from BCLK falling edge
$t_{\text{BCLKR}}$	10		ns	BCLK rising time (10 pF load)
$t_{\text{BCLKF}}$	10		ns	BCLK falling time (10 pF load)
$t_{\text{BCLKDS}}$	45:55:00	55:45:00		BCLK duty cycle (normal and USB mode)

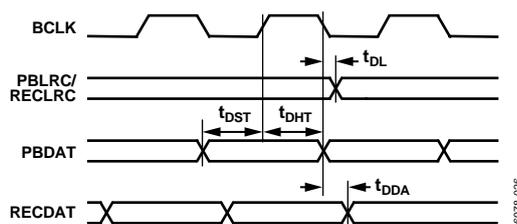


図 4. デジタル・オーディオ・インターフェースのマスター・モード・タイミング

表 6. システム・クロックのタイミング

Parameter	Limit		Unit	Description
	$t_{\text{MIN}}$	$t_{\text{MAX}}$		
$t_{\text{XTIY}}$	72		ns	MCLK/XTI system clock cycle time
$t_{\text{MCLKDS}}$	40:60	60:40:00		MCLK/XTI duty cycle
$t_{\text{XTIH}}$	32		ns	MCLK/XTI system clock pulse width high
$t_{\text{XTIL}}$	32		ns	MCLK/XTI system clock pulse width low
$t_{\text{COP}}$	20		ns	CLKOUT propagation delay from MCLK/XTI falling edge
$t_{\text{COPDIV2}}$	20		ns	CLKODIV2 propagation delay from MCLK/XTI falling edge

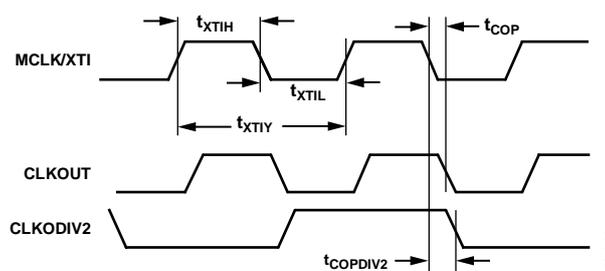


図 5. システム (MCLK) クロックのタイミング

## 絶対最大定格

特に指定のない限り 25°C。

表 7.

Parameter	Rating
Supply Voltage	3.6 V
Input Voltage	$V_{DD}$
Common-Mode Input Voltage	$V_{DD}$
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 8.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
20-Lead, 4 mm × 4 mm LFCSP	28	32	°C/W

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

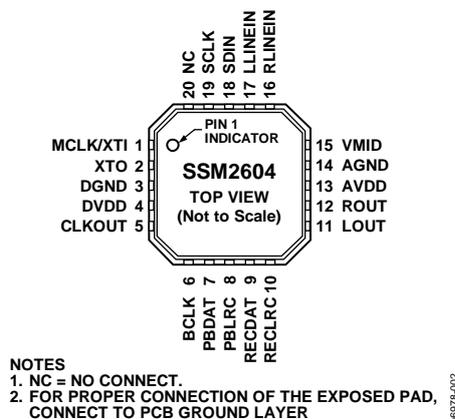


図 6. ピン配置

表 9. ピン機能の説明

ピン番号	記号	タイプ	説明
1	MCLK/XTI	デジタル入力	マスター・クロック入力/水晶入力。
2	XTO	デジタル出力	水晶出力。
3	DGND	デジタル・グラウンド	デジタル・グラウンド。
4	DVDD	デジタル電源	デジタル・コアおよび I/O バッファの電源。
5	CLKOUT	デジタル出力	バッファ付きクロック出力。
6	BCLK	デジタル入力/出力	デジタル・オーディオ・ビット・クロック。
7	PBDAT	デジタル入力	DAC デジタル・オーディオ・データ入力、再生機能。
8	PBLRC	デジタル入力/出力	DAC サンプリング・レート・クロック、再生機能 (右および左チャンネルから)。
9	RECDAT	デジタル出力	ADC デジタル・オーディオ・データ出力、録音機能。
10	RECLRC	デジタル入力/出力	ADC サンプリング・レート・クロック、録音機能 (右および左チャンネルから)。
11	LOUT	アナログ出力	左チャンネルのライン出力。
12	ROUT	アナログ出力	右チャンネルのライン出力。
13	AVDD	アナログ電源	アナログ電源。
14	AGND	アナログ・グラウンド。	アナログ・グラウンド。
15	VMID	アナログ出力	電源電圧中央値デカップリング入力。
16	RLINEIN	アナログ入力	右チャンネルのライン入力。
17	LLINEIN	アナログ入力	左チャンネルのライン入力。
18	SDIN	デジタル入力/出力	2 線式インターフェースのデータ入力/出力。
19	SCLK	デジタル入力	2 線式インターフェースのクロック入力。
20	NC	NC	未接続
	GND パッド	サーマル・パッド/露出パッド	センター・サーマル・パッド。PCB のグラウンド層へ接続。

## 代表的な性能特性

### コンバータ・フィルタの応答

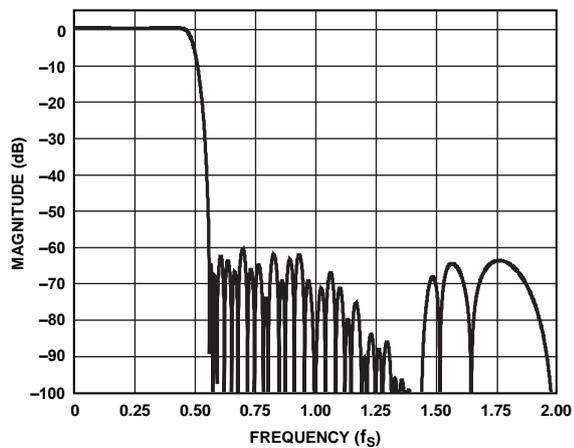


図 7.ADC デジタル・フィルタの周波数応答

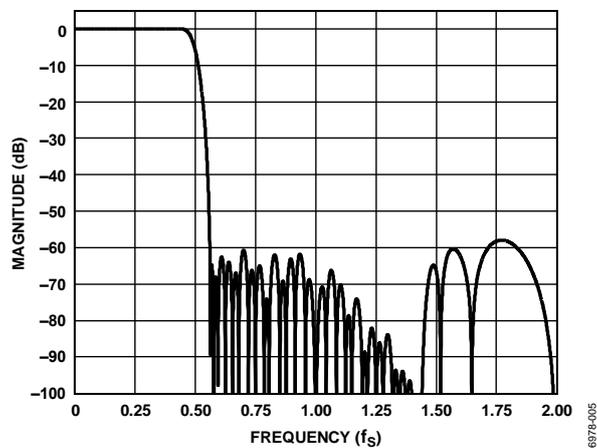


図 9.DAC デジタル・フィルタの周波数応答

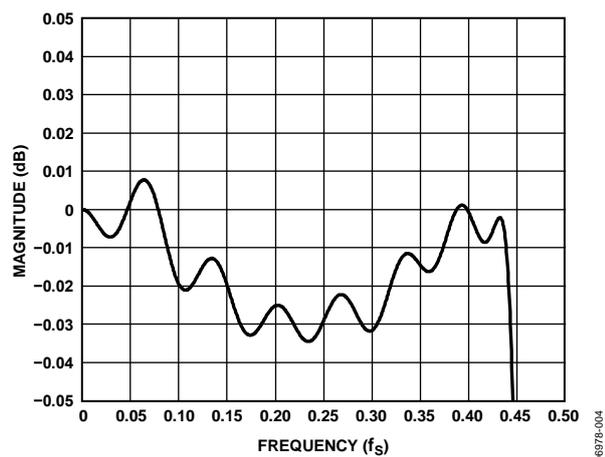


図 8.ADC デジタル・フィルタ・リップル

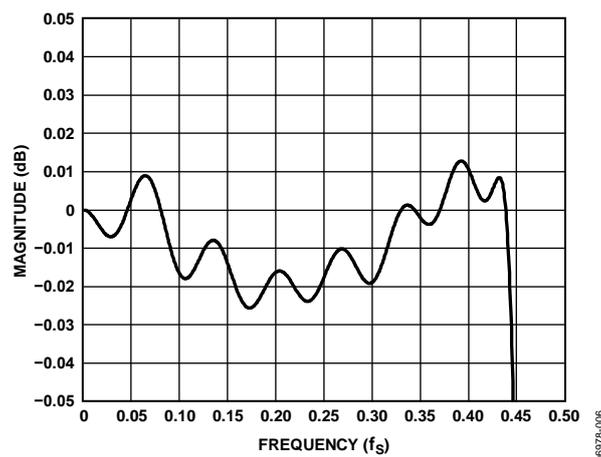


図 10.DAC デジタル・フィルタのリップル

## デジタル・ディエンファシス

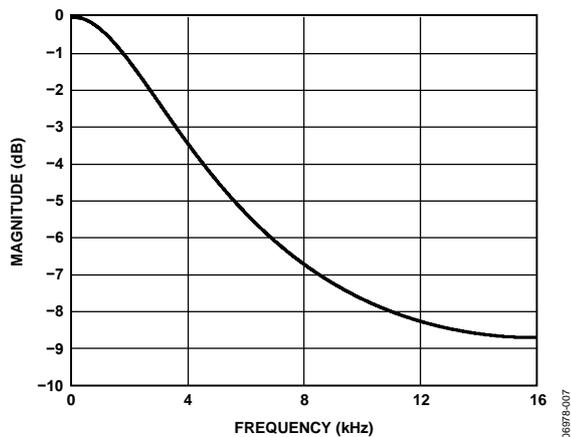


図 11.ディエンファシス周波数応答  
オーディオ・サンプリング・レート = 32 kHz

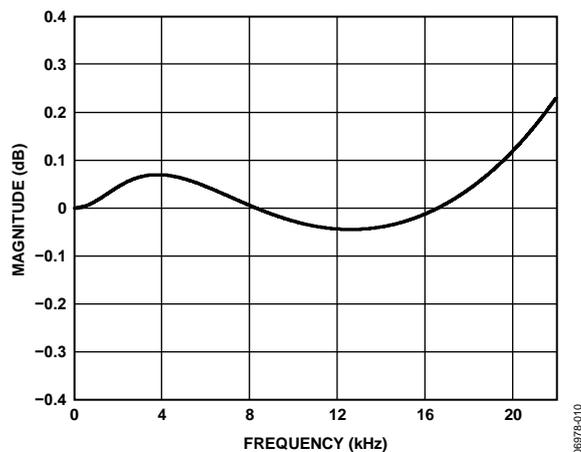


図 14.ディエンファシス誤差  
オーディオ・サンプリング・レート = 44.1 kHz

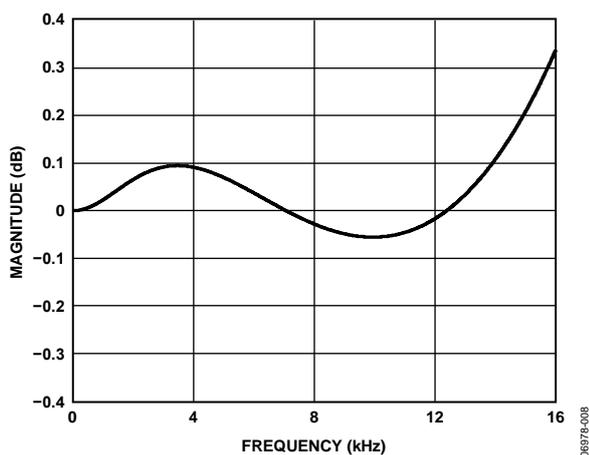


図 12.ディエンファシス誤差  
オーディオ・サンプリング・レート = 32 kHz

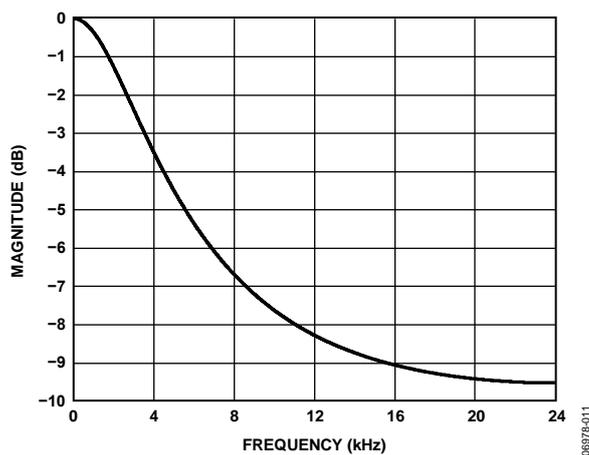


図 15.ディエンファシス周波数応答  
オーディオ・サンプリング・レート = 48 kHz

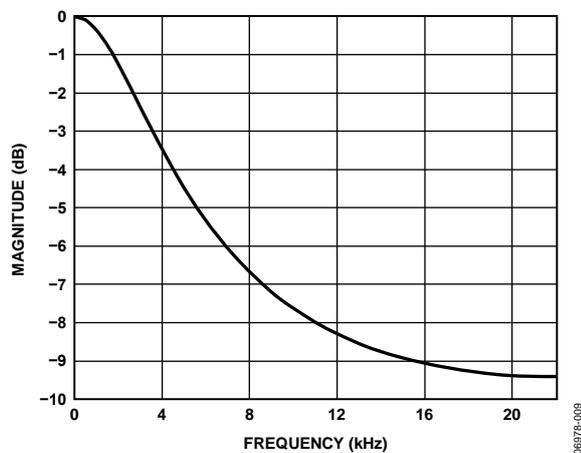


図 13.ディエンファシス周波数応答  
オーディオ・サンプリング・レート = 44.1 kHz

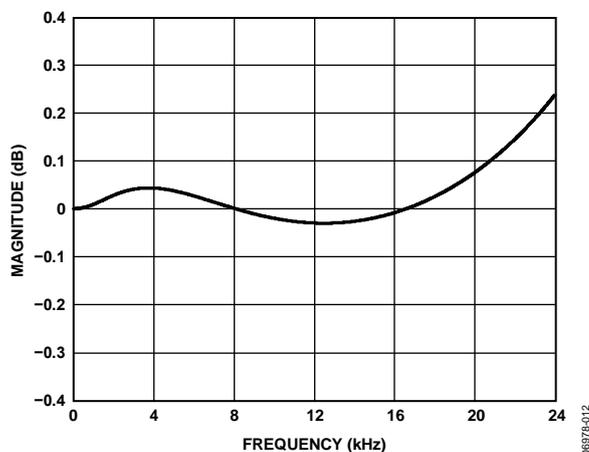


図 16.ディエンファシス誤差  
オーディオ・サンプリング・レート = 48 kHz

## 動作原理

### デジタル・コア

SSM2604 デジタル・コア内部には、マスター・クロック (MCLK) と呼ばれる 1 つのクロック・ソースがあり、すべての内部オーディオ・データ処理と同期に対するリファレンス・クロックを発生しています。外部クロック・ソースを使って MCLK ピンを駆動する場合には、50 ps 以下のジッタを持つクロック・ソースを選択するように注意が必要です。MCLK 信号の発生に注意しないと、デジタル・オーディオ品質に悪影響を受けることがあります。

SSM2604 をイネーブルしてシステム内で中心的なリファレンス・クロックを発生するときは、MCLK/XTI 入力ピンと XTO 出力ピンの間に水晶発振器を接続します。

外部デバイスで中心的なリファレンス・クロックを発生させるときは、外部クロック信号を直接 MCLK/XTI 入力ピンに接続します。この構成では、OSC ビット (レジスタ R6、ビット D5) を使って、SSM2604 の発振器回路をパワーダウンさせて、消費電力を削減することができます。

非常に高い周波数のマスター・クロックを使うアプリケーションでは、SSM2604 内部コアのリファレンス・クロックを MCLK または  $MCLK \div 2$  に設定することができます。この機能をイネーブルするときは、CLKDIV2 ビット (レジスタ R8、ビット D6) の設定を調整します。この機能の相補的な機能として、CLKODIV2 ビット (レジスタ R8、ビット D7) をイネーブルして、CLKOUT ピンからのコア・クロック信号またはコア・クロック  $\div 2$  信号で外部クロック・ソースを駆動することもできます。

### ADC および DAC

SSM2604 は 1 対のオーバーサンプリング  $\Sigma$ - $\Delta$  ADC を内蔵しています。

ADC の最大フル・スケール入力レベルは、 $AVDD = 3.3 \text{ V}$  のとき  $1.0 \text{ V rms}$  です。ADC への入力信号がこのレベルを超えると、データ過負荷が発生して可聴歪みの原因になります。

ADC には、ステレオ・ライン入力からのアナログ・オーディオが入力されます。ADC 出力からのデジタル・データは、ADC フィルタを使って処理されます。

ADC チャンネルに対して、SSM2604 は 1 対のオーバーサンプリング  $\Sigma$ - $\Delta$  DAC を内蔵しており、内部 DAC フィルタからのデジタル・オーディオ・データをアナログ・オーディオ信号に変換します。コントロール・レジスタの DACMU ビット (レジスタ R5、ビット D3) をセットして、DAC 出力を停止させることもできます。

### ADC ハイパス・フィルタおよび DAC ディエンファシス・フィルタ

ADC と DAC では、24 ビットの信号処理を行う個別のデジタル・フィルタを採用しています。これらのデジタル・フィルタは録音モードと再生モードで使用され、使用する個々のサンプリング・レートに対して最適化されます。

録音モード動作では、ADC からの未処理のデータは ADC フィルタに入力され、適切なサンプリング周波数に変換された後に、デジタル・オーディオ・インターフェースへ出力されます。

再生モード動作では、DAC フィルタを使ってデジタル・オーディオ・インターフェースからのデータをユーザー設定のサンプリング・レートを持つオーバーサンプルしたデータへ変換します。このオーバーサンプルされたデータは、DAC で処理された後に、DACSEL (レジスタ R4、ビット D4) をイネーブルすることにより、アナログ出力ミキサーへ送られます。

このデバイスでは、入力ソース信号の DC オフセットを自動的に検出して除去するように設定することができます。この機能を使うときは、ADCHPF ビット (レジスタ R5、ビット D0) を使って、ADC デジタル・フィルタに内蔵されているデジタル・ハイパス・フィルタ (特性については表 2 参照) をイネーブルします。

さらに、DEEMPH ビット (レジスタ R5、ビット D1 とビット D2) を使って、デジタル・ディエンファシスを行うこともできます。

## アナログ・インターフェース

### シグナル・チェーン

SSM2604 には、内蔵 ADC へのステレオ・シングルエンド・ライン入力があります。さらに、BYPASS (レジスタ R4、ビット D3) ビットを使うと、ライン入力をミックスして直接出力ピンに接続することもできます。また、内蔵 DAC からのライン出力もあります。

### ステレオ・ライン入力

SSM2604 には、AVDD と AGND との間に接続した電圧分周器を使って内部で VMID にバイアスしたシングルエンド・ステレオ・ライン入力 (RLINEIN と LLINEIN) があります。このライン入力信号は内部 ADC に接続することができ、必要に応じて、BYPASS ビット (レジスタ R4、ビット D3) を使って、バイパス・パスして直接出力に接続することができます。

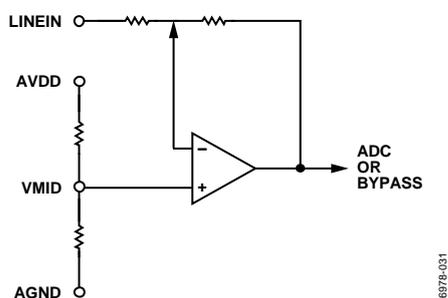


図 17.ADC へのライン入力

ライン入力ボリュームは、LINVOL (レジスタ R0、ビット D0～ビット D5) ビットと RINVOL (レジスタ R1、ビット D0～ビット D5) ビットを設定することにより、 $-34.5\text{ dB} \sim +33\text{ dB}$  の範囲で  $+1.5\text{ dB}$  ステップで調整することができます。デフォルトでは、右ライン入力と左ライン入力のボリューム制御は独立に調整可能になっていますが、LRINBOTH ビットまたは RLINBOTH ビットを選択すると、両セットのボリューム・コントロールに同じ値を同時にロードすることができます。ADC へのライン入力信号をミュートするときは、LINMUTE (レジスタ R0、ビット D7) ビットと RINMUTE (レジスタ R1、ビット D7) ビットをセットすることができます。

両ライン入力からオーディオ・データを入力するとき、AVDD = 3.3 V の場合、ADC の最大フルスケール入力は 1.0 V rms であることに注意してください。ADC の過負荷を避けるためフルスケールより大きい入力電圧を入力しないで下さい。過負荷すると、サウンドの歪みとオーディオ品質の低下が発生します。ライン入力で最適サウンド品質を得るためには、ADC にフルスケールに等しい信号を入力するように、ゲインを注意深く設定する必要があります。これにより、信号対ノイズ比が最大化されて、最適な総合オーディオ品質を得ることができます。

### 出力へのバイパス・パス

さらに、BYPASS (レジスタ R4、ビット D3) ビットを使うソフトウェアからの制御により、ライン入力をミックスして直接出力ピンに接続することもできます。アナログ入力信号が直接出力端子へ接続され、デジタル変換は行われません。出力ミキサーでのバイパス信号は、各ライン入力に対応する PGA 出力と同じレベルになります。

### ライン出力

DAC 出力とライン入力 (バイパス・パス) は、出力ミキサーで加算されます。

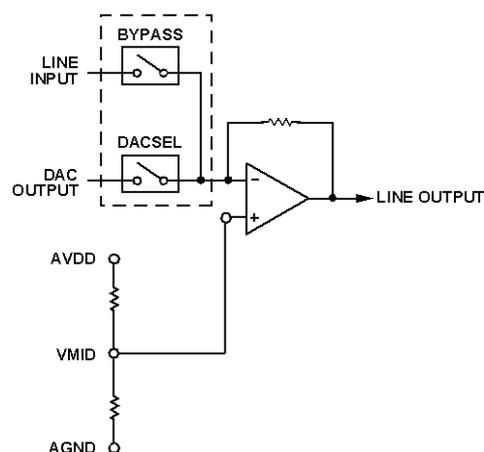


図 18.出力シグナル・チェーン

AVDD と HPVDD が 3.3 V のとき、ライン出力の最大出力レベルは 1.0 V rms です。ポップ雑音とクリック雑音を防止するために、デバイスがスタンバイ・モードのとき、ライン出力が VMID DC 電圧レベルに維持されます。

SSM2604 のステレオ・ライン出力 (LOUT ピンと ROUT ピン) は、 $10\text{ k}\Omega / 50\text{ pF}$  の負荷インピーダンスを駆動することができます。ライン出力信号レベルは、0 dB の固定ゲインを持つ出力ミキサーでは調整できません。

## デジタル・オーディオ・インターフェース

デジタル・オーディオ入力では、右詰めモード、左詰めモード、I<sup>2</sup>S モード、デジタル信号処理 (DSP) モードの 4 つのデジタル・オーディオ通信プロトコルをサポートすることができます。

モードを選択するときは、デジタル・オーディオ・インターフェース・レジスタ (レジスタ R7、ビット D1 とビット D0) の FORMAT ビットに書き込みを行います。すべてのモードは MSB ファーストで、16～32 ビットのデータで動作します。

### 録音モード

デジタル・オーディオ・インターフェースは、RECDAT 出力ピンを使って、録音モード動作のデジタル・オーディオ・データを出力することができます。デジタル・オーディオ・インターフェースは、処理した内部 ADC デジタル・フィルタ・データを RECDAT 出力に出力します。RECDAT でのデジタル・オーディオ・データ・ストリームは、時間領域でマルチプレクスされた左と右のチャンネル・オーディオ・データから構成されています。

RECLRC は、RECDAT ラインの左と右のチャンネル・データを分離するデジタル・オーディオ・フレーム・クロック信号です。

BCLK 信号はデジタル・オーディオ・クロックとして機能します。SSM2604 がマスター・モードまたはスレープモードのいずれにあるかに応じて、BCLK 信号は入力信号または出力信号になります。録音動作時、RECDAT と RECLRC は、データの破壊を防止するため BCLK 信号に同期している必要があります。

### 再生モード

デジタル・オーディオ・インターフェースは、PBDAT 入力ピンを使って、再生モード動作のデジタル・オーディオ・データを入力することができます。PBDAT でのデジタル・オーディオ・データ・ストリームは、時間領域でマルチプレクスさ

れた左と右のチャンネル・オーディオ・データから構成されています。PBLRC は、PBDAT ラインの左と右のチャンネル・データを分離するデジタル・オーディオ・フレーム・クロック信号です。

BCLK 信号はデジタル・オーディオ・クロックとして機能します。SSM2604 がマスター・モードまたはスレープ モードのいずれにあるかに応じて、BCLK 信号は入力信号または出力信号になります。再生動作時、PBDAT と PBLRC は、データの破壊を防止するため BCLK 信号に同期している必要があります。

### デジタル・オーディオ・データのサンプリング・レート

SSM2604 は、一般的に使用されている広範囲な DAC と ADC のサンプリング・レートをサポートするため 2 つの動作モード (ノーマルと USB) 持ち、これらのモードは USB ビット (レジスタ R8、ビット D0) で選択することができます。

ノーマル・モードの SSM2604 は、8 kHz~96 kHz のデジタル・オーディオ・サンプリング・レートをサポートします。ノーマル・モードでは、256 fs と 384 fs ベースのクロックをサポートします。サンプリング・レートを設定するときは、該当するサンプリング・レート・レジスタの SR コントロール・ビット (レジスタ R8、ビット D2~ビット D5) を設定し、この設定を MCLK ピンを駆動するコア・クロック周波数に一致させる必要があります。ガイドラインについては、表 25 と表 26 を参照してください。

USB モードの SSM2604 は、8 kHz~96 kHz のデジタル・オーディオ・サンプリング・レートをサポートします。一般的

なユニバーサル・シリアル・バス (USB) の 12 MHz クロック・レートをサポートするとき、または CLKDIV2 コントロール・レジスタ・ビットがアクティブのときに 24 MHz をサポートするとき、SSM2604 の USB モードをイネーブルします。SR コントロール・ビット (レジスタ R8、ビット D2~ビット D5) に該当するサンプリング・レートを設定する必要があります。ガイドラインについては、表 25 と表 26 を参照してください。

サンプリング・レートは、MCLK 信号から固定分周比で発生されていることに注意してください。すべてのオーディオ処理はコア MCLK 信号を基準とするため、この信号が破壊されると、SSM2604 の出力オーディオ品質が破壊されてしまいます。BCLK/RECLRC/RECDAT 信号または BCLK/PBLRC/PBDAT 信号は、デジタル・オーディオ・インターフェース回路内で MCLK に同期している必要があります。データの同期時にデータが失われないようにするため、MCLK は BCLK 周波数以上である必要があります。

BCLK 周波数は次の値より大きい必要があります。

$$\text{サンプリング・レート} \times \text{ワード長} \times 2$$

BCLK 周波数をこの値より大きくすると、デジタル・オーディオ・インターフェース回路ですべての有効データ・ビットが確実にキャプチャされます。たとえば、32 ビット・ワード長では 32 kHz のデジタル・オーディオ・サンプリング・レートが必要で (BCLK  $\geq$  2.048 MHz)。

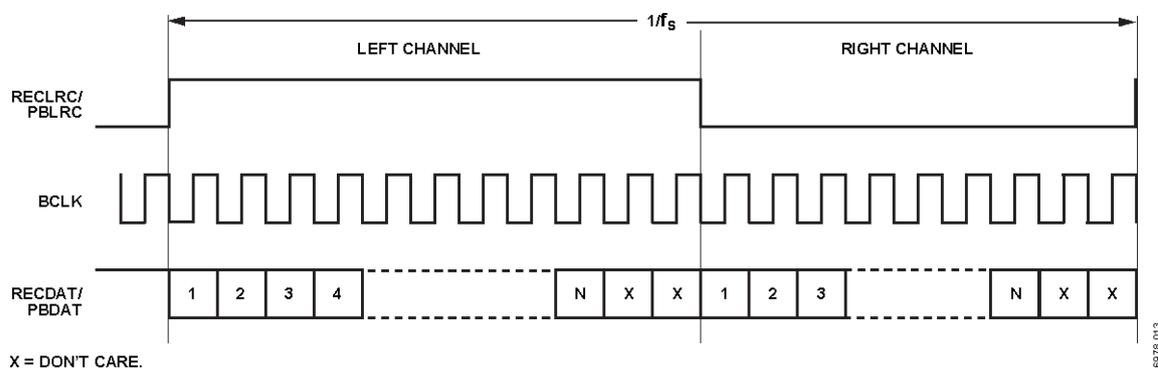


図 19.左詰めオーディオ入力モード

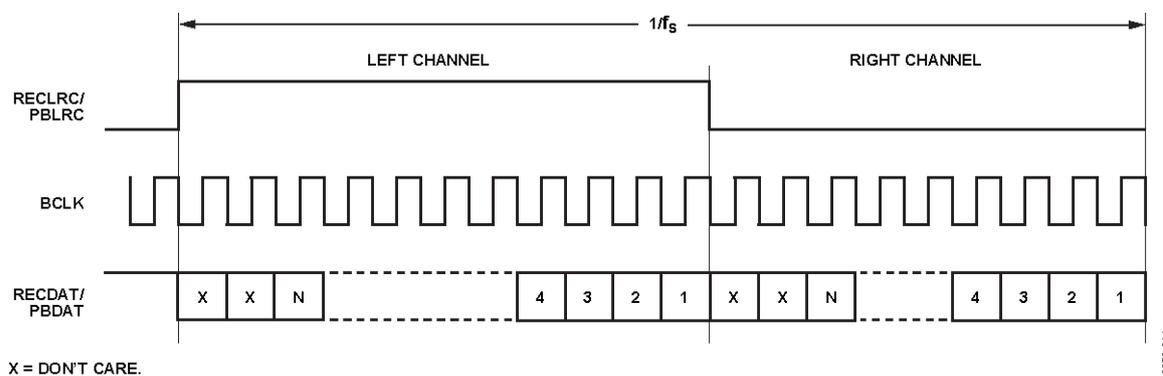


図 20.右詰めオーディオ入力モード

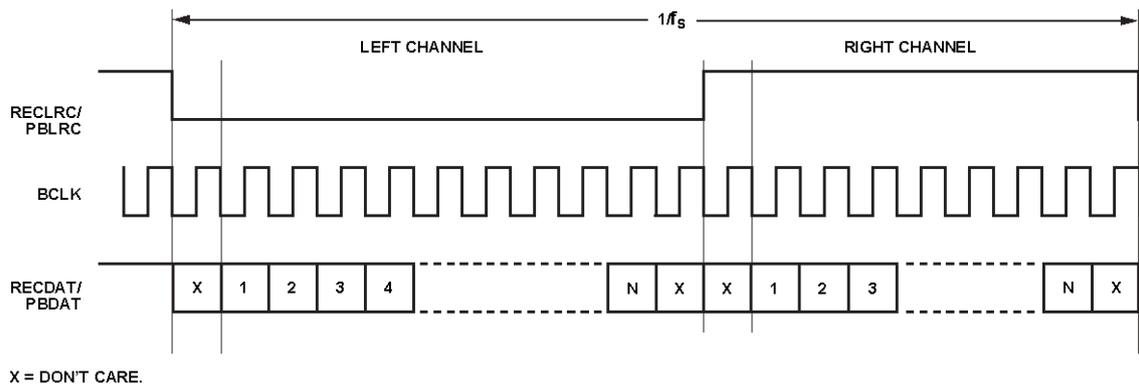


図 21. I2S オーディオ入力モード

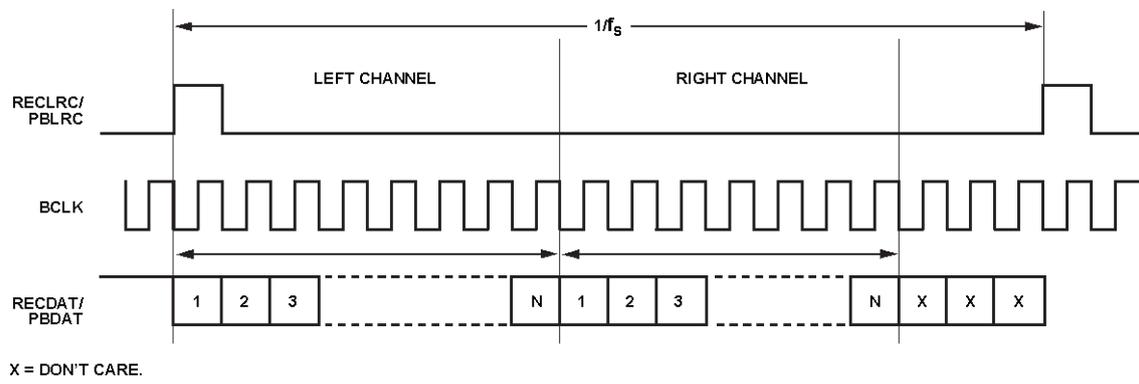


図 22. DSP/パルス符号変調 (PCM) モード・オーディオ入力のサブモード 1 (SM1) [ビット LRP = 0]

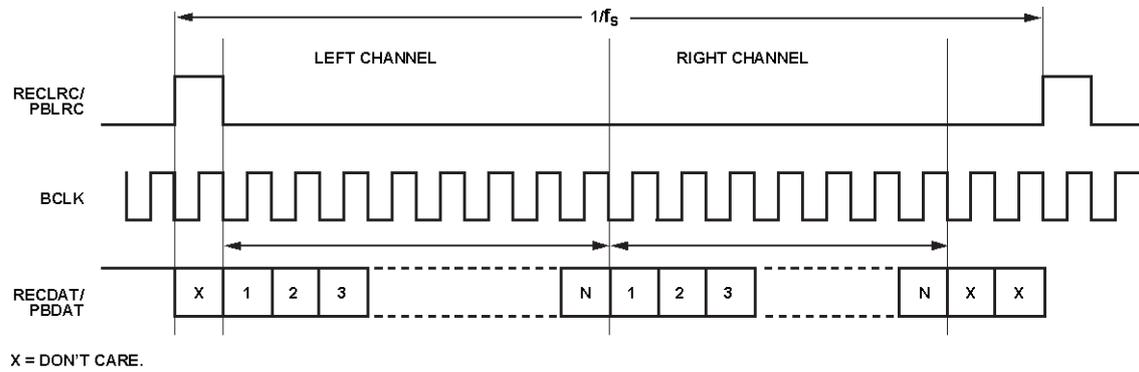


図 23. DSP/PCM モード・オーディオ入力のサブモード 2 (SM2) [ビット LRP = 1]

## ソフトウェア・コントロール・インターフェース

ソフトウェア・コントロール・インターフェースは、ユーザー選択可能なコントロール・レジスタへのアクセスを提供し、2線式 (I<sup>2</sup>C) インターフェースで動作することができます。

各コントロール・レジスタ内では、コントロール・データ・ワードは 16 ビットで MSB ファーストです。ビット B15~ビット B9 はレジスタ・マップ・アドレスで、ビット B8~ビット B0 は対応するレジスタ・マップのレジスタ・データです。

SDIN はシリアル・コントロール・データ・ワードを生成し、SCLK はシリアル・データを駆動します。

SSM2604 のデバイス・アドレスは 0011010 です。

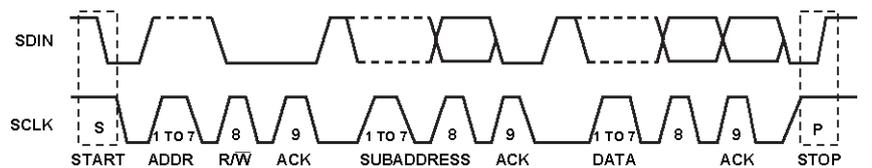
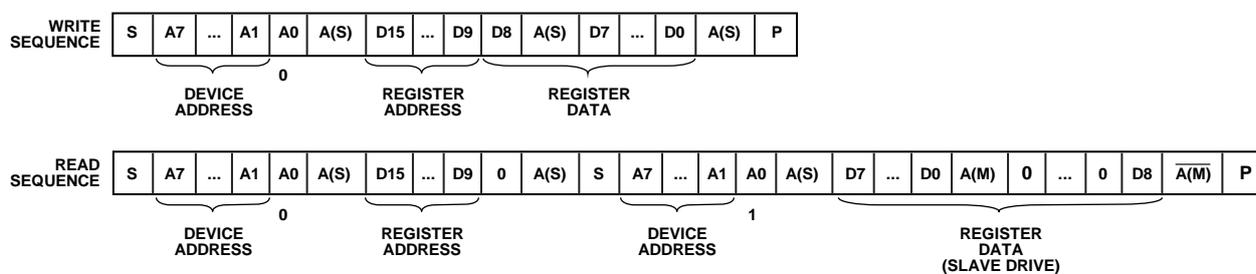


図 24.2 線式 I<sup>2</sup>C の全体的なクロック・タイミング図



S/P = START/STOP BIT.  
 A0 = I<sup>2</sup>C R/W BIT.  
 A(S) = ACKNOWLEDGE BY SLAVE.  
 A(M) = ACKNOWLEDGE BY MASTER.  
 $\bar{A}(M)$  = ACKNOWLEDGE BY MASTER (INVERSION).

図 25. I<sup>2</sup>C の書き込みと読み出しのシーケンス

### 代表的なアプリケーション回路

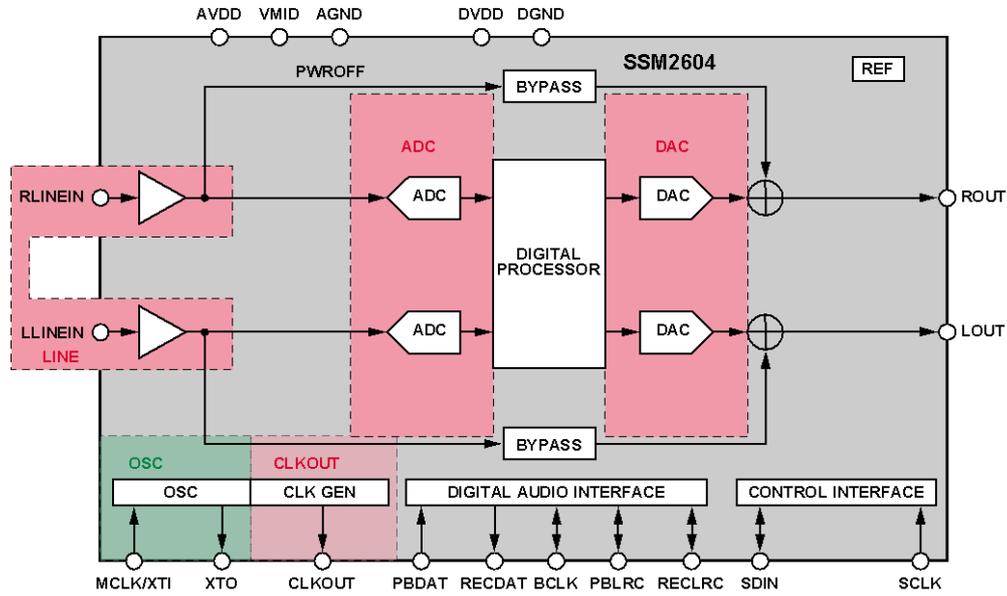


図 26. パワー・マネジメント機能の配置図 (コントロール・レジスタ R6、ビット D0~ビット D7)

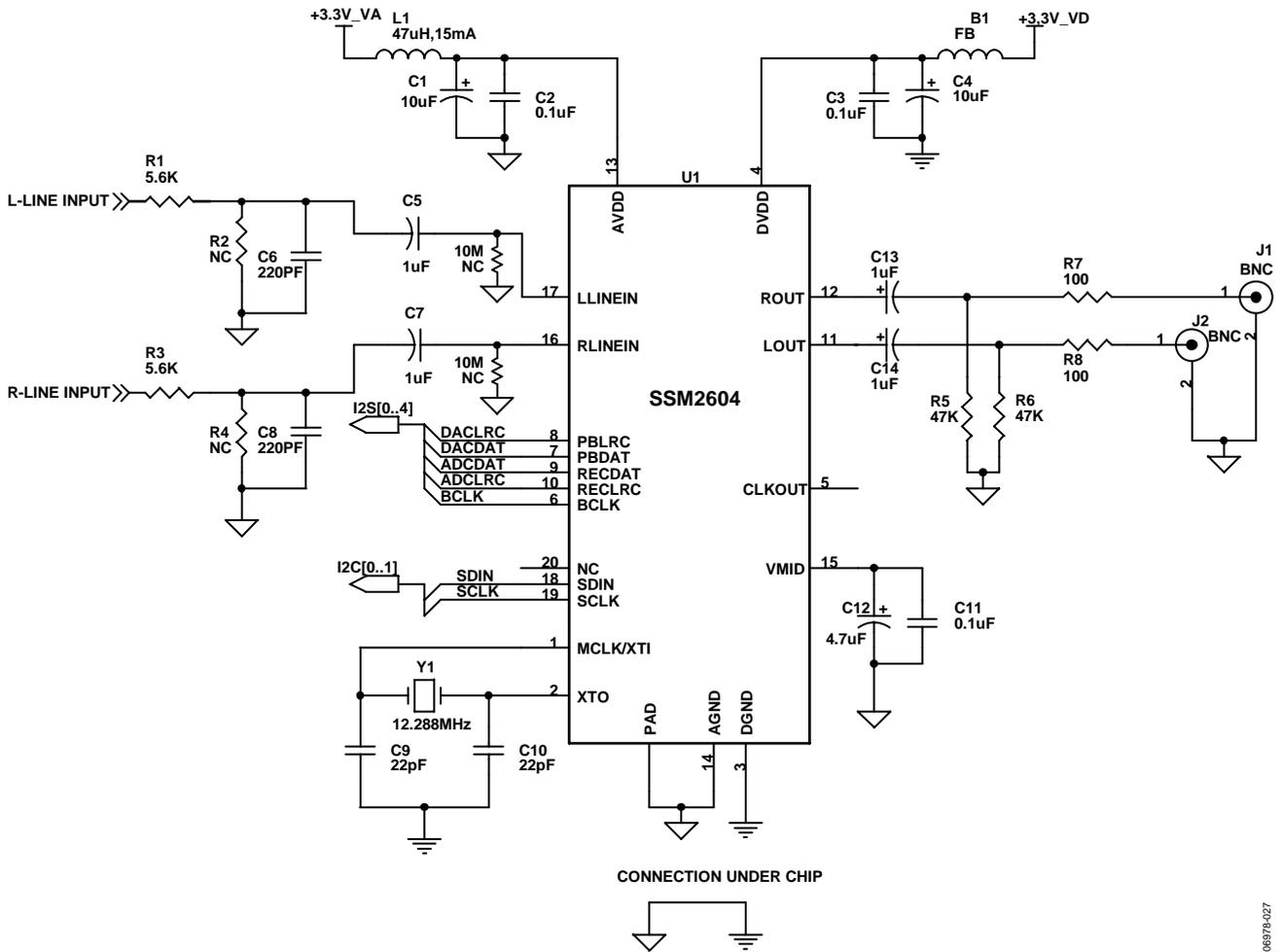


図 27. 代表的なアプリケーション回路

## レジスタ・マップ

表 10. レジスタ・マップ

Reg.	Address	Name	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
R0	0x00	Left-Channel ADC Input Volume	LRINBOTH	LINMUTE	0	LINVOL [5:0]					010010111	
R1	0x01	Right-Channel ADC Input Volume	RLINBOTH	RINMUTE	0	RINVOL [5:0]					010010111	
R2	0x02	Reserved	0	0	0	0	0	0	0	0	0	00000000
R3	0x03	Reserved	0	0	0	0	0	0	0	0	0	00000000
R4	0x04	Analog Audio Path	0	0	0	0	DACSEL	BYPASS	0	0	0	000001000
R5	0x05	Digital Audio Path	0	0	0	0	HPOR	DACMU	DEEMPH [1:0]		ADCHPF	000001000
R6	0x06	Power Management	0	PWROFF	CLKOUT	OSC	1	DAC	ADC	1	LINEIN	010011111
R7	0x07	Digital Audio I/F	0	BCLKINV	MS	LRSWAP	LRP	WL [1:0]		FORMAT [1:0]		000001010
R8	0x08	Sampling Rate	0	CLKODIV2	CLKDIV2	SR [3:0]			BOSR	USB	000000000	
R9	0x09	Active	0	0	0	0	0	0	0	0	ACTIVE	000000000
R15	0x0F	Software Reset	RESET [8:0]								000000000	

## レジスタ・マップの詳細

### 左チャンネル ADC 入力ボリューム、アドレス 0x00

表 11. 左チャンネル ADC 入力ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
LRINBOTH	LINMUTE	0	LINVOL [5:0]					

表 12. 左チャンネル ADC 入力ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
LRINBOTH	Left-to-right line input ADC data load control	0 = disable simultaneous loading of left-channel ADC data to right-channel register (default) 1 = enable simultaneous loading of left-channel ADC data to right-channel register
LINMUTE	Left-channel input mute	0 = disable mute 1 = enable mute on data path to ADC (default)
LINVOL [5:0]	Left-channel PGA volume control	00 0000 = -34.5 dB ... 1.5 dB step up 01 0111 = 0 dB (default) ... 1.5 dB step up 01 1111 = 12 dB 10 0000 = 13.5 dB 10 0001 = 15 dB 10 0010 = 16.5 dB 10 0011 = 18 dB 10 0100 = 19.5 dB 10 0101 = 21 dB 10 0110 = 22.5 dB 10 0111 = 24 dB 10 1000 = 25.5 dB 10 1001 = 27 dB 10 1010 = 28.5 dB 10 1011 = 30 dB 10 1100 = 31.5 dB 10 1101 = 33 dB 11 1111 to 10 1101 = 33 dB

## 右チャンネル ADC 入力ボリューム、アドレス 0x01

表 13. 右チャンネル ADC 入力ボリューム・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
RLINBOTH	RINMUTE	0	RINVOL [5:0]					

表 14. 右チャンネル ADC 入力ボリューム・レジスタ・ビットの説明

Bit Name	Description	Settings
RLINBOTH	Right-to-left line input ADC data load control	0 = disable simultaneous loading of right-channel ADC data to left-channel register (default) 1 = enable simultaneous loading of right-channel ADC data to left-channel register
RINMUTE	Right-channel input mute	0 = disable mute 1 = enable mute on data path to ADC (default)
RINVOL [5:0]	Right-channel PGA volume control	00 0000 = -34.5 dB ... 1.5 dB step up 01 0111 = 0 dB (default) ... 1.5 dB step up 01 1111 = 12 dB 10 0000 = 13.5 dB 10 0001 = 15 dB 10 0010 = 16.5 dB 10 0011 = 18 dB 10 0100 = 19.5 dB 10 0101 = 21 dB 10 0110 = 22.5 dB 10 0111 = 24 dB 10 1000 = 25.5 dB 10 1001 = 27 dB 10 1010 = 28.5 dB 10 1011 = 30 dB 10 1100 = 31.5 dB 10 1101 = 33 dB 11 1111 to 10 1101 = 33 dB

## アナログ・オーディオ・パス、アドレス 0x04

表 15. アナログ・オーディオ・パス・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	DACSEL	BYPASS	0	0	0

表 16. アナログ・オーディオ・パス・レジスタ・ビットの説明

Bit Name	Description	Settings
DACSEL	DAC select. Allow DAC output to be mixed at device output terminal.	0 = do not select DAC (default)
BYPASS	Bypass select. Allow line input signal to be mixed at device output terminal.	0 = bypass disable

## デジタル・オーディオ・パス、アドレス 0x05

表 17. デジタル・オーディオ・パス・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	HPOR	DACMU	DEEMPH [1:0]		ADCHPF

表 18. デジタル・オーディオ・パス・レジスタ・ビットの説明

Bit Name	Description	Settings
HPOR	Store dc offset when high-pass filter is disabled	0 = clear offset (default) 1 = store offset
DACMU	DAC digital mute	0 = no mute (signal active) 1 = mute (default)
DEEMPH [1:0]	De-emphasis control	00 = no de-emphasis (default) 01 = 32 kHz sampling rate 10 = 44.1 kHz sampling rate 11 = 48 kHz sampling rate
ADCHPF	ADC high-pass filter control	0 = ADC high-pass filter enable (default) 1 = ADC high-pass filter disable

## パワー・マネジメント、アドレス 0x06

表 19. パワー・マネジメント・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	PWROFF	CLKOUT	OSC	1	DAC	ADC	1	LINEIN

表 20. パワー・マネジメント・レジスタ・ビットの説明

Bit Name	Description	Settings
PWROFF	Whole chip power-down control	0 = power up 1 = power down (default)
CLKOUT	Clock output power-down control	0 = power up (default) 1 = power down
OSC	Crystal power-down control	0 = power up (default) 1 = power down
DAC	DAC power-down control	0 = power up 1 = power down (default)
ADC	ADC power-down control	0 = power up 1 = power down (default)
LINEIN	Line input power-down control	0 = power up 1 = power down (default)

## 消費電力

表 21.

Mode	PWROFF	CLKOUT	OSC	DAC	ADC	LINEIN	AVDD (3.3 V)	DVDD (3.3 V)	Unit
Record and Playback	0	0	0	0	0	0	9.41	3.7	mA
Playback Only									
Oscillator Enabled	0	0	0	0	1	1	4.45	1.9	mA
External Clock	0	1	1	0	1	1	4.56	1.9	mA
Record Only									
Line Clock	0	0	0	1	0	0	4.31	2.0	mA
Line Oscillator	0	0	1	1	0	0	4.33	2.0	mA
Analog Bypass (Line Input or Line Output)									
External Line	0	0	1	1	1	0	1.88	0.21	mA
Internally Generated Line	0	0	1	1	1	0	1.88	0.25	mA
Power-Down									
External Clock	1	1	1	1	1	1	0.002	0.015	mA
Oscillator	1	1	1	1	1	1	0.002	0.015	mA

## デジタル・オーディオ I/F、アドレス 0x07

表 22. デジタル・オーディオ I/F レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	BCLKINV	MS	LRSWAP	LRP	WL [1:0]		FORMAT [1:0]	

表 23. デジタル・オーディオ I/F レジスタ・ビットの説明

Bit Name	Description	Settings
BCLKINV	BCLK inversion control	0 = BCLK not inverted (default) 1 = BCLK inverted
MS	Master mode enable	0 = enable slave mode (default) 1 = enable master mode
LRSWAP	Swap DAC data control	0 = output left- and right-channel data as normal (default) 1 = swap left- and right-channel DAC data in audio interface
LRP	Polarity control for clocks in right-justified, left-justified, and I <sup>2</sup> S modes	0 = normal PBLRC and RECLRC (default), or DSP Submode 1 1 = invert PBLRC and RECLRC polarity, or DSP Submode 2
WL [1:0]	Data-word length control	00 = 16 bits 01 = 20 bits 10 = 24 bits (default) 11 = 32 bits
FORMAT [1:0]	Digital audio input format control	00 = right justified 01 = left justified 10 = I <sup>2</sup> S mode (default) 11 = DSP mode

## サンプリング・レート、アドレス 0x08

表 24. サンプリング・レート・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	CLKODIV2	CLKDIV2	SR [3:0]			BOSR	USB	

表 25. サンプリング・レート・レジスタ・ビットの説明

Bit Name	Description	Settings
CLKODIV2	CLKOUT divider select	0 = CLKOUT is core clock (default) 1 = CLKOUT is core clock divided by 2
CLKDIV2	Core clock divide select	0 = core clock is MCLK (default) 1 = core clock is MCLK divided by 2
SR [3:0]	Clock setting condition	See Table 26 and Table 27
BOSR	Base oversampling rate	USB mode: 0 = support for 250 f <sub>s</sub> based clock (default) 1 = support for 272 f <sub>s</sub> based clock Normal mode: 0 = support for 256 f <sub>s</sub> based clock (default) 1 = support for 384 f <sub>s</sub> based clock
USB	USB mode select	0 = normal mode enable (default) 1 = USB mode enable

表 26. サンプリング・レートのルックアップ・テーブル、USB をディスエーブル (ノーマル・モード)

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC Sampling Rate (RECLRC)	DAC Sampling Rate (PBLRC)	USB	SR [3:0]	BOSR	BCLK (MS = 1) <sup>1</sup>
12.288 MHz	24.576 MHz	8 kHz (MCLK/1536)	8 kHz (MCLK/1536)	0	0011	0	MCLK/4
		8 kHz (MCLK/1536)	48 kHz (MCLK/256)	0	0010	0	MCLK/4
		12 kHz (MCLK/1024)	12 kHz (MCLK/1024)	0	0100	0	MCLK/4
		16 kHz (MCLK/768)	16 kHz (MCLK/768)	0	0101	0	MCLK/4
		24 kHz (MCLK/512)	24 kHz (MCLK/512)	0	1110	0	MCLK/4
		32 kHz (MCLK/384)	32 kHz (MCLK/384)	0	0110	0	MCLK/4
		48 kHz (MCLK/256)	8 kHz (MCLK/1536)	0	0001	0	MCLK/4
		48 kHz (MCLK/256)	48 kHz (MCLK/256)	0	0000	0	MCLK/4
		96 kHz (MCLK/128)	96 kHz (MCLK/128)	0	0111	0	MCLK/2
11.2896 MHz	22.5792 MHz	8.0182 kHz (MCLK/1408)	8.0182 kHz (MCLK/1408)	0	1011	0	MCLK/4
		8.0182 kHz (MCLK/1408)	44.1 kHz (MCLK/256)	0	1010	0	MCLK/4
		11.025 kHz (MCLK/1024)	11.025 kHz (MCLK/1024)	0	1100	0	MCLK/4
		22.05 kHz (MCLK/512)	22.05 kHz (MCLK/512)	0	1101	0	MCLK/4
		44.1 kHz (MCLK/256)	8.0182 kHz (MCLK/1408)	0	1001	0	MCLK/4
		44.1 kHz (MCLK/256)	44.1 kHz (MCLK/256)	0	1000	0	MCLK/4
				88.2 kHz (MCLK/128)	88.2 kHz (MCLK/128)	0	1111
18.432 MHz	36.864 MHz	8 kHz (MCLK/2304)	8 kHz (MCLK/2304)	0	0011	1	MCLK/6
		8 kHz (MCLK/2304)	48 kHz (MCLK/384)	0	0010	1	MCLK/6
		12 kHz (MCLK/1536)	12 kHz (MCLK/1536)	0	0100	1	MCLK/6
		16 kHz (MCLK/1152)	16 kHz (MCLK/1152)	0	0101	1	MCLK/6
		24 kHz (MCLK/768)	24 kHz (MCLK/768)	0	1110	1	MCLK/6
		32 kHz (MCLK/576)	32 kHz (MCLK/576)	0	0110	1	MCLK/6
		48 kHz (MCLK/384)	48 kHz (MCLK/384)	0	0000	1	MCLK/6
		48 kHz (MCLK/384)	8 kHz (MCLK/2304)	0	0001	1	MCLK/6
				96 kHz (MCLK/192)	96 kHz (MCLK/192)	0	0111
16.9344 MHz	33.8688 MHz	8.0182 kHz (MCLK/2112)	8.0182 kHz (MCLK/2112)	0	1011	1	MCLK/6
		8.0182 kHz (MCLK/2112)	44.1 kHz (MCLK/384)	0	1010	1	MCLK/6
		11.025 kHz (MCLK/1536)	11.025 kHz (MCLK/1536)	0	1100	1	MCLK/6
		22.05 kHz (MCLK/768)	22.05 kHz (MCLK/768)	0	1101	1	MCLK/6
		44.1 kHz (MCLK/384)	8.0182 kHz (MCLK/2112)	0	1001	1	MCLK/6
		44.1 kHz (MCLK/384)	44.1 kHz (MCLK/384)	0	1000	1	MCLK/6
				88.2 kHz (MCLK/192)	88.2 kHz (MCLK/192)	0	1111

<sup>1</sup> BCLK 周波数は、マスター・モードとスレーブ右詰めモードの場合。

表 27. サンプリング・レートのルックアップ・テーブル、USB をイネーブル (USB モード)

MCLK (CLKDIV2 = 0)	MCLK (CLKDIV2 = 1)	ADC Sampling Rate (RECLRC)	DAC Sampling Rate (PBLRC)	USB	SR [3:0]	BOSR	BCLK (MS = 1) <sup>1</sup>
12.000 MHz	24.000 MHz	8 kHz (MCLK/1500)	8 kHz (MCLK/1500)	1	0011	0	MCLK
		8 kHz (MCLK/1500)	48 kHz (MCLK/250)	1	0010	0	MCLK
		8.0214 kHz (MCLK/1496)	8.0214 kHz (MCLK/1496)	1	1011	1	MCLK
		8.0214 kHz (MCLK/1496)	44.118 kHz (MCLK/272)	1	1010	1	MCLK
		11.0259 kHz (MCLK/1088)	11.0259 kHz (MCLK/1088)	1	1100	1	MCLK
		12 kHz (MCLK/1000)	12 kHz (MCLK/1000)	1	1000	0	MCLK
		16 kHz (MCLK/750)	16 kHz (MCLK/750)	1	1010	0	MCLK
		22.0588 kHz (MCLK/544)	22.0588 kHz (MCLK/544)	1	1101	1	MCLK
		24 kHz (MCLK/500)	24 kHz (MCLK/500)	1	1110	0	MCLK
		32 kHz (MCLK/375)	32 kHz (MCLK/375)	1	0110	0	MCLK
		44.118 kHz (MCLK/272)	8.0214 kHz (MCLK/1496)	1	1001	1	MCLK
		44.118 kHz (MCLK/272)	44.118 kHz (MCLK/272)	1	1000	1	MCLK
		48 kHz (MCLK/250)	8 kHz (MCLK/1500)	1	0001	0	MCLK
		48 kHz (MCLK/250)	48 kHz (MCLK/250)	1	0000	0	MCLK
		88.235 kHz (MCLK/136)	88.235 kHz (MCLK/136)	1	1111	1	MCLK
		96 kHz (MCLK/125)	96 kHz (MCLK/125)	1	0111	0	MCLK

<sup>1</sup> BCLK 周波数は、マスター・モードとスレーブ右詰めモードの場合。

**アクティブ、アドレス 0x09**

表 28. アクティブ・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	ACTIVE

表 29. アクティブ・レジスタ・ビットの説明

Bit Name	Description	Settings
ACTIVE	Digital core activation control	0 = disable digital core (default) 1 = activate digital core

**ソフトウェア・リセット、アドレス 0x0F**

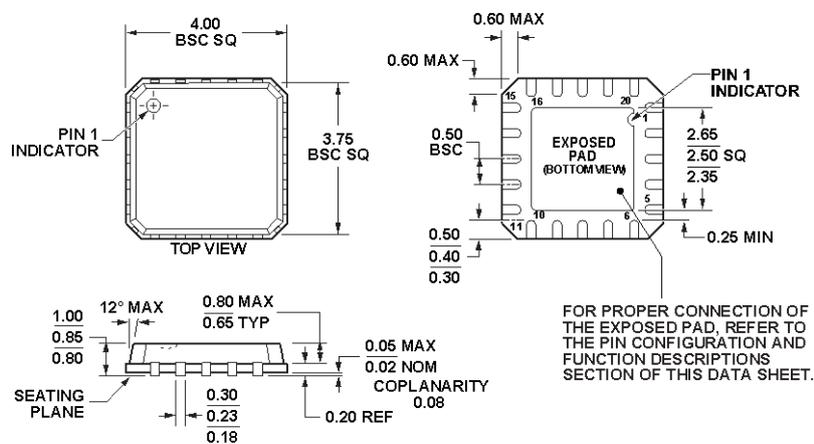
表 30. ソフトウェア・リセット・レジスタ・ビット・マップ

D8	D7	D6	D5	D4	D3	D2	D1	D0
RESET [8:0]								

表 31. ソフトウェア・リセット・レジスタ・ビットの説明

Bit Name	Description	Settings
RESET [8:0]	Write all 0s to this register to set all registers to their default settings. Other data written to this register has no effect.	0 = reset (default)

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

図 28.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
4 mm × 4 mm ボディ、極薄クワッド  
(CP-20-4)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
SSM2604CPZ-R2 <sup>1</sup>	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-4
SSM2604CPZ-REEL <sup>1</sup>	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-4
SSM2604CPZ-REEL7 <sup>1</sup>	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-20-4
SSM2604-EVALZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品