

MAX98089

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

概要

MAX98089は全機能を備えたオーディオコーデックで、高性能と低消費電力によって、ポータブルアプリケーションに最適です。

D級スピーカアンプは、2つのスピーカを効率的に駆動します。低電磁放射のため、完全なフィルタレス動作が可能です。D級アンプをディセーブルした場合、内蔵バイパススイッチを使用して外付けアンプをトランスデューサに接続することが可能です。

このICに内蔵されているステレオH級ヘッドフォンアンプは、デュアルモードチャージポンプを使用して効率を最大化するとともに、グランド基準の信号を出力するため出力カップリングコンデンサが不要です。

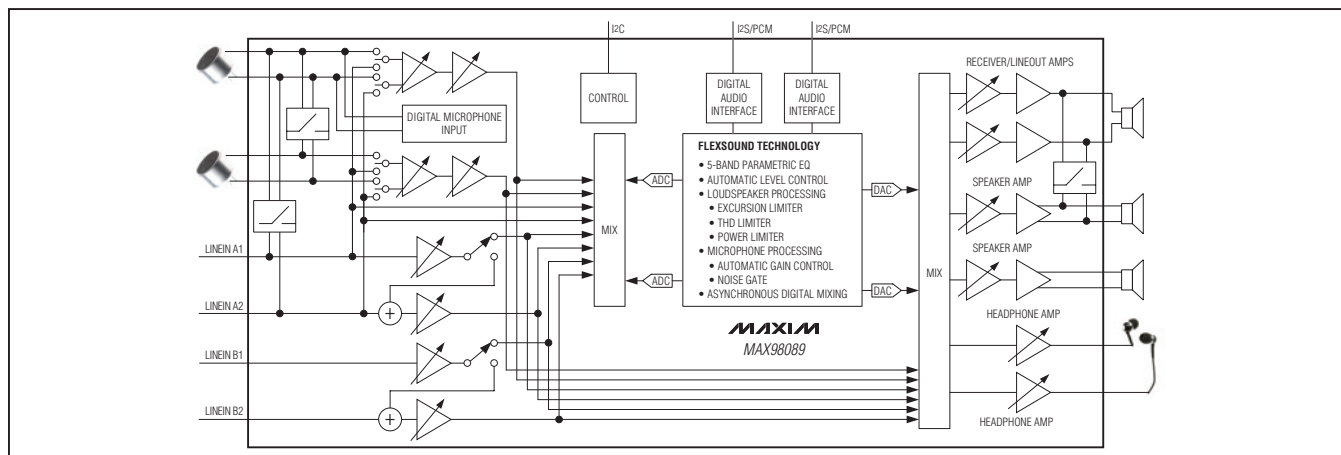
また、このICはモノラル差動アンプも備えており、それをステレオライン出力として設定することも可能です。

2つの差動アナログマイクロフォン入力が可能で、2つのPDMデジタルマイクロフォンもサポートしています。内蔵スイッチによって、マイクロフォン入力を1つ追加することが可能です。柔軟性の高い2つのシングルエンドまたは差動ライン入力は、FMラジオまたは他のソースに接続することができます。

内蔵のFlexSound™技術は、信号レベルと周波数応答の最適化によって、最大歪みと出力電力を制限してスピーカの損傷を防ぎながらも、スピーカの性能を向上させます。自動利得制御(AGC)およびノイズゲートは、マイクロフォン入力信号の信号レベルを最適化してADCのダイナミックレンジを最大限に活用します。

このデバイスは-40℃～+85℃の拡張温度範囲での動作が完全に保証されています。

簡略ブロック図



特長

- ◆ 消費電力: 5.6mW (DACからHPに出力、97dB DR時)
- ◆ 101dB DRステレオDAC (8kHz < f_s < 96kHz)
- ◆ 93dB DRステレオADC (8kHz < f_s < 96kHz)
- ◆ ステレオ低EMI D級アンプ
 - 1.7W/チャンネル(8Ω, V_{SPK_VDD} = 5.0V)
 - 2.9W/チャンネル(4Ω, V_{SPK_VDD} = 5.0V)
- ◆ 効率的なH級ヘッドフォンアンプ
- ◆ 差動レシーバアンプ/ステレオライン出力
- ◆ 2つのステレオシングルエンド/モノラル差動ライン入力
- ◆ 3つの差動マイクロフォン入力
- ◆ FlexSound技術
 - 5バンドパラメトリックEQ
 - 自動レベル制御(ALC)
 - エクスカッションリミッタ
 - スピーカ電力リミッタ
 - スピーカ歪みリミッタ
 - マイクロフォン自動利得制御およびノイズゲート
- ◆ デュアルI²S/PCM/TDMデジタルオーディオインタフェース
- ◆ 非同期デジタルミキシング
- ◆ 10MHz～60MHzのマスタークロック周波数をサポート
- ◆ RF耐性を備えたアナログ入力および出力
- ◆ 強力なクリック/ポップ抑制回路
- ◆ 63バンプのウェハレベルパッケージ(WLP) (3.80mm x 3.30mm、0.4mmピッチ)および56ピンTQFNパッケージ(7mm x 7mm x 0.75mm)で提供

FlexSoundはMaxim Integrated Products, Inc.の商標です。

型番はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maxim-ic.com/MAX98089.relatedを参照してください。

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

目次

概要	1
特長	1
簡略ブロック図	1
ファンクションダイアグラム	5
Absolute Maximum Ratings	6
Electrical Characteristics	6
Digital Input/Output Characteristics	19
Input Clock Characteristics	21
Audio Interface Timing Characteristics	22
Digital Microphone Timing Characteristics	23
I ² C Timing Characteristics	24
消費電力	25
標準動作特性	28
Microphone to ADC	28
Line to ADC	32
Line-In Pin Direct to ADC	33
Digital Loopback	33
Analog Loopback	34
DAC to Receiver	35
Line to Receiver	37
DAC-to-Line Output	38
Line-to-Line Output	38
DAC to Speaker	39
Line to Speaker	44
DAC to Headphone	45
Line to Headphone	52
Speaker Bypass Switch	54
ピン配置	55
端子説明	57
詳細	60
I ² Cスレーブアドレス	61
レジスタ	61
パワーマネージメント	67
マイクروفオン入力	69
ライン入力	71

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

目次(続き)

ADC入力ミキサ	72
録音経路の信号処理	73
マイクロフォンAGC	73
ノイズゲート	73
ADC録音レベル制御	76
サイドトーン	77
デジタルオーディオインタフェース	78
クロック制御	85
サンプルレートコンバータ	88
帯域フィルタ	89
再生経路の信号処理	92
自動レベル制御	92
パラメトリックイコライザ	93
再生レベル制御	95
DAC入力ミキサ	96
レシーバアンプ	97
レシーバ出力ミキサ	98
レシーバ出力音量	99
スピーカアンプ	100
スピーカ出力ミキサ	101
スピーカアンプの信号処理	102
エクスカッションリミッタ	102
スピーカ出力音量	102
出力リミッタ	105
歪みリミッタ	106
ヘッドフォン	107
DirectDriveヘッドフォンアンプ	107
チャージポンプ	107
H級動作	108
ヘッドフォングランド検出(HPSNS)	108
ヘッドフォン出力ミキサ	110
ヘッドフォン出力音量	111
出力バイパススイッチ	112
クリック/ポップ抑制	113

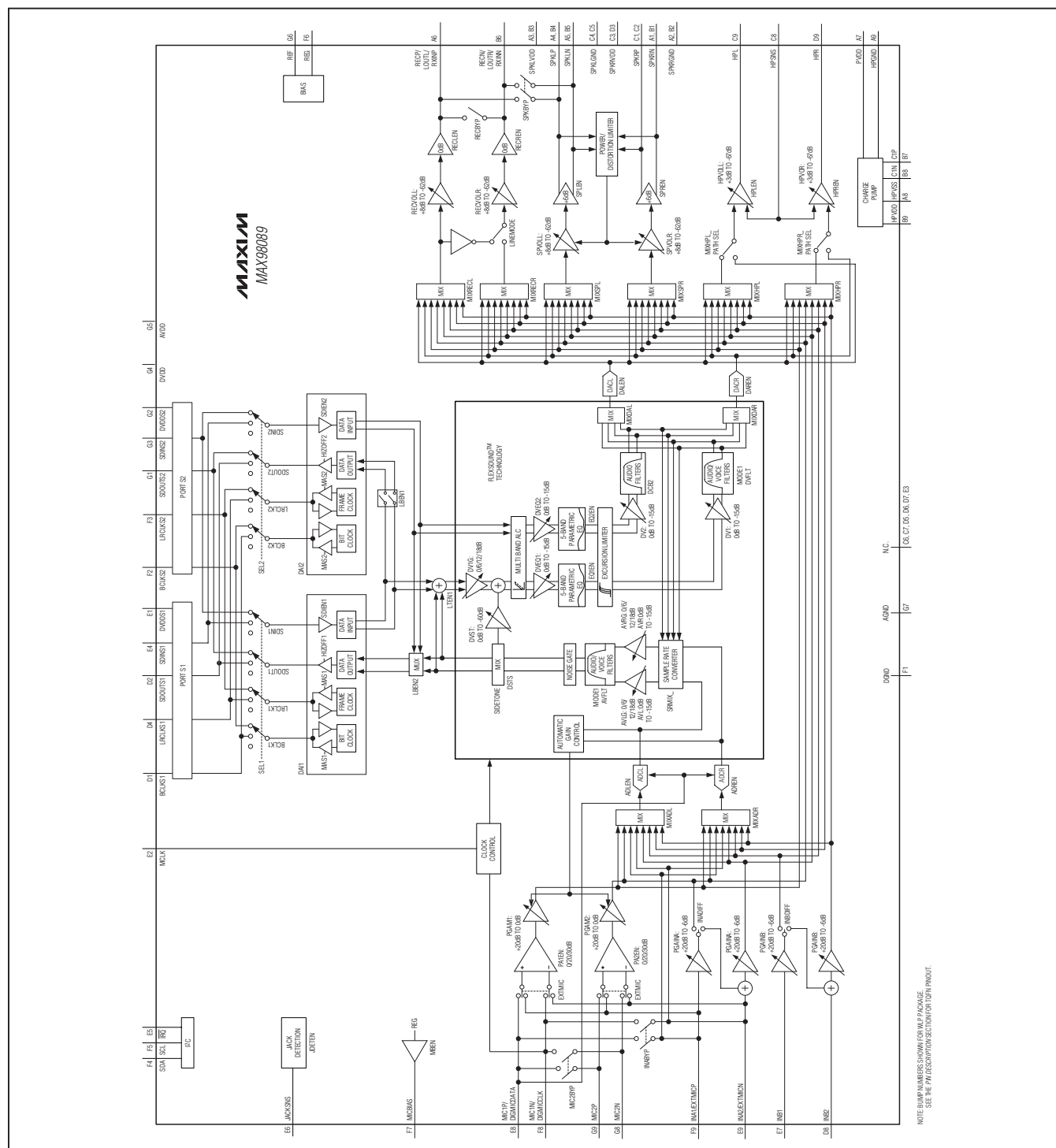
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

目次(続き)

ジャック検出	114
ジャックの挿入	114
アクセサリボタンの検出	114
ジャック取り外し	114
バッテリー計測	116
デバイスステータス	117
デバイスリビジョン	118
I ² Cシリアルインタフェース	118
ビット転送	118
STARTおよびSTOP条件	118
早期STOP条件	118
スレーブアドレス	119
アクノリッジ	119
データ書き込み形式	119
データ読取り形式	120
アプリケーション情報	121
標準動作回路	121
フィルタレスD級動作	123
RF感受性	123
スタートアップ/シャットダウンシーケンス	123
部品の選択	124
オプションのフェライトビーズフィルタ	124
入力コンデンサ	124
チャージポンプのコンデンサの選択	124
チャージポンプのフライングコンデンサ	125
チャージポンプのホールドコンデンサ	125
未使用の端子	125
PCBの推奨配線	126
電源バイパス処理、レイアウト、およびグランド処理	126
WLPアプリケーション情報	127
型番	127
パッケージ	128
改訂履歴	131

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ファンクションダイアグラム



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ABSOLUTE MAXIMUM RATINGS

(Voltages with respect to AGND.)

DVDD, AVDD, PVDD, HPVDD -0.3V to +2.2V
 SPKLVDD, SPKRVDD, DVDDS1, DVDDS2 -0.3V to +6.0V
 DGND, HPGND, SPKLGND, SPKRGND -0.1V to +0.1V
 HPVSS (VHPGND - 2.2V) to (VHPGND + 0.3V)
 C1N (VHPVSS - 0.3V) to (VHPGND + 0.3V)
 C1P (VHPGND - 0.3V) to (VHPVDD + 0.3V)
 REF, MICBIAS -0.3V to (VSPKLVDD + 0.3V)
 MCLK, SDINS1, SDINS2, JACKSNS,
 SDA, SCL, $\overline{\text{IRQ}}$ -0.3V to +6.0V
 LRCLKS1, BCLKS1, SDOUTS1 -0.3V to (VDVDDS1 + 0.3V)
 LRCLKS2, BCLKS2, SDOUTS2 -0.3V to (VDVDDS2 + 0.3V)
 REG, INA1/EXTMICP, INA2/EXTMICN, INB1, INB2,
 MIC1P/DIGMICDATA, MIC1N/DIGMICCLK,
 MIC2P, MIC2N -0.3V to +2.2V

HPSNS (VHPGND - 0.3V) to (VHPGND + 0.3V)
 HPL, HPR (VHPVSS - 0.3V) to (VHPVDD + 0.3V)
 RECP/LOUTL/RXINP, RECP/LOUTR/
 RXINN (VSPKLGND - 0.3V) to (VSPKLVDD + 0.3V)
 SPKLP, SPKLN (VSPKLGND - 0.3V) to (VSPKLVDD + 0.3V)
 SPKRP, SPKRN (VSPKRGND - 0.3V) to (VSPKRVDD + 0.3V)
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 63-Bump WLP (derate 25.6mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 2.05W
 56-Pin TQFN (derate 40mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$) 3.2W
 Operating Temperature Range -40°C to $+85^\circ\text{C}$
 Storage Temperature Range -65°C to $+150^\circ\text{C}$
 Lead Temperature (TQFN only, soldering, 10s) $+300^\circ\text{C}$
 Soldering Temperature (reflow) $+260^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8\text{V}$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7\text{V}$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out loads (R_{LOUT}) connected from LOUTL or LOUTR to SPKLGND. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu\text{F}$, $C_{MICBIAS} = C_{REG} = 1\mu\text{F}$, $C_{C1N-C1P} = 1\mu\text{F}$, $C_{HPVDD} = C_{HPVSS} = 1\mu\text{F}$. $AV_{MICPRE_} = +20\text{dB}$, $AV_{MICPGA_} = 0\text{dB}$, $AV_{DACATTN} = 0\text{dB}$, $AV_{DACGAIN} = 0\text{dB}$, $AV_{ADCLVL} = 0\text{dB}$, $AV_{ADCGAIN} = 0\text{dB}$, $AV_{PGAIN_} = 0\text{dB}$, $AV_{HP_} = 0\text{dB}$, $AV_{REC} = 0\text{dB}$, $AV_{SPK_} = 0\text{dB}$, $MCLK = 12.288\text{MHz}$, $LRCLK = 48\text{kHz}$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Supply Voltage Range		Guaranteed by PSRR	$V_{SPKLVDD}$, $V_{SPKRVDD}$	2.8	5.5	V
			V_{DVDD} , V_{AVDD} , V_{PVDD}	1.65	1.8	
			V_{DVDDS1} , V_{DVDDS2}	1.65	3.6	
Total Supply Current (Notes 2 and 3)	I_{VDD}	Full-duplex 8kHz mono, receiver output, $MAS = 1$	Analog	4.5	8	mA
			Speaker	1.6	2.3	
			Digital	1.3	2	
		DAC playback 48kHz stereo, headphone outputs, $MAS = 1$	Analog	1.9	3	
			Speaker	0.001	0.0058	
			Digital	2.47	3.5	
		DAC playback 48kHz stereo, speaker outputs, $MAS = 1$	Analog	3.6	6.5	
			Speaker	6.41	8.5	
			Digital	2.49	3.5	
Shutdown Supply Current (Note 2)		$T_A = +25^\circ\text{C}$	Analog	0.2	2	μA
			Speaker	0.01	1	
			Digital	1	5	
REF Voltage				2.5		V
REG Voltage				0.79		V
Shutdown to Full Operation		$V_{SEN} = 0$		30		ms
		$V_{SEN} = 1$		17		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out loads (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $C_{HPVDD} = C_{HPVSS} = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
MICROPHONE TO ADC PATH							
Dynamic Range	DR	f _S = 8kHz, MODE = 0 (IIR voice), AVMICPRE_ = 0dB (Note 4)		88			dB
Total Harmonic Distortion + Noise	THD+N	V _{IN} = 0.1V _{P-P} , f _S = 8kHz, f = 1kHz		-78			dB
		AVMICPRE_ = 0dB, V _{IN} = 1V _{P-P} , f = 1kHz		-85			
		AVMICPRE_ = +30dB, V _{IN} = 32mV _{P-P} , f = 1kHz		-71			
Common-Mode Rejection Ratio	CMRR	V _{IN} = 100mV _{P-P} , f = 217Hz		74			dB
Power-Supply Rejection Ratio	PSRR	VAVDD = 1.65V to 1.95V, input referred, MIC inputs unconnected		50	62	dB	
		f = 217Hz, V _{RIPPLE} = 200mV _{P-P} , input referred		62			
		f = 1kHz, V _{RIPPLE} = 200mV _{P-P} , input referred		62			
		f = 10kHz, V _{RIPPLE} = 200mV _{P-P} , input referred		55			
Path Phase Delay		1kHz, 0dB input, highpass filter disabled measured from analog input to digital output	MODE = 0 (IIR voice) 8kHz	2.2			ms
			MODE = 0 (IIR voice) 16kHz	1.1			
			MODE = 1 (FIR audio) 8kHz	4.5			
			MODE = 1 (FIR audio) 48kHz	0.76			
MICROPHONE PREAMP							
Full-Scale Input		AVMICPRE_ = 0dB		1.05			V _{P-P}
Preamplifier Gain	AVMICPRE_	(Note 5)	PA1EN/PA2EN = 01	0			dB
			PA1EN/PA2EN = 10	19.5	20	20.5	
			PA1EN/PA2EN = 11	29.5	30	30.5	
PGA Gain	AVMICPGA_	(Note 5)	PGAM1/PGAM2 = 0x00	19	20	21	dB
			PGAM1/PGAM2 = 0x14	0			
MIC Input Resistance	R _{IN_MIC}	All gain settings, measured at MIC1P/ MIC1N/MIC2P/MIC2N		50			kΩ

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out loads (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $C_{HPVDD} = C_{HPVSS} = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MICROPHONE BIAS						
MICBIAS Output Voltage	VMICBIAS	ILOAD = 1mA	2.15	2.2	2.25	V
Load Regulation		ILOAD = 1mA to 2mA		0.5	4.5	mV
Line Regulation		VSPKLVDD = 2.8V to 5.5V		110		μV
Ripple Rejection		f = 217Hz, VRIPPLE (SPKLVDD) = 100mVP-P		92		dB
		f = 10kHz, VRIPPLE (SPKLVDD) = 100mVP-P		83		
Noise Voltage		A-weighted, f = 20Hz to 20kHz		3.9		μVRMS
		P-weighted, f = 20Hz to 4kHz		2.1		
		f = 1kHz		50		nV/√Hz
MICROPHONE BYPASS SWITCH						
On-Resistance	RON	IMIC1_ = 100mA, INABYP = MIC2BYP = 1, VMIC2_ = VINA_ = 0V, AVDD, TA = +25°C		5	30	Ω
Total Harmonic Distortion + Noise	THD+N	VIN = 2VP-P, VCM = 0.9V, RL = 10kΩ, f = 1kHz, INABYP = MIC2BYP = 1		-80		dB
Off-Isolation		VIN = 2VP-P, VCM = 0.9V, RL = 10kΩ, f = 1kHz		60		dB
Off-Leakage Current		VMIC1_ = [0V, AVDD], VMIC2_/VINA_ = [AVDD, 0V]	-1		+1	μA
LINE INPUT TO ADC PATH						
Dynamic Range (Note 4)	DR	INA pin direct, fS = 48kHz, MODE = 1 (FIR audio)		93		dB
Total Harmonic Distortion + Noise	THD+N	VIN = 1VP-P, f = 1kHz		-82	-74	dB
Gain Error		DC accuracy		1		%
Power-Supply Rejection Ratio	PSRR	VAVDD = 1.65V to 1.95V, input referred, line inputs unconnected, TA = +25°C	57	68		dB
		f = 217Hz, VRIPPLE = 200mVP-P, AVADC = 0dB, input referred		63		
		f = 1kHz, VRIPPLE = 200mVP-P, AVADC = 0dB, input referred		63		
		f = 10kHz, VRIPPLE = 200mVP-P, AVADC = 0dB, input referred		57		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
LINE INPUT PREAMP							
Full-Scale Input	VIN	AVPGAIN_ = 0dB		1			VP-P
		AVPGAIN_ = -6dB		1.4			
Level Adjust Gain	AVPGAIN_	TA = +25°C (Note 5)	PGAINA/PGAINB = 0x0	19	20	21	dB
			PGAINA/PGAINB = 0x1	13	14	15	
			PGAINA/PGAINB = 0x2	2	3	4	
			PGAINA/PGAINB = 0x3	0			
			PGAINA/PGAINB = 0x4	-4	-3	-2	
			PGAINA/PGAINB = 0x5, 0x6, 0x7	-7	-6	-5	
Input Resistance	RIN	AVPGAIN_ = +20dB		14.5	21	28	kΩ
		AVPGAIN_ = +14dB		20			
		AVPGAIN_ = +3dB		20			
		AVPGAIN_ = 0dB		7.5	10	14	
		AVPGAIN_ = -3dB		20			
		AVPGAIN_ = -6dB		20			
Feedback Resistance	RIN_FB	INAEXT/INBEXT = 1	TA = +25°C	18	20	22	kΩ
			TA = TMIN to TMAX	16		24	
ADC LEVEL CONTROL							
ADC Level Adjust Range	AVADCLVL	AVL/AVR = 0xF to 0x0 (Note 5)		-12		+3	dB
ADC Level Step Size				1			dB
ADC Gain Adjust Range	AVADCGAIN	AVLG/AVRG = 00 to 11 (Note 5)		0		18	dB
ADC Gain Adjust Step Size				6			dB
ADC DIGITAL FILTERS							
VOICE MODE IIR LOWPASS FILTER (MODE1 = 0)							
Passband Cutoff	fPLP	Ripple limit cutoff		0.441 x fs			Hz
		-3dB cutoff		0.449 x fs			
Passband Ripple		f < fPLP		-0.1		+0.1	dB
Stopband Cutoff	fSLP			0.47 x fs			Hz
Stopband Attenuation (Note 6)		f > fSLP		74			dB

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VOICE MODE IIR HIGHPASS FILTER (MODE1 = 0)						
Passband Cutoff (-3dB from Peak)	f _{AHPPB}	AVFLT = 0x1 (Elliptical tuned for f _S = 16kHz + 217Hz notch)			0.0161 x f _S	Hz
		AVFLT = 0x2 (500Hz Butterworth tuned for f _S = 16kHz)			0.0319 x f _S	
		AVFLT = 0x3 (Elliptical tuned for f _S = 8kHz + 217Hz notch)			0.0321 x f _S	
		AVFLT = 0x4 (500Hz Butterworth tuned for f _S = 8kHz)			0.0632 x f _S	
		AVFLT = 0x5 (f _S /240 Butterworth)			0.0043 x f _S	
Stopband Cutoff (-30dB from Peak)	f _{AHPSB}	AVFLT = 0x1 (Elliptical tuned for f _S = 16kHz + 217Hz notch)	0.0139 x f _S			Hz
		AVFLT = 0x2 (500Hz Butterworth tuned for f _S = 16kHz)	0.0156 x f _S			
		AVFLT = 0x3 (Elliptical tuned for f _S = 8kHz + 217Hz notch)	0.0279 x f _S			
		AVFLT = 0x4 (500Hz Butterworth tuned for f _S = 8kHz)	0.0312 x f _S			
		AVFLT = 0x5 (f _S /240 Butterworth)	0.0018 x f _S			
DC Attenuation	DCATTEN	AVFLT ≠ 000		90		dB
STEREO AUDIO MODE FIR LOWPASS FILTER (MODE1 = 1, DHF1 = 0, LRCLK < 50kHz)						
Passband Cutoff	f _{PLP}	Ripple limit cutoff	0.43 x f _S			Hz
		-3dB cutoff	0.48 x f _S			
		-6.02dB cutoff	0.5 x f _S			
Passband Ripple		f < f _{PLP}	-0.1	+0.1		dB
Stopband Cutoff	f _{SLP}			0.58 x f _S		Hz
Stopband Attenuation (Note 6)		f < f _{SLP}	60			dB
ADC STEREO AUDIO MODE FIR LOWPASS FILTER (MODE1 = 1, DHF1 = 1, LRCLK > 50kHz)						
Passband Cutoff	f _{PLP}	Ripple limit cutoff	0.208 x f _S			Hz
		-3dB cutoff	0.28 x f _S			
Passband Ripple		f < f _{PLP}	-0.1	+0.1		dB
Stopband Cutoff	f _{SLP}			0.417 x f _S		Hz
Stopband Attenuation		f < f _{SLP}	60			dB

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STEREO AUDIO MODE DC BLOCKING HIGHPASS FILTER (MODE1 = 1)							
Passband Cutoff (-3dB from Peak)	f _{AHPPB}	AVFLT ≠ 000		0.000125 x f _S		Hz	
DC Attenuation	DC _{Atten}	AVFLT ≠ 000		90		dB	
MICROPHONE AUTOMATIC GAIN CONTROL							
AGC Hold Duration		AGCHLD = 01	50		ms		
		AGCHLD = 11	400				
AGC Attack Time		AGCATK = 00	2		ms		
		AGCATK = 11	123				
AGC Release Time		AGCRLS = 000	0.078		s		
		AGCRLS = 111	10				
AGC Threshold Level		AGCTH = 0x0 to 0xF	-3	+18	dB		
AGC Threshold Step Size			1		dB		
AGC Gain		(Note 5)	0	20	dB		
ADC NOISE GATE							
NG Threshold Level		ANTH = 0x3 to 0xF, referred to 0dBFS	-64	-16	dB		
NG Attenuation		(Note 5)	0	12	dB		
ADC-TO-DAC DIGITAL SIDETONE (MODE = 0)							
Sidetone Gain Adjust Range	AV _{STGA}	DVST = 0x01		-0.5		dB	
		DVST = 0x1F		-60.5			
Sidetone Gain Adjust Step Size				2		dB	
Sidetone Path Phase Delay		1kHz, 0dB input, highpass filter disabled	8kHz	2.2		ms	
			16kHz	1.1			
ADC-TO-DAC DIGITAL LOOP-THROUGH PATH							
Dynamic Range (Note 4)	DR	f _S = 48kHz, MCLK = 12.288MHz, MODE = 1 (FIR audio), MIC to HP output, T _A = +25°C		83	93	dB	
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, f _S = 48kHz, MCLK = 12.288MHz, MODE = 1 (FIR audio), MIC to HP output		81		dB	
DAC LEVEL CONTROL							
DAC Attenuation Range	AV _{DACATTN}	DV ₋ = 0xF to 0x0 (Note 5)		-15	0	dB	
DAC Attenuation Step Size				1		dB	
DAC Gain Adjust Range	AV _{DACGAIN}	DV1G = 00 to 11 (Note 5)		0	18	dB	
DAC Gain Adjust Step Size				6		dB	

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC DIGITAL FILTERS						
VOICE MODE IIR LOWPASS FILTER (MODE1 = 0)						
Passband Cutoff	f _{PLP}	Ripple limit cutoff	0.448 x f _S		Hz	
		-3dB cutoff	0.451 x f _S			
Passband Ripple		f < f _{PLP}	-0.1	+0.1	dB	
Stopband Cutoff	f _{SLP}		0.476 x f _S		Hz	
Stopband Attenuation (Note 6)		f > f _{SLP}	75		dB	
VOICE MODE IIR HIGHPASS FILTER (MODE1 = 0)						
Passband Cutoff (-3dB from Peak)	f _{DHPPB}	DVFLT = 0x1 (Elliptical tuned for f _S = 16kHz + 217Hz notch)	0.0161 x f _S		Hz	
		DVFLT = 0x2 (500Hz Butterworth tuned for f _S = 16kHz)	0.0312 x f _S			
		DVFLT = 0x3 (Elliptical tuned for f _S = 8kHz + 217Hz notch)	0.0321 x f _S			
		DVFLT = 0x4 (500Hz Butterworth tuned for f _S = 8kHz)	0.0625 x f _S			
		DVFLT = 0x5 (f _S /240 Butterworth)	0.0042 x f _S			
Stopband Cutoff (-30dB from Peak)	f _{DHPSB}	DVFLT = 0x1 (Elliptical tuned for f _S = 16kHz + 217Hz notch)	0.0139 x f _S		Hz	
		DVFLT = 0x2 (500Hz Butterworth tuned for f _S = 16kHz)	0.0156 x f _S			
		DVFLT = 0x3 (Elliptical tuned for f _S = 8kHz + 217Hz notch)	0.0279 x f _S			
		DVFLT = 0x4 (500Hz Butterworth tuned for f _S = 8kHz)	0.0312 x f _S			
		DVFLT = 0x5 (f _S /240 Butterworth)	0.0021 x f _S			
DC Attenuation	DCATTEN	DVFLT ≠ 000	85		dB	
STEREO AUDIO MODE FIR LOWPASS FILTER (MODE1 = 1, DHF1/DHF2 = 0, LRCLK < 50kHz)						
Passband Cutoff	f _{PLP}	Ripple limit cutoff	0.43 x f _S		Hz	
		-3dB cutoff	0.47 x f _S			
		-6.02dB cutoff	0.5 x f _S			
Passband Ripple		f < f _{PLP}	-0.1	+0.1	dB	
Stopband Cutoff	f _{SLP}		0.58 x f _S		Hz	
Stopband Attenuation (Note 6)		f > f _{SLP}	60		dB	

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VDVDD = VDVDDS1 = VDVDDS2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STEREO AUDIO MODE FIR LOWPASS FILTER (MODE1 = 1, DHF1/DHF2 = 1 for LRCLK > 50kHz)						
Passband Cutoff	f _{PLP}	Ripple limit cutoff	0.24 x f _S			Hz
		-3dB cutoff	0.31 x f _S			
Passband Ripple		f < f _{PLP}	-0.1		+0.1	dB
Stopband Cutoff	f _{SLP}		0.477 x f _S			Hz
Stopband Attenuation (Note 6)		f < f _{SLP}	60			dB
STEREO AUDIO MODE DC BLOCKING HIGHPASS FILTER						
Passband Cutoff (-3dB from Peak)	f _{DHPPB}	DVFLT ≠ 000 (DAI1), DCB2 = 1 (DAI2)	0.000104 x f _S			Hz
DC Attenuation	DCATTEN	DVFLT ≠ 000 (DAI1), DCB2 = 1 (DAI2)	90			dB
AUTOMATIC LEVEL CONTROL						
Dual Band Lowpass Corner Frequency		ALCMB = 1	5			kHz
Dual Band Highpass Corner Frequency		ALCMB = 1	5			kHz
Gain Range			0		12	dB
Low-Signal Threshold		ALCTH = 111 to 001	-48		-12	dBFS
Release Time		ALCRLS = 101	0.25			s
		ALCRLS = 000	8			
PARAMETRIC EQUALIZER						
Number of Bands			5			Bands
Per Band Gain Range			-12		+12	dB
Preattenuator Gain Range		(Note 5)	-15		0	dB
Preattenuator Step Size			1			dB
DAC TO RECEIVER AMPLIFIER PATH						
Dynamic Range	DR	f _S = 48kHz, f = 1kHz (Note 4)	96			dB
Output Offset Voltage	VOS	AVREC_ = -62dB, T _A = +25°C, WLP package only	±0.5		±4	mV
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, P _{OUT} = 15mW, R _{REC} = 32Ω	-70		-63	dB
Power-Supply Rejection Ratio	PSRR	VSPKLVDD = 2.8V to 5.5V, T _A = +25°C	64	75		dB
		f = 217Hz, V _{RIPPLE} = 200mVP-P		80		
		f = 1kHz, V _{RIPPLE} = 200mVP-P		80		
		f = 10kHz, V _{RIPPLE} = 200mVP-P		77		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out loads (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Click-and-Pop Level	KCP	Peak voltage, A-weighted, 32 samples per second, AVREC = 0dB	Into shutdown	-68		dBV	
			Out of shutdown	-72			
LINE INPUT TO RECEIVER AMPLIFIER PATH							
Dynamic Range (Note 4)	DR	Referenced to full-scale output level		94		dB	
Total Harmonic Distortion + Noise	THD+N			-64		dB	
Click-and-Pop Level	KCP	Peak voltage, A-weighted, 32 samples per second, AVREC = 0dB	Into shutdown	-51		dBV	
			Out of shutdown	-49			
RECEIVER AMPLIFIER							
Output Power	POUT	RREC = 32Ω, f = 1kHz, THD = 1%		92		mW	
Full-Scale Output		(Note 7)		1		VRMS	
Volume Control (Note 5)	AVREC	RECVOL = 0x00		-62		dB	
		RECVOL = 0x1F		8			
Volume Control Step Size		+8dB to +6dB		0.5		dB	
		+6dB to +0dB		1			
		0dB to -14dB		2			
		-14dB to -38dB		3			
		-38dB to -62dB		4			
Mute Attenuation		f = 1kHz		88		dB	
Capacitive Drive Capability		No sustained oscillations	RREC = 32Ω	500		pF	
			RREC = ∞	100			
DAC TO LINE OUT AMPLIFIER PATH							
Dynamic Range (Note 4)	DR	fS = 48kHz, f = 1kHz		83	96	dB	
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, RL = 1kΩ		-78	-72	dB	
LINE INPUT TO LINE OUT AMPLIFIER PATH							
Dynamic Range (Note 4)	DR	Referenced to full-scale output level		92		dB	
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, RL = 10kΩ		76		dB	
Full-Scale Output		(Note 7)		2		VP-P	
Mute Attenuation		f = 1kHz		85		dB	
Output Offset Voltage	VOS	AVREC_ = -62dB, TQFN package only		±0.5	±4	mV	
Capacitive Drive Capability		No sustained oscillations, RL = 1kΩ		500		pF	

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DAC TO SPEAKER AMPLIFIER PATH							
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, P _{OUT} = 200mW, Z _{SPK} = 8Ω + 68μH		-68			dB
Crosstalk		SPKL to SPKR and SPKR to SPKL, P _{OUT} = 640mW, f = 1kHz		-88			dB
Output Noise				53			μVRMS
Click-and-Pop Level	K _{CP}	Peak voltage, A-weighted, 32 samples per second, AV _{SPK_} = 0dB	Into shutdown	65			dBV
			Out of shutdown	66			
MIC INPUT TO SPEAKER AMPLIFIER PATH							
Dynamic Range (Note 4)	DR	Referenced to full-scale output level, AV _{SPK_} = 0dB		82			dB
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, P _{OUT} = 200mW, R _L = 8Ω + 68μH		71			dB
Click-and-Pop Level	K _{CP}	Peak voltage, A-weighted, 32 samples per second, AV _{SPK_} = 0dB	Into shutdown	55			dBV
			Out of shutdown	52			
SPEAKER AMPLIFIER							
Output Power	P _{OUT}	f = 1kHz, THD = 10%, Z _{SPK} = 4Ω + 33μH	V _{SPKLVDD} = V _{SPKRVDD} = 5.0V	2950		mW	
			V _{SPKLVDD} = V _{SPKRVDD} = 4.2V	2060			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.7V	1570			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.0V	1000			
		f = 1kHz, THD = 1%, Z _{SPK} = 4Ω + 33μH	V _{SPKLVDD} = V _{SPKRVDD} = 5.0V	2320			
			V _{SPKLVDD} = V _{SPKRVDD} = 4.2V	1620			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.7V	1240			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.0V	785			
		f = 1kHz, THD = 10%, Z _{SPK} = 8Ω + 68μH	V _{SPKLVDD} = V _{SPKRVDD} = 5.0V	1730			
			V _{SPKLVDD} = V _{SPKRVDD} = 4.2V	1210			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.7V	930			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.0V	600			
		f = 1kHz, THD = 1%, Z _{SPK} = 8Ω + 68μH	V _{SPKLVDD} = V _{SPKRVDD} = 5.0V	1365			
			V _{SPKLVDD} = V _{SPKRVDD} = 4.2V	955			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.7V	735			
			V _{SPKLVDD} = V _{SPKRVDD} = 3.0V	475			
Full-Scale Output		(Note 7)		2			V _{RMS}
Volume Control	AV _{SPK_}	(Note 5)	SPVOLL/SPVOLR = 0x00		-62		dB
			SPVOLL/SPVOLR = 0x1F		+8		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Volume Control Step Size		+8dB to +6dB			0.5		dB
		+6dB to +0dB			1		
		0dB to -14dB			2		
		-14dB to -38dB			3		
		-38dB to -64dB			4		
Mute Attenuation		f = 1kHz			86		dB
Output Offset Voltage	VOS	AVSPK_ = -61dB, TA = +25°C			±0.5	±3	mV
EXCURSION LIMITER							
Upper Corner Frequency Range		DHPUCF = 001 to 100		400		1000	Hz
Lower Corner Frequency		DHPLCF = 01 to 10			400		Hz
Biquad Minimum Corner Frequency		DHPUCF = 000 (fixed mode)			100		Hz
		DHPUCF = 001			200		
		DHPUCF = 010			300		
		DHPUCF = 011			400		
		DHPUCF = 100			500		
Threshold Voltage		ZSPK = 8Ω + 68μH, VSP-KLVDD = VSPKRVDD = 5.5V, AVSPK_ = 8dB	DHPTH = 000		0.34		Vp
			DHPTH = 111		0.95		
Release Time		ALCRLS = 101			0.25		s
		ALCRLS = 000			4		
POWER LIMITER							
Attenuation					-64		dB
Threshold		ZSPK = 8Ω + 68μH, VSP-KLVDD = VSPKRVDD = 5.5V, AVSPK_ = 8dB	PWRTH = 0x1		0.08		W
			PWRTH = 0xF		1.23		
Time Constant 1	tPWR1	PWRT1 = 0x1			0.5		s
		PWRT1 = 0xF			8.7		
Time Constant 2	tPWR2	PWRT2 = 0x1 to 0xF			0.5		min
		PWRT2 = 0xF			8.7		
Weighting Factor	kPWR	PWRK = 000 to 111			12.5	100	%
DISTORTION LIMITER							
Distortion Limit		THDCLP = 0x1			< 1		%
		THDCLP = 0xF			24		
Release Time Constant		THDT1 = 000			0.76		s
		THDT1 = 111			6.2		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out loads (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $C_{HPVDD} = C_{HPVSS} = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DAC TO HEADPHONE AMPLIFIER PATH							
Dynamic Range (Note 4)	DR	f _S = 48kHz	Master or slave mode	101		dB	
			Slave mode	97			
			Low power mode, T _A = +25°C	95	97		
Total Harmonic Distortion + Noise	THD+N	f = 1kHz, P _{OUT} = 20mW	R _{HP} = 16Ω	-84		-64	dB
			R _{HP} = 32Ω	-85			
Crosstalk		HPL to HPR and HPR to HPL, P _{OUT} = 5mW, f = 1kHz, R _{HP} = 32Ω		-92			dB
Power-Supply Rejection Ratio	PSRR	V _{AVDD} = V _{PVDD} = 1.65V to 2.0V		46	54	dB	
		f = 217Hz, V _{RIPPLE} = 200mV _{P-P} , AV _{HP_} = 0dB		72			
		f = 1kHz, V _{RIPPLE} = 200mV _{P-P} , AV _{HP_} = 0dB		63			
		f = 10kHz, V _{RIPPLE} = 200mV _{P-P} , AV _{HP_} = 0dB		43			
DAC Path Phase Delay		1kHz, 0dB input, highpass filter disabled measured from digital input to analog output	MODE = 0 (voice) 8kHz	2.2		ms	
			MODE = 0 (voice) 16kHz	1.1			
			MODE = 1 (music) 8kHz	4.5			
			MODE = 1 (music) 48kHz	0.76			
Gain Error				1	5	%	
Channel Gain Mismatch				1		%	
Click-and-Pop Level	K _{CP}	Peak voltage, A-weighted, 32 samples per second, AV _{HP_} = 0dB	Into shutdown	-62		dBV	
			Out of shutdown	-63			
LINE INPUT TO HEADPHONE AMPLIFIER PATH							
Total Harmonic Distortion + Noise	THD+N	V _{IN} = 1V _{P-P} , f = 1kHz, R _{HP} = 32Ω		81			dB
Dynamic Range (Note 4)				92.5			dB
Click-and-Pop Level	K _{CP}	Peak voltage, A-weighted, 32 samples per second, AV _{HP_} = 0dB	Into shutdown	-62		dBV	
			Out of shutdown	-63			

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out loads (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND. RLOAD = RHP = ∞, RREC = ∞, ZSPK = ∞, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 0. TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
HEADPHONE AMPLIFIER							
Output Power	P _{OUT}	f = 1kHz, THD = 1%	R _{HP} = 32Ω	30			mW
			R _{HP} = 16Ω	38			
Positive Charge-Pump Output Voltage	HPVDD	V _{OUT} ≤ V _{PVDD} × 0.2V, R _{HP} = ∞		PVDD/2			V
		V _{OUT} > V _{PVDD} × 0.2V, R _{HP} = ∞		PVDD			
Negative Charge-Pump Out-put Voltage	HPVSS	V _{OUT} ≤ V _{PVDD} × 0.2V, R _{HP} = ∞		-PVDD/2			V
		V _{OUT} > V _{PVDD} × 0.2V, R _{HP} = ∞		-PVDD			
Output Voltage Threshold (Output Voltage at which the Charge Pump Switches Modes; V _{OUT} Rising; Transition from Split to Invert Mode)	V _{TH}	R _L = ∞		±PVDD × 0.2			V
Full-Scale Output		(Note 7)		1			V _{RMS}
Volume Control	A _{VHP_}	(Note 5)	HPVOL_ ₋ = 0x00	-67			dB
			HPVOL_ ₋ = 0x1F	+3			
Volume Control Step Size			+3dB to +1dB	0.5			dB
			+1dB to -5dB	1			
			-5dB to -19dB	2			
			-19dB to -43dB	3			
			-43dB to -67dB	4			
Mute Attenuation		f = 1kHz		100			dB
Output Offset Voltage	V _{OS}	A _{VHP_} = -67dB	T _A = +25°C	±0.1	±1		mV
			T _A = T _{MIN} to T _{MAX}	±3			
Capacitive Drive Capability		No sustained oscillations	R _{HP} = 32Ω	500			pF
			R _{HP} = ∞	100			
SPEAKER BYPASS SWITCH							
On-Resistance	R _{ON}	I _{SPKL_} = 100mA, SPKBYP = 1, V _{RXIN_} = [0V, V _{SPKLVDD}]		2.8			Ω
Total Harmonic Distortion + Noise	THD+N	V _{IN} = 2V _{P-P} , V _{CM} = V _{SPKLVDD} /2, Z _{SPK} = 8Ω + 68μH, f = 1kHz, SPKBYP = 1	R _S = 10Ω	60			dB
			R _S = 0Ω	60			
Off-Isolation		V _{IN} = 2V _{P-P} , V _{CM} = V _{SPKLVDD} /2, Z _{SPK} = 8Ω + 68μH, f = 1kHz		96			dB
Off-Leakage Current		V _{RXIN_} = [0V, V _{SPKLVDD}], V _{SPKL_} = [V _{SPKLVDD} , 0V]		-20	+20		μA

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and $RECN$. Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out loads (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$. $R_{LOAD} = R_{HP} = \infty$, $R_{REC} = \infty$, $Z_{SPK} = \infty$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 0$. $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RECEIVER BYPASS SWITCH						
On-Resistance	R _{ON}	I _{RECP} = 100mA, REC _{BYP} = 1, V _{RECN} = [0V, V _{SPKLVDD}]		2		Ω
Total Harmonic Distortion + Noise	THD+N	V _{IN} = 2V _{P-P} , V _{CM} = V _{SPKLVDD} /2, Z _{SPK} = 8Ω + 68μH, f = 1kHz, REC _{BYP} = 1, R _S = 0Ω		60		%
Off-Isolation		V _{IN} = 2V _{P-P} , V _{CM} = V _{SPKLVDD} /2, Z _{SPK} = 8Ω + 68μH, f = 1kHz		84		dB
Off-Leakage Current		V _{RECP} = [0V, V _{SPKLVDD}], V _{RECN} = [V _{SPKLVDD} , 0V]	-15		+15	μA
JACK DETECTION						
JACKSNS High Threshold	V _{TH1}	MICBIAS enabled	0.92 x V _{MICBIAS}	0.95 x V _{MICBIAS}	0.98 x V _{MICBIAS}	V
		MICBIAS disabled	0.92 x V _{SPKLVDD}	0.95 x V _{SPKLVDD}	0.98 x V _{SPKLVDD}	
JACKSNS Low Threshold	V _{TH2}	MICBIAS enabled	0.06 x V _{MICBIAS}	0.10 x V _{MICBIAS}	0.17 x V _{MICBIAS}	V
		MICBIAS disabled	0.06 x V _{SPKLVDD}	0.10 x V _{SPKLVDD}	0.17 x V _{SPKLVDD}	
JACKSNS Sense Voltage		MICBIAS disabled, J _{DWK} = 1	3.65	3.7		
JACKSNS Sense Resistance	R _{SENSE}	MICBIAS disabled, J _{DWK} = 0	1.6	2.4	2.9	kΩ
JACKSNS Weak Pullup Current	I _{WPU}	MICBIAS disabled, J _{DWK} = 1	2	5	9.5	μA
JACKSNS Deglitch Period	t _{GLITCH}	J _{DEB} = 00		25		ms
		J _{DEB} = 11		200		
BATTERY ADC						
Input Voltage Range			2.6		5.6	V
LSB Size				0.1		V

DIGITAL INPUT/OUTPUT CHARACTERISTICS

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MCLK						
Input High Voltage	V_{IH}		1.2			V
Input Low Voltage	V_{IL}				0.6	V
Input Leakage Current	I_{IH}, I_{IL}	$V_{DVDD} = 2.0V$, $V_{IN} = 0V, 5.5V$; $T_A = +25^\circ C$	-1		+1	μA
Input Capacitance				10		pF

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

DIGITAL INPUT/OUTPUT CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SDINS1, BCLKS1, LRCLKS1—INPUT						
Input High Voltage	V _{IH}		0.7 x DVDDS1			V
Input Low Voltage	V _{IL}		0.29 x DVDDS1			V
Input Hysteresis			200			mV
Input Leakage Current	I _{IH} , I _{IL}	V _{DVDDS1} = 3.6V, V _{IN} = 0V, 3.6V; T _A = +25°C	-1		+1	μA
Input Capacitance			10			pF
BCLKS1, LRCLKS1, SDOUTS1—OUTPUT						
Output Low Voltage	V _{OL}	V _{DVDDS1} = 1.65V, I _{OL} = 3mA	0.4			V
Output High Voltage	V _{OH}	V _{DVDDS1} = 1.65V, I _{OH} = 3mA	DVDDS1 - 0.4			V
Input Leakage Current	I _{IH} , I _{IL}	V _{DVDD} = 2.0V, V _{IN} = 0V, 5.5V; T _A = +25°C, high-impedance state	-1		+1	μA
SDINS2, BCLKS2, LRCLKS2—INPUT						
Input High Voltage	V _{IH}		0.7 x DVDDS2			V
Input Low Voltage	V _{IL}		0.29 x DVDDS2			V
Input Hysteresis			200			mV
Input Leakage Current	I _{IH} , I _{IL}	V _{DVDDS2} = 3.6V, V _{IN} = 0V, 3.6V; T _A = +25°C	-1		+1	μA
Input Capacitance			10			pF
BCLKS2, LRCLKS2, SDOUTS2—OUTPUT						
Output Low Voltage	V _{OL}	V _{DVDDS2} = 1.65V, I _{OL} = 3mA	0.4			V
Output High Voltage	V _{OH}	V _{DVDDS2} = 1.65V, I _{OH} = 3mA	DVDDS2 - 0.4			V
Input Leakage Current	I _{IH} , I _{IL}	V _{DVDD} = 2.0V, V _{IN} = 0V, 5.5V; T _A = +25°C, high-impedance state	-1		+1	μA
SDA, SCL—INPUT						
Input High Voltage	V _{IH}		0.7 x DVDD			V
Input Low Voltage	V _{IL}		0.3 x DVDD			V
Input Hysteresis			210			mV
Input Leakage Current	I _{IH} , I _{IL}	V _{DVDD} = 2.0V, V _{IN} = 0V, 5.5V; T _A = +25°C	-1		+1	μA
Input Capacitance			10			pF
SDA, $\overline{\text{IRQ}}$ —OUTPUT						
Output High Current	I _{OH}	V _{OUT} = 5.5V, T _A = +25°C	1			mA
Output Low Voltage	V _{OL}	V _{DVDD} = 1.65V, I _{OL} = 3mA	0.2 x DVDD			V

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

DIGITAL INPUT/OUTPUT CHARACTERISTICS (continued)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGMICDATA—INPUT						
Input High Voltage	V_{IH}		0.65 x DVDD			V
Input Low Voltage	V_{IL}				0.35 x DVDD	V
Input Hysteresis				125		mV
Input Leakage Current	I_{IH}, I_{IL}	$V_{DVDD} = 2.0V$, $V_{IN} = 0V$, $2.0V$; $T_A = +25^\circ C$	-25		+25	μA
Input Capacitance				10		pF
DIGMICCLK—OUTPUT						
Output Low Voltage	V_{OL}	$V_{DVDD} = 1.65V$, $I_{OL} = 1mA$			0.4	V
Output High Voltage	V_{OH}	$V_{DVDD} = 1.65V$, $I_{OH} = 1mA$	DVDD - 0.4			V

INPUT CLOCK CHARACTERISTICS

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MCLK Input Frequency	f_{MCLK}		10		60	MHz
MCLK Input Duty Cycle		PSCLK = 01	40	50	60	%
		PSCLK = 10 or 11	30		70	
Maximum MCLK Input Jitter				100		pSRMS
LRCLK Sample Rate (Note 8)		DHF_ = 0	8		48	kHz
		DHF_ = 1	48		96	
DAI1 LRCLK Average Frequency Error (Note 9)		FREQ1 = 0x8 to 0xF	0		0	%
		FREQ1 = 0x0	-0.025		+0.025	
DAI2 LRCLK Average Frequency Error (Note 9)			-0.025		+0.025	%
PLL Lock Time		Rapid lock mode		2	7	ms
		Nonrapid lock mode		12	25	
Maximum LRCLK Jitter to Maintain PLL Lock					100	ns
Soft-Start/Stop Time				10		ms

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

AUDIO INTERFACE TIMING CHARACTERISTICS

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BCLK Cycle Time	t _{BCLK}	Slave mode	90			ns
BCLK High Time	t _{BCLKH}	Slave mode	20			ns
BCLK Low Time	t _{BCLKL}	Slave mode	20			ns
BCLK or LRCLK Rise and Fall Time	t _R , t _F	Master mode, C _L = 15pF		5		ns
SDIN to BCLK Setup Time	t _{SETUP}		20			ns
LRCLK to BCLK Setup Time	t _{SYNCSET}	Slave mode	20			ns
SDIN to BCLK Hold Time	t _{HOLD}		20			ns
LRCLK to BCLK Hold Time	t _{SYNCHOLD}	Slave mode	20			ns
Minimum Delay Time from LSB BCLK Falling Edge to High-Impedance State	t _{HIZOUT}	Master mode, TDM_ = 1		42		ns
LRCLK Rising Edge to SDOUT MSB Delay	t _{SYNCTX}	C _L = 30pF, TDM_ = 1, FSW_ = 1			50	ns
BCLK to SDOUT Delay	t _{CLKTX}	C _L = 30pF, TDM_ = 1, BCLK rising edge			50	ns
		TDM_ = 0			50	ns
Delay Time from BCLK to LRCLK	t _{CLKSYNC}	Master mode, TDM_ = 1	-15		+15	ns
		TDM_ = 0			0.8 x t _{BCLKL}	ns
Delay Time from LRCLK to BCLK After LSB	t _{ENDSYNC}	Master mode, TDM_ = 1, FSW_ = 1	20			ns

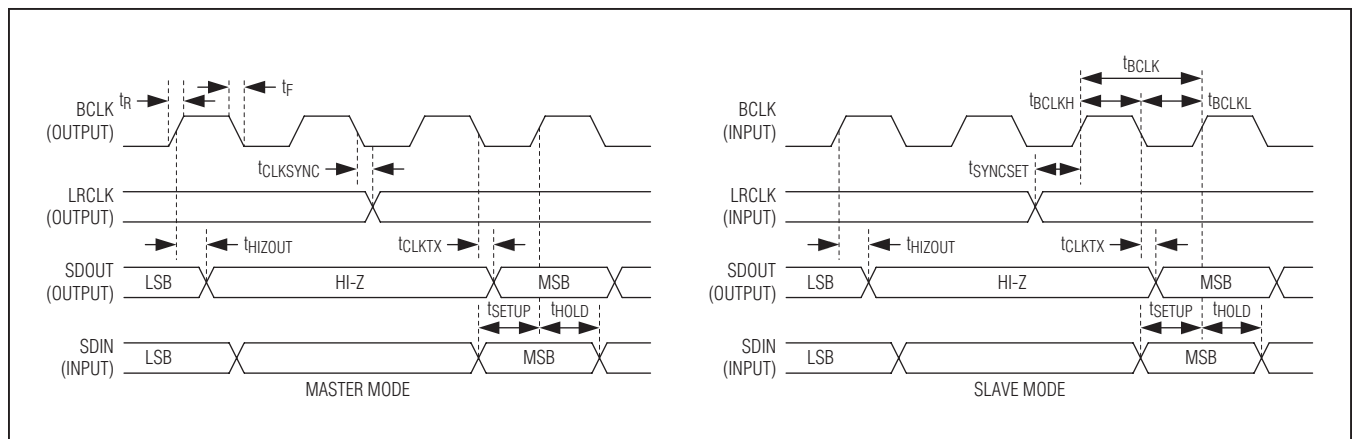


図1. 非TDMオーディオインタフェースのタイミング図(TDM_ = 0)

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

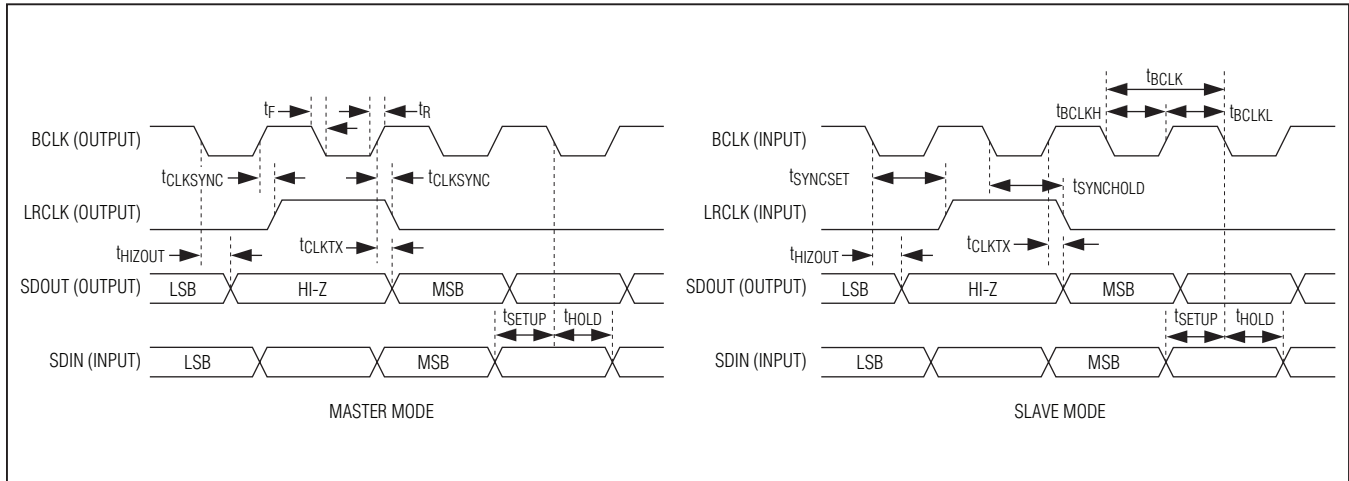


図2. TDMオーディオインタフェースのタイミング図(TDM_ = 1、FSW_ = 0)

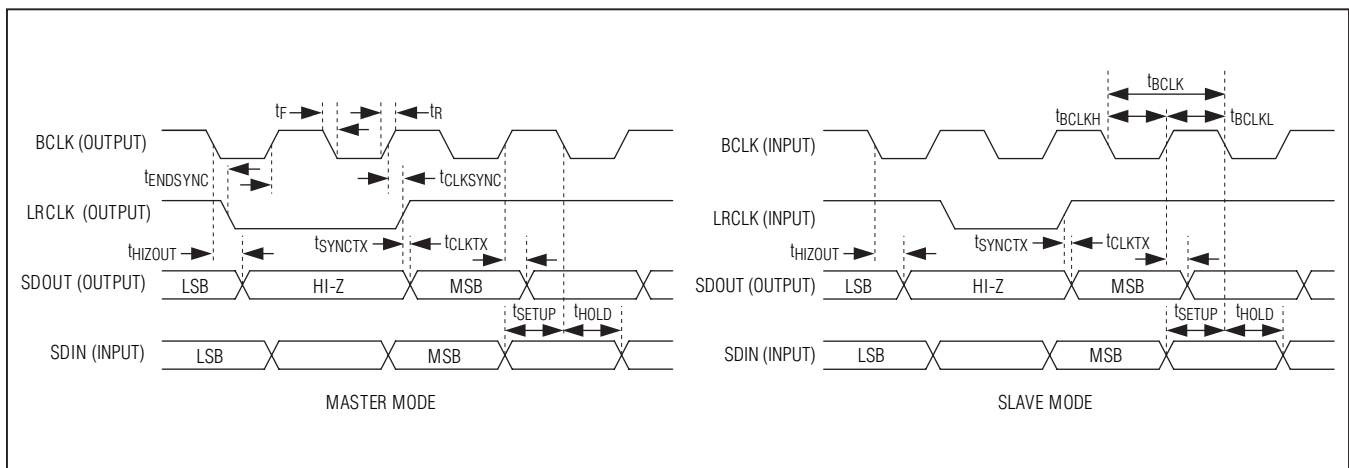


図3. TDMオーディオインタフェースのタイミング図(TDM_ = 1、FSW_ = 1)

DIGITAL MICROPHONE TIMING CHARACTERISTICS

(VAVDD = VHPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V, TA = +25°C, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGMICCLK Frequency	f _{MICCLK}	MICCLK = 00		PCLK/8		MHz
		MICCLK = 01		PCLK/6		
		MICCLK = 10		64 x f _{LRCLK}		
DIGMICDATA to DIGMICCLK Setup Time	t _{SU,MIC}	Either clock edge	20			ns
DIGMICDATA to DIGMICCLK Hold Time	t _{HD,MIC}	Either clock edge	0			ns

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

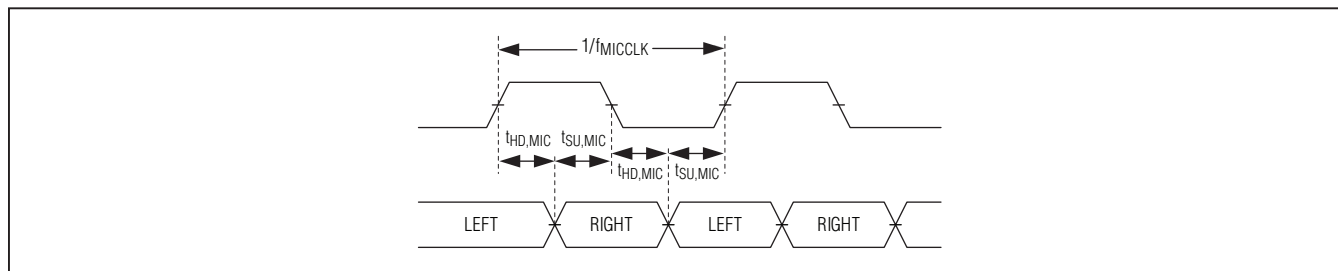


図4. デジタルマイクロフォンのタイミング図

I²C TIMING CHARACTERISTICS

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $T_A = +25^\circ C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f_{SCL}	Guaranteed by SCL pulse-width low and high	0		400	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		1.3			μs
Hold Time (Repeated) START Condition	$t_{HD,STA}$		0.6			μs
SCL Pulse-Width Low	t_{LOW}		1.3			μs
SCL Pulse-Width High	t_{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	$t_{SU,STA}$		0.6			μs
Data Hold Time	$t_{HD,DAT}$	$R_{PU} = 475\Omega$, $C_B = 100pF$, $400pF$	0		900	ns
Data Setup Time	$t_{SU,DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_R	(Note 10)	$20 + 0.1C_B$		300	ns
SDA and SCL Receiving Fall Time	t_F	(Note 10)	$20 + 0.1C_B$		300	ns
SDA Transmitting Fall Time	t_F	$R_{PU} = 475\Omega$, $C_B = 100pF$, $400pF$ (Note 10)	$20 + 0.05C_B$		250	ns
Setup Time for STOP Condition	$t_{SU,STO}$		0.6			μs
Bus Capacitance	C_B	Guaranteed by SDA transmitting fall time			400	pF
Pulse Width of Suppressed Spike	t_{SP}		0		50	ns

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

I²C TIMING CHARACTERISTICS (continued)

(V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V, V_{SPKLVDD} = V_{SPKRVDD} = 3.7V, T_A = +25°C, unless otherwise noted.)
(Note 1)

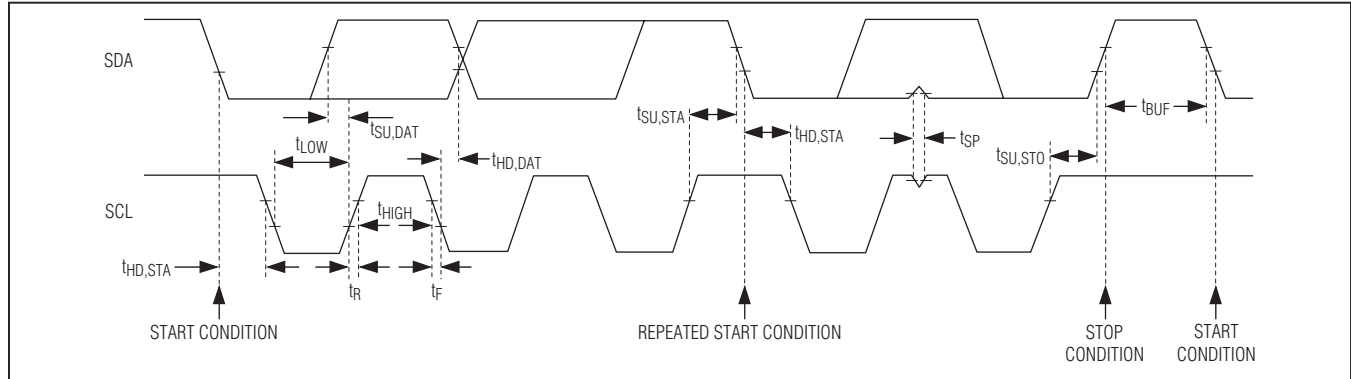


図5. I²Cインタフェースのタイミング図

Note 1: The IC is 100% production tested at T_A = +25°C. Specifications over temperature limits are guaranteed by design.

Note 2: Analog supply current = I_{AVDD} + I_{HPVDD}. Speaker supply current = I_{SPKLVDD} + I_{SPKRVDD}. Digital supply current = I_{DVDD} + I_{DVDDS1} + I_{DVDDS2}.

Note 3: Clocking all zeros into the DAC.

Note 4: Dynamic range measured using the EIAJ method. -60dBFS, 1kHz output signal, A-weighted and normalized to 0dBFS. f = 20Hz to 20kHz.

Note 5: Gain measured relative to the 0dB setting.

Note 6: The filter specification is accurate only for synchronous clocking modes, where NI is a multiple of 0x1000.

Note 7: 0dBFS for DAC input. 1Vp-p for INA/INB inputs.

Note 8: LRCLK may be any rate in the indicated range. Asynchronous or noninteger MCLK/LRCLK ratios may exhibit some full-scale performance degradation compared to synchronous integer related MCLK/LRCLK ratios.

Note 9: In master-mode operation, the accuracy of the MCLK input proportionally determines the accuracy of the sample clock rate.

Note 10: CB is in pF.

消費電力

(V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V, V_{SPKLVDD} = V_{SPKRVDD} = 3.7V, MAS = 0.)

MODE	I _{AVDD} (mA)	I _{PVDD} (mA)	I _{SPKVDD} + I _{SPKLVDD} (mA)	I _{DVDD} (mA)	I _{DVDDS1} + I _{DVDDS2} (mA)	POWER (mW)	DYNAMIC RANGE (dB)
Playback to Headphone Only							
DAC Playback 48kHz Stereo HP DAC → HP Low power mode, 24-bit, music filters, 256Fs	1.25	0.47	0.00	1.35	0.01	5.55	97
DAC Playback 48kHz Stereo HP DAC → HP Low power mode, 24-bit, music filters, 256Fs, 0.1mW/channel, R _{HP} = 32Ω	1.25	1.81	0.00	1.56	0.01	8.32	97

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

消費電力(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $MAS = 0$.)

MODE	I _{AVDD} (mA)	I _{PVDD} (mA)	I _{SPKVDD} + I _{SPKLVDD} (mA)	I _{DVDD} (mA)	I _{DVDDS1} + I _{DVDDS2} (mA)	POWER (mW)	DYNAMIC RANGE (dB)
DAC Playback to Headphone							
DAC Playback 48kHz Stereo HP DAC → HP 24-bit, music filters, 256Fs	2.04	1.27	0.00	1.53	0.01	8.72	101
DAC Playback 48kHz Stereo HP DAC → HP 24-bit, music filters, 256Fs, 0.1mW/ channel, R _{HP} = 32Ω	2.04	2.11	0.00	1.74	0.01	10.63	101
DAC Playback 44.1kHz Stereo HP DAC → HP 24-bit, music filters	2.03	1.27	0.00	1.41	0.01	8.46	101
DAC Playback 44.1kHz Stereo HP DAC → HP Low power mode, 24-bit, music filters	1.25	0.47	0.00	1.25	0.01	5.34	98
DAC Playback 8kHz Stereo HP DAC → HP 16-bit, voice filters	2.04	1.27	0.00	1.07	0.00	7.89	96
DAC Playback 8kHz Stereo HP DAC → HP 16-bit, low power mode, voice filters	1.26	0.47	0.00	0.90	0.00	4.72	96
DAC Playback 8kHz Mono HP DAC → HP 16-bit, low power mode, voice filters	0.77	0.29	0.00	0.79	0.00	3.33	98
Line Playback Stereo HP INA → HP Single-ended inputs	2.40	1.27	0.00	0.02	0.00	6.67	95
DAC Playback to Class D Speaker							
DAC Playback 48kHz Stereo SPK DAC → SPK 24-bit, music filters	2.31	0.00	6.33	2.14	0.01	31.44	92

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

消費電力(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$, $MAS = 0$.)

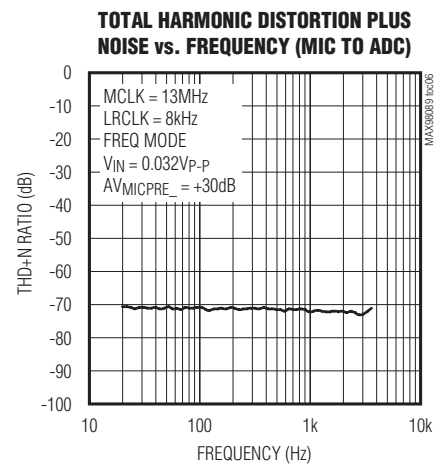
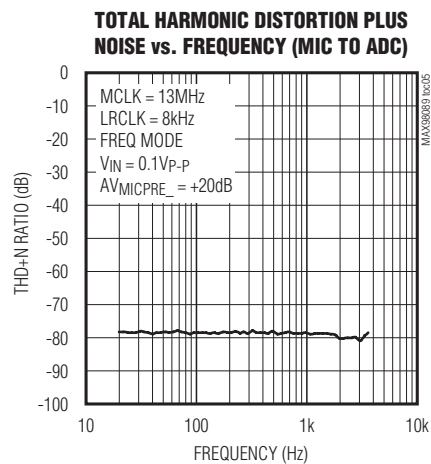
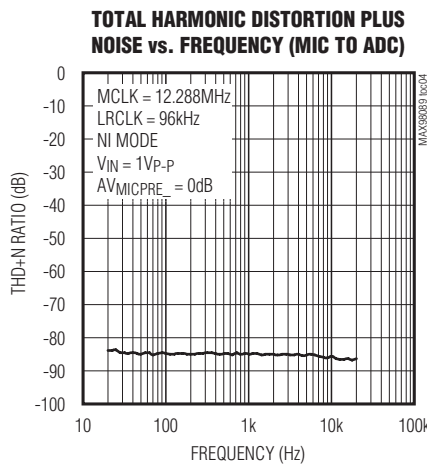
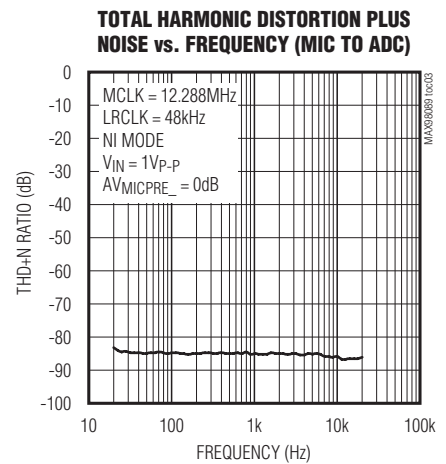
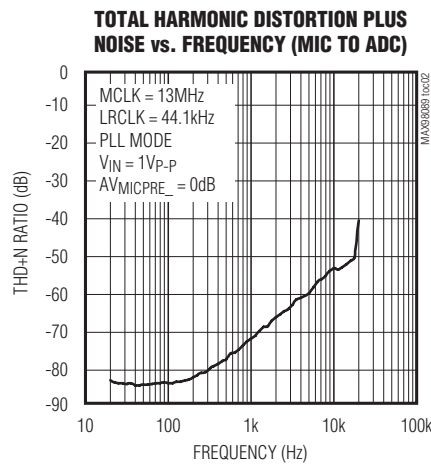
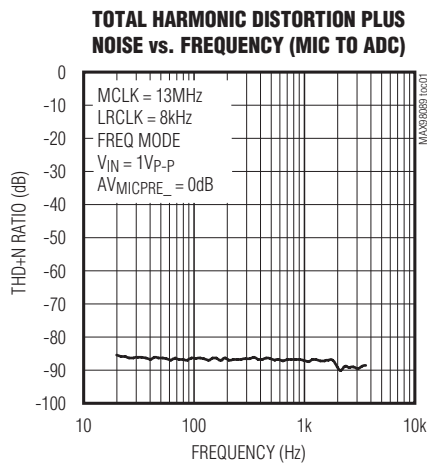
MODE	I _{AVDD} (mA)	I _{PVDD} (mA)	I _{SPKVDD} + I _{SPKLVDD} (mA)	I _{DVDD} (mA)	I _{DVDDS1} + I _{DVDDS2} (mA)	POWER (mW)	DYNAMIC RANGE (dB)
DAC Playback 48kHz Mono SPK DAC → SPK 24-bit, music filters	1.35	0.00	3.23	1.84	0.01	17.69	92
Line Playback Mono SPK INA → SPKL Differential inputs	1.01	0.00	3.24	0.03	0.00	13.83	93
Full Duplex							
Full-Duplex 8kHz Mono RCV MIC1 → ADC DAC → REC 16-bit, voice filters	6.32	0.00	1.54	1.24	0.01	19.33	Record = 93 Playback = 94
Full-Duplex 8kHz Stereo HP MIC1/2 → ADC DAC → HP 16-bit, mixer, voice filters	11.19	1.27	0.48	1.28	0.01	26.43	Record = 93 Playback = 96
Full-Duplex 8kHz Stereo HP MIC1/2 → ADC DAC → HP 16-bit, low power mode, voice filters	7.12	0.47	0.48	1.10	0.02	17.44	Record = 93 Playback = 96
Line Record							
Line Stereo Record 48kHz INA → ADC 24-bit, low power, music filters	6.19	0.00	0.20	1.31	0.15	14.47	91
Line Stereo Record 48kHz INA → ADC Direct pin input, 24bit, low power, music filters	5.69	0.00	0.20	1.31	0.12	13.53	93

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOUTL or LOUTr to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

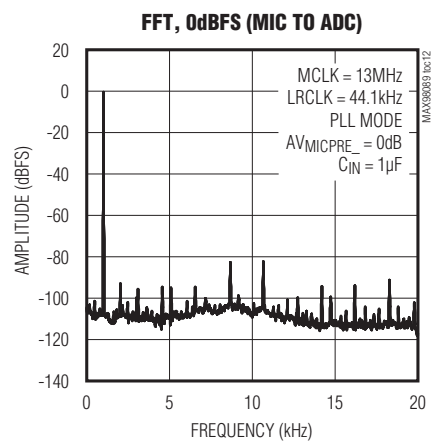
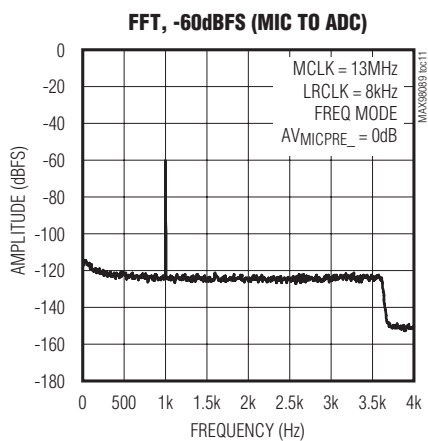
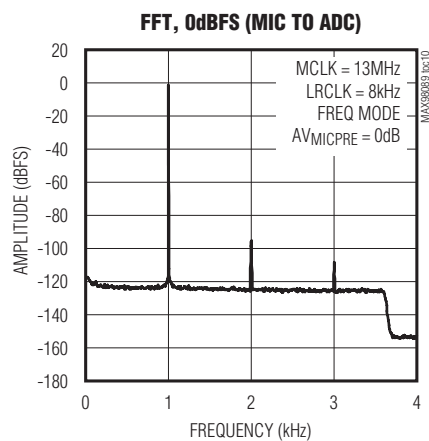
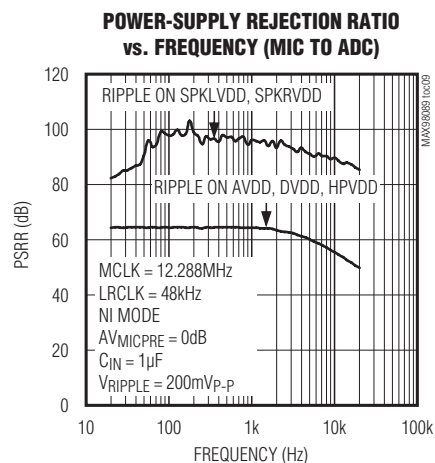
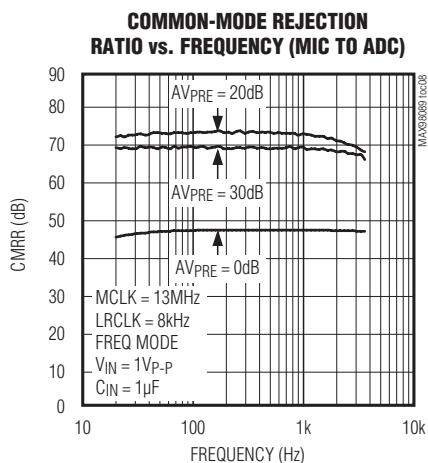
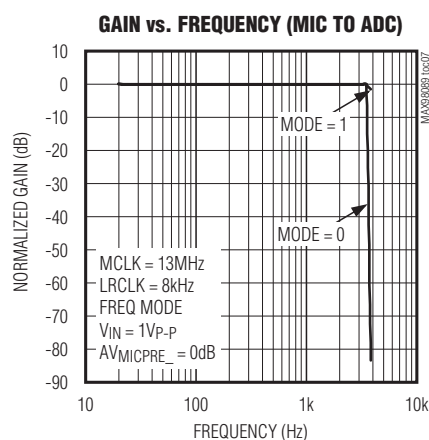
Microphone to ADC



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

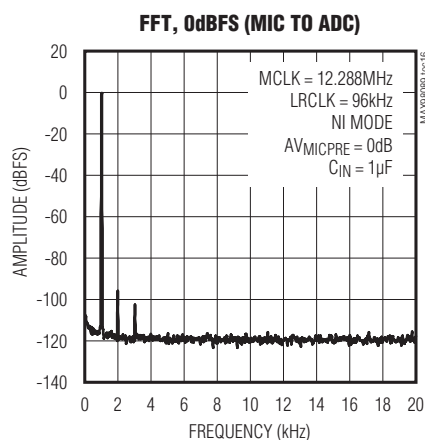
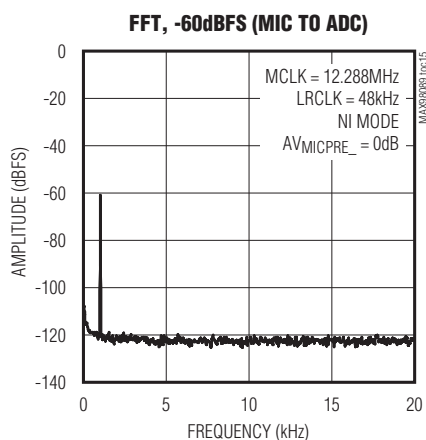
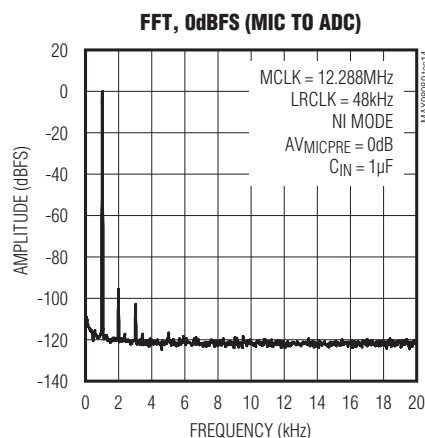
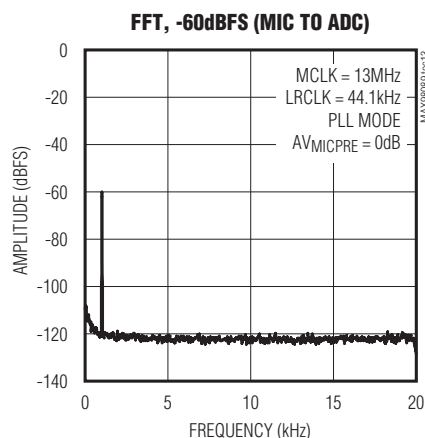
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

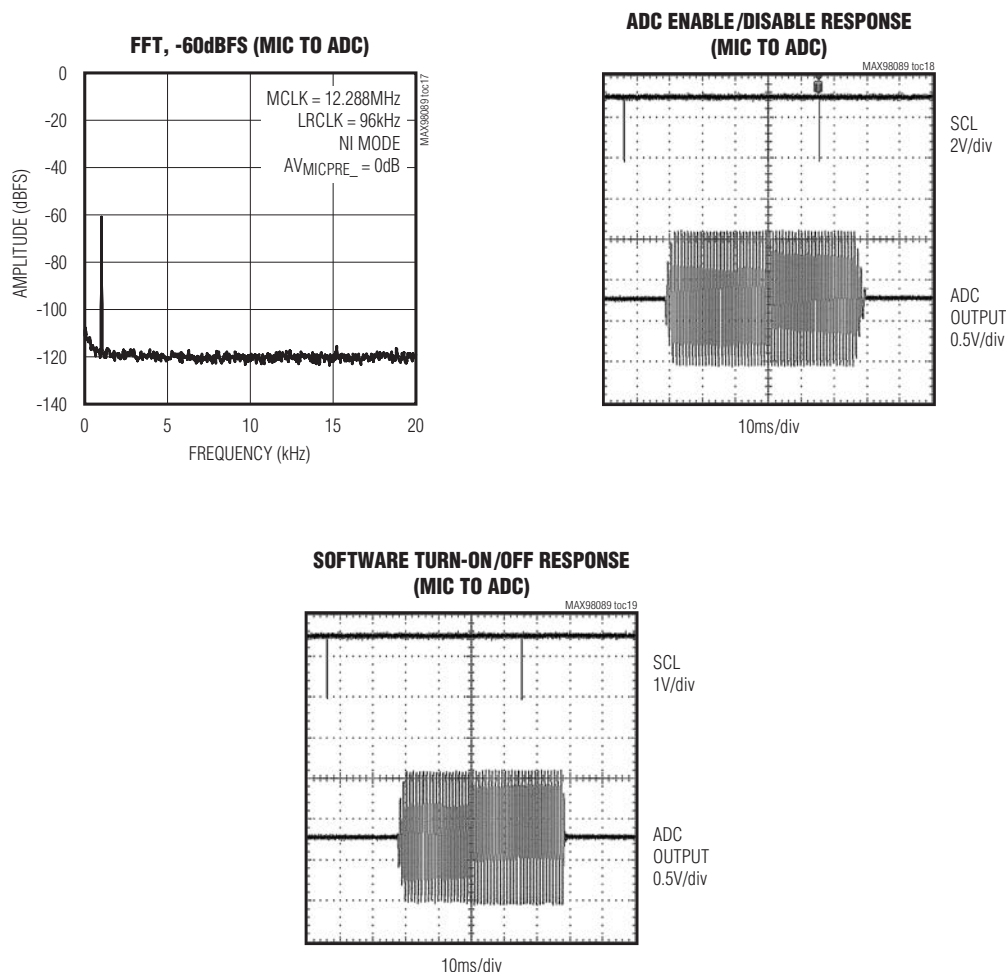
(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out (RLOUT) connected from LOU TL or LOU TR to SPKLGND, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-CC1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 1. TA = +25°C, unless otherwise noted.)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and RECN. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU TL or LOU TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

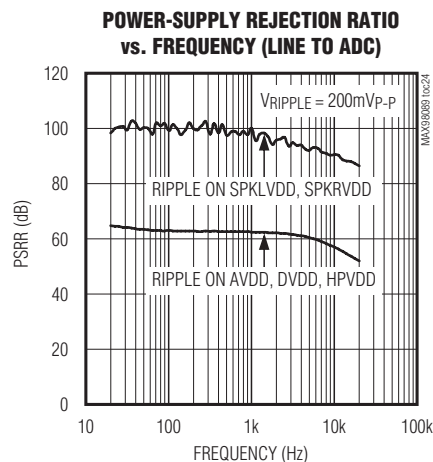
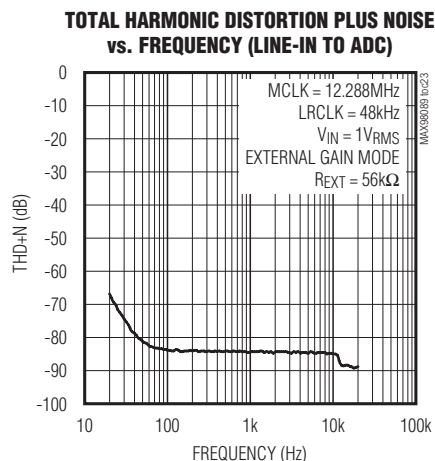
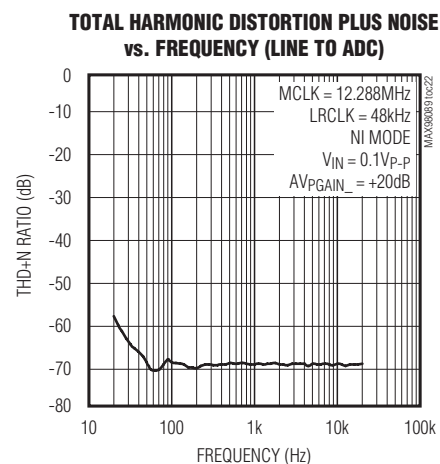
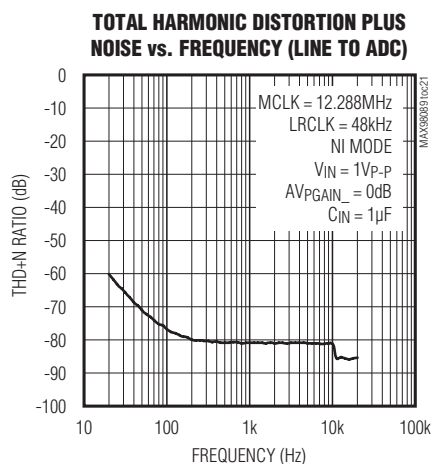
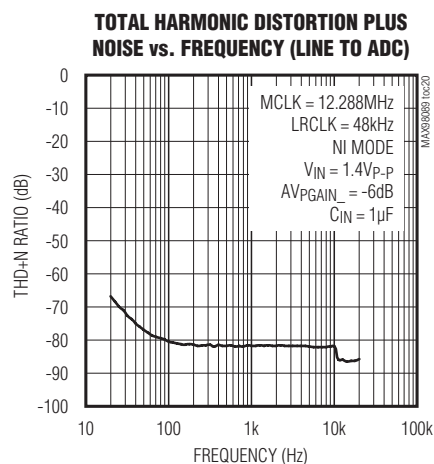


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Line to ADC



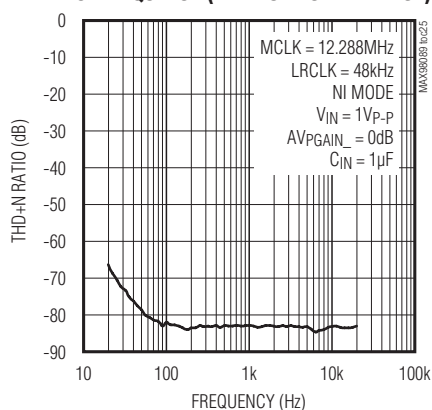
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

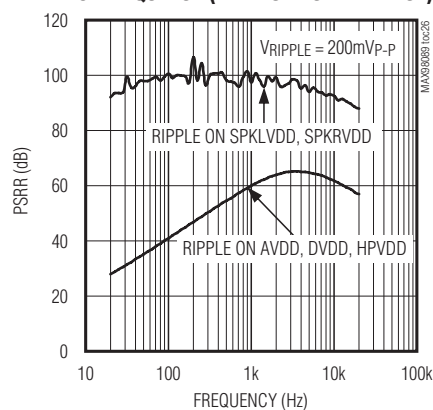
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Line-In Pin Direct to ADC

**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (LINE TO ADC PIN DIRECT)**

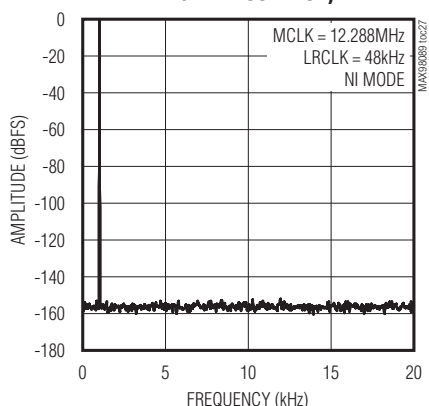


**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (LINE TO ADC PIN DIRECT)**

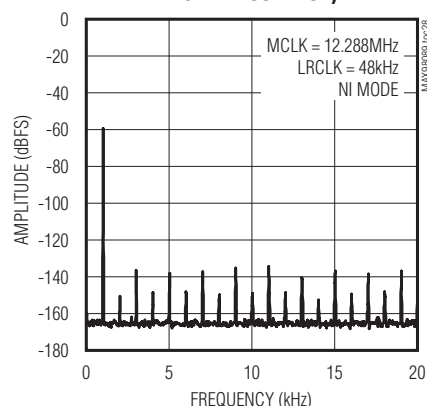


Digital Loopback

**FFT, 0dBFS (SDINS1 TO SDINS2
DIGITAL LOOPBACK)**



**FFT, -60dBFS (SDINS1 TO SDINS2
DIGITAL LOOPBACK)**

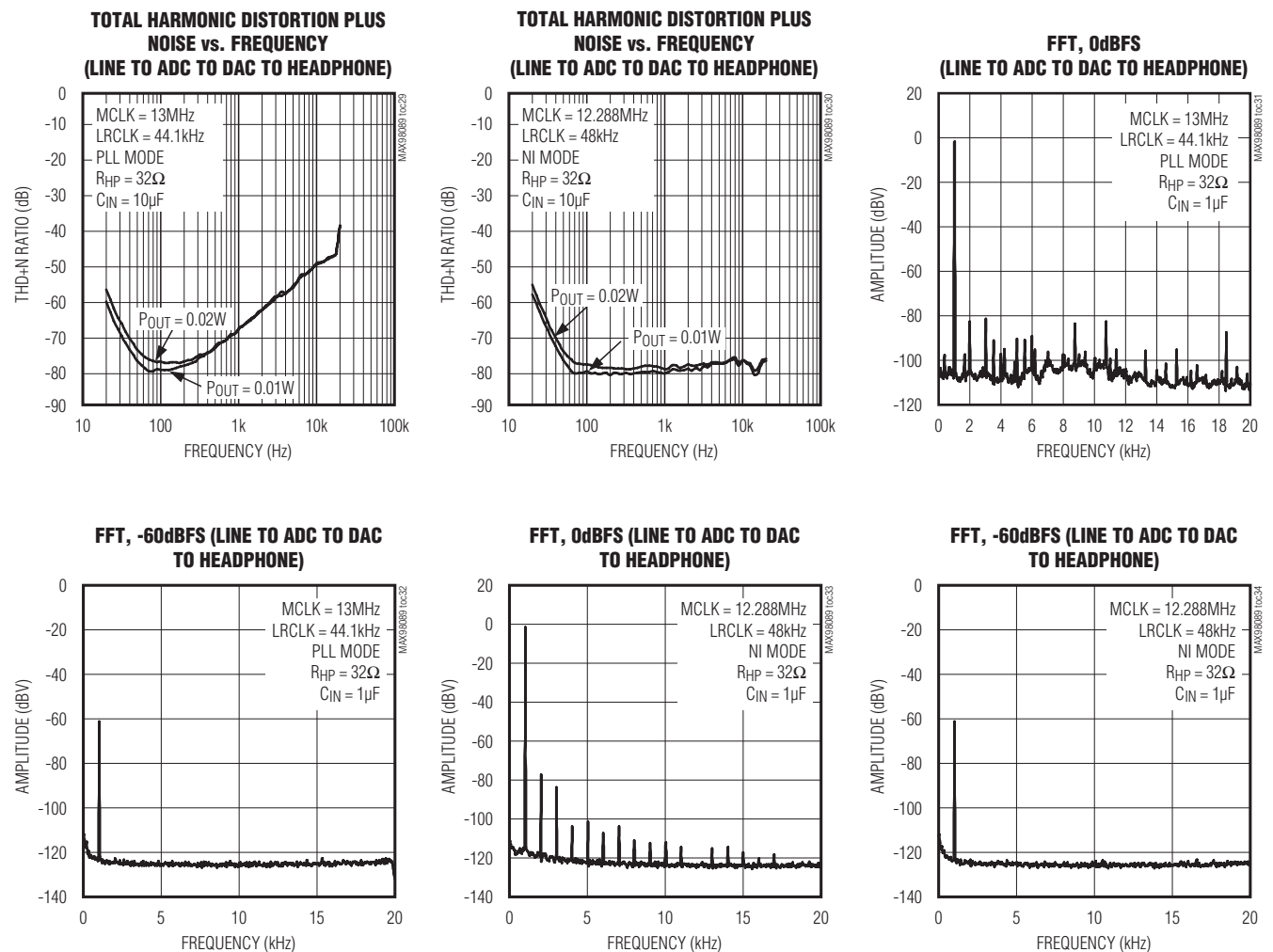


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOUTL or LOUTr to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Analog Loopback



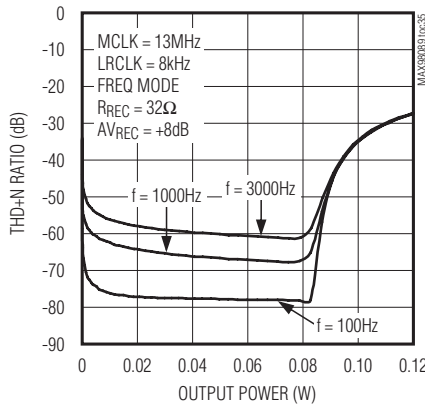
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

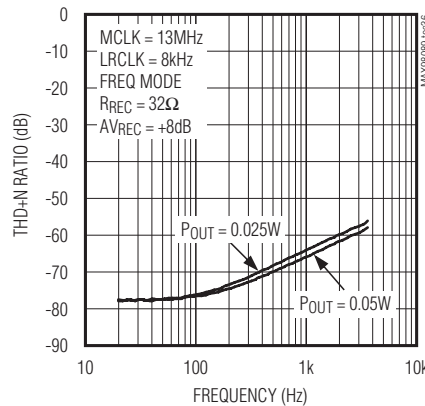
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

DAC to Receiver

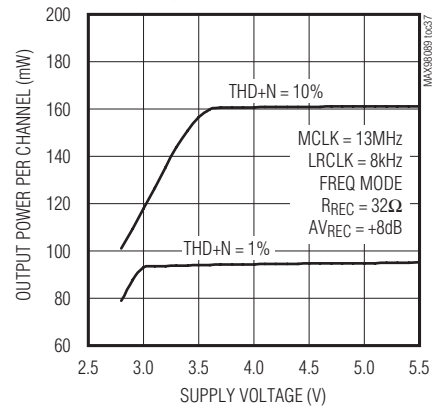
**TOTAL HARMONIC DISTORTION
vs. OUTPUT POWER (DAC TO RECEIVER)**



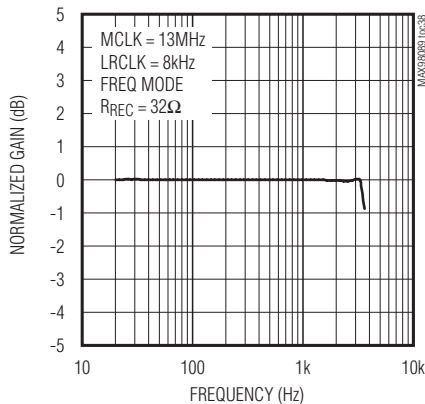
**TOTAL HARMONIC DISTORTION
vs. FREQUENCY (DAC TO RECEIVER)**



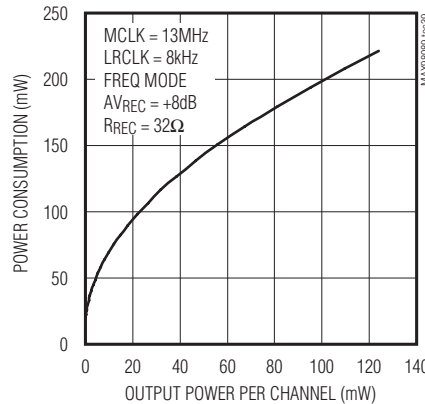
**OUTPUT POWER vs. SUPPLY VOLTAGE
(DAC TO RECEIVER)**



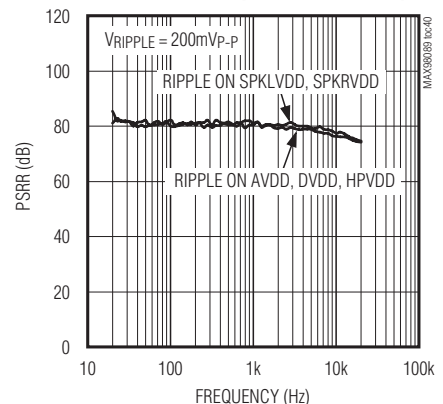
**GAIN vs. FREQUENCY
(DAC TO RECEIVER)**



**POWER CONSUMPTION vs. OUTPUT
POWER (DAC TO RECEIVER)**



**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (DAC TO RECEIVER)**

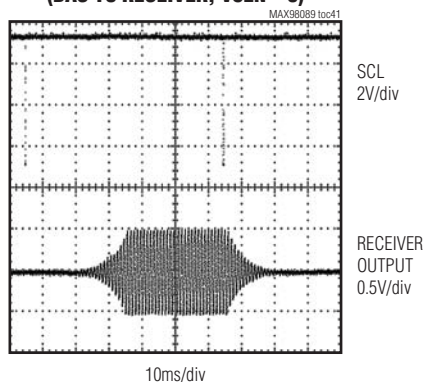


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

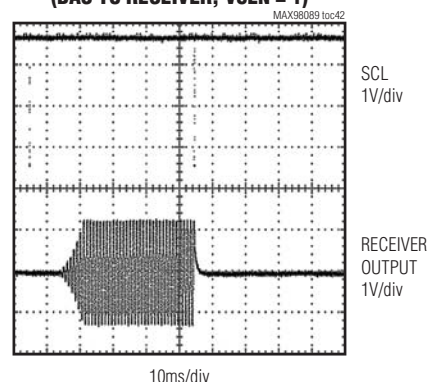
標準動作特性(続き)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out (RLOUT) connected from LOU TL or LOU TR to SPKLGND, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 1. TA = +25°C, unless otherwise noted.)

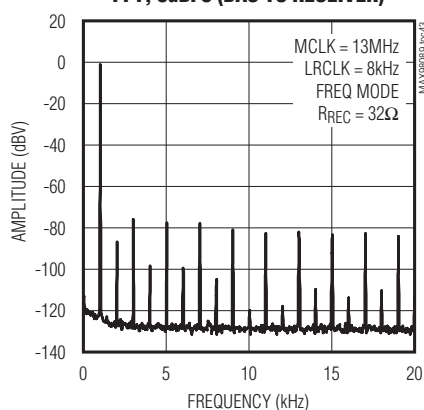
**SOFTWARE TURN-ON/OFF RESPONSE
(DAC TO RECEIVER, VSEN = 0)**



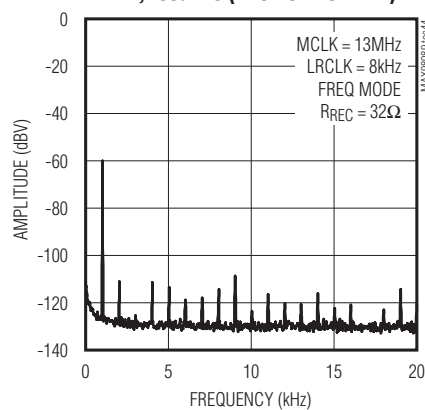
**SOFTWARE TURN-ON/OFF RESPONSE
(DAC TO RECEIVER, VSEN = 1)**



FFT, 0dBFS (DAC TO RECEIVER)



FFT, -60dBFS (DAC TO RECEIVER)



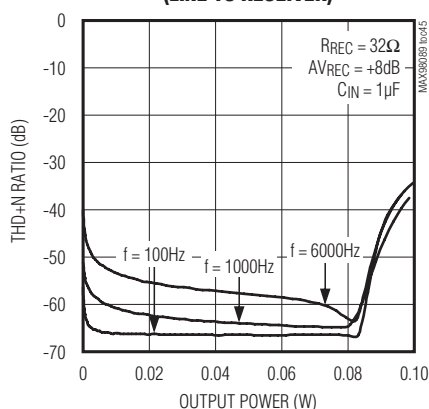
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

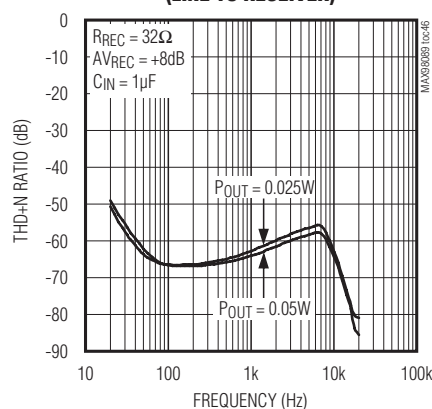
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Line to Receiver

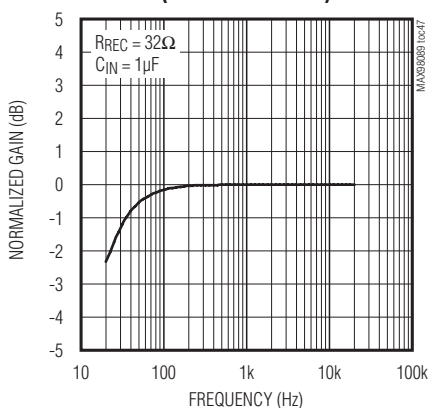
**TOTAL HARMONIC DISTORTION
PLUS NOISE vs. OUTPUT POWER
(LINE TO RECEIVER)**



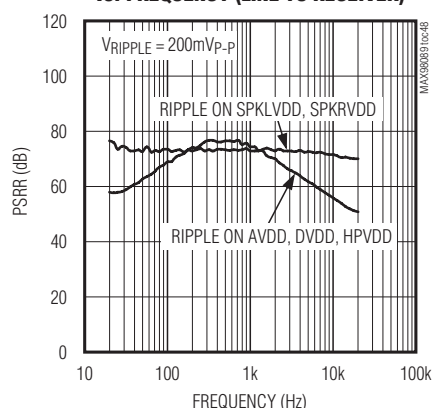
**TOTAL HARMONIC DISTORTION
PLUS NOISE vs. FREQUENCY
(LINE TO RECEIVER)**



**GAIN vs. FREQUENCY
(LINE TO RECEIVER)**



**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (LINE TO RECEIVER)**

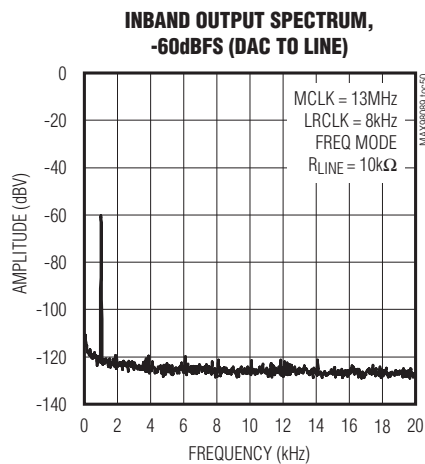
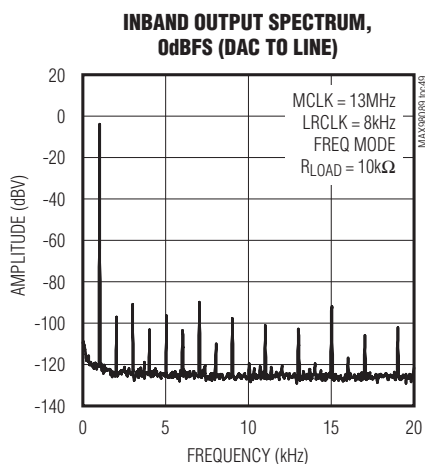


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

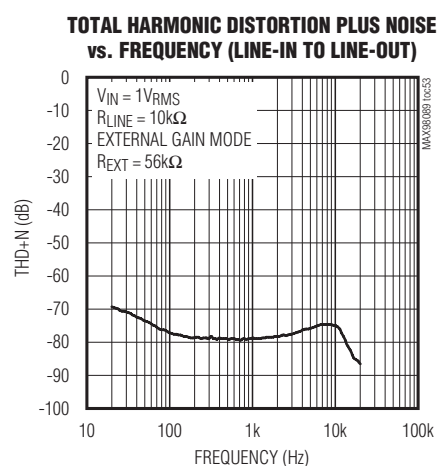
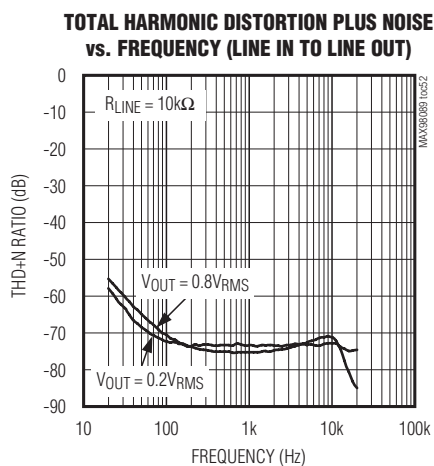
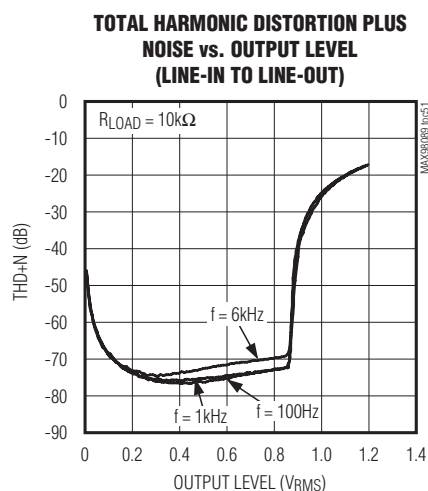
標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

DAC-to-Line Output



Line-to-Line Output



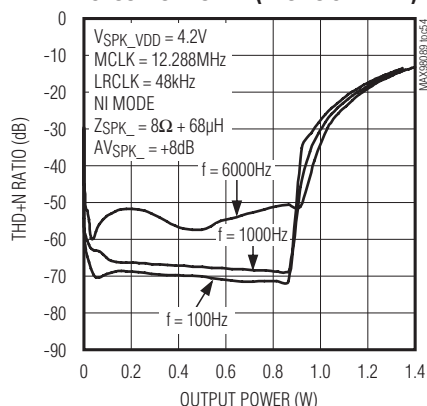
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

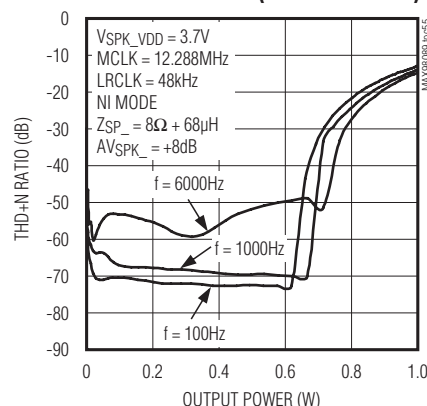
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDD1} = V_{DVDD2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

DAC to Speaker

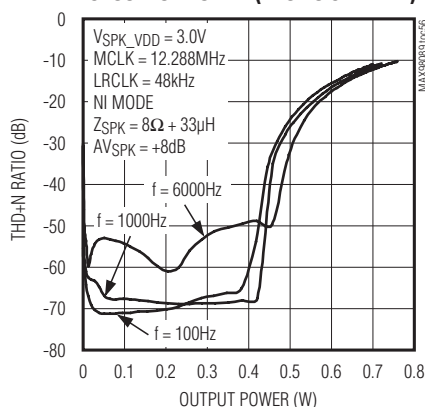
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER)**



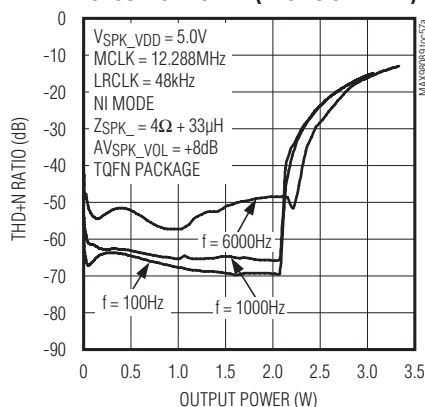
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER)**



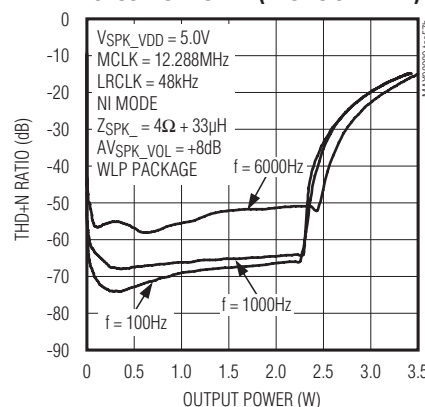
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER)**



**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER)**



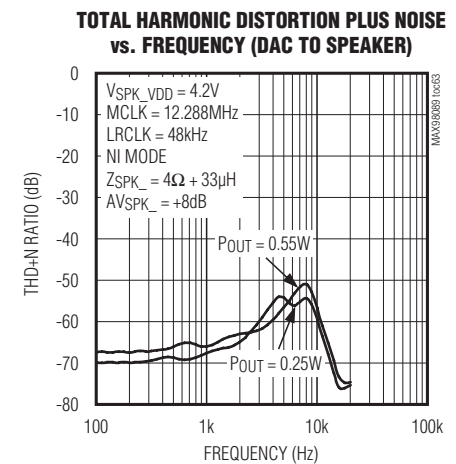
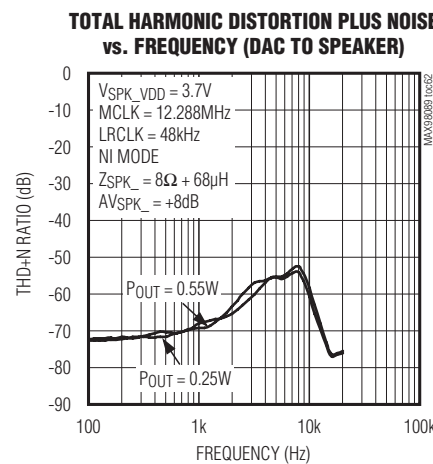
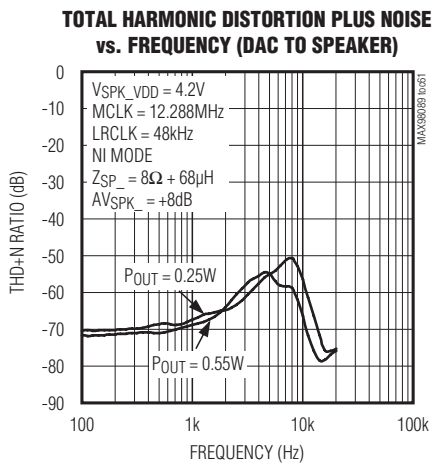
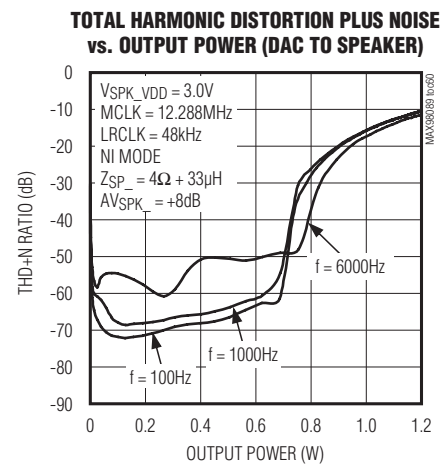
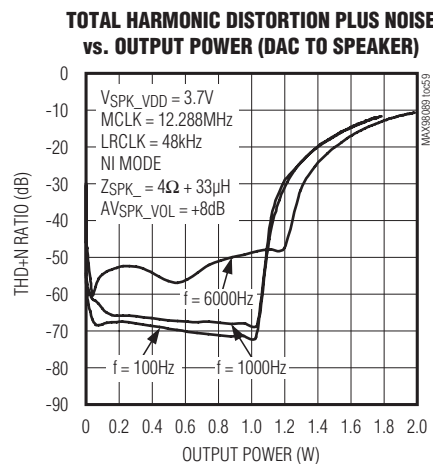
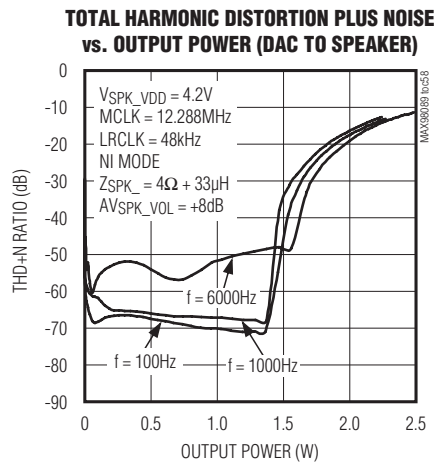
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO SPEAKER)**



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and RECN. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU1L or LOU1R to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

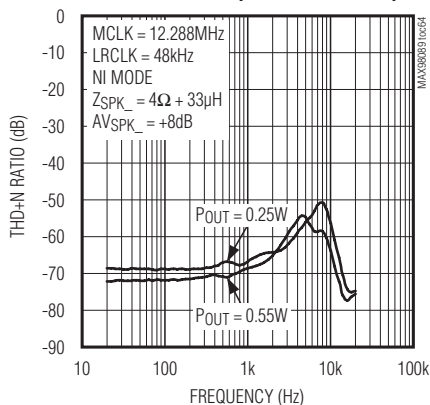


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

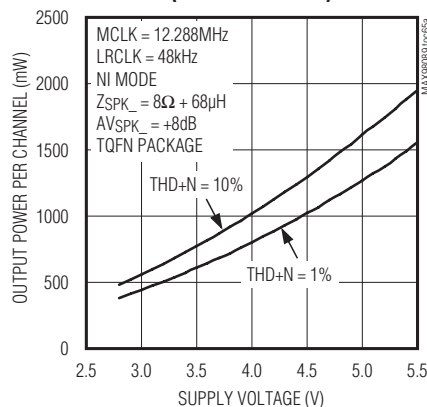
標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

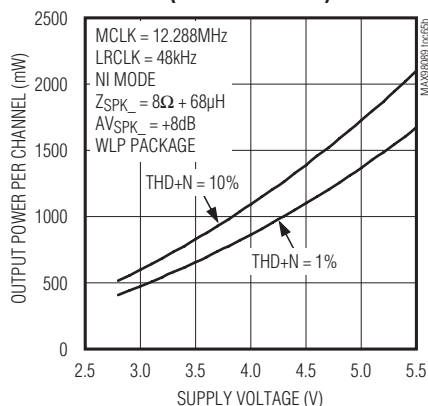
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO SPEAKER)**



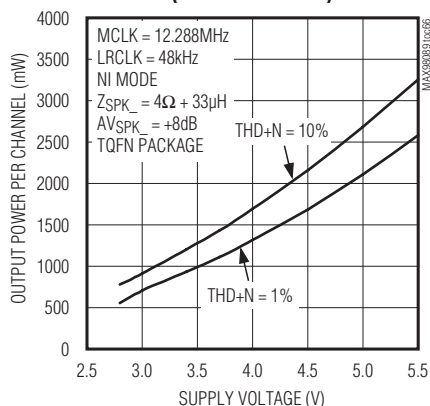
**OUTPUT POWER vs. SUPPLY VOLTAGE
(DAC TO SPEAKER)**



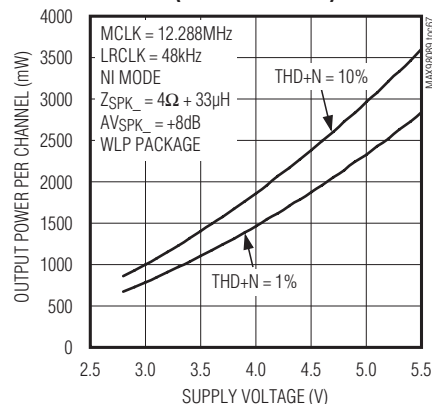
**OUTPUT POWER vs. SUPPLY VOLTAGE
(DAC TO SPEAKER)**



**OUTPUT POWER vs. SUPPLY VOLTAGE
(DAC TO SPEAKER)**



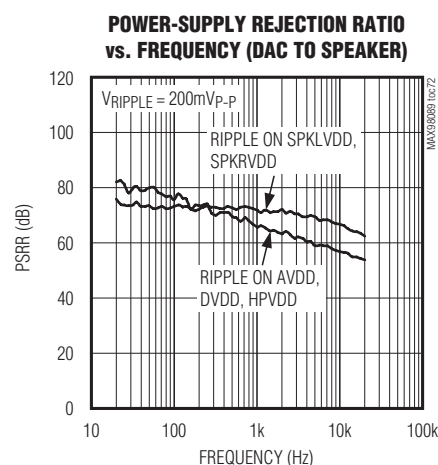
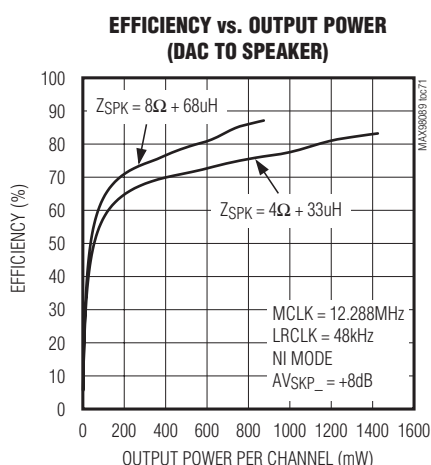
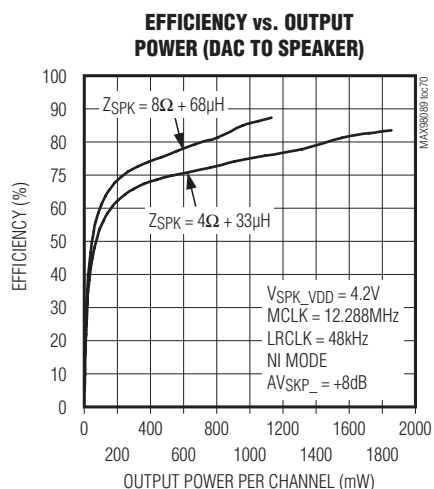
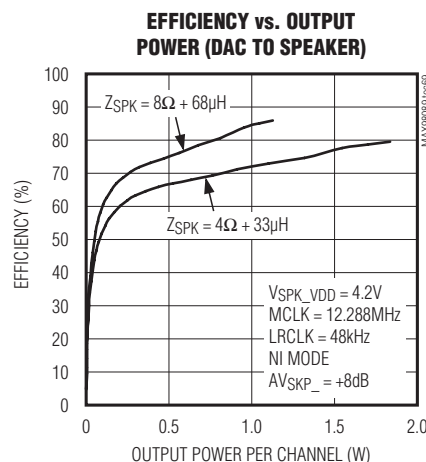
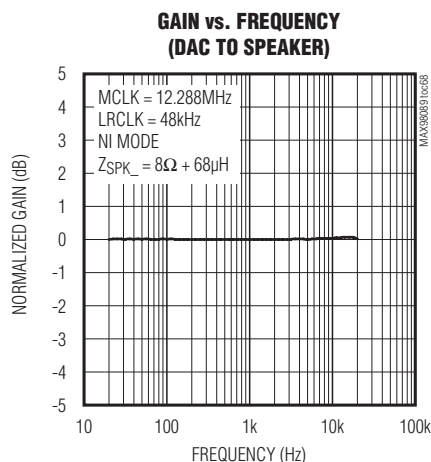
**OUTPUT POWER vs. SUPPLY VOLTAGE
(DAC TO SPEAKER)**



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

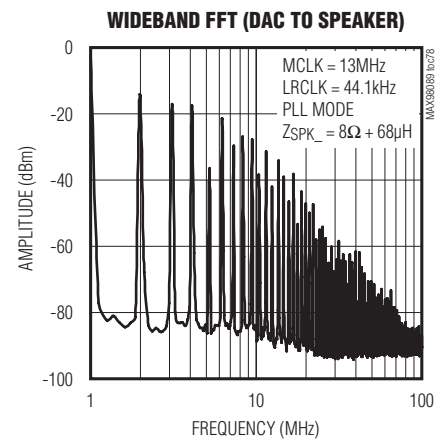
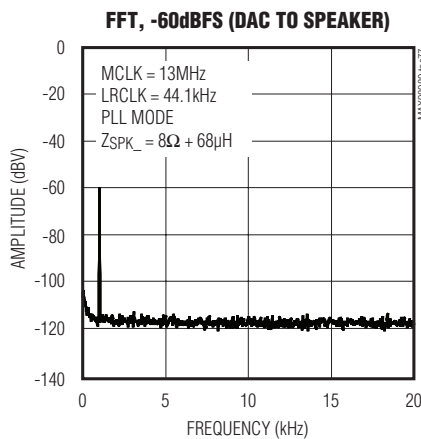
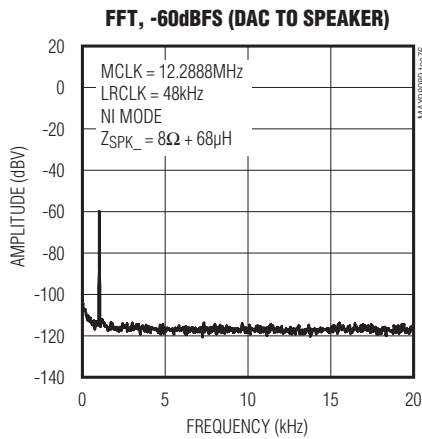
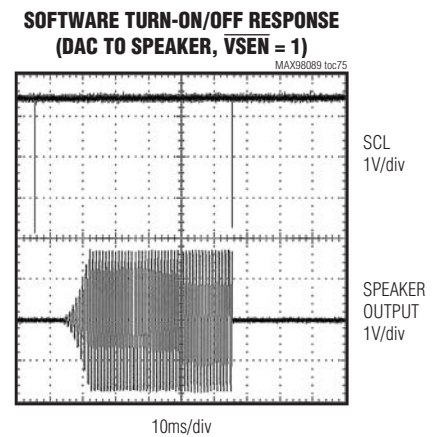
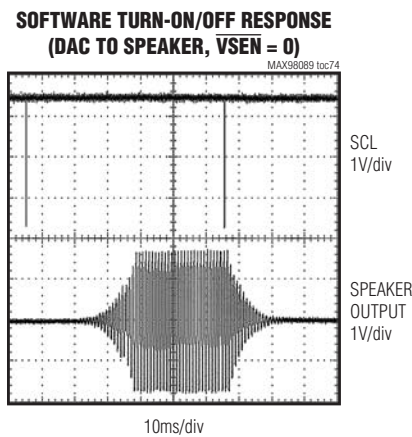
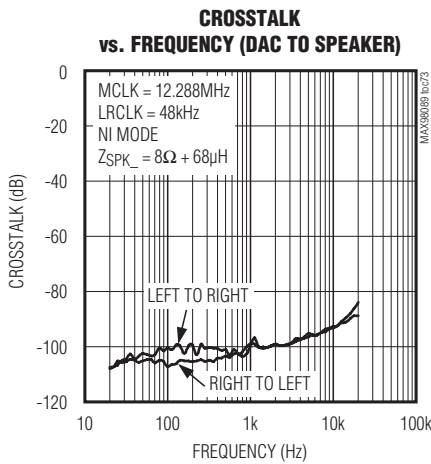
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDD1} = V_{DVDD2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



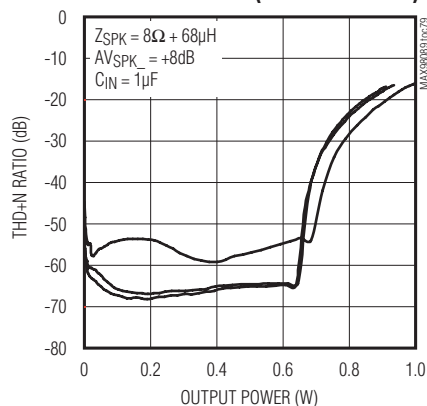
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

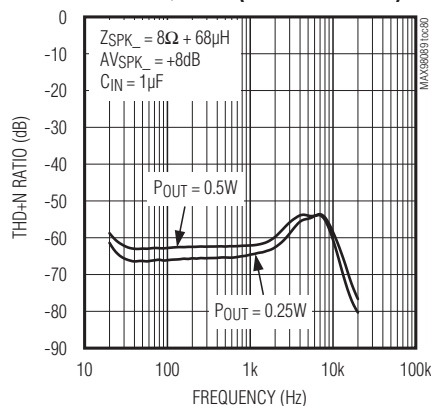
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out (RLOUT) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $C_{HPVDD} = C_{HPVSS} = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Line to Speaker

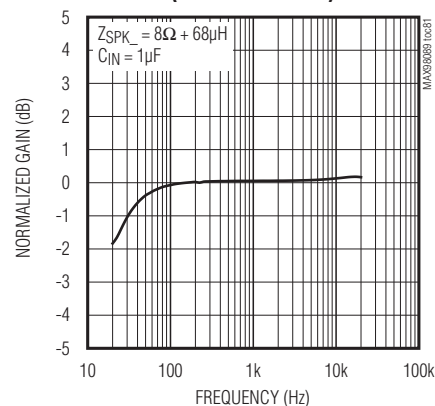
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (LINE TO SPEAKER)**



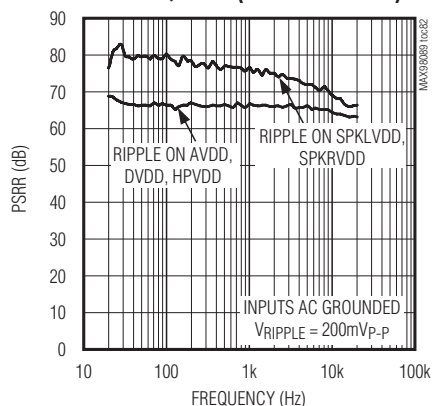
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (LINE TO SPEAKER)**



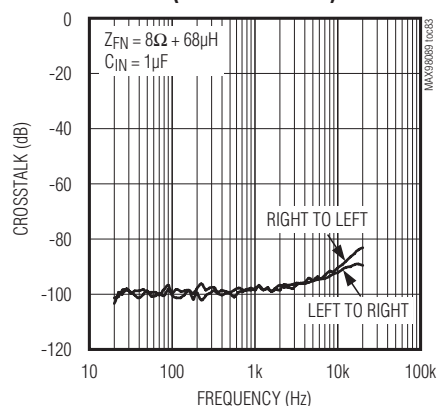
**GAIN vs. FREQUENCY
(LINE TO SPEAKER)**



**POWER-SUPPLY REJECTION RATIO
vs. FREQUENCY (LINE TO SPEAKER)**



**CROSSTALK vs. FREQUENCY
(LINE TO SPEAKER)**



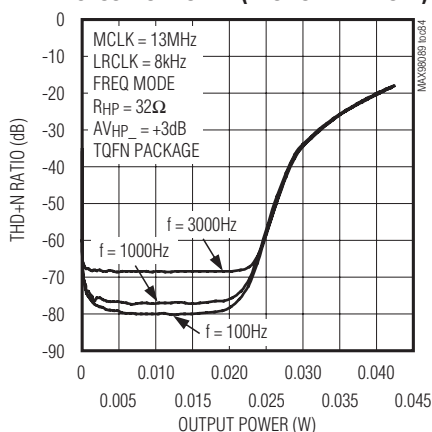
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

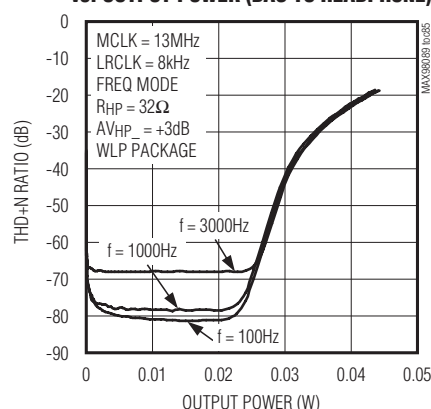
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOUTL or LOUTR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

DAC to Headphone

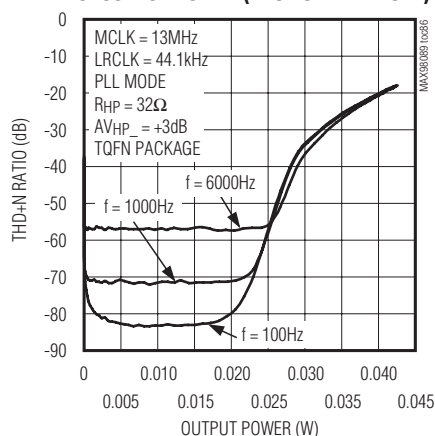
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



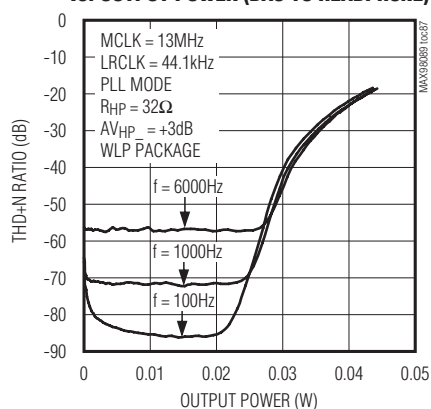
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



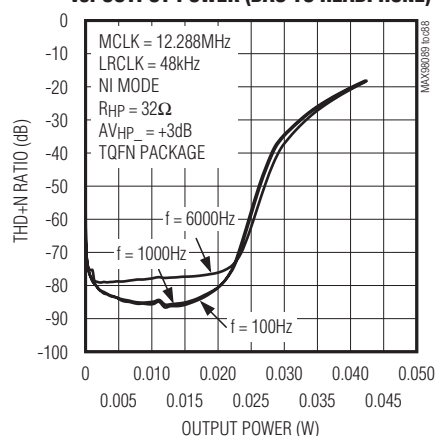
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



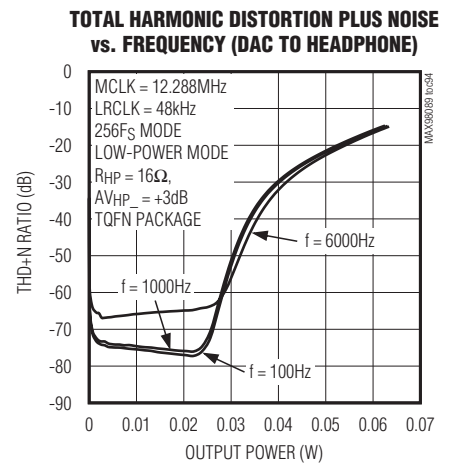
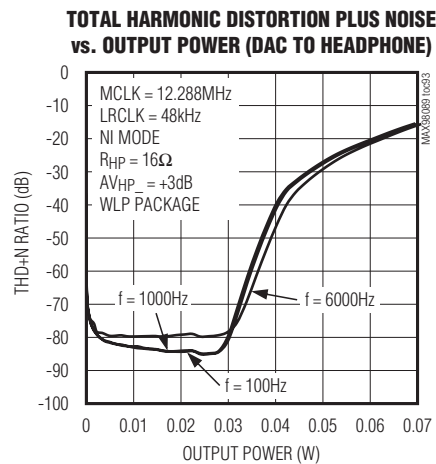
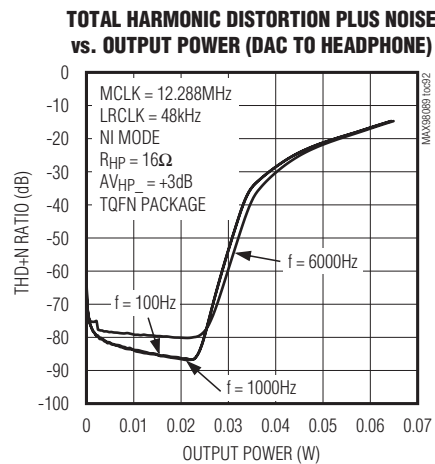
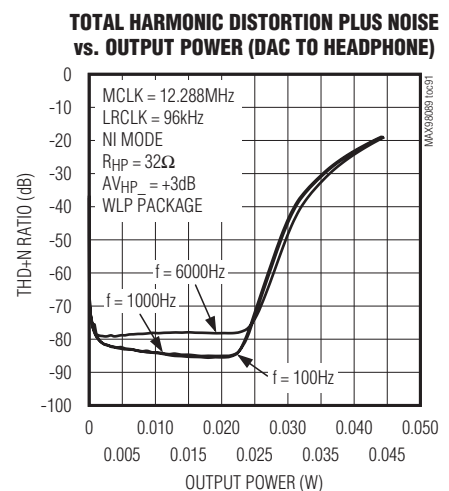
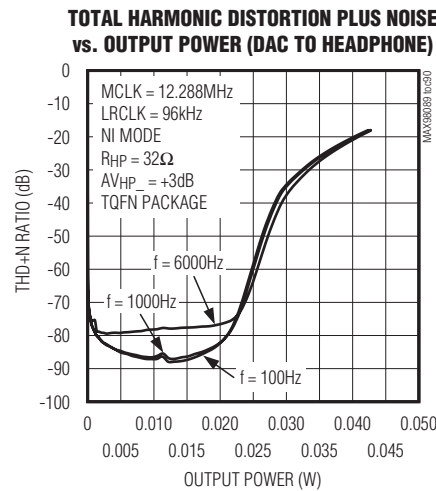
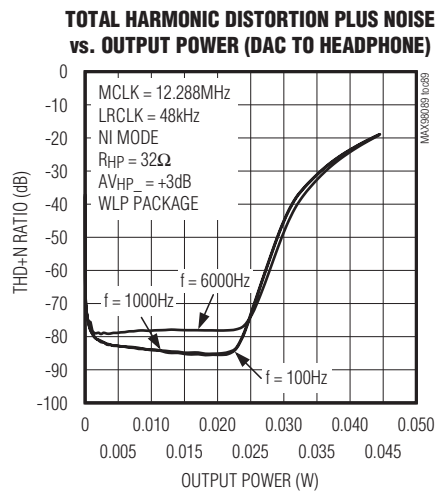
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOUTL or LOUTR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

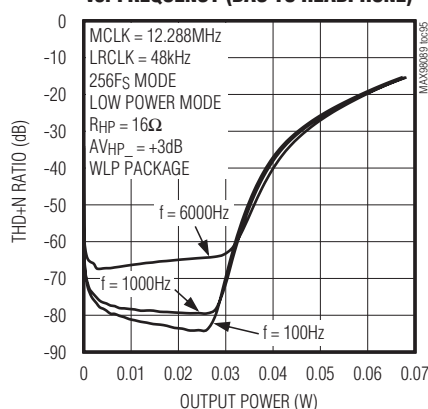


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

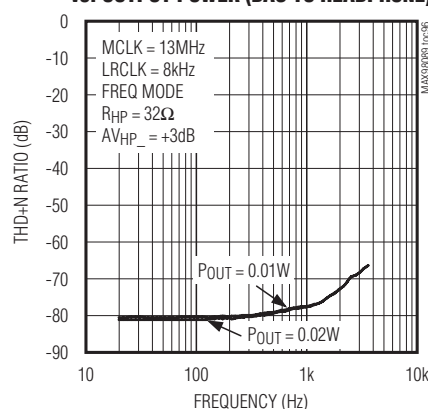
標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (RREC) connected between RECP and RECIN. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU1L or LOU1R to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

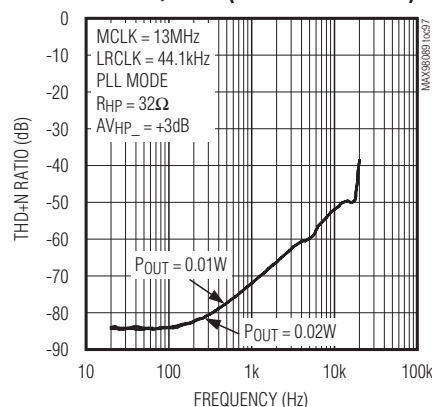
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HEADPHONE)**



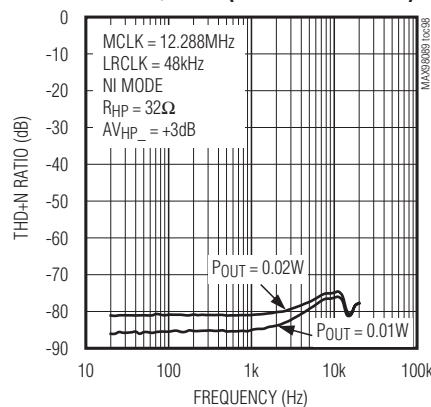
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. OUTPUT POWER (DAC TO HEADPHONE)**



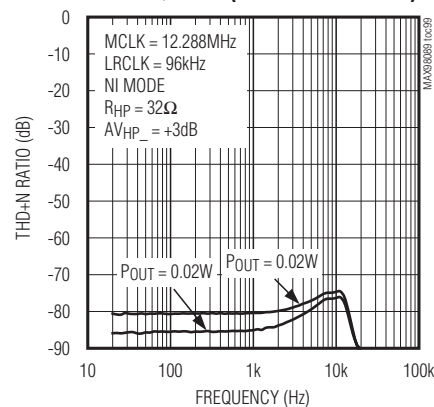
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HEADPHONE)**



**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HEADPHONE)**



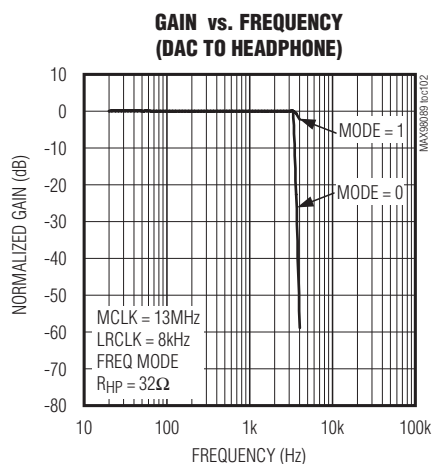
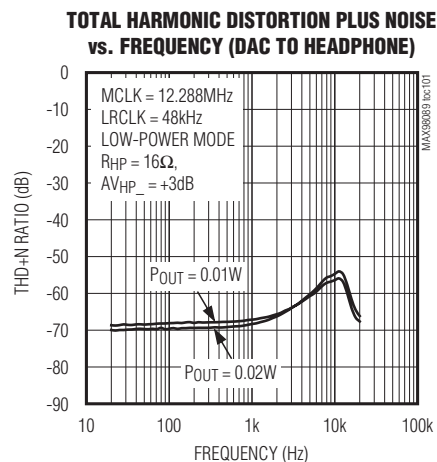
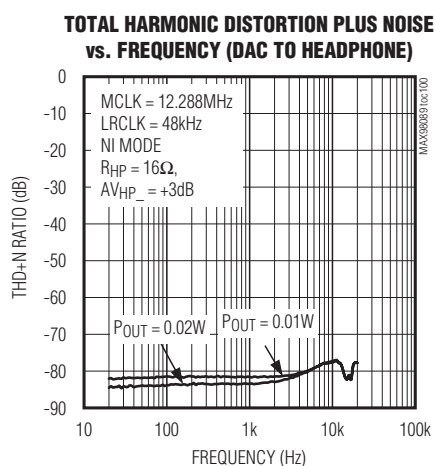
**TOTAL HARMONIC DISTORTION PLUS NOISE
vs. FREQUENCY (DAC TO HEADPHONE)**



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

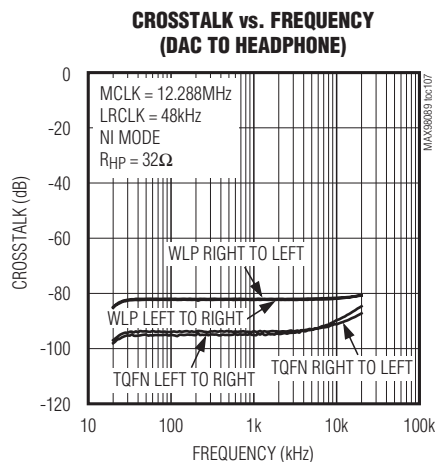
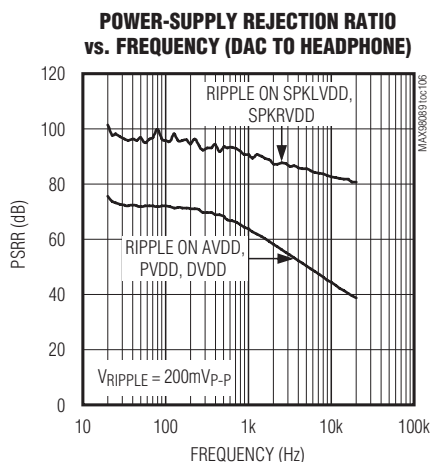
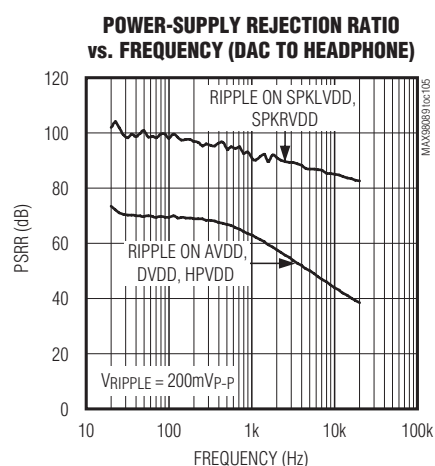
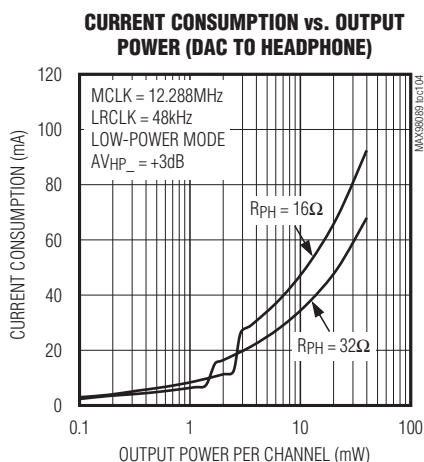
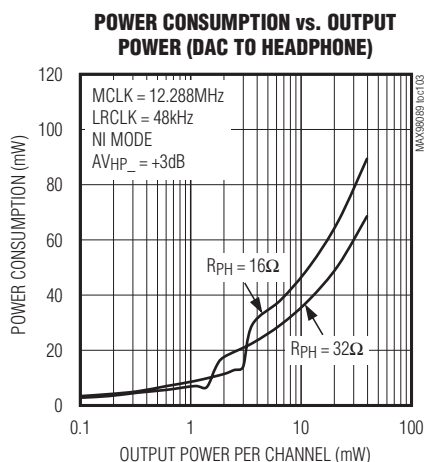
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOUTL or LOU_T to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AV_{MICPRE_} = +20dB$, $AV_{MICPGA_} = 0dB$, $AV_{DACATTN} = 0dB$, $AV_{DACGAIN} = 0dB$, $AV_{ADCLVL} = 0dB$, $AV_{ADCGAIN} = 0dB$, $AV_{PGAIN_} = 0dB$, $AV_{HP_} = 0dB$, $AV_{REC} = 0dB$, $AV_{SPK_} = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDD1} = V_{DVDD2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and $RECN$. Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

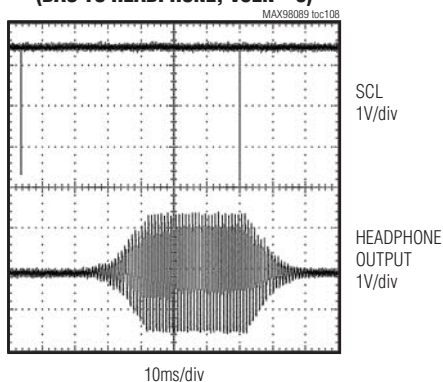


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

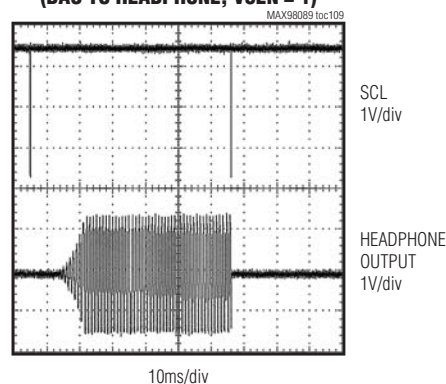
標準動作特性(続き)

(VAVDD = VPVDD = VD VDD = VD VDD S1 = VD VDD S2 = 1.8V, VSPKLVDD = VSPKRVDD = 3.7V. Speaker loads (ZSPK) connected between SPK_P and SPK_N. Receiver load (RREC) connected between RECP and RECN. Headphone loads (RHP) connected from HPL or HPR to HPGND. Line out (RLOUT) connected from LOU TL or LOU TR to SPKLGND, CREF = 2.2μF, CMICBIAS = CREG = 1μF, CC1N-C1P = 1μF, CHPVDD = CHPVSS = 1μF. AVMICPRE_ = +20dB, AVMICPGA_ = 0dB, AVDACATTN = 0dB, AVDACGAIN = 0dB, AVADCLVL = 0dB, AVADCGAIN = 0dB, AVPGAIN_ = 0dB, AVHP_ = 0dB, AVREC = 0dB, AVSPK_ = 0dB, MCLK = 12.288MHz, LRCLK = 48kHz, MAS = 1. TA = +25°C, unless otherwise noted.)

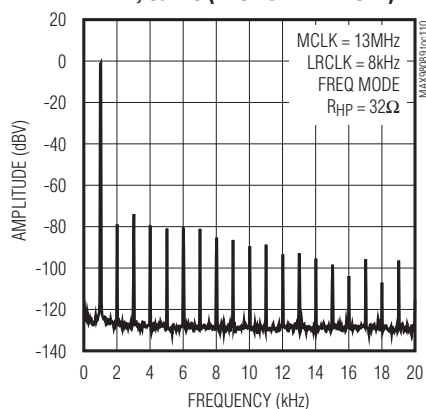
**SOFTWARE TURN-ON/OFF RESPONSE
(DAC TO HEADPHONE, VSEN = 0)**



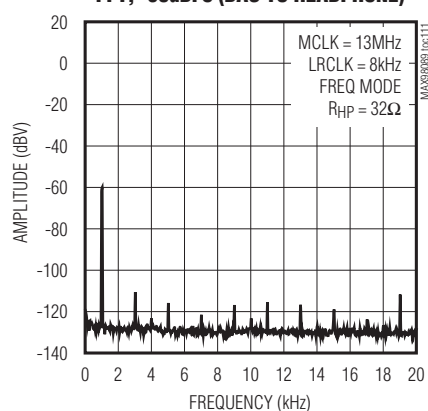
**SOFTWARE TURN-ON/OFF RESPONSE
(DAC TO HEADPHONE, VSEN = 1)**



FFT, 0dBFS (DAC TO HEADPHONE)



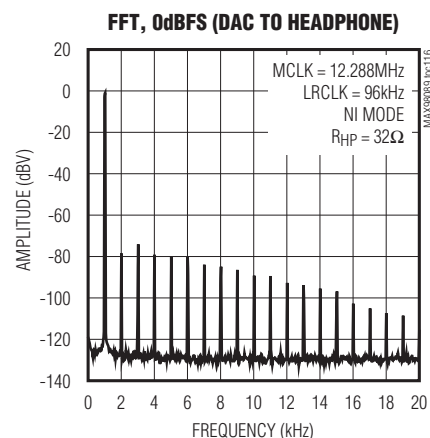
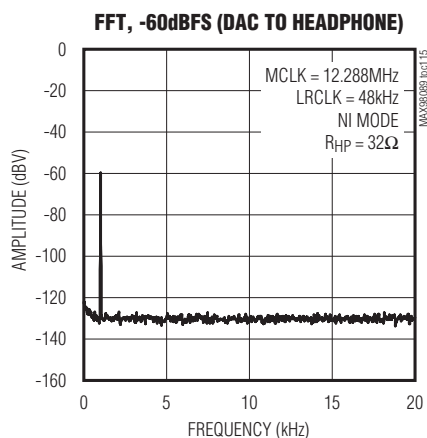
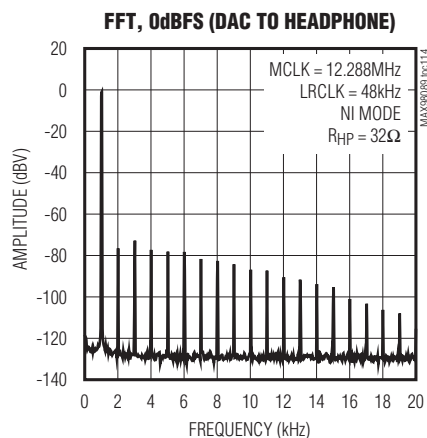
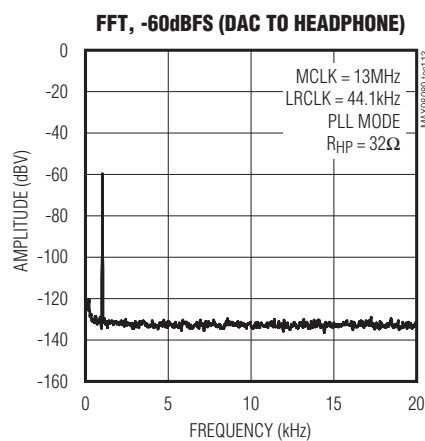
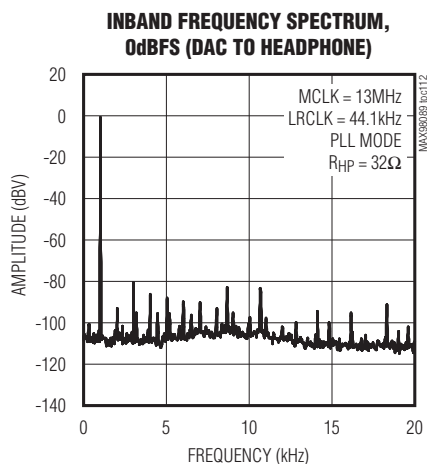
FFT, -60dBFS (DAC TO HEADPHONE)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

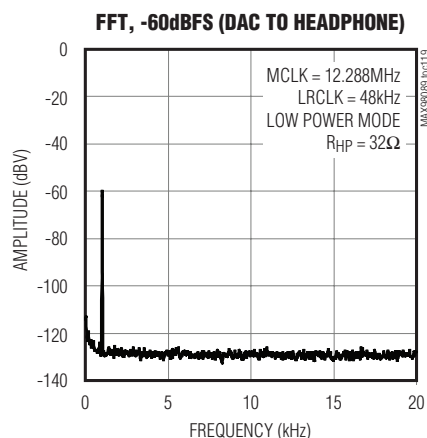
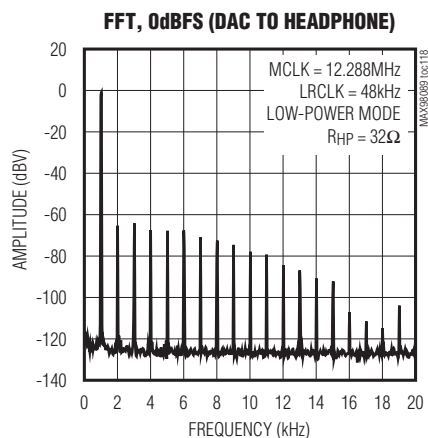
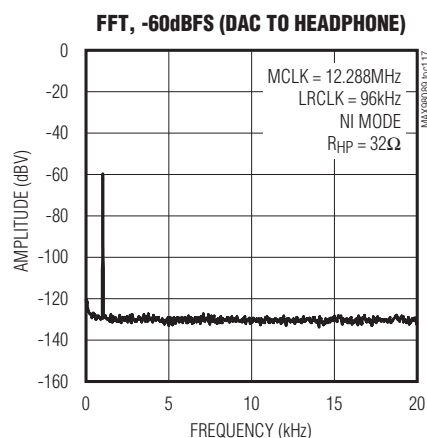
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N. Receiver load (R_{REC}) connected between RECP and REC_N. Headphone loads (R_{HP}) connected from HPL or HPR to HPGND. Line out (R_{LOUT}) connected from LOU_TL or LOU_TR to SPKLGND, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



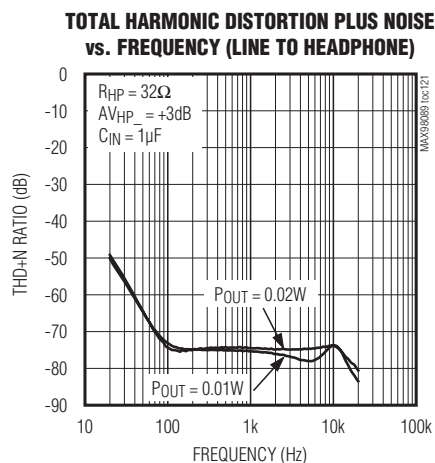
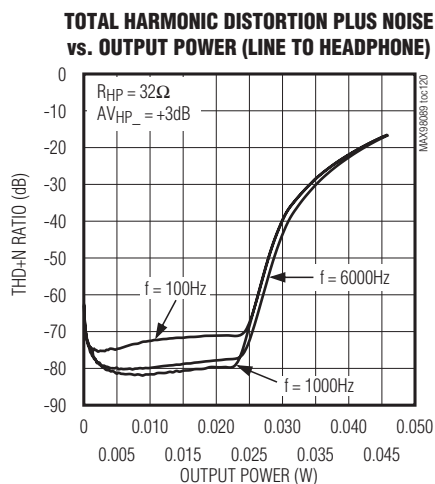
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)



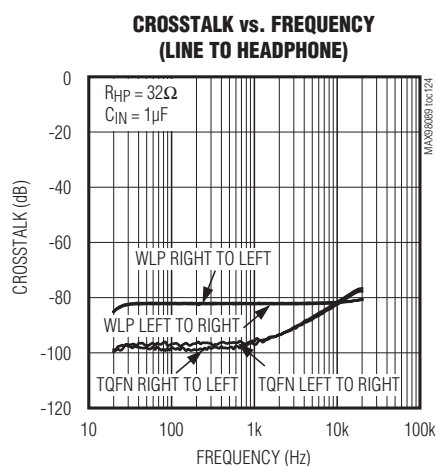
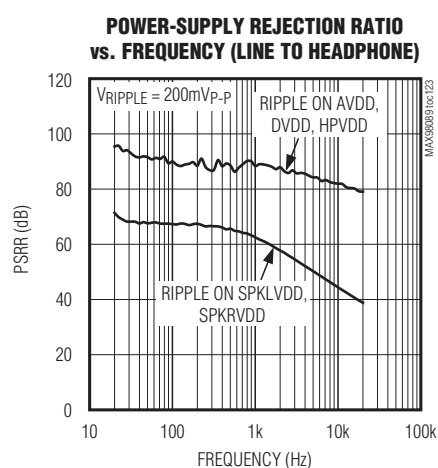
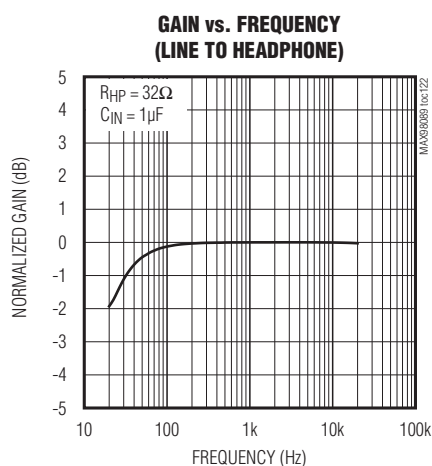
Line to Headphone



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

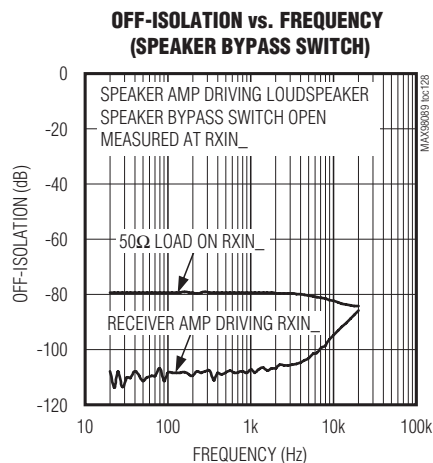
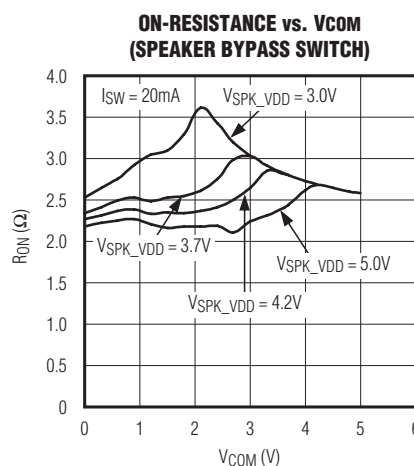
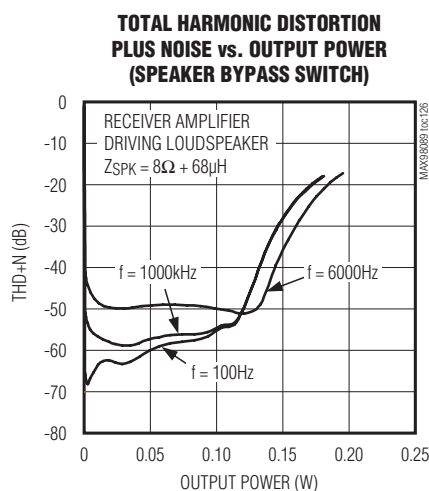


低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

標準動作特性(続き)

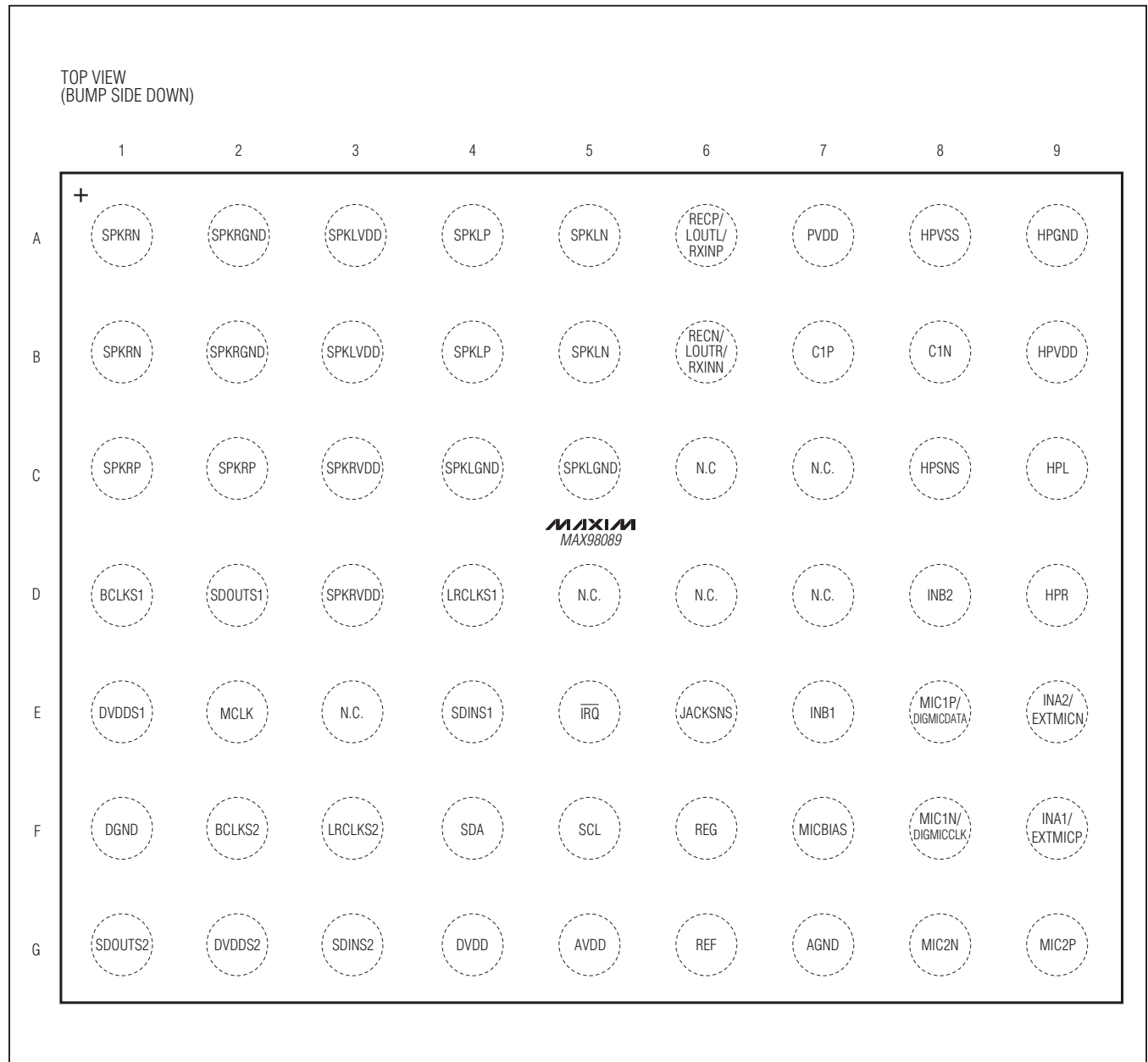
($V_{AVDD} = V_{PVDD} = V_{DVDD} = V_{DVDDS1} = V_{DVDDS2} = 1.8V$, $V_{SPKLVDD} = V_{SPKRVDD} = 3.7V$. Speaker loads (Z_{SPK}) connected between SPK_P and SPK_N . Receiver load (R_{REC}) connected between $RECP$ and REC_N . Headphone loads (R_{HP}) connected from HPL or HPR to $HPGND$. Line out (R_{LOUT}) connected from $LOUTL$ or $LOUTR$ to $SPKLGND$, $C_{REF} = 2.2\mu F$, $C_{MICBIAS} = C_{REG} = 1\mu F$, $C_{C1N-C1P} = 1\mu F$, $CHPVDD = CHPVSS = 1\mu F$. $AVMICPRE_- = +20dB$, $AVMICPGA_- = 0dB$, $AVDACATTN = 0dB$, $AVDACGAIN = 0dB$, $AVADCLVL = 0dB$, $AVADCGAIN = 0dB$, $AVPGAIN_- = 0dB$, $AVHP_- = 0dB$, $AVREC = 0dB$, $AVSPK_- = 0dB$, $MCLK = 12.288MHz$, $LRCLK = 48kHz$, $MAS = 1$. $T_A = +25^\circ C$, unless otherwise noted.)

Speaker Bypass Switch



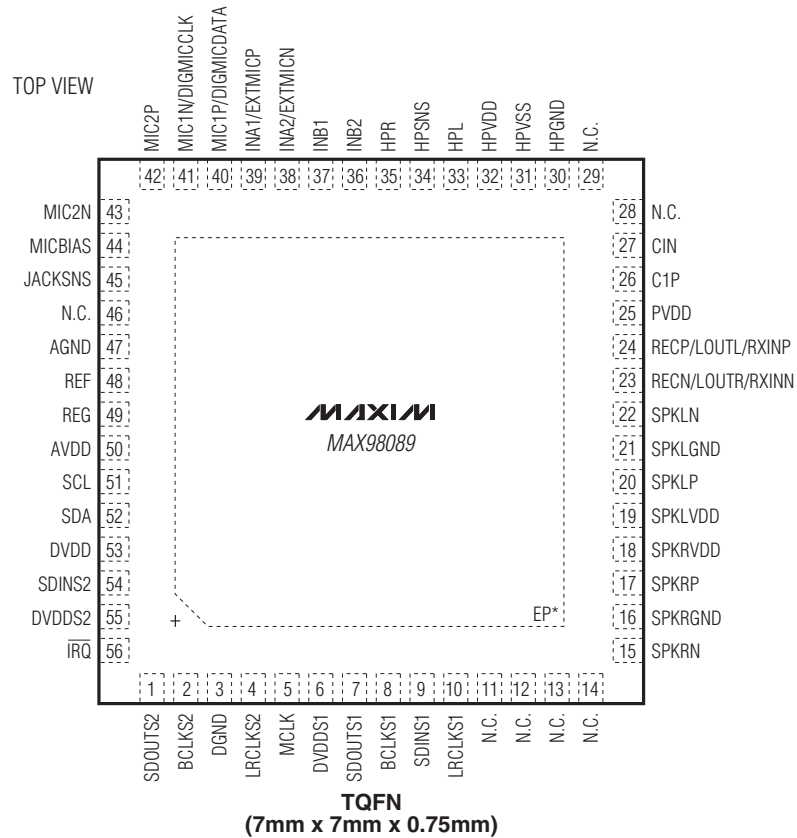
低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ピン配置



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ピン配置(続き)



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

端子説明

端子 (WLP)	端子 (TQFN-EP)	名称	機能
A1, B1	15	SPKRN	負の右チャンネルD級スピーカ出力
A2, B2	16	SPKRGND	右スピーカグラウンド
A3, B3	19	SPKLVDD	左スピーカ、REF、レシーバンプ電源。1 μ Fと10 μ FのコンデンサでSPKLGNDにバイパスしてください。
A4, B4	20	SPKLP	正の左チャンネルD級スピーカ出力
A5, B5	22	SPKLN	負の左チャンネルD級スピーカ出力
A6	24	RECP/LOUTL/ RXINP	正のレシーバンプ出力または左ライン出力。レシーバンプのシャットダウン時には正のバイパススイッチ入力とすることが可能です。
A7	25	PVDD	ヘッドフォン電源。1 μ Fと10 μ FのコンデンサでHPGNDにバイパスしてください。
A8	31	HPVSS	反転チャージポンプ出力。1 μ FのセラミックコンデンサでHPGNDにバイパスしてください。
A9	30	HPGND	ヘッドフォングラウンド
B6	23	REC�/LOUTR/ RXINN	負のレシーバンプ出力または右ライン出力。レシーバンプのシャットダウン時には負のバイパススイッチ入力とすることが可能です。
B7	26	C1P	チャージポンプのフライングコンデンサの正の端子。C1NとC1Pの間に1 μ Fのセラミックコンデンサを接続してください。
B8	27	C1N	チャージポンプのフライングコンデンサの負の端子。C1NとC1Pの間に1 μ Fのセラミックコンデンサを接続してください。
B9	32	HPVDD	非反転チャージポンプ出力。1 μ FのセラミックコンデンサでHPGNDにバイパスしてください。
C1, C2	17	SPKRP	正の右チャンネルD級スピーカ出力
C3, D3	18	SPKRVDD	右スピーカ電源。1 μ FのコンデンサでSPKRGNDにバイパスしてください。
C4, C5	21	SPKLGND	左スピーカグラウンド
C6, C7, D5, D6, D7, E3	11–14, 28, 29, 46	N.C.	接続なし
C8	34	HPSNS	ヘッドフォンアンプグラウンド検出。最高の性能のためにヘッドフォンジャックのグラウンド端子に接続するか、またはPCBグラウンドに接続してください。
C9	33	HPL	左チャンネルヘッドフォン出力
D1	8	BCLKS1	S1のデジタルオーディオビットクロック入出力。ICがスリープモード時はBCLKS1は入力で、マスターモード時は出力です。入出力電圧はDVDDSD1基準です。
D2	7	SDOUTS1	S1のデジタルオーディオシリアルデータADC出力。出力電圧はDVDDSD1基準です。
D4	10	LRCLKS1	S1のデジタルオーディオ左右クロック入出力。LRCLKS1はオーディオサンプルレートのクロックで、S1のオーディオデータを左または右チャンネルのどちらに転送するかを決定します。TDMモード時、LRCLKS1はフレーム同期パルスです。ICがスリープモード時、LRCLKS1は入力で、マスターモード時は出力です。
D8	36	INB2	シングルエンドライン入力B2。正の差動ライン入力Bにもなります。
D9	35	HPR	右チャンネルヘッドフォン出力

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

端子説明(続き)

端子 (WLP)	端子 (TQFN-EP)	名称	機能
E1	6	DVDDS1	S1のデジタルオーディオインタフェースの電源入力。1μFのコンデンサでDGNDにバイパスしてください。
E2	5	MCLK	マスタークロック入力。許容される入力周波数範囲は10MHz～60MHzです。
E4	9	SDINS1	S1のデジタルオーディオシリアルデータDAC入力。入出力電圧はDVDDS1基準です。
E5	56	$\overline{\text{IRQ}}$	ハードウェア割込み出力。 $\overline{\text{IRQ}}$ は、Statusレジスタ0x00のビットの状態が変化した場合にローに駆動されるように設定することができます。一度セットされた $\overline{\text{IRQ}}$ をクリアするには、Statusレジスタ0x00を読み取ってください。I ² C Statusレジスタ0x00の読取りによって $\overline{\text{IRQ}}$ がクリアされるまでは、障害が繰り返し発生した場合も $\overline{\text{IRQ}}$ に影響しません。完全な出力振幅とするために、DVDDとの間に10kΩのプルアップ抵抗を接続してください。
E6	45	JACKSNS	ジャック検出。ジャックの挿入および取り外しを検出します。標準的なアプリケーションの場合、JACKSNSをジャックのMIC極に接続してください。「ジャック検出」の項を参照してください。
E7	37	INB1	シングルエンドライン入力B1。負の差動ライン入力Bにもなります。
E8	40	MIC1P/ DIGMICDATA	正の差動マイクロフォン1入力。直列の1μFのコンデンサでマイクロフォンをAC結合してください。デジタルマイクロフォンのデータ入力として使用することも可能です。
E9	38	INA2/ EXTMICN	シングルエンドライン入力A2。正の差動ライン入力Aまたは負の差動外部マイクロフォン入力にもなります。
F1	3	DGND	デジタルグラウンド
F2	2	BCLKS2	S2のデジタルオーディオビットクロック入出力。ICがスリープモード時はBCLKS2は入力、マスターモード時は出力です。入出力電圧はDVDDS2基準です。
F3	4	LRCLKS2	S2のデジタルオーディオ左右クロック入出力。LRCLKS2はオーディオサンプルレートのクロックで、S2上のオーディオデータを左または右チャンネルのどちらに転送するかを決定します。TDMモード時、LRCLKS2はフレーム同期パルスです。ICがスリープモード時、LRCLKS2は入力、マスターモード時は出力です。入出力電圧はDVDDS2基準です。
F4	52	SDA	I ² Cシリアルデータ入出力。完全な出力振幅とするために、DVDDとの間にプルアップ抵抗を接続してください。
F5	51	SCL	I ² Cシリアルクロック入力。完全な出力振幅とするために、DVDDとの間にプルアップ抵抗を接続してください。
F6	49	REG	コモンモード電圧リファレンス。1μFのコンデンサでAGNDにバイパスしてください。
F7	44	MICBIAS	低ノイズバイアス電圧。2.2Vのマイクロフォンバイアスを出力します。MICBIASとマイクロフォン出力の間に、外付けの2.2kΩの抵抗を接続してください。
F8	41	MIC1N/ DIGMICCLK	負の差動マイクロフォン1入力。直列の1μFのコンデンサでマイクロフォンをAC結合してください。デジタルマイクロフォンのクロック出力として使用することも可能です。
F9	39	INA1/ EXTMICP	シングルエンドライン入力A1。負の差動ライン入力Aまたは正の差動外部マイクロフォン入力にもなります。

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

端子説明(続き)

端子 (WLP)	端子 (TQFN-EP)	名称	機能
G1	1	SDOUTS2	S2のデジタルオーディオシリアルデータADC出力。出力電圧はDVDDSD2基準です。
G2	55	DVDDSD2	S2のデジタルオーディオインタフェースの電源入力。1μFのコンデンサでDGNDにバイパスしてください。
G3	54	SDINS2	S2のデジタルオーディオシリアルデータDAC入力。入力電圧はDVDDSD2基準です。
G4	53	DVDD	デジタル電源。デジタルコアおよびI ² Cインタフェースの電源です。1μFのコンデンサでDGNDにバイパスしてください。
G5	50	AVDD	アナログ電源。1μFのコンデンサでAGNDにバイパスしてください。
G6	48	REF	コンバータリファレンス。2.2μFのコンデンサでAGNDにバイパスしてください。
G7	47	AGND	アナロググランド
G8	43	MIC2N	負の差動マイクロフォン2入力。直列の1μFのコンデンサでマイクロフォンをAC結合してください。
G9	42	MIC2P	正の差動マイクロフォン2入力。直列の1μFのコンデンサでマイクロフォンをAC結合してください。
—	—	EP	エクスポーズドパッド(TQFNのみ)。エクスポーズドパッドをPCBのグランドプレーンに接続してください。

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

詳細

MAX98089は、FlexSound技術およびアンプを内蔵した、全機能内蔵のステレオオーディオコーデックです。

2つの差動マイクロフォンアンプは、3つのアナログ入力からの信号を受信することができます。1つの入力は、2つのデジタルマイクロフォンをサポートするために使用することも可能です。任意の組合せの2つのマイクロフォン(アナログまたはデジタル)を同時に録音することが可能です。アナログ信号は最大50dB増幅され、ステレオADCによって録音されます。デジタル録音経路は、選択可能なプリセットハイパスフィルタおよび $f_s/2$ での高ストップバンド減衰を備えた音声フィルタをサポートしています。自動利得制御(AGC)回路はデジタル化された信号を監視してアナログマイクロフォンの利得を自動的に調整し、ADCのダイナミックレンジを最大限に活用します。ノイズゲートはユーザー定義のスレッシュホールド以下の信号を減衰して、ADCから出力されるノイズを最小限に抑えます。

このICは2つのアナログライン入力を内蔵しています。ライン入力の1つは必要に応じて第3のアナログマイクロフォン入力として使用することも可能です。両方のライン入力がステレオシングルエンド入力信号またはモノラル差動信号をサポートしています。ライン入力はプリアンプされた後で、録音のためにADCに伝送および/または再生のために出力アンプに伝送されます。INA1およびINA2からのシングルエンドライン入力信号はPGAをバイパスして、ADC入力に直接接続して最大のダイナミックレンジを提供することができます。

内蔵アナログスイッチによって、2つの差動マイクロフォン信号を第3のマイクロフォン入力から外部デバイスに伝送可能です。これによって、同じマイクロフォンからの信号を2つのデバイスで録音するシステムで外付けのアナログスイッチが不要になります。

このデバイスは、2つのデジタルオーディオインタフェースを介して、 I^2S 、PCM、およびTDMでの最大4スロットのモノラルを含む広範な形式で、1つのステレオオーディオ信号を送信し、2つのステレオオーディオ信号を受信することができます。各インタフェースは、2つのオーディオポート(S1およびS2)のいずれかに接続して外部デバイスとの通信を行うことができます。両方のオーディオインタフェースが8kHz~96kHzのサンプルレートをサポートしています。個々の入力信号が5バンドパラメトリックイコライザを使用して個別にイコライズされます。マルチバンド自動レベル制御(ALC)が信号を最大12dBブーストします。さらに、1つの信号経路はADC経路と同じ音声帯域フィルタをサポートしています。

このICは、ステレオD級スピーカアンプ、高効率H級ステレオヘッドフォンアンプ、およびシングルエンドステレオ

ライン出力として設定可能な差動レシーバアンプを内蔵しています。

レシーバアンプをディセーブルしている場合、アナログスイッチによってRECP/RXINPおよびRECN/RXINNを信号ルーティングに再利用することができます。スピーカとレシーバの両方に1つのトランスデューサを使用するシステムでは、RECP/RXINPおよびRECN/RXINNを介して、D級アンプをバイパスする形で外部のレシーバアンプを左スピーカにルーティングすることができます。内蔵レシーバアンプを使用する場合は、RECP/RXINPおよびRECN/RXINNを未接続のままにしてください。外部アンプでレシーバとMAX98089の両方のライン入力を駆動するシステムでは、RECP/RXINPとRECN/RXINNを接続するアナログスイッチを介して伝送することによって、必要がない場合に差動信号の1つをレシーバから切り離すことが可能です。

ステレオD級アンプは、2つのスピーカ用の効率的な増幅を提供します。このアンプは、従来のD級に付随していた電磁放射(EMI)を最小に抑える、アクティブ放射制限を内蔵しています。ほとんどのシステムでは、出力フィルタを必要とせずに標準のEMI制限に適合可能です。

スピーカの音質を最適化するために、このICはエクスカッションリミッタ、歪みリミッタ、および出力リミッタを内蔵しています。エクスカッションリミッタは、信号レベルの増大に応じて高くなる可変コーナー周波数を備えたダイナミックハイパスフィルタです。一般的に高い信号レベルの低周波数エネルギーは有効なサウンドよりも歪みの原因となることが多いため、低周波数を減衰させることによってスピーカの歪みや損傷なしにより大音量で再生が可能になります。低い信号レベルの場合はスピーカが処理可能なため、フィルタのコーナー周波数が低下してより多くの低周波数エネルギーを通過させます。歪みリミッタは、出力信号が事前に設定済みの歪みレベルを超えた場合に音量を低下させます。これによって、入力信号およびバッテリー電圧にかかわらず、過度の歪みがユーザーに聞こえないことが保証されます。出力リミッタは、スピーカへの連続出力を監視して、スピーカが過熱する危険がある場合に信号レベルを低下させます。

ステレオH級ヘッドフォンアンプはデュアルモードチャージポンプを使用して、効率を最大化するとともにグランド基準の信号を出力します。これによって、DCブロッキングコンデンサまたはヘッドフォンジャックのグランドリターンのためのミッドレールバイアスが不要になります。グランド検出は、グランドリターン電流によって発生する出力ノイズを低減させます。

このICはジャック検出を内蔵しているため、アクセサリの挿入と取り外しおよびボタンの押下の検出が可能です。

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

I²Cスレーブアドレス

MAX98089はI²C制御バスを使用して設定してください。このICのスレーブアドレスは、書込み操作の場合は0x20または00100000を、読取り操作の場合は0x21または00100001を使用します。完全なインタフェースの説明は、「I²Cシリアルインタフェース」の項を参照してください。

レジスタ

表1にすべてのレジスタ、それらのアドレスおよびパワーオンリセット状態を示します。レジスタ0x00～0x03および0xFFは読取り専用で、他のすべてのレジスタは読取り/書込みが可能です。別途指示のない限り、レジスタの更新時にはレジスタの表のすべての未使用のビットに0を書き込んでください。

表1. レジスタマップ

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
STATUS												
Status	CLD	SLD	ULK	—	—	—	JDET	—	0x00	—	R	117
Microphone AGC/NG	NG			AGC					0x01	—	R	74
Jack Status	JKSNS		—	—	—	—	—	—	0x02	—	R	115
Battery Voltage	—	—	—	VBAT					0x03	—	R/W	116
Interrupt Enable	ICLD	ISLD	IULK	0	0	0	IJDET	0	0x0F	0x00	R/W	117
MASTER CLOCK CONTROL												
Master Clock	0	0	PSCLK		0	0	0	0	0x10	0x00	R/W	85
DAI1 CLOCK CONTROL												
Clock Mode	SR1				FREQ1				0x11	0x00	R/W	85, 86
Any Clock Control	PLL1	NI1[14:8]							0x12	0x00	R/W	86
	NI1[7:1]						NI1[0]	0x13	0x00	R/W	86	
DAI1 CONFIGURATION												
Format	MAS1	WC11	BC11	DLY1	0	TDM1	FSW1	WS1	0x14	0x00	R/W	80
Clock	ADC_OSR1		DAC_OR1	0	0	BSEL1			0x15	0x00	R/W	81
I/O Configuration	SEL1		LTEN1	LBEN1	DMONO1	HIZOFF1	SDOEN1	SDIEN1	0x16	0x00	R/W	81, 82
Time-Division Multiplex	SLOT1		SLOT1		SLOTDLY1				0x17	0x00	R/W	82
Filters	MODE1	AVFLT1			DHF1	DVFLT1			0x18	0x00	R/W	90
DAI2 CLOCK CONTROL												
Clock Mode	SR2				0	0	0	0	0x19	0x00	R/W	85
Any Clock Control	PLL2	NI2[14:8]							0x1A	0x00	R/W	86
	NI2[7:1]						NI2[0]	0x1B	0x00	R/W	86	
DAI2 CONFIGURATION												
Format	MAS2	WC12	BC12	DLY2	0	TDM2	FSW2	WS2	0x1C	0x00	R/W	80
Clock	0	0	DAC_OR1	0	0	BSEL2			0x1D	0x00	R/W	81
I/O Configuration	SEL2		0	LBEN2	DMONO2	HIZOFF2	SDOEN2	SDIEN2	0x1E	0x00	R/W	81, 82

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表1. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
Time-Division Multiplex	SLOTL2		SLOTR2		SLOTDL2				0x1F	0x00	R/W	82
Filters	0	0	0	0	DHF2	0	0	DCB2	0x20	0x00	R/W	96
SRC												
Sample Rate Converter	0	0	0	SRMIX_MODE	SRMIX_ENL	SRMIX_ENR	SRC_ENL	SRC_ENR	0x21	0x00	R/W	89
MIXERS												
DAC Mixer	MIXDAL				MIXDAR				0x22	0x00	R/W	96
Left ADC Mixer	MIXADL								0x23	0x00	R/W	73
Right ADC Mixer	MIXADR								0x24	0x00	R/W	73
Left Headphone Amplifier Mixer	MIXHPL								0x25	0x00	R/W	110
Right Headphone Amplifier Mixer	MIXHPR								0x26	0x00	R/W	110
Headphone Amplifier Mixer Control	0	0	MIXHPR_PATHSEL	MIXHPL_PATHSEL	MIXHPR_GAIN		MIXHPL_GAIN		0x27	0x00	R/W	110
Left Receiver Amplifier Mixer	MIXRECL								0x28	0x00	R/W	98
Right Receiver Amplifier Mixer	MIXRECR								0x29	0x00	R/W	98
Receiver Amplifier Mixer Control	LINE_MODE	0	0	0	MIXRECR_GAIN		MIXRECL_GAIN		0x2A	0x00	R/W	98
Left Speaker Amplifier Mixer	MIXSPL								0x2B	0x00	R/W	101
Right Speaker Amplifier Mixer	MIXSPR								0x2C	0x00	R/W	101
Speaker Amplifier Mixer Control	0	0	0	0	MIXSPR_GAIN		MIXSPL_GAIN		0x2D	0x00	R/W	101

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表1. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
LEVEL CONTROL												
Sidetone	DSTS		0	DVST					0x2E	0x00	R/W	78
DAI1 Playback Level	DV1M	0	DV1G		DV1				0x2F	0x00	R/W	95
DAI1 Playback Level	0	0	0	$\overline{\text{EQCLP1}}$	DVEQ1				0x30	0x00	R/W	94
DAI2 Playback Level	DV2M	0	0	0	DV2				0x31	0x00	R/W	95
DAI2 Playback Level	0	0	0	$\overline{\text{EQCLP2}}$	DVEQ2				0x32	0x00	R/W	94
Left ADC Level	0	0	AVLG		AVL				0x33	0x00	R/W	77
Right ADC Level	0	0	AVRG		AVR				0x34	0x00	R/W	77
Microphone 1 Input Level	0	PA1EN		PGAM1					0x35	0x00	R/W	70
Microphone 2 Input Level	0	PA2EN		PGAM2					0x36	0x00	R/W	70
INA Input Level	0	INAEXT	0	0	0	PGAINA			0x37	0x00	R/W	72
INB Input Level	0	INBEXT	0	0	0	PGAINB			0x38	0x00	R/W	72
Left Headphone Amplifier Volume Control	HPLM	0	0	HPVOLL					0x39	0x00	R/W	111
Right Headphone Amplifier Volume Control	HPRM	0	0	HPVOLR					0x3A	0x00	R/W	111
Left Receiver Amplifier Volume Control	RECLM	0	0	RECVOLL					0x3B	0x00	R/W	99
Right Receiver Amplifier Volume Control	RECRM	0	0	RECVOLR					0x3C	0x00	R/W	99

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表1. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
Left Speaker Amplifier Volume Control	SPLM	0	0	SPVOLL					0x3D	0x00	R/W	102
Right Speaker Amplifier Volume Control	SPRM	0	0	SPVOLR					0x3E	0x00	R/W	102
MICROPHONE AGC												
Configuration	AGCSRC	AGCRLS			AGCATK		AGCHLD		0x3F	0x00	R/W	74, 75
Threshold	ANTH				AGCTH				0x40	0x00	R/W	75
SPEAKER SIGNAL PROCESSING												
Excursion Limiter Filter	0	DHPUCF			0	0	DHPLCF		0x41	0x00	R/W	104
Excursion Limiter Threshold	0	0	0	0	0	DHPTH			0x42	0x00	R/W	104
ALC	ALCEN	ALCRLS			ALCMB		ALCTH		0x43	0x00	R/W	93, 104
Power Limiter	PWRTH				0		PWRK		0x44	0x00	R/W	105
Power Limiter	PWRT2				PWRT1				0x45	0x00	R/W	106
Distortion Limiter	THDCLP				0	0	0	THDT1	0x46	0x00	R/W	107
CONFIGURATION												
Audio Input	INADIFF	INBDIFF	0	0	0	0	0	0	0x47	0x00	R/W	72
Microphone	MICCLK		DIGMICL	DIGMICR	0	0	EXTMIC		0x48	0x00	R/W	70
Level Control	VS2EN	VSEN	ZDEN	0	0	0	EQ2EN	EQ1EN	0x49	0x00	R/W	94, 113
Bypass Switches	INABYP	0	0	MIC2BYP	0	0	RECBYP	SPKBYP	0x4A	0x00	R/W	71, 112
Jack Detection	JDETEN	0	0	0	0	0	JDEB		0x4B	0x00	R/W	115
POWER MANAGEMENT												
Input Enable	INAEN	INBEN	0	0	MBEN	0	ADLEN	ADREN	0x4C	0x00	R/W	67
Output Enable	HPLEN	HPREN	SPLEN	SPREN	RECLN	RECREN	DALEN	DAREN	0x4D	0x00	R/W	68
Top-Level Bias Control	BGEN	SPREGEN	VCMEN	BIASEN	0	0	0	JDWK	0x4E	0xF0	R/W	68
DAC Low Power Mode 1	DAI2_DAC_LP				DAI1_DAC_LP				0x4F	0x00	R/W	87
DAC Low Power Mode 2	0	0	0	0	DAC2_IP_DITH_EN	DAC1_IP_DITH_EN	CGM2_EN	CGM1_EN	0x50	0x0F	R/W	87
System Shutdown	SHDN	VBATEN	0	0	PERFMODE	HPPLYBACK	PWRSV8K	PWRSV	0x51	0x00	R/W	67, 116

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表1. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
DSP COEFFICIENTS												
EQ Band 1 (DAI1/DAI2)	K_1[15:8]								0x52/0x84	0xXX	R/W	93
	K_1[7:0]								0x53/0x85	0xXX	R/W	93
	K1_1[15:8]								0x54/0x86	0xXX	R/W	93
	K1_1[7:0]								0x55/0x87	0xXX	R/W	93
	K2_1[15:8]								0x56/0x88	0xXX	R/W	93
	K2_1[7:0]								0x57/0x89	0xXX	R/W	93
	c1_1[15:8]								0x58/0x8A	0xXX	R/W	93
	c1_1[7:0]								0x59/0x8B	0xXX	R/W	93
	c2_1[15:8]								0x5A/0x8C	0xXX	R/W	93
	c2_1[7:0]								0x5B/0x8D	0xXX	R/W	93
EQ Band 2 (DAI1/DAI2)	K_2[15:8]								0x5C/0x8E	0xXX	R/W	93
	K_2[7:0]								0x5D/0x8F	0xXX	R/W	93
	K1_2[15:8]								0x5E/0x90	0xXX	R/W	93
	K1_2[7:0]								0x5F/0x91	0xXX	R/W	93
	K2_2[15:8]								0x60/0x92	0xXX	R/W	93
	K2_2[7:0]								0x61/0x93	0xXX	R/W	93
	c1_2[15:8]								0x62/0x94	0xXX	R/W	93
	c1_2[7:0]								0x63/0x95	0xXX	R/W	93
	c2_2[15:8]								0x64/0x96	0xXX	R/W	93
	c2_2[7:0]								0x65/0x97	0xXX	R/W	93
EQ Band 3 (DAI1/DAI2)	K_3[15:8]								0x66/0x98	0xXX	R/W	93
	K_3[7:0]								0x67/0x99	0xXX	R/W	93
	K1_3[15:8]								0x68/0x9A	0xXX	R/W	93
	K1_3[7:0]								0x69/0x9B	0xXX	R/W	93
	K2_3[15:8]								0x6A/0x9C	0xXX	R/W	93
	K2_3[7:0]								0x6B/0x9D	0xXX	R/W	93
	c1_3[15:8]								0x6C/0x9E	0xXX	R/W	93
	c1_3[7:0]								0x6D/0x9F	0xXX	R/W	93
	c2_3[15:8]								0x6E/0xA0	0xXX	R/W	93
	c2_3[7:0]								0x6F/0xA1	0xXX	R/W	93
EQ Band 4 (DAI1/DAI2)	K_4[15:8]								0x70/0xA2	0xXX	R/W	93
	K_4[7:0]								0x71/0xA3	0xXX	R/W	93
	K1_4[15:8]								0x72/0xA4	0xXX	R/W	93
	K1_4[7:0]								0x73/0xA5	0xXX	R/W	93
	K2_4[15:8]								0x74/0xA6	0xXX	R/W	93
	K2_4[7:0]								0x75/0xA7	0xXX	R/W	93
	c1_4[15:8]								0x76/0xA8	0xXX	R/W	93
	c1_4[7:0]								0x77/0xA9	0xXX	R/W	93
	c2_4[15:8]								0x78/0xAA	0xXX	R/W	93
	c2_4[7:0]								0x79/0xAB	0xXX	R/W	93

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表1. レジスタマップ(続き)

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	ADDRESS	DEFAULT	R/W	PAGE
EQ Band 5 (DAI1/DAI2)	K_5[15:8]								0x7A/0xAC	0xXX	R/W	93
	K_5[7:0]								0x7B/0xAD	0xXX	R/W	93
	K1_5[15:8]								0x7C/0xAE	0xXX	R/W	93
	K1_5[7:0]								0x7D/0xAF	0xXX	R/W	93
	K2_5[15:8]								0x7E/0xB0	0xXX	R/W	93
	K2_5[7:0]								0x7F/0xB1	0xXX	R/W	93
	c1_5[15:8]								0x80/0xB2	0xXX	R/W	93
	c1_5[7:0]								0x81/0xB3	0xXX	R/W	93
	c2_5[15:8]								0x82/0xB4	0xXX	R/W	93
	c2_5[7:0]								0x83/0xB5	0xXX	R/W	93
Excursion Limiter Biquad (DAI1/DAI2)	a1[15:8]								0xB6/0xC0	0xXX	R/W	93
	a1[7:0]								0xB7/0xC1	0xXX	R/W	93
	a2[15:8]								0xB8/0xC2	0xXX	R/W	93
	a2[7:0]								0xB9/0xC3	0xXX	R/W	93
	b0[15:8]								0xBA/0xC4	0xXX	R/W	93
	b0[7:0]								0xBB/0xC5	0xXX	R/W	93
	b1[15:8]								0xBC/0xC6	0xXX	R/W	93
	b1[7:0]								0xBD/0xC7	0xXX	R/W	93
	b2[15:8]								0xBE/0xC8	0xXX	R/W	93
	b2[7:0]								0xBF/0xC9	0xXX	R/W	93
REVISION ID												
Rev ID	REV								0xFF	0x40	R	118

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

パワーマネージメント

このICは、すべての使用していない回路をディセーブルして消費電流を最小限に抑えることができる、包括的なパワーマネージメントを内蔵しています。

表2. Power Managementレジスタ

レジスタ	ビット	名称	説明
0x51	7	$\overline{\text{SHDN}}$	Global Shutdown. 個別に制御されるヘッドセット検出回路以外のすべてをディセーブルします。 0 = Device Shutdown 1 = Device Enabled
	6	VBATEN	See the <i>Battery Measurement</i> section.
	3	PERFMODE	Performance Mode. DACをヘッドフォン再生向け性能モードに選択します。 0 = High performance playback mode. 1 = Low power playback mode.
	2	HPPLYBCK	Headphone Only Playback Mode. DACをヘッドフォン再生経路のみに使用する場合、System Bias Controlレジスタの各ビットを低電力再生用に設定します。イネーブルした場合、このビットはSystem Bias Controlレジスタの設定より優先されます。ディセーブルした場合、System Bias Controlレジスタを使用してシステムバイアスブロックのイネーブルが行われます。DACをヘッドフォン再生経路のみに使用する場合、消費電力を最小にするにはHPPLYBCKおよびPERFMODEの両方をセットしてください。 0 = Disabled 1 = Enabled
	1	PWRSV8K	8kHz Power Save Mode. PWRSV8Kは、 $f_s = 8\text{kHz}$ の場合にADCを低消費電力に設定します。 $f_s = 8\text{kHz}$ の場合、PWRSV8KをPWRSVとともに使用することでさらなる省電力化が可能です。 0 = Normal, high-performance mode. 1 = Low power mode.
	0	PWRSV	Power Save Mode. PWRSVは、すべてのサンプルレートについてADCを低消費電力に設定します。PWRSVをPWRSV8Kとともに使用することでさらなる省電力化が可能です。 0 = Normal, high-performance mode. 1 = Low-power mode.
0x4C	7	INAEN	Line Input A Enable 0 = Disabled 1 = Enabled
	6	INBEN	Line Input B Enable 0 = Disabled 1 = Enabled
	3	MBEN	Microphone Bias Enable 0 = Disabled 1 = Enabled
	1	ADLEN	Left ADC Enable 0 = Disabled 1 = Enabled
	0	ADREN	Right ADC Enable 0 = Disabled 1 = Enabled

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表2. Power Managementレジスタ(続き)

レジスタ	ビット	名称	説明
0x4D	7	HPLEN	Left Headphone Enable 0 = Disabled 1 = Enabled
	6	HPREN	Right Headphone Enable 0 = Disabled 1 = Enabled
	5	SPLEN	Left Speaker Enable 0 = Disabled 1 = Enabled
	4	SPREN	Right Speaker Enable 0 = Disabled 1 = Enabled
	3	RECLEN	Receiver/Left Line Output Enable. 差動レシーバ出力または左ライン出力をイネーブルするには、このビットを使用してください。 0 = Disabled 1 = Enabled
	2	RECREN	Right Line Output Enable. 右ライン出力をイネーブルするには、このビットを使用してください。 0 = Disabled 1 = Enabled
	1	DALEN	Left DAC Enable 0 = Disabled 1 = Enabled
	0	DAREN	Right DAC Enable 0 = Disabled 1 = Enabled
0x4E	7	BGEN	Bandgap Enable. 2.5Vレギュレータおよび関連回路の正常な動作のためにイネーブルする必要があります。 0 = Disabled 1 = Enabled
	6	SPREGEN	2.5V Regulator Enable. SPREGENは、ADC、スピーカ、およびレシーバ/ライン出力アンプに必要な2.5Vの内蔵レギュレータをイネーブルします。2.5VレギュレータはSPKLVDVDDによって給電されます。 0 = Disabled 1 = Enabled
	5	VCMEN	Common-Mode Voltage Resistor String Enable. VCMENはコーデックの入力および出力アンプのコモンモード電圧をイネーブルします。 0 = Disabled 1 = Enabled
	4	BIASEN	Chip Bias Enable. コーデックのアンプをイネーブルするためにはBIASENをセットする必要があります。 0 = Disabled 1 = Enabled
	0	JDWK	See the <i>Jack Detection</i> section.

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

マイクロフォン入力

このデバイスは、3つの差動マイクロフォン入力およびマイクロフォンへの給電用の低ノイズマイクロフォンバイアスを備えています(図6)。1つのマイクロフォン入力は、最大2つのデジタルマイクロフォンから信号を受信するデジタルマイクロフォン入力として設定することも可能です。任意の2つのマイクロフォン(アナログまたはデジタル)を同時に録音可能です。

標準アプリケーションでは、1つのマイクロフォン入力を電話機のマイクロフォンに使用して、もう1つをアクセサリのマイクロフォンとして使用しています。バックグラウンドノイズマイクロフォンを使用するシステムでは、INAをもう1つのマイクロフォン入力として使用することが可能です。

コーデックがマイクロフォン信号を録音する唯一のデバイスではないシステムでは、マイクロフォンをMIC2P/MIC2NおよびEXTMICP/EXTMICNに接続してください。その場合、MIC1P/MIC1Nは必要に応じてマイクロフォン信号を外部のデバイスに転送する出力になります。それによって、外付けのアナログスイッチを必要とせず2つのデバイスがマイクロフォン信号を録音可能になります。

アナログマイクロフォン信号は2段の利得で増幅された後ADCに伝送されます。第1増幅段は0dB、20dB、または30dBの設定を選択可能です。第2増幅段は1dBステップで0dB~20dBに調整可能なプログラマブルゲインアンプ(PGA)です。SN比を最大にするため、できる限り第1増幅段の利得を使用してください。利得変更時のジッターノイズを最小限に抑えるために、PGAはゼロクロス検出を内蔵しています。

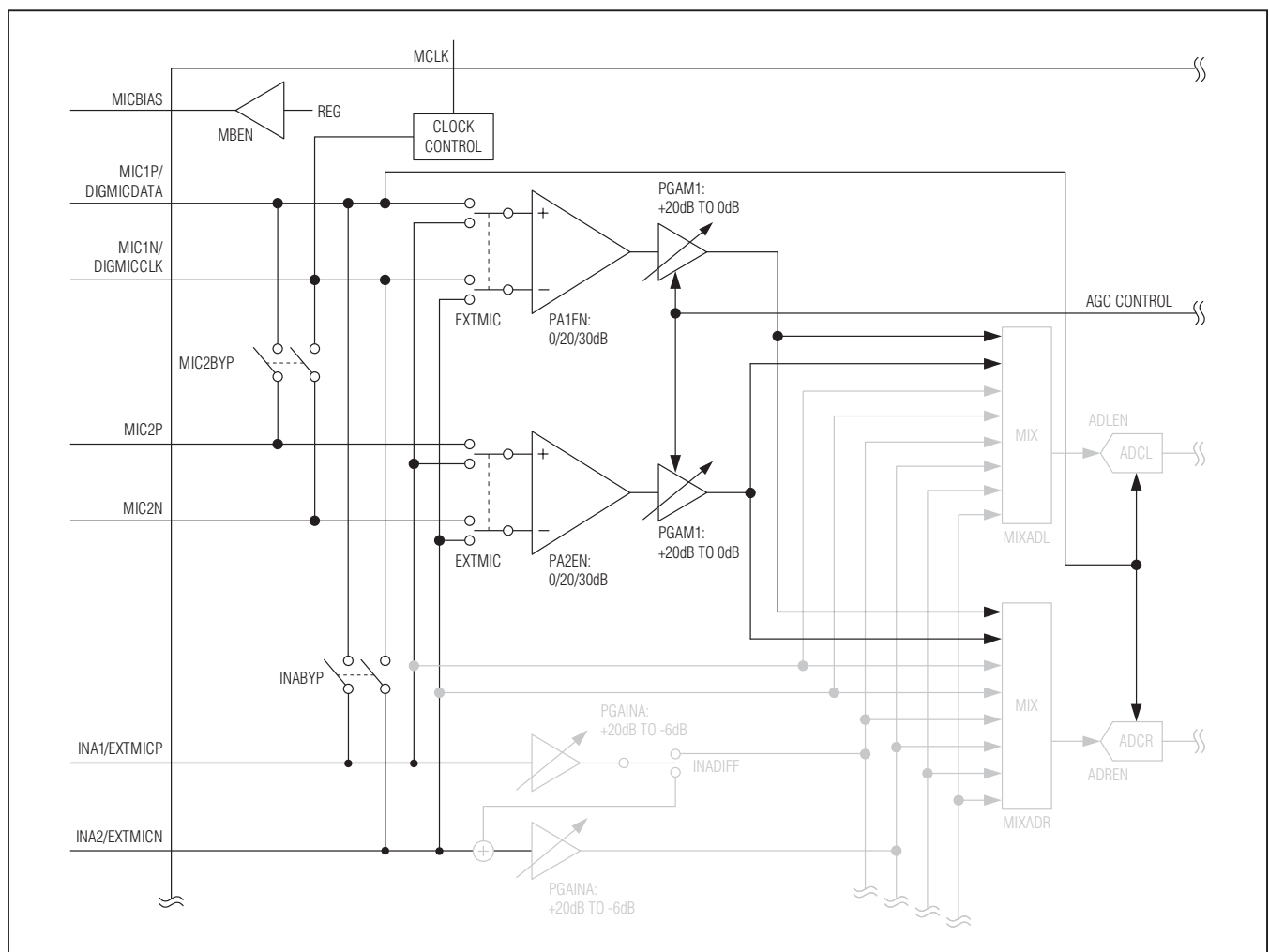


図6. マイクロフォン入力のブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表3. Microphone Inputレジスタ

レジスタ	ビット	名称	説明			
0x35/0x36	6	PA1EN/PA2EN	MIC1/MIC2 Preamplifier Gain マイクロフォン利得の粗調整。 00 = Preamplifier disabled 01 = 0dB 10 = 20dB 11 = 30dB			
	5					
	4	PGAM1/PGAM2	MIC1/MIC2 PGA マイクロフォン利得の微調整。			
	3					
	2		VALUE	GAIN (dB)	VALUE	GAIN (dB)
			0x00	+20	0x0B	+9
	1		0x01	+19	0x0C	+8
			0x02	+18	0x0D	+7
	0		0x03	+17	0x0E	+6
			0x04	+16	0x0F	+5
			0x05	+15	0x10	+4
			0x06	+14	0x11	+3
			0x07	+13	0x12	+2
			0x08	+12	0x13	+1
0x48	7	MICCLK	Digital Microphone Clock Frequency デジタルマイクロフォンのクロック周波数範囲内の周波数を選択してください。デジタルマイクロフォンを使用する場合はOSR1 = 1に設定してください。 00 = PCLK/8 01 = PCLK/6 10 = 64 x LRCLK 11 = Reserved			
	6					
	5	DIGMICL	Left Digital Microphone Enable 正常な動作のためにPA1EN = 00に設定してください。 0 = Disabled 1 = Enabled			
	4	DIGMICR	Right Digital Microphone Enable 正常な動作のためにPA1EN = 00に設定してください。 0 = Disabled 1 = Enabled			
	1	EXTMIC	External Microphone Connection INA_/EXTMIC_をマイクロフォンプリアンプに接続します。INA_/EXTMIC_をマイクロフォン入力として使用する場合は、INAEN = 0に設定してください。 00 = Disabled 01 = MIC1 input 10 = MIC2 input 11 = Reserved			
	0					

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

表3. Microphone Inputレジスタ(続き)

レジスタ	ビット	名称	説明
0x4A	7	INABYP	INA_/EXTMIC_ to MIC1_ Bypass Switch 0 = Disabled 1 = Enabled
	4	MIC2BYP	MIC1_ to MIC2_ Bypass Switch 0 = Disabled 1 = Enabled
	1	RECBYP	See the <i>Output Bypass Switches</i> section.
	0	SPKBYP	

ライン入力

このデバイスは、2セットのライン入力を備えています(図7)。各セットを、ステレオシングルエンド入力またはモノラル差動入力として設定可能です。各セットが、広い入力信号レベルに対応するための調整可能な利得を内蔵しています。独自の利得が必要な場合は、調整済みフィードバック抵抗を備えた外部利得モードを使用することができます。次式

を使用して、適切な入力抵抗を選択することによって利得を設定してください。

$$AV_{PGAIN} = 20 \times \log (20k\Omega/R_{IN})$$

外部利得モードでは、図8に示すような複数の入力抵抗の接続による複数の信号の1つの入力への合成、および/または、 $20k\Omega/R_{IN}$ の比を1以下に調整することによる1V_{p-p}を超える信号の入力が可能になります。

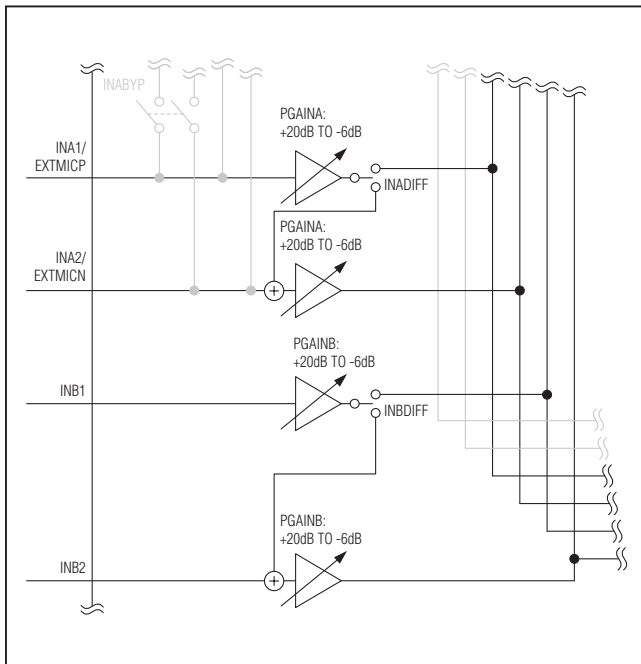


図7. ライン入力のブロック図

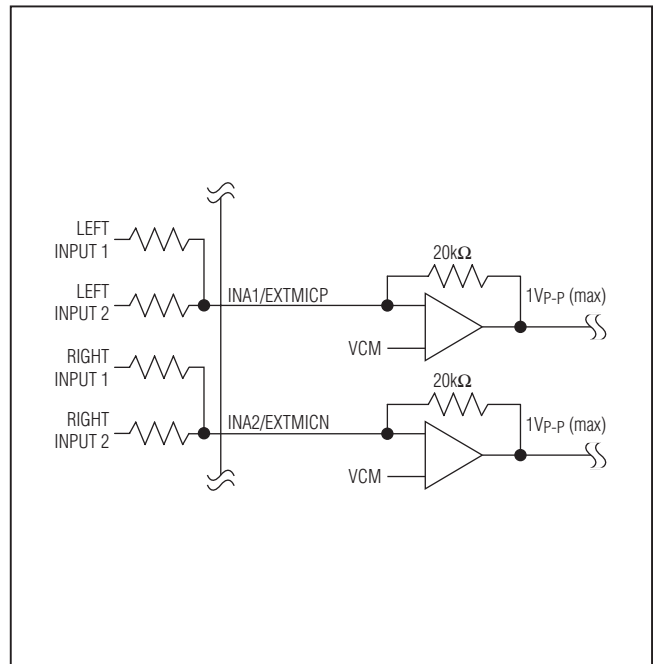


図8. 複数の入力信号のINA/INBへの合成

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表4. Line Inputレジスタ

レジスタ	ビット	名称	説明
0x37/0x38	6	INAEXT/INBEXT	Line Input A/B External Gain 内部入力抵抗を切り離して、調整済み20k Ω フィードバック抵抗を選択します。外付けの入力抵抗を使用してライン入力の利得を設定してください。 0 = Disabled 1 = Enabled
	2	PGAINA/PGAINB	Line Input A/B Internal Gain Settings 000 = +20dB 001 = +14dB 010 = +3dB 011 = 0dB 100 = -3dB 101 = -6dB 110 = -6dB 111 = -6dB
	1		
	0		
0x47	7	INADIFF	Line Input A Differential Enable 0 = Stereo single-ended input 1 = Mono differential input
	6	INBDIFF	Line Input B Differential Enable 0 = Stereo single-ended input 1 = Mono differential input

ADC入力ミキサ

このICのステレオADCは、マイクロフォンアンプ、ライン入力アンプ、および直接INA1とINA2からの入力を受信します。ADCミキサは、8つのオーディオ信号の任意の組合せを左/右ADCにルーティングします(図9)。

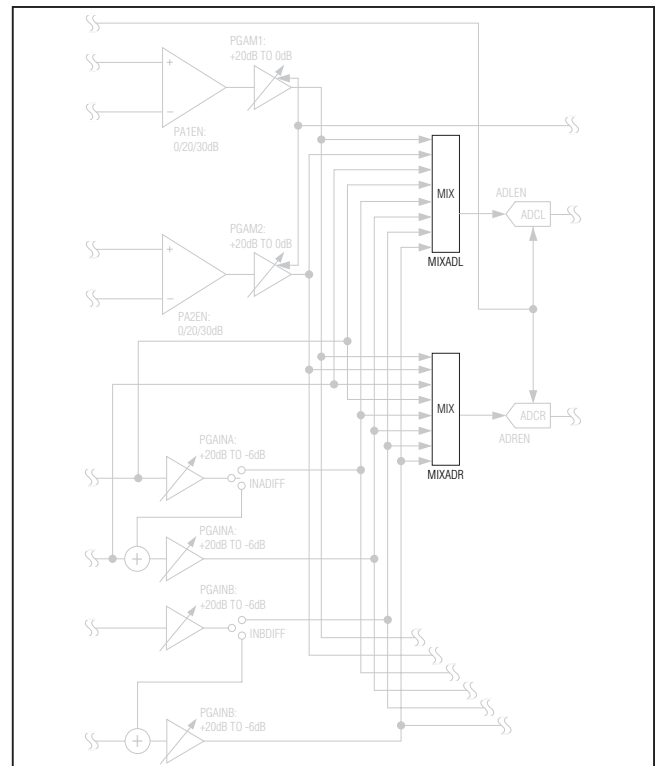


図9. ADC入力ミキサのブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表5. ADC Input Mixerレジスタ

レジスタ	ビット	名称	説明
0x23/0x24	7	MIXADL/MIXADR	Left/Right ADC Input Mixer どのアナログ入力を左/右ADCによって録音するかを選択します。 1xxxxxxx = MIC1 x1xxxxxx = MIC2 xx1xxxxx = INA1 pin direct xxx1xxxx = INA2 pin direct xxxx1xxx = INA1 xxxxx1xx = INA2 (INADIFF = 0) or INA2 - INA1 (INADIFF = 1) xxxxxx1x = INB1 xxxxxx1 = INB2 (INBDIFF = 0) or INB2 - INB1 (INBDIFF = 1)
	6		
	5		
	4		
	3		
	2		
	1		
	0		

録音経路の信号処理

このデバイスの録音信号経路は、マイクロフォン入力の自動利得制御(AGC)とADC出力のデジタルノイズゲートの両方を内蔵しています(図10)。

マイクロフォンAGC

このICのAGCは、ADC出力の信号レベルを監視して、MIC1およびMIC2のアナログPGAの設定を自動的に調整します。信号レベルがあらかじめ定義されたスレッショルド以下の場合、最大値(20dB)までの範囲で利得が増大されます。信号がスレッショルドを上回った場合、利得が低減されて出力信号レベルがスレッショルドを超えるのを防止します。AGCがイネーブルされている場合、マイクロフォンPGAはユーザー設定できなくなります。AGCはより一定した信号レベルを提供するため、利用可能なADCのダイナミックレンジが拡大します。

ノイズゲート

AGCはユーザー定義のスレッショルド以下のすべての信号のレベルを増大させるため、事実上ノイズフロアが20dB上昇します。これに対処するために、ノイズゲートは低い信号レベルでの利得を低減させます。定義されたレベル以下の出力を完全に無音化する一般的なノイズゲートとは異なり、このICのノイズゲートはダウンワードエキスパンションを適用します。このノイズゲートは信号がスレッショルドを2dB下回るごとに1dBの割合で出力を減衰させ、最大減衰量は12dBです。

ノイズゲートは、AGCとともに使用することも、単独で使用することも可能です。AGCがイネーブルされている場合、ノイズゲートはAGCが利得を最大値に設定している場合にのみ出力レベルを低減させます。図11に、AGCおよびノイズゲートを使用した結果の利得応答を示します。

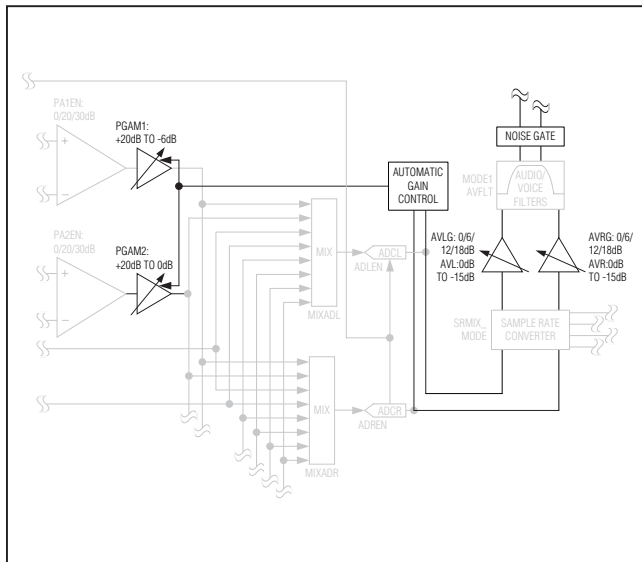


図10. 録音経路の信号処理のブロック図

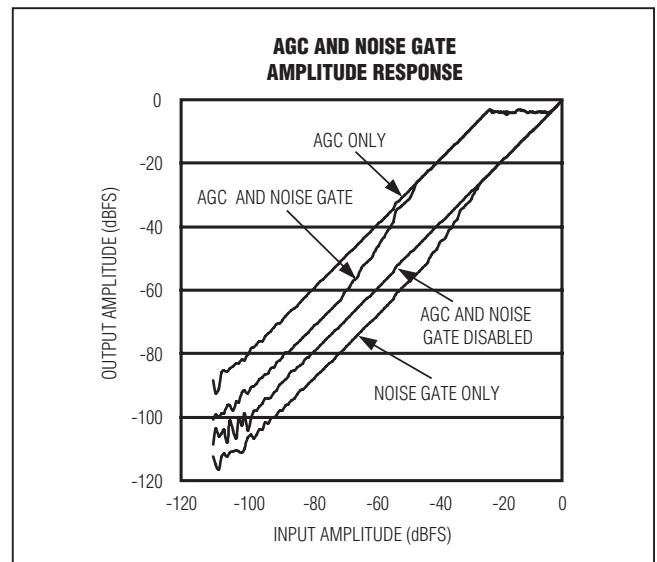


図11. AGCおよびノイズゲート入力と出力利得の関係

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表6. Record Path Signal Processingレジスタ

レジスタ	ビット	名称	説明			
0x01	7	NG	Noise Gate Attenuation 現在のノイズゲートの減衰量を通知します。 000 = 0dB 001 = 1dB 010 = 2dB 011 = 3dB to 5dB 100 = 6dB to 7dB 101 = 8dB to 9dB 110 = 10dB to 11dB 111 = 12dB			
	6					
	5					
	4	AGC	AGC Gain 現在のAGCの利得設定を通知します。			
	3		VALUE	GAIN (dB)	VALUE	GAIN (dB)
			0x00	+20	0x0B	+9
			0x01	+19	0x0C	+8
			0x02	+18	0x0D	+7
			0x03	+17	0x0E	+6
			0x04	+16	0x0F	+5
			0x05	+15	0x10	+4
			0x06	+14	0x11	+3
			0x07	+13	0x12	+2
2	0x08	+12	0x13	+1		
	1	0x09	+11	0x14 to 0x1F		0
		0	0x0A	+10		
0x3F	7	AGCSRC	AGC/Noise Gate Signal Source AGCおよびノイズゲートがどちらのADCチャンネルを分析するかを決定します。AGCSRCの設定に関係なく両方のチャンネルの利得が調整されます。 0 = Left ADC output 1 = Maximum of either the left or right ADC output			
	6	AGCRLS	AGC Release Time 図12に示す領域での利得の増大の開始から完了までの時間として定義されます。 000 = 78ms 001 = 156ms 010 = 312ms 011 = 625ms 100 = 1.25s 101 = 2.5s 110 = 5s 111 = 10s			
	5					
	4					

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表6. Record Path Signal Processingレジスタ(続き)

レジスタ	ビット	名称	説明				
0x3F	3	AGCATK	AGC Attack Time 総利得低減量の63%だけ利得を低減するために必要な時間として定義されます(指数応答の1つの時定数)。アタック時間はAGCのスレッシュホールドレベルが低いほど長くなります。詳細については図12を参照してください。 00 = 2ms 01 = 7.2ms 10 = 31ms 11 = 123ms				
	2						
	1	AGCHLD	AGC Hold Time AGCのリリースが開始されるまでの遅延です。ホールド時間カウンタは、信号がAGCスレッシュホールドを下回るたびにスタートして、いずれかの信号がスレッシュホールドを上回ることによってリセットされます。AGC回路をイネーブルする場合は、AGCHLDを設定してください。詳細については図12を参照してください。 00 = AGC disabled 01 = 50ms 10 = 100ms 11 = 400ms				
	0						
0x40	7	ANTH	Noise Gate Threshold ノイズを消音するために、このスレッシュホールド以下の信号について利得が低減されます。各スレッシュホールドはADCのフルスケール出力電圧に対する相対値です。				
	6		VALUE	THRESHOLD (dBFS)	VALUE	THRESHOLD (dBFS)	
			0x0	Noise gate disabled	0x8	-45	
			0x1	Reserved	0x9	-41	
			0x2	Reserved	0xA	-38	
			0x3	-64	0xB	-34	
			0x4	-62	0xC	-30	
			0x5	-58	0xD	-27	
			0x6	-53	0xE	-22	
	0x7		-50	0xF	-16		
	3		AGCTH	AGC Threshold クリッピングを防止するために、信号がこのスレッシュホールドを超えた場合に利得が低減されます。各スレッシュホールドはADCのフルスケール電圧に対する相対値です。			
	2			VALUE	THRESHOLD (dBFS)	VALUE	THRESHOLD (dBFS)
		0x0		-3	0x8	-11	
		0x1		-4	0x9	-12	
		0x2		-5	0xA	-13	
		0x3		-6	0xB	-14	
		0x4		-7	0xC	-15	
		0x5		-8	0xD	-16	
		0x6	-9	0xE	-17		
	1	0	0x7	-10	0xF	-18	

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

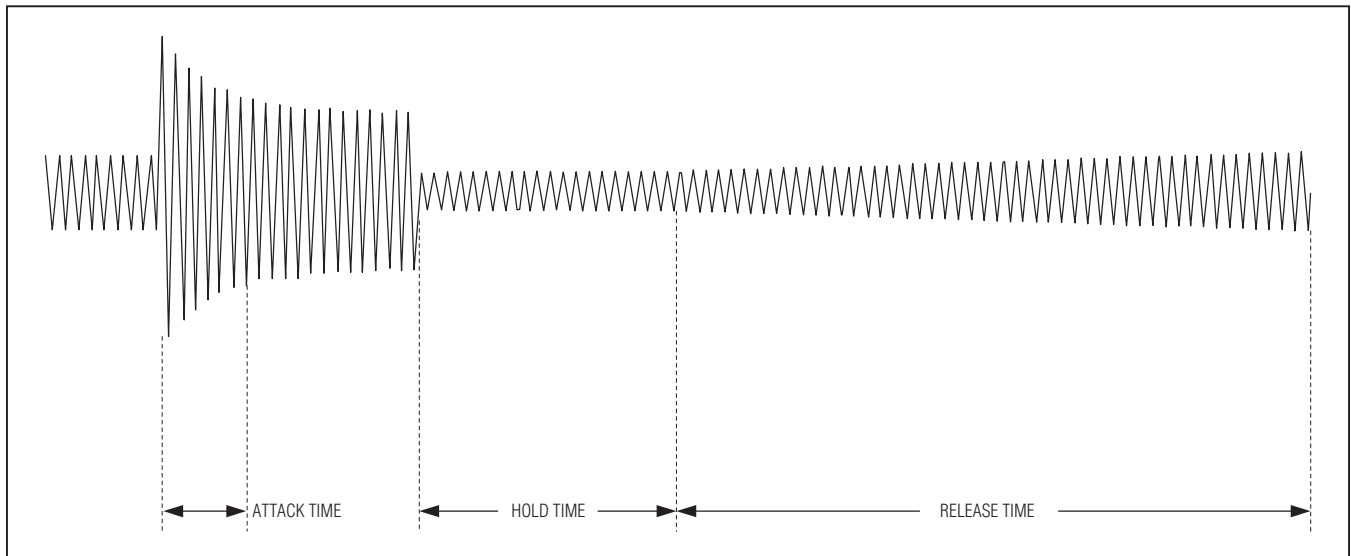


図12. AGCのタイミング

ADC録音レベル制御

このICは、左および右のADC出力用に個別のデジタルレベル制御を内蔵しています(図13)。ダイナミックレンジを最大化するために、信号レベルの調整にはできる限りアナ

ログ利得を使用して、デジタルレベル制御は0dBに設定してください。デジタルレベル制御は、主としてデジタルマイクフォンの録音レベルの調整に使用します。

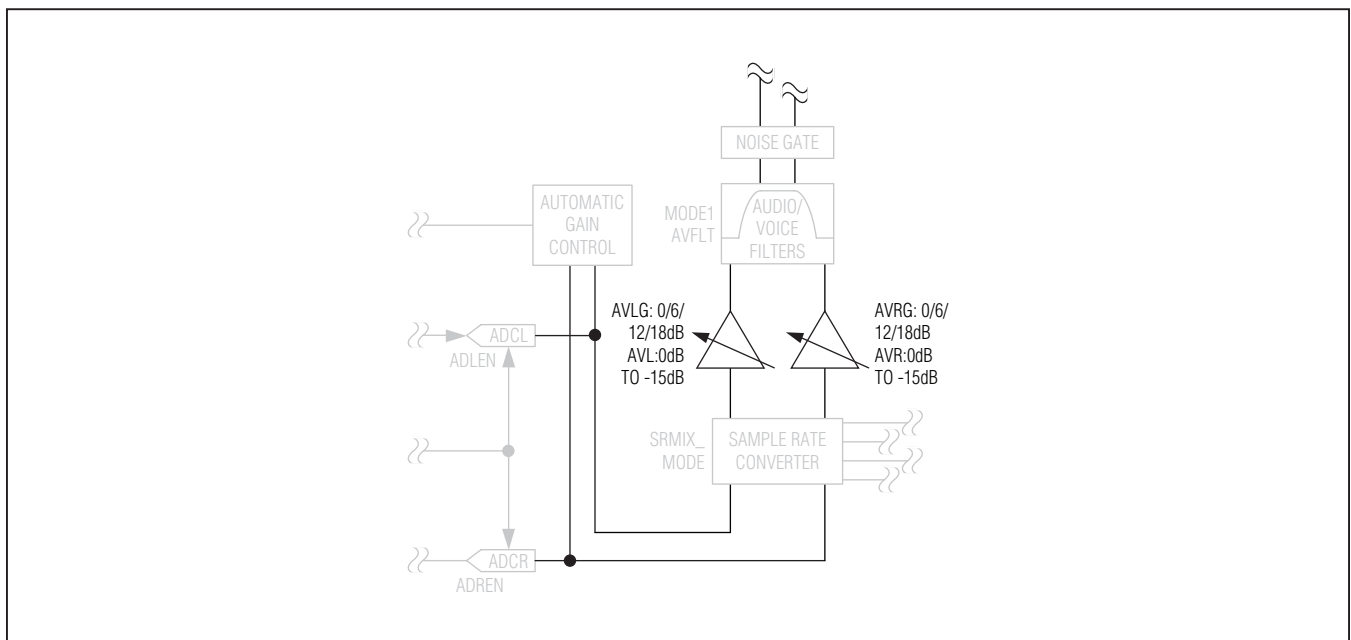


図13. ADC録音レベル制御のブロック図

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

表7. ADC Record Level Controlレジスタ

レジスタ	ビット	名称	説明			
0x33/0x34	5	AVLG/AVRG	Left/Right ADC Gain 00 = 0dB 01 = 6dB 10 = 12dB 11 = 18dB			
	4					
	3	AVL/AVR	Left/Right ADC Level			
	2		VALUE	GAIN (dB)	VALUE	GAIN (dB)
			0x0	+3	0x8	-5
	1		0x1	+2	0x9	-6
			0x2	+1	0xA	-7
	0		0x3	0	0xB	-8
			0x4	-1	0xC	-9
			0x5	-2	0xD	-10
			0x6	-3	0xE	-11
			0x7	-4	0xF	-12

サイドトーン

DAI1再生経路を通じて録音されたオーディオ信号の低レベルのコピーを再生オーディオ信号に追加するには、フルデュプレックス動作時にサイドトーンをイネーブルしてください(図14)。サイドトーンは電話で一般的に使用され、送話者が自分の声を聞くことができるため、より自然なユー

ザー体験が実現します。このICはデジタル方式でサイドトーンを実装しています。それによって再生信号経路への不要なフィードバックを防止することが可能で、再生オーディオ信号への適合性が向上します。サイドトーンはボイスモードでのみ利用可能です。

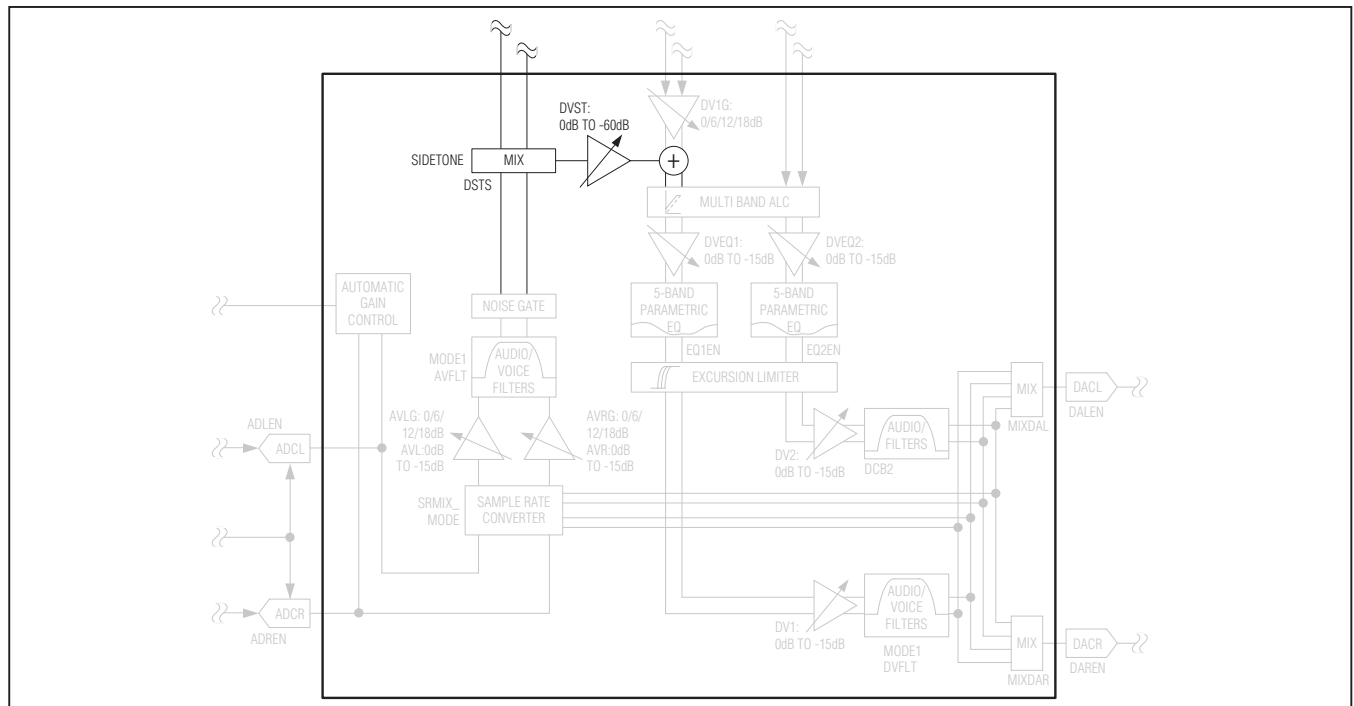


図14. サイドトーンのブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表8. Sidetoneレジスタ

レジスタ	ビット	名称	説明																																																																				
0x2E	7	DSTS	Sidetone Source どのADC出力をサイドトーンとしてフィードバックするかを選択します。左右のADC出力をミックスする場合、フルスケール信号のクリッピングを防止するためにそれぞれ6dBずつ減衰されます。 00 = Sidetone disabled 01 = Left ADC 10 = Right ADC 11 = Left + Right ADC																																																																				
	6																																																																						
	4		Sidetone Level サイドトーンの信号レベルを調整します。すべてのレベルはADCのフルスケール出力基準です。 <table><thead><tr><th>VALUE</th><th>LEVEL (dB)</th><th>VALUE</th><th>LEVEL (dB)</th></tr></thead><tbody><tr><td>0x00</td><td>Sidetone disabled</td><td>0x10</td><td>-30.5</td></tr><tr><td>0x01</td><td>-0.5</td><td>0x11</td><td>-32.5</td></tr><tr><td>0x02</td><td>-2.5</td><td>0x12</td><td>-34.5</td></tr><tr><td>0x03</td><td>-4.5</td><td>0x13</td><td>-36.5</td></tr><tr><td>0x04</td><td>-6.5</td><td>0x14</td><td>-38.5</td></tr><tr><td>0x05</td><td>-8.5</td><td>0x15</td><td>-40.5</td></tr><tr><td>0x06</td><td>-10.5</td><td>0x16</td><td>-42.5</td></tr><tr><td>0x07</td><td>-12.5</td><td>0x17</td><td>-44.5</td></tr><tr><td>0x08</td><td>-14.5</td><td>0x18</td><td>-46.5</td></tr><tr><td>0x09</td><td>-16.5</td><td>0x19</td><td>-48.5</td></tr><tr><td>0x0A</td><td>-18.5</td><td>0x1A</td><td>-50.5</td></tr><tr><td>0x0B</td><td>-20.5</td><td>0x1B</td><td>-52.5</td></tr><tr><td>0x0C</td><td>-22.5</td><td>0x1C</td><td>-54.5</td></tr><tr><td>0x0D</td><td>-24.5</td><td>0x1D</td><td>-56.6</td></tr><tr><td>0x0E</td><td>-26.5</td><td>0x1E</td><td>-58.5</td></tr><tr><td>0x0F</td><td>-28.5</td><td>0x1F</td><td>-60.5</td></tr></tbody></table>	VALUE	LEVEL (dB)	VALUE	LEVEL (dB)	0x00	Sidetone disabled	0x10	-30.5	0x01	-0.5	0x11	-32.5	0x02	-2.5	0x12	-34.5	0x03	-4.5	0x13	-36.5	0x04	-6.5	0x14	-38.5	0x05	-8.5	0x15	-40.5	0x06	-10.5	0x16	-42.5	0x07	-12.5	0x17	-44.5	0x08	-14.5	0x18	-46.5	0x09	-16.5	0x19	-48.5	0x0A	-18.5	0x1A	-50.5	0x0B	-20.5	0x1B	-52.5	0x0C	-22.5	0x1C	-54.5	0x0D	-24.5	0x1D	-56.6	0x0E	-26.5	0x1E	-58.5	0x0F	-28.5	0x1F	-60.5
	VALUE			LEVEL (dB)	VALUE	LEVEL (dB)																																																																	
	0x00	Sidetone disabled		0x10	-30.5																																																																		
	0x01	-0.5		0x11	-32.5																																																																		
	0x02	-2.5		0x12	-34.5																																																																		
	0x03	-4.5		0x13	-36.5																																																																		
	0x04	-6.5		0x14	-38.5																																																																		
	0x05	-8.5		0x15	-40.5																																																																		
	0x06	-10.5		0x16	-42.5																																																																		
	0x07	-12.5		0x17	-44.5																																																																		
	0x08	-14.5		0x18	-46.5																																																																		
	0x09	-16.5		0x19	-48.5																																																																		
	0x0A	-18.5		0x1A	-50.5																																																																		
	0x0B	-20.5		0x1B	-52.5																																																																		
	0x0C	-22.5		0x1C	-54.5																																																																		
	0x0D	-24.5		0x1D	-56.6																																																																		
	0x0E	-26.5	0x1E	-58.5																																																																			
	0x0F	-28.5	0x1F	-60.5																																																																			
3																																																																							
	2																																																																						
		1																																																																					
			0																																																																				

デジタルオーディオインタフェース

このICは2つの個別の再生信号経路および1つの録音信号経路を内蔵しています。デジタルオーディオインタフェース1 (DAI1)は、録音したステレオオーディオ信号の送信および再生用ステレオオーディオ信号の受信に使用します。デジタルオーディオインタフェース2 (DAI2)は、第2のステレオオーディオ信号の受信に使用します。すべてのフルデュプレックス動作およびすべての音声信号にはDAI1を使用してください。音楽用および2つの再生オーディオ信号のミキシングにはDAI2を使用してください。デジタルオーディオインタフェースはオーディオポートとは独立しているため、どちらのインタフェースも、どちらのオーディオポートに接続された任意の外部デバイスとも通信することができます。

各オーディオインタフェースは、左揃え、I²S、PCM、および時分割多重(TDM)を含む多様な形式に設定可能です。TDMモードは、個々のフレームで最大4つのモノラルオーディオ

スロットをサポートします。このICはインタフェース当り最大2つのモノラルスロットを使用可能で、残り2つのスロットを他のデバイスで利用することができます。表9に、一般的なデジタルオーディオ形式用にデバイスを設定する方法を示します。図16および17に、一般的なオーディオ形式の例を示します。バスの共有を促進するために、デフォルトではICがデータを出力していない場合、SDOUTS1およびSDOUTS2はハイインピーダンスに設定されます。モノラルPCM音声データの送信および受信を行う場合は、スロット1のみを使用するTDMモードにインタフェースを設定してください。

このICのデジタルオーディオインタフェースは、ADCからDACへのループスルーおよびデジタルループバックの両方をサポートしています。ループスルーは、ADCによって変換された信号をDACに伝送して再生可能にします。信号はデジタルオーディオインタフェース内で録音経路から

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

再生経路にルーティングされるため、ICの完全に相補的なデジタル信号処理を使用することができます。ループバックは、SDINS1またはSDINS2へのデジタルデータ入力を一方のインタフェースから他方にルーティングして、SDOUTS2またはSDOUTS1から出力することを可能にします。両方のインタフェースが同一のサンプルレートに

設定されている必要がありますが、インタフェース形式が同一である必要はありません。そのため、ICが必要に応じてデータ形式を変換しながら1つのデバイスから他のデバイスにオーディオデータをルーティングすることが可能です。図15に、利用可能なデジタル信号ルーティングのオプションを示します。

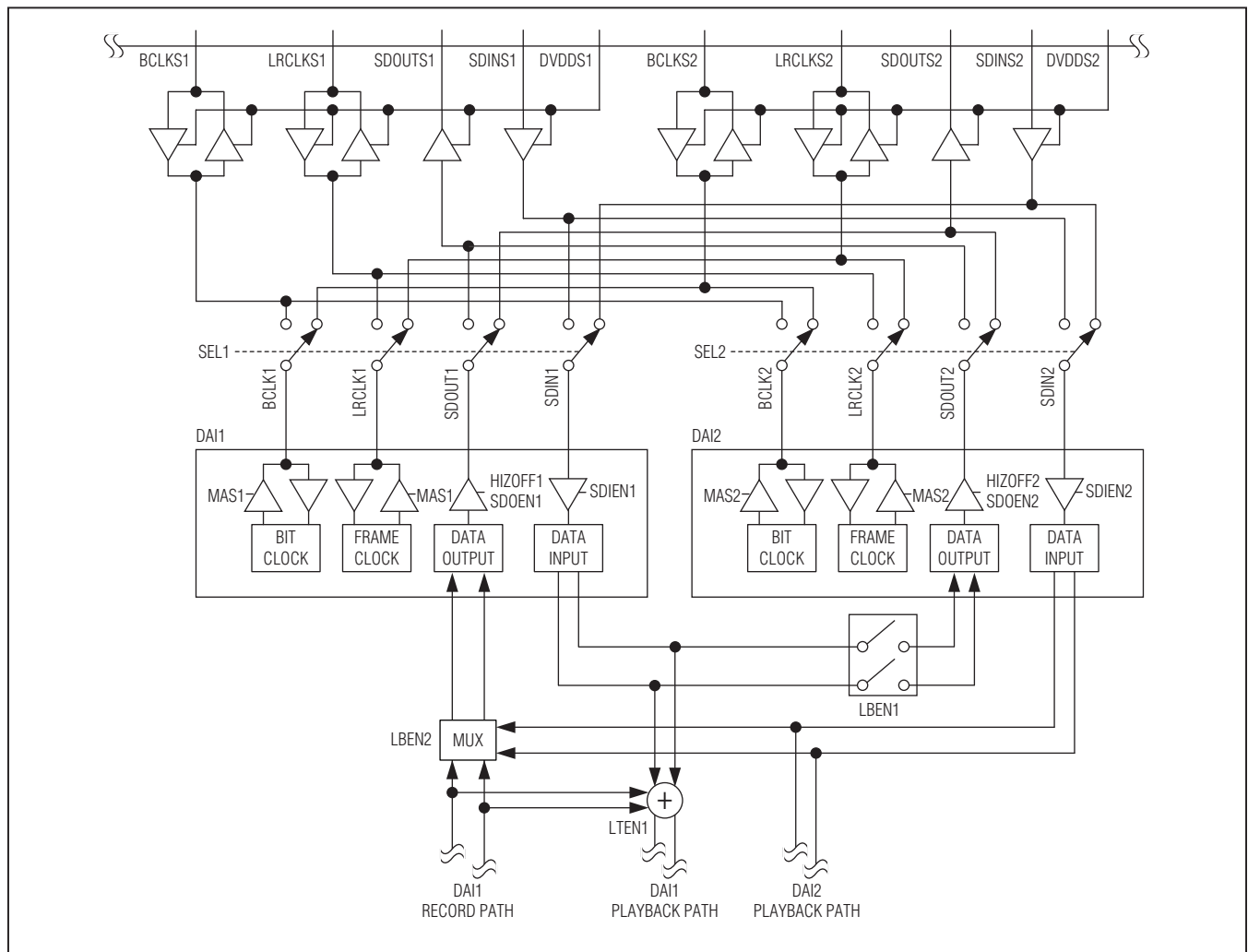


図15. デジタルオーディオ信号のルーティング

表9. 一般的なデジタルオーディオ形式

MODE	WC1/WC2	BC1/BC2	DLY1/DLY2	TDM1/TDM2	SLOT1/SLOT2	SLOT1R/SLOT2R
Left Justified	1	0	0	0	X	X
I ² S	0	0	1	0	X	X
PCM	X	1	X	1	0	0
TDM	X	1	X	1	Set as desired	

X = 任意。

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表10. Digital Audio Interfaceレジスタ

レジスタ	ビット	名称	説明
0x14/0x1C	7	MAS1/MAS2	DAI1/DAI2 Master Mode マスターモードでは、DAI1/DAI2はLRCLKおよびBCLKを出力します。スレーブモードでは、DAI1/DAI2はLRCLKおよびBCLKを入力として受信します。 0 = Slave mode 1 = Master mode
	6	WCI1/WCI2	DAI1/DAI2 Word Clock Invert TDM1/TDM2 = 0: 0 = Left-channel data is transmitted while LRCLK is low. 1 = Right-channel data is transmitted while LRCLK is low. TDM1/TDM2 = 1: Always set WCI = 0.
	5	BCI1/BCI2	DAI1/DAI2 Bit Clock Invert TDM1/TDM2 = 1の場合、BCI1/BCI2に1をセットする必要があります。 0 = SDIN is accepted on the rising edge of BCLK. SDOUT is valid on the rising edge of BCLK. 1 = SDIN is accepted on the falling edge of BCLK. SDOUT is valid on the falling edge of BCLK. Master Mode: 0 = LRCLK transitions on the falling edge of BCLK. 1 = LRCLK transitions on the rising edge of BCLK.
	4	DLY1/DLY2	DAI1/DAI2 Data Delay TDM1/TDM2 = 1の場合、DLY1/DLY2は無効です。 0 = The most significant data bit is clocked on the first active BCLK edge after an LRCLK transition. 1 = The most significant data bit is clocked on the second active BCLK edge after an LRCLK transition.
	2	TDM1/TDM2	DAI1/DAI2 Time-Division Multiplex Mode (TDM Mode) 方形波の代わりにLRCLKのフレーム同期パルスを使用するデバイスと通信する場合、TDM1/TDM2をセットしてください。 0 = Disabled 1 = Enabled (BCI1/BCI2 must be set to 1)
	1	FSW1/FSW2	DAI1/DAI2 Wide Frame Sync Pulse TDM1/TDM2 = 1の場合、フレーム同期パルス幅を完全なデータ幅に拡大します。 TDM1/TDM2 = 0の場合、FSW1/FSW2は無効です。 0 = Disabled 1 = Enabled
	0	WS1/WS2	DAI1/DAI2 Audio Data Bit Depth 送受信するオーディオの最大ビット深度を決定します。TDM1/TMD2 = 0の場合、データは常に16ビットです。 0 = 16 bits 1 = 24 bits

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表10. Digital Audio Interfaceレジスタ(続き)

レジスタ	ビット	名称	説明
0x15/0x1D	7	OSR1	ADC Oversampling Ratio 性能を最大にするには、より高い設定を使用してください。性能を低下して消費電力を低減するには、より低い設定を使用してください。 00 = 96x 01 = 64x 10 = Reserved 11 = Reserved
	6		
	5	DAC_OS1/ DAC_OS2	DAC Oversample Clock (Select PCLK/2 for higher performance. Select PCLK/4 for lower power consumption.) 1 = DAC input clock = PCLK/2 0 = DAC input clock = PCLK/4
	2	BSEL1/ BSEL2	DAI1/DAI2 BCLK Output Frequency マスターモードでの動作時、BSEL1/BSEL2はBCLKの周波数を設定します。スレーブモードでの動作時、BSEL1/BSEL2は無効です。DACへの入力およびADCによる出力のすべてのデータのクロッキングに使用される最も低いBCLKの周波数を選択してください。 000 = BCLK disabled 001 = 64 x LRCLK 010 = 48 x LRCLK 011 = 128 x LRCLK (invalid for DHF1/DHF2 = 1) 100 = PCLK/2 101 = PCLK/4 110 = PCLK/8 111 = PCLK/16
	1		
	0		
0x16/0x1E	7	SEL1/SEL2	DAI1/DAI2 Audio Port Selector DAI1/DAI2に使用するポートを選択します。 00 = None 01 = Port S1 10 = Port S2 11 = Reserved
	6		
	5	LTEN1	DAI1 Digital Loopthrough 録音信号経路の出力を再生経路の入力に接続します。外部デバイスからDAI1に入力されたデータは、録音されたオーディオ信号とミックスされます。 0 = Disabled 1 = Enabled
	4	LBEN1/ LBEN2	DAI1/DAI2 Digital Audio Interface Loopback LBEN1はDAI1へのデジタルオーディオ入力をDAI2にループバックします。LBEN2はDAI2へのデジタルオーディオ入力をDAI1にループバックします。LBEN2を選択した場合、ADCの出力データはディセーブルされます。 0 = Disabled 1 = Enabled
	3	DMONO1/ DMONO2	DAI1/DAI2 DAC Mono Mix 左右のデジタル入力をモノラルにミックスして、合成された信号を左右の再生経路に伝送します。モノラルミックスの前に、左右の入力データは6dB減衰されます。 0 = Disabled 1 = Enabled

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表10. Digital Audio Interfaceレジスタ(続き)

レジスタ	ビット	名称	説明
0x16/0x1E	2	HIZOFF1/ HIZOFF2	Disable DAI1/DAI2 Output High-Impedance Mode データワード間では、SDOUTは通常はハイインピーダンスに設定されます。常にSDOUTのレベルを強制するには、HIZOFF1/HIZOFF2をセットしてください。 0 = Disabled 1 = Enabled
	1	SDOEN1/ SDOEN2	DAI1/DAI2 Record Path Output Enable DAI2はLBEN1 = 1の場合にのみデータを出力します。 0 = Disabled 1 = Enabled
	0	SDIEN1/ SDIEN2	DAI1/DAI2 Playback Path Input Enable 0 = Disabled 1 = Enabled
0x17/0x1F	7	SLOTL1/ SLOTL2	TDM Left Time Slot DAI1/DAI2の左データに4つのスロットのどれを使用するかを選択します。左右のオーディオに同一のスロットを選択した場合、左オーディオがそのスロットに配置されます。 00 = Slot 1 01 = Slot 2 10 = Slot 3 11 = Slot 4
	6		
	5	SLOTR1/ SLOTR2	TDM Right Time Slot DAI1/DAI2の右データに4つのスロットのどれを使用するかを選択します。左右のオーディオに同一のスロットを選択した場合、左オーディオがそのスロットに配置されます。 00 = Slot 1 01 = Slot 2 10 = Slot 3 11 = Slot 4
	4		
	3	SLOTDLY1/ SLOTDLY2	TDM Slot Delay 指定したTDMスロットのデータに1 BCLKサイクルの遅延を追加します。 1xxx = Slot 4 delayed x1xx = Slot 3 delayed xx1x = Slot 2 delayed xxx1 = Slot 1 delayed
	2		
	1		
	0		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

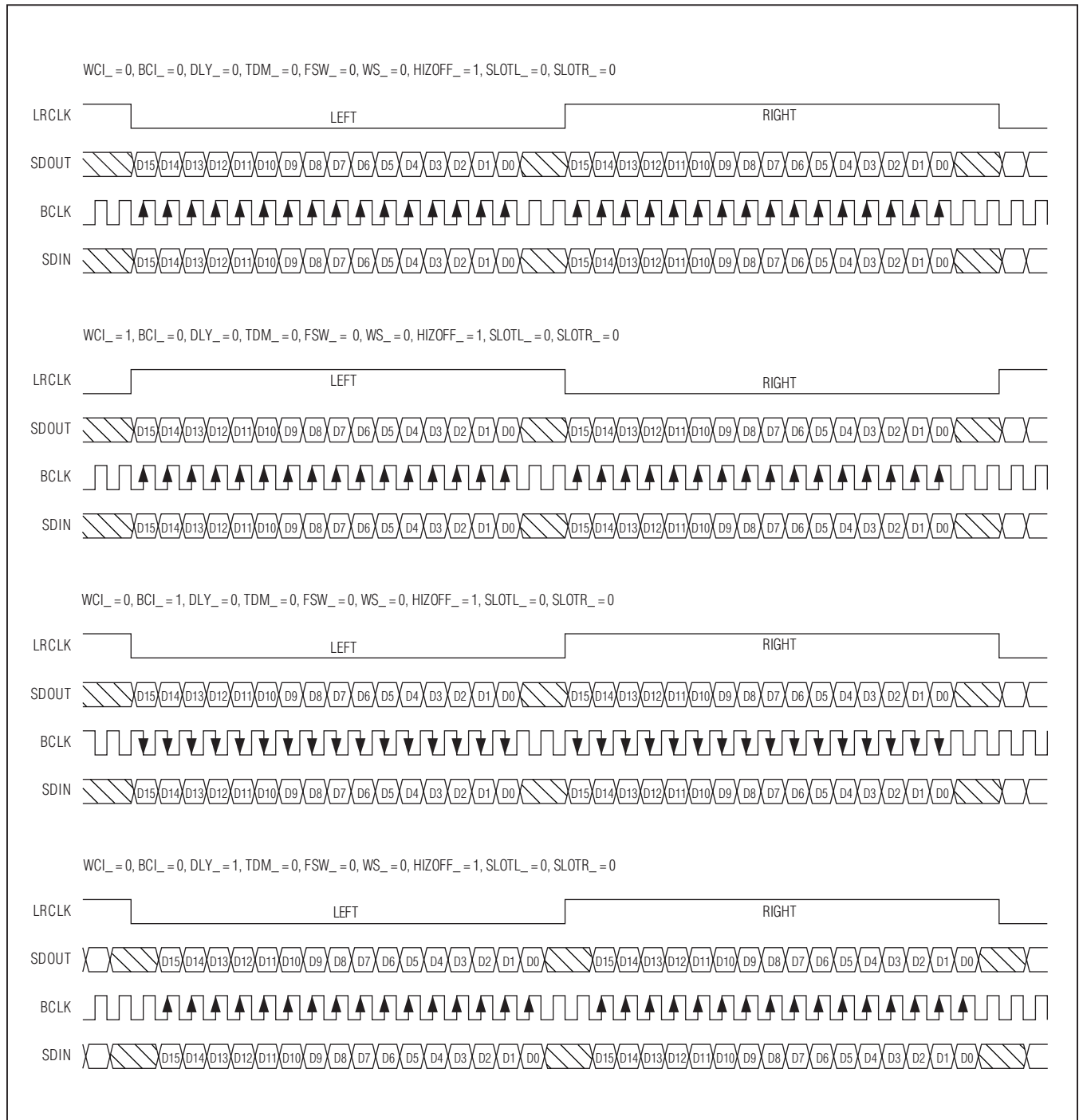


図16. 非TDMのデータ形式の例

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

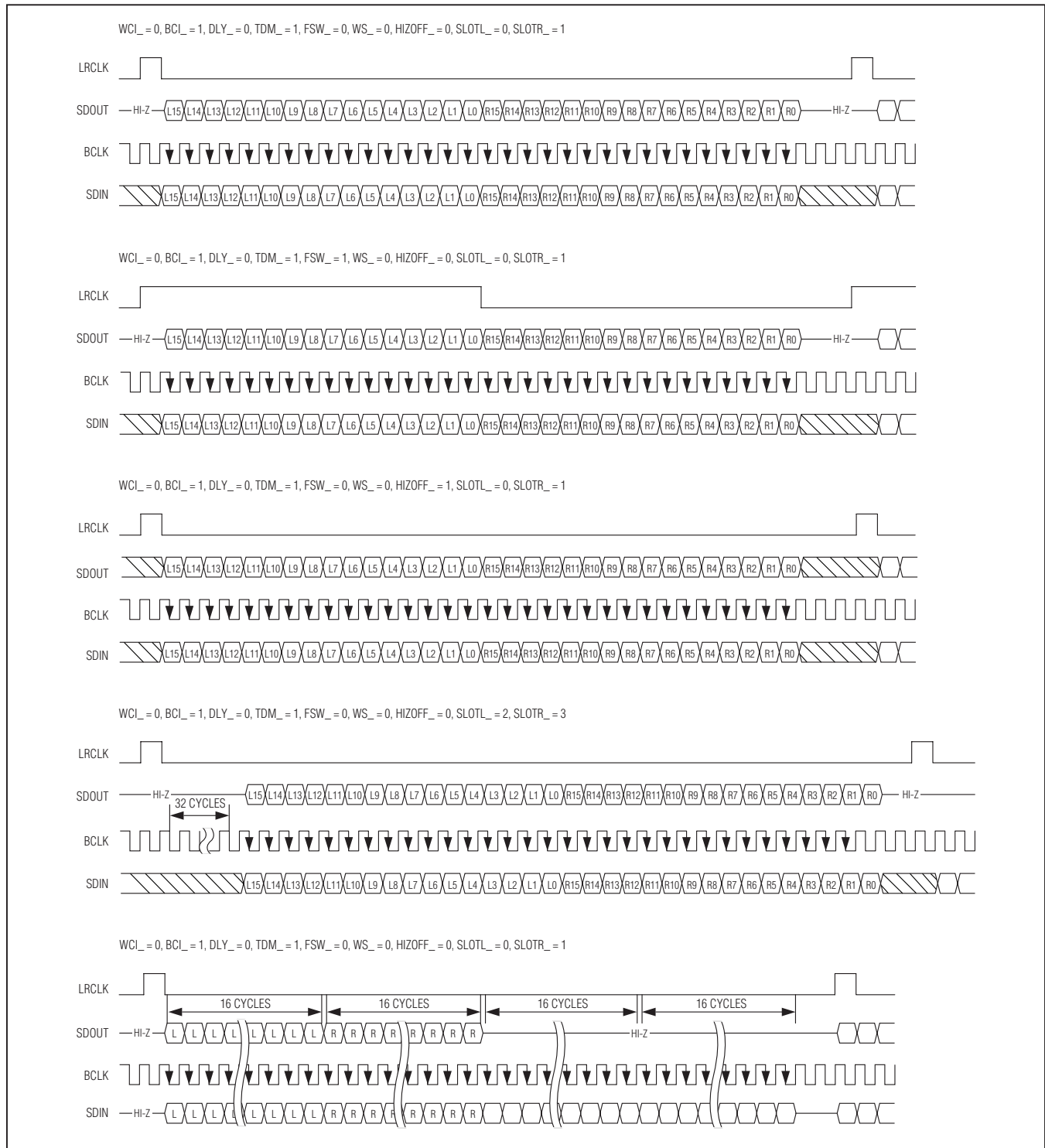


図17. TDMモードのデータ形式の例

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

クロック制御

このICのデジタル信号経路が機能するためには、10MHz～60MHzの範囲のマスタークロック(MCLK)が必要です。MAX98089は10MHz～20MHzの範囲の内部クロックを必要とします。プリスケラがMCLKを1、2、または4分周して内部クロック(PCLK)を生成します。PCLKはICのすべての部分のクロック供給に使用されます。

MAX98089は2つのデジタルオーディオ信号経路を内蔵しており、両方が8kHz～96kHzの任意のサンプルレートをサポート可能です。それぞれの経路は個別に設定されるため、異なるサンプルレートにすることが可能です。広範なシステムアーキテクチャに対応するために、4つの主なクロックモードがサポートされています。

- **PLLモード:** スレープモードでの動作時に、PLLをイネーブルして任意のLRCLK入力にロックします。このモードでは必要な設定が最も少ない代わりに、性能は最も低くなります。このモードは、初期設定を簡略化するため、またはノーマルモードおよび正確な整数モードを使用することができない場合に使用してください。

- **ノーマルモード:** このモードは、15ビットのクロック分周比を使用してPCLKとの相対でサンプルレートを設定します。これによって、PCLKおよびLRCLKの両方の周波数について高い柔軟性が提供され、マスターモードまたはスレープモードのいずれでも使用することができます。
- **正確な整数モード(DAI1のみ):** マスターモードとスレープモードの両方で、8kHzと16kHzの両方のサンプルレートについて正確な整数モードで動作するように一般的なMCLK周波数(12MHz、13MHz、16MHz、および19.2MHz)を設定することが可能です。これらのモードでは、NIビットおよびPLL制御ビットではなくFREQ1ビットを使用してMCLKおよびLRCLKの速度を選択します。
- **DAC低電力モード:** このモードは、消費電力を低減するためにPLLをバイパスして、固定のカウンタを使用してクロックを生成します。DAI_DAC_LPビットは他のクロック設定より優先されます。

表11. Clock Controlレジスタ

レジスタ	ビット	名称	説明			
0x10	5	PSCLK	MCLK Prescaler すべての内部回路が使用するPCLKを生成します。 00 = PCLK disabled 01 = 10MHz ≤ MCLK ≤ 20MHz (PCLK = MCLK) 10 = 20MHz ≤ MCLK ≤ 40MHz (PCLK = MCLK/2) 11 = 40MHz ≤ MCLK ≤ 60MHz (PCLK = MCLK/4)			
	4					
0x11/0x19	7	SR1/SR2	DAI1/DAI2 Sample Rate デュアルバンドクロスオーバー周波数を正確に設定するためにALCが使用されるとともに、あらかじめ定義されたコーナー周波数を設定するためのエクスカッションリミッタが使用されます。			
	6		VALUE	SAMPLE RATE (kHz)	VALUE	SAMPLE RATE (kHz)
	5		0x0	Reserved	0x8	48
			0x1	8	0x9	88.2
			0x2	11.025	0xA	96
			0x3	16	0xB	Reserved
			0x4	22.05	0xC	Reserved
	4		0x5	24	0xD	Reserved
			0x6	32	0xE	Reserved
			0x7	44.1	0xF	Reserved

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表11. Clock Controlレジスタ(続き)

レジスタ	ビット	名称	説明																																			
0x11	3	FREQ1	Exact Integer Mode PLL1およびNI1より優先され、特定のPCLKとLRCLKの比を設定します。																																			
			<table><tr><th>VALUE</th><th>SAMPLE RATE</th><th>VALUE</th><th>SAMPLE RATE</th></tr><tr><td>0x0</td><td>Disabled</td><td>0x8</td><td>PCLK = 12MHz, LRCLK = 8kHz</td></tr><tr><td>0x1</td><td>Reserved</td><td>0x9</td><td>PCLK = 12MHz, LRCLK = 16kHz</td></tr><tr><td>0x2</td><td>Reserved</td><td>0xA</td><td>PCLK = 13MHz, LRCLK = 8kHz</td></tr><tr><td>0x3</td><td>Reserved</td><td>0xB</td><td>PCLK = 13MHz, LRCLK = 16kHz</td></tr><tr><td>0x4</td><td>Reserved</td><td>0xC</td><td>PCLK = 16MHz, LRCLK = 8kHz</td></tr><tr><td>0x5</td><td>Reserved</td><td>0xD</td><td>PCLK = 16MHz, LRCLK = 16kHz</td></tr><tr><td>0x6</td><td>Reserved</td><td>0xE</td><td>PCLK = 19.2MHz, LRCLK = 8kHz</td></tr><tr><td>0x7</td><td>Reserved</td><td>0xF</td><td>PCLK = 19.2MHz, LRCLK = 16kHz</td></tr></table>	VALUE	SAMPLE RATE	VALUE	SAMPLE RATE	0x0	Disabled	0x8	PCLK = 12MHz, LRCLK = 8kHz	0x1	Reserved	0x9	PCLK = 12MHz, LRCLK = 16kHz	0x2	Reserved	0xA	PCLK = 13MHz, LRCLK = 8kHz	0x3	Reserved	0xB	PCLK = 13MHz, LRCLK = 16kHz	0x4	Reserved	0xC	PCLK = 16MHz, LRCLK = 8kHz	0x5	Reserved	0xD	PCLK = 16MHz, LRCLK = 16kHz	0x6	Reserved	0xE	PCLK = 19.2MHz, LRCLK = 8kHz	0x7	Reserved	0xF
	VALUE		SAMPLE RATE	VALUE	SAMPLE RATE																																	
	0x0		Disabled	0x8	PCLK = 12MHz, LRCLK = 8kHz																																	
	0x1		Reserved	0x9	PCLK = 12MHz, LRCLK = 16kHz																																	
	0x2		Reserved	0xA	PCLK = 13MHz, LRCLK = 8kHz																																	
	0x3		Reserved	0xB	PCLK = 13MHz, LRCLK = 16kHz																																	
	0x4		Reserved	0xC	PCLK = 16MHz, LRCLK = 8kHz																																	
	0x5		Reserved	0xD	PCLK = 16MHz, LRCLK = 16kHz																																	
	0x6		Reserved	0xE	PCLK = 19.2MHz, LRCLK = 8kHz																																	
0x7	Reserved	0xF	PCLK = 19.2MHz, LRCLK = 16kHz																																			
2	1																																					
0x12/0x1A	7	PLL1/PLL2	PLL Mode Enable (Slave Mode Only) PLL1/PLL2は、外部供給のLRCLK周波数にロックするデジタルPLLをイネーブルして、LRCLK分周比(NI1/NI2)を自動的に設定します。 0 = Disabled 1 = Enabled																																			
	6	NI1/ NI2	Normal Mode LRCLK Divider PLL1/PLL2 = 0の場合、LRCLKの周波数はNI1/NI2によって決定されます。一般的なNIの値については表12を参照してください。																																			
	5																																					
	4																																					
	3																																					
	2																																					
	1																																					
	0																																					
	0x13/0x1B			7	NI1/ NI2	<table><tr><th>SAMPLE RATE</th><th>DHF1/DHF2</th><th>NI1/NI2 FORMULA</th></tr><tr><td>8kHz ≤ LRCLK ≤ 48kHz</td><td>0</td><td>$NI = \frac{65,536 \times 96 \times f_{LRCLK}}{f_{PCLK}}$</td></tr><tr><td>48kHz < LRCLK ≤ 96kHz</td><td>1</td><td>$NI = \frac{65,536 \times 48 \times f_{LRCLK}}{f_{PCLK}}$</td></tr><tr><td colspan="3">f_{LRCLK} = LRCLK frequency f_{PCLK} = Prescaled MCLK frequency (PCLK)</td></tr></table>	SAMPLE RATE	DHF1/DHF2	NI1/NI2 FORMULA	8kHz ≤ LRCLK ≤ 48kHz	0	$NI = \frac{65,536 \times 96 \times f_{LRCLK}}{f_{PCLK}}$	48kHz < LRCLK ≤ 96kHz	1	$NI = \frac{65,536 \times 48 \times f_{LRCLK}}{f_{PCLK}}$	f _{LRCLK} = LRCLK frequency f _{PCLK} = Prescaled MCLK frequency (PCLK)																						
		SAMPLE RATE	DHF1/DHF2	NI1/NI2 FORMULA																																		
8kHz ≤ LRCLK ≤ 48kHz		0	$NI = \frac{65,536 \times 96 \times f_{LRCLK}}{f_{PCLK}}$																																			
48kHz < LRCLK ≤ 96kHz		1	$NI = \frac{65,536 \times 48 \times f_{LRCLK}}{f_{PCLK}}$																																			
f _{LRCLK} = LRCLK frequency f _{PCLK} = Prescaled MCLK frequency (PCLK)																																						
6																																						
5																																						
4																																						
3																																						
2																																						
1																																						
0	NI1[0]/NI2[0]	Rapid Lock Mode 高速ロックモードをイネーブルするには、PLL1/PLL2 = 1の場合に、NI1/NI2を最も近い有効な比率に設定してNI1[0]/NI2[0]をセットしてください。通常は、PLLが自動的に計算を行ってNI1/NI2を動的に調整します。高速ロックモードを適切に設定した場合、PLLの開始点が正しい値に十分近くなるため、ロック時間が高速化されます。NI1/NI2を設定した後、1 LRCLK周期だけ待機してからPLL1/PLL2 = 1に設定してください。																																				

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表11. Clock Controlレジスタ(続き)

レジスタ	ビット	名称	説明					
0x4F	7	DAI2_DAC_LP	DAI_DAC Low Power Select. これらのビットは、固定のカウンタからクロックを生成するように設定して、PLLをバイパスしてDAC低電力モードにします。					
	6		VALUE	SETTING	FILTER SELECT	VALUE	SETTING	FILTER SELECT
			0x0	PLL derived clock	—	0x8	PCLK = 2304 x LRCLK	Voice
	5		0x1	PCLK = 128 x LRCLK	Audio 96kHz	0x9	Reserved	—
	4		0x2	PCLK = 192 x LRCLK	Audio 96kHz	0xA	Reserved	—
	3	DAI1_DAC_LP	0x3	PCLK = 256 x LRCLK	Audio 48kHz	0xB	Reserved	—
			0x4	PCLK = 384 x LRCLK	Audio 48kHz	0xC	Reserved	—
	2		0x5	PCLK = 768 x LRCLK	Voice	0xD	Reserved	—
	1		0x6	PCLK = 1152 x LRCLK	Voice	0xE	Reserved	—
	0		0x7	PCLK = 1536 x LRCLK	Voice	0xF	Reserved	—
0x50	3	DAC2DITHEN	DAI2 DAC Input Dither Enable DAI2_DAC_LP = 0000の場合、DAC2DITHENをセットすることが推奨されます。 0 = Disabled 1 = Enabled					
	2	DAC1DITHEN	DAI1 DAC Input Dither 1 Enable DAI1_DAC_LP = 0000の場合、DAC1DITHENをセットすることが推奨されます。 0 = Disabled 1 = Enabled					
	1	CGM2_EN	DAI2 Clock Gen Module Enable DAI2のDAC再生経路用のクロック生成をイネーブルするには、CGM2_ENとともにCGM1_ENをセットする必要があります。 0 = Disabled 1 = Enabled					
	0	CGM1_EN	DAI1/Device Clock Gen Module Enable CGM1_ENはデバイスのクロック生成をイネーブルするため、DAC再生またはADC録音のためにセットする必要があります。 0 = Disabled 1 = Enabled					

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表12. 一般的なNI1/NI2の値

PCLK (MHz)	LRCLK (kHz)											
	DHF1/2 = 0											
	8	11.025	12	16	22.05	24	32	44.1	48	64	88.2	96
10	13A9	1B18	1D7E	2752	3631	3AFB	4EA5	6C61	75F7	4EA5	6C61	75F7
11	11E0	18A2	1ACF	23BF	3144	359F	477E	6287	6B3E	477E	6287	6B3E
11.2896	116A	1800	1A1F	22D4	3000	343F	45A9	6000	687D	45A9	6000	687D
12	1062	1694	1893	20C5	2D29	3127	4189	5A51	624E	4189	5A51	624E
12.288	1000	160D	1800	2000	2C1A	3000	4000	5833	6000	4000	5833	6000
13	0F20	14D8	16AF	1E3F	29AF	2D5F	3C7F	535F	5ABE	3C7F	535F	5ABE
16	0C4A	10EF	126F	1893	21DE	24DD	3127	43BD	49BA	3127	43BD	49BA
16.9344	0B9C	1000	116A	1738	2000	22D4	2E71	4000	45A9	2E71	4000	45A9
18.432	0AAB	0EB3	1000	1555	1D66	2000	2AAB	3ACD	4000	2AAB	3ACD	4000
20	09D5	0D8C	0EBF	13A9	1B18	1D7E	2752	3631	3AFB	2752	3631	3AFB

注：太字の値は最大のフルスケール性能を提供する正確な整数です。

サンプルレートコンバータ

サンプルレート変換回路は、DAI1 (SDIN1)とDAI2 (SDIN2)からの非同期オーディオデータのサンプルレート変換とミキシングの両方を実現します。その結果のオーディオは、DAI1を介してSDOUTS1またはSDOUTS2に出力する

ことができます。サンプルレートコンバータはチャンネルごとにイネーブル可能であるため、DAI1の1つのチャンネルでマイクロフォンのデータを出力するとともに、もう1つのチャンネルでサンプルレート変換されたデータを出力することができます。

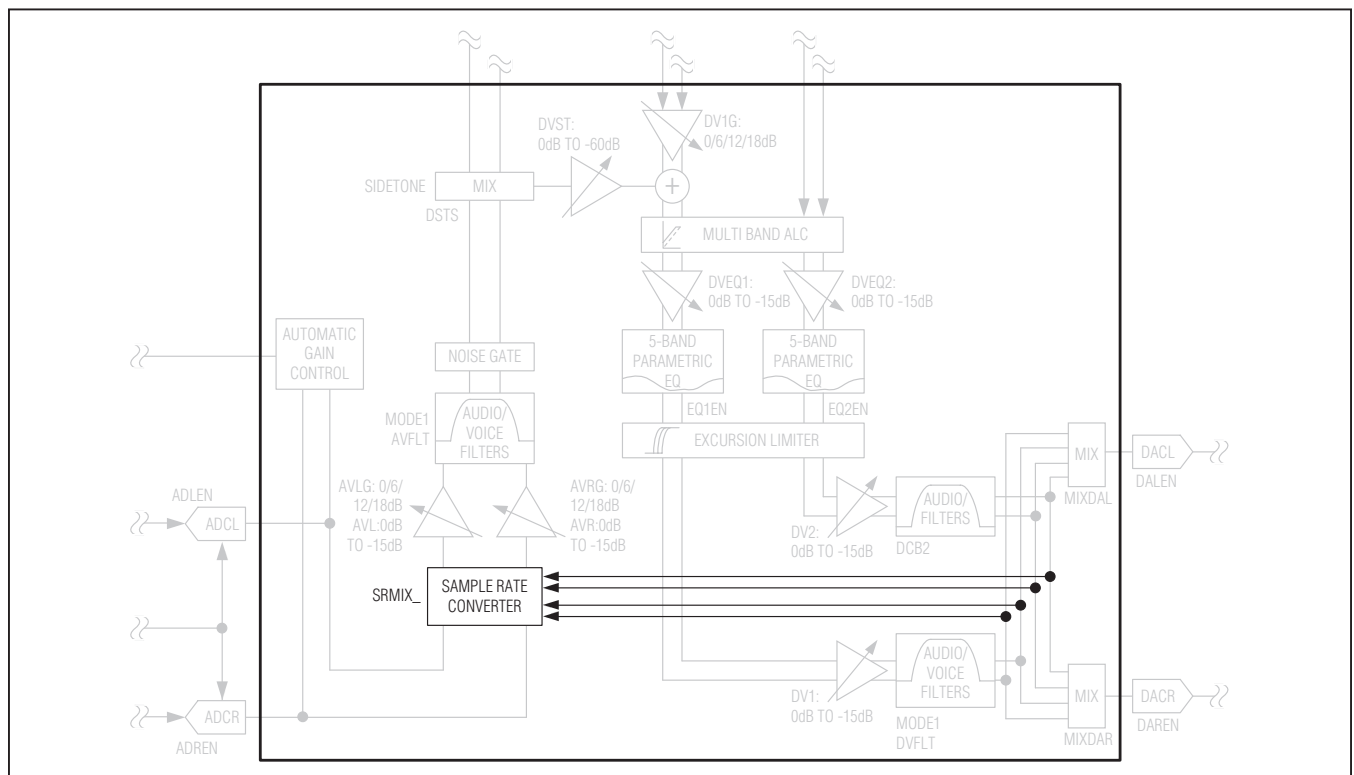


図18. サンプルレートコンバータ

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表13. Sample Rate Converterレジスタ

レジスタ	ビット	名称	説明
0x21	4	SRMIX_MODE	Sample Rate Mix Mode. サンプルレート変換されるチャンネルに適用されるミキシング構成を設定します。 0 = (DAI1 + DAI2) 1 = (DAI1 + DAI2)/2
	3	SRMIX_ENL	Sample Rate Mix Enable. イネーブルした場合、DAI1とDAI2のデータをミックスします。クリアした場合、SRCのデータソースはDAI2のみにになります。
	2	SRMIX_ENR	0 = SRC mix disable 1 = SRC mix enable
	1	SRC_ENL	Sample Rate Converter Enable. SRCをイネーブルするかどうかをチャンネルごとに選択してください。
	0	SRC_ENR	0 = Sample rate converter disable 1 = Sample rate converter enable

帯域フィルタ

IC内の個々のデジタル信号経路は、通過帯域幅を定義するためのオプションを備えています(図19)。DAI1に接続された再生および録音経路は音声と音楽の両方のフィルタをサポートし、DAI2に接続された再生経路は音楽用のフィルタのみをサポートします。

音声IIRフィルタは $f_s/2$ 以上の周波数で70dB以上のストップバンド減衰を提供してエイリアシングを低減します。3つの選択可能なハイパスフィルタが不要な低周波数信号を除去します。

ハイファイオーディオコンテンツを処理する場合は、音楽モードを使用してください。音楽用FIRフィルタは消費電力を低減し、ステレオ音像を維持するためにリニアフェーズになっています。不要なDCオフセットを除去するためのオプションのDCブロッキングフィルタが利用可能です。

音楽モードでは第2のFIRフィルタのセットが利用可能で、50kHz以上のサンプルレートをサポートすることができます。フィルタはDAI1用とDAI2用を個別に選択することが可能で、再生と録音の両方のオーディオ経路をサポートします。

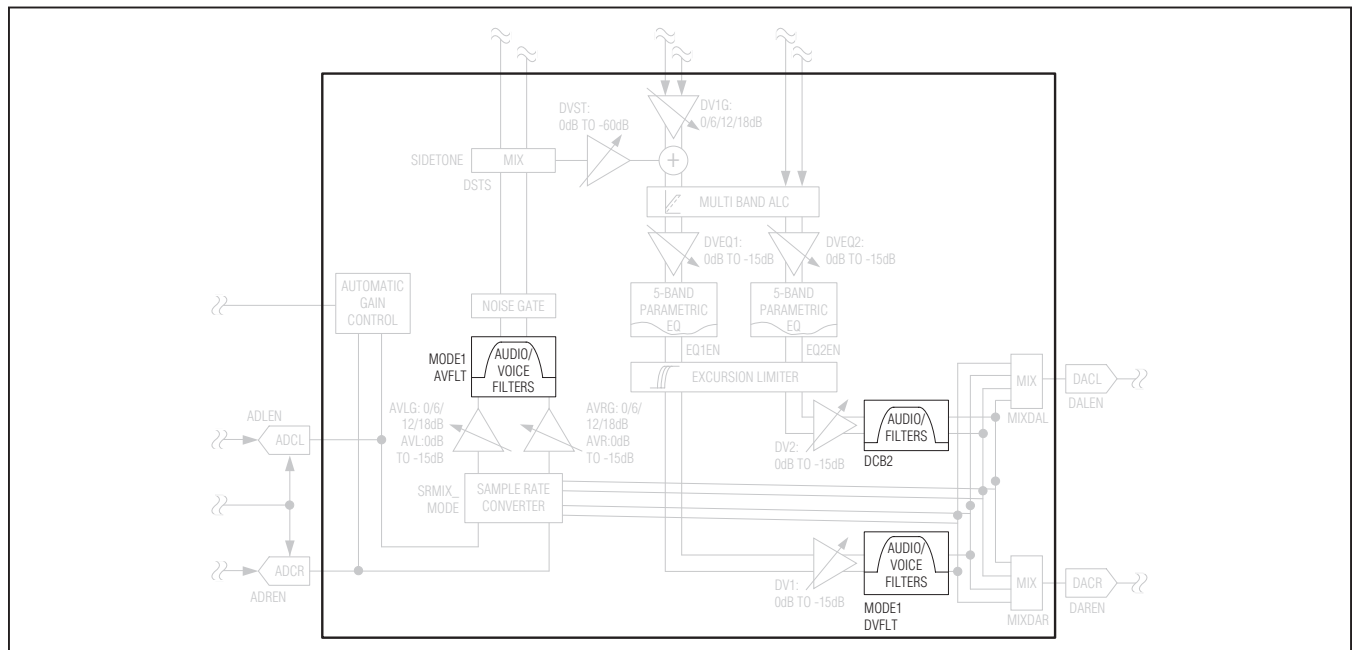


図19. デジタル帯域フィルタのブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表14. Passband Filteringレジスタ

レジスタ	ビット	名称	説明	
0x18	7	MODE1	DAI1 Passband Filtering Mode 0 = Voice filters 1 = Music filters (recommended for $f_s > 24\text{kHz}$)	
	6	AVFLT1	DAI1 ADC Highpass Filter Mode	
	5		MODE1	AVFLT1
	4		0	表15を参照。
			1	DCブロッキングフィルタをイネーブルする場合は0以外の値を選択してください。
	3	DHF1	DAI1 High Sample Rate Mode サンプルレートの範囲を選択します。 0 = $8\text{kHz} \leq \text{LRCLK} \leq 48\text{kHz}$ 1 = $48\text{kHz} \leq \text{LRCLK} \leq 96\text{kHz}$	
	2	DVFLT1	DAI1 DAC Highpass Filter Mode	
	1		MODE1	DVFLT1
			0	表15を参照。
	0		1	DCブロッキングフィルタをイネーブルする場合は0以外の値を選択してください。
0x20	3	DHF2	DAI2 High Sample Rate Mode サンプルレートの範囲を選択します。 0 = $8\text{kHz} \leq \text{LRCLK} \leq 48\text{kHz}$ 1 = $48\text{kHz} < \text{LRCLK} \leq 96\text{kHz}$	
	0	DCB2	DAI2 DC Blocking Filter DAI2の再生オーディオ経路のDCブロッキングフィルタをイネーブルします。 0 = Disabled 1 = Enabled	

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表15. 音声ハイパスフィルタ

AVFTL/DVFLT VALUE	INTENDED SAMPLE RATE	FILTER RESPONSE
000	N/A	Disabled
001/011	16kHz/8kHz	
010/100	16kHz/8kHz	
101	8kHz to 48kHz	
110/111	N/A	Reserved

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

再生経路の信号処理

このICの再生信号経路は、自動レベル制御(ALC)および5バンドパラメトリックイコライザ(EQ)を内蔵しています(図20)。DAI1およびDAI2の再生経路は、1組のレジスタによって制御される個別のALCを内蔵しています。DAI1およびDAI2の再生経路用に2つの完全に独立したパラメトリックEQが内蔵されています。

自動レベル制御

自動レベル制御(ALC)回路は、可聴クリッピングを発生させることなく最大の信号振幅を確保します。これは、サンプル単位で動作して利得を最大12dBまで増大させる可変利得段によって実現されます。次のサンプルがフルスケールを超えるかどうかを先読み回路が判定し、サンプルが正確にフルスケールになるように利得を低下させます。

設定可能な低信号スレッショルドによって、増幅対象となる最小の信号振幅が決定されます。バックグラウンドノイズの増幅を防止するようにスレッショルドを選択してください。信号レベルが低信号スレッショルドを下回った場合、信号がそのスレッショルド以上に増大するまでALCは利得を0dBに低下させます。図21にALCの入力と出力のグラフの例を示します。

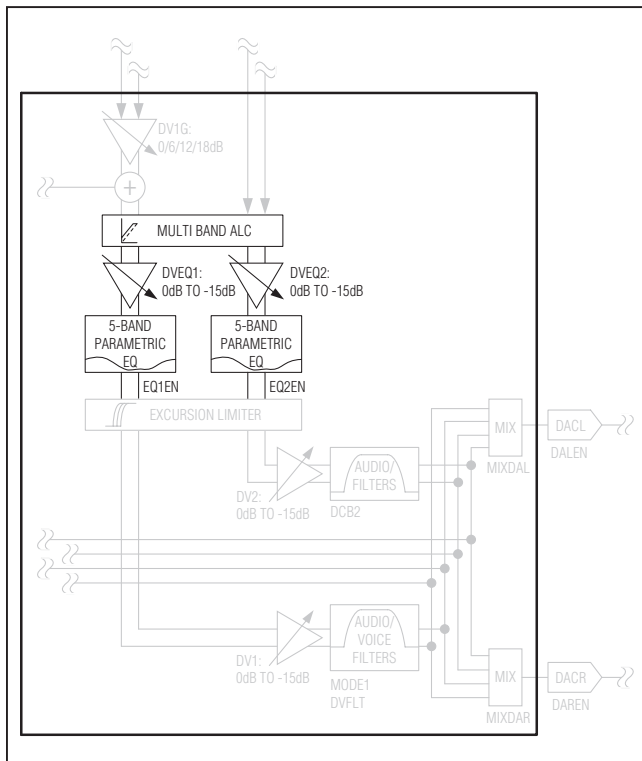


図20. 再生経路の信号処理のブロック図

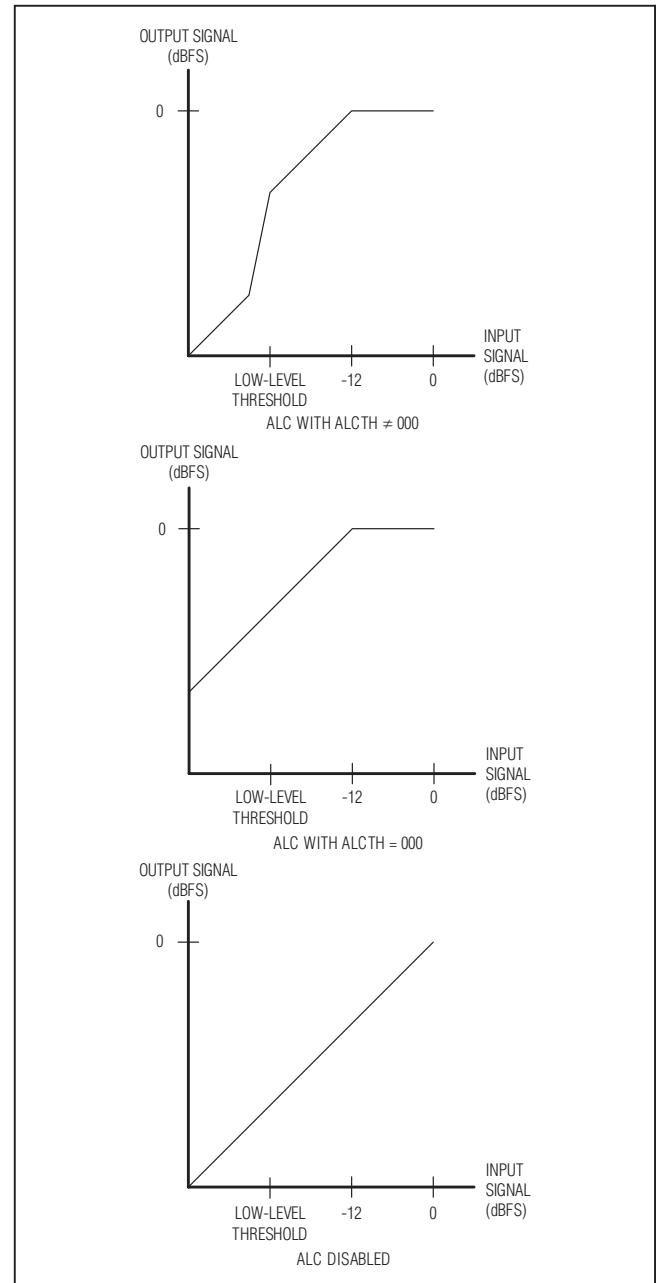


図21. ALCの入力と出力の例

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表16. Automatic Level Controlレジスタ

レジスタ	ビット	名称	説明																		
0x43	7	ALCEN	ALC Enable DAI1とDAI2の両方の再生経路のALCをイネーブルします。 0 = Disabled 1 = Enabled																		
	6	ALCRLS	ALC and Excursion Limiter Release Time ALCとエクスカージョンリミッタの両方のリリース時間を設定します。エクスカージョンリミッタのリリース時間については、「エクスカージョンリミッタ」の項を参照してください。 ALCのリリース時間は、利得を12dBから0dBに調整するために必要な時間として定義されます。																		
	5		<table><thead><tr><th>VALUE</th><th>ALC RELEASE TIME (s)</th></tr></thead><tbody><tr><td>000</td><td>8</td></tr><tr><td>001</td><td>4</td></tr><tr><td>010</td><td>2</td></tr><tr><td>011</td><td>1</td></tr><tr><td>100</td><td>0.5</td></tr><tr><td>101</td><td>0.25</td></tr><tr><td>110</td><td>Reserved</td></tr><tr><td>111</td><td>Reserved</td></tr></tbody></table>	VALUE	ALC RELEASE TIME (s)	000	8	001	4	010	2	011	1	100	0.5	101	0.25	110	Reserved	111	Reserved
			VALUE	ALC RELEASE TIME (s)																	
			000	8																	
			001	4																	
	010		2																		
	011		1																		
	100		0.5																		
	101		0.25																		
	110		Reserved																		
	111	Reserved																			
	4																				
	3	ALCMB	Multiband Enable 中心周波数5kHzのマルチバンド処理をイネーブルします。個々の再生経路について正しい中心周波数を実現するために、SR1およびSR2を適切に設定する必要があります。 0 = Single-band ALC 1 = Dual-band ALC																		
2	ALCTH	Low Signal Threshold ALCでブーストする最小の信号レベルを選択します。 000 = -∞dB (low-signal threshold disabled) 001 = -12dB 010 = -18dB 011 = -24dB 100 = -30dB 101 = -36dB 110 = -42dB 111 = -48dB																			
1																					
0																					

パラメトリックイコライザ

パラメトリックEQは、利得、中心周波数、および帯域幅の設定が可能な5つの個別の双2次フィルタを内蔵しています。個々の双2次フィルタは、 ± 12 dBの利得範囲および20Hz~20kHzの中心周波数範囲を備えています。理想的な周波数応答を実現するために、図22に示す値より低いフィルタQ値を使用してください。これより高いQ値に設定した場合、非理想的な周波数応答になります。双2次フィルタは直列に接続されているため、 ± 60 dBの合計利得が可能です。

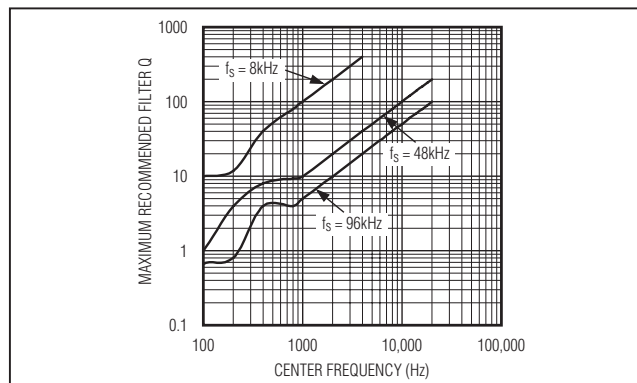


図22. 最大推奨フィルタQ値と周波数の関係

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

EQの入力のアッテネータを使用して、信号のクリッピングを防止してください。このアッテネータは、固定減衰または信号レベルに基づく動的減衰に設定可能です。動的EQクリップ検出をイネーブルした場合、EQからの信号レベルがアッテネータ回路にフィードバックされ、クリッピングを防止するために必要な利得の低減量が決定されます。

MAX98089のEVキットのソフトウェアに、EQの係数を生成するためのグラフィカルインタフェースが含まれています。各係数はサンプルレートに依存し、レジスタ0x52～0xB5に格納されます。

表17. EQレジスタ

レジスタ	ビット	名称	説明			
0x30/0x32	4	EQCLP1/ EQCLP2	DAI1/DAI2 EQ Clip Detection EQのアッテネータを自動的に制御してEQでのクリッピングを防止します。 0 = Enabled 1 = Disabled			
	3	DVEQ1/ DVEQ2	DAI1/DAI2 EQ Attenuator フルスケール信号がブーストされた場合に、減衰を提供してEQでのクリッピングを防止します。DVEQ1/DVEQ2は、EQ1EN/EQ2EN = 1かつEQCLP1/EQCLP2 = 1の場合にのみ動作します。			
	2		VALUE	GAIN (dB)	VALUE	GAIN (dB)
			0x0	0	0x8	-8
	1		0x1	-1	0x9	-9
			0x2	-2	0xA	-10
	0		0x3	-3	0xB	-11
			0x4	-4	0xC	-12
			0x5	-5	0xD	-13
		0x6	-6	0xE	-14	
0x49	7 6 5	VS2EN VSEN ZDEN	See the <i>Click-and-Pop Reduction</i> section.			
		1		DAI2 EQ Enable 0 = Disabled 1 = Enabled		
		0		DAI1 EQ Enable 0 = Disabled 1 = Enabled		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

再生レベル制御

このICは、DAI1およびDAI2の再生オーディオ経路用に個別のデジタルレベル制御を内蔵しています。DAI1の信号

経路は、MODE1 = 0の場合にブーストが可能で、任意のモードで減衰が可能です。DAI2の信号経路は、減衰のみ可能です。

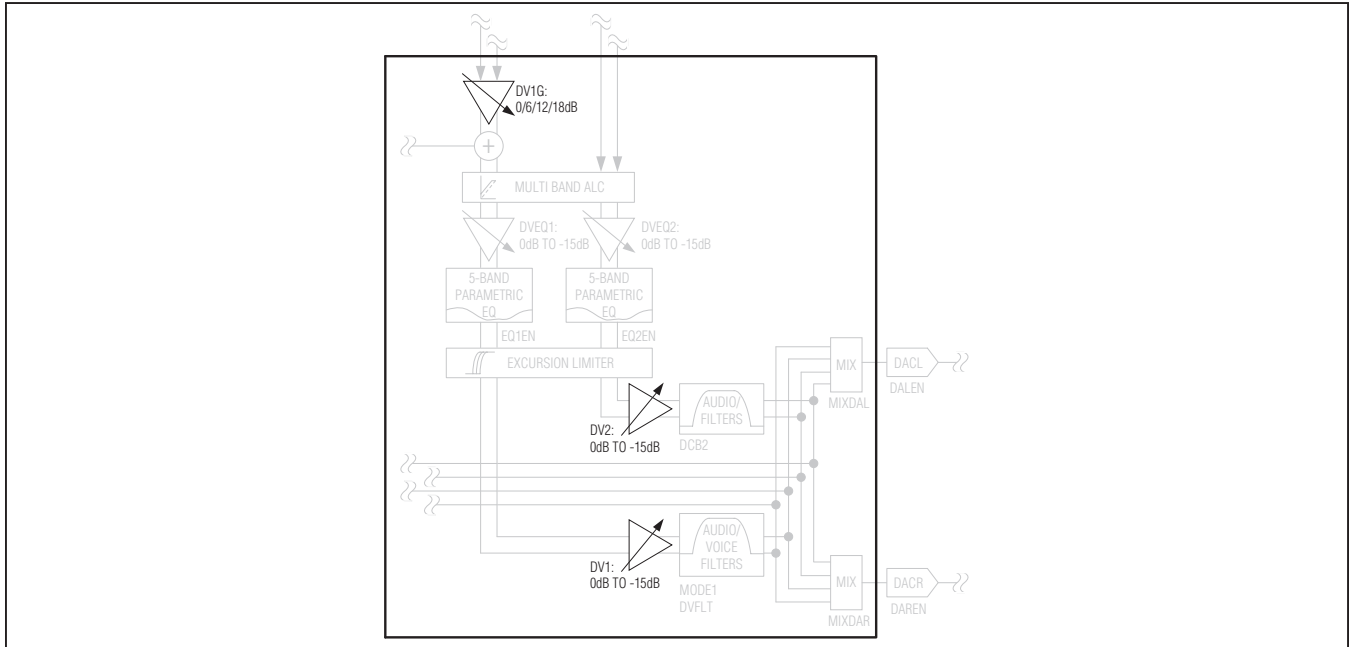


図23. 再生レベル制御のブロック図

表18. DAC Playback Level Controlレジスタ

レジスタ	ビット	名称	説明			
0x2F/0x31	7	DV1M/DV2M	DAI1/DAI2 Mute 0 = Disabled 1 = Enabled			
	5	DV1G	DAI1 Voice Mode Gain DV1Gは、MODE1 = 0の場合にのみ適用されます。 00 = 0dB 01 = 6dB 10 = 12dB 11 = 18dB			
	4					
	3	DV1/DV2	DAI1/DAI2 Attenuation			
	2		VALUE	GAIN (dB)	VALUE	GAIN (dB)
			0x0	0	0x8	-8
			0x1	-1	0x9	-9
	1		0x2	-2	0xA	-10
			0x3	-3	0xB	-11
			0x4	-4	0xC	-12
	0		0x5	-5	0xD	-13
0x6			-6	0xE	-14	
	0x7	-7	0xF	-15		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

DAC入力ミキサ

このICのステレオDACは、2つのデジタルオーディオ経路からの入力を受信します。DACのミキサは、任意のオーディオ経路を左右のDACにルーティングします(図24)。

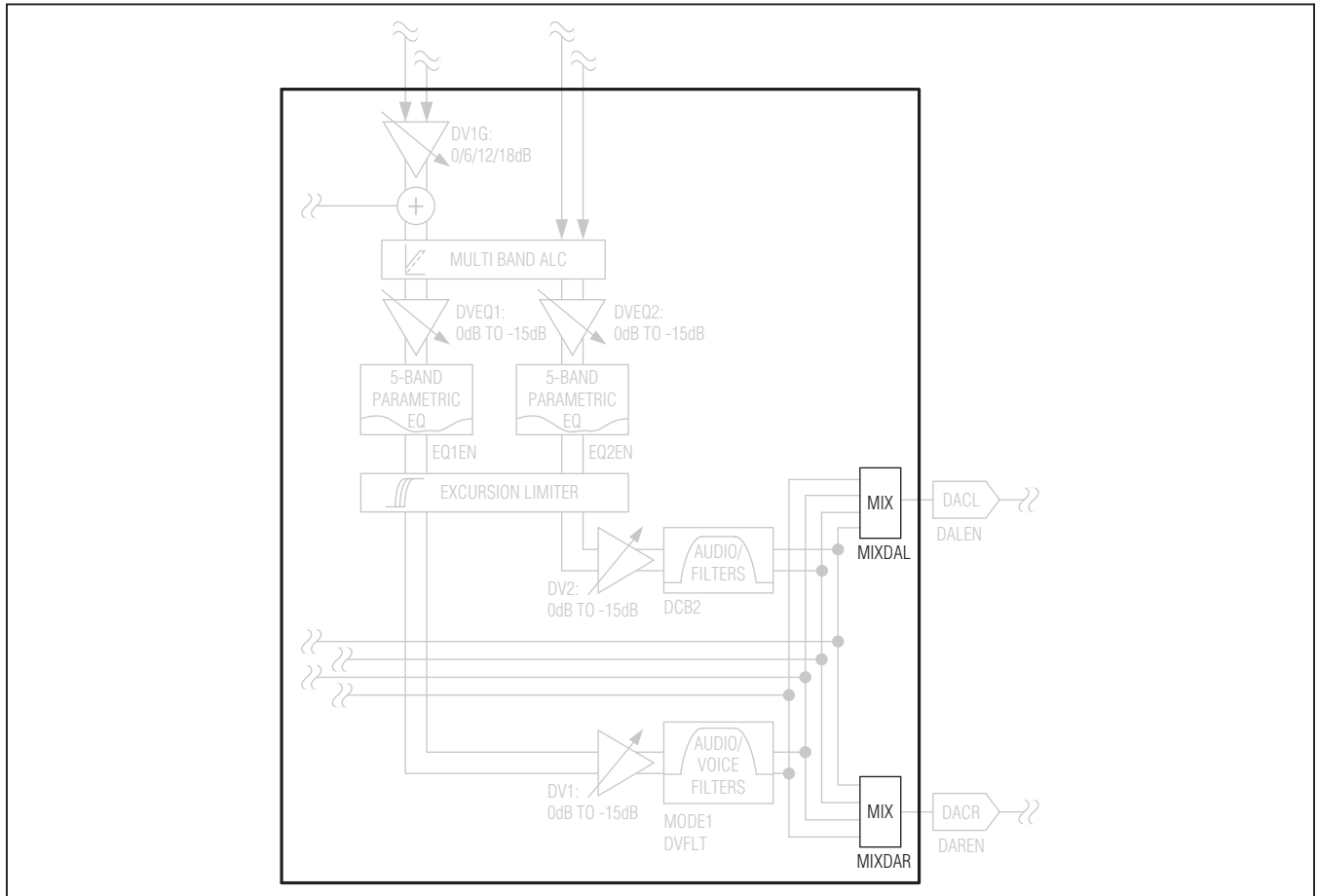


図24. DAC入力ミキサのブロック図

表19. DAC Input Mixerレジスタ

レジスタ	ビット	名称	説明
0x22	7	MIXDAL	Left DAC Input Mixer 1xxx = DAI1 left channel x1xx = DAI1 right channel xx1x = DAI2 left channel xxx1 = DAI2 right channel
	6		
	5		
	4		
	3	MIXDAR	Right DAC Input Mixer 1xxx = DAI1 left channel x1xx = DAI1 right channel xx1x = DAI2 left channel xxx1 = DAI2 right channel
	2		
	1		
	0		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

レシーバアンプ

このICは、1つの差動レシーバアンプを内蔵しています。レシーバアンプは、 32Ω のイヤフォンスピーカを駆動するように設計されています。1つのトランスデューサをスピーカとレシーバに使用する場合は、SPKBYPスイッチを使用してレシーバアンプの出力を左スピーカ出力にルーティングしてください。レシーバアンプは、I²Cインタフェースを使用してステレオシングルエンドライン出力として設定することも可能です。

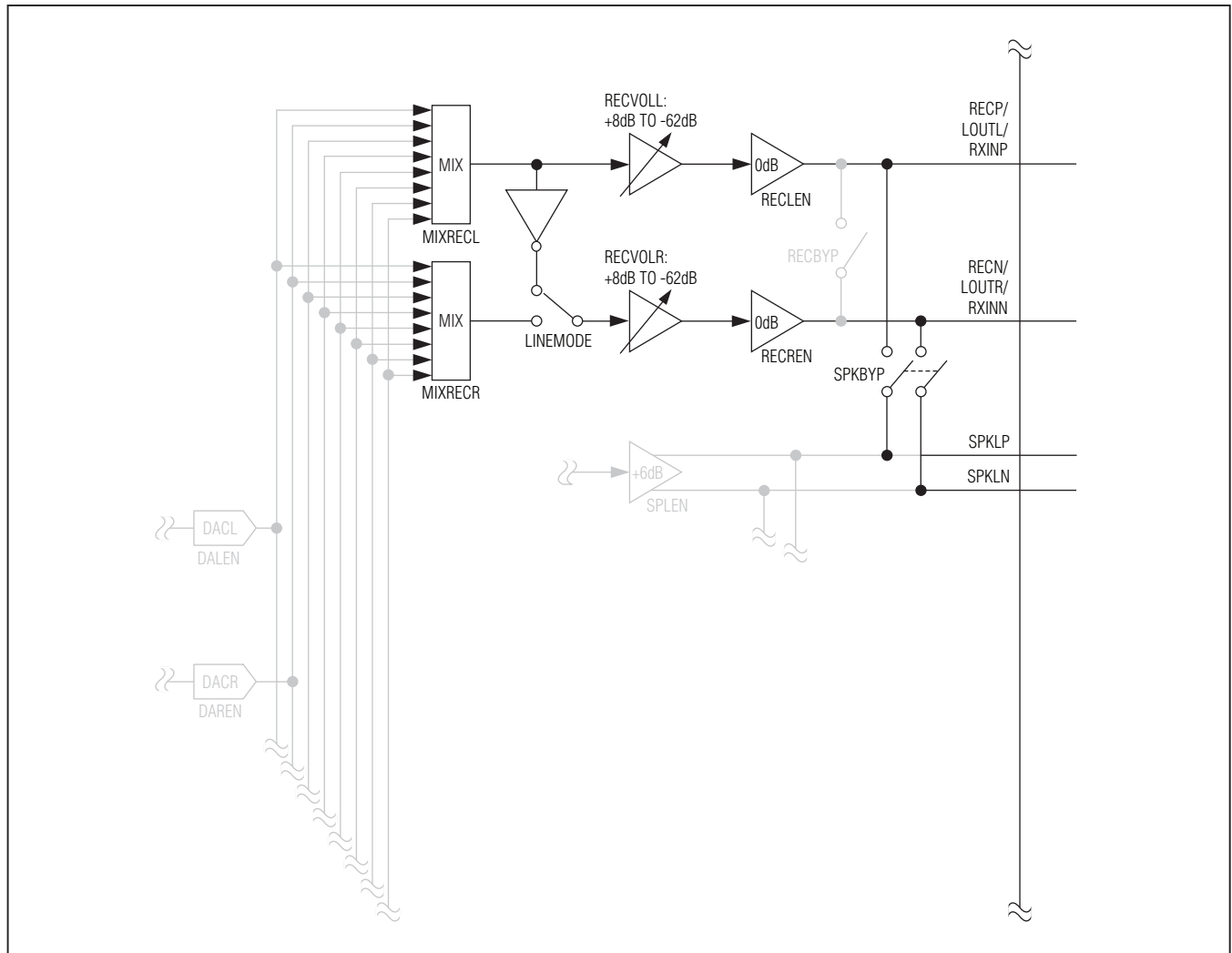


図25. レシーバアンプのブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

レシーバ出力ミキサ

このICのレシーバアンプは、ステレオDAC、ライン入力(シングルエンドまたは差動)、およびMIC入力からの入力を受信します。利用可能なソースの任意の組合せをミックスするようミキサを設定してください。2つ以上の信号を選択した場合、ミックスされた信号を6dB、9dB、または12dB減衰するように設定可能です。

表20. Receiver Output Mixerレジスタ

レジスタ	ビット	名称	説明
0x28	7	MIXRECL	Left Receiver Output Mixer 1xxxxxxx = Right DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INADIFF = 1) xxxx1xxx = INB1 xxxxx1xx = INA2 (INADIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Left DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x29	7	MIXRECR	Right Receiver Output Mixer 1xxxxxxx = Left DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INBDIFF = 1) xxxx1xxx = INA1 xxxxx1xx = INA2 (INADIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Right DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x2A	7	LINE_MODE	Receiver Output Mode. 受信経路の出力モードをBTLまたはステレオライン出力のいずれかに設定します。 0 = BTL 1 = Stereo line output
	3	MIXRECR_GAIN	Right Receiver Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	2		
	1	MIXRECL_GAIN	Left Receiver Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	0		
	0		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

レシーバ出力音量

表21. Receiver Output Levelレジスタ

レジスタ	ビット	名称	説明			
0x3B/0x3C	7	RECLM/ RECRM	Receiver Output Mute 0 = Disabled 1 = Enabled			
	4	RECVOLL/ RECVOLR	Receiver Output Volume Level			
	3		VALUE	VOLUME (dB)	VALUE	VOLUME (dB)
			0x00	-62	0x10	-10
			0x01	-58	0x11	-8
			0x02	-54	0x12	-6
	2		0x03	-50	0x13	-4
			0x04	-46	0x14	-2
			0x05	-42	0x15	0
			0x06	-38	0x16	+1
	1		0x07	-35	0x17	+2
			0x08	-32	0x18	+3
			0x09	-29	0x19	+4
			0x0A	-26	0x1A	+5
	0		0x0B	-23	0x1B	+6
			0x0C	-20	0x1C	+6.5
			0x0D	-17	0x1D	+7
			0x0E	-14	0x1E	+7.5
		0x0F	-12	0x1F	+8	

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

スピーカアンプ

このICは、一般的な欠点なしにAB級より大幅に高い効率を提供するステレオフィルタレスD級アンプを内蔵しています。

D級アンプの高効率は、出力段トランジスタのスイッチング動作によるものです。D級アンプでは、出力トランジスタが電流ステアリングスイッチとして動作するため、追加で消費される電力はわずかです。D級出力段に付随する電力損失は、ほとんどがMOSFETのオン抵抗による I^2R 損失と、自己消費電流のオーバーヘッドが原因です。

リニアアンプの理論上の最大効率は78%ですが、その効率はピーク出力時にのみ示されます。通常の動作レベル(標準的な音楽再生レベル)での効率は30%以下に低下するのに対して、このICのD級アンプは同じ条件下で80%の効率を示します。

従来のD級アンプは、EN55022BおよびFCCの電磁干渉(EMI)規制標準に適合するために、外付けのLCフィルタまたはシールドを使用する必要があります。Maximの特許取得済みアクティブ放射制限エッジレート制御回路がEMI放射を低減するため、標準的なアプリケーションで出力フィルタなしの動作が可能です。

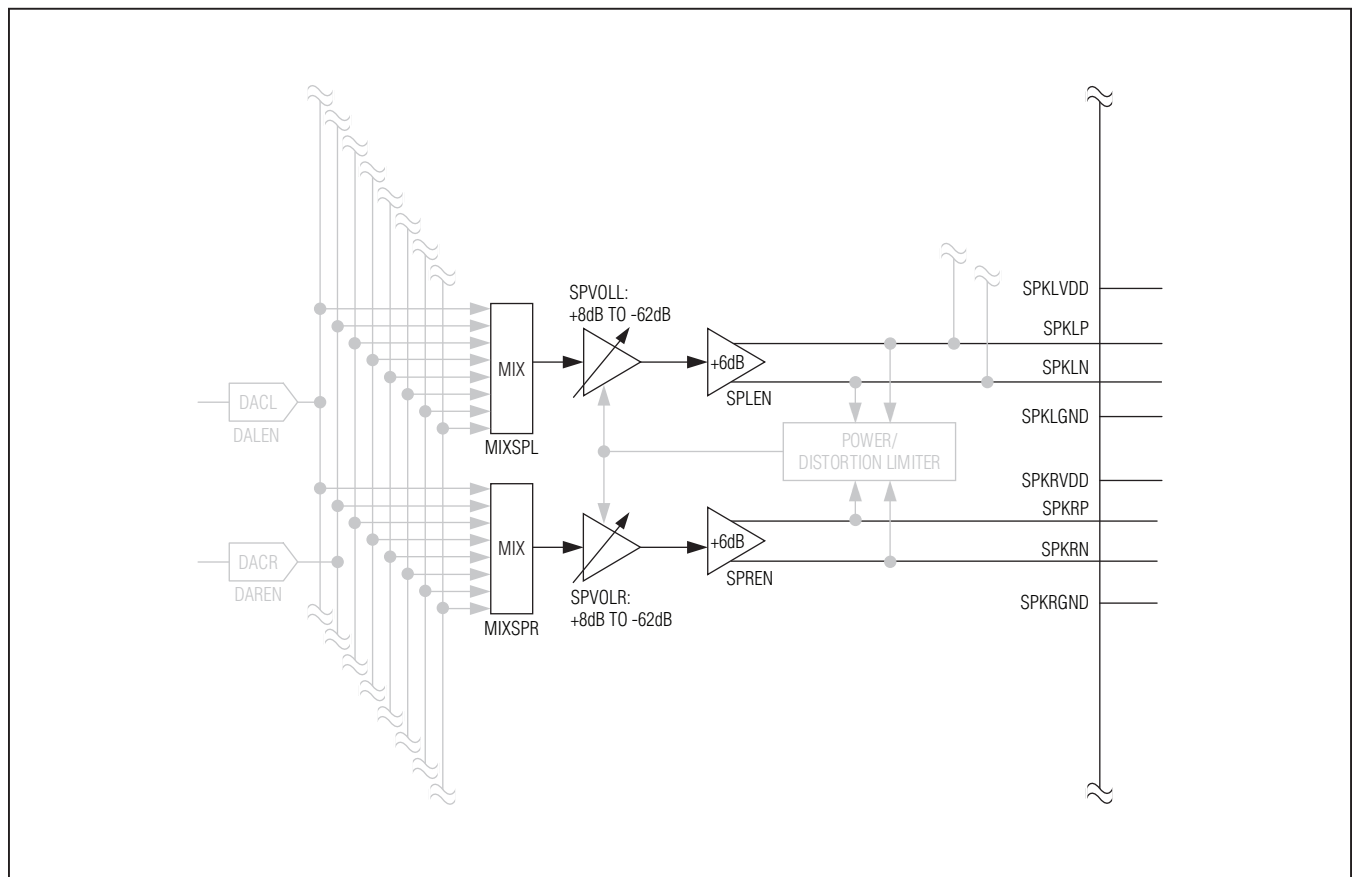


図26. スピーカアンプ経路のブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

スピーカ出力ミキサ

このICのスピーカアンプは、ステレオDAC、ライン入力(シングルエンドまたは差動)、およびMIC入力からの入力を受信します。利用可能なソースの任意の組合せをミックスするようミキサを設定してください。2つ以上の信号を選択した場合、信号を6dB、9dB、または12dB減衰するようにミキサを設定可能です。

表22. Speaker Output Mixerレジスタ

レジスタ	ビット	名称	説明
0x2B	7	MIXSPL	Left Speaker Output Mixer 1xxxxxxx = Right DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INBDIFF = 1) xxxx1xxx = INB1 xxxxx1xx = INA2 (INBDIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Left DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x2C	7	MIXSPR	Right Speaker Output Mixer 1xxxxxxx = Left DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INBDIFF = 1) xxxx1xxx = INB1 xxxxx1xx = INA2 (INADIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Right DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x2D	3	MIXSPR _GAIN	Right Speaker Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	2		
	1	MIXSPL _GAIN	Left Speaker Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	0		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

スピーカ出力音量

表23. Speaker Output Levelレジスタ

レジスタ	ビット	名称	説明				
0x3D/0x3E	7	SPLM/SPRM	Left/Right Speaker Output Mute 0 = Disabled 1 = Enabled				
	4	SPVOLL/SPVOLR	Left/Right Speaker Output Volume Level				
			VALUE	VOLUME (dB)	VALUE	VOLUME (dB)	
			0x00	-62	0x10	-10	
	3		0x01	-58	0x11	-8	
			0x02	-54	0x12	-6	
			0x03	-50	0x13	-4	
			0x04	-46	0x14	-2	
			0x05	-42	0x15	0	
			0x06	-38	0x16	+1	
			2	0x07	-35	0x17	+2
	0x08			-32	0x18	+3	
	0x09			-29	0x19	+4	
	0x0A			-26	0x1A	+5	
	0x0B			-23	0x1B	+6	
	1			0x0C	-20	0x1C	+6.5
				0x0D	-17	0x1D	+7
			0x0E	-14	0x1E	+7.5	
			0x0F	-12	0x1F	+8	

スピーカアンプの信号処理

このICは、スピーカ出力の音質を向上させ、トランスデューサを損傷から保護するための信号処理を内蔵しています。エクスカッションリミッタはハイパスコーナー周波数を動的に調整し、出力リミッタと歪みリミッタはアンプが過度の歪みまたは電力を出力するのを防止します。エクスカッションリミッタはDSP内に位置するのに対して、歪みリミッタと出力リミッタはアナログ音量制御を制御します(図28)。3つすべてのリミッタは、スピーカアンプの出力信号を分析して動作のタイミングを判断します。

エクスカッションリミッタ

エクスカッションリミッタは、スピーカ出力を監視して、スピーカアンプの出力があらかじめ定義されたスレッシュホルドを超えた場合にハイパスコーナー周波数を上昇させる、動的ハイパスフィルタです。フィルタはハイとローのコーナー周波数の間をスムーズに遷移して不要なアーチ

ファクトを防止します。このフィルタは、4種類のモードで動作可能です。

- **固定周波数プリセットモード。**ハイパスコーナー周波数は上のコーナー周波数に固定され、信号レベルに応じて変化しません。
- **固定周波数設定可能モード。**ハイパスコーナー周波数は、設定可能な双2次フィルタによって指定された値に固定されます。
- **プリセットダイナミックモード。**ハイパスフィルタは、あらかじめ設定された上と下のコーナー周波数の間を、出力信号レベルに基づいて自動的にスライドします。
- **ユーザー設定可能ダイナミックモード。**ハイパスフィルタは、ロー側のユーザー設定の双2次フィルタとハイ側のあらかじめ定義されたコーナー周波数の間をスライドします。

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

ユーザー設定可能な双2次の伝達関数は、次のとおりです。

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{1 + a_1z^{-1} + a_2z^{-2}}$$

係数 b_0 、 b_1 、 b_2 、 a_1 、および a_2 はサンプルレートに依存し、レジスタ0xB4~0xC7に格納されます。 b_0 、 b_1 、および b_2 には正の数を格納してください。 a_1 および a_2 には符号反転した2の補数を格納してください。DAI1と

DAI2の再生経路用に個別のフィルタを格納することができます。

MAX98089のEVキットのソフトウェアに、ユーザー設定可能な双2次係数を生成するためのグラフィックインタフェースが含まれています。

注： 不要なアーチファクトを防止するため、エクスカージョンリミッタの設定の変更は信号経路がディセーブルされているときにのみ行ってください。

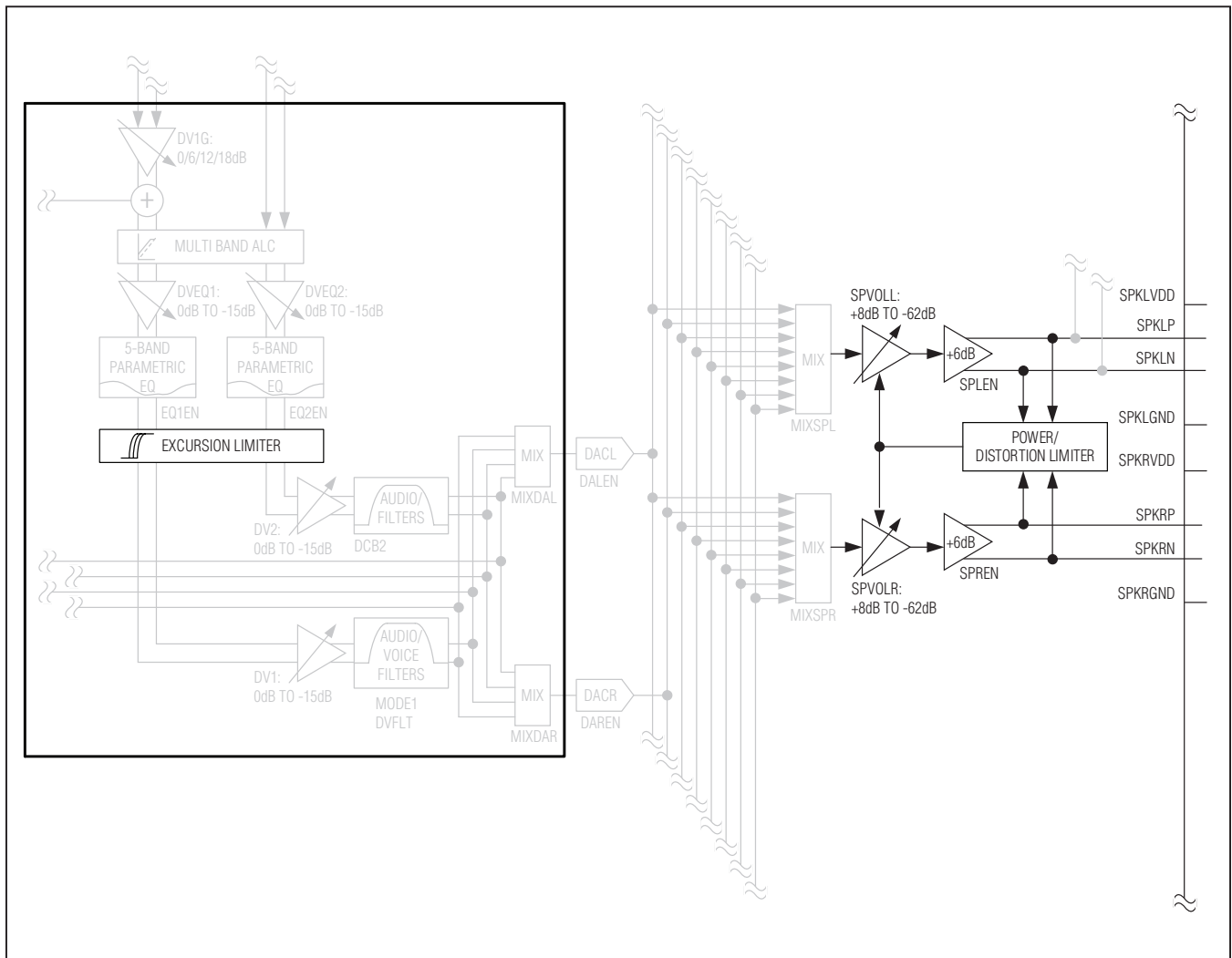


図27. スピーカアンプの信号処理のブロック図

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表24. Excursion Limiterレジスタ

レジスタ	ビット	名称	説明				
0x41	6	DHPUCF	Excursion Limiter Corner Frequency エクスカーションリミッタは、制限されたスライド範囲および最小コーナー周波数を備えています。下記に示すのがすべての有効なフィルタの組合せです。				
	5		LOWER CORNER FREQUENCY	UPPER CORNER FREQUENCY	MINIMUM BIQUAD CORNER FREQUENCY	DHPUCF	DHPLCF
			Excursion limiter disabled		—	000	00
			400Hz		—	001	00
			600Hz		—	010	00
			800Hz		—	011	00
	1kHz		—	100	00		
	1	DHPLCF	Programmable using biquad		100Hz	000	11
			200Hz	400Hz	—	001	01
			400Hz	600Hz	—	010	10
			400Hz	800Hz	—	011	10
			Programmable using biquad	400Hz	200Hz	001	11
			Programmable using biquad	600Hz	300Hz	010	11
			Programmable using biquad	800Hz	400Hz	011	11
			Programmable using biquad	1kHz	500Hz	100	11
	0x43	6	ALCRLS	ALC and Excursion Limiter Release Time ALCとエクスカーションリミッタの両方のリリース時間を設定します。ALCのリリース時間については、「自動レベル制御」の項を参照してください。エクスカーションリミッタのリリース時間は、ハイのコーナー周波数からローのコーナー周波数までスライドするために必要な時間として定義されます。			
VALUE		EXCURSION LIMITER RELEASE TIME (s)					
000		4					
001		2					
010		1					
011		0.5					
100		0.25					
101		0.25					
110		Reserved					
111		Reserved					
0x42		3		DHPTH	Excursion Limiter Threshold D級スピーカアンプの出力で指定します。スレッショルド以上の信号は上のコーナー周波数を使用します。スレッショルド以下の信号は下のコーナー周波数を使用します。正確なスレッショルドを実現するために、V _{BAT} はSPKLVDの電圧を正確に反映する必要があります。		
		2	000 = 0.34V _P 001 = 0.71V _P 010 = 1.30V _P 011 = 1.77V _P 100 = 2.33V _P 101 = 3.25V _P 110 = 4.25V _P 111 = 4.95V _P				
	1						
	0						

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

出力リミッタ

このICの出力リミッタは、スピーカに供給される連続出力を追跡して、スピーカが永続的な損傷を受ける危険がある場合、一時的にスピーカアンプの出力をミュートします。

スピーカは一般的に定格出力を超える動作の継続によってボイスコイルが過熱した場合に損傷します。通常の動作中は、ボイスコイルで発生した熱はスピーカのマグネットに伝導し、そこから周囲の空気に熱が伝導します。ボイスコイルが過熱するためには、ボイスコイルとマグネットの両方が過熱する必要があります。そのため、損傷の原因となるほどの過熱になるまでに、かなりの時間にわたってスピーカは定格出力を超えて動作することができます。

このICの出力リミッタは、広範なスピーカに適合するためのユーザー設定可能な時定数および出力スレッショルドを備えています。スピーカの定格許容電力に応じて出力リミッタのスレッショルドを設定してください。これは、測定またはスピーカの仕様から決定することができます。時定数1はボイスコイルの熱時定数に合わせて設定してください。時定数2はマグネットの熱時定数に合わせて設定してください。これらの時定数は、スピーカに電力を印加したときのボイスコイルの抵抗値と時間の関係をグラフ化することによって決定することができます。

表25. Power Limiterレジスタ

レジスタ	ビット	名称	説明			
0x44	7	PWRTH	Power Limiter Threshold スピーカアンプからの連続出力がこのスレッショルドを超えた場合、スピーカを保護するために出力が一時的にミュートされます。スレッショルドは8Ωの負荷を想定してW (ワット) で指定します。正確なスレッショルドを実現するために、VBATはSPKLVDD/SPKRVDの電圧を正確に反映する必要があります。			
	6		VALUE	THRESHOLD (W)	VALUE	THRESHOLD (W)
			0x0	Power limiter disabled	0x8	0.27
	5		0x1	0.05	0x9	0.35
			0x2	0.06	0xA	0.48
			0x3	0.09	0xB	0.72
			0x4	0.11	0xC	1.00
			4	0x5	0.13	0xD
	0x6			0.18	0xE	1.57
	0x7	0.22		0xF	1.80	
	2	PWRK	Power Limiter Weighting Factor スピーカでのそれぞれの時定数の優位性に応じて時定数1と2のバランスを決定します。			
	1		VALUE	T1 (%)	T2 (%)	
			000	50	50	
			001	62.5	37.5	
			010	75	25	
			011	87.5	12.5	
	0		100	100	0	
			101	12.5	87.5	
			110	25	75	
111			37.5	62.5		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表25. Power Limiterレジスタ(続き)

レジスタ	ビット	名称	説明			
0x45	7	PWRT2	Power Limiter Time Constant 2 スピーカのマグネットの熱時定数に適合する値を選択してください。			
	6		VALUE	TIME CONSTANT (min)	VALUE	TIME CONSTANT (min)
			0x0	Disabled	0x8	3.75
			0x1	0.50	0x9	5.00
	5		0x2	0.67	0xA	6.66
			0x3	0.89	0xB	8.88
			0x4	1.19	0xC	Reserved
	4		0x5	1.58	0xD	Reserved
			0x6	2.11	0xE	Reserved
		0x7	2.81	0xF	Reserved	
	3	PWRT1	Power Limiter Time Constant 1 スピーカのボイスコイルの熱時定数に適合する値を選択してください。			
	2		VALUE	TIME CONSTANT (s)	VALUE	TIME CONSTANT (s)
			0x0	Disabled	0x8	3.75
			0x1	0.50	0x9	5.00
	1		0x2	0.67	0xA	6.66
			0x3	0.89	0xB	8.88
0x4			1.19	0xC	Reserved	
0	0x5		1.58	0xD	Reserved	
	0x6		2.11	0xE	Reserved	
	0x7	2.81	0xF	Reserved		

歪みリミッタ

このICの歪みリミッタは、設定されたTHD+Nの制限値をスピーカアンプの出力が超えないことを確実にします。歪みリミッタはD級の出力のデューティサイクルを分析して、クリップされた波形のパーセンテージを判定します。歪みが設定されたスレッシュホールドを上回っている場合、出力利得が低減されます。

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表26. Distortion Limiterレジスタ

レジスタ	ビット	名称	説明						
0x46	7	THDCLP	Distortion Limit % THD+Nで指定します。						
	6		VALUE		THD+N LIMIT (%)				
	0x0		Limiter disabled		0x8		12		
	0x1		< 1		0x9		14		
	0x2		1		0xA		16		
	0x3		2		0xB		18		
	0x4		4		0xC		20		
	0x5		6		0xD		21		
	0x6		8		0xE		22		
	0x7		10		0xF		24		
	4								
	0	THDT1	Distortion Limiter Release Time Constant 大きい信号の通過後にスピーカアンプの出力利得が再び公称レベルに調整されるために必要な時間。 0 = 1.4s 1 = 2.8s						

ヘッドフォン

DirectDriveヘッドフォンアンプ

従来の単一電源ヘッドフォンアンプは、出力が公称DC電圧(通常は電源電圧の1/2)にバイアスされます。このDCバイアスをヘッドフォンから遮断するために、大型のカップリングコンデンサが必要です。これらのコンデンサがない場合、大量のDC電流がヘッドフォンに流れ、不要な電力消費の原因になるとともに、ヘッドフォンとヘッドフォンアンプの両方に損傷を与える可能性があります。

Maximの第2世代DirectDriveアーキテクチャは、チャージポンプを使用して内部で負の電源電圧を生成します。そのため、単一電源での動作ながら、ICのヘッドフォン出力をGNDにバイアスすることが可能です(図1)。DC成分が存在しないため、大型のDCブロッキングコンデンサは不要です。2つの大きい(220μF typ)コンデンサの代わりに、このICのチャージポンプは3つの小さいセラミックコンデンサを必要とするため、基板スペースの節減、コストの削減、およびヘッドフォンアンプの周波数応答の向上につながります。

チャージポンプ

デュアルモードチャージポンプは、ヘッドフォンアンプ用の正と負の両方の電源を生成します。効率を最大化するために、チャージポンプのスイッチング周波数と出力電圧の両方が信号レベルに基づいて変化します。

入力信号レベルがPVDDの10%以下の場合、スイッチング周波数が低いレートに低下します。これによって、チャージポンプのスイッチング損失が最小限に抑えられます。入力信号がPVDDの10%を超えた時点で、負荷電流をサポートするためにスイッチング周波数が上昇します。

入力信号がPVDDの25%以下の場合、アンプのパワー段での電圧降下を最小限に抑えて効率を向上させるために、チャージポンプは±(PVDD/2)を生成します。入力信号がPVDDの25%を超えている場合、チャージポンプは±PVDDを出力します。この高い方の出力電圧のときに、ヘッドフォンアンプから完全なパワーを出力することができます。

±(PVDD/2)出力モードから±PVDD出力モードへの遷移時に可聴グリッチが発生するのを防止するために、チャージポンプは非常に高速で遷移します。この急速な変化のために、遷移の期間中はPVDDから大量の電流が流れます。PVDDのバイパスコンデンサが必要な電流を供給して、PVDDの低下を防止します。

チャージポンプの動的スイッチングモードは、I²Cインタフェースを介してオフにすることが可能です。それによって、入力信号レベルにかかわらずチャージポンプが±(PVDD/2)または±PVDDを出力するように強制することができます。

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

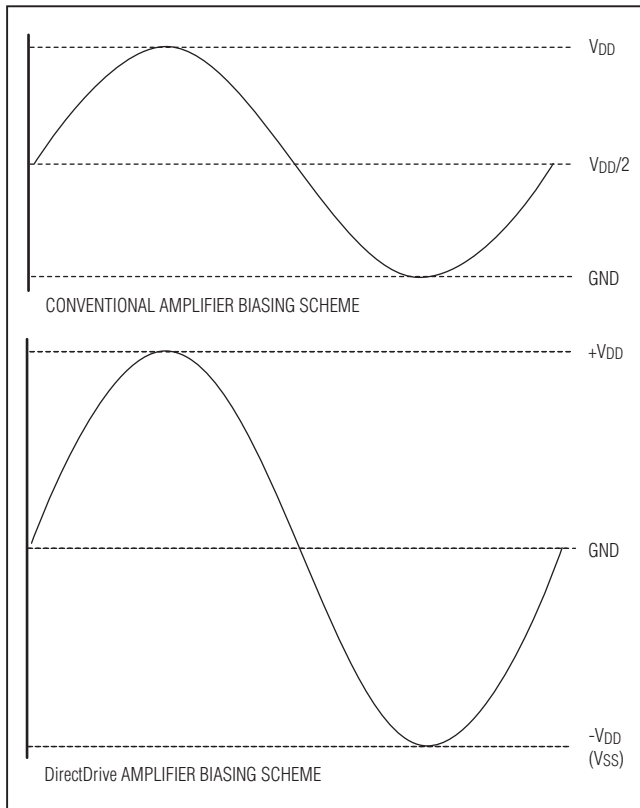


図28. 従来のアンプの出力とDirectDriveの出力の比較

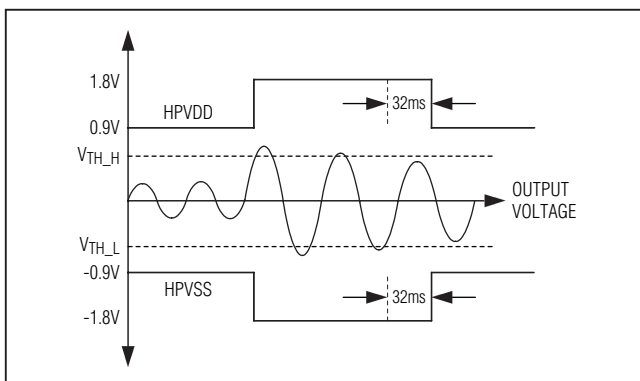


図29. H級動作

H級動作

H級アンプは、AB級の出力段を使用して、出力信号によって電源を変調します。これらのICの場合、1.8V (+0.9V～-0.9V)および3.6V (+1.8V～-1.8V)の2つの公称電源差動がチャージポンプから利用可能です。図29に、出力電圧依存電源の動作を示します。

ヘッドフォングランド検出(HPSNS)

HPSNSはヘッドフォン負荷のグランドリターンを検出します。最適の性能を実現するために、図30に示すように、絶縁されたトレースを介してHPSNSをジャックのグランド極に接続してください。HPSNSを使用しない場合は、アナロググランドプレーンに接続してください。

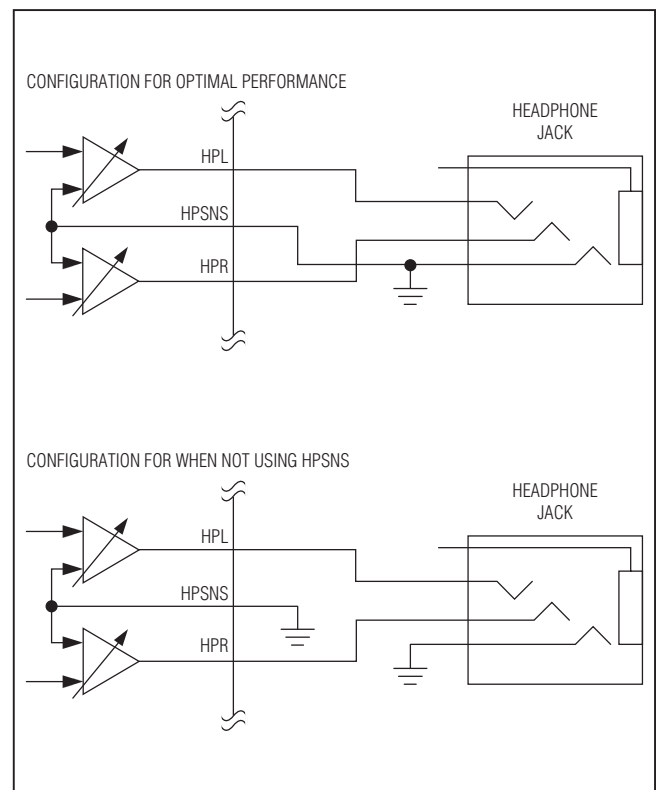


図30. HPSNSの構成

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

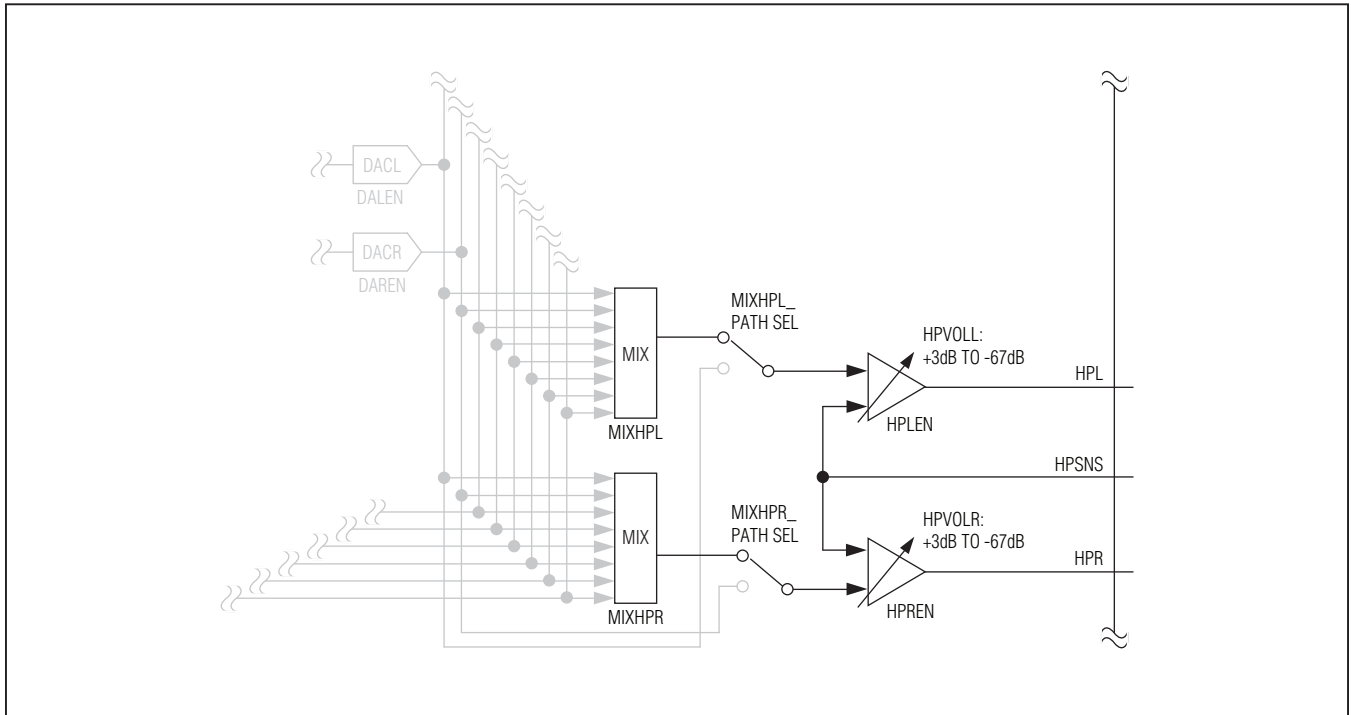


図31. ヘッドフォンアンプのブロック図

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

ヘッドフォン出力ミキサ

ヘッドフォンアンプミキサは、ステレオDAC、ライン入力（シングルエンドまたは差動）、およびMIC入力からの入力を受信します。利用可能なソースの任意の組合せをミックスするようミキサを設定してください。2つ以上の信号を

選択した場合、信号を6dB、9dB、または12dB減衰するようにミキサを設定可能です。ステレオDACはヘッドフォンミキサをバイパスすることが可能で、ヘッドフォンアンプへの直接接続による消費電力の低減が可能です。

表27. Headphone Output Mixerレジスタ

レジスタ	ビット	名称	説明
0x25	7	MIXHPL	Left Headphone Output Mixer 1xxxxxxx = Right DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INADIFF = 1) xxxx1xxx = INB1 xxxxx1xx = INA2 (INADIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Left DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x26	7	MIXHPR	Right Headphone Output Mixer 1xxxxxxx = Left DAC x1xxxxxx = MIC2 xx1xxxxx = MIC1 xxx1xxxx = INB2 (INBDIFF = 0) or INB2-INB1 (INBDIFF = 1) xxxx1xxx = INB1 xxxxx1xx = INA2 (INADIFF = 0) or INA2-INA1 (INADIFF = 1) xxxxxx1x = INA1 xxxxxxx1 = Right DAC
	6		
	5		
	4		
	3		
	2		
	1		
	0		
0x27	5	MIXHPR_PATH SEL	Right Headphone Mixer Path Select 0 = Directly connect to the right DAC (bypass right headphone output mixer) 1 = Right headphone output mixer
	4	MIXHPL_PATH SEL	Left Headphone Mixer Path Select 0 = Directly connect to the left DAC (bypass left headphone output mixer) 1 = Left headphone output mixer
	3	MIXHPR_GAIN	Right Headphone Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	2		
	1	MIXHPL_GAIN	Left Headphone Mixer Gain Select 00 = 0dB 01 = -6dB 10 = -9dB 11 = -12dB
	0		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

ヘッドフォン出力音量

表28. Headphone Output Levelレジスタ

レジスタ	ビット	名称	説明			
0x39/0x3A	7	HPLM/HPRM	Headphone Output Mute 0 = Disabled 1 = Enabled			
	4	HPVOLL/HPVOLR	Left/Right Headphone Output Volume Level			
			VALUE	VOLUME (dB)	VALUE	VOLUME (dB)
			0x00	-67	0x10	-15
			0x01	-63	0x11	-13
	3		0x02	-59	0x12	-11
			0x03	-55	0x13	-9
			0x04	-51	0x14	-7
			0x05	-47	0x15	-5
	2		0x06	-43	0x16	-4
			0x07	-40	0x17	-3
			0x08	-37	0x18	-2
			0x09	-34	0x19	-1
	1		0x0A	-31	0x1A	0
			0x0B	-28	0x1B	+1
			0x0C	-25	0x1C	+1.5
			0	0x0D	-22	0x1D
	0x0E			-19	0x1E	+2.5
	0x0F			-17	0x1F	+3

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

出力バイパススイッチ

このICは、一般的なアプリケーションの問題を解決する2つの出力バイパススイッチを内蔵しています。スピーカとレシーバに1つのトランスデューサを使用する場合、2つのアンプが同じトランスデューサに出力する必要があります。バイパススイッチはICのレシーバアンプの出力をスピーカアンプの出力に接続して、どちらのアンプも同じトランスデューサに出力することを可能にします。外部レシーバ

アンプを使用するシステムでは、その出力をRECP/RXINPおよびRECN/RXINNを介して左スピーカに接続し、D級アンプをバイパスしてください。外部アンプでレシーバとICのライン入力の両方を駆動するシステムでは、RECP/RXINPをRECN/RXINNに接続するアナログスイッチを介して通過させることによって、必要ないときに差動信号の1つをレシーバから切り離すことが可能です。

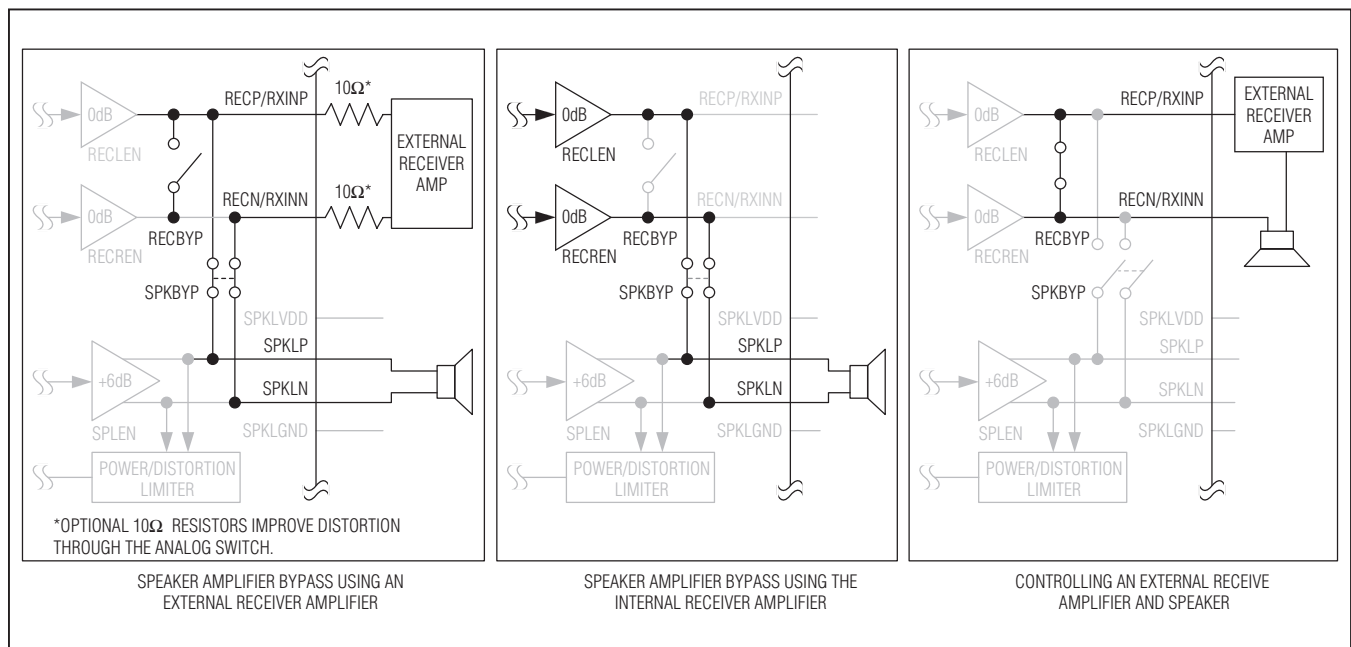


図32. 出力バイパススイッチのブロック図

表29. Output Bypass Switchesレジスタ

レジスタ	ビット	名称	説明
0x4A	7	INABYP	See the <i>Microphone Inputs</i> section.
	4	MIC2BYP	
	1	RECBYP	RXINP to RXINN Bypass Switch RXINPをRXINNに短絡して、信号がICを通過できるようにします。RECBYP = 1の場合は、レシーバアンプをディセーブルしてください。 0 = Disabled 1 = Enabled
	0	SPKBYP	RXIN to SPKL Bypass Switch RXINP/RXINNをSPKLP/SPKLNに短絡して、内蔵または外部のレシーバアンプが左スピーカを駆動できるようにします。SPKBYP = 1の場合は、左スピーカアンプをディセーブルしてください。 0 = Disabled 1 = Enabled

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

クリック/ポップ抑制

このICは、包括的なクリック/ポップ抑制回路を内蔵しています。この回路は、電源オン時、電源オフ時、および音量変更中のクリック/ポップを最小限に抑えます。

音量変更時の大きいグリッチを防止するために、すべてのアナログPGAおよび音量制御にゼロクロス検出が実装されています。音量変更を直ちに行う代わりに、オーディオ信号がミッドポイントを通過するときに変更が行われます。タイムアウト時間内にゼロクロスが発生しない場合は、強制的に変更が行われます。

音量スルーイングは、大幅な音量の変更を利用可能な最小のステップサイズに分解して、最初と最後の音量設定の間の個々のステップを順に適用します。イネーブルされている場合、デバイスの電源オン時およびオフ時にも音量スルー

イングが行われます。電源オン時には、出力がイネーブルされる前に音量がミュートに設定されます。出力がオンになった後、目的のレベルまで音量が漸増します。電源オフ時には、音量がミュートまで漸減してから出力がディセーブルされます。

オーディオ信号が存在しない場合は、ゼロクロス検出によって音量スルーイングの発生を防止することができます。以前の音量レベルの設定が完了するまで音量コントローラが次の音量レベルを要求しないようにするには、拡張音量スルーイングをイネーブルしてください。その場合、オーディオ信号のゼロクロスが発生するか、またはタイムアウト時間が経過した後で、音量変更の個々のステップが実行されます。電源オフ時には、拡張音量スルーイングは常にディセーブルされます。

表30. Click-and-Pop Reductionレジスタ

レジスタ	ビット	名称	説明
0x47	7	$\overline{\text{VS2EN}}$	Enhanced Volume Smoothing 音量スルーイング中、コントローラは傾斜の個々のステップが適用されるのを待ってから次のステップを送信します。ゼロクロス検出をイネーブルしている場合、これによってゼロクロスが検出されないときに大きいステップで出力音量が変化するのを防止します。 0 = Enabled 1 = Disabled Applies to volume changes in HPVOLL, HPVOLR, RECVOL, SPVOLL, and SPVOLR.
	6	$\overline{\text{VSEN}}$	Volume Adjustment Smoothing 中間的なステップを経由することによって音量変更をスムーズにします。また、電源オン時に最小値から設定された値まで音量を漸増させ、電源オフ時に最小値に戻します。 0 = Enabled 1 = Disabled Applies to volume changes in HPVOLL, HPVOLR, RECVOL, SPVOLL, and SPVOLR.
	5	$\overline{\text{ZDEN}}$	Zero-Crossing Detection オーディオ信号のゼロクロスが発生するまで音量変更を保留します。これによって、音量変更中のクリック/ポップ(ジッターノイズ)が低減されます。100ms以内にゼロクロスが検出されない場合は、音量変更が強制されます。 0 = Enabled 1 = Disabled Applies to volume changes in PGAM1, PGAM2, PGAOUTA, PGAOUTB, PGAOUTC, HPVOLL, HPVOLR, RECVOL, SPVOLL, and SPVOLR.
	1	EQ2EN	See the 5-Band Parametric EQ section.
	0	EQ1EN	

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

ジャック検出

このICは、ジャックの挿入と取り外しおよび負荷の種類を検出可能なジャック検出を備えています。ジャックが検出された場合、(JDETをセットすることによって) $\overline{\text{IRQ}}$ の割込みをトリガし、マイクロコントローラにイベントを通知することができます。図33に、ジャック検出の標準的な構成を示します。

ジャックの挿入

ジャックの挿入を検出するために、ICは電源を必要とします。ジャック検出回路をイネーブルしてJACKSNSにプルアップ電流を印加するには、JDETENをセットしてください。消費電流を最小限に抑えるには、JDWKをセットしてください。ジャックの挿入は、シャットダウン時またはシャットダウン時以外に行うことができます。マイクロフォンを備えたヘッドセットとマイクロフォンのないヘッドフォンを区別する場合は、JDWKをクリアしてください。JACKSNSに負荷が接続されずMICBIASがディセーブルされている限り、JACKSNSの電圧はSPKLVDと等しくなります。表31に、ジャックが挿入されたときに発生するJKSNSの変化を示します。

アクセサリボタンの検出

ジャックの挿入後、MAX98089はマイクロフォンおよびマイクロフォン信号をグランドに短絡させるスイッチを含むアクセサリのボタンの押下を検出することができます。ジャック検出回路をイネーブルするには、JDETENをセットしてください。ボタンの押下は、MICBIASがイネーブルされている場合とディセーブルされている場合の両方で検出可能です。表32に、アクセサリボタンが押下されたときに発生するJKSNSの変化を示します。

ジャック取り外し

このICは、JACKSNSが11状態に遷移するのを監視することによってジャック取り外しを検出します。ジャック検出回路をイネーブルするには、JDETENをセットしてください。ボタン検出が必要ない場合は、消費電流を最小限に抑えるためにJDWKをセットしてください。表33に、ジャックが取り外されたときに発生するJKSNSの変化を示します。ジャック取り外しは、シャットダウン時またはシャットダウン時以外に行うことができます。

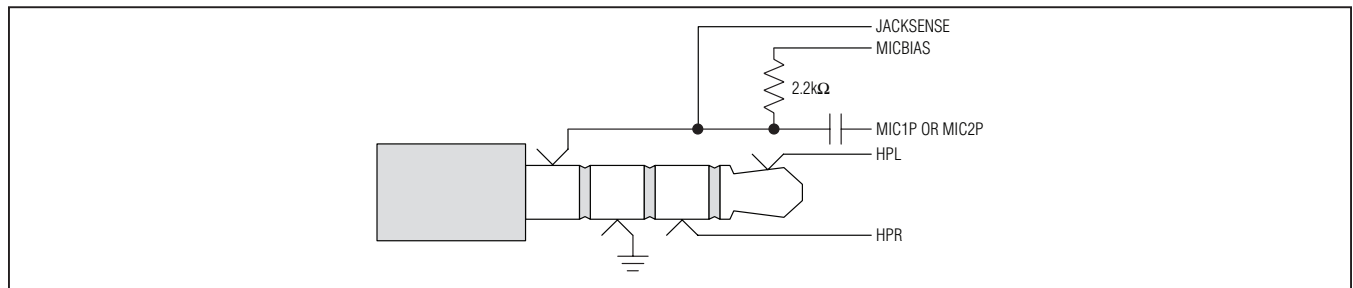


図33. ジャック検出の標準的な構成

表31. ジャック挿入時のJKSNSの変化

JACK TYPE	JDWK = 1	JDWK = 0
	JKSNS: 11 → 00	JKSNS: 11 → 00
	JKSNS: 11 → 00	JKSNS: 11 → 01

表32. ボタン押下時のJKSNSの変化

JACK TYPE	MICBIAS ENABLED OR DISABLED
	JKSNS: 01 → 00

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表33. ジャック取り外し時のJKSNSの変化

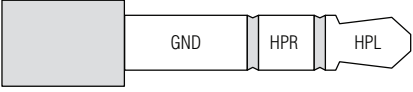
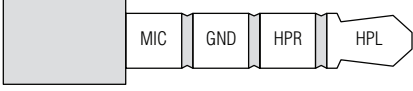
JACK TYPE	JDWK = 1 AND MICBIAS DISABLED	JDWK = 0 OR MICBIAS ENABLED
	JKSNS: 00 → 11	JKSNS: 00 → 11
	JKSNS: 00 → 11	JKSNS: 01 → 11

表34. Jack Detectionレジスタ

レジスタ	ビット	名称	説明		
0x02 (Read Only)	7	JKSNS	JACKSNS State JDETEN = 1の場合、JACKSNSの状態を通知します。		
			VALUE	MODE	DESCRIPTION
			00	MBEN = 1	VJACKSNS < 0.1V x VMICBIAS
				MBEN = 0	VJACKSNS < 0.1V x VSPKLVDD
	01		MBEN = 1	0.1V x VMICBIAS < VJACKSNS < 0.95V x VMICBIAS	
			MBEN = 0	0.1V x VSPKLVDD < VJACKSNS < 0.95V x VSPKLVDD	
	10		MBEN = 1	Reserved	
			MBEN = 0	Reserved	
	6	11	MBEN = 1	0.95V x VMICBIAS < VJACKSNS	
MBEN = 0			0.95V x VSPKLVDD < VJACKSNS		
0x4B	7	JDETEN	Jack Detection Enable 0 = Disabled 1 = Enabled		
	1	JDEB	Jack Detection Debounce JDETをセットするときのデバウンス時間を設定します。 00 = 25ms 01 = 50ms 10 = 100ms 11 = 200ms		
	0				

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

表34. Jack Detectionレジスタ(続き)

レジスタ	ビット	名称	説明
0x4E	7	BGEN	See the <i>Power Management</i> section.
	6	SPREGEN	See the <i>Power Management</i> section.
	5	VCMEN	See the <i>Power Management</i> section.
	4	BIASEN	See the <i>Power Management</i> section.
	0	JDWK	JACKSNS Pullup JDWK = 1の場合、JACKSNSの電圧は低速で増加します。誤検出を防止するために、JDETEN = 1の設定前にJDWK = 0を設定してください。 Valid when MBIAS = 0. 0 = 2.4k Ω to SPKLVDD (allows microphone detection) 1 = 5 μ A to SPKLVDD (minimizes supply current)

バッテリー計測

このICは、SPKLVDDに印加されている電圧(通常はバッテリー電圧)を計測して、値をレジスタ0x03で通知します。スピーカリミッタ回路も、正確なスレッショルドを設定するためにこの値を使用します。バッテリー計測機能がディセーブルされている場合、バッテリー電圧はユーザー設定可能です。

表35. Battery Measurementレジスタ

レジスタ	ビット	名称	説明
0x03	4	VBAT	Battery Voltage VBATEN = 1の場合、VBATを読み取ってV _{SPKLVDD} を判定してください。VBATEN = 0の場合、適切なスピーカアンプ信号処理が行われるようにVBATを設定してください。バッテリー電圧の計算/設定には、次式を使用してください。 $VBATTERY = 2.55V + [VBAT/10]$
	3		
	2		
	1		
	0		
0x51	7	$\overline{SHDN}$	See the <i>Power Management</i> section.
	6	VBATEN	Battery Measurement Enable. 内蔵ADCをイネーブルしてV _{SPKLVDD} を計測します。 0 = Disabled (register 0x03 readable and writeable) 1 = Enabled (register 0x03 read only)
	3	PERFMODE	See the <i>Power Management</i> section.
	2	HPPLYBCK	See the <i>Power Management</i> section.
	1	PWRSV8K	See the <i>Power Management</i> section.
	0	PWRSV	See the <i>Power Management</i> section.

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

デバイスステータス

このICは、レジスタ0x00および $\overline{\text{IRQ}}$ を使用して各種のデバイス機能の状態を通知します。Statusレジスタの各ビットは、それぞれに該当するイベントの発生時にセットされ、レジスタを読み取った時点でクリアされます。デバイスの状態は、レジスタ0x00をポーリングするか、または特定

のイベントの発生時に $\overline{\text{IRQ}}$ がローに駆動されるように設定することによって判定可能です。 $\overline{\text{IRQ}}$ はオープンドレイン出力で、正常な動作のためにプルアップ抵抗を必要とします。レジスタ0x0Fは、Statusレジスタのどのビットをトリガとして $\overline{\text{IRQ}}$ をローに駆動するかを決定します。

表36. StatusレジスタとInterruptレジスタ

レジスタ	ビット	名称	説明
0x00 (Read Only)	7	CLD	Full Scale 0 = All digital signals are less than full scale. 1 = The DAC or ADC signal path has reached or exceeded full scale. This typically indicates clipping.
	6	SLD	Volume Slew Complete SLD は、プログラマブルゲインアレイまたは音量コントローラが以前の設定から新しく書き込まれた設定へのスルーイングを完了したことを通知します。複数のゲインアレイまたは音量コントローラが同時に変更された場合、最後の音量スルーイングが完了した後 SLD フラグがセットされます。また、SLD はデジタルオーディオインタフェースのソフトスタートまたはソフトストッププロセスが完了したことも通知します。SLD が正常に動作するためには MCLK が必要です。 0 = No volume slewing sequences have completed since the status register was last read. 1 = Volume slewing complete.
	5	ULK	Digital Audio Interface Unlocked 0 = Both digital audio interfaces are operating normally. 1 = Either digital audio interface is configured incorrectly or receiving invalid clocks.
	1	JDET	Jack Configuration Change JDET は、Jack Status レジスタ (0x02) のいずれかのビットが変化したことを通知します。Jack Status の各ビットの変化は、JDET のセット前にデバウンスされます。デバウンス時間は JDEB ビットを使用して設定可能です。IC への最初の通電後に JDETEN または $\overline{\text{SHDN}}$ が最初にセットされた時点で、JDET は常にセットされます。それらのイベントの発生後は、Status レジスタの読取りによって JDET をクリアして、ジャック検出が正常に行われるようにしてください。 0 = No change in jack configuration. 1 = Jack configuration has changed.
0x0F	7	ICLD	Full-Scale Interrupt Enable 0 = Disabled 1 = Enabled
	6	ISLD	Volume Slew Complete Interrupt Enable 0 = Disabled 1 = Enabled
	5	IULK	Digital Audio Interface Unlocked Interrupt Enable 0 = Disabled 1 = Enabled
	1	IJDET	Jack Configuration Change Interrupt Enable 0 = Disabled 1 = Enabled

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

デバイスリビジョン

表37. Device Revisionレジスタ

レジスタ	ビット	名称	説明
0xFF (Read Only)	7	REV	Device Revision Code REVには常に0x40が設定されます。
	6		
	5		
	4		
	3		
	2		
	1		
	0		

I²Cシリアルインタフェース

このICは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成されるI²C/SMBus™対応の2線式シリアルインタフェースを備えています。SDAとSCLによって、このICとマスターの間で最高400kHzのクロック速度の通信を容易に行うことができます。図5に、2線式インタフェースのタイミング図を示します。マスターがSCLを生成してバス上のデータ転送を開始します。マスターデバイスは、適切なスレーブアドレスの後に続けてレジスタアドレスを送信して、さらにデータワードを送信することによって、このICへのデータ書き込みを行います。個々の送信シーケンスは、START (S)またはREPEATED START (Sr)条件およびSTOP (P)条件によって区切られます。このICに送信される個々のワードは8ビット長であり、その後にアクノリッジクロックパルスが続きます。マスターがこのICからデータを読み取る場合は、適切なスレーブアドレスの後に続けて9個のSCLパルスを送信します。ICは、マスターが生成するSCLパルスに同期してSDA上でデータを送信します。マスターはデータの各バイトについて受信のアクノリッジを行います。個々の読取りシーケンスは、STARTまたはREPEATED START条件、非アクノリッジ、およびSTOP条件で区切られます。SDAは、入力およびオープンドレイン出力の両方として動作します。SDAにはプルアップ抵抗(通常は500Ω以上)が必要です。SCLは、入力としてのみ動作します。バス上に複数のマスターが存在する場合、またはシングルマスターのSCL出力がオープンドレインの場合は、SCLにプルアップ抵抗(通常は500Ω以上)が必要になります。必要に応じて、SDAおよびSCLと直列に抵抗を挿入することもで

きます。直列抵抗によって、バスライン上の高電圧スパイクからICのデジタル入力保護されるとともに、バス信号のクロストークとアンダーシュートが最小限に抑えられます。

ビット転送

各SCLサイクル内で1ビットのデータが転送されます。SDA上のデータは、SCLパルスがハイの期間にわたって安定している必要があります。SCLがハイの間にSDAが変化した場合、制御信号になります(「STARTおよびSTOP条件」の項を参照)。

STARTおよびSTOP条件

バスが使用されていない場合、SDAおよびSCLはアイドル状態を示すハイになります。マスターは、START条件を送信することによって通信を開始します。START条件とは、SCLがハイの状態でもSDAがハイからローに遷移することです。STOP条件とは、SCLがハイの状態でもSDAがローからハイに遷移することです(図33)。マスターからのSTART条件によって、ICに対して転送の開始が通知されます。マスターは、STOP条件を送信することによって転送を終了して、バスを解放します。STOP条件の代わりにREPEATED START条件が生成された場合、バスはアクティブのままになります。

早期STOP条件

このICはデータ転送中の任意の時点でSTOP条件を認識しますが、例外として、START条件と同じハイのパルス内でSTOP条件が発生した場合は認識しません。正常に動作させるためには、START条件と同じSCLのハイのパルス内でSTOP条件を送信しないでください。

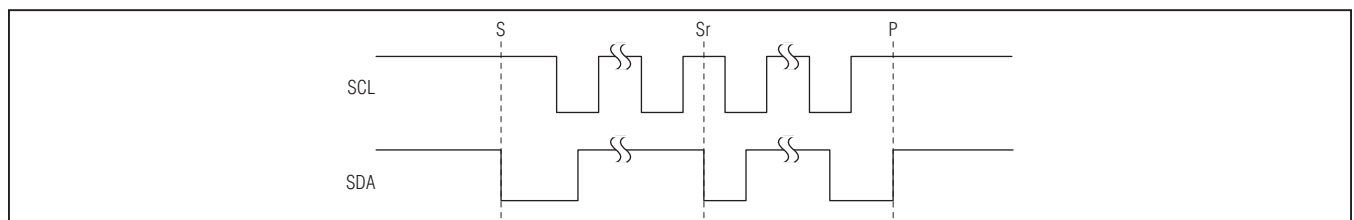


図34. START、STOP、およびREPEATED START条件
SMBusはIntel Corp.の商標です。

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

スレーブアドレス

スレーブアドレスは、7つの上位ビット(MSB)とそれに続く読取り/書込みビットとして定義されます。このICの場合、上位7ビットは0010000です。読取り/書込みビットに1をセットした場合(スレーブアドレス = 0x21)、ICは読取りモードに設定されます。読取り/書込みビットに0をセットした場合(スレーブアドレス = 0x20)、ICは書込みモードに設定されます。アドレスは、START条件の後でICに送信される情報の最初の1バイトです。

アクノリッジ

アクノリッジビット(ACK)はクロックの9番目のビットであり、このICが書込みモードの場合、データの各バイトの受信をハンドシェイクするために使用します(図35)。直前のバイトの受信に成功した場合、このICはマスターが生成する9番目のクロックパルス全体にわたってSDAをプルダウンします。ACKを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイス

がビジーであるか、またはシステム障害の発生によって起こります。データ転送に失敗した場合、バスマスターは通信を再試行します。このICが読取りモードの場合は、マスターが9番目のクロックサイクルの間SDAをプルダウンして、データの受信をアクノリッジします。個々のバイトの読取り後に、マスターによってアクノリッジが送信され、データ転送の続行が可能になります。マスターがこのICからのデータの最後のバイトを読み取った場合には非アクノリッジが送信され、その後にSTOP条件が続きます。

データ書込み形式

このICへの書込みには、START条件、R/Wビットに0をセットしたスレーブアドレス、内部レジスタアドレスポインタを設定するための1バイトのデータ、1バイト以上のデータ、およびSTOP条件の送信が含まれます。1バイトのデータをこのICに書き込むためのフレーム形式を図36に示します。nバイトのデータをこのICに書き込むためのフレーム形式を図37に示します。

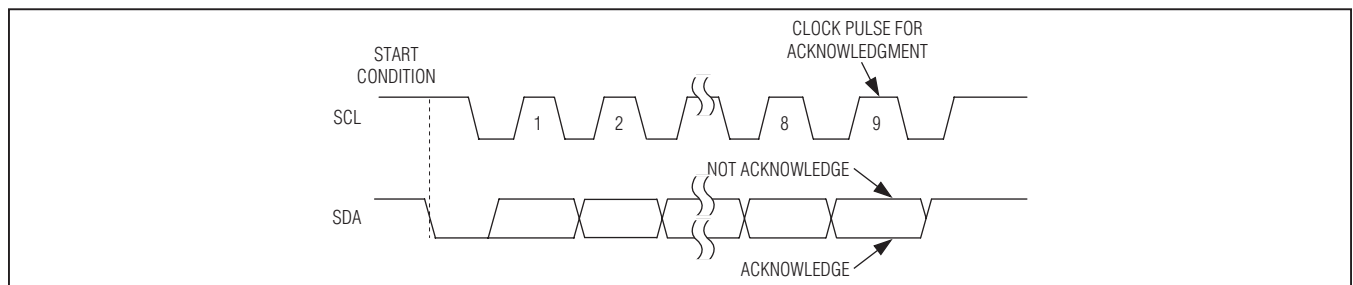


図35. アクノリッジ

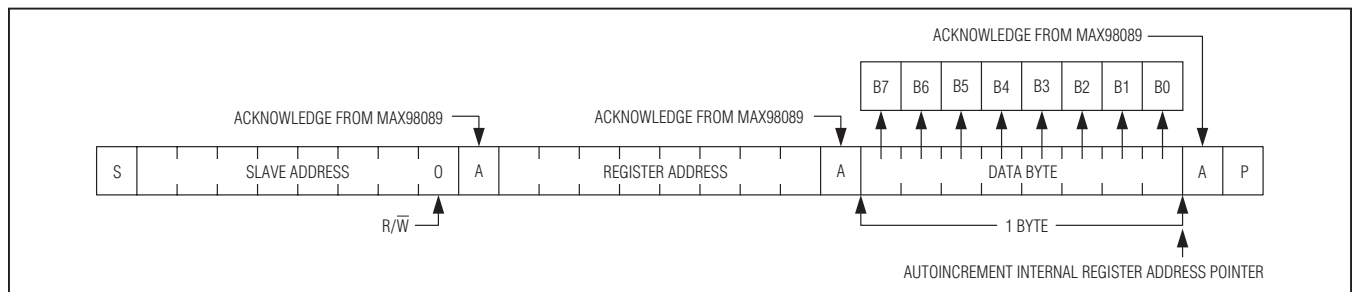


図36. ICへの1バイトのデータの書込み

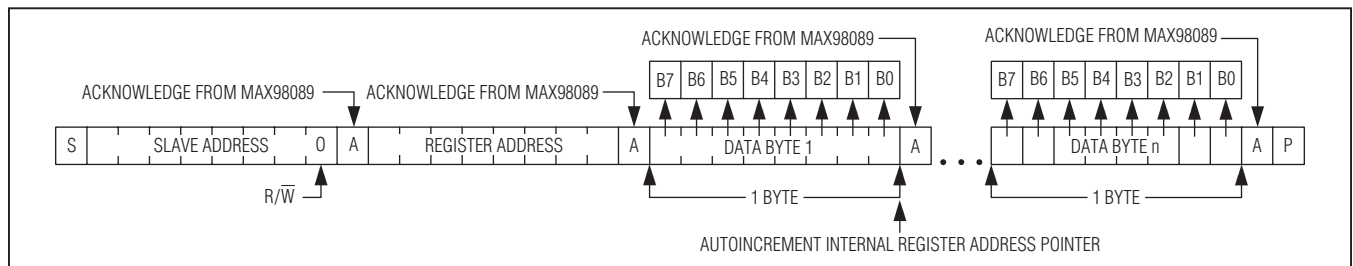


図37. ICへのnバイトのデータの書込み

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

スレーブアドレスのR/Wビットに0がセットされている場合、マスターがこのICにデータを書き込もうとしていることを示します。このICは、マスターが生成する9番目のSCLパルスの間にアドレスバイトの受信をアクノリッジします。

マスターから送信される第2のバイトによって、ICの内部レジスタアドレスポインタが設定されます。このポインタは、次の1バイトのデータを書き込む位置をICに指示します。アドレスポインタデータを受信したICは、アクノリッジパルスを送信します。

このICに送信される第3のバイトに、選択されたレジスタに書き込むデータが格納されています。ICからのアクノリッジパルスによって、データバイトの受信を通知します。データを1バイト受信するごとに、アドレスポインタが次のレジスタアドレスに自動インクリメントされます。この自動インクリメント機能によって、マスターは1つの連続したフレーム内で一連のレジスタへの書き込みを行うことができます。マスターはSTOP条件を送信することによって送信の終了を通知します。0xC7より大きいレジスタアドレスは予備です。これらのアドレスに書き込みを行わないでください。

データ読取り形式

読取り操作を開始するには、R/Wビットに1をセットしたスレーブアドレスを送信してください。ICは、9番目のSCLクロックパルスの間SDAをローに駆動することによって、自分のスレーブアドレスの受信をアクノリッジします。STARTコマンドの後にReadコマンドが続いた場合、アドレスポインタがレジスタ0x00にリセットされます。

ICから送信される最初のバイトは、レジスタ0x00の内容です。送信データは、SCLの立上りエッジで有効になります。データを1バイト読み取るごとに、アドレスポインタが自動インクリメントされます。この自動インクリメント機能によって、1つの連続したフレーム内ですべてのレジスタを順番に読み取ることができます。任意のバイト数のデータを読み取った後で、STOP条件を送信することができます。STOP条件が送信された後に続けて次の読取り操作が行われた場合、データの最初の1バイトはレジスタ0x00から読取りが行われます。

アドレスポインタは、Readコマンドの送信前に特定のレジスタにプリセットすることが可能です。マスターは、最初にR/Wビットに0をセットしたICのスレーブアドレスを送信し、その後に続けてレジスタアドレスを送信することによって、アドレスポインタのプリセットを行います。次にREPEATED START条件が送信され、その後に続けてR/Wビットに1をセットしたスレーブアドレスが送信されます。その後、ICが指定されたレジスタの内容を送信します。最初のバイトの送信後に、アドレスポインタが自動インクリメントされます。

マスターは、1バイトの読取りごとに、アクノリッジパルス間に受信をアクノリッジします。マスターは、最後の1バイト以外はすべての正常に受信したバイトをアクノリッジする必要があります。最後のバイトの後には、マスターから非アクノリッジを送信し、それに続けてSTOP条件を送信する必要があります。ICから1バイトを読み取るためのフレーム形式を図38に示します。ICから複数のバイトを読み取るためのフレーム形式を図39に示します。

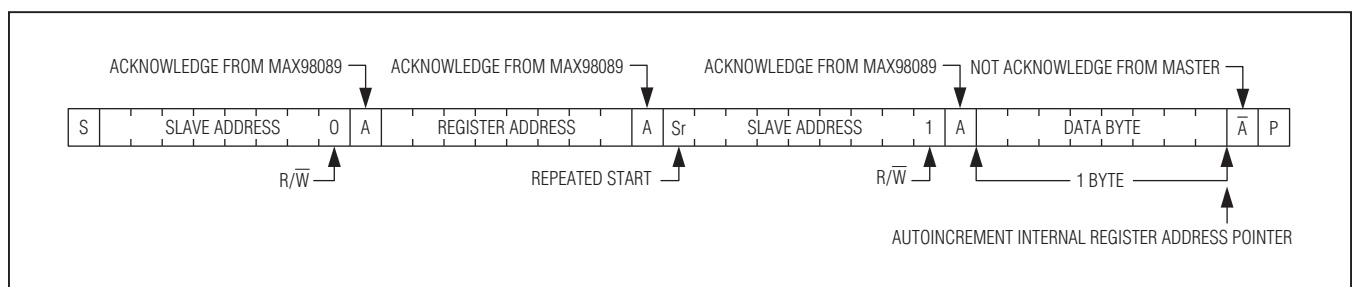


図38. ICからの1バイトのデータの読取り

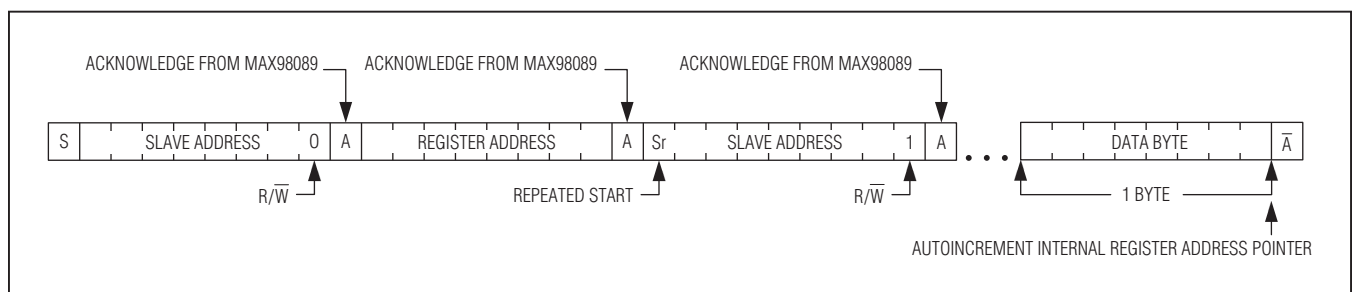


図39. ICからのnバイトのデータの読取り

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

アプリケーション情報

標準動作回路

図40および41に、このICの動作回路の例を示します。図に示した外付け部品は、このICが動作するために必要な最小限の部品です。アプリケーションによって追加の部品が必要になる場合があります。

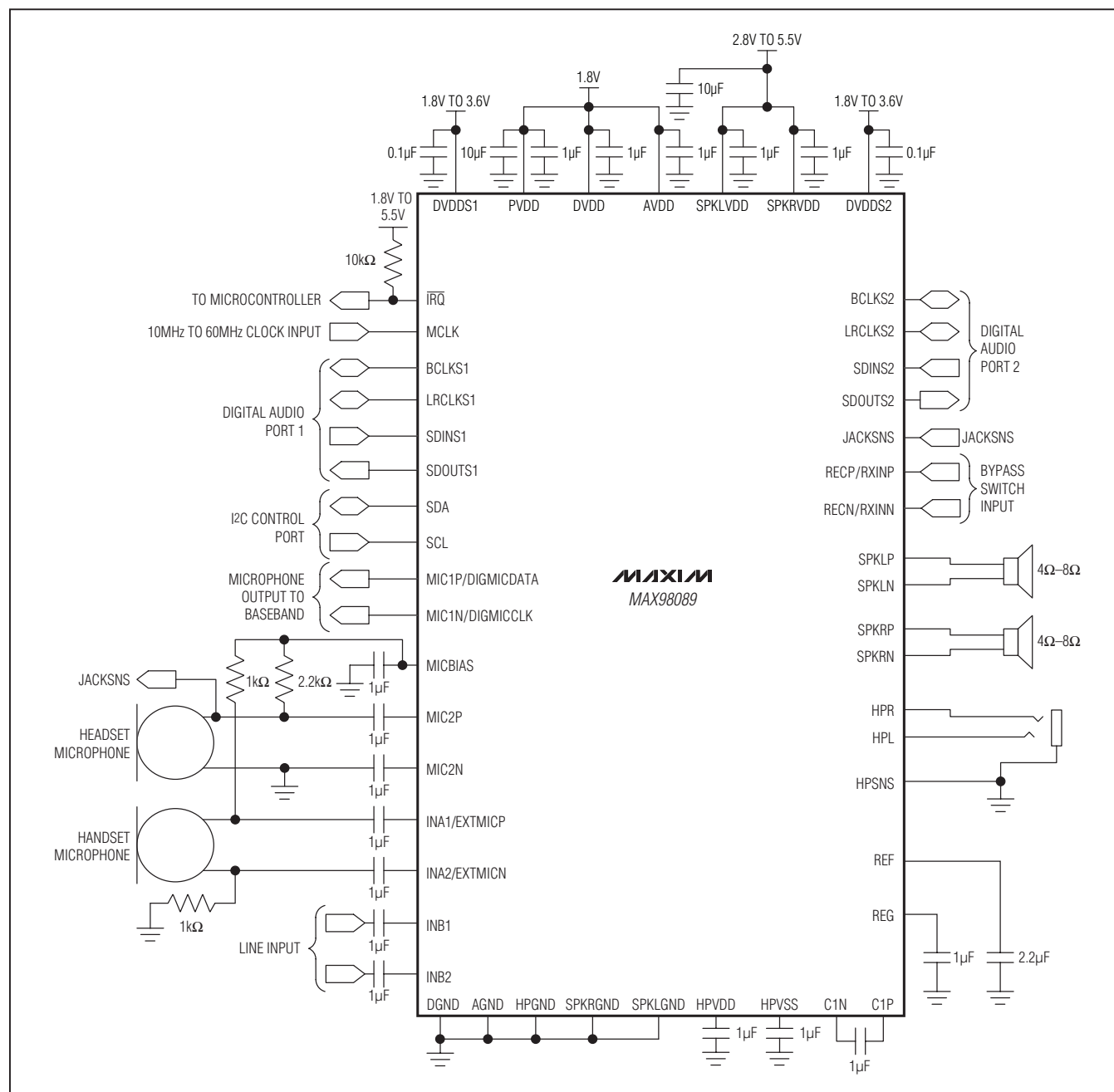


図40. アナログマイクロフォン入力およびバイパススイッチを使用する標準アプリケーション回路

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

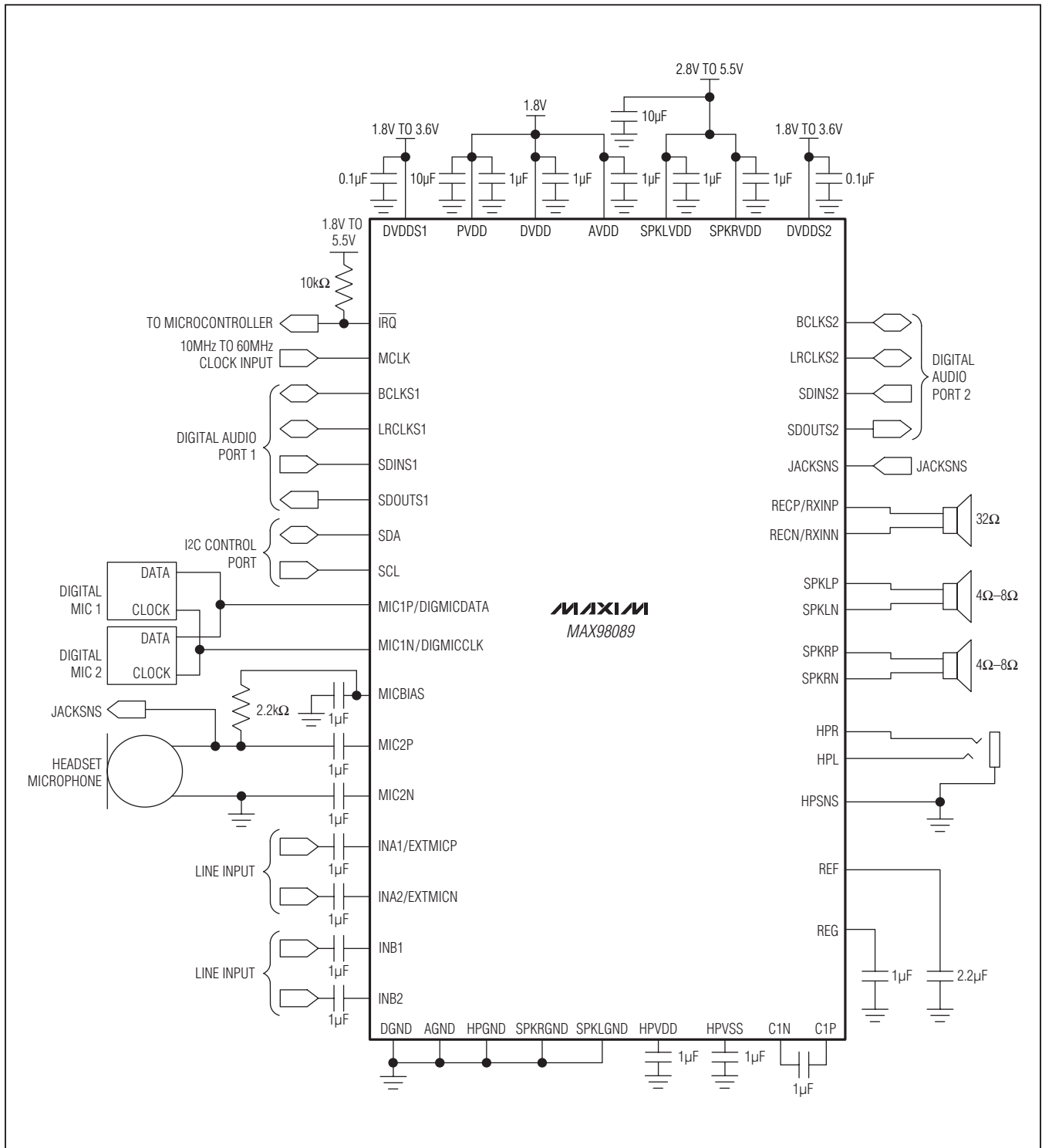


図41. デジタルマイクロフォン入力およびレシーバンプを使用する標準アプリケーション回路

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

フィルタレスD級動作

従来のD級アンプは、アンプの出力からオーディオ信号を復元するために出力フィルタを必要とします。フィルタは、コストの増加、アンプのソリューションサイズの大変大化、および効率とTHD+N性能の低下につながる可能性があります。従来のPWM方式は、大きい差動出力スイング(2 x V_{DD}、ピーク間)を使用するため、大きいリップル電流が発生します。フィルタ部品の寄生抵抗は電力損失につながり、効率を低下させます。

このICは、出力フィルタが不要です。このデバイスは、スピーカコイル固有のインダクタンスと、スピーカと人間の耳の両方による自然のフィルタ作用に依存して、方形波出力のオーディオ成分を復元します。出力フィルタがなくなることによって、より小型、低コスト、高効率なソリューションが実現します。

ICの出力の周波数はほとんどのスピーカの帯域より十分に高いため、方形波周波数によるボイスコイルの動きは非常にわずかです。この動きはわずかですが、追加される出力に対応するよう設計されていないスピーカは損傷を受ける可能性があります。最良の結果を得るために、直列インダクタンスが10μH以上のスピーカを使用してください。標準的な8Ωのスピーカは、20μH～100μHの範囲の直列インダクタンスを示します。

RF感受性

GSMの無線は、217Hz間隔の時分割多重アクセス(TDMA)を使用して送信します。そのため、217Hzおよびその高調波に強い振幅変調のあるRF信号が発生し、オーディオアンプによって容易に復調されます。このICはRF信号を除去するように特に設計されていますが、PCBレイアウトが最終製品の感受性に大きく影響します。

RFアプリケーションでは、レイアウトと部品の選択の両方を改善することでRFノイズに対するICの感受性が低減され、RF信号が復調されて可聴ノイズになるのを防ぐことができます。トレース長は、問題となるRF周波数の波長の1/4以下に抑えてください。トレース長を最小限に抑えることで、アンテナの役割を果たしてICにRF信号を結合するのを防ぐことができます。波長(λ、単位：m)は $\lambda = c/f$ によって与えられ、 $c = 3 \times 10^8 \text{ m/s}$ 、 f = 対象のRF周波数です。

オーディオ信号はPCBの中間層に配線して、上下のグランドプレーンによってRF干渉からシールドされるようにしてください。理想的には、PCBの表面層と裏面層は主としてグランドプレーンに使用して、効果的なシールドを行ってください。

コンデンサの自己共振周波数はノッチフィルタに似た周波数応答を示すため、それを利用してさらにRF耐性を高めることも可能です。メーカーによって、通常は10pF～20pFのコンデンサが問題のRF周波数で自己共振を示します。これらのコンデンサを入力端子に配置することで、RFノイズを効果的にグランドへとシャントすることができます。これらのコンデンサが有効に機能するためには、グランドプレーンへのローインピーダンス、低インダクタンスの経路が必要です。マイクロピアはRF周波数では十分に伝導しないため、グランドプレーンへの接続にはできる限りマイクロピアを使用しないでください。

スタートアップ/シャットダウンシーケンス

デバイスが正常に初期化されクリック/ポップが最小限に抑えられることを保証するために、すべてのレジスタの設定が終了してからICを $\overline{\text{SHDN}} = 1$ に設定してください。表38に、デバイスのスタートアップシーケンスの例を示します。ICをシャットダウンする場合は、単純に $\overline{\text{SHDN}} = 0$ に設定してください。

表38. スタートアップシーケンスの例

SEQUENCE	DESCRIPTION	REGISTERS
1	Ensure $\overline{\text{SHDN}} = 0$	0x51
2	Configure clocks	0x10 to 0x13, 0x19 to 0x1B
3	Configure digital audio interface	0x14 to 0x17, 0x1C to 0x1F
4	Configure digital signal processing	0x18, 0x20, 0x3F to 0x46
5	Load coefficients	0x52 to 0xC9
6	Configure mixers	0x22 to 0x2D
7	Configure gain and volume controls	0x2E to 0x3E
8	Configure miscellaneous functions	0x47 to 0x4B
9	Enable desired functions	0x4C, 0x50
10	Set $\overline{\text{SHDN}} = 1$	0x51

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

このICの設定オプションの多くはデバイスの動作中に行うことができますが、一部のレジスタは関係するオーディオ経路がディセーブルされているときにのみ調整してください。表39に、動作中の変更に敏感なレジスタを示します。これらのレジスタの変更中は、関係するオーディオ経路をディセーブルするか、またはSHDN = 0に設定してください。

部品の選択

オプションのフェライトビーズフィルタ

スピーカのリード線が20mmを超えるアプリケーションでは、フェライトビーズとグランドへのコンデンサで構成されるフィルタを使用することによって、追加のEMI抑制を実現することができます(図42)。低DC抵抗、100Ω～600Ωの高周波数(> 600MHz)インピーダンス、および少なくとも1Aの定格を備えたフェライトビーズを使用してください。コンデンサの値は、選択したフェライトビーズおよび実際のスピーカのリード長に基づいて変化します。EMI性能に基づいて1nF以下のコンデンサを選択してください。

入力コンデンサ

入力コンデンサ(C_{IN})と、ICのライン入力の入力インピーダンスの組合せによって、入力アナログ信号からDCバイ

アスを除去するハイパスフィルタが形成されます。ACカップリングコンデンサによって、アンプは信号を最適なDCレベルに自動的にバイアスすることができます。ソースインピーダンスを0と仮定した場合、ハイパスフィルタの-3dB点は次式で与えられます。

$$f_{-3dB} = \frac{1}{2\pi R_{IN} C_{IN}}$$

対象となる最も低い周波数よりもf_{-3dB}が十分低くなるようにC_{IN}を選択してください。音質を最高にするために、タンタルやアルミ電界などの低い電圧係数の誘電体のコンデンサを使用してください。セラミックコンデンサのような高い電圧係数を持つコンデンサは、低周波数で歪みが増大する原因になる可能性があります。

チャージポンプのコンデンサの選択

最高の性能を実現するために、ESRが100mΩ以下のコンデンサを使用してください。低ESRのセラミックコンデンサは、チャージポンプの出力抵抗を最小限に抑えます。ほとんどの表面実装型のセラミックコンデンサは、このESRの要件に適合します。拡張温度範囲にわたって最高の性能を実現するには、X7R誘電体のコンデンサを選択してください。

表39. 動作中の変更に敏感なレジスタ

REGISTER	DESCRIPTION
0x10 to 0x13, 0x19 to 0x1B	Clock Control Registers
0x14 to 0x17, 0x1C to 0x1F	Digital Audio Interface Configuration
0x18, 0x20	Digital Passband Filters
0x25 to 0x2D	Analog Mixers
0x52 to 0xC9	Digital Signal Processing Coefficients

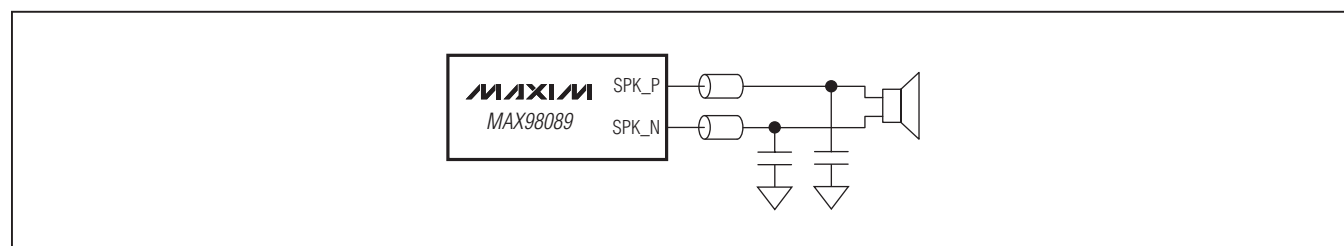


図42. オプションのD級フェライトビーズフィルタ

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

チャージポンプのフライングコンデンサ

(C1NとC1Pの間に接続する)フライングコンデンサの値は、チャージポンプの出力抵抗に影響します。値が小さすぎる場合、十分な電流駆動を提供するデバイスの能力が損なわれ、出力電圧の低下につながります。フライングコンデンサの値を増大させることで、チャージポンプの出力抵抗をある程度まで減少させることができます。1 μ F以上では、内部スイッチのオン抵抗と外付けチャージポンプコンデンサのESRが支配的になります。

チャージポンプのホールドコンデンサ

(HPVSSをHPGNDにバイパスし、HPVDDをHPGNDにバイパスする)ホールドコンデンサの値とESRは、HPVSSおよびHPVDDのリップルに直接影響します。コンデンサの値を増大させることによって出力リップルが減少します。同様に、ESRを低下させることによってリップルと出力抵抗の両方が減少します。最大出力レベルが低いシステムでは、より小さい容量値を使用することができます。

未使用の端子

表40に、回路ブロックを使用しない場合のICの端子の接続方法を示します。

表40. 未使用の端子

NAME	CONNECTION	NAME	CONNECTION
SPKRP	Unconnected	INB1	Unconnected
SPKRVD	Always connect	INA2/MICEXTN	Unconnected
SPKLVD	Always connect	LRCLKS2	Unconnected
SPKLP	Unconnected	MCLK	Always connect
RECNRXINN	Unconnected	SDINS2	AGND
HPVDD	Unconnected	TRQ	Unconnected
C1P	Unconnected	MIC1P/DIGMICDATA	Unconnected
HPGND	AGND	INA1/MICEXTP	Unconnected
SPKRN	Unconnected	DGND	Always connect
SPKRGND	Always connect	BCLKS2	Unconnected
SPKLGND	Always connect	SDA	Always connect
SPKLN	Unconnected	SCL	Always connect
RECP/RXINP	Unconnected	REG	Always connect
C1N	Unconnected	REF	Always connect
HPL	Unconnected	MIC1N/DIGMICCLK	Unconnected
HPVSS	Unconnected	MIC2P	Unconnected
SDINS1	AGND	SDOUTS2	Unconnected
LRCLKS1	Unconnected	DVDDS2	DVDD
HPSNS	AGND	DVDD	Always connect
INB2	Unconnected	AVDD	Always connect
HPR	Unconnected	PVDD	Always connect
DVDDS1	DVDD	AGND	Always connect
SDOUTS1	Unconnected	MICBIAS	Unconnected
BCLKS1	Unconnected	MIC2N	Unconnected
JACKSNS	Unconnected		

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

PCBの推奨配線

MAX98089EWYは、63バンプのウェハレベルパッケージ (WLP)を使用しています。図43に、PCBの3つの層を使用してすべてのアクティブなバンプを接続する方法の例を示します。連続したグラウンドリターンを確保するために、第2層を第1層と第3層の間の接続層として使用して、残りの領域はグラウンドで埋めてください。

電源バイパス処理、レイアウト、およびグラウンド処理

最高の性能を実現するためには、適切なレイアウトとグラウンド処理が不可欠です。このICのPCBを設計するときは、ICのアナログセクションがデジタルセクションから分離されるように回路を区分してください。これによって、アナログ

オーディオトレースがデジタルトレースの近くに配線されないことが保証されます。

PCBの専用の層で、大面積の連続したグラウンドプレーンを使用してループ領域を最小限に抑えてください。AGND、DGND、HPGND、SPKLGND、およびSPKRGNDは、できる限り短いトレース長を使用してグラウンドプレーンに直接接続してください。適切なグラウンド処理によって、オーディオ性能の向上、チャンネル間クロストークの最小化、およびアナログオーディオ信号へのデジタルノイズの結合の防止が実現されます。

MICBIAS、REG、およびREFのバイパスコンデンサは、最小限のトレース長でグラウンドプレーンに直接グラウンド接続してください。また、AGNDへの経路長も必ず最小限に抑えてください。AVDDをAGNDに直接バイパスしてください。

すべてのデジタル/I/Oのグラウンドプレーンへの終端を、最小限の経路長でDGNDに接続してください。DVDD、DVDDSD1、およびDVDDSD2をDGNDに直接バイパスしてください。

C1PとC1Nの間のコンデンサはできる限りICの近くに配置して、C1PからC1Nへのトレース長を最小限に抑えてください。C1PとC1Nの間に追加されるインダクタンスおよび抵抗によって、ヘッドフォンアンプの出力が低下します。HPVSSの近くに配置したコンデンサで、HPVDDおよびHPVSSをHPGNDに短いトレース長でバイパスしてください。HPVSSの近くでのデカップリングによって電源リップルが最小限に抑えられ、ヘッドフォンアンプからの出力が最大化されます。

HPSNSはヘッドフォンジャックのグラウンドノイズを検出して、同一のノイズを出力オーディオ信号に加算することによって、出力(ヘッドフォン出力からグラウンドを減算したもの)をノイズフリーにします。HPSNSをヘッドフォンジャックのシールドに接続して、ヘッドフォンのグラウンドノイズの正確な捕捉を保証してください。

SPKLVDDおよびSPKRVDDを、できる限り短いトレース長でそれぞれSPKLGNDおよびSPKRGNDにバイパスしてください。SPKLP、SPKLN、SPKRP、およびSPKRNを、できる限り短いトレースを使用してステレオスピーカに接続してください。トレース長の短縮によって、EMIの放射を最小限に抑えることができます。SPKLP/SPKLNおよびSPKRP/SPKRNは差動ペアとしてPCB上に配線し、ループ領域の最小化によって回路のインダクタンスを最小限に抑えてください。スピーカ出力にフィルタ部品を使用する場合は、必ずできる限りICの近くに配置して最大の有効性を確保してください。グラウンドに接続される受動部品からSPKLGNDおよびSPKRGNDへのすべてのトレース長を最小限に抑えて、EMIの放射をさらに最小化してください。

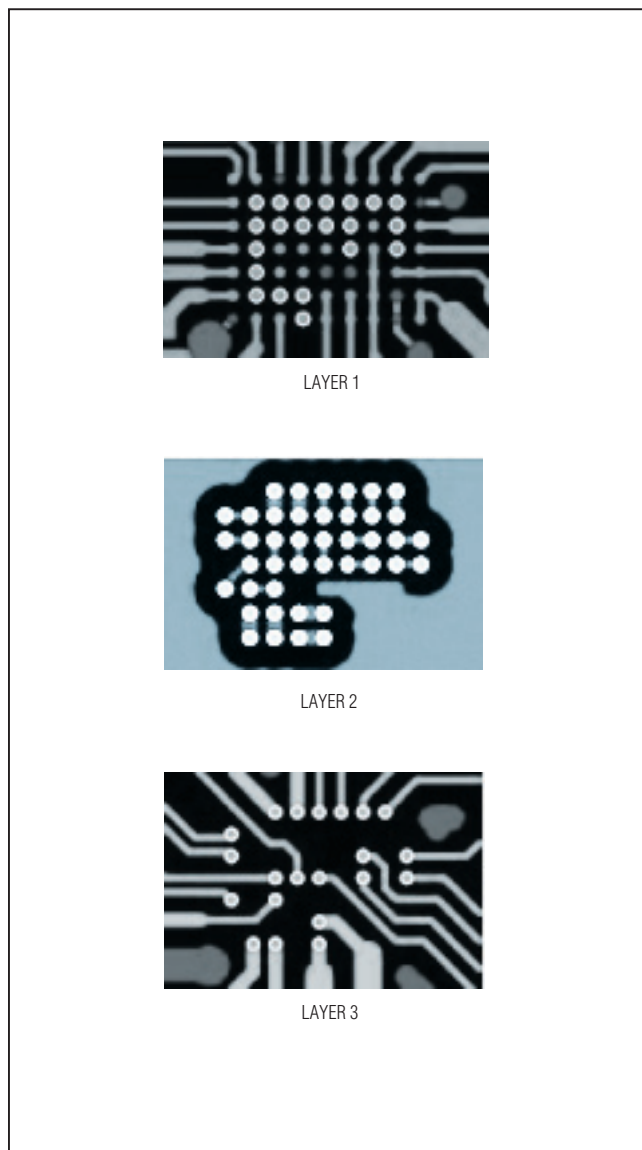


図43. MAX98089EWYの推奨配線

低電力、ステレオオーディオコーデック、FlexSound技術内蔵

マイクロフォンからICへのマイクロフォン信号は差動ペアの形で配線して、正と負の信号が等しいトレース長で同一の経路をできる限り接近して通ることを保証してください。シングルエンドのマイクロフォンまたはその他のシングルエンドのオーディオソースを使用する場合は、負のマイクロフォン入力をできる限りオーディオソースの近くでグランド接続した上で、正と負のトレースを差動ペアとして処理してください。

このICのレイアウト例を提供する評価キット(EVキット)が利用可能です。EVキットを使用することでICを短時間でセットアップすることが可能で、すべての内部レジスタの制御を可能にする使いやすいソフトウェアが付属します。

WLPアプリケーション情報

WLPの構造、外形寸法、テープキャリア情報、PCB技術、バンプパッドレイアウト、および推奨リフロー温度プロファイルに関する最新のアプリケーションの詳細、ならびに信頼性試験結果に関する最新情報については、アプリケーションノート1891「ウェハレベルパッケージ(WLP)とその応用」を参照してください。図44に、MAX98089EWYで使用しているWLPボールの外形寸法を示します。

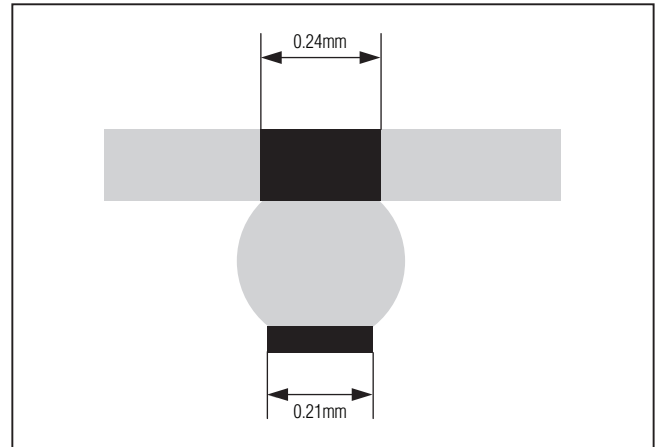


図44. MAX98089EWYのWLPボールの外形寸法

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX98089EWY+T	-40°C to +85°C	63 WLP
MAX98089ETN+T	-40°C to +85°C	56 TQFN-EP*

T = テープ&リール

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

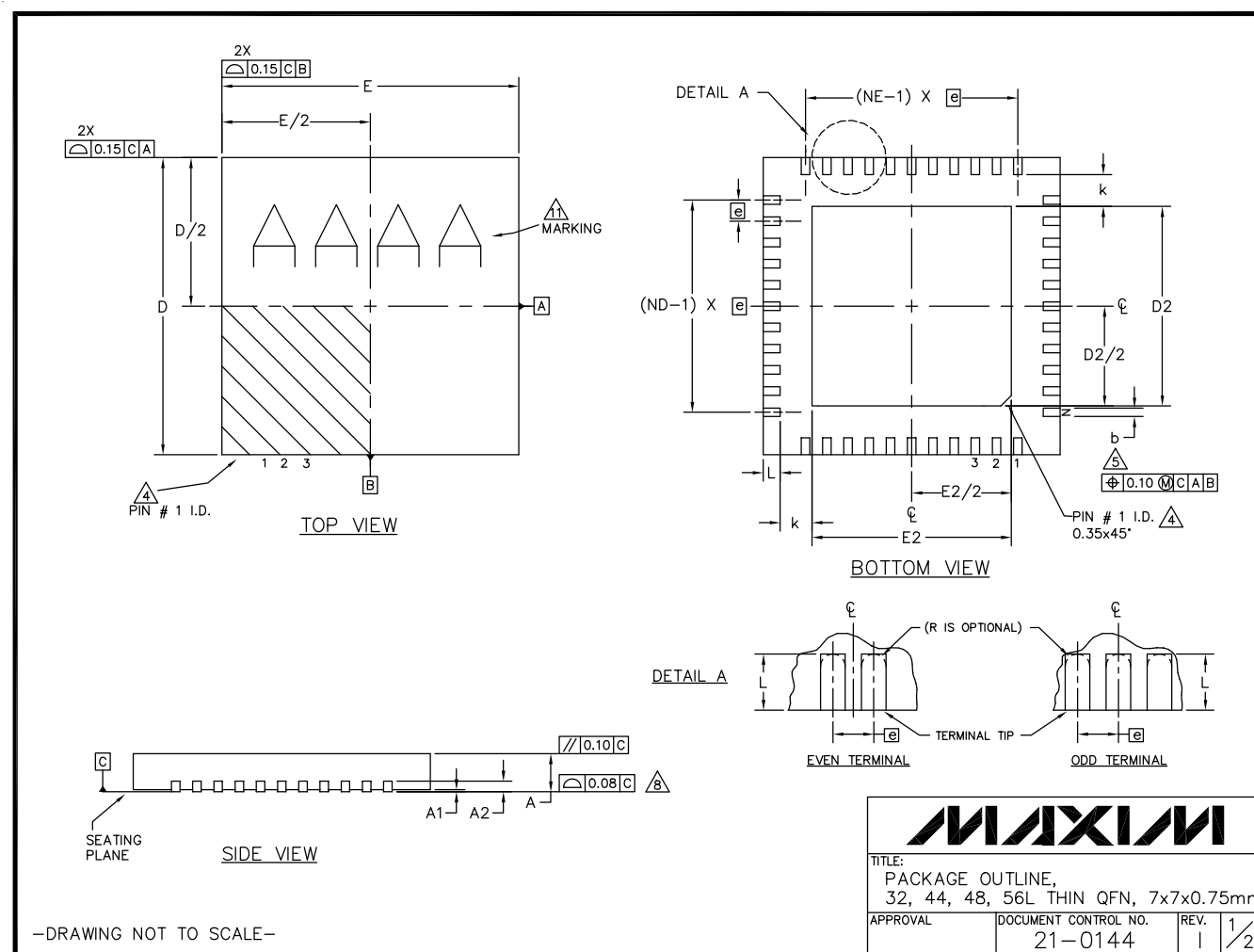
*EP = エクスPOSEドパッド

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
56 TQFN	T5677+1	21-0144	90-0042
63 WLP	W633A3+1	21-0462	—



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

パッケージ(続き)

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なる点がある点に注意してください。

COMMON DIMENSIONS															
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	—	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.30	0.40	0.50
N	32			44			48			44			56		
ND	8			11			12			10			14		
NF	8			11			12			12			14		

EXPOSED PAD VARIATIONS									
PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T3277-2	—	4.55	4.70	4.85	4.55	4.70	4.85	—	—
T3277-3	—	4.55	4.70	4.85	4.55	4.70	4.85	—	—
T4477-2	—	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	—
T4477-3	—	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	—
T4877-3	—	4.95	5.10	5.25	4.95	5.10	5.25	—	—
T4877-4	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877-6	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877-7	—	4.95	5.10	5.25	4.95	5.10	5.25	—	—
T4877M-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877M-6	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877MN-8	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T4877N-8	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677MN-1	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—
T5677-2	—	5.40	5.50	5.60	5.40	5.50	5.60	—	—

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-3/-4/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- △ MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.

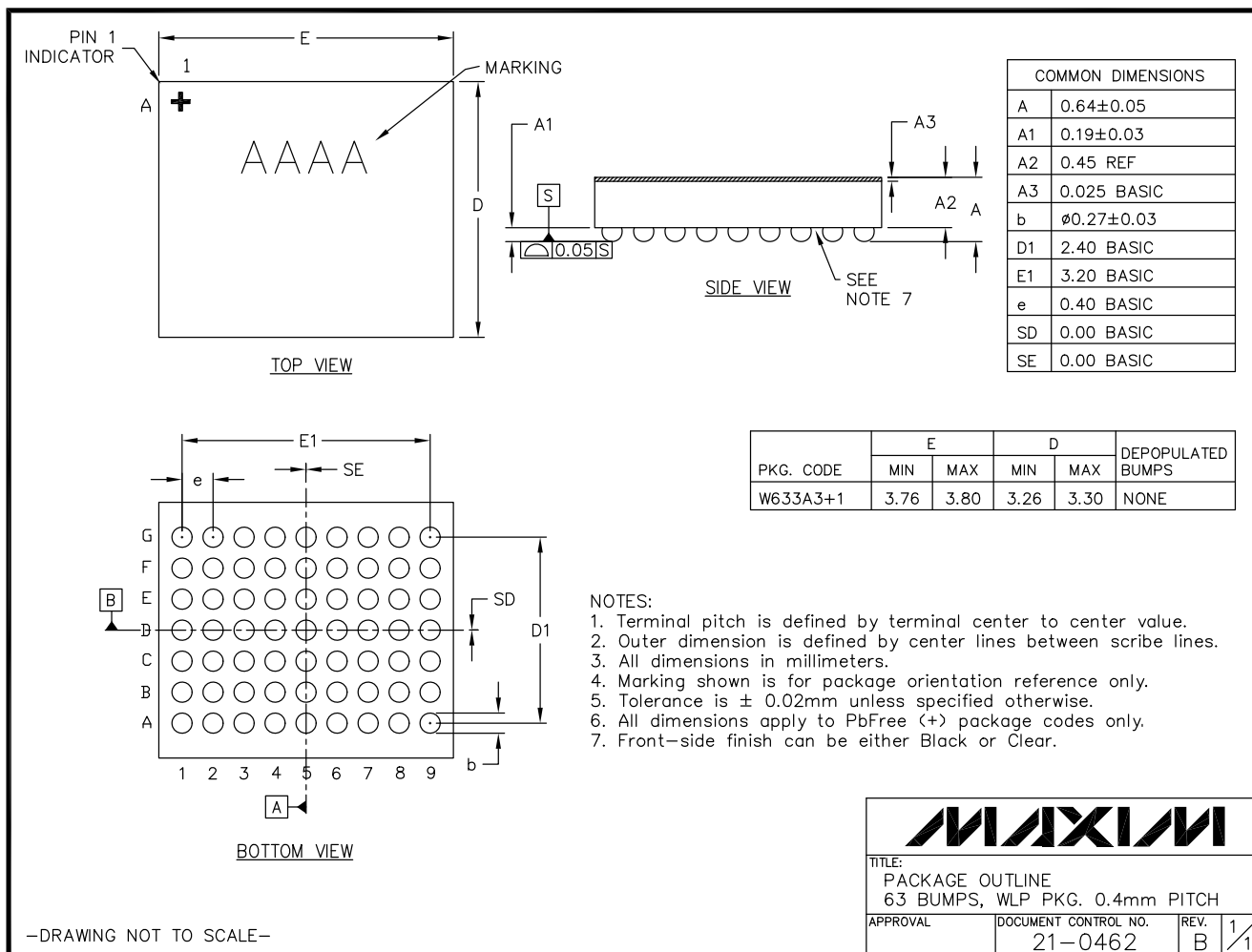
—DRAWING NOT TO SCALE—

			
TITLE: PACKAGE OUTLINE, 32, 44, 48, 56L THIN QFN, 7x7x0.75mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0144	REV. 1	2/2

低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

パッケージ(続き)

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。



低電力、ステレオオーディオコーデック、 FlexSound技術内蔵

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/11	初版	—
1	3/12	「Electrical Characteristics (電气的特性)」表の「DAC to Receiver Amplifier Path」の項に「Output Offset Voltage (出力オフセット電圧)」の行を追加。サイドトーン機能を更新。	13, 14, 77, 78, 114

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ **131**