

# MAX9526

## 低電力、高性能 NTSC/PALビデオデコーダ

### 概要

MAX9526は、NTSCまたはPALのコンポジットビデオ信号を、ITU-R BT.656規格に適合した8ビットまたは10ビットのYCbCrコンポーネントビデオ信号に変換する低電力ビデオデコーダです。MAX9526は、全動作モードで立ち上がり、検出された入力規格のデコード用に自動的に設定を行います。MAX9526は、通常動作時に200mWの電力を、一般にシャットダウンモード時に100 $\mu$ W以下の電力を消費します。

内蔵の10ビット、54MHzのアナログ-デジタル変換器(ADC)は、4倍のオーバーサンプリングで入力をサンプリングします。MAX9526は、ADCのフルスケールレンジを正確に最適化するための、オフセット補正および自動ゲイン制御によるDC再生回路を備えています。

アナログアンチエイリアシングフィルタの内蔵によって、外付けのフィルタが不要になります。MAX9526は、入力の有無に基づく自動信号選択を行う2:1の入力マルチプレクサを備えています。

内蔵のラインロック・フェーズロックループ(PLL)は、サンプルクロックおよびITU準拠の出力を供給するためのラインロック・クロック(LLC)出力を生成します。この他に、PLLは、サンプルクロックおよび出力クロックの供給用として水晶発振器のそれぞれ2xと1xの周波数に設定することができます。

MAX9526は、クロスクロミナンスおよびクロスルミナンスの影響を減少させるための、マルチライン適応型コムフィルタを備えています。

デジタルおよびアナログ両方の電源として、1.8V単一の電源を使用します。広範囲なデジタルプロセッサとの直接接続を可能にするために、デジタル出力は、別個の+1.7V~+3.45Vの電源で動作します。MAX9526は、-40 $^{\circ}$ C~+125 $^{\circ}$ Cの自動車用温度範囲で動作し、28ピンQSOPおよび32ピンTQFN (5mm x 6mm)の両方で提供されます。

### アプリケーション

- 車載エンタテインメントシステム
- 衝突回避システム
- セキュリティ監視/CCTVシステム
- テレビ

### 特長

- ◆ NTSCおよびPALの全標準に対応  
NTSC M、NTSC J、NTSC 4.43、  
PAL B/G/H/I/D、PAL M、PAL N、PAL 60
- ◆ ユーザープログラムが可能な16個のレジスタの設定および操作が容易
- ◆ 自動設定と規格選択
- ◆ 真の10ビットデジタル処理機能付き10ビットの4倍オーバーサンプリング(54Msps) ADC
- ◆ 柔軟性のある出力フォーマット  
TRS組込み10ビットパラレルITU-R BT.656出力  
HSおよびVSを分離した8ビットパラレルITU-R BT.656出力
- ◆ デジタルおよびアナログ電源電圧：+1.8V
- ◆ デジタルI/O電源電圧：+1.7V~+3.45V
- ◆ 自動車用温度範囲(-40 $^{\circ}$ C~+125 $^{\circ}$ C)
- ◆ 低電力モード  
シャットダウン(< 100 $\mu$ W typ)  
入力の有無の連続検出機能を持つスリープモード (< 5mW typ)
- ◆ AGC付き2:1ビデオ入力マルチプレクサ

### 型番

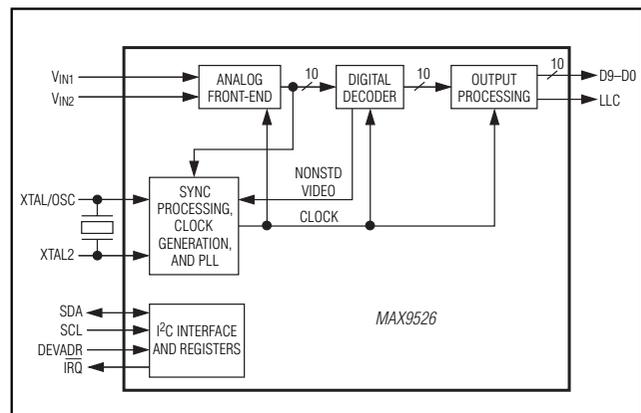
PART	TEMP RANGE	PIN-PACKAGE
MAX9526AEI+	-40 $^{\circ}$ C to +125 $^{\circ}$ C	28 QSOP
MAX9526AEI/V+	-40 $^{\circ}$ C to +125 $^{\circ}$ C	28 QSOP
MAX9526ATJ+	-40 $^{\circ}$ C to +125 $^{\circ}$ C	32 TQFN-EP*
MAX9526ATJ/V+	-40 $^{\circ}$ C to +125 $^{\circ}$ C	32 TQFN-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

/Vは車載認定品を表します。

\*EP = エクスポーズドパッド

### ファンクションダイアグラム



本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ABSOLUTE MAXIMUM RATINGS

AVDD to AGND	-0.3V to +2V	28-Pin QSOP Multilayer Board (derate 12.6mW/°C above +70°C)	1009mW
DVDD to DGND	-0.3V to +2V	32-Pin TQFN Multilayer Board (derate 20.8mW/°C above +70°C)	1663mW
DVDDIO to DGND	-0.3V to +3.6V	Operating Temperature Range	-40°C to +125°C
AGND to DGND	-0.1V to +0.1V	Junction Temperature	+150°C
D9–D0, LLC to DGND	-0.3V to (V <sub>DVDDIO</sub> + 0.3V)	Storage Temperature Range	-65°C to +150°C
V <sub>IN1</sub> , V <sub>IN2</sub> , V <sub>REF</sub> to AGND	-0.3V to (V <sub>AVDD</sub> + 0.3V)	Lead Temperature (soldering, 10s)	+300°C
XTAL/OSC, XTAL2 to AGND	-0.3V to +2V		
IRQ, SDA, SCL, DEVADR to DGND	-0.3V to +3.6V		
Continuous Current In/Out All Pins	±50mA		
Continuous Power Dissipation (T <sub>A</sub> = +70°C)			
28-Pin QSOP Single-Layer Board			
(derate 10.8mW/°C above +70°C)	860mW		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>AVDD</sub> = V<sub>DVDD</sub> = +1.8V, V<sub>DVDDIO</sub> = +3.3V, AGND = DGND = 0, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SUPPLIES</b>						
Analog Supply Voltage Range	AVDD		1.7	1.8	1.9	V
Digital Supply Voltage Range	DVDD		1.7	1.8	1.9	V
Digital I/O Supply Voltage Range	DVDDIO		1.7	3.3	3.45	V
Analog Supply Current (Note 2)	I <sub>AVDD</sub>	Normal operation		42	55	mA
		Sleep mode		2.2	3	
		Shutdown		0.5	100	μA
Digital Supply Current (Note 2)	I <sub>DVDD</sub>	Normal operation		70	110	mA
		Sleep mode		5	1000	
		Shutdown		5	1000	μA
Digital I/O Supply Current (Note 2)	I <sub>DVDDIO</sub>	Normal operation, V <sub>DVDDIO</sub> = 1.8V		3.5		mA
		Normal operation, V <sub>DVDDIO</sub> = 3.3V		6.4		
		Sleep mode, V <sub>DVDDIO</sub> = 3.3V		0.8	10	μA
		Shutdown, V <sub>DVDDIO</sub> = 3.3V		0.8	10	
<b>VIDEO INPUTS, V<sub>REF</sub>, AND CLAMP</b>						
Input Voltage Range		Guaranteed by full-scale conversion range	0.27	0.5	0.83	V <sub>P-P</sub>
Input Resistance	R <sub>IN</sub>			2		MΩ
Input Capacitance	C <sub>IN</sub>			8		pF
Video Input Reference Voltage (V <sub>REF</sub> )	V <sub>REF</sub>			850		mV
Sync-Tip Clamp Level	V <sub>CLMP2</sub>	Activity detect clamp		550		mV
Input Clamping Current		Activity detect clamp, V <sub>VIN</sub> = V <sub>CLMP2</sub> + 150mV		2.0		μA

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = +3.3V$ ,  $AGND = DGND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Sync Slice Comparator Level		Activity detect slicer, referenced to $V_{CLMP}$			50		mV
DC Restore Current DAC Full-Scale Range (Source and Sink) (Note 3)		Slow			3		$\mu A$
		Medium			6		
		Medium-fast (default)			12		
		Fast			24		
DC Restore Sync-Tip Level at $V_{IN1}/V_{IN2}$		$AGCGAIN = 0x0$ , $ADAGC = 1$			0.51		V
		$AGCGAIN = 0xF$ , $ADAGC = 1$			0.72		
<b>ANALOG INPUT FILTER AND ADC (Note 4)</b>							
Cutoff Frequency (3dB)	$f_{3dB}$				13		MHz
Passband Flatness		$f < 5MHz$ , $V_{VIN} = 0.65V_{P-P}$ , reference level measured at 1MHz			0.25		dB
Stopband Cutoff	$f_{SB}$				53		MHz
Stopband Attenuation		$f > f_{SB}$ , $V_{VIN} = 0.65V_{P-P}$ , reference level measured at 1MHz			36		dB
Full-Scale Conversion Range		AGC disabled, gain programmed using I <sup>2</sup> C ( $ADAGC = 1$ ), referenced to $V_{IN1}/V_{IN2}$	$AGCGAIN = 0x0$	670		830	$mV_{P-P}$
			$AGCGAIN = 0xF$	270		330	
AGC Gain Stepsize					0.167		V/V
Differential Nonlinearity	DNL	$AGCGAIN = 0x0$ , $ADAGC = 1$			$\pm 0.5$		LSB
Integral Nonlinearity	INL	$AGCGAIN = 0x0$ , $ADAGC = 1$			$\pm 1$		LSB
Signal-to-Noise Ratio	SNR	Includes filter + ADC + digital anti-aliasing filter, input is -1dBFS; $ADAGC = 1$ , $AGCGAIN[3:0] = 0x0$ , defined as ratio of RMS signal to RMS noise in dB			58.8		dB
Power-Supply Rejection	PSR	$ADAGC = 1$ $AGCGAIN[3:0] = 0x0$ input level = 1MHz sine wave at -2dBFS	$1.7V < V_{AVDD} < 1.9V$ , $1.7V < V_{DVDD} < 1.9V$			-40	dBFS
			$V_{AVDD} = 1.8V + 100mV_{P-P}$ at 500kHz			-67	
			$V_{AVDD} = 1.8V + 100mV_{P-P}$ at 3.58MHz			-58	
			$V_{AVDD} = 1.8V + 100mV_{P-P}$ at 4.43MHz			-57	
Differential Phase	DP	5-step modulated staircase, $f = 3.58MHz$ or $4.43MHz$			1.0		degrees

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = +3.3V$ ,  $AGND = DGND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Gain	DG	5-step modulated staircase, $f = 3.58MHz$ or $4.43MHz$		1		%
2T Pulse Response		$2T = 200ns$ or $250ns$		0.4		%
2T Bar Response		Bar time is $18\mu s$ , the beginning 2.5% and ending 2.5% of the bar time are ignored, $2T = 200ns$ or $250ns$		0.2		%
2T Pulse to Bar Rating		Bar time is $18\mu s$ , the beginning 2.5% and ending 2.5% of the bar time are ignored, $2T = 200ns$ or $250ns$		0.2		%
Group Delay Distortion		$100kHz < f < 5MHz$		$\pm 1$		ns
<b>DECODED LUMINANCE AND CHROMINANCE CHANNELS (Note 5)</b>						
Chroma Bandwidth	BW <sub>C</sub>			1		MHz
Luma Bandwidth	BW <sub>L</sub>			5.5		MHz
Luma Nonlinearity		5-step staircase		1		%
Luma Line Time Distortion (H-Tilt)	LD	Measured at the output regarding active video		0.5		%
Luma Field Time Distortion (V-Tilt)	FD	Measured at the output regarding active video		0.1		%
<b>DIGITAL COMPOSITE DECODER</b>						
Lock Time				3		frames
Horizontal Line Time Static Variation			-5		+5	%
Maximum Horizontal Line Time Jitter (Async Mode)				5		$\mu s$
Maximum Horizontal Line Time Jitter (LLC mode)				160		ns
Line-Locked Clock Frequency	$f_{LLC}$	Varies with input line rate		27		MHz
Minimum Peak Signal to RMS Noise		Proper composite decoder operation		23		dB
<b>PLL</b>						
Async Mode Jitter		Ideal input clock		20		psRMS
Line-Locked PLL Loop Bandwidth Set by Register 0x0E[2:0]		000		180		Hz
		001		250		
		010		375		
		011 (default)		500		
		100		750		
		101		1000		
		110		1500		
		111		2000		

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = +3.3V$ ,  $AGND = DGND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CRYSTAL OSCILLATOR</b>						
Frequency		Fundamental mode only		27.000		MHz
XTAL/OSC, XTAL2 Input Capacitance	$C_{XTAL}$ , $C_{XTAL2}$			4		pF
Maximum Load Capacitor	$C_{L1}$ , $C_{L2}$			45		pF
Frequency Accuracy				$\pm 50$		ppm
XTAL/OSC Logic-Low Threshold	$V_{IL}$	XTAL oscillator disabled, clock input mode ( $XTAL\_DIS = 1$ )			$0.3 \times V_{DVDD}$	V
XTAL/OSC Logic-High Threshold	$V_{IH}$	XTAL oscillator disabled, clock input mode ( $XTAL\_DIS = 1$ )	$0.7 \times V_{DVDD}$			V
XTAL/OSC Input Leakage Current	$I_{IH}$ , $I_{IL}$	XTAL oscillator disabled, clock input mode ( $XTAL\_DIS = 1$ )	-10	$\pm 0.01$	+10	$\mu A$
Maximum Input Clock Jitter				500		pSP-P
<b>I<sup>2</sup>C SERIAL INTERFACE (Note 6)</b>						
Serial-Clock Frequency	$f_{SCL}$		0		400	kHz
Bus Free Time Between STOP and START Conditions	$t_{BUF}$		1.3			$\mu s$
Hold Time (REPEATED) START Condition	$t_{HD}$ , STA		0.6			$\mu s$
SCL Pulse-Width Low	$t_{LOW}$		1.3			$\mu s$
SCL Pulse-Width High	$t_{HIGH}$		0.6			$\mu s$
Setup Time for a REPEATED START Condition	$t_{SU}$ , STA		0.6			$\mu s$
Data Hold Time	$t_{HD}$ , DAT		0		900	ns
Data Setup Time	$t_{SU}$ , DAT		100			ns
SDA and SCL Receiving Rise Time (Note 7)	$t_R$		$20 + 0.1C_B$		300	ns
SDA and SCL Receiving Fall Time (Note 7)	$t_F$		$20 + 0.1C_B$		300	ns
SDA Transmitting Fall Time (Note 7)	$t_F$	$V_{DVDDIO} = 3.3V$	$20 + 0.1C_B$		250	ns
		$V_{DVDDIO} = 1.8V$			150	
Setup Time for STOP Condition	$t_{SU}$ , STO		0.6			$\mu s$
Bus Capacitance	$C_B$				400	pF
Pulse Width of Suppressed Spike	$t_{SP}$		0		50	ns
<b>HIGH-SPEED LOGIC OUTPUTS (D9–D0, LLC)</b>						
Output Low Voltage	$V_{OL}$	$I_{OL} = 5mA$ , $V_{DVDDIO} = 3.3V$			0.4	V
		$I_{OL} = 2mA$ , $V_{DVDDIO} = 1.7V$			0.4	

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = +3.3V$ ,  $AGND = DGND = 0$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output High Voltage	$V_{OH}$	$I_{OH} = 5mA$ , $V_{DVDDIO} = 3.3V$	$V_{DVDDIO} \times 0.8V$			V
		$I_{OH} = 2mA$ , $V_{DVDDIO} = 1.7V$	$V_{DVDDIO} - 0.4V$			
Data to LLC Rising Edge Hold Time	$t_{HD}$		13.5	18.5	23.5	ns
Data to LLC Rising Edge Setup Time	$t_{SU}$		13.5	18.5	23.5	ns
Rise and Fall Time	$t_R, t_F$	$C_L = 10pF$ , $V_{DVDDIO} = 1.8V$	3			ns
		$C_L = 25pF$ , $V_{DVDDIO} = 3.3V$	3			
Output Leakage	$I_{OH}, I_{OL}$	Outputs in high-impedance mode	-10	$\pm 0.01$	+10	$\mu A$
<b>OPEN-DRAIN OUTPUTS (SDA and <math>\overline{IRQ}</math>)</b>						
Output Low Voltage	$V_{OL}$	$I_{OL} = 3mA$ , $1.7V < V_{DVDDIO} < 2V$	$0.2 \times V_{DVDDIO}$			V
		$I_{OL} = 3mA$ , $2V < V_{DVDDIO} < 3.3V$	0.4			
Output High Current	$I_{OH}$	$V_{OUT} = 3.3V$	$\pm 0.01$	10		$\mu A$
<b>LOGIC INPUTS (SDA, SCL, DEVADR)</b>						
Logic-Low Threshold	$V_{IL}$		$0.3 \times V_{DVDDIO}$			V
Logic-High Threshold	$V_{IH}$		$0.7 \times V_{DVDDIO}$			V
Input Leakage Current	$I_{IH}, I_{IL}$		-10	$\pm 0.01$	+10	$\mu A$
SDA/SCL Off Leakage Current	$I_{IH}$	$AVDD = DVDD = DVDDIO = 0V$	-10	$\pm 0.01$	+10	$\mu A$

**Note 1:** All devices are 100% production tested at  $T_A = +25^\circ C$ . Specifications over temperature limits are guaranteed by design.

**Note 2:** NTSC 75% color bar signal applied to video input.  $C_L = 10pF$  on D9–D0 and LLC. External XTAL.

**Note 3:** Internal test only. Digital core controls sync level adjustment current to adjust offset in analog signal path. Adjust level is based on value of sync level as converted by ADC. Digital core switches sourcing or sinking current into  $V_{IN1}$  or  $V_{IN2}$  nodes. Speed of correction (value of current) is controlled through I<sup>2</sup>C.

**Note 4:** Filter and ADC performance measured using ADC outputs prior to composite digital demodulation (decoding).

**Note 5:** Decoded luminance and chrominance specifications measured using entire signal path from video input to digital component outputs.

**Note 6:**  $V_{DVDDIO} = 1.8V$  and  $3.3V$ .

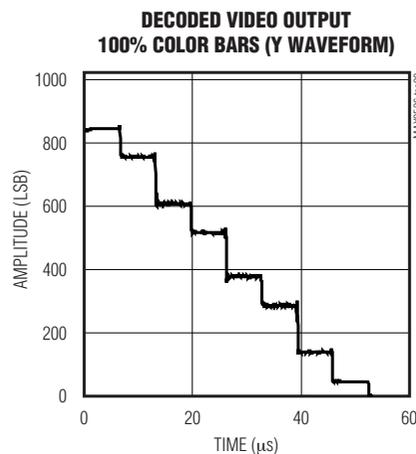
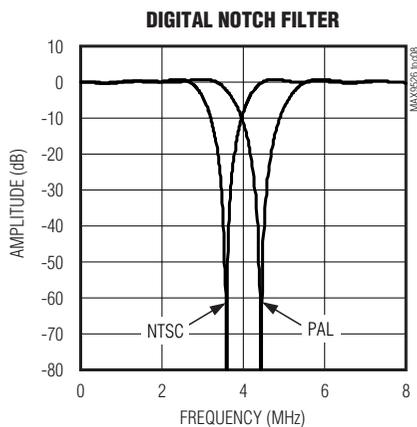
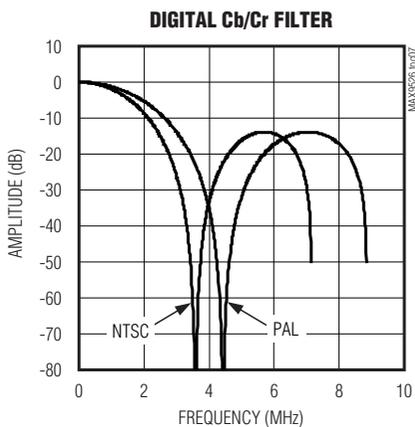
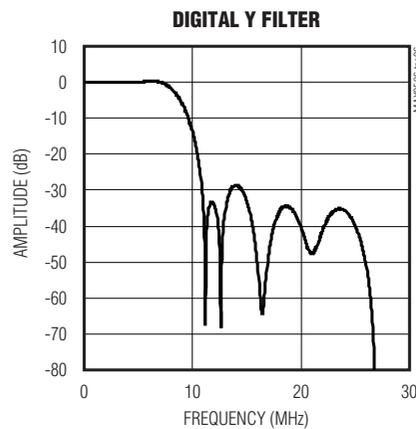
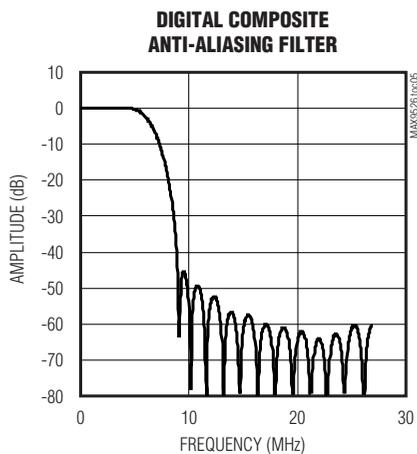
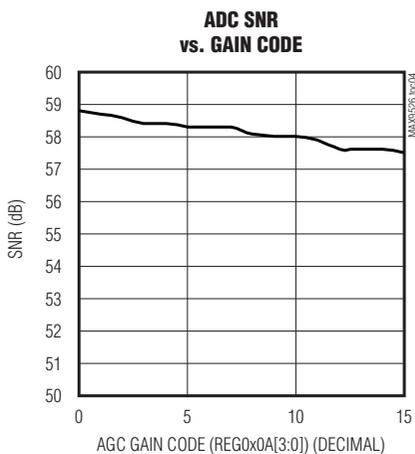
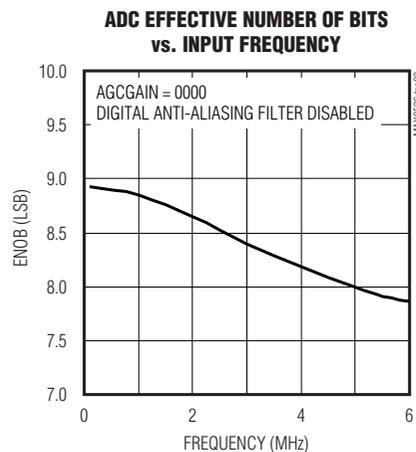
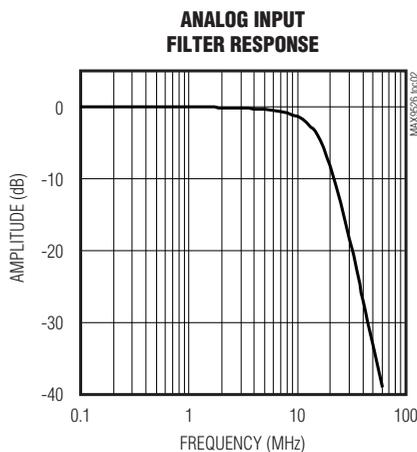
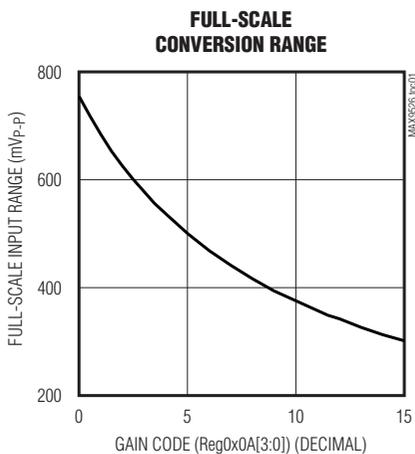
**Note 7:**  $C_B$  is in pF.

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 標準動作特性

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = 3.3V$ ,  $V_{AGND} = V_{DGND} = 0V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

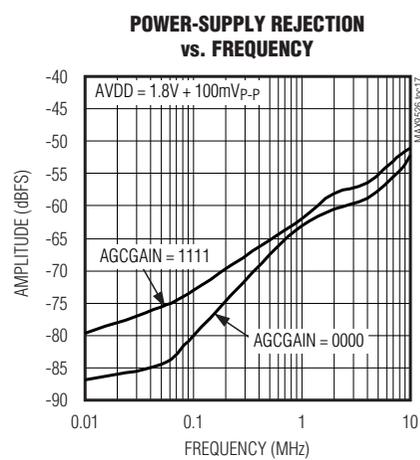
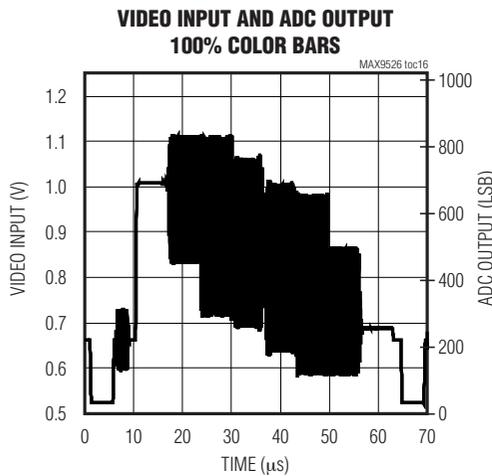
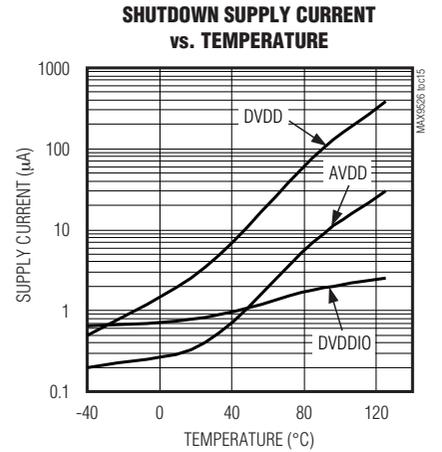
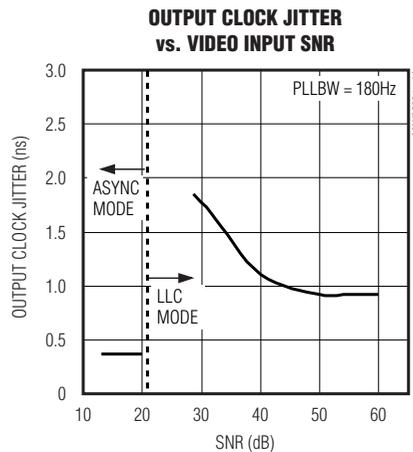
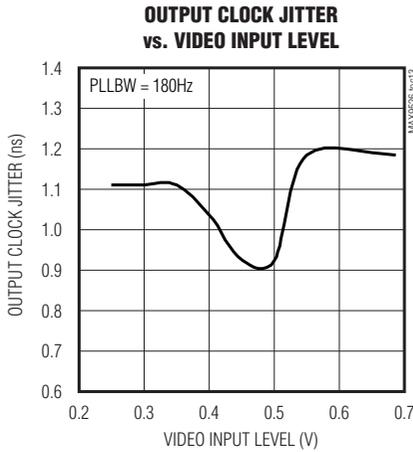
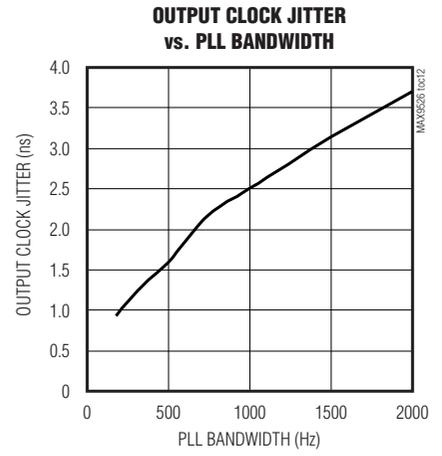
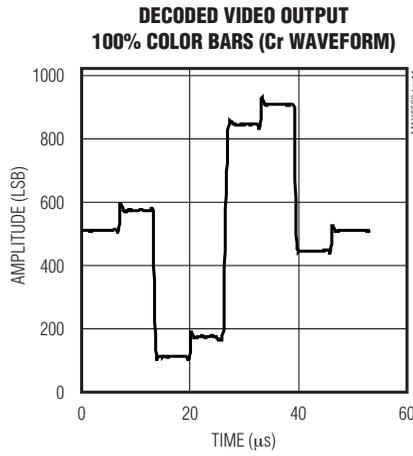
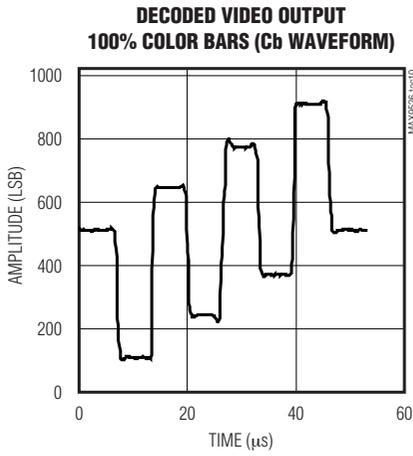


# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 標準動作特性(続き)

( $V_{AVDD} = V_{DVDD} = +1.8V$ ,  $V_{DVDDIO} = 3.3V$ ,  $V_{AGND} = V_{DGND} = 0V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)



# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 端子説明

端子		名称	機能
QSOP	TQFN-EP		
1	30	V <sub>IN1</sub>	シングルエンドのコンポジットビデオ入力1。0.1μFのコンデンサで入力ビデオ信号をAC結合します。
2	31	V <sub>REF</sub>	ビデオリファレンスバイパス。0.1μFのコンデンサによって、デバイスの可能な限り近くでV <sub>REF</sub> をAGNDへバイパスしてください。
3	32	V <sub>IN2</sub>	シングルエンドのコンポジットビデオ入力2。0.1μFのコンデンサで入力ビデオ信号をAC結合します。
4	1	AGND	アナロググランド
5	2	AVDD	アナログ電源入力。+1.8Vの電源に接続してください。0.1μFのコンデンサでAVDDをAGNDへバイパスしてください。
6	3	XTAL2	外付け水晶。XTAL2を水晶発振器の片方の端子に接続します。外部クロックをXTAL/OSCに供給する場合、XTAL2を接地します。
7	4	XTAL/OSC	外付け水晶/発振器。XTAL/OSCを、水晶の片方または外部クロック供給源の端子に接続します。XTAL2を水晶発振器のもう片方の端子に接続します。
8	5	I.C.	内部接続。DGNDに接続します。
9	6	DEVADR	I <sup>2</sup> Cデバイスアドレス選択入力。選択可能な3つのI <sup>2</sup> Cスレーブアドレスから1つを選択するために、DVDD、DGND、またはSDAに接続します(表5を参照)。
10, 22	7, 21	DVDD	デジタル電源入力。+1.8Vの電源に接続します。10μFのコンデンサと並列接続した0.1μFのコンデンサでDVDDをDGNDへバイパスしてください。
11, 23	8, 22	DGND	デジタルグランド。両方のDGND端子を接続してください。
12	10	SDA	I <sup>2</sup> C互換シリアルデータ入出力。最大の出力振幅を得るために、10kΩのプルアップ抵抗をSDAからDVDDIOへ接続します。
13	11	SCL	I <sup>2</sup> C互換シリアルクロック入力。最大の出力振幅を得るために、10kΩのプルアップ抵抗をSCLからDVDDIOへ接続します。
14	12	$\overline{\text{IRQ}}$	ハードウェア割り込みオープンドレイン出力。マスクされていない場合、ステータスレジスタ内のビットの状態が変化した時、 $\overline{\text{IRQ}}$ はローに引き下げられます。対応するステータスレジスタの読み出しによって $\overline{\text{IRQ}}$ がクリアされるまで、繰り返し発生する障害状態は、 $\overline{\text{IRQ}}$ に影響を与えません。最大の出力振幅を得るために、10kΩのプルアップ抵抗を $\overline{\text{IRQ}}$ からDVDDIOへ接続します。
15–20, 25–28	13–16, 18, 19, 24, 26, 27, 28	D0–D9	デジタルビデオ出力のビット0からビット9までの10ビットコンポーネントデジタルビデオ出力。出力フォーマットは、4:2:2の同期組込みの10ビットのITU-R BT.656です。D1とD0は、Clock and Outputレジスタ0x0Dを使用して、水平、垂直の同期出力として設定することができます。D0はLSBです。
21	20	LLC	27MHzのラインロック・クロック出力。ラインロックモードによって、LLCクロックは受信ビデオの水平レートに応じて変化します。非同期モード中、LLCクロックは、水晶発振器に同期しています(表1を参照)。
24	23	DVDDIO	デジタルI/O電源入力。この入力、+1.7V~+3.45Vの電圧を許容します。0.1μFのコンデンサでDGNDにバイパスをしてください。
—	9, 17, 25, 29	N.C.	接続なし。内部接続されていません。
—	—	EP	エクスポーズパッド。EPは内部でGNDに接続されています。EPをGNDへ接続してください。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 詳細

MAX9526は、NTSCおよびPALの全モードのコンポジットビデオ信号を、ITU-R BT.656規格互換の10ビットのYCbCrコンポーネントビデオに変換できる使用が容易な低電力のビデオデコーダです。このデバイスは、全動作モードで立ち上がり、標準NTSCまたは標準PALに自動的に設定されます。

内蔵の10ビット、54MHzのADCは、ITU-R BT.601で規定された4倍のサンプリングレートでサンプリングを行います。MAX9526のアナログフロントエンドは、DC再生回路、自動ゲイン制御、および自動オフセット補正を備えています。これらのブロックは、正確にADCのフルスケールレンジを最適化するためにデジタル処理で制御されます。アナログアンチエイリアシングフィルタを内蔵することによって、外付けのフィルタが不要になります。MAX9526は、入力の有無に基づく自動信号選択機能を持つ2:1の入力マルチプレクサを備えています。

システムクロックは、外付けの27MHzの水晶および内蔵発振器によって生成されます。任意で、27MHzまたは54MHzの外部クロックを、XTAL/OSC入力に接続することができます。内蔵のラインロック・デジタルPLLは、水平走査線長の最大±5%の変動までの入力ビデオ信号に同期する54MHzのADCサンプルクロックを生成するために使用されます。デジタル出力データおよびLLCクロックは、ビデオ入力にラインロックして、標準のITU出力を供給します。また、PLLは、水晶発振器または外部クロックを使用して、非同期に入力をサンプリングするように設定することができます。

MAX9526は、ルミナンス(Y)とクロミナンス(C)ビデオコンポーネントを分離し、クロスクロミナンスおよびクロスルミナンスの影響を減少させるための、5ラインの適応型コムフィルタを提供します。MAX9526は、DVDプレーヤ、ビデオカメラ、ナビゲーションシステム、およびビデオデッキを含む標準的なコンポジットビデオ信号源の全形式において動作可能です。

このデバイスは、動作可能な全ビデオデコーダモードで立ち上がります。I<sup>2</sup>Cレジスタインタフェースは、ステータスを監視し、輝度、コントラスト、飽和、および色相を含む、多くのデコーダ機能のプログラムを可能にします。10ビットの出力は、分離した水平および垂直同期付きの8ビットのデータを供給するように再構成することができます。

## アナログフロントエンド(AFE)

MAX9526のAFEは、DC再生、自動ゲイン制御(AGC)、アナログアンチエイリアシングフィルタ(LPF)、入力の有無検出、チャンネル選択、およびアナログ-デジタル変換機能を実行します。AFEのブロック図を、図1に示します。

## 入力の有無検出および自動チャンネル選択

MAX9526は、両方のビデオ入力、 $V_{IN1}$ 、および $V_{IN2}$ の信号入力を連続的に監視します。選択されたチャンネルの信号入力は、ADC出力を利用して検出されます。選択されていないチャンネルの、アナログシンクチップクランプおよび同期スライサは、50mVより大きな同期信号振幅を検出するために使用されます。スリープモード時、AFEの未使用部がシャットダウン状態にある間、アナログシンクチップクランプおよび同期スライサは、両方の入力における信号入力を検出するために使用されます。

信号入力検出回路の出力は、Statusレジスタ0x00を通して知ることができます。どちらのビデオ入力を処理するかについては、レジスタ0x09中のINSELを設定することによって、手動で選択する必要があります。

MAX9526は、レジスタ0x09のAUTOSEL = 1を設定することによって、信号入力の存在を示しているビデオ入力を自動的に選択するように任意に構成することができます。入力が電源立ち上げ時に $V_{IN1}$ と $V_{IN2}$ の両方に存在する時、または両方の入力チャンネルに入力がない時、 $V_{IN1}$ が選択されます。 $V_{IN2}$ に入力あり、 $V_{IN1}$ に入力がない時、 $V_{IN2}$ が選択されます。入力の存在によって自動的に $V_{IN2}$ が選択された場合、 $V_{IN2}$ の入力がなくなった時のみ、入力は $V_{IN1}$ へ切り換えられます。

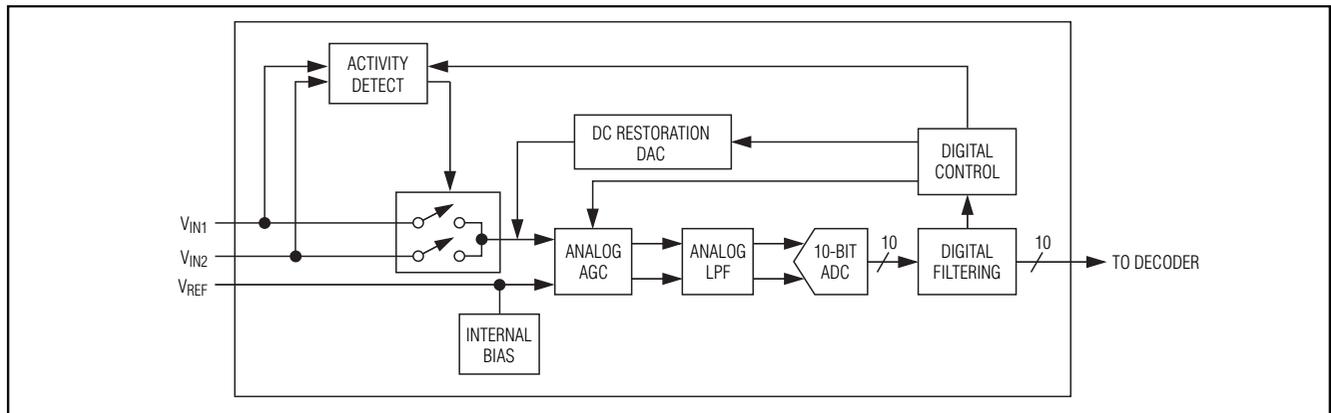


図1. アナログフロントエンド

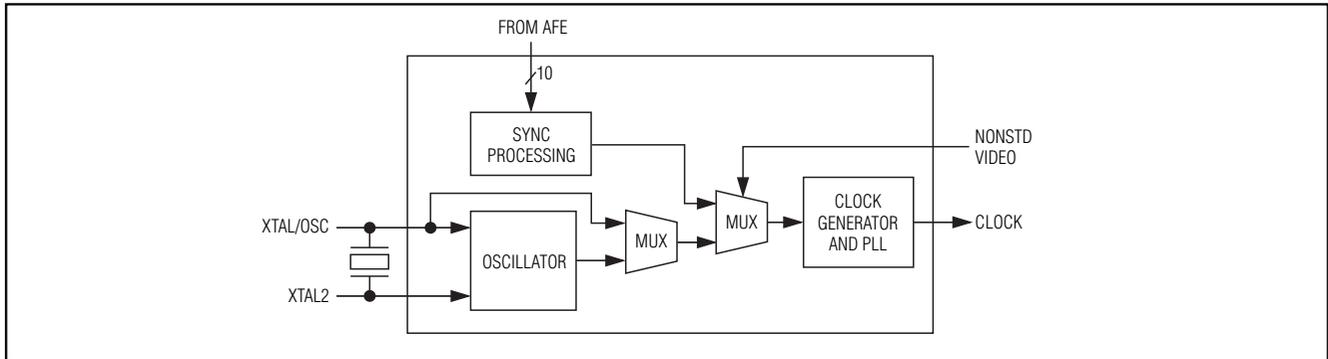


図2. 同期処理、クロック生成、およびPLL

## V<sub>REF</sub>の生成

差動信号経路は、ノイズ結合の影響を最小化する目的で、アナログビデオ信号の処理に使用されます。850mVのDCリファレンス(V<sub>REF</sub>)は、内部で生成され、外付けの0.1μFのコンデンサでデカップリングされます。個別の信号経路とビデオバッファは、選択されたビデオ入力とビデオ基準電圧の両方の用途に使用されます。この信号は、アナログAGC回路によって完全な差動信号に変換されます。

## DC再生DAC

ビデオ入力のV<sub>IN1</sub>とV<sub>IN2</sub>は、0.1μFのコンデンサでMAX9526にAC結合されます。DC再生回路は、選択されたビデオ入力において電流をシンクまたはソースすることによってADC出力の同期レベルを設定します。ADC出力のデジタル制御は、平均同期レベルを監視するために使用されます。DCレベルを再生するためにAC結合入力への電流をシンクまたはソースする電流DACによって使用される誤差信号は、デジタル制御ブロックで生成されます。また、DC再生回路は、アナログ信号接続中におけるオフセットを補正し、ADC出力の同期レベルをコード32 (10進)に設定します。

## アナログ自動ゲイン制御(アナログAGC)

MAX9526は、自動ゲイン制御(AGC)のためのデジタル制御利得を持つアナログ可変利得増幅器を内蔵しています。利得を制御するために、AGCは、ADC出力の同期信号の振幅を使用します。コピープロテクトがない信号について、同期信号の振幅がADC出力において208 (10進)のコードになるまで、AGCは利得を調整します。コピープロテクト付きの入力について、AGCは、アクティブな信号ライン上の減衰した同期信号の振幅を自動的に補正します。

アナログAGCループは、ディセーブルすることができ、利得は、Gain Controlレジスタ0x0Aを使用して、16値より1つの値に手動で設定します。アナログ利得の範囲は、3.5dB~12dBです。

## アナログローパスフィルタ(LPF)

MAX9526は、3dB帯域幅13MHz (typ)、5MHzまで0.25dB (typ)以内の通過帯域平坦性を持つ高性能アンチエイリアシングアナログローパスフィルタを内蔵しています。これによって、ビデオ入力における外付けのフィルタが不要になります。フィルタは、標準で53MHz (ADCのサンプルレートの1MHz下)において36dBの減衰量を備えています。

## 54MpsのビデオADC

10ビット、54MpsのADCは、デジタル信号処理(コンポジットビデオの復調)を行うためにフィルタ後のアナログコンポジットビデオ信号を変換します。

## デジタルフィルタリング

ADC出力のデジタルフィルタリングは、帯域外の全ての干渉を除去し、デコード前の信号対雑音比を高めめます。5.5MHzまでの1dBの通過帯域平坦性、および9MHzを超える周波数について最小で45dBの阻止帯域減衰量を持つ、デジタルアンチエイリアシングローパスフィルタを信号経路に内蔵しています。

## 同期処理、クロック生成、およびPLL

同期処理、クロック生成、およびPLLは、タイミング情報を受信ビデオから抽出し、このチップの残りの部分用のクロックを生成します。この部分のブロック図を、図2に示します。

## 水晶発振器/クロックの入力

MAX9526は、外付けの27MHzの水晶の使用のために最適化された低ジッタの水晶発振回路を内蔵しています。また、MAX9526は、27MHzまたは54MHzのCMOSロジックレベルの外部クロックを許容します。水晶の代わりに外部クロック(27MHzまたは54MHz)を使用するためには、レジスタ0x0DのXTAL\_DIS = 1を設定します。さらに、27MHzのクロックの代わりに54MHzの外部クロックを使用するためには、レジスタ0x0D中のSEL\_54MHzを1に設定する必要があります。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 同期処理

同期処理ブロックは同期情報を抽出し、525ライン、または625ライン入力を自動的に検出します。

### クロックジェネレータおよびPLL

PLLは、ラインロック・クロック(LLC)モード、または非同期モードのどちらかで動作します。モードの選択は、MAX9526によって自動的に制御され、また、必要に応じて、PLL Controlレジスタ0x0E中のLLC\_MODEビットで上書きすることができます。

LLCモードにおいて、ハイブリッドアナログ/デジタルPLLは、低ジッタのラインロック・クロックを生成します。54MHzのサンプルクロックは、入力ビデオに同期しています。また、LLCクロック出力は、入力ビデオに同期しています。ITU出力は、正確な1ラインあたりのサンプル数および1フィールドあたりのライン数を持ちます。PLLは、最大160nsのピークジッタを持つ信号までにロックするように設計されています。ジッタが160nsのピークを越えている場合、ジッタが改善するまで、PLLは惰性発振します。ジッタが連続して160nsのピークを越えている場合、PLLはリロックし、レジスタ0x00中のHLOCKステータスビットは0に設定されます。

LLCモードでは、PLL Controlレジスタ0x0E中のPLLBWビットを使用して、PLLの帯域幅を、任意で、180Hz~2000Hzの間の8個の値の中からの1個にプログラムすることができます。PLLの帯域幅のデフォルト値は、500Hzです。

非同期モードでは、水晶周波数の2倍のサンプルクロック周波数が生成され、ビデオ信号は、2x水晶クロックによって非同期でサンプリングされます。MAX9526は、アーチファクトを取り除くため、非同期サンプリングによって取り込まれたタイミングおよび位相誤差の補正用に、適応型多相フィルタを使用します。LLC出力は、54MHzのサンプリングクロックを2分周して生成されます。

非同期モードにおけるITU出力には、正確な1フレームあたりのライン数、および各フィールドの最初のライン上を除いた正確な1ラインあたりのピクセル数があります。受信ビデオ信号と水晶発信器間のタイミング誤差を補償するために、タイミング補正ブロックはこのラインを使用します。結果として、各フィールドの最初のラインは、受信ビデオ信号とローカル水晶の周波数差の大小に依存して数ピクセル長く、または短くなります。例えば、受信ビデオ信号と水晶発信器の100ppmの周波数差によって、各フィールドの最初のラインは、約23ピクセルが余分に、または少なくなります。一番目のラインは、垂直帰線期間内にあり、有効なビデオまたは他のタイプのデータを含んでいないため、ライン長の誤差は、ほとんどのアプリケーションにおいて問題にはなりません。

PLLを、自動的に非同期モードに切り換えさせる入力の形式は、規格外の搬送波周波数を持つビデオ入力です。

標準的なビデオについて、搬送波周波数は、常に水平周波数の正確な倍数となります。代表的な規格外の入力は、キャリアが水平周波数の正確な倍数ではないビデオカセットレコーダです。デコーダからの規格外検出ステータス(NONSTD)は、規格外の搬送波周波数が検出された時に自動的にPLLを非同期モードに切り換えるために使用されます。NONSTDステータスは、Statusレジスタ0x00で監視されます。

### クロックモード

自動構成に加えて、MAX9526は、チップのクロック入力および出力の設定において、最大の柔軟性を持たせるために手動で設定することもできます。表1に、サポートされるクロックモードを要約します。

### デジタルコンポジットデコード

図3は、デジタルコンポジットデコーダのブロック図を示しています。このブロックは、デジタル化されたコンポジットビデオ信号をデジタルコンポーネントビデオに変換します。

### 同期レベル補正および同期抽出

同期抽出機能によって、原同期信号がビデオから抽出され、抽出された同期情報は同期プロセッサに送られます。AFEからの同期レベルは、10ビットスケールのコードの32 (10進)で、ブランキングレベルは、同期レベルの約208 (10進)のコードとなります。同期スライサのデフォルトのスレッシュホールドは、10進コードの128の同期パルスのほぼ中間に設定されます。同期スライスレベルは、レジスタ0x0F中のスライスビットを使用し、任意に調整することができます。

同期レベル補正ブロックは、レジスタ0x09によって有効にすることができるオプションのデジタルクランプを備えています。デジタルクランプを有効にすることで、同期レベルはコード0 (10進)に設定され、より高い入力信号の周波数トラッキングを得ることができます。これに応じて、デジタルクランプが有効な場合に同等のノイズ除去を提供するために、レジスタ0x0F中の水平同期スライスレベルを、調整する必要があります。

### 同期プロセッサおよびアナログコピー保護検出

同期プロセッサは、水平同期と垂直同期信号を抽出します。フィールドパルスとバーストゲートパルスは、それぞれVSYNCとHSYNCを元に生成されます。同期処理ブロックは、ブラックレベル制御およびコンポジットAGCの同期レベルおよび振幅を測定するための同期タイミングを備えています。また、同期プロセッサは、受信ビデオ信号規格(525ラインのNTSCおよび625ラインのPAL)を検出します。ビデオ規格情報は、Statusレジスタ0x01から得ることができます。検出されたビデオ規格は、自動的にデコーダを設定するために使用されます。MAX9526は、自動的にNTSC-M (標準NTSC)

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

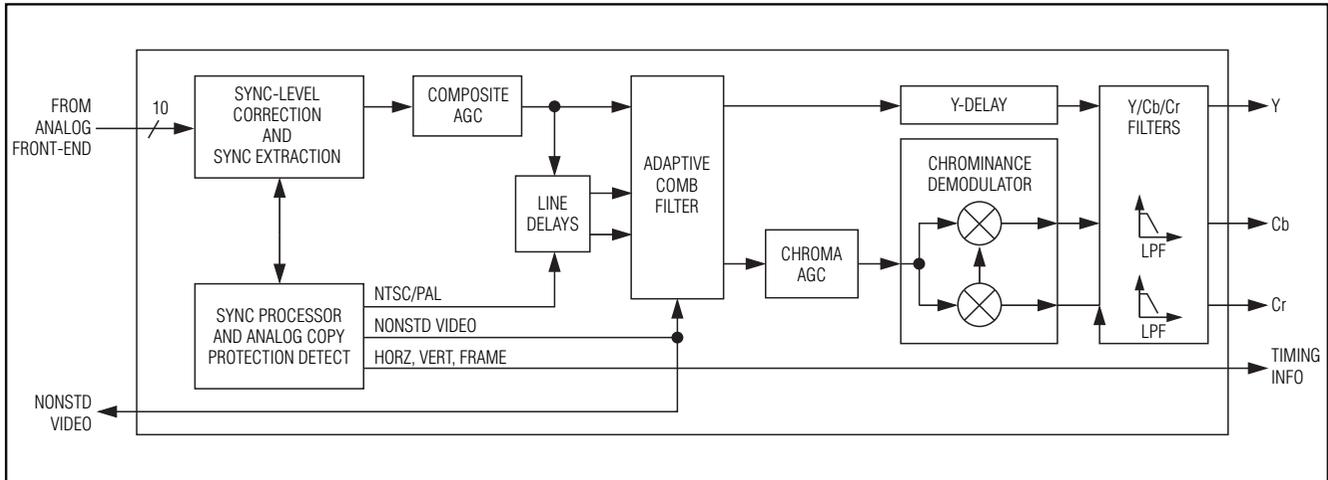


図3. デジタルコンポジットデコーディングのファンクションダイアグラム

とPALのB/G/H/I/D (標準PAL)標準を検出します。手動でのプログラミングについて、「Standard Select, Shutdown, and Controlレジスタ」の項を参照してください。

また、同期プロセッサブロックは、アナログコピープロテクトを検出します。抽出されたコピープロテクト情報は、Statusレジスタ0x01中に存在します。

## コンポジット自動ゲイン制御(AGC)

ADCの最大スケールレンジを最適化するアナログAGCに加えて、より正確にビデオ振幅を設定するためにデジタルAGCを使用します。利得を設定するために、コンポジットAGCは同期信号の振幅を使用します。

## 適応型コムフィルタ

MAX9526は、単一のコンポジットチャネルからルミナンスとクロミナンスのコンポーネントを分離するために、5ラインの適応型コムフィルタを使用します。適応アルゴリズムは、設定の必要がありません。適応型コムフィルタは、隣接するライン間のビデオデータの関係と内容に基づいて調節されます。このフィルタは、コムフィルタの構造を5ラインフィルタとノッチフィルタ間で自動的に適応します。

## クロミナンス信号復調器

ルミナンス(Y)とクロミナンス(C)のコンポーネントの分離後、復調器を通過する際のCコンポーネントの遅延を補うために、Yコンポーネントはディレイラインを通過します。クロミナンス信号の経路には、信号復調器の前にAGCが含まれています。利得を設定するために、クロミナンスAGCは、カラーバーストの振幅を使用します。クロミナンスは、バーストにロックされている副搬送波信号を使用して復調されます。復調されたクロミナンス信号のCbとCrは、復調器の不要成分を取り除くためにローパスフィルタによってフィルタされます。

## 出力フォーマット

図4は、MAX9526の出力フォーマット部を示しています。

## 映像のエンハンスおよび色補正

MAX9526は、0x05~0x08のレジスタで、コントラスト、輝度、色相、および飽和の手動制御を備えています。

## タイムベース補正

MAX9526は、ビデオデッキなどの信号源からの不安定で規格外のビデオのデコーダによる適切な処理を可能にするための、タイムベース補正(TBC)を備えています。タイムベース補正は、有効ラインあたりの適正なピクセル数が存在することを保証するために、サンプリングジッタの効果を最小化します。

## テストパターンのインサート

MAX9526は、ビデオ入力がない場合、自動的にブラックスクリーンを出力します。また、テストパターンは、レジスタ0x0Cを通してブルースクリーン、75%のカラーバー、または100%のカラーバーを供給することができます。

## タイミングリファレンス信号の挿入およびITU-R BT.656エンコーディング

MAX9526は、ITU-R BT.656規格に準拠した組込みタイミングリファレンス信号によって、Y、Cr、およびCb信号を多重化します。

SAVおよびEAVシーケンスは、ITU-R BT.656フォーマット中のアクティブビデオ時間を示すためにデータストリームに挿入されます。出力タイミング挿入を、図5に図示します。SAVとEAVシーケンスを、表2に示します。

## 出力タイミング

出力セットアップおよびホールドの図を、図6に示します。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

表1. MAX9526のクロックモードの要約

SEL_54MHz REGISTER 0x0D B4	XTAL_DIS REGISTER 0x0D B3	PLLBYB REGISTER 0x0E B3	LLC_MODE REGISTER 0x0E B5-4	CLOCK MODE DESCRIPTION
0	0	0	00	Input clock = 27MHz crystal. Sample clock = line locked or async (autodetected). This is the default power-up mode for the MAX9526.
0	0	0	10	Input clock = 27MHz crystal. Sample clock = line locked (forced on).
0	0	0	11	Input clock = 27MHz crystal. Sample clock = 2x input clock.
0	X	1	XX	Invalid modes. The PLL can only be bypassed if the input clock is 54MHz.
0	1	0	00	Input clock = 27MHz external clock. Sample clock = line locked or async (autodetected).
0	1	0	10	Input clock = 27MHz external clock. Sample clock = line locked (forced on).
0	1	0	11	Input clock = 27MHz external clock. Sample clock = 2x input clock.
1	0	X	XX	Invalid mode. 54MHz crystal not supported.
1	1	0	00	Input clock = 54MHz external clock. Sample clock = line locked or async (autodetected).
1	1	0	10	Input clock = 54MHz external clock. Sample clock = line locked (forced on).
1	1	0	11	Input clock = 54MHz external clock. Sample clock = input clock divided by 2, then multiplied by 2x through the PLL. This mode uses the PLL to filter high-frequency jitter on the input source.
1	1	1	X0	Invalid mode. The PLL can only be bypassed when the output is not a line-locked clock.
1	1	1	11	Input clock = 54MHz external clock. Sample clock = input clock. Use this mode when a low-jitter, 54MHz input clock is used.

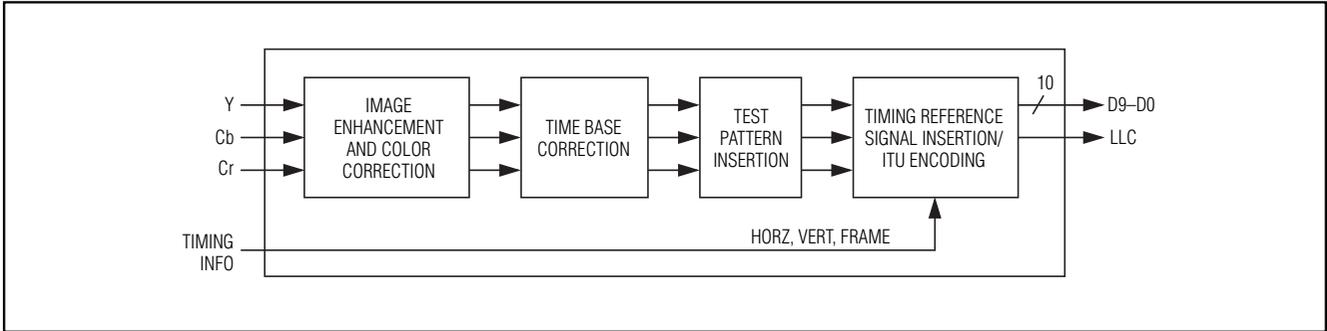


図4. デジタル出力処理

表2. ITU-R BT.656 SAVおよびEAVのコードシーケンス

CONDITION			FVH			VALUE SAV/EAV CODE SEQUENCE			
FIELD	V TIME	H TIME	F	V	H	FIRST	SECOND	THIRD	TRS
Even	Blank	EAV	1	1	1	0xFF	0x00	0x00	0xF1
Even	Blank	SAV	1	1	0	0xFF	0x00	0x00	0xEC
Even	Active	EAV	1	0	1	0xFF	0x00	0x00	0xDA
Even	Active	SAV	1	0	0	0xFF	0x00	0x00	0xC7
Odd	Blank	EAV	0	1	1	0xFF	0x00	0x00	0xB6
Odd	Blank	SAV	0	1	0	0xFF	0x00	0x00	0xAB
Odd	Active	EAV	0	0	1	0xFF	0x00	0x00	0x9D
Odd	Active	SAV	0	0	0	0xFF	0x00	0x00	0x80

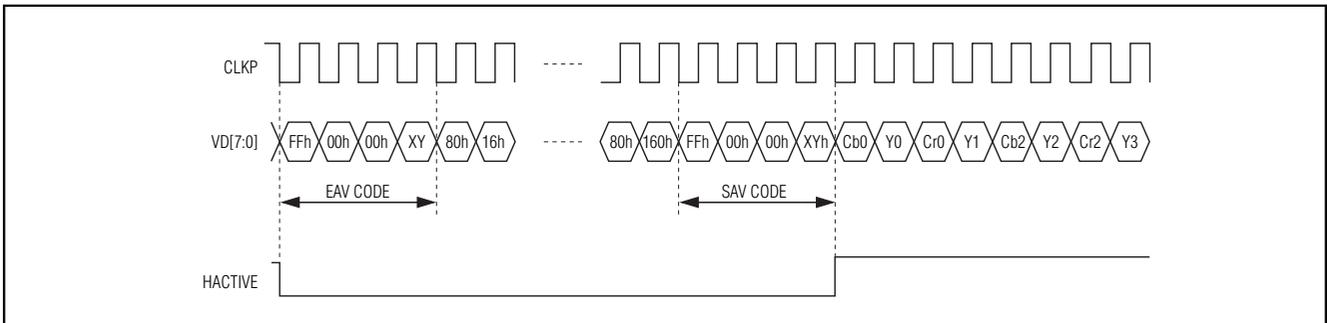


図5. ITU-R BT.656フォーマットのタイミング図

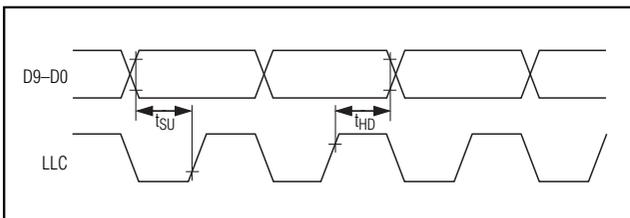


図6. 出力セットアップおよびホールド

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

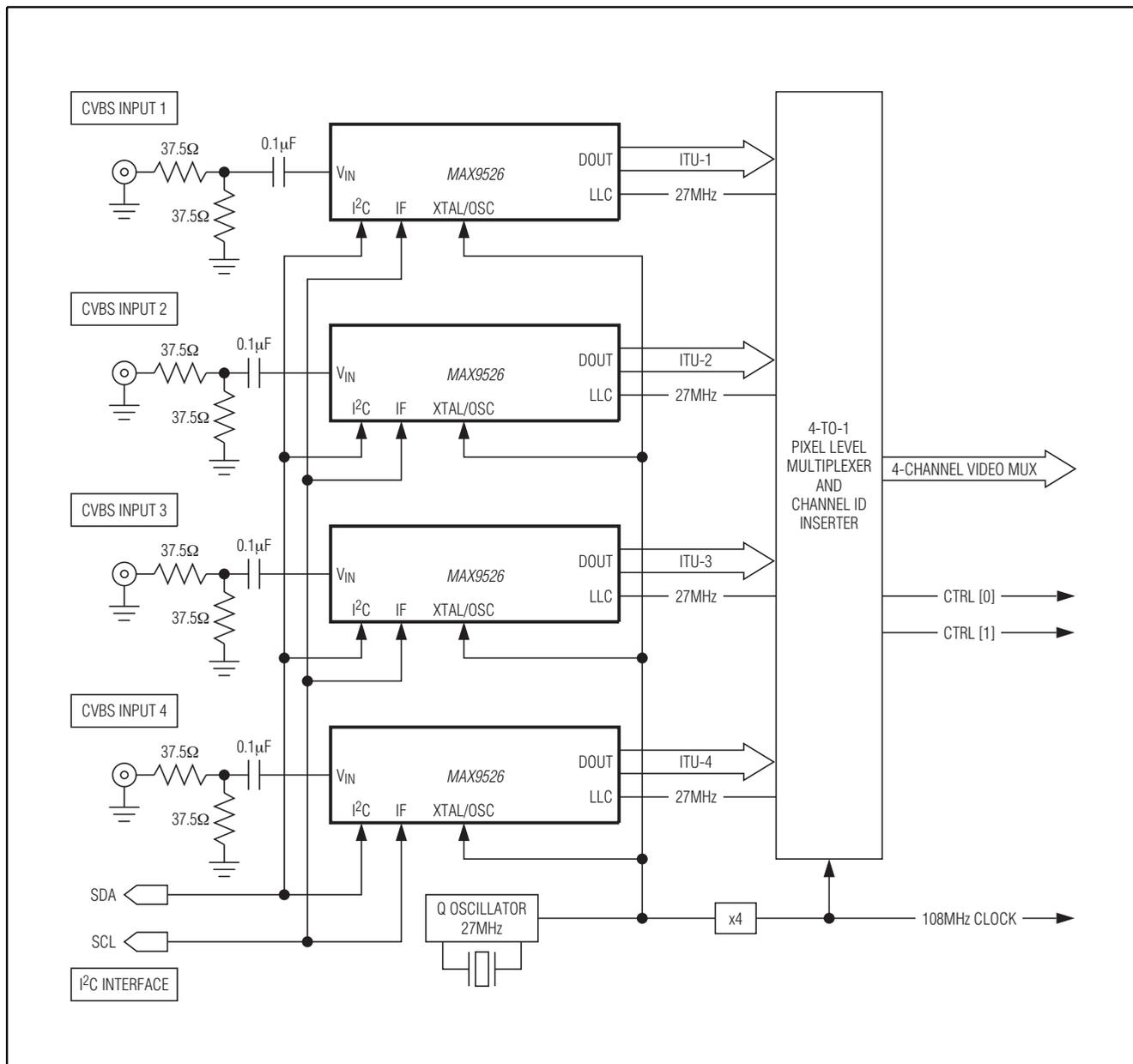


図7. 複数ビデオ入力処理

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

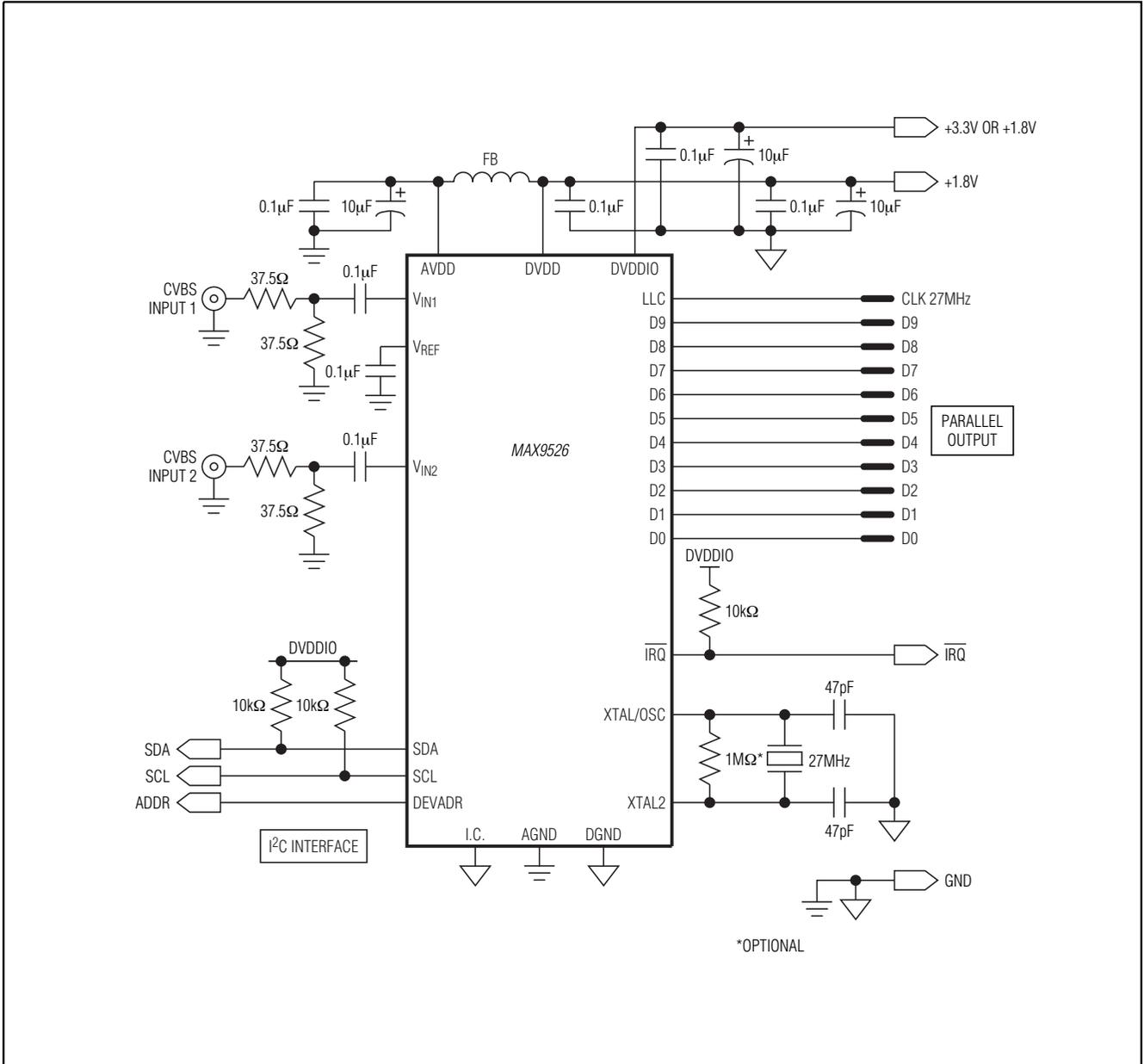


図8. 電源分離を追加したMAX9526の標準アプリケーション回路

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

表3. 水晶の推奨パラメータ

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Frequency	Fundamental mode only		27.000		MHz
Maximum Crystal ESR	Room temperature		30		$\Omega$
Accuracy	Line-locked mode		$\pm 50$		ppm
	Async mode with multiple decoders		$\pm 50$		

## アプリケーション情報

### 複数デコーダ動作

複数の非同期のビデオ入力信号は、非同期(async)サンプリングモードで複数のMAX9526を使用して、同時にデコードすることができます。図7に、4入力のビデオ入力信号をデコードする例を示します。

MAX9526は、以下のレジスタの書き込みによって、非同期サンプリングモード用に設定されます。

レジスタ0x0D、B3 (XTAL\_DIS) = 1 (水晶発振器をディセーブルします)

レジスタ0x0E、B5-4 (LLC\_MODE) = 11 (サンプリングを非同期モードにします)

MAX9526が非同期サンプリングモードの場合、全デコーダのデータ出力、D9~D0は、入力クロック(XTAL/OSC)に同期しています。データ出力中のビデオの内容は、各MAX9526へのビデオ信号源が非同期なため、時間軸に整合したフレームになりません。全4チャンネルを多重化するために、単一の8または10ビットのバス中に小規模のFPGAを使用することができます。また、このFPGAで、一般にデジタルビデオレコーダ(DVR)内で使用される圧縮プロセッサへの入力としての互換性を持たせるように、出力をフォーマットすることもできます。

水晶発振器(外付けまたは内蔵)は、このモードで容認できるデコード動作にするために、 $\pm 50$ ppmより良い精度を持っている必要があります。最良の性能のために、 $\pm 10$ ppmの精度が推奨されます。

### 水晶の推奨パラメータ

水晶の推奨パラメータを、表3に示します。

### 電源のデカップリング

電源のアイソレーションが更に必要とされるシステムに対して、図8に示す回路を使用することができます。増設用の電源デカップリングが追加され、アナログ電源(AVDD)のアイソレーションは、フェライトビーズ(FB)の使用によって増加します。アナロググランド接続(AGND)は、システムの主となるグランドプレーンに影響の少ない分離したグランドプレーンに接続する必要があります。また、ビデオ入力端子( $V_{IN1}/V_{IN2}$ )、ビデオリファレンス( $V_{REF}$ )のデカップリング、および電源のAVDDのデカップリングは、AGNDのグランドプレーンに接続する必要があります。

SMBusはIntel Corp.の商標です。

## I<sup>2</sup>Cシリアルインタフェース

MAX9526は、シリアルデータライン(SDA)およびシリアルクロックライン(SCL)で構成されるI<sup>2</sup>C/SMBus™互換の2ワイヤのシリアルインタフェースを備えています。SDAとSCLによって、最大400kHzのクロック速度でMAX9526とマスタの間の通信を簡単に実現します。図9に、2ワイヤのインタフェースタイミング図を示します。マスタはSCLを生成し、バスを通じたデータ転送を開始します。マスタデバイスは、レジスタアドレスが後に続く適切なスレーブアドレス、およびその後、データワード送ることによって、MAX9526にデータを書込みます。各送信シーケンスは、START (S)、またはREPEATED START (Sr)条件、およびSTOP (P)条件により形成されます。MAX9526に対して送信される各ワードは、8ビット長で、アクノリッジクロックパルスが続きます。MAX9526からデータを読み込むマスタは、9個のSCLパルス列が後に続く適切なスレーブアドレスを送信します。MAX9526は、マスタが生成したSCLパルスに同期したデータをSDAに送信します。マスタはデータの各バイトの受信に対して確認応答します。各読み出しシーケンスは、STARTまたはREPEATED START条件、非アクノリッジ、およびSTOP条件によって形成されます。SDAは、入力とオープンドレイン出力の両方として機能します。標準で500 $\Omega$ より大きいプルアップ抵抗がSDA上に必要になります。SCLは入力としてのみ機能します。複数のマスタがバス上に存在する場合、またはオープンドレインのSCL出力を持つ単一のマスタの場合、標準で500 $\Omega$ より大きいプルアップ抵抗がSCL上に必要になります。SDAとSCLへの直列抵抗は任意です。直列抵抗は、クロストークおよびバス信号のアンダーシュートを最小化するだけでなく、バスラインの高電圧スパイクからMAX9526のデジタル入力を保護します。

### ビット転送

1個のデータビットが各SCLサイクルの間に転送されます。SDA上のデータは、SCLパルスがハイの期間、変化させない必要があります。SCLがハイの期間のSDAの変化は、制御信号になります(「STARTおよびSTOP条件」の項を参照)。

### STARTおよびSTOP条件

バスが使用されていない時、SDAおよびSCLはアイドル状態のハイになります。START条件を発行することによって、マスタは通信を開始します。START条件は、SCLがハイで、SDAのハイからローへの遷移です。STOP

条件は、SCLがハイの期間におけるSDAのローからハイへの遷移です(図10)。マスタからのSTART条件は、MAX9526に送信の開始を伝えます。マスタは、送信を停止し、STOP条件を出すことによって、バスを解放します。REPEATED START条件がSTOP条件の代わりに生成される場合、バスはアクティブ状態を継続します。

## 早期STOP条件

MAX9526は、STOP条件がSTART条件と同じハイパルスに存在する場合を除いて、データ通信の間の全ての時点におけるSTOP条件を認識します。正常な動作のために、START条件と同じSCLのハイパルスの間、STOP条件を送出しする必要はありません。

## スレーブアドレス

スレーブアドレスは、読出し/書込みビットの前の7ビットの最上位ビット(MSB)にて定義されます。MAX9526は、DEVADRをDGNDへ接続し、読出し/書込みビットを1に設定(スレーブアドレス = 0x43)することで、読出しモード用に設定されます。MAX9526は、読出し/書込みビットを0に設定(スレーブアドレス = 0x42)することによって、書込みモード用に設定されます。アドレスは、START条件後MAX9526に送出された情報の最初のバイトです。MAX9526のスレーブアドレスは、DEVADRによって設定することができます。表5に、MAX9526のアドレスを示します。

## アクノリッジ

アクノリッジビット(ACK)は、ライトモード時、各バイトのデータの受信にMAX9526がハンドシェイクのために使用されるクロックによって出力される9番目のビットです(図11を参照)。MAX9526は、直前のバイトが正常に受信された場合にマスタによって生成される9番目のクロックパルスの全期間についてSDAをプルダウンします。ACKを監視することによって、データ転送の失敗を検出することができます。受信デバイスがビジーな場合、またはシステム障害が発生した場合、データ転送の失敗が起こります。データ転送が失敗した場合、バスマスタは通信を再試行します。マスタは、MAX9526が読出しモードの時、データの受信をアクノリッジする

ために9番目のクロックサイクルの期間についてSDAをプルダウンします。データ転送の継続を可能にするために、各読出しバイトの後に、アクノリッジがマスタによって送信されます。マスタがMAX9526からデータの最終バイトを読出す時、非アクノリッジが送信され、STOP条件が続きます。

## 書込みデータフォーマット

MAX9526への1回の書込みには、START条件、R/Wビットを0にすることによるスレーブアドレス、内部のレジスタアドレスポインタを設定する1バイトのデータ、1バイト以上のデータ、およびSTOP条件の送信が含まれます。図12は、MAX9526へ1バイトのデータを書込みについての適切なフレームフォーマットの説明を示しています。図13は、MAX9526へnバイトのデータ書込みについてのフレームのフォーマットの説明を示しています。

0に設定したR/Wビット付きのスレーブアドレスは、マスタによるMAX9526へのデータの書込みであることを示します。MAX9526は、マスタが生成した9番目のSCLパルスの期間に、アドレスバイトの受信をアクノリッジします。

マスタから送信された2番目のバイトは、MAX9526の内部レジスタアドレスポインタを設定します。ポインタは、データの次のバイトの書込み場所をMAX9526に示します。アドレスポインタデータの受信において、MAX9526によるアクノリッジパルスが送信されます。

MAX9526へ送信される3番目のバイトは、選択されたレジスタへ書込むデータを含んでいます。MAX9526からのアクノリッジパルスは、データバイトの受信を示します。アドレスポインタは、各データバイトの受信後、次のレジスタアドレスにオートインクリメントされます。このオートインクリメント機能は、1組の連続するフレーム内の、連続したレジスタへのマスタによる書込みを可能にします。図13は、1組のフレームによる複数のレジスタへの書込方法についての説明を示しています。マスタはSTOP条件を発行することによって、送信の終了を知らせます。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

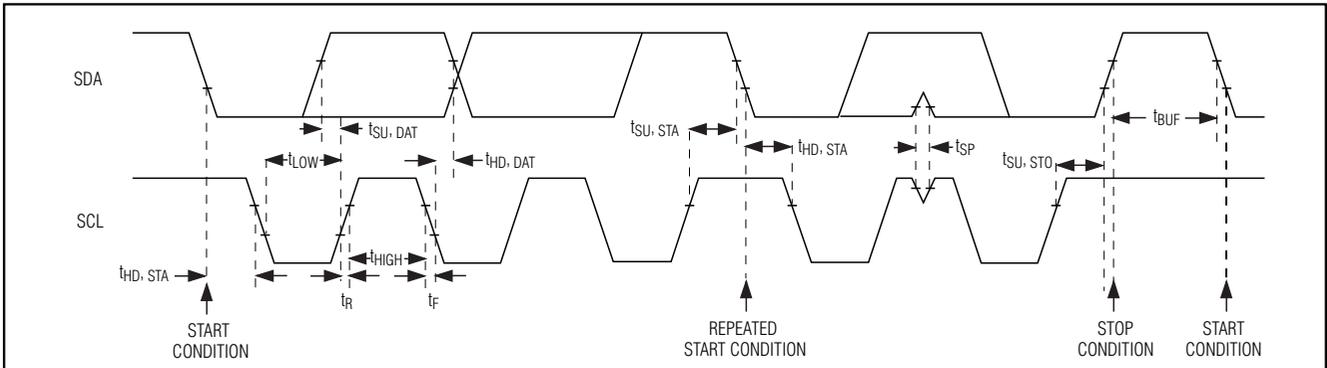


図9. I<sup>2</sup>Cシリアルインターフェースのタイミング図

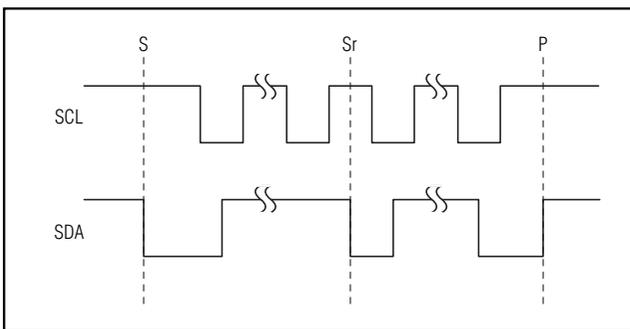


図10. START、STOP、およびREPEATED START条件

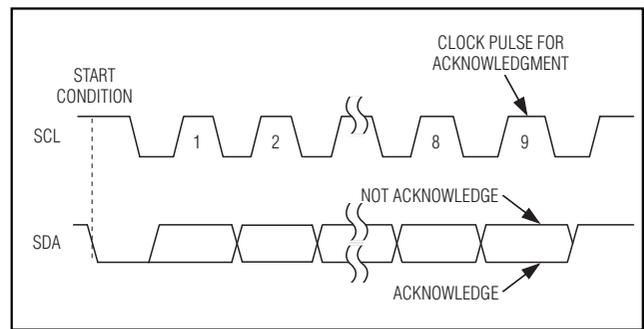


図11. アクノリッジ

## 読出しデータフォーマット

読出し操作を開始するためにR/Wビットを1に設定した状態で、スレーブアドレスを送信します。MAX9526は、9番目のSCLクロックパルスの期間にSDAをローに引き下げることによって、自身のスレーブアドレスの受信に確認応答します。読出しコマンドが後に続くSTART命令は、レジスタ0x00にアドレスポインタをリセットします。

MAX9526から送信される最初のバイトは、レジスタ0x00の内容です。送信されたデータは、SCLの立ち上がりエッジで有効になります。アドレスポインタは、各データバイトの読出し後にオートインクリメントされます。このオートインクリメント機能は、1組の連続したフレーム内での全レジスタの逐次読出しを可能にします。STOP条件は、任意数の読出しデータバイトの後に発行することができます。他の読出し操作に続いてSTOP条件が発行された場合、読出される最初のデータバイトは、レジスタ0x00からになります。

読出しコマンドを発行する前に、アドレスポインタを特定のレジスタに予め設定することができます。マスタは、レジスタアドレスが後に続く、R/Wビットを0に設定したMAX9526のスレーブアドレスを最初に送信することによって、アドレスポインタを初期設定します。その後、REPEATED START条件の後、R/Wビットを1に設定したスレーブアドレスが続いて送信されます。MAX9526は、その時指定されたレジスタの内容を送信します。最初のバイトを送信した後、アドレスポインタはオートインクリメントされます。

マスタは、アクノリッジクロックパルスの期間に、各読出しバイトの受信をアクノリッジします。マスタは、最終バイトを除いてすべての正しく受信したバイトについてアクノリッジする必要があります。最終バイトには、マスタからの非アクノリッジが続き、およびその後STOP条件が続く必要があります。図14に、MAX9526からの1バイト読出しのフレームフォーマットの説明を示します。図15に、MAX9526からの複数バイトの読出しのフレームフォーマットの説明を示します。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

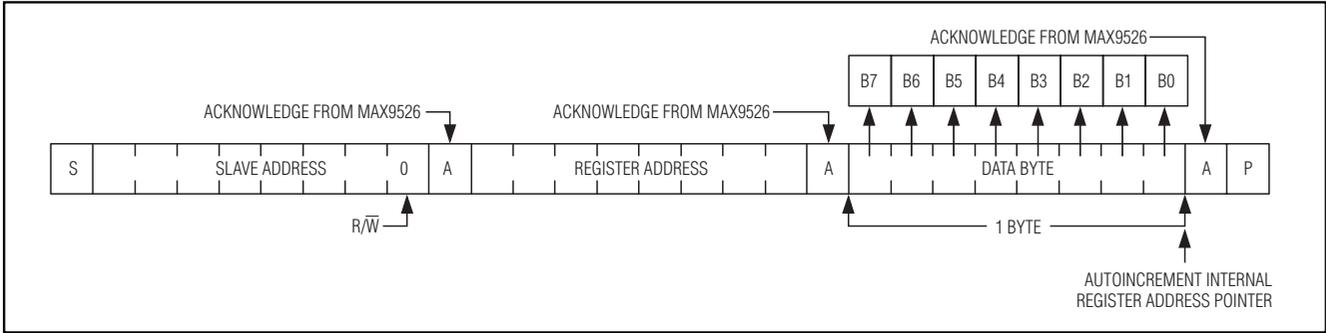


図12. MAX9526へのデータの1バイト書き込み

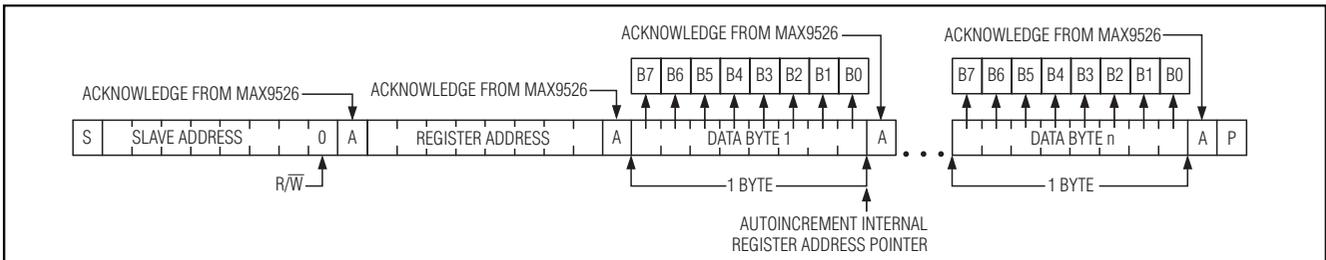


図13. MAX9526へのデータのnバイト書き込み

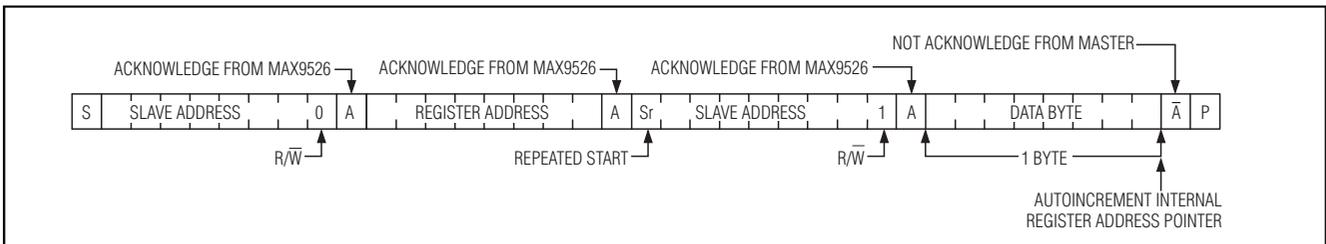


図14. MAX9526からのインデックス付き1バイトのデータ読出し

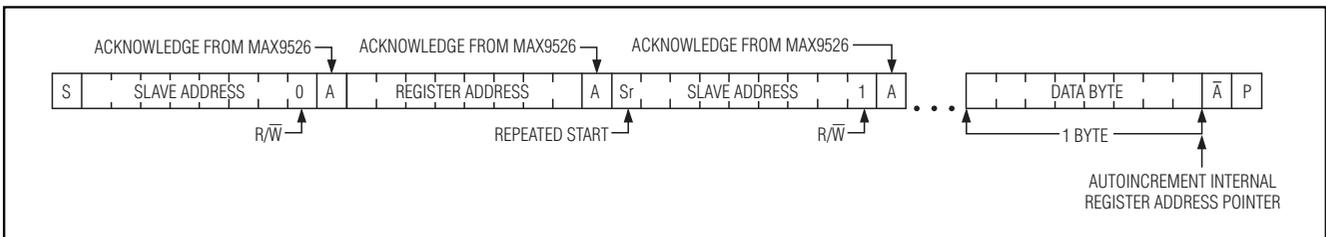


図15. MAX9526からのインデックス付きデータのnバイト読出し

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## MAX9526のプログラミング

### I<sup>2</sup>Cレジスタマップ

表4に、I<sup>2</sup>Cレジスタマップを示します。すべての固定されたビットは、表4に表示したデフォルト値以外の値にプログラムしない必要があります。

表4. レジスタマップの概要

REGISTER	B7	B6	B5	B4	B3	B2	B1	B0	REG ADDR	POWER-ON STATE
Status 0	VID1	VID2	0	CTHR	ADCOVR	HLOCK	NONSTD	LSTLCK	0x00	n/a
Status 1	0	L525	0	0	0	0	0	ACP	0x01	n/a
IRQ MASK 0	IVID1	IVID2	0	ICTHR	IADCOVR	IHLOCK	INONSTD	ILSTLCK	0x02	0x00
IRQ MASK 1	0	IL525	0	0	0	0	0	IACP	0x03	0x00
Standard Select, Shutdown, and Control	STDSEL			AUTOD	SHDN	RESET	SLEEP	RESET_S	0x04	0x10
Contrast	CONT								0x05	0x80
Brightness	BRIGHT								0x06	0x00
Hue	HUE								0x07	0x80
Saturation	SATU								0x08	0x88
Video Input Select and Clamp	AUTOSEL	INSEL	DCRESTORE_RANGE		0	0	D_CLMP_DIS	0	0x09	0x02
Gain Control	CRAGC	CMPAGC	0	ADAGC	ADCGAIN				0x0A	0x00
Color Kill	BW	CRKDIS	1	0	CTHRSH				0x0B	0x23
Output Test Signal	RAWADC	0	TGEnab	TGTIM	TGSRC	0	CBAR		0x0C	0x00
Clock and Output	0	CLIP	LLC_INV	SEL_54 MHZ	XTAL_DIS	HSVS	DATAZ	LLCZ	0x0D	0x00
PLL Control	0	0	LLC_MODE		PLLBYB	PLLBW			0x0E	0x03
Miscellaneous	0	0	DISAAFLT	1	SSLICE				0x0F	0x18

表5. I<sup>2</sup>Cスレーブアドレス

ADDRESS CONNECTION (DEVADR)	WRITE ADDRESS	READ ADDRESS
DVDD	0x40	0x41
DGND	0x42	0x43
SDA	0x44	0x45

## I<sup>2</sup>Cビットの説明

### Statusレジスタ0

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x00	VID1	VID2	0	CTHR	ADCOVR	HLOCK	NONSTD	LSTLCK

#### ビデオ入力1アクティブ(VID1)

- 1 = V<sub>IN1</sub>にアクティブなビデオを検出。
- 0 = V<sub>IN1</sub>にアクティブなビデオは未検出。

#### ビデオ入力2アクティブ(VID2)

- 1 = V<sub>IN2</sub>にアクティブなビデオを検出。
- 0 = V<sub>IN2</sub>にアクティブなビデオは未検出。

#### カラーキルスレッシュールド未満(CTHR)

- 1 = Statusレジスタ0の最後の読出し後、カラーキャリアがカラーキルスレッシュールド未満。
- 0 = Statusレジスタ0の最後の読出し後、カラーキャリアがカラーキルスレッシュールド以上。

CTHRは、クロマキャリアがカラーキルスレッシュールド未満の時に通知されます。カラーキルスレッシュールドおよびカラーキルのイネーブル設定については、レジスタ0x0Bを参照してください。

#### ADCアウトオブレンジ(ADCOVR)

- 1 = Statusレジスタ0の最後の読出し後、ADCは最大レンジ外。
- 0 = Statusレジスタ0の最後の読出し後、ADCはフルスケールレンジ内。

ADC入力がADCの入力レンジ以上または以下にある時、ADCOVRがトリガされます。Statusレジスタ0の読出し後に、このビットはクリアされます。ADCOVRは、垂直帰線期間のライン、コピープロテクトパルスを持っている可能性のあるフィールドの開始または終了時のライン、または付加データを持っている可能性のあるライン上ではトリガされません。

#### 水平ロック(HLOCK)

- 1 = Statusレジスタ0の最後の読出し後、ラインロックPLLは、水平レートにロックされていて、ロックを失っていない。
- 0 = Statusレジスタ0の最後の読出し後、ラインロックPLLは、ロックを失った。

#### 規格外ビデオ(NONSTD)

- 1 = 規格外のビデオを検出。
- 0 = 規格ビデオフォーマットを検出。

規格内ビデオでは、搬送波周波数は常に水平周波数の正確な倍数です。標準外の入力の例は、キャリアが水平周波数の正確な倍数ではないビデオカセットレコーダです。

#### 復調器ロストロック(LSTLCK)

- 1 = Statusレジスタ0の最後の読出し後、復調器はロックを失った。
- 0 = Statusレジスタ0の最後の読出し後、復調器はロックを維持している。

### Statusレジスタ1

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x01	0	L525	0	0	0	0	0	ACP

#### 525ラインモード(L525)

- 1 = 525ラインのビデオを検出。
- 0 = 625ラインのビデオを検出。

この出力は、デコーダがロックされていて、正常に動作している時のみ有効です。

#### アナログコピープロテクション(ACP)

- 1 = アナログコピープロテクションを検出。
- 0 = アナログコピープロテクションは未検出。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## Interrupt Maskレジスタ0

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x02	IVID1	IVID2	0	ICTHR	IADCOVR	IHLOCK	INONSTD	ILSTLCK

### アクティブビデオ1割込み(IVID1)

1 = VID1ビットステータスの変化で、ハードウェア割込みを発生させる。

0 = VID1ビットの変化で、割込みを発生させない(デフォルト)。

レジスタ0x00、B7を参照してください。

### アクティブビデオ2割込み(IVID2)

1 = VID2ビットステータスの変化で、ハードウェア割込みを発生させる。

0 = VID2ビットステータスの変化で、割込みを発生させない(デフォルト)。

レジスタ0x00、B6を参照してください。

### カラーキルスレッシュولد割込み(ICTHR)

1 = CTHRビットの0から1への遷移で、ハードウェア割込みを発生させる。

0 = CTHRビットの遷移で、割込みを発生させない(デフォルト)。

レジスタ0x00、B4を参照してください。

### ADCLレンジ外割込みイネーブル(IADCOVR)

1 = ADCOVRビットの0から1への遷移で、ハードウェア割込みを発生させる。

0 = ADCOVRビットの遷移で、割込みを発生させない(デフォルト)。

レジスタ0x00、B3を参照してください。

### 水平ロック割込みイネーブル(IHLOCK)

1 = HLOCKビットの1から0への遷移で、ハードウェア割込みを発生させる。

0 = HLOCKビットの遷移で、割込みを発生させない(デフォルト)。

レジスタ0x00、B2を参照してください。

### 規格外ビデオ割込みイネーブル(INONSTD)

1 = NONSTDビットの0から1への遷移で、ハードウェア割込みを発生させる。

0 = NONSTDビットの遷移で、割込みを発生させない(デフォルト)。

レジスタ0x00、B1を参照してください。

### 復調器ロック割込みイネーブル(ILSTLCK)

1 = LSTLCKビットの0から1への遷移で、ハードウェア割込みを発生させる。

0 = LSTLCKビットの遷移で、割込みを発生させない(デフォルト)。

レジスタ0x00、B0を参照してください。

## Interrupt Maskレジスタ1

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x03	0	IL525	0	0	0	0	0	IACP

### 525ラインビデオ割込みイネーブル(IL525)

1 = L525ビットステータスの変化で、ハードウェア割込みを発生させる。

0 = L525ビットの変化で、割込みを発生させない(デフォルト)。

この割込みは、HLOCKおよびLSTLCKステータスによってマスクされます。HLOCK = 1かつLSTLCK = 0の場合のみL525ステータスの変化で、ハードウェア割込みが発生します。レジスタ0x01、B6を参照してください。

### アナログコピープロテクト割込みイネーブル(IACP)

1 = ACPステータスビット(レジスタ0x01、B0)の変化で、ハードウェア割込みを発生させる。

0 = アナログコピープロテクトの変化で、割込みを発生させる(デフォルト)。

レジスタ0x01、B0を参照してください。

## Standard Select, Shutdown, and Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x04	STDSEL			AUTOD	SHDN	RESET	SLEEP	RESET_S

### ビデオ規格選択(STDSEL)ビットB7 (TYPE)

- 1 = NTSC J、PAL 60、NTSC 4.43。
- 0 = NTSC M (標準のNTSC)、PAL M、PAL B/G/H/I/D (標準のPAL)、PALコンビネーションN (デフォルト)。

### ビットB6 (525ライン)

- 1 = 525ラインビデオ。
  - 0 = 625ラインビデオ(またはNTSC 4.43) (デフォルト)。
- ビットB6は、AUTOD = 0の時、ビデオラインレートを設定します。AUTOD = 1 (デフォルト)の時、B6は無視されます。

### ビットB5 (規格外のビデオ)

- 1 = PALコンビネーションN、PAL M、NTSC 4.43、PAL 60。
- 0 = PAL B/G/H/I/D (規格内のPAL)、NTSC M (規格内のNTSC)、またはNTSC J (デフォルト)。

STDSELレジスタ中の3ビットは、予期される入力ビデオフォーマットのプログラムに使用することができます。ビットB6 (525対625ラインビデオ)は、自動検出機能を使用して自動的に設定することができます(レジスタ0x04、B4のAUTODビットの説明を参照)。

### B[7:5]

- 000: PAL B/G/H/I/D (標準のPAL)
- 001: PALコンビネーションN
- 010: NTSC M (標準のNTSC)
- 011: PAL M
- 100: N/A
- 101: NTSC 4.43
- 110: NTSC J
- 111: PAL 60

### 標準の自動検出(AUTOD)

- 1 = 625に対して525ラインのビデオ(デフォルト)を自動検出。
  - 0 = 625に対して525のラインのビデオを手動で設定。
- 自動検出機能は、規格内PALと規格内NTSCを区別するために唯一使用することができます。自動検出機能は、レジスタ0x04のB7 = B5 = 0である必要があります。

### 低電力シャットダウン(SHDN)

- 1 = 低電力シャットダウンモード。
- 0 = 標準動作(デフォルト)。

シャットダウンにおいて、すべての論理出力は、ローです(レジスタ0x0D、B1を使用してハイインピーダンスに設定されていない限り)。I<sup>2</sup>Cレジスタの内容は、シャットダウンの期間中保持されます。

### システムリセット(RESET)

- 1 = すべてのレジスタおよびシステムステータスは、電源オン時のデフォルト状態に戻ります。
- 0 = 標準動作(デフォルト)。

このビットは、すべてのレジスタの内容が電源オン時のデフォルト状態に設定されるため、書き込み後クリアされます。

### スリープモード(SLEEP)

- 1 = 低電力スリープモード。
- 0 = 標準動作(デフォルト)。

スリープモード中、すべての論理出力は、ローです(レジスタ0x0D、B1を使用してハイインピーダンスに設定されていない限り)。I<sup>2</sup>Cレジスタの内容は保持されます。ビデオアクティブ検出は、アクティブのままです。アクティブステータスは、レジスタ0x00に存在します。

### ソフトリセット(RESET\_S)

このビットは、レジスタ値を除くデバイス上のすべての機能をリセットします。このビットは、自動的にクリアされます。

- 1 = ソフトリセット。
- 0 = 標準動作(デフォルト)。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## Contrast Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x05	CONT							

### コントラスト(CONT)

0x00 = ルーマの利得は、0。

0x80 = ルーマの利得は、1 (デフォルト)。

0xFF = ルーマの利得は、255/128または約2。

ACPが検出された時(レジスタ0x01、B0)、CONTから15 (10進)が減算されます。

## Brightness Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x06	BRIGHT							

### 輝度(BRIGHT)

0x00 = ルーマのオフセットは、0 IRE (デフォルト)。

0x7F = ルーマのオフセットは、+75.66 IRE。

0x80 = ルーマのオフセットは、-76.22 IRE。

## Hue Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x07	HUE							

### 色相(HUE)

0x80 = クロマの位相は、カラーバースト(デフォルト)に対して0度。

0xFF = クロマの位相は、カラーバーストに対して約+45度。

0x00 = クロマの位相は、カラーバーストに対して-45度。

## Saturation Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x08	SATU							

### 飽和(SATU)

0x00 = クロマの利得は0。

0x80 = クロマの利得は1。

0x88 = デフォルト。

0xFF = クロマの利得は255/128または約2。

ACPが検出された時(レジスタ0x01、B0)、SATUに8 (10進)が加算されます。

## Video Input Select and Clamp Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x09	AUTOSEL	INSEL	DCRESTORE_RANGE		0	0	D_CLMP_DIS	0

### 自動ビデオ選択(AUTOSEL)

1 = 信号の有無の検出によってビデオ入力を自動的に選択。

リセット(POR、レジスタリセット、スリープモード、シャットダウン)後、ビデオ入力 $V_{IN1}$ と $V_{IN2}$ の両方に存在、またはどちらにも存在しない時、 $V_{IN1}$ が選択されます。 $V_{IN2}$ に入力があり、 $V_{IN1}$ に入力がない場合、 $V_{IN2}$ が選択されます。入力の存在によって $V_{IN2}$ が自動的に選択された場合、入力は、 $V_{IN2}$ から入力がなくなった時のみ、 $V_{IN1}$ に切り換えられます。

0 = ビデオ入力を手動選択(デフォルト)。

手動入力選択については、INSEL (レジスタ0x09、B6)を参照。

### 手動ビデオ入力選択(INSEL)

1 =  $V_{IN2}$ を選択。

0 =  $V_{IN1}$ を選択(デフォルト)。

このレジスタを有効にするためには、ビデオ自動選択ビット(AUTOSEL)は、0である必要があります。

### アナログDC再生電流レンジ(DCRESTORE\_RANGE)

このビットはDC再生DACのフルスケールレンジを設定します。最大電流レンジの増加によって、DC再生ループの帯域幅とレンジが増加します。

10 = 低速(ビデオ入力結合コンデンサへの電流は $\pm 3\mu A$ )

11 = 中速(ビデオ入力結合コンデンサへの電流は $\pm 6\mu A$ )

00 = 中高速(ビデオ入力結合コンデンサへの電流は $\pm 12\mu A$ ) (デフォルト)

01 = 高速(ビデオ入力結合コンデンサへの電流は $\pm 24\mu A$ )

### デジタルクランプディセーブル(D\_CLMP\_DIS)

このビットは、デジタルクランプをディセーブルします。

1 = デジタルシンクチップクランプをディセーブル(デフォルト)。

0 = デジタルシンクチップクランプをイネーブル。

デジタルクランプをイネーブルすることで、同期レベルをコード0 (10進)に設定し、より高い、入力信号周波数トラッキングが行われます。デジタルクランプがイネーブルの場合、レジスタ0x0Fの同期スライスレベルは、等価ノイズ除去を行うために、これに応じた調整を行う必要があります。通常、D\_CLMP\_DISを1に設定する場合、SSLICE[3:0]は、2 LSB減少させる必要があります。

## Gain Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0A	CRAGC	CMPAGC	0	ADAGC	AGCGAIN			

### クロミナスAGCディセーブル(CRAGC)

1 = クロマの利得を、固定する。

0 = 自動クロマ利得を、カラーバーストレベル基準にする(デフォルト)。

クロマの利得をデフォルト値の17 (16進)に固定するためには、CRAGC = 1を設定し、ソフトリセットを行います。

### コンポジットAGCディセーブル(CMPAGC)

1 = デジタルコンポジット利得をデフォルト値(80 (16進))に固定する。

0 = 自動デジタルコンポジット利得は、同期レベル基準にする(デフォルト)。

### アナログ自動ゲイン制御ディセーブル(ADAGC)

1 = アナログ自動ゲイン制御を、ディセーブルします。

0 = アナログ自動ゲイン制御を、イネーブルします(デフォルト)。

アナログ自動ゲイン制御(AGC)ループは、ADCのフルスケールレンジを最適にするために、AGCのゲインを調整します。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## アナログAGCゲイン(AGCGAIN)

このビットは、ADCの前段にあるアナログAGCの利得を制御します。このビットは、ADAGC = 1の場合のみ

機能します。利得のステップの大きさは、リニアです。表6に、入力フルスケール変換レンジに対するAGCの効果を示します。

表6. アナログAGCコードと利得値

AGC GAIN CODE	TYPICAL FULL-SCALE CONVERSION RANGE (mV)	AGC GAIN CODE	TYPICAL FULL-SCALE CONVERSION RANGE (mV)
0000 (default)	752	1000	417
0001	683	1001	394
0010	626	1010	375
0011	578	1011	357
0100	535	1100	341
0101	500	1101	326
0110	469	1110	313
0111	441	1111	300

## Color Killレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0B	BW	CRKDIS	1	0	CTHRSH			

### ブラックアンドホワイト(BW)

1 = クロミナンス復調器をディセーブルし、コンポジットビデオ出力を白黒のみにする。  
0 = クロミナンス復調器をイネーブルする(デフォルト)。

### カラーキルディセーブル(CRKDIS)

1 = カラーキルをディセーブルする。  
0 = 自動カラーキルをイネーブルする(デフォルト)。  
ブラックアンドホワイト(BW)制御ビットは、CRKDISに優先します。

### カラーキルスレッシュولد(CTHRSH)

カラーキルスレッシュولدは、ビデオ入力( $V_{IN1}/V_{IN2}$ )のコンポジットビデオ信号のカラーバーストのピークトゥピーク振幅と関連しています。しきい値は、同期振幅が標準のレベルであると仮定しています。

CTHRSH	BURST AMPLITUDE (mV)	CTHRSH	BURST AMPLITUDE (mV)
0000	Off	1000	35
0001	Off	1001	39
0010	19	1010	40
0011 (default)	25	1011	41
0100	27	1100	43
0101	29	1101	45
0110	30	1110	48
0111	31	1111	51

## Color Test Signalレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0C	RAWADC	0	TGEnab	TGTIM	TGSRC	0	CBAR	

### ADCオンリーモード(RAWADC)

1 = D9~D0は、ビデオ復調器によって処理されていない直接のADC出力。

0 = D9~D0は、10ビットのYCbCrコンポーネントビデオ(デフォルト)。

RAWADC = 1によって、D9~D0の出力データレートは54MSPSで、LLCクロック出力は、54MHzです。図16に、RAWADC = 1による出力信号の標準セットアップおよびホールドタイミングを示します。

LLCは、レジスタ0x0D、B5のLLC\_INV = 1に設定することで任意に反転することができます。

RAWADC = 1にすることで、ADC出力は、D9~D0に出力される前にデジタルローパスフィルタによってフィルタされます。レジスタ0x0F、B5のRAWADC = 1、およびDISAAFLT = 1を設定することによって、ADC出力はフィルタせずにD9~D0と直接接続することができます。

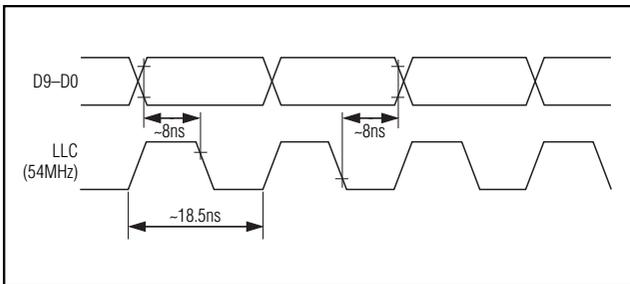


図16. RAWADCモード時の標準的なセットアップおよびホールドタイミング

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

表7. 出力テスト信号の設定

DESCRIPTION	STDSEL REGISTER	AUTOD REGISTER	TGENAB REGISTER	TGTIM REGISTER	TGSRC REGISTER	OUTPUT OF DECODER	
	0x04 B7-5	0x04 B4	0x0C B5	0x0C B4	0x0C B3	NO VIDEO INPUT	VALID VIDEO INPUT
Default mode, test pattern has last timing standard used at output	0X0	1	0	X	X	Test pattern	Decoded input
Force test pattern with last timing standard used at output	0X0	1	1	X	1	Test pattern	Test pattern
Force test pattern with 50Hz timing	XXX	X	1	0	0	50Hz test pattern	50Hz test pattern
Force test pattern with 60Hz timing	XXX	X	1	1	0	60Hz test pattern	60Hz test pattern
Force 50Hz timing for decoding and test pattern	X0X	0	0	X	X	50Hz test pattern	Decoded input with 50Hz timing
Force 60Hz timing for decoding and test pattern	X1X	0	0	X	X	60Hz test pattern	Decoded input with 60Hz timing

## テストパターン生成

MAX9526は、デフォルトのモードで、ビデオ入力除去された時、テストパターンを出力します。テストパターンのタイミング規格は、デコーダの出力にある最後のタイミング規格です。MAX9526がリセットされ、ビデオ入力が全くない場合、デフォルトの出力タイミング規格は525ライン(60Hz)です。ビデオ標準デコードの自動設定については、レジスタ0x04を参照してください。表7は、ビデオ標準およびテストパターン生成を設定するいくつかの一般例を示しています。

## テストパターンイネーブル(TGEnab)

1 = 強制的にビデオテストパターンを出力。  
0 = ビデオ入力にビデオ信号がない場合、テストパターンを出力(デフォルト)。

## テスト信号出カタイミング規格(TGTIM)

1 = 525ライン、60Hzのフレームレート。  
0 = 625ライン、50Hzのフレームレート(デフォルト)。  
このビットは、TGSRC = 1の場合、無視されます。

## テスト信号タイミングソース(TGSRC)

1 = テストジェネレータは、入力ビデオ信号のタイミングを使用(信号が存在する場合)。  
0 = テストジェネレータは、内部で生成されたタイミングを使用(デフォルト)。

## カラーバー選択(CBAR)

00 = ブラックスクリーン(デフォルト)  
01 = ブルースクリーン  
10 = 75%のカラーバー  
11 = 100%のカラーバー

## Clock and Output Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0D	0	CLIP	LLC_INV	SEL_54MHZ	XTAL_DIS	HSVS	DATAZ	LLCZ

### ITU-R BT.656規格クリッピングレベル(CLIP)

- 1 = ITU出力のYレンジへのクリップは、64~940の間にあり、CbCrレンジは64~960の間にある。
- 0 = ITU出力のYレンジとCbCrレンジへのクリップは、5~1019の間にある(デフォルト)。

### 反転ラインロック・クロック(LLC\_INV)

この信号は、MAX9526から出力されるラインロック・クロックの極性を反転します。これは、他のデバイスのボードレベルのタイミング問題を解決するために使用することができます。

- 1 = LLCクロックを反転。
- 0 = LLCクロックを反転しない(デフォルト)。

### 入力クロック周波数選択(SEL\_54MHz)

- 1 = XTAL/OSC入力の54MHzクロック。
  - 0 = XTAL/OSC入力の27MHzのクロック(デフォルト)。
- このビットは、水晶発振器がディセーブルされた場合(XTAL\_DIS = 1)に限り、適用可能です。

### 水晶発振器ディセーブル(XTAL\_DIS)

- 1 = XTAL/OSCは27MHzまたは54MHzのCMOSクロック入力のどちらか。
- 0 = 27MHz水晶発振器をイネーブル(デフォルト)。

### 水平/垂直同期出力(HSVS)

- 1 = D1とD0は、それぞれ水平、垂直同期パルスを出力。
- 0 = D1とD0は、デジタルコンポーネントビデオ出力のLSB (デフォルト)。

水平同期(HS)の立上がりは、アクティブビデオの終了と一致します(EAVコードの3FFh 000hの後、立上がる)。立下がりエッジはアクティブビデオの開始(SAV)コードに一致します(SAVコードの3FFh 000hの完了後の立下がり)。図17に、水平および垂直の同期タイミングを示します。

垂直同期パルス(VS)のラインの遷移について、表8に詳細を示します。ピンD0のVSラインの遷移が、ITUデータストリームに埋め込まれたVフラグの遷移と相対的に1~2ライン、シフトされることに注意してください。ITUデータストリームに埋め込まれたVフラグの遷移は、ITU-R BT.656-4標準に従っています。

### データ出力ディセーブル(DATAZ)

- 1 = ロジックデータ出力(D9~D0)をディセーブルし、ハイインピーダンス状態にする。
- 0 = ロジックデータ出力(D9~D0)をイネーブルする(デフォルト)。

DATAZビットは、デバイスのシャットダウン状態にかかわらず、データ出力を強制的にハイインピーダンスにします。

### クロック出力ディセーブル(LLCZ)

- 1 = ロジッククロック出力(LLC)をディセーブルし、ハイインピーダンス状態にする。
- 0 = ロジッククロック出力(LLC)をイネーブルする(デフォルト)。

LLCZビットは、デバイスのシャットダウン状態にかかわらず、LLCを強制的にハイインピーダンスにします。

**表8. VS (ピンD0)ラインの遷移**

VERTICAL SYNC PULSES (VS on Pin D0)		625	525
Field 1	Start (VS = 1)	Line 623	Line 2
	Finish (VS = 0)	Line 21	Line 21
Field 2	Start (VS = 1)	Line 309	Line 265
	Finish (VS = 0)	Line 335	Line 284

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

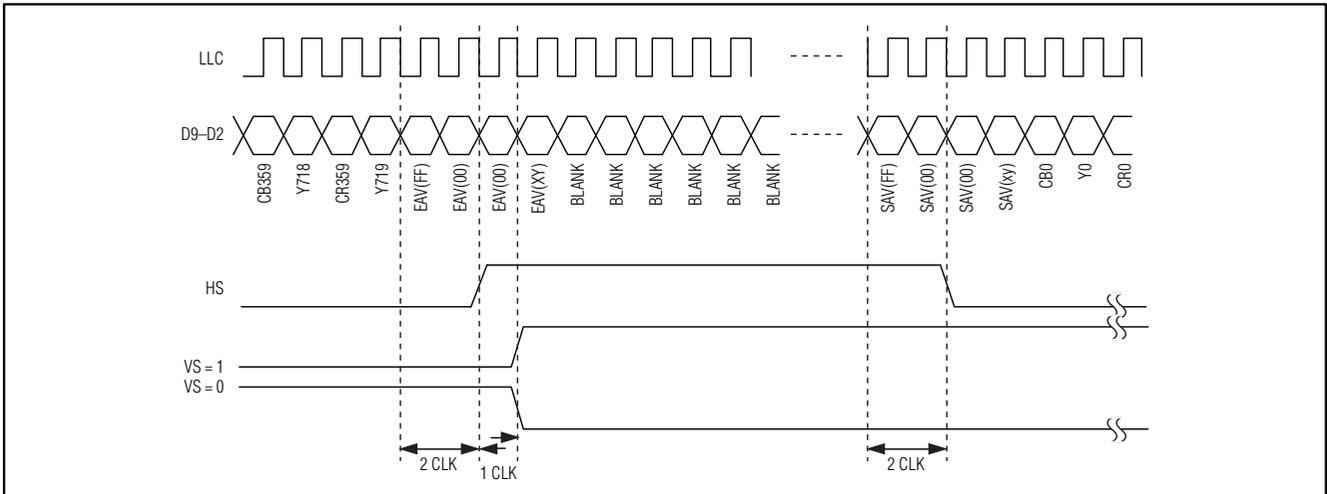


図17. 水平および垂直の同期タイミング

## PLL Controlレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0E	0	0	LLC_MODE		PLLBYB	PLLBW		

### ラインロック・クロックモード(LLC\_MODE)

0X = 非同期モードまたはラインロックモードを自動設定する(デフォルト)。

10 = PLLを強制的にラインロックモードにする。

11 = PLLを強制的に非同期モードにする。

### PLLバイパスモード(PLLBYB)

PLLBYB = 1の場合、ADC、およびデコーダは、入力水晶またはクロック(XTAL/OSC、XTAL2)を直接使用します。

1 = PLLをバイパスする。

0 = PLLをイネーブルする(デフォルト)。

### ラインロックPLLトラッキングスピード(PLLBW)

PLLBWは、ラインロックPLLの帯域幅を設定するデジタルループフィルタを制御します。

000 = 180Hz

001 = 250Hz

010 = 375Hz

011 = 500Hz (デフォルト)

100 = 750Hz

101 = 1kHz

110 = 1.5kHz

111 = 2kHz

## その他のレジスタ

REG	B7	B6	B5	B4	B3	B2	B1	B0
0x0F	0	0	DISAAFLT	1	SSLICE			

### デジタルアンチエイリアシングフィルタ ディセーブル(DISAAFLT)

ADCに続く、デジタルアンチエイリアシングフィルタをディセーブルします。

1 = フィルタをディセーブルする。

0 = フィルタをイネーブルする(デフォルト)。

### 同期スライスレベル(SSLICE)

同期スライスレベルを設定します。

1111 = ブランキングレベル付近の240 (10進)でスライス。

1000 = 同期の中心付近の128 (10進)でスライス(デフォルト)。

0100 = 同期の約25%の64 (10進)でスライス。

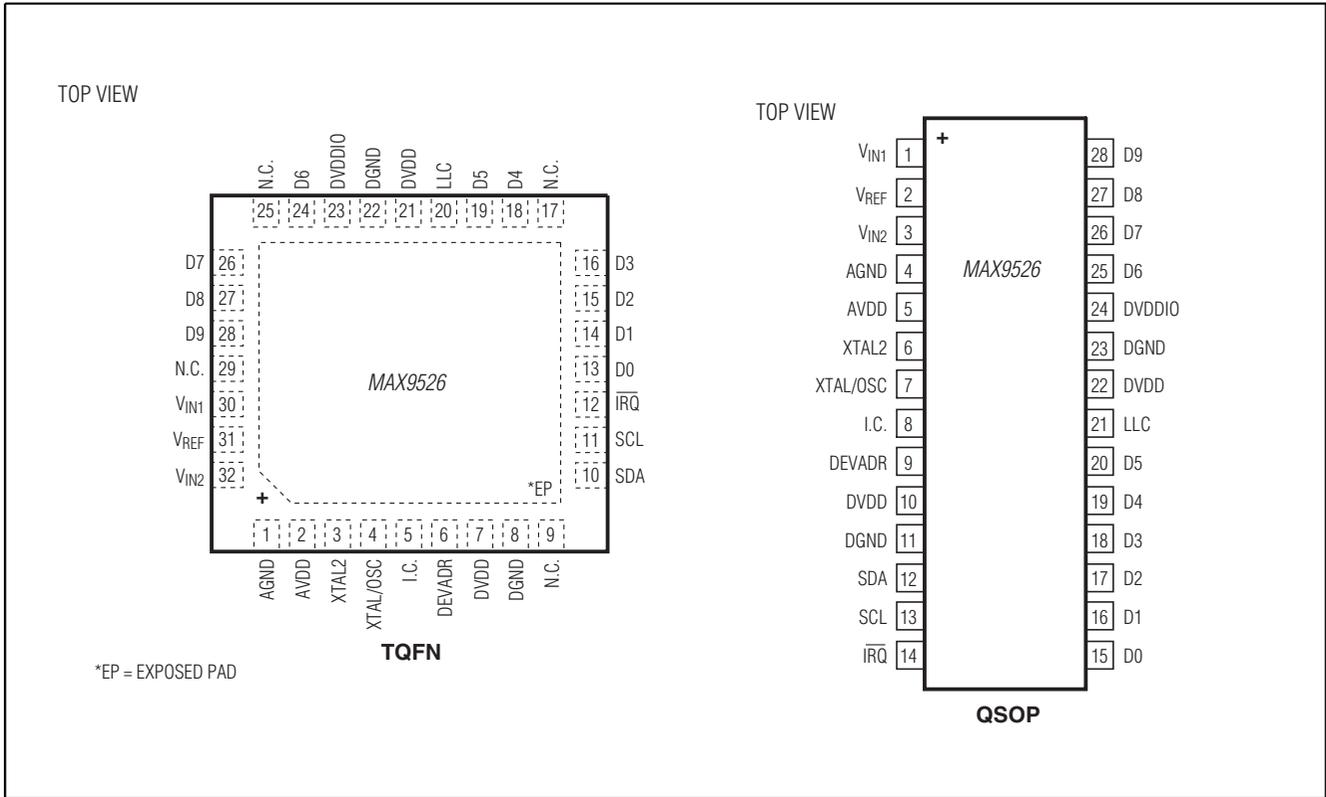
0000 = 同期の最低値付近の0 (10進)でスライス。

0000~1111間のすべての値が有効です。

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## ピン配置



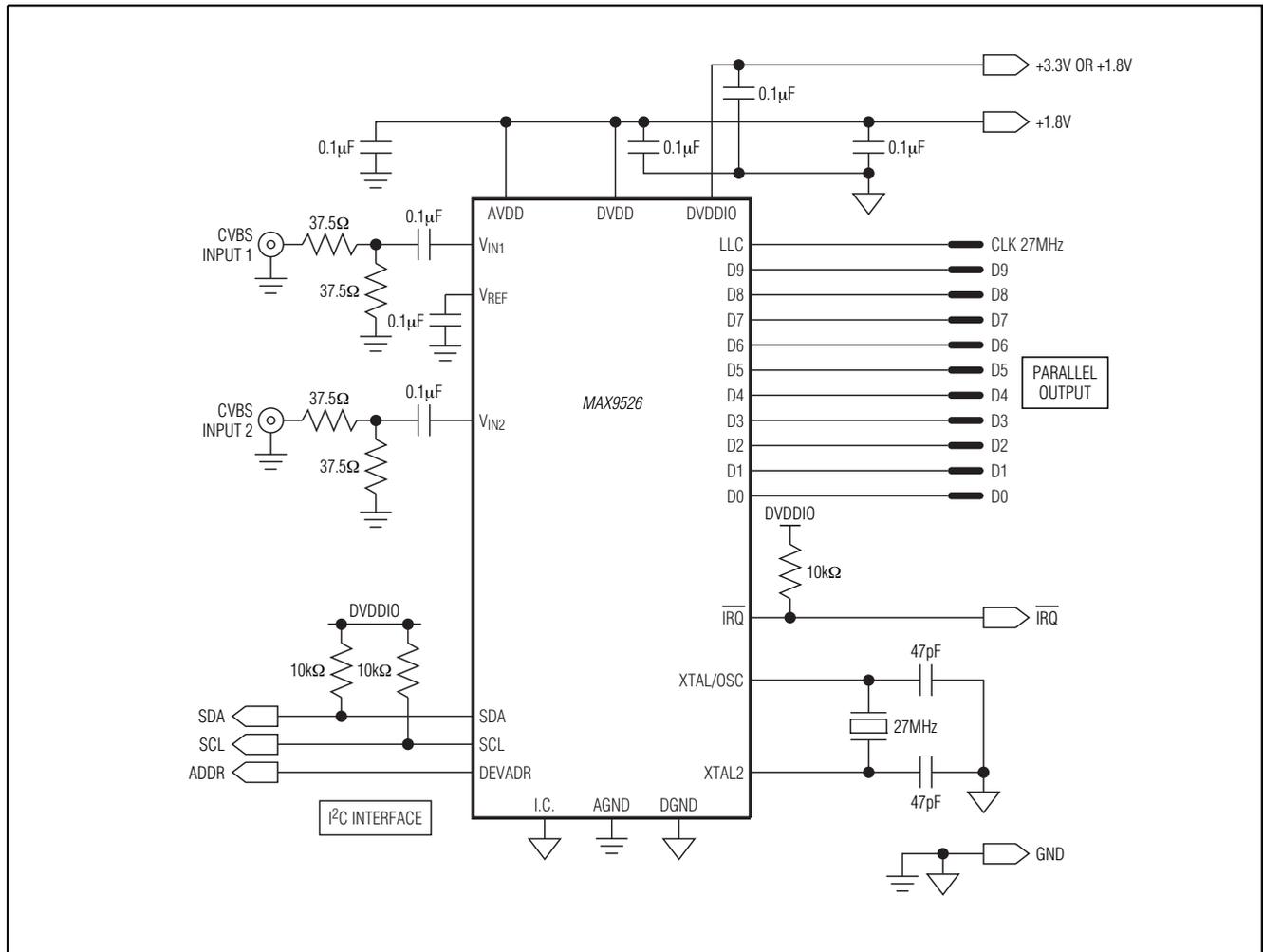
## チップ情報

PROCESS: CMOS

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

標準動作回路



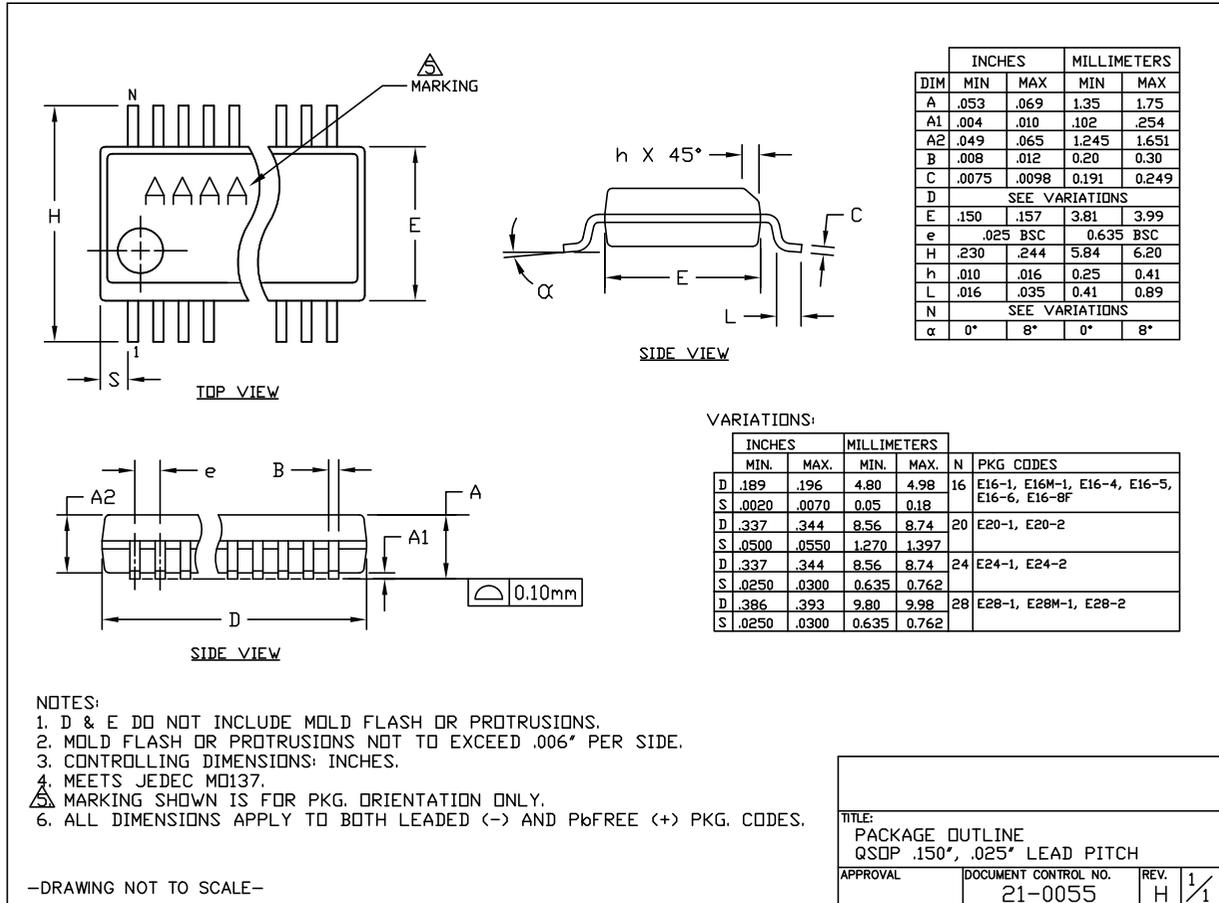
# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## パッケージ

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なる点がある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
28 QSOP	E28-1	<a href="#">21-0055</a>
32 TQFN-EP	T3256-1	<a href="#">21-0183</a>

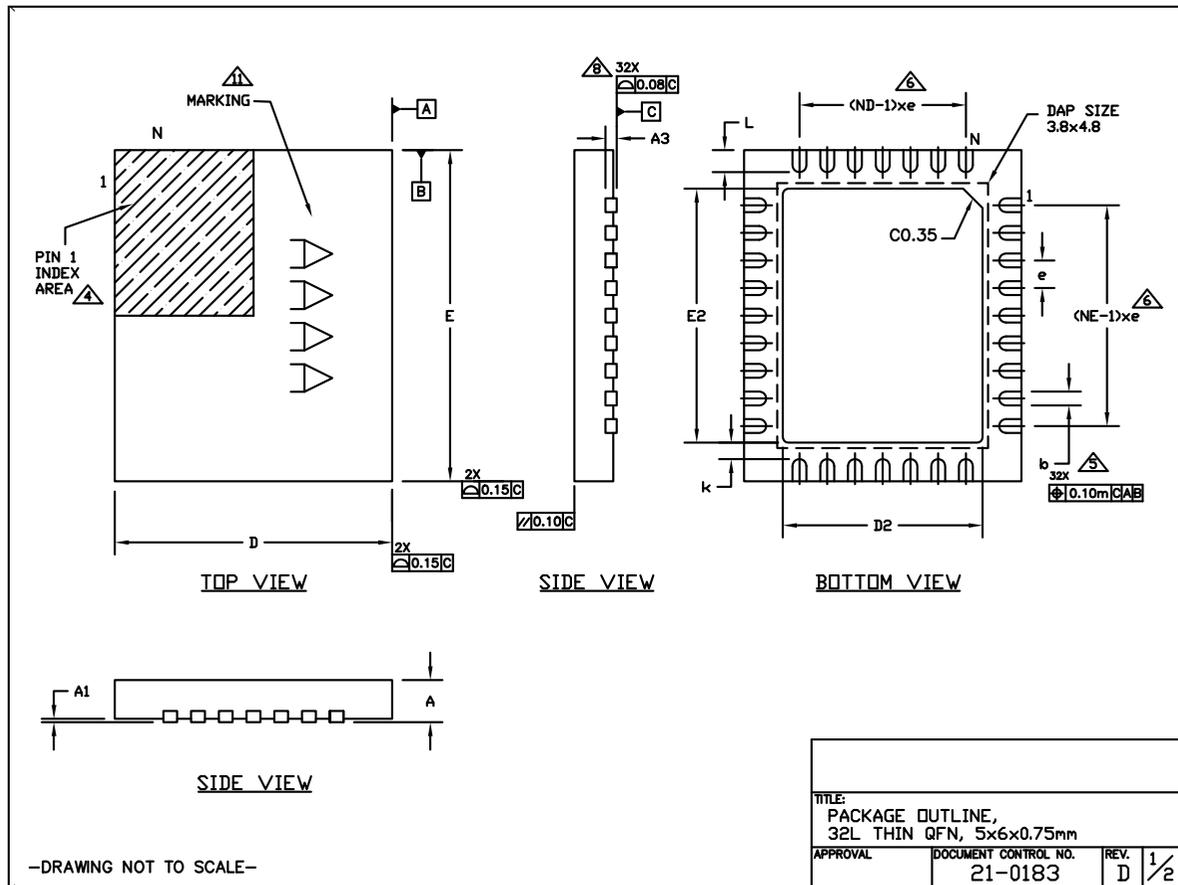


# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## パッケージ(続き)

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。



# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## パッケージ(続き)

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

REF.	MIN.	NDM.	MAX.	NOTE
A	0.70	0.75	0.80	
A1	0	-	0.05	
A3	0.20 REF			
b	0.20	0.25	0.30	
D	4.90	5.00	5.10	
E	5.90	6.00	6.10	
e	0.50 BSC			
k	0.25	-	-	
L	0.35	0.40	0.45	ALL PINS
N	32			
ND	7			
NE	9			

PKG. CODE	D2			E2		
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.
T3256-1	3.50	3.60	3.70	4.50	4.60	4.70
T3256MN-1	3.50	3.60	3.70	4.50	4.60	4.70

### NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- △ DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. REFER TO JEDEC MO-220 (WHJD) EXCEPT D2 & E2 DIMENSIONS.
10. WARPAGE SHALL NOT EXCEED 0.10mm.
- △ MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbfREE (+) PKG. CODES.

-DRAWING NOT TO SCALE-

TITLE: PACKAGE OUTLINE, 32L THIN QFN, 5x6x0.75mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0183	REV. D	2/2

# 低電力、高性能 NTSC/PALビデオデコーダ

MAX9526

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	5/09	初版	—
1	7/09	TQFNパッケージ図を訂正	36, 37
2	2/10	車載用型番を追加	1



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

38 **Maxim Integrated Products, Inc. 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000**

© 2010 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。