

MAX9276/MAX9280

3.12Gbps GMSLデシリアライザ、 同軸またはSTP入力およびパラレル出力用

概要

ギガビットマルチメディアシリアルリンク(GMSL)デシリアライザのMAX9276/MAX9280は、50Ω同軸または100Ωシールドツイストペア(STP)ケーブル上でGMSLシリアライザからデータを受信し、デシリアライズしたデータをLVCMOS出力上に出力します。

MAX9280はHDCPコンテンツ保護を備えていますが、それ以外はMAX9276と同じです。これらのデシリアライザは、HDMI/MHLシリアライザのMAX9293を含む、同軸出力が可能な任意のGMSLシリアライザと組み合わせることができます。STP入力用に設定した場合、これらは任意のGMSLシリアライザに対して下位互換です。

オーディオチャネルはL-PCM I²SステレオおよびTDMモードで最大8チャネルのL-PCMをサポートします。32kHz～192kHzのサンプルレートに対応し、サンプル深度は最大32ビットです。

内蔵の制御チャネルは、UART-UARTおよびUART-I²Cモードでは9.6kbps～1Mbpsで動作し、I²C-I²Cモードでは最大1Mbpsで動作します。μCは制御チャネルを使用して、ビデオタイミングに関係なく任意の時点でシリアライザ、デシリアライザ、およびペリフェラルデバイスのレジスタを設定し、HDCPの動作(MAX9280)を管理することができます。2つのGPIOポートが内蔵されており、ディスプレイの起動やバックライトの切替えなど各種の用途に使用することができます。GPI入力の継続的なサンプリングによって、ディスプレイアプリケーションでのタッチスクリーンコントロールの割込み要求に対応します。

より長いケーブルで使用するために、これらのデシリアライザは設定可能なケーブルイコライザを備えています。パラレル出力で設定可能なスペクトラム拡散が使用可能です。シリアル入力は、ISO 10605およびIEC 61000-4-2 ESD規格に準拠しています。コア電源範囲は3.0V～3.6Vで、I/O電源範囲は1.7V～3.6Vです。

これらのデバイスは、エクスポーズドパッド付き、0.5mm リードピッチの鉛フリー56ピン、8mm x 8mm TQFNパッケージで提供されます。

型番はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/MAX9276.relatedを参照してください。

アプリケーション

- 高解像度車載ナビゲーション
- 後部座席インフォテインメント
- メガピクセルカメラシステム

利点および特長

- HDビデオアプリケーションに最適
 - 低コスト50Ω同軸ケーブルとFAKRAコネクタ、または100Ω STPで動作
 - 104MHzの広帯域幅モードによって24ビットカラーで1920x720p/60Hzのディスプレイをサポート
 - イコライゼーションによって15mのケーブルでフルスピードが可能
 - 最大192kHzのサンプルレートと32ビットのサンプル深度で7.1チャネルHDオーディオに対応
 - オーディオソースまたはオーディオシンクからのオーディオクロック
 - カラーlookupアップテーブルによるガンマ補正
 - CNTL[3:0]制御出力
- 複数のデータレートによるシステムの柔軟性
 - シリアルビットレート：最大3.12Gbps
 - ピクセルクロック：6.25MHz～104MHz
 - クロックストレッチ機能を備えたUART、ミックスドUART/I²C、またはI²Cモードの制御チャネル：9.6kbps～1Mbps
- EMIおよびシールド要件を軽減
 - 設定可能なスペクトラム拡散によるEMIの低減
 - 入力のスเปクトラム拡散をトラッキング
 - 高耐性モードによって制御チャネルのノイズ除去を最大化
- システムの起動と検証のためのペリフェラル機能
 - シリアルリンクのBERテスト用のPRBSテスト内蔵
 - 設定によって8つのデフォルトデバイスアドレスを選択可能
 - 2つの専用GPIOポート
 - タッチスクリーン割込みおよびその他の用途に使用可能な専用の「アップ/ダウン」GPI
 - スリープモードからのリモート/ローカルウェイクアップ
- 車載用および産業用の厳しい要件に適合
 - 動作温度：-40℃～+105℃
 - ISO 10605およびIEC 61000-4-2 ESD保護：±8kV接触および±15kV気中放電



目次

概要	1
アプリケーション	1
利点および特長	1
Absolute Maximum Ratings	7
Package Thermal Characteristics	7
DC Electrical Characteristics	7
AC Electrical Characteristics	11
標準動作特性	15
ピン配置	17
端子説明	17
ファンクションダイアグラム	20
詳細	24
レジスタマッピング	24
出力ビットマップ	29
シリアルリンクの信号方式とデータ形式	29
広帯域幅モード	32
オーディオチャンネル	32
オーディオチャンネル入力	32
オーディオチャンネル出力	35
オーディオアプリケーション用の追加のMCLK出力	36
オーディオ出力のタイミングソース	36
逆方向制御チャンネル	36
制御チャンネルおよびレジスタの設定	37
UARTインタフェース	37
コマンドバイトのみのI ² CデバイスとUARTとのインタフェース	39
UARTバイパスモード	39
I ² Cインタフェース	40
START条件とSTOP条件	40
ビット転送	40
アクノリッジ	41
スレーブアドレス	41
バスリセット	41
書込みの形式	42
読取りの形式	43
リモート側デバイスとのI ² C通信	43
I ² Cアドレス変換	43
GPO/GPI制御	44
ラインイコライザ	44

目次(続き)

スペクトラム拡散	44
スペクトラム拡散分周器のマニュアル設定	44
HS/VS/DEのトラッキング	45
シリアル入力	45
同軸スプリッタモード	45
ケーブルタイプ設定入力	45
カラーlookupアップテーブル	46
LUTデータの設定と検証	46
LUTの色変換	46
LUTのビット幅	46
推奨されるLUTの設定手順	47
高耐性逆方向制御チャネルモード	48
スリープモード	48
パワーダウンモード	48
設定リンク	48
リンクのスタートアップ手順	49
広帯域幅デジタルコンテンツ保護(HDCP)	51
暗号化のイネーブル	51
暗号化の同期	51
リピータのサポート	51
HDCP認証の手順	52
HDCPプロトコルの概要	52
リピータネットワークの例— μ Cが2つの場合	56
新しいデバイス接続の検出と動作	59
認証の開始と暗号化のイネーブルをダウンストリームリンクに通知	59
アプリケーション情報	60
自己PRBSテスト	60
エラーチェック	60
ERR出力	60
オートエラーリセット	60
デュアル μ C制御	60
クロック周波数の変更	60
同期喪失の高速検出	60
フレーム同期の供給(カメラアプリケーション)	61
デバイスアドレスのソフトウェア設定	61
3レベル設定入力	61
設定のブロック	61
他のGMSLデバイスとの互換性	61

目次(続き)

鍵メモリ	61
HS/VS/DEの反転	61
WS/SCKの反転	61
GPIO	62
スタガードパラレル出力	62
内蔵入力プルダウン	62
I ² C/UARTのプルアップ抵抗の選択	62
AC結合	62
AC結合コンデンサの選択	62
電源回路とバイパス処理	62
電源の表	63
ケーブルとコネクタ	63
基板レイアウト	64
ESD保護	64
標準アプリケーション回路	73
型番	73
チップ情報	73
パッケージ	73
改訂履歴	74

図のリスト

図1. 逆方向制御チャネルの出力パラメータ	21
図2. 差動入力測定テスト回路	21
図3. ワーストケースパターンの出力	22
図4. I ² Cのタイミングパラメータ	22
図5. パラレルクロック出力の要件	22
図6. 出力の立上りおよび立下り時間	23
図7. デシリアライザの遅延	23
図8. GPI-GPO間の遅延	23
図9. ロック時間	24
図10. 起動遅延	24
図11. 出力I ² Sのタイミングパラメータ	24
図12. 24ビットモードのシリアルデータ形式	30
図13. 32ビットモードのシリアルデータ形式	31
図14. 広帯域幅モードのシリアルデータ形式	31
図15. オーディオチャネルの入力形式	32
図16. 8チャネルのTDM (24ビットサンプル、0でパディング)	34
図17. 6チャネルのTDM (24ビットサンプル、パディングなし)	34
図18. ステレオのI ² S (24ビットサンプル、0でパディング)	34
図19. ステレオのI ² S (16ビットサンプル、パディングなし)	35
図20. オーディオチャネルの出力形式	35
図21. ベースモードのGMSL UARTプロトコル	37
図22. ベースモードのGMSL UARTデータ形式	38
図23. SYNCバイト(0x79)	38
図24. ACKバイト(0xC3)	38
図25. レジスタアドレスによるGMSL UARTとI ² Cの間の形式変換(I2CMETHOD = 0)	38
図26. レジスタアドレスによるGMSL UARTとI ² Cの間の形式変換(I2CMETHOD = 1)	39
図27. START条件とSTOP条件	40
図28. ビット転送	40
図29. アクノリッジ	41
図30. スレーブアドレス	41
図31. I ² Cの書込みの形式	42
図32. 複数のレジスタに対する書込みの形式	42
図33. I ² Cの読取りの形式	43
図34. 2:1同軸スプリッタ接続図	45
図35. 同軸接続図	45
図36. LUTのデータフロー	47
図37. 状態図	50
図38. 1つのリピータと2つのμCを含むネットワークの例 (Tx = GMSLシリアライザ、Rx = デシリアライザ)	56

図のリスト(続き)

図39. ヒューマンボディモデルESDテスト回路	64
図40. IEC 61000-4-2接触放電ESDテスト回路	64
図41. ISO 10605接触放電ESDテスト回路	64

表のリスト

表1. 起動時のデフォルトのレジスタマップ(表26と表27を参照)	25
表2. デバイスアドレスのデフォルト(レジスタ0x00、0x01)	29
表3. 出力マップ	30
表4. データレート選択表	32
表5. さまざまなPCLKOUT周波数における最大オーディオWS周波数(kHz)	33
表6. fSRCの設定	36
表7. I ² Cのビットレート範囲	43
表8. ケーブルイコライザのブーストレベル	44
表9. 出力の拡散	44
表10. 変調係数と最大SDIV設定値	44
表11. 設定入力マップ	45
表12. ピクセルデータ形式	46
表13. 逆方向制御チャネルのモード	48
表14. 高速高耐性モードの要件	48
表15. ビデオディスプレイアプリケーションのスタートアップ手順	49
表16. 画像検出アプリケーション(CDS = ハイ)のスタートアップ手順	50
表17. スタートアップ、HDCP認証、および通常動作(デシリアライザがリピータではない場合)— HDCP認証プロトコルの第1のパート	52
表18. リンク完全性チェック(通常)—暗号化のイネーブル後128フレームごとに実行	54
表19. オプションの拡張リンク完全性チェック—暗号化のイネーブル後16フレームごとに実行	55
表20. HDCP認証と通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの第1と第2のパート	56
表21. MAX9276/MAX9280の機能上の互換性	61
表22. スタガード出力の遅延	62
表23. IOVDD電流のシミュレーション結果	63
表24. HDCPの追加的な消費電流(MAX9280のみ)	63
表25. GMSLの推奨コネクタとケーブル	63
表26. レジスタ表(表1を参照)	65
表27. HDCPレジスタ表(MAX9280のみ、表1を参照)	71

Absolute Maximum Ratings (Note 1)

AVDD to EP	-0.5V to +3.9V
DVDD to EP	-0.5V to +3.9V
IOVDD to EP	-0.5V to +3.9V
IN+, IN- to EP	-0.5V to +1.9V
All Other Pins to EP	-0.5V to (V _{IOVDD} + 0.5V)
IN+, IN- Short Circuit to Ground or Supply	Continuous

Continuous Power Dissipation (T _A = +70°C)	
TQFN (derate 47.6mW/°C above +70°C).....	3809.5mW
Junction Temperature.....	+150°C
Storage Temperature.....	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Note 1: EP connected to PCB ground.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 2)

TQFN

Junction-to-Case Thermal Resistance (θ _{JC})	1°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA})	21°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

DC Electrical Characteristics

(V_{AVDD} = V_{DVDD} = 3.0V to 3.6V, V_{IOVDD} = 1.7V to 3.6V, R_L = 100Ω ±1% (differential), EP connected to PCB ground (GND), T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V, T_A = +25°C.)(Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS (ADD_, HIM, I2CSEL, GPI, PWDN, MS)						
High-Level Input Voltage	V _{IH1}		0.65 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL1}			0.35 x V _{IOVDD}		V
Input Current	I _{IN1}	V _{IN} = 0V to V _{IOVDD}	-10		+20	μA
THREE-LEVEL LOGIC INPUTS (BWS, CX/TP)						
High-Level Input Voltage	V _{IH}		0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL}			0.3 x V _{IOVDD}		V
Mid-Level Input Current	I _{INM}	(Note 4)	-10		10	μA
Input Current	I _{IN}		-150		150	μA
SINGLE-ENDED OUTPUTS (WS, SCK, SD, DOUT_, CNTL_, INTOUT, PCLKOUT)						
High-Level Output Voltage	V _{OH1}	I _{OUT} = -2mA	DCS = '0'	V _{IOVDD} - 0.3		V
			DCS = '1'	V _{IOVDD} - 0.2		
Low-Level Output Voltage	V _{OL1}	I _{OUT} = 2mA	DCS = '0'		0.3	V
			DCS = '1'		0.2	

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
OUTPUT Short-Circuit Current	I _{OS}	DOUT_	V _O = 0V, DCS = ‘0’	V _{IOVDD} = 3.0V to 3.6V	15	25	39	mA
				V _{IOVDD} = 1.7V to 1.9V	3	7	13	
			V _O = 0V, DCS = ‘1’	V _{IOVDD} = 3.0V to 3.6V	20	35	63	
				V _{IOVDD} = 1.7V to 1.9V	5	10	21	
		PCLKOUT	V _O = 0V, DCS = ‘0’	V _{IOVDD} = 3.0V to 3.6V	15	33	50	
				V _{IOVDD} = 1.7V to 1.9V	5	10	17	
			V _O = 0V, DCS = ‘1’	V _{IOVDD} = 3.0V to 3.6V	30	54	97	
				V _{IOVDD} = 1.7V to 1.9V	9	16	32	
OPEN-DRAIN INPUT/OUTPUT (GPIO0, GPIO1, RX/SDA, TX/SCL, $\overline{ERR}$, LOCK)								
High-Level Input Voltage	V _{IH2}				0.7 x V _{IOVDD}			V
Low-Level Input Voltage	V _{IL2}				0.3 x V _{IOVDD}			V
Input Current	I _{IN2}	(Note 5)	RX/SDA, TX/SCL		-100	+5		μA
			LOCK, $\overline{ERR}$, GPIO_		-80	+5		
Low-Level Output Voltage	V _{OL2}	I _{OUT} = 3mA	V _{IOVDD} = 1.7V to 1.9V		0.4			V
			V _{IOVDD} = 3.0V to 3.6V		0.3			
Input Capacitance	C _{IN}	Each pin (Note 6)			10			pF
OUTPUT FOR REVERSE CONTROL CHANNEL (IN+, IN-)								
Differential High Output Peak Voltage (V _{IN+}) - (V _{IN-})	V _{RODH}	Forward channel disabled, Figure 1	Legacy reverse control channel mode		30	60		mV
			High immunity mode		50	100		
Differential Low Output Peak Voltage (V _{IN+}) - (V _{IN-})	V _{RODL}	Forward channel disabled, Figure 1	Legacy reverse control channel mode		-60	-30		mV
			High immunity mode		-100	-50		
Single-Ended High Output Peak Voltage	V _{ROSH}	Forward channel disabled	Legacy reverse control channel mode		30	60		mV
			High immunity mode		50	100		
Single-Ended Low Output Peak Voltage	V _{ROSL}	Forward channel disabled	Legacy reverse control channel mode		-60	-30		mV
			High immunity mode		-100	-50		

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
DIFFERENTIAL INPUTS (IN+, IN-)								
Differential High Input Threshold (Peak) Voltage (V _{IN+}) - (V _{IN-})	V _{IDH(P)}	Figure 2	Activity detector medium Threshold, (0x0B D[6:5] = 01)		60		mV	
			Activity detector low Threshold, (0x0B D[6:5] = 00)		47.5			
Differential Low Input Threshold (Peak) Voltage (V _{IN+}) - (V _{IN-})	V _{IDL(P)}	Figure 2	Activity detector medium Threshold, (0x0B D[6:5] = 01)		-60		mV	
			Activity detector medium Threshold, (0x0B D[6:5] = 00)		-47.5			
Input Common-Mode Voltage ((V _{IN+}) + (V _{IN-}))/2	V _{CMR}				1	1.3	1.6	V
Differential Input Resistance (Internal)	R _{IN}				80	100	130	Ω
SINGLE-ENDED INPUTS (IN+, IN-)								
Single-Ended High Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{ISH(P)}	Activity detector medium threshold, (0x0B D[6:5] = 01)			43		mV	
		Activity detector low threshold, (0x0B D[6:5] = 00)			33			
Single-Ended Low Input Threshold (Peak) Voltage, (V _{IN+}) - (V _{IN-})	V _{ISL(P)}	Activity detector medium threshold, (0x0B D[6:5] = 01)			-43		mV	
		Activity detector medium threshold, (0x0B D[6:5] = 00)			-33			
Input Resistance (Internal)	R _I				40	50	65	Ω
POWER SUPPLY								
Total Supply Current (AVDD + DVDD + IOVDD) (Note 7) (Worst-Case-Pattern, Figure 3)	I _{WCS}	BWS = low, f _{PCLKOUT} = 16.6MHz	2% spread active	C _L = 5pF	131	164	mA	
				C _L = 10pF	136	169		
			Spread spectrum disabled	C _L = 5pF	122	153		
				C _L = 10pF	127	158		
		BWS = low, f _{PCLKOUT} = 33.3MHz	2% spread active	C _L = 5pF	144	179		
				C _L = 10pF	153	189		
			Spread spectrum disabled	C _L = 5pF	133	167		
				C _L = 10pF	142	177		
		BWS = low, f _{PCLKOUT} = 66.6MHz	2% spread active	C _L = 5pF	175	216		
				C _L = 10pF	190	233		
			Spread spectrum disabled	C _L = 5pF	159	197		
				C _L = 10pF	174	214		

DC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS			MIN	TYP	MAX	UNITS
Total Supply Current (AVDD + DVDD + IOVDD) (Note 7) (Worst-Case-Pattern, Figure 3)	I _{WCS}	BWS = low, f _{PCLKOUT} = 104MHz	2% spread active	C _L = 5pF		212	255	mA
				C _L = 10pF		234	278	
			Spread spectrum disabled	C _L = 5pF		190	228	
				C _L = 10pF		212	251	
		BWS = mid, f _{PCLKOUT} = 36.6MHz	2% spread active	C _L = 5pF		154	191	
				C _L = 10pF		164	203	
			Spread spectrum disabled	C _L = 5pF		143	177	
				C _L = 10pF		154	189	
		BWS = mid, f _{PCLKOUT} = 104MHz	2% spread active	C _L = 5pF		231	277	
				C _L = 10pF		257	305	
			Spread spectrum disabled	C _L = 5pF		209	249	
				C _L = 10pF		234	277	
Sleep Mode Supply Current	I _{CCS}					70	265	μA
Power-Down Current	I _{CCZ}	P _{WDN} = GND				20	195	μA
ESD PROTECTION								
IN+, IN- (Note 8)	V _{ESD}	Human body model, R _D = 1.5kΩ, C _S = 100pF				±8		kV
		IEC 61000-4-2, R _D = 330Ω, C _S = 150pF	Contact discharge			±10		
			Air discharge			±12		
		ISO 10605, R _D = 2kΩ, C _S = 330pF	Contact discharge			±10		
			Air discharge			±20		
All Other Pins (Note 9)	V _{ESD}	Human body model, R _D = 1.5kΩ, C _S = 100pF				±4		kV

AC Electrical Characteristics

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PARALLEL CLOCK OUTPUT (PCLKOUT)						
Clock Frequency	$f_{PCLKOUT}$	BWS = low, DRS = '1'	8.33		16.66	MHz
		BWS = low, DRS = '0'	16.66		104	
		BWS = mid, DRS = '1'	18.33		36.66	
		BWS = mid, DRS = '0'	36.66		104	
		BWS = high, DRS = '1'	6.25		12.5	
		BWS = high, DRS = '0'	12.5		78	
Clock Duty Cycle	DC	t_{HIGH}/t_T or t_{LOW}/t_T (Note 6)	40	50	60	%
Clock Jitter	t_J	Period jitter, peak-to-peak, spread off, 3.12Gbps, PRBS pattern, UI = $1/f_{PCLKOUT}$ (Note 6)		0.05		UI
I²C/UART PORT TIMING						
I ² C/UART Bit Rate			9.6		1000	kbps
Output Rise Time	t_R	30% to 70%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		150	ns
Output Fall Time	t_F	70% to 30%, $C_L = 10pF$ to $100pF$, $1k\Omega$ pullup to V_{IOVDD}	20		150	ns
I²C TIMING (Figure 4)						
SCL Clock Frequency	f_{SCL}	Low f_{SCL} range: (I2CMSTBT = 010, I2CSLVSH = 10)	9.6		100	kHz
		Mid f_{SCL} range: (I2CMSTBT 101, I2CSLVSH = 01)	> 100		400	
		High f_{SCL} range: (I2CMSTBT = 111, I2CSLVSH = 00)	> 400		1000	
START Condition Hold Time	$t_{HD:STA}$	f_{SCL} range	Low		4.0	μs
			Mid		0.6	
			High		0.26	
Low Period of SCL Clock	t_{LOW}	f_{SCL} range	Low		4.7	μs
			Mid		1.3	
			High	$V_{IOVDD} = 1.7V$ to $< 3V$ (Note 11)	0.6	
				$V_{IOVDD} = 3.0V$ to $3.6V$	0.5	
High Period of SCL Clock	t_{HIGH}	f_{SCL} range	Low		4.0	μs
			Mid		0.6	
			High		0.26	
Repeated START Condition Setup Time	$t_{SU:STA}$	f_{SCL} range	Low		4.7	μs
			Mid		0.6	
			High		0.26	

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Data Hold Time	$t_{HD:DAT}$	f_{SCL} range	Low	0			μs
			Mid	0			
			High	0			
Data Setup Time	$t_{SU:DAT}$	f_{SCL} range	Low	250			μs
			Mid	100			
			High	50			
Setup Time for STOP Condition	$t_{SU:STO}$	f_{SCL} range	Low	4.0			μs
			Mid	0.6			
			High	0.26			
Bus Free Time	t_{BUF}	f_{SCL} range	Low	4.7			μs
			Mid	1.3			
			High	0.5			
Data Valid Time	$t_{VD:DAT}$	f_{SCL} range	Low			3.45	μs
			Mid			0.9	
			High	$V_{IOVDD} = 1.7V$ to $< 3V$ (Note 12)		0.55	
				$V_{IOVDD} = 3.0V$ to $3.6V$		0.45	
Data Valid Acknowledge Time	$t_{VD:ACK}$	f_{SCL} range	Low			3.45	μs
			Mid			0.9	
			High	$V_{IOVDD} = 1.7V$ to $< 3V$ (Note 13)		0.55	
				$V_{IOVDD} = 3.0V$ to $3.6V$		0.45	
Pulse Width of Spikes Suppressed	t_{SP}	f_{SCL} range	Low			50	ns
			Mid			50	
			High			50	
Capacitive Load Each Bus Line	C_b					100	pF
SWITCHING CHARACTERISTICS							
PCLKOUT Rise-and-Fall Time, Figure 5	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 6)	DCS = '1', $C_L = 10pF$	0.4		2.2	ns
			DCS = '0', $C_L = 5pF$	0.5		2.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 1)	DCS = '1', $C_L = 10pF$	0.25		1.8	
			DCS = '0', $C_L = 5pF$	0.3		2.0	
Parallel Data Rise-and-Fall Time, Figure 6	t_R, t_F	20% to 80%, $V_{IOVDD} = 1.7V$ to $1.9V$ (Note 1)	DCS = '1', $C_L = 10pF$	0.5		3.1	ns
			DCS = '0', $C_L = 5pF$	0.6		3.8	
		20% to 80%, $V_{IOVDD} = 3.0V$ to $3.6V$ (Note 6)	DCS = '1', $C_L = 10pF$	0.3		2.2	
			DCS = '0', $C_L = 5pF$	0.4		2.4	

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Deserializer Delay	t _{SD}	(Note 14) Figure 7	Spread spectrum enabled	6960			Bits
			Spread spectrum disabled	2160			
Reverse Control Channel Output Rise Time	t _R	No forward channel data transmission, Figure 1		180		400	ns
Reverse Control Channel Output Fall Time	t _F	No forward channel data transmission, Figure 1		180		400	ns
GPI to GPO Delay	t _{GPIO}	Deserializer GPI to serializer GPO (cable delay not included), Figure 8				350	μs
Lock Time	t _{LOCK}	Figure 9	Spread spectrum enabled	3			ms
			Spread spectrum disabled	2			
Power-Up Time	t _{PU}	Figure 10				3.5	ms
I ² S/TDM OUTPUT TIMING (Note 6)							
WS Jitter	t _{jWS}	t _{WS} = 1/f _{WS} , (cycle-to-cycle), rising-to-falling edge or falling-to-rising edge	f _{WS} = 48kHz or 44.1kHz	1.2e-3 x t _{WS}	1.5e-3 x t _{WS}	ns	
			f _{WS} = 96kHz	1.6e-3 x t _{WS}	2e-3 x t _{WS}		
			f _{WS} = 192kHz	1.6e-3 x t _{WS}	2e-3 x t _{WS}		
SCK Jitter (2-Channel I ² S)	t _{jSCK1}	t _{SCK} = 1/f _{SCK} , (cycle-to-cycle), rising-to-rising edge	n _{SCK} = 16 bits, f _{SCK} = 48kHz or 44.1kHz	13e-3 x t _{SCK}	16e-3 x t _{SCK}	ns	
			n _{SCK} = 24 bits, f _{SCK} = 96kHz	39e-3 x t _{SCK}	48e-3 x t _{SCK}		
			n _{SCK} = 32 bits, f _{SCK} = 192kHz	0.1 x t _{SCK}	0.13 x t _{SCK}		
SCK Jitter (8-Channel TDM)	t _{jSCK2}	t _{SCK} = 1/f _{SCK} , (cycle-to-cycle), rising-to-rising edge	n _{SCK} = 16 bits, f _{SCK} = 48kHz or 44.1kHz	52e-3 x t _{SCK}	64e-3 x t _{SCK}	ns	
			n _{SCK} = 24 bits, f _{SCK} = 96kHz	156e-3 x t _{SCK}	192e-3 x t _{SCK}		
			n _{SCK} = 32 bits, f _{SCK} = 192kHz	0.4 x t _{SCK}	0.52 x t _{SCK}		
Audio Skew Relative to Video	t _{ASK}	Video and audio synchronized		3 x t _{WS}	4 x t _{WS}	μs	
SCK, SD, WS Rise-and-Fall Time	t _R , t _F	20% to 80%	C _L = 10pF, DCS = 1	0.3	3.1		ns
			C _L = 5pF, DCS = 0	0.4	3.8		

AC Electrical Characteristics (continued)

($V_{AVDD} = V_{DVDD} = 3.0V$ to $3.6V$, $V_{IOVDD} = 1.7V$ to $3.6V$, $R_L = 100\Omega \pm 1\%$ (differential), EP connected to PCB ground (GND), $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$.) (Note 10)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SD, WS Valid Time Before SCK (2-Channel I ² S)	t_{DVB1}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time After SCK (2-Channel I ² S)	t_{DVA1}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time Before SCK (8-Channel TDM)	t_{DVB2}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns
SD, WS Valid Time After SCK (8-Channel TDM)	t_{DVA2}	$t_{SCK} = 1/f_{SCK}$, Figure 11	$0.20 \times t_{SCK}$	$0.5 \times t_{SCK}$		ns

Note 3: Limits are 100% production tested at $T_A = +25^\circ C$. Limits over the operating temperature range are guaranteed by design and characterization, unless otherwise noted.

Note 4: To provide a mid level, leave the input open, or, if driven, put driver in high impedance. High-impedance leakage current must be less than $\pm 10\mu A$.

Note 5: I_{IN} MIN due to voltage drop across the internal pullup resistor.

Note 6: Not production tested. Guaranteed by design.

Note 7: HDCP not enabled (MAX9280 only). IOVDD current is not production tested. See [Table 24](#) for additional supply current when HDCP is enabled

Note 8: Specified pin to ground.

Note 9: Specified pin to all supply/ground.

Note 10: Not production tested, guaranteed by bench characterization.

Note 11: The I²C bus standard t_{LOW} (min) = $0.5\mu s$.

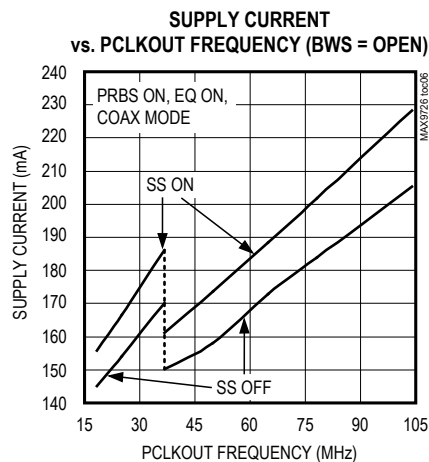
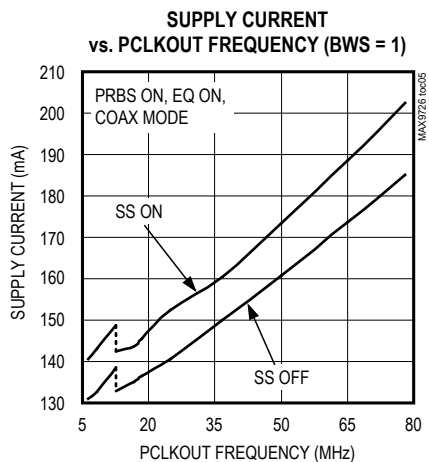
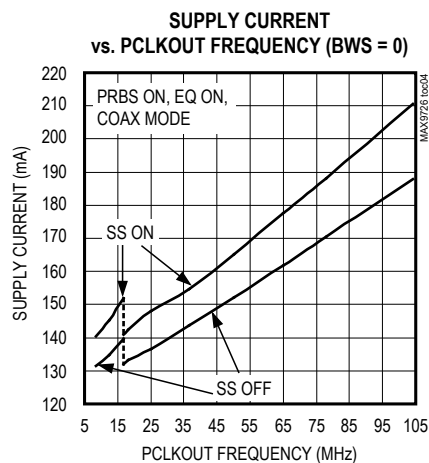
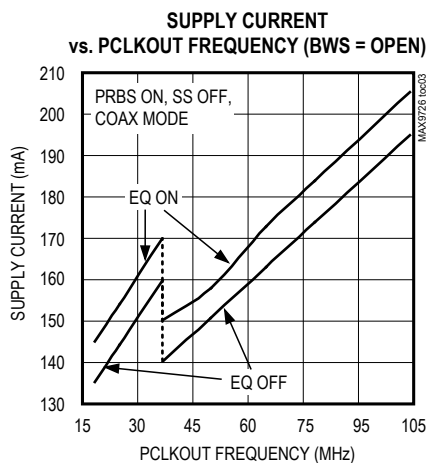
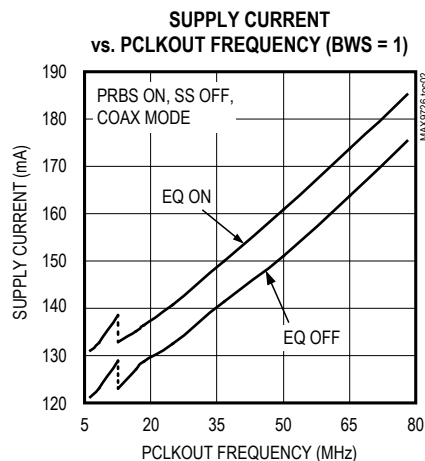
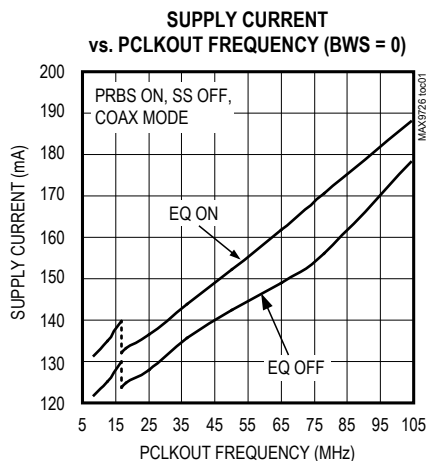
Note 12: The I²C bus standard $t_{VD:DAT}$ (max) = $0.45\mu s$.

Note 13: The I²C bus standard $t_{VD:ACK}$ (max) = $0.45\mu s$.

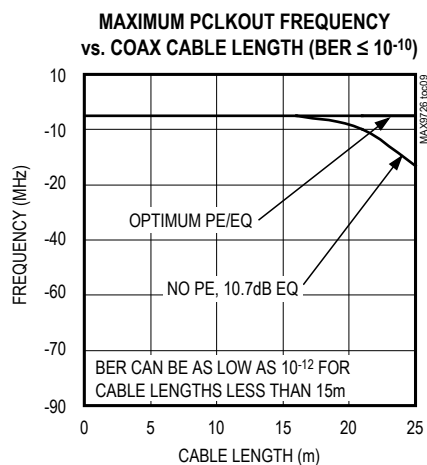
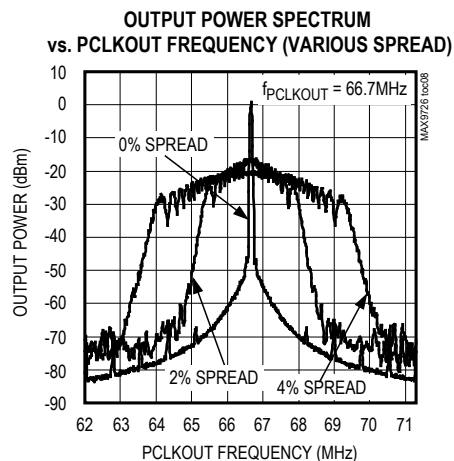
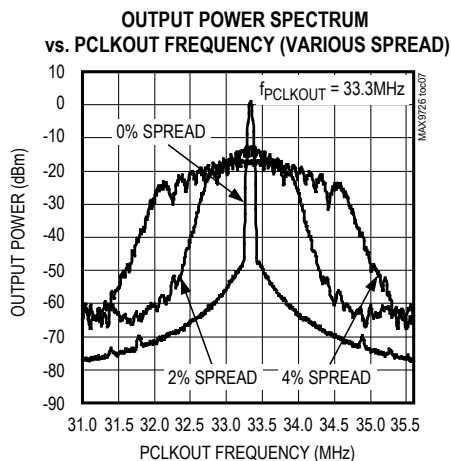
Note 14: Measured in serial link bit times. Bit time = $1/(30 \times f_{PCLKIN})$ for BWS = '0' or open. Bit time = $1/(40 \times f_{PCLKIN})$ for BWS = '1'.

標準動作特性

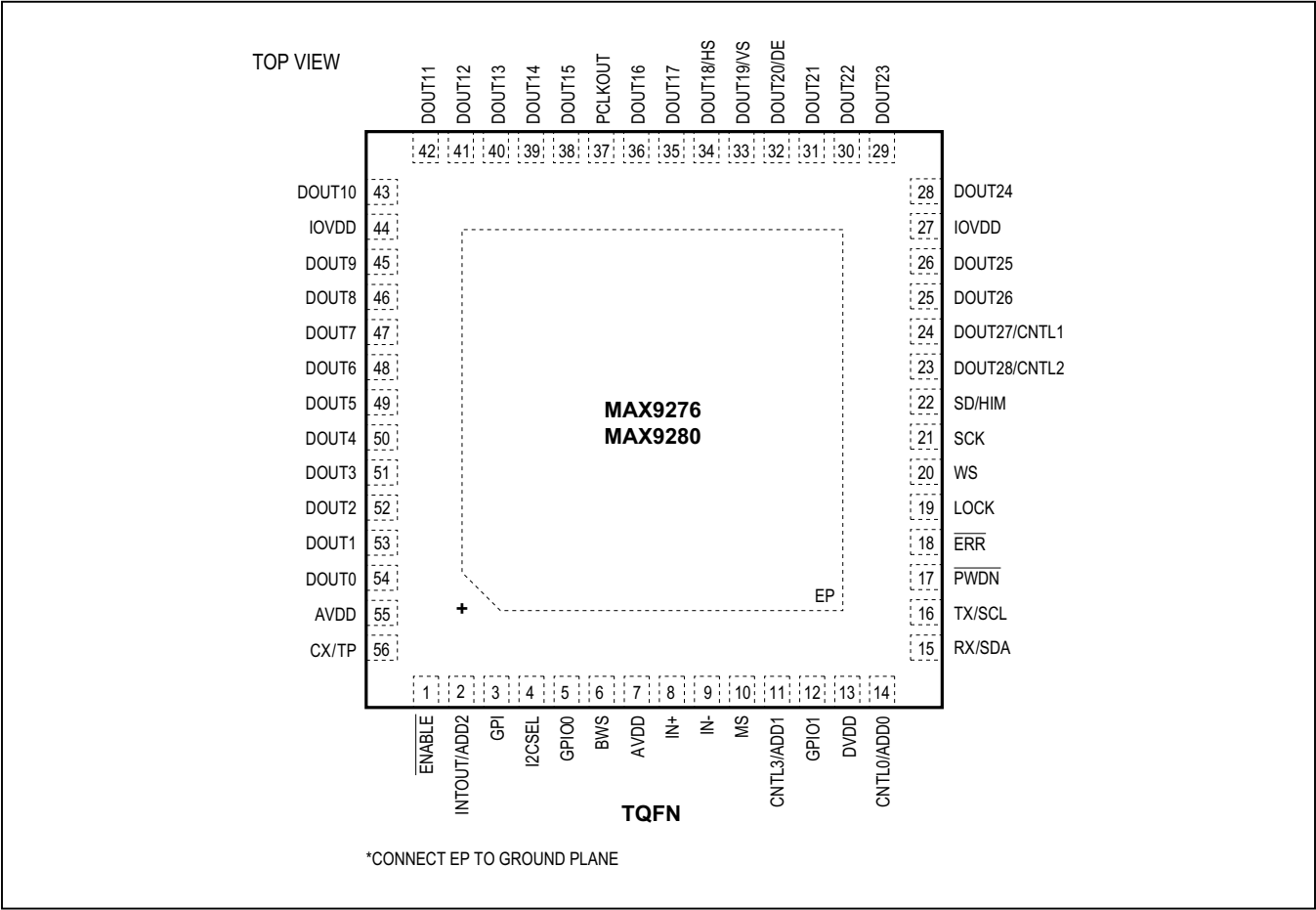
($V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



標準動作特性(続き)

(V_{AVDD} = V_{DVDD} = V_{IOVDD} = 3.3V, T_A = +25°C, unless otherwise noted.)

ピン配置



端子説明

端子	名称	機能
1	ENABLE	EPへのプルダウンを内蔵したアクティブローのパラレル出力イネーブル入力。PCLKOUT、DOUT_、CNTL_の出力をイネーブルするには、ENABLE = ローに設定します。PCLKOUT、DOUT_、CNTL_をハイインピーダンスにするには、ENABLE = ハイに設定します。
2	INTOUT/ADD2	EPへのプルダウンを内蔵したA/Vステータスレジスタ割込み出力/アドレス選択。起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にはADD2入力として機能し、起動後には自動的にINTOUT出力に切り替わります。 ADD2：ビット値は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。表2を参照してください。ハイに設定する場合はINTOUT/ADD2を30kΩの抵抗でIOVDDに接続し、ローに設定する場合はオープンのままにします。 INTOUT：A/Vステータスレジスタ内の新しいデータを示します。A/Vステータスレジスタが読み取られると、INTOUTはリセットされます。
3	GPI	EPへのプルダウンを内蔵した汎用入力。デシリアライザのGPO (またはINT)出力はGPIに追従します。
4	I2CSEL	I ² C選択。EPへのプルダウンを内蔵した制御チャネルインタフェースプロトコル選択入力です。I ² Cインタフェースを選択するにはI2CSEL = ハイに設定します。UARTインタフェースを選択するにはI2CSEL = ローに設定します。
5	GPIO0	IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力

端子説明(続き)

端子	名称	機能
6	BWS	3レベルのバス幅選択入力。BWSをシリアルリンクの両側で同じレベルに設定します。24ビットモードにするには、BWS = ローに設定します。32ビットモードにするには、BWS = ハイに設定します。広帯域幅モードにするには、BWS = オープンに設定します。
7, 55	AVDD	3.3Vアナログ電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでAVDDをEPに接続します(値の小さい方のコンデンサがAVDD側)。
8	IN+	非反転同軸/ツイストペアシリアル入力
9	IN-	反転同軸/ツイストペアシリアル入力
10	MS	EPへのプルダウンを内蔵したモード選択。ベースモードを選択するには、MS = ローに設定します。バイパスモードを選択するには、MS = ハイに設定します。
11	CNTL3/ADD1	EPへのプルダウンを内蔵した補助制御信号出力/アドレス選択入力。起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にはADD1入力として機能し、起動後には自動的にCNTL3出力に切り替わります。ADD1: ビット値は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。表2を参照してください。ハイに設定する場合はCNTL3/ADD1を30kΩの抵抗でIOVDDに接続し、ローに設定する場合はオープンのままにします。CNTL3: 広帯域幅モード(BWS = オープン)でのみ使用されます。HDCPがイネーブルのとき、CNTL3は暗号化されません(MAX9280のみ)。
12	GPIO1	IOVDDへの60kΩのプルアップを内蔵したオープンドレインの汎用入出力
13	DVDD	3.3Vデジタル電源。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでDVDDをEPにバイパスします(値の小さい方のコンデンサがDVDD側)。
14	CNTL0/ADD0	EPへのプルダウンを内蔵した補助制御信号出力/アドレス選択入力。起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にはADD0入力として機能し、起動後には自動的にCNTL0出力に切り替わります。ADD0: ビット値は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされます。表2を参照してください。ハイに設定する場合はCNTL0/ADD0を30kΩの抵抗でIOVDDに接続し、ローに設定する場合はオープンのままにします。CNTL0: 広帯域幅モード(BWS = オープン)でのみ使用されます。HDCPがイネーブルのとき、CNTL0は暗号化されません(MAX9280のみ)。
15	RX/SDA	IOVDDへの30kΩのプルアップを内蔵したUART受信/I ² Cシリアルデータ入出力。機能は起動時のI2CSELの状態によって決まります。RX/SDAはオープンドレインのドライバを備えているため、プルアップ抵抗が必要です。RX: シリアライザのUARTの入力。SDA: シリアライザのI ² Cマスター/スレーブのデータ入出力。
16	TX/SCL	IOVDDへの30kΩのプルアップを内蔵したUART送信/I ² Cシリアルクロック入出力。機能は起動時のI2CSELの状態によって決まります。TX/SCLはオープンドレインのドライバを備えており、プルアップ抵抗が必要です。TX: シリアライザのUARTの出力。SCL: シリアライザのI ² Cマスター/スレーブのクロック入出力。
17	PWDN	EPへのプルダウンを内蔵したアクティブローのパワーダウン入力。パワーダウンモードに移行して消費電力を削減するには、PWDNをローに設定します。
18	ERR	エラー出力。IOVDDへの30kΩのプルアップを内蔵したオープンドレインのデータエラー検出/訂正指示出力です。PWDNがローのとき、ERRはハイです。
19	LOCK	IOVDDへの30kΩのプルアップを内蔵したオープンドレインのロック出力。LOCK = ハイは、正しいシリアルワード境界のアライメントでPLLがロックされていることを示します。LOCK = ローは、PLLがロックされていないか、またはシリアルワード境界のアライメントが不正であることを示します。PWDN = ローのとき、LOCKはハイです。

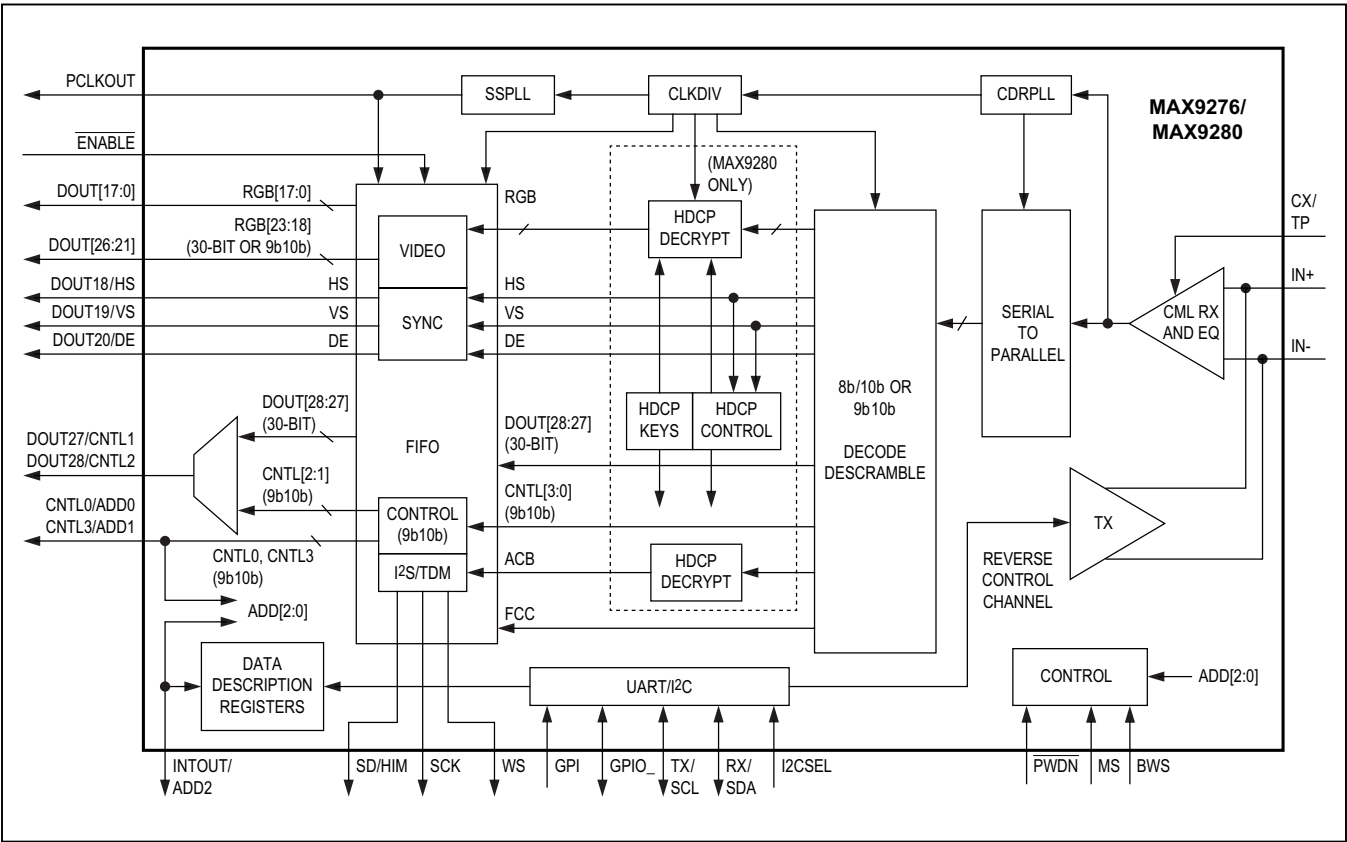
端子説明(続き)

端子	名称	機能
20	WS	I ² S/TDMワード選択入出力。I ² S出力として起動します(デシリアライザ供給クロック)。WSをGNDへのプルダウンを内蔵した入力に変更し、WSを外部供給するには、AUDIOMODEビット = 1に設定します(システム供給クロック)。
21	SCK	I ² S/TDMシリアルクロック入出力。I ² S出力として起動します(デシリアライザ供給クロック)。SCKをGNDへのプルダウンを内蔵した入力に変更し、WSを外部供給するには、AUDIOMODEビット = 1に設定します(システム供給クロック)。
22	SD/HIM	I ² S/TDMシリアルデータ出力/高耐性モード入力。 起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にはEPへのプルダウンを内蔵したHIM入力として機能し、起動後には自動的にSD出力に切り替わります。 HIM: デフォルトのHIGHIMMのビット値は、起動時またはパワーダウンモード(PWDN = ロー)からの復帰時にラッチされ、アクティブハイです。ハイに設定する場合はSD/HIMを30kΩの抵抗でIOVDDに接続し、ローに設定する場合はオープンのままにします。HIGHIMMは、起動後に別の値に設定することができます。シリアライザのHIGHIMMを同じ値に設定する必要があります。 SD: SDをPCLKOUTの選択されたエッジで有効な追加の制御/データ出力として使用する場合は、シリアルデータへのI ² S/TDMの符号化をディセーブルします。HDCPがイネーブルのときは暗号化されます(MAX9280のみ)。
23	DOUT28/CNTL2	PCLKOUTの選択されたエッジで有効なパラレルデータ/補助制御信号出力。 24ビットモード(BWS = ロー)では、DOUT28/CNTL2はハイインピーダンスのままです。 DOUT28は32ビットモード(BWS = ハイ)でのみ使用されます。HDCPがイネーブルのとき、DOUT28は暗号化されません(MAX9280のみ)。 CNTL2は広帯域幅モード(BWS = オープン)でのみ使用されます。HDCPがイネーブルのとき、CNTL2は暗号化されません(MAX9280のみ)。
24	DOUT27/CNTL1	PCLKOUTの選択されたエッジで有効なパラレルデータ/補助制御信号出力。 24ビットモード(BWS = ロー)では、DOUT27/CNTL1はハイインピーダンスのままです。 DOUT27は32ビットモード(BWS = ハイ)でのみ使用されます。HDCPがイネーブルのとき、DOUT27は暗号化されません(MAX9280のみ)。 CNTL1は広帯域幅モード(BWS = オープン)でのみ使用されます。HDCPがイネーブルのとき、CNTL1は暗号化されません(MAX9280のみ)。
25, 26, 28–31	DOUT[26:21]	PCLKOUTの選択されたエッジで有効なパラレルデータ出力。HDCPがイネーブルのときは暗号化されます(MAX9280のみ)。DOUT[26:21]は、32ビットモードと広帯域幅モード(BWS = ハイまたはオープン)でのみ使用されます。 24ビットモードでは、DOUT[26:21]はハイインピーダンスのままです。
27, 44	IOVDD	入出力電源電圧。1.8V~3.3Vのロジック入出力電源です。できる限りデバイスの近くに配置した0.1μFと0.001μFのコンデンサでIOVDDをEPにバイパスします(値の小さい方のコンデンサがIOVDD側)。
32	DOUT20/DE	PCLKOUTの選択されたエッジで有効なパラレルデータ/デバイスイネーブル出力。起動時にデフォルトでパラレルデータ出力になります。 HDCPがイネーブルのとき(MAX9280のみ)、または広帯域幅モード(BWS = オープン)にあるときはデバイスイネーブル出力です。
33	DOUT19/VS	PCLKOUTの選択されたエッジで有効なパラレルデータ/垂直同期出力。起動時にデフォルトでパラレルデータ出力になります。 HDCPがイネーブルのとき(MAX9280のみ)、または広帯域幅モード(BWS = オープン)にあるときは垂直同期出力です。
34	DOUT18/HS	PCLKOUTの選択されたエッジで有効なパラレルデータ/水平同期出力。起動時にデフォルトでパラレルデータ出力になります。 HDCPがイネーブルのとき(MAX9280のみ)、または広帯域幅モード(BWS = オープン)にあるときは水平同期出力です。

端子説明(続き)

端子	名称	機能
35, 36, 38–43, 45–54	DOUT[17:0]	PCLKOUTの選択されたエッジで有効なパラレルデータ出力。HDCPがイネーブルのときは暗号化されます (MAX9280のみ)。
37	PCLKOUT	DOUT[28:0]に使用されるパラレルクロック出力。パラレルデータを別のデバイスの入力にラッチします。
56	CX/TP	3レベルの同軸/ツイストペア選択入力。機能については、表11を参照してください。
—	EP	エクスポーズドパッド。EPは内部でデバイスのグラウンドに接続されています。十分な熱的および電気的性能を実現するため、一連のビアを介してEPをPCBのグラウンドプレーンに接続する必要があります。

ファンクションダイアグラム



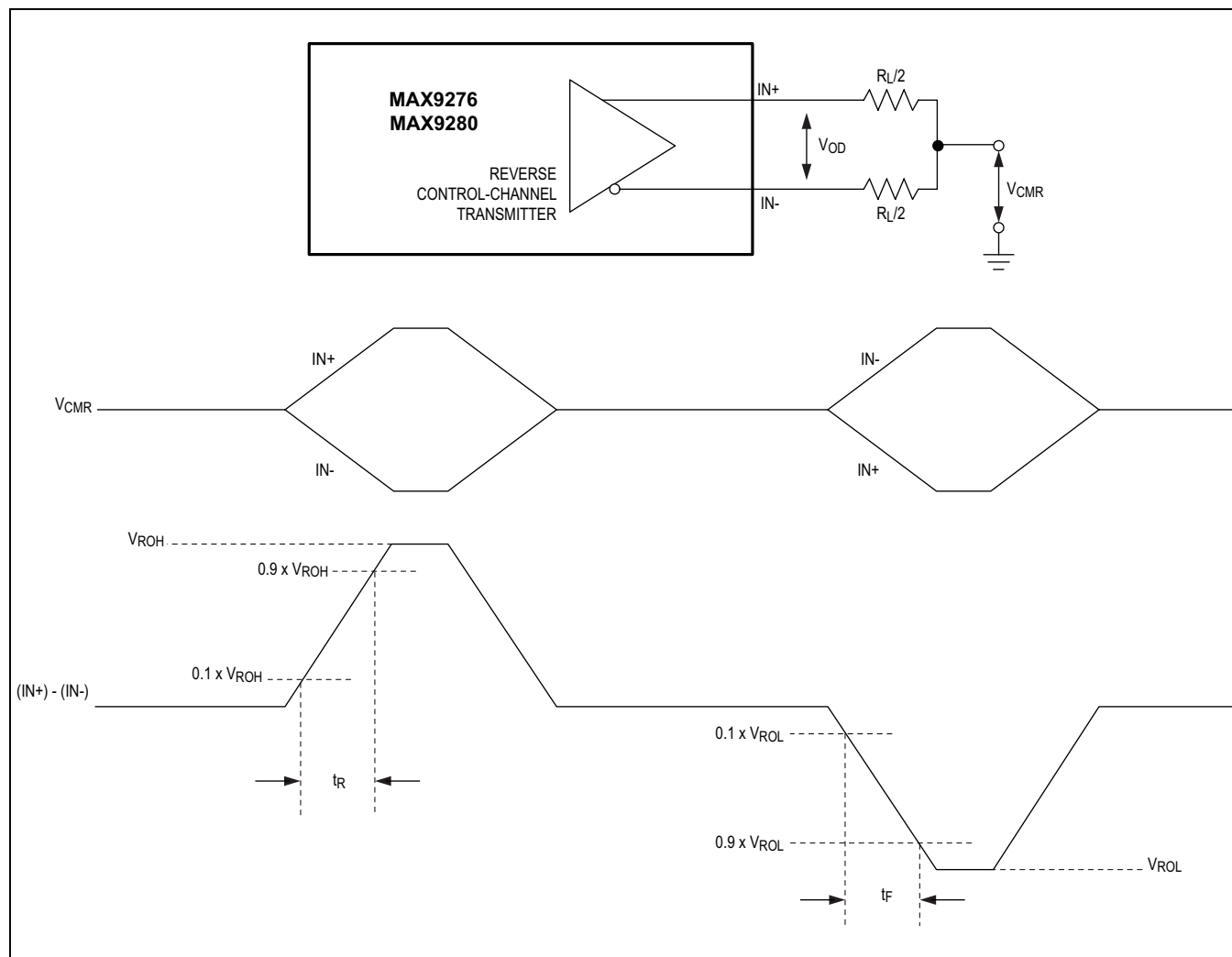


図 1. 逆方向制御チャネルの出力パラメータ

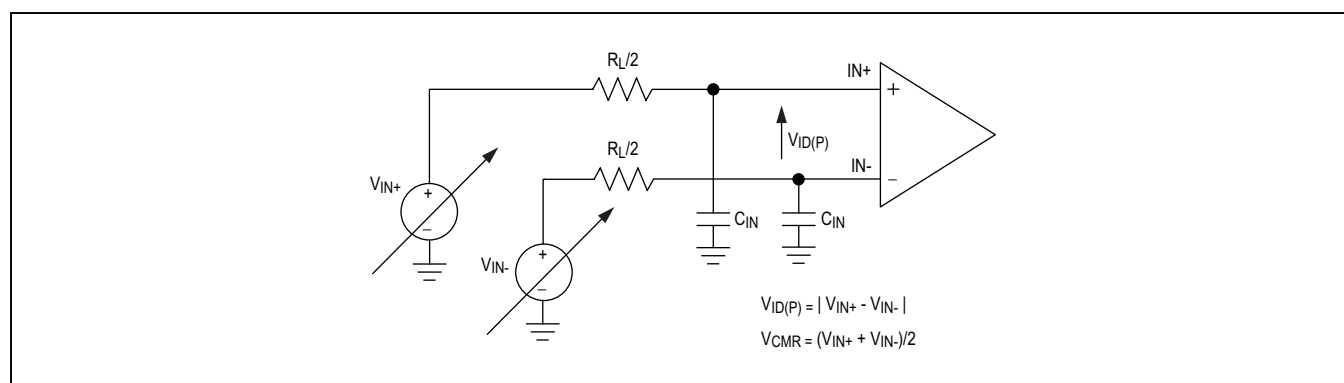


図 2. 差動入力測定テスト回路

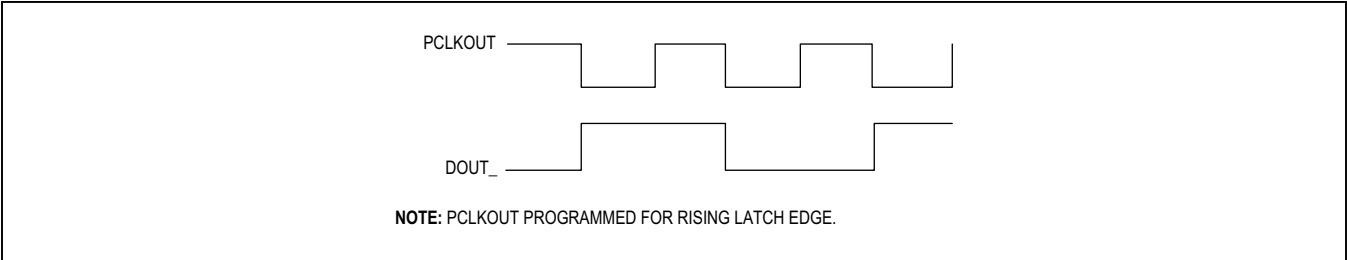


図 3. ワーストケースパターンの出力

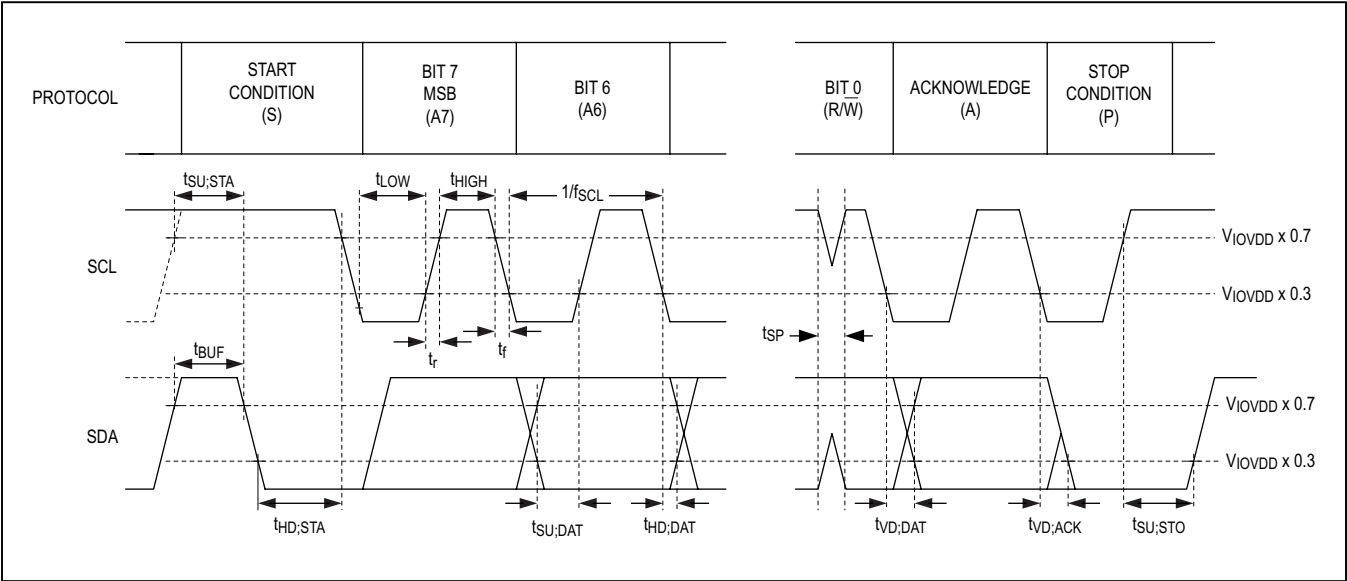


図 4. I²C のタイミングパラメータ

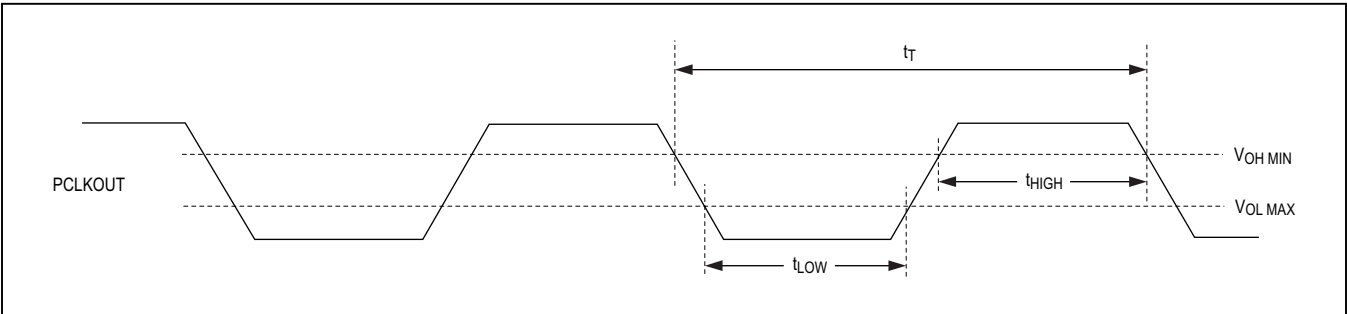


図 5. パラレルクロック出力の要件

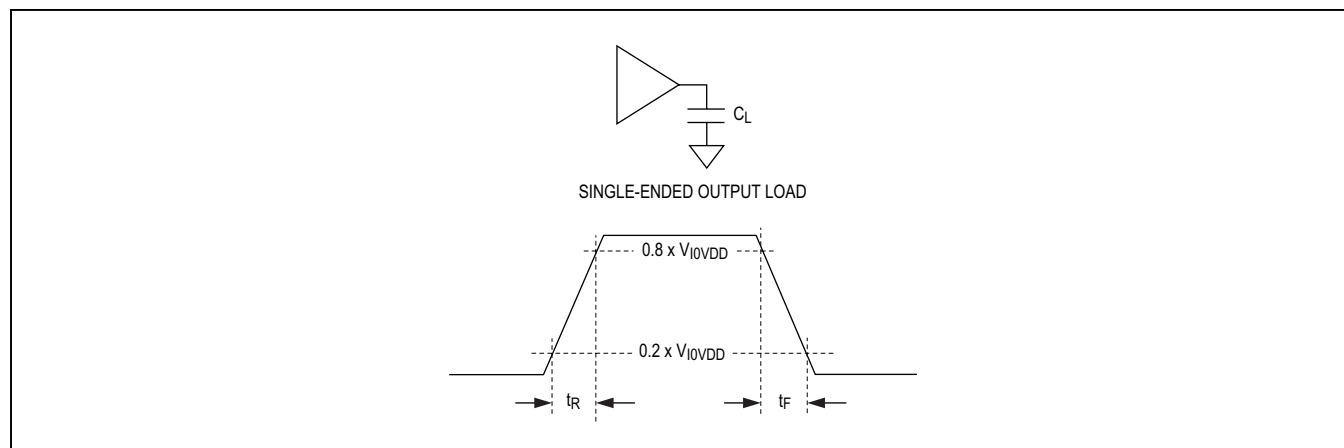


図 6. 出力の立上りおよび立下り時間

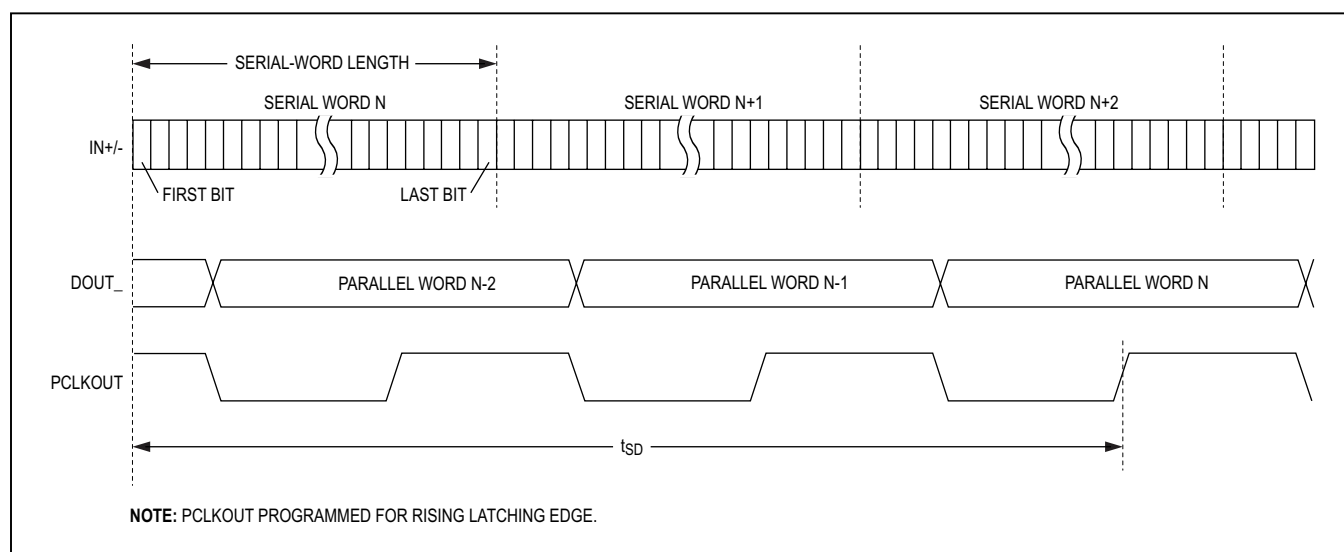


図 7. デシリアライザの遅延

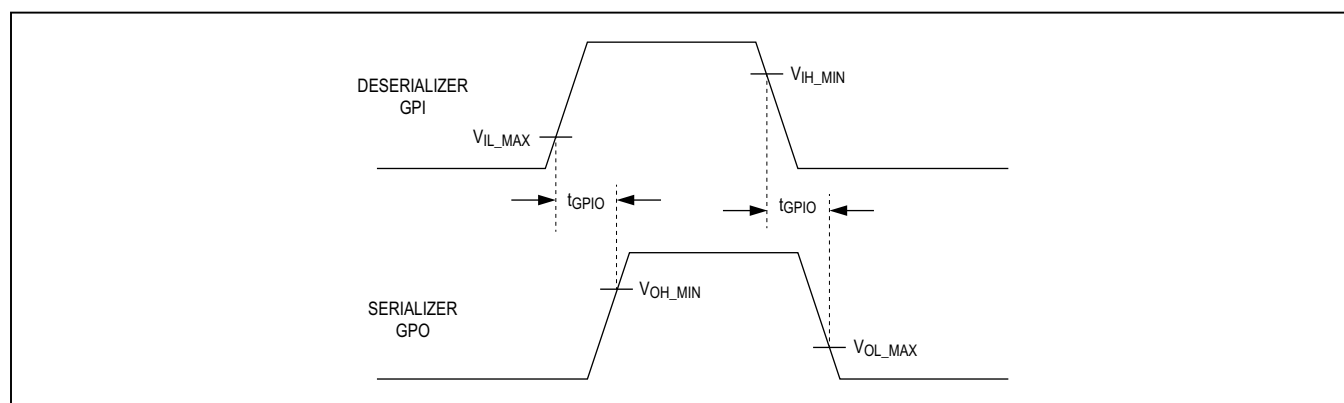


図 8. GPI-GPO 間の遅延

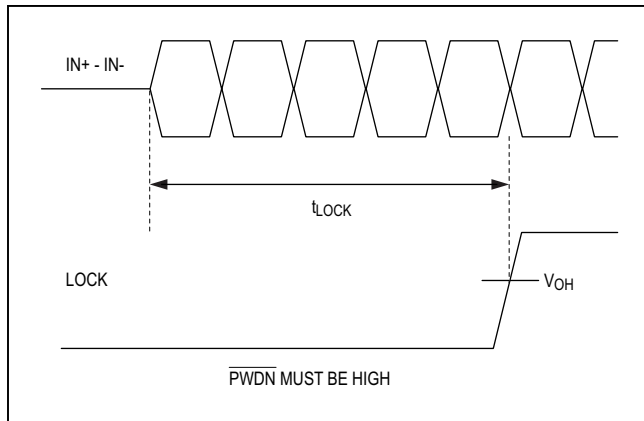


図 9. ロック時間

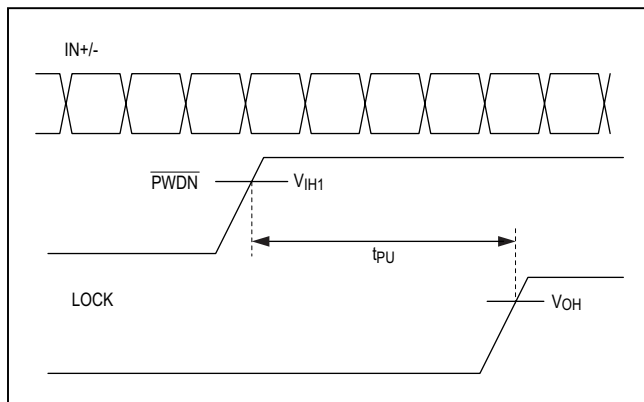


図 10. 起動遅延

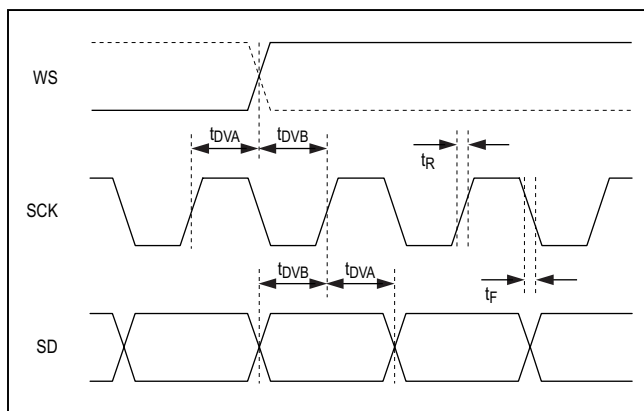


図 11. 出力 I²S のタイミングパラメータ

詳細

デシリアライザのMAX9276/MAX9280は、シリアライザのMAX9275/MAX9277/MAX9279/MAX9281と組み合わせたときにフル機能で動作しますが、ギガビットマル

チメディアシリアルリンク(GMSL)デバイスのMAX9249～MAX9270ファミリに対して下位互換性があり、どのGMSLデバイスと組み合わせても基本的な機能を発揮します。MAX9280は広帯域幅デジタルコンテンツ保護(HDCP)を備えていますが、MAX9276は備えていません。

このデシリアライザは最大シリアルビットレートが3.12Gbpsで最長15mのケーブルに対応し、24ビットモードと27ビット広帯域幅モードでは104MHz、32ビットモードでは78MHzの最高出力クロックで動作します。このビットレートと出力の柔軟性によって、24ビットカラーでQVGA (320 x 240)～1920 x 720以上のさまざまなディスプレイのほか、メガピクセルのイメージセンサーにも対応します。符号化したオーディオチャンネルでは、I²SのL-PCMステレオと最大8チャンネルのTDMモードL-PCMをサポートしています。32kHz～192kHzのサンプルレートが8～32ビットのサンプル深度でサポートされています。入カイコライゼーションとGMSLシリアライザのプリ/デエンファシスによってケーブル長が延長され、リンクの信頼性が向上します。

制御チャンネルを介して、 μ Cでシリアライザとデシリアライザのレジスタやペリフェラル上のレジスタを設定することができます。この制御チャンネルはHDCP機能の実行にも使用可能です(MAX9280のみ)。 μ Cはリンクの一端か、または2つの μ Cを使用するときは両端に配置されます。制御チャンネルでは2つの動作モードを利用可能です。ベースモードではI²CまたはGMSL UARTプロトコルのどちらかを使用し、バイパスモードではユーザー定義のUARTプロトコルを使用します。UARTプロトコルではフルデュプレックス通信が可能で、I²Cではハーフデュプレックス通信が可能です。

スペクトラム拡散を利用すると、パラレル出力のEMIを低減することができます。シリアル入力は、ISO 10605とIEC 61000-4-2のESD保護基準に適合しています。

レジスタマッピング

レジスタはデシリアライザの動作条件を設定し、ベースモードで制御チャンネルを使用して設定されます。MAX9276/MAX9280はそれ自体のデバイスアドレスと、組み合わせるシリアライザのデバイスアドレスを保持します。同様に、シリアライザはそれ自体のデバイスアドレスとMAX9276/MAX9280のアドレスを保持します。デバイスアドレスが変更されるたびに、必ずその新しいアドレスを両方のデバイスに書き込む必要があります。デシリアライザのデフォルトのデバイスアドレスは、ADD[2:0]とCX/TP入力によって設定されます(表1と表2を参照)。両デバイスのレジスタ0x00と0x01がデバイスアドレスを保持します。

表1. 起動時のデフォルトのレジスタマップ(表26と表27を参照)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x00	0xXX	SERID = XX00XX0、シリアライザのデバイスアドレスは起動時のADD[2:0]入力の状態によって決まります(表2) 予備 = 0
0x01	0xXX	DESID = XX01XXX、デシリアライザのデバイスアドレスは起動時のCX/TPとADD[2:0]入力の状態によって決まります(表2) CFGBLOCK = 0、レジスタ0x00~0x1Fは読み取り/書き込み可能です
0x02	0x1F	SS = 00、スペクトラム拡散はディセーブルです AUDIOMODE = 0、デシリアライザでWS、SCKを供給します AUDIOEN = 1、I ² S/TDMチャネルはイネーブルです PRNG = 11、ピクセルクロック範囲を自動的に検出します SRNG = 11、シリアルデータレートを自動的に検出します
0x03	0x00	AUTOFM = 00、ロック後に1回だけ拡散変調率を校正します 予備 = 0 SDIV = 00000、鋸歯分周器を自動校正します
0x04	0x07	LOCKED = 0、LOCK出力はローです(読み取り専用) OUTENB = 0、出力はイネーブルです PRBSEN = 0、PRBSテストはディセーブルです SLEEP = 0、スリープモードは非アクティブ化されています(「リンクのスタートアップ手順」の項を参照) INTTYPE = 01、ベースモードでUARTを使用します REVCCEN = 1、逆方向制御チャネルはアクティブです(送信時) FWDCCEN = 1、順方向制御チャネルはアクティブです(受信時)
0x05	0x29	I2CMETHOD = 0、I ² Cマスターはレジスタアドレスを送信します HPFTUNE = 01、イコライザのハイパスフィルタカットオフ周波数は3.75MHzです PDEQ = 0、イコライザはイネーブルです EQTUNE = 1001、10.7dBのイコライゼーション
0x06	0x0A	DISSTAG = 0、出力はスタガーされます AUTORST = 0、エラーレジスタ/出力のオートリセットはディセーブルです DISGPI = 0、シリアライザに対するGPI-GPO間の信号伝送をイネーブルします GPIIN = 0、GPI入力はローです(読み取り専用) GPIO1OUT = 1、GPIO1をハイに設定します GPIO1IN = 0、GPIO1入力はローです(読み取り専用) GPIO0OUT = 1、GPIO0をハイに設定します GPIO0in = 0、GPIO0入力はローです(読み取り専用)
0x07	0x54	予備 = 01010100
0x08	0x30	予備 = 00110 DISDEFILT = 0、DEのグリッチフィルタはイネーブルです DISVSFILT = 0、VSのグリッチフィルタはイネーブルです DISHSFILT = 0、HSのグリッチフィルタはイネーブルです
0x09	0xC8	予備 = 11001000
0x0A	0x1X	予備 = 00010XXX
0x0B	0x20	予備 = 00100000

表1. 起動時のデフォルトのレジスタマップ(表26と表27を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x0C	0x00	ERRTHR = 00000000、デコードエラーのエラースレッショルドは0に設定されます
0x0D	0x00	DECERR = 00000000、検出されたエラーは0個です
0x0E	0x00	PRBSERR = 00000000、検出されたPRBSエラーは0個です
0x0F	0xXX (read only)	予備 = XXXXXXXX
0x10	0xXX (read only)	予備 = XXXXXXXX
0x11	0x22	REVFAS = 0、高耐性モードで500kbpsのビットレートを使用します 予備 = 0100010
0x12	0x00	MCLKSRC = 0、MCLKはPCLKOUTから生成されます MCLKDIV = 00000000、MCLK出力はディセーブルです
0x13	0xX0	予備 = 0X000000
0x14	0x00	INVVSYNC = 0、VSを反転しません INVHSYNC = 0、HSを反転しません INVDE = 0、DEを反転しません DRS = 0、高データレートモード DCS = 0、通常のパラレル出力ドライバ電流 DISRWAKE = 0、リモートウェイクアップはイネーブルです ES = 0、出力データはPCLKOUTの立上りエッジで有効です INTOUT = 0、INTOUTはローに設定されます
0x15	0xX0	AUTOINT = 1、AVINFOへの書き込みでINTOUTがトリガされます HVTREN = 0 (BWS = ハイ、ロー) INTOUT = 1 (BWS = オープン)、HS/VSのトラッキングのデフォルトは起動時のBWS入力端子の状態に依存します DETREN = 0 (BWS = ハイ、ロー) INTOUT = 1 (BWS = オープン)、DEのトラッキングのデフォルトは起動時のBWS入力端子の状態に依存します HVTRMODE = 1、HS/VS/DEの部分的および完全な周期的トラッキング 予備 = 00 MCLKWS = 0、WSはシリアライザのWS入力から生成されます MCLKPIN = 0、MCLKをDOUT28/CNTL2で出力します
0x16	0x5A, 0xDA	HIGHIMM = 0 (SD/HIM = ロー) HIGHIMM = 1 (SD/HIM = ハイ)、高耐性モードのデフォルトは起動時のSD/HIM入力端子の状態に依存します 予備 = 1011010
0x17	0xXX	予備 = 000XXXXX
0x18	0x00	I2CSCRA = 00000000、I ² Cアドレ스트ランスレータのソースAは0x00です 予備 = 0
0x19	0x00	I2CDSTA = 00000000、I ² CアドレストランスレータのデスティネーションAは0x00です 予備 = 0
0x1A	0x00	I2CSCRB = 00000000、I ² CアドレストランスレータのソースBは0x00です 予備 = 0
0x1B	0x00	I2CDSTB = 00000000、I ² CアドレストランスレータのデスティネーションBは0x00です 予備 = 0

表1. 起動時のデフォルトのレジスタマップ(表26と表27を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x1C	0x36	I2CLOCKACK = 0、順方向チャネルが利用可能でないときはアクノリッジが生成されません I2CSLVSH = 01、I ² Cのセットアップ/ホールド時間は469ns/234nsです I2CMSTBT = 101、I ² C-I ² Cマスタービットレート設定は339kbps (typ)です I2CSLVTO = 10、I ² C-I ² Cスレーブリモートタイムアウトは1024μs (typ)です
0x1D	0x00	予備 = 00000 AUDUFBEF = 0、オーディオFIFOは空のときに最後のワードを繰り返し使用します INVSK = 0、出力でSCKを反転しません INVWS = 0、出力でWSを反転しません
0x1E	0x2X (read only)	ID = 00100010 (MAX9276)またはID = 00100110 (MAX9280)
0x1F	0x0X (read only)	予備 = 000 CAPS = 0 (MAX9276)または1 (MAX9280)、MAX9280のみHDCPに対応 REVISION = XXXX、リビジョン番号
0x40 to 0x60	All zero	AVINFO = すべて0、保存されたビデオ/オーディオ形式/ステータス/情報はありませ
0x77	0xXX (read only)	予備 = XXXXXXXX
0x78	0xXX (read only)	AUDOUPE = XXXXXXXX、オーディオFIFOの最後のオーバー/アンダーフロー期間は不定です
0x79	0xXX (read only)	AUDOU = X、オーディオFIFOのオーバー/アンダーフローは不定です 予備 = 0000XXXX
0x7B	0x00	LUTADDR = 00000000、LUTの開始アドレスは0x00です
0x7C	0x00	予備 = 0000 LUTPROG = 0、LUTの書き込み/読取りはディセーブルです BLULUTEN = 0、ブルーのLUTはディセーブルです GRNLUTEN = 0、グリーンのLUTはディセーブルです REDLUTEN = 0、レッドのLUTはディセーブルです
0x7D	0x00	REDLUT = 00000000、LUTアドレスにおけるレッドのLUT値は0x00です
0x7E	0x00	GREENLUT = 00000000、LUTアドレスにおけるグリーンのLUT値は0x00です
0x7F	0x00	BLUELUT = 00000000、LUTアドレスにおけるブルーのLUT値は0x00です
0x80 to 0x84	0XXXXXXXXXX (read only)	BKSV = 0XXXXXXXXXX、HDCPレシーバのKSVは0XXXXXXXXXXです
0x85, 0x86	0XXXXX (read only)	RI' = 0XXXXX、トランスミッタのRI'は0XXXXXです
0x87	0XXX (read only)	PJ' = 0XXXXX、トランスミッタのPJ'は0XXXです
0x88 to 0x8F	0x00000000 00000000	AN = 0000000000000000、セッション乱数は0000000000000000です
0x90 to 0x94	0x00000000 00000000	AKSV = 0x000000000000、HDCPトランスミッタのKSVは0x0000000000000000です

表1. 起動時のデフォルトのレジスタマップ(表26と表27を参照) (続き)

REGISTER ADDRESS (hex)	POWER-UP DEFAULT (hex)	起動時のデフォルト設定 (MSBから)
0x95	0x00	PD_HDCP = 0、HDCP回路は起動状態です 予備 = 000 GPIO1_FUNCTION = 0、通常のGPIO1機能 GPIO0_FUNCTION = 0、通常のGPIO0機能 AUTH_STARTED = 0、HDCPの認証は開始されていません ENCRYPTION_ENABLE = 0、HDCPの暗号化はディセーブルです
0x96	0x00	予備 = 000000 NEW_DEV_CONN = 0、新たに接続されたデバイスはありませ KSV_LIST_READY = 0、KSVリストは準備されていません
0x97	0x00	予備 = 0000000 REPEATER = 0、HDCPレシーバはリピータではありません
0x98 to 0x9F	0x00000000 00000000 (read only)	予備 = 0x0000000000000000
0xA0 to 0xA3	0XXXXXXXXX (read only)	SHA-1ハッシュ値のH0パートは0XXXXXXXXXです
0xA4 to 0xA7	0XXXXXXXXX (read only)	SHA-1ハッシュ値のH1パートは0XXXXXXXXXです
0xA8 to 0xAB	0XXXXXXXXX (read only)	SHA-1ハッシュ値のH2パートは0XXXXXXXXXです
0xAC to 0xAF	0XXXXXXXXX (read only)	SHA-1ハッシュ値のH3パートは0XXXXXXXXXです
0xB0 to 0xB3	0XXXXXXXXX (read only)	SHA-1ハッシュ値のH4パートは0XXXXXXXXXです
0xB4	0x00	予備 = 0000 MAX_CASCADE_EXCEEDED = 0、カスケード接続されているHDCPデバイスは7個以下です DEPTH = 000、デバイスのカスケードの深さは0です
0xB5	0x00	MAX_DEVS_EXCEEDED = 0、接続されているHDCPデバイスは14個以下です DEVICE_COUNT = 0000000、0個のデバイスが接続されています
0xB6	0x00	GPMEM = 00000000、0x00が汎用メモリに格納されます
0xB7 to 0xB9	0x000000 (read only)	予備 = 0x000000
0xBA to 0xFF	All zero	KSV_LIST = すべて0、KSVは保存されていません

X = 不定。

表2. デバイスアドレスのデフォルト(レジスタ0x00、0x01)

PIN				DEVICE ADDRESS (BIN)								SERIALIZER DEVICE ADDRESS (hex)	DESERIALIZER DEVICE ADDRESS (hex)
CX/TP**	ADD2	ADD1	ADD0	D7	D6	D5	D4	D3	D2	D1	D0		
High/Low	Low	Low	Low	1	0	0	X*	0	0	0	RW	80	90
High/Low	Low	Low	High	1	0	0	X*	0	1	0	R/W	84	94
High/Low	Low	High	Low	1	0	0	X*	1	0	0	R/W	88	98
High/Low	Low	High	High	0	1	0	X*	0	1	0	R/W	44	54
High/Low	High	Low	Low	1	1	0	X*	0	0	0	R/W	C0	D0
High/Low	High	Low	High	1	1	0	X*	0	1	0	R/W	C4	D4
High/Low	High	High	Low	1	1	0	X*	1	0	0	R/W	C8	D8
High/Low	High	High	High	0	1	0	X*	1	0	0	R/W	48	58
Open	Low	Low	Low	1	0	0	X*	0	0	X*	R/W	80	92
Open	Low	Low	High	1	0	0	X*	0	1	X*	R/W	84	96
Open	Low	High	Low	1	0	0	X*	1	0	X*	R/W	88	9A
Open	Low	High	High	0	1	0	X*	0	1	X*	R/W	44	56
Open	High	Low	Low	1	1	0	X*	0	0	X*	R/W	C0	D2
Open	High	Low	High	1	1	0	X*	0	1	X*	R/W	C4	D6
Open	High	High	Low	1	1	0	X*	1	0	X*	R/W	C8	DA
Open	High	High	High	0	1	0	X*	1	0	X*	R/W	48	5A

*シリアライザのアドレスの場合はX = 0、デシリアライザのアドレスの場合はX = 1

**CX/TPによってシリアルケーブルのタイプが決まります。CX/TP = オープンのアドレスは同軸モード専用です。

出力ビットマップ

出力のビット幅はバス幅(BWS)端子の設定値に応じて変わります。表3にビットマップを示しています。使用しない出力ビットはローに駆動されます。

シリアルリンクの信号方式とデータ形式

シリアライザは設定可能なプリ/デエンファシスとAC結合を備え、ツイストペアケーブルの駆動に差動CML信号方式、同軸ケーブルの駆動にシングルエンドCML信号方式を採用しています。デシリアライザは、AC結合と設定可能なチャネルイコライゼーションを使用します。

入力データはスクランブルされた後、8b/10b符号化されます(広帯域幅モードでは9b/10b)。デシリアライザは埋め込まれたシリアルクロックを復元した後、データをサンプリング、復号化、およびスクランブル解除します。24ビットモードでは、最初の21ビットにビデオデータが含まれています。32ビットモードでは、最初の29ビットにビデオデータが含まれています。広帯域幅モードでは、最初の24ビットにビデオデータ、または特別な制御信号パッケージが含まれています。最後の3ビットには、埋め込まれたオーディオチャネル、埋め込まれた順方向制御チャネル、シリアルワードのパリティビットが含まれます(図12、図13)。

このデシリアライザは、DRSビットとBWS入力を使用して

表3. 出力マップ

SIGNAL	OUTPUT PIN	MODE		
		24-BIT MODE (BWS = LOW)	HIGH-BANDWIDTH MODE (BWS = MID)	32-BIT MODE (BWS = HIGH)
R[5:0]	DOUT[5:0]	Used	Used	Used
G[5:0]	DOUT [11:6]	Used	Used	Used
B[5:0]	DOUT [17:12]	Used	Used	Used
HS, VS, DE	DOUT18/HS, DOUT19/VS, DOUT20/DE	Used**	Used**	Used**
R[7:6]	DOUT [22:21]	Used+	Used	Used
G[7:6]	DOUT [24:23]	Used+	Used	Used
B[7:6]	DOUT [26:25]	Used+	Used	Used
CNTL[2:1]	DOUT [28:27]/CNTL[2:1]	Not used	Used*,**	Used**
CNTL3, CNTL0	CNTL3/ADD1, CNTL0/ADD0	Not used	Used*,**	Not used
I ² S/TDM	WS, SCK, SD/HIM	Used	Used	Used
AUX SIGNAL		Used	Used	Used

*タイミングの要件の詳細については、「[広帯域幅モード](#)」の項を参照してください。
+それぞれのカラーlookupアップテーブルがイネーブルのときにのみ出力が使用されます。
**HDCPがイネーブルのとき、暗号化されません(MAX9280のみ)。

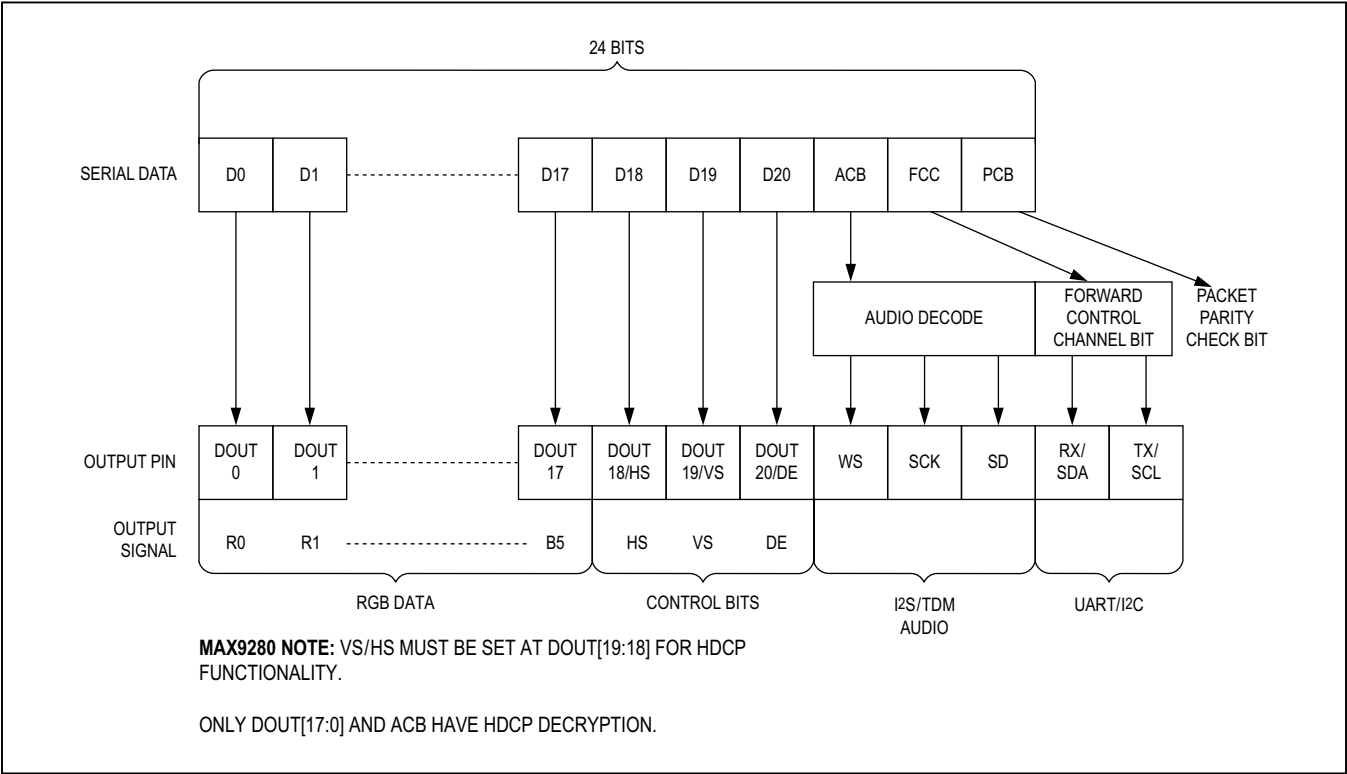


図 12. 24 ビットモードのシリアルデータ形式

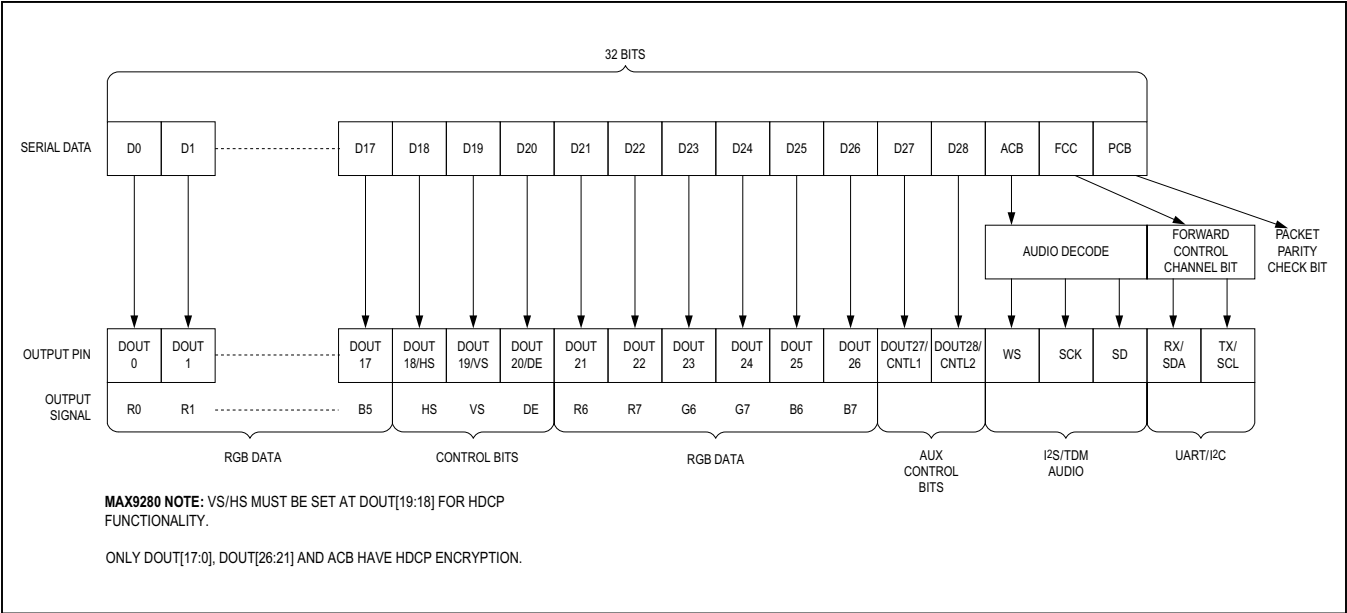


図 13. 32 ビットモードのシリアルデータ形式

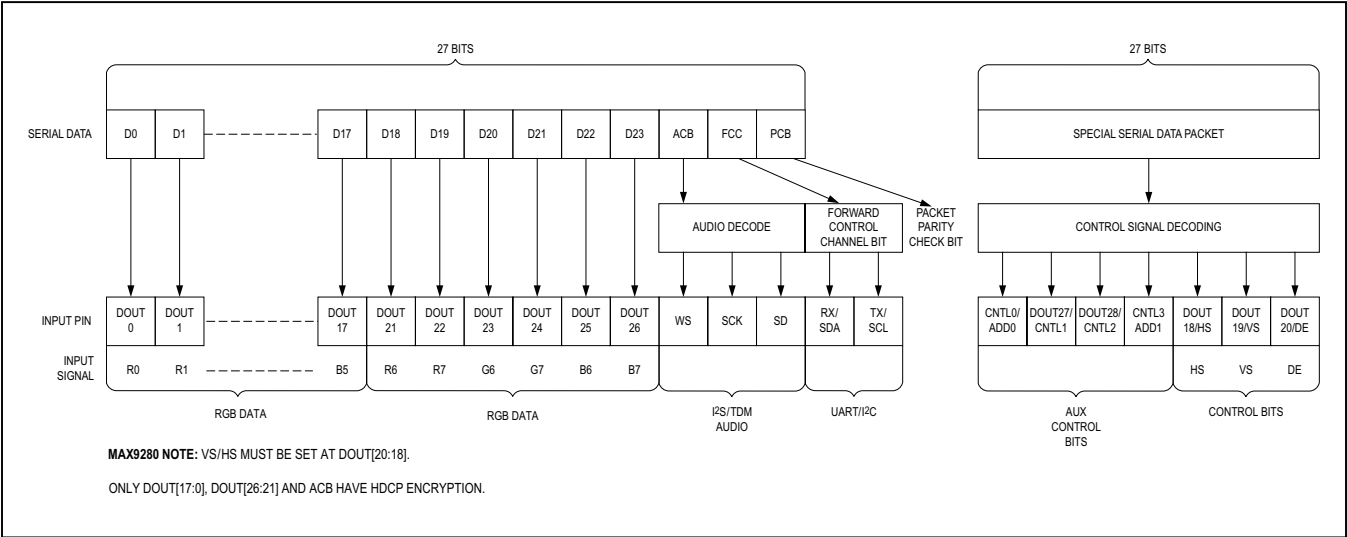


図 14. 広帯域幅モードのシリアルデータ形式

表4. データレート選択表

DRS BIT SETTING	BWS PIN SETTING	PCLKOUT RANGE (MHz)
0 (high data rate)	Low (24-bit mode)	16.66 to 104
	Mid (high bandwidth mode)	36.66 to 104
	High (32-bit mode)	12.5 to 78
1 (low data rate)	Low	8.33 to 16.66
	Mid	18.33 to 36.66
	High	6.25 to 12.5

PCLKOUTの周波数範囲を設定します(表4)。低データレートのPCLKOUTの周波数範囲を6.25MHz~16.66MHzとする場合は、DRS = 1に設定します。高データレートのPCLKOUTの周波数範囲を12.5MHz~104MHzとする場合は、DRS = 0に設定します。

広帯域幅モード

このデシリアライザは27ビットの広帯域幅モードを使用して、104MHzのピクセルクロックで24ビットRGBをサポートします。広帯域幅モードを使用するには、シリアライザとデシリアライザの両方でBWS = オープンに設定します。広帯域幅モードでは、デシリアライザが特殊なパケットからHS、VS、DE、CNTL[3:0]を復号化します。HS、VS、およびDE信号の立上りエッジの前と立下りエッジのあとにピクセルを置き換えることによってパケットが送信されます。一方、CNTL[3:0]については、パケットが常にCNTL[3:0]の遷移の前にピクセルを置き換えます。HS、VS、DEの狭いパルス幅を2ピクセルクロックサイクル以上維持します。デフォルトでは、DEがローのときにCNTL[3:0]は連続的にサンプリングされます。DEが高い場合、CNTL[3:0]はHS/VSの遷移時にのみサンプリングされます。符号化されたパケットのDEトリガが望ましくない場合は、シリアライザでDISDETRIG = 0に設定し、CNTLTRIGビットを目的の値(レジスタ0x15)に設定して、CNTLのトリガ動作を変更します。DEが周期的でない場合は、デシリアライザでDETREN = 0に設定します。

オーディオチャンネル

オーディオチャンネルは、8kHz~192kHzのオーディオサンプリングレートと8ビット~32ビット(2チャンネルI²S)または64ビット~256ビット(TDM64~TDM256)のオーディオワード長をサポートしています。オーディオビットクロック(SCK)をPCLKOUTと同期させる必要はありません。シリアライザが自動的にオーディオデータをPCLKOUTと

同期した単一のビットストリームに符号化します。デシリアライザはオーディオストリームを復号化して、オーディオワードをFIFOに格納します。オーディオレート検出が内蔵の発振器を使用して継続的にオーディオデータレートの判定を行い、I²S形式でオーディオを出力します。オーディオチャンネルはデフォルトでイネーブルです。オーディオチャンネルがディセーブルされると、SD/HIMは補助制御信号として処理されます。

シリアルリンクで送信されるオーディオデータはPCLKOUTと同期されるため、PCLKOUTの周波数が低いと最大オーディオサンプリングレートが制限されます。表5は、さまざまなPCLKOUT周波数における最大オーディオサンプリングレートを示しています。スペクトラム拡散の設定は、I²S/TDMのデータレートやWSのクロック周波数には影響しません。

オーディオチャンネル入力

オーディオチャンネル入力は、8チャンネルのTDMとステレオのI²S、および非標準形式で動作します。入力形式を図15に示しています。

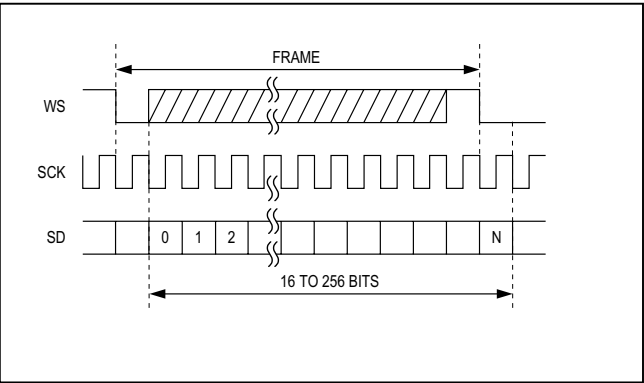


図 15. オーディオチャンネルの入力形式

表5. さまざまなPCLKOUT周波数における最大オーディオWS周波数(kHz)

CHANNELS	BITS PER CHANNEL	PCLKOUT FREQUENCY (DRS = 0*) (MHz)										
		12.5	15.0	16.6	20.0	25.0	30.0	35.0	40.0	45.0	50.0	100
2	8	+	+	+	+	+	+	+	+	+	+	+
	16	+	+	+	+	+	+	+	+	+	+	+
	18	185.5	+	+	+	+	+	+	+	+	+	+
	20	174.6	+	+	+	+	+	+	+	+	+	+
	24	152.2	182.7	+	+	+	+	+	+	+	+	+
	32	123.7	148.4	164.3	+	+	+	+	+	+	+	+
4	8	+	+	+	+	+	+	+	+	+	+	+
	16	123.7	148.4	164.3	+	+	+	+	+	+	+	+
	18	112.0	134.4	148.8	179.2	+	+	+	+	+	+	+
	20	104.2	125.0	138.3	166.7	+	+	+	+	+	+	+
	24	88.6	106.3	117.7	141.8	177.2	+	+	+	+	+	+
	32	69.9	83.8	92.8	111.8	139.7	167.6	+	+	+	+	+
6	8	152.2	182.7	+	+	+	+	+	+	+	+	+
	16	88.6	106.3	117.7	141.8	177.2	+	+	+	+	+	+
	18	80.2	93.3	106.6	128.4	160.5	+	+	+	+	+	+
	20	73.3	88.0	97.3	117.3	146.6	175.9	+	+	+	+	+
	24	62.5	75.0	83.0	100	125	150	175	+	+	+	+
	32	48.3	57.9	64.1	77.2	96.5	115.9	135.2	154.5	173.8	+	+
8	8	123.7	148.4	164.3	+	+	+	+	+	+	+	+
	16	69.9	83.8	92.8	111.8	139.7	167.6	+	+	+	+	+
	18	62.5	75.0	83.0	100.0	125.0	150.0	175.0	+	+	+	+
	20	57.1	68.5	75.8	91.3	114.2	137.0	159.9	182.7	+	+	+
	24	48.3	57.9	64.1	77.2	96.5	115.9	135.2	154.5	173.8	+	+
	32	37.1	44.5	49.3	59.4	74.2	89.1	103.9	118.8	133.6	148.4	+

COLOR CODING

< 48kHz

48kHz to 96kHz

96kHz to 192kHz

> 192kHz

+最大WSレートが192kHzを上回ります。

*DRS = 0のPCLKOUT周波数は、DRS = 1のPCLKOUT周波数の2倍に等しくなります。

WSの周期はSCKの8～256周期です。WSのフレームは立下りエッジで始まり、SCKの1～255周期の間、ローである場合があります。SDはSCKの1周期であり、立上りエッジでサンプリングされます。MSB/LSBの順序、0のパディングや、シリアルデータに割り当てられたその他すべての重

要度は、オーディオチャネルの動作に影響しません。WSとSCKのエッジの極性は設定可能です。

図16、図17、図18、図19は、受け入れ可能な入力形式の例です。

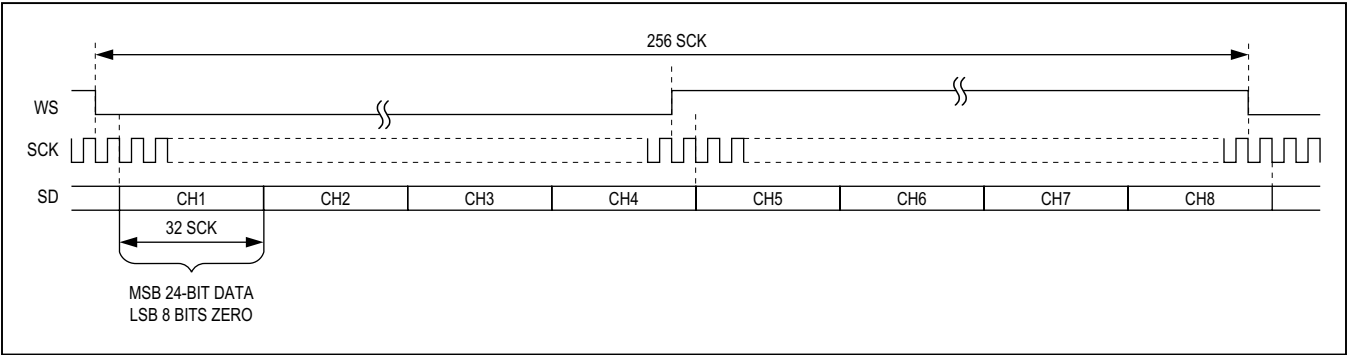


図 16. 8 チャンネルの TDM (24 ビットサンプル、0 でパディング)

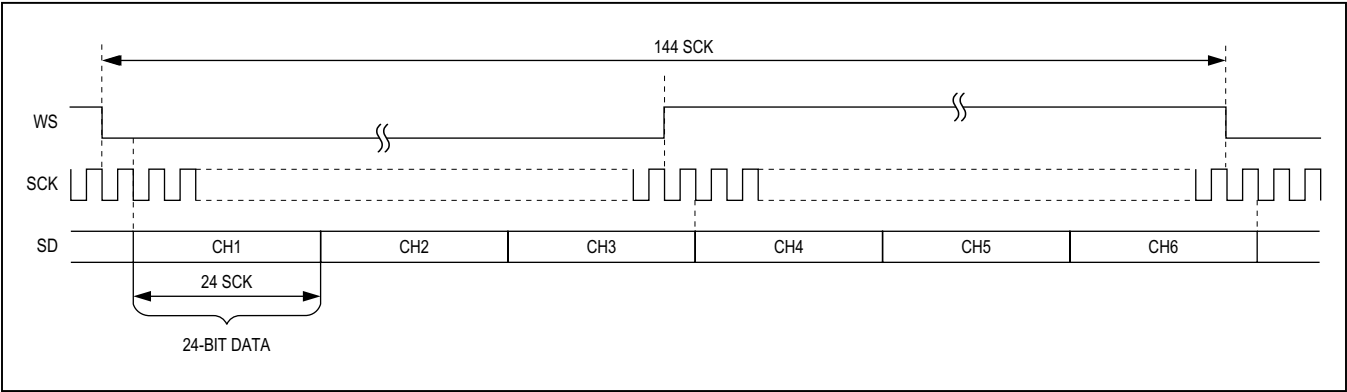


図 17. 6 チャンネルの TDM (24 ビットサンプル、パディングなし)

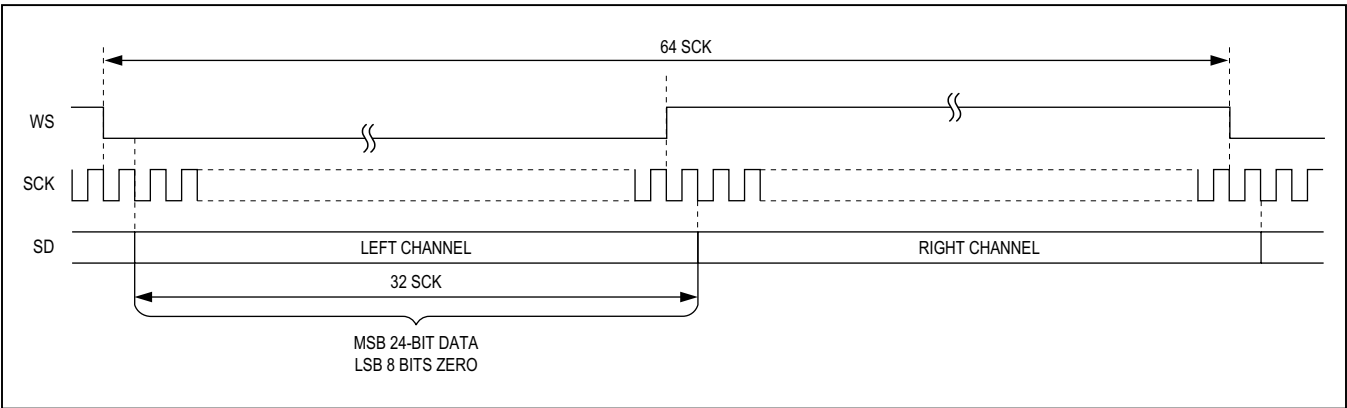


図 18. ステレオの I²S (24 ビットサンプル、0 でパディング)

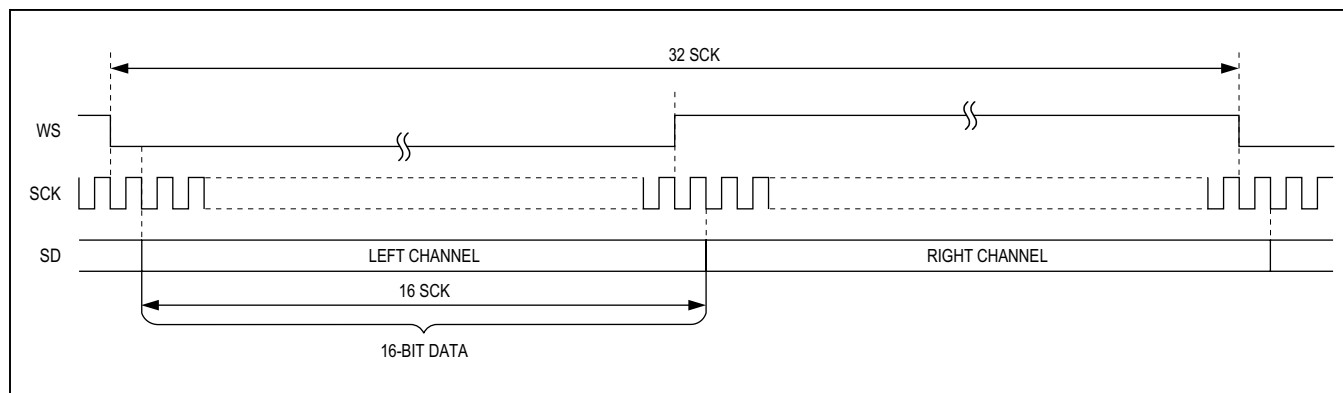


図 19. ステレオの I²S (16 ビットサンプル、パディングなし)

オーディオチャネル出力

WS、SCK、SDは、WSのデューティサイクルが(入力におけるWSのデューティサイクルにかかわらず)常に50%であることを除き、オーディオ入力の場合と同じタイミング関係を持つ出力です。

出力形式を図20に示しています。

WSとSCKは、オーディオソース(クロックマスター)またはオーディオシンク(クロックスレーブ)によって駆動することができます。クロックスレーブとしてオーディオシンクではバッファアンダーフローフラグとオーバーフローフラグをI²C経由でクロック周波数の調整に利用可能です。データは立上りエッジでサンプリングされます。WSとSCKの極性は設定可能です。

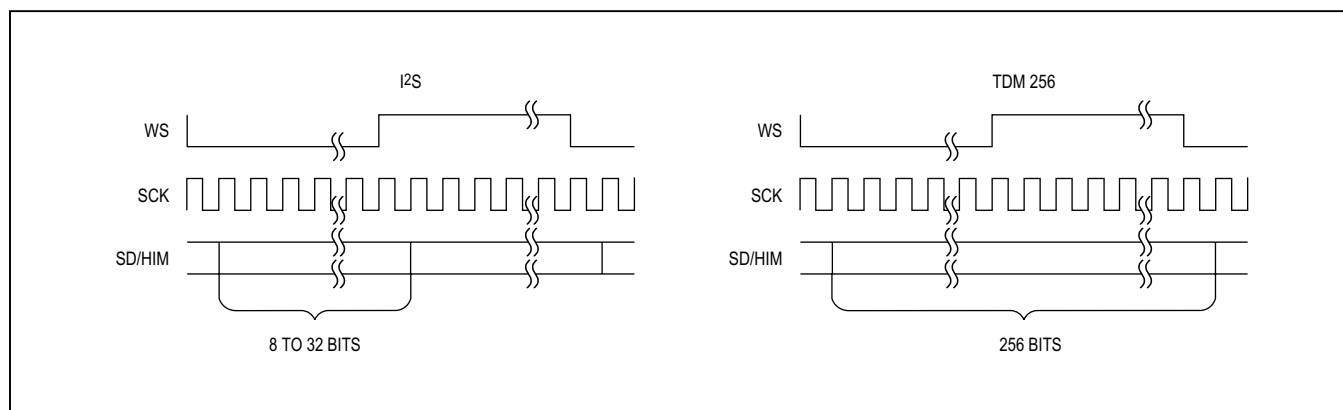


図 20. オーディオチャネルの出力形式

オーディオアプリケーション用の追加のMCLK出力

MAX9850などの一部のオーディオDACは同期したメインクロック(MCLK)が不要ですが、その他のDACでは動作のために個別のMCLKが必要です。WSやPCLKOUTを直接使用することができないオーディオアプリケーション向けに、このデシリアライザは制御ラインが1つ少なくなる代わりに、分周されたMCLK出力をDOOUT28/CNTL2またはCNTL0/ADD0のどちらか(MCLKPINビットの設定で決定)で供給します。デフォルトでは、MCLKはオフです。MCLK出力をイネーブルするには、MCLKDIV (デシリアライザのレジスタ0x12、D[6:0])を0以外の値に設定します。MCLKをディセーブルしてDOOUT28/CNTL2またはCNTL0/ADD0を制御出力として設定するには、MCLKDIVを0x00に設定します。

出力MCLKの周波数は、次のようになります。

$$f_{\text{MCLK}} = \frac{f_{\text{SRC}}}{\text{MCLKDIV}}$$

ここで、

f_{SRC} はMCLKのソース周波数(表6参照)で、MCLKDIVは1~127の分周比です。

MCLKDIVの値は、 f_{MCLK} が60MHzを超えないように選択してください。PCLKOUTから生成したMCLK周波数(MCLKSRC = 0)は、デシリアライザにおけるスペクトラム拡散の設定に影響されません。しかし、シリアライザでスペクトラム拡散をイネーブルすると、MCLKにスペクトラム拡散が反映されます。どちらのデバイスのスペクトラム拡散の設定も、内部発振器から生成したMCLK周波数には影響しません。内部発振器の周波数範囲は、すべてのプロセスコーナーと動作条件にわたって100MHz~150MHz

です。あるいは、MCLKからWSを出力する場合は、MCLKWS = 1 (0x15 D1)に設定します。

オーディオ出力のタイミングソース

このデシリアライザには、オーディオデータ出力のタイミングに複数のオプションがあります。デフォルトでは、デシリアライザは着信データレート(FIFO経由)と内部発振器に基づいて出力のタイミングを提供します。

システム供給クロックを使用するには、AUDIOMODEビット(レジスタ0x02のD5)を1に設定し、WSとSCKをデシリアライザ側で入力として設定します。デシリアライザは、FIFOを使用して入力と出力のオーディオタイミングの差を解消します。レジスタ0x78と0x79には、外部のWS/SCKタイミングで 사용할 ことができるようにFIFOオーバーフロー/アンダーフローの情報が格納されます。FIFOでは、FIFOオーバーフロー時にデータパケットが廃棄されます。デフォルトでは、FIFOアンダーフロー時に利用可能なオーディオデータがない場合、FIFOは最後のオーディオパケットを繰り返し使用します。アンダーフロー時にすべて0を出力するには、AUDUFBEHビット(レジスタ0x01DのD2)を1に設定します。

逆方向制御チャンネル

シリアライザは、逆方向制御チャンネルを使用してビデオストリームと反対方向にデシリアライザからI²C/UARTやGPOの信号を受信します。逆方向制御チャンネルと順方向のビデオデータが同一のシリアルケーブル上で共存して、双方向リンクを形成します。逆方向制御チャンネルは、順方向制御チャンネルとは無関係に動作します。逆方向制御チャンネルは、起動から2ms後に利用可能になります。順方向シリアルリンクの開始/停止後500μsの間、シリアライザは逆方向制御チャンネルを一時的にディセーブルします。

表6. f_{SRC} の設定

MCLKWS SETTING (REGISTER 0x15, D1)	MCLKSRC SETTING (REGISTER 0x12, D7)	DATA RATE SETTING	BIT-WIDTH SETTING	MCLK SOURCE FREQUENCY (f_{SRC})
0	0	High speed (DRS = 0)	24-bit or high-bandwidth mode	3 x f_{CLKOUT}
			32-bit mode	4 x f_{CLKOUT}
	1	Low speed (DRS = 1)	24-bit or high-bandwidth mode	6 x f_{CLKOUT}
			32-bit mode	8 x f_{CLKOUT}
1	—	—	—	Internal oscillator (120MHz typ)
1	—	—	—	WS*

*WSをMCLKソースとして使用する場合、MCLKは分周されません。その場合でも、MCLKをイネーブルするにはMCLK分周器を0以外の値に設定する必要があります。

制御チャンネルおよびレジスタの設定

μCは制御チャンネルを利用して、シリアルリンク上で高速データと同時に制御データを送受信することができます。μCはシリアライザまたはデシリアライザのどちらかの側からリンクを制御し、ビデオ表示や画像検出のアプリケーションをサポートします。μCとシリアライザまたはデシリアライザの間の制御チャンネルは、μCに接続されたデバイスのモード選択(MS)入力に従って、ベースモードまたはバイパスモードで動作します。ベースモードはハーフデュプレックスの制御チャンネルで、バイパスモードはフルデュプレックスの制御チャンネルです。順方向または逆方向制御チャンネルの総最大遅延は、一方のデバイスの入力からもう一方のデバイスの出力まで2μs (UART)または2ビット時間(I²C)です。I²Cの遅延は、START条件からSTART条件までで測定されます。

UARTインタフェース

ベースモードではμCがホストで、GMSL UARTプロトコルを使用してリンクのどちらかの側からシリアライザとデシリアライザの両方のレジスタにアクセスすることができます。また、UARTパケットをシリアライザまたはデシリアライザに送信してリンクのリモート側のデバイスでI²Cに変換することによって、μCがリモート側ペリフェラルの設定を行うことも可能です。μCはシリアライザ/デシリアライザのデフォルトのハーフデュプレックスGMSL UARTプロトコルを使用して、(INTTYPEレジスタの設定によって)ベースモードでUARTペリフェラルと通信します。ベースモードにおけるシリアライザ/デシリアライザのデバイスアドレスは設定可能です。

ペリフェラルのインタフェースがI²Cである場合、シリアライザ/デシリアライザはデバイスアドレスがシリアライザまたはデシリアライザのものと異なるUARTパケットをI²Cに変換します。変換後のI²Cのビットレートは、元のUARTのビットレートと同じです。

デシリアライザは差動ライン符号化を使用して、信号を逆方向チャンネルでシリアライザに送信します。制御チャンネルのビットレートは、両方向とも9.6kbps~1Mbpsです。シリアライザとデシリアライザは自動的に制御チャンネルのベースモードのビットレートを検出します。パケットのビットレートは、直前のビットレートと比べて最大3.5倍まで上下に変更可能です。制御チャンネルのビットレート変更の詳細については、「[クロック周波数の変更](#)」の項を参照してください。

図21は、μCとシリアライザ/デシリアライザの間でベースモードにおける書き込みと読み取りを行うUARTプロトコルを示しています。

図22はUARTのデータ形式を示しています。図23と図24は、SYNCバイト(0x79)とACKバイト(0xC3)の形式を詳しく示しています。μCと接続先のスレーブチップは、それぞれSYNCバイトとACKバイトを生成します。デバイスのウェイクアップやGPIなどのイベントによって制御チャンネル上にμCが無視することができる遷移が発生します。デシリアライザのレジスタに書き込まれたデータは、アクノリッジバイトが送信されるまで有効になりません。これによってμCは、書き込みコマンドの結果がシリアルリンクに直接影響を与える場合でも、その書き込みコマンドがエラーなく受信されたかどうかを確認することができます。スレーブはSYNCバイトを使用して、ホストのUARTのデータレートと同期します。制御チャンネルの通信中にデシリアライザのGPIまたはMS入力にトグルした場合や、ライン障害が発生した場合、制御チャンネルの通信はエラーになります。アクノリッジが行われないか、(制御チャンネルのタイムアウトのために1ms程度)遅延した場合、μCではスレーブデバイスがパケットを受信したときにパケットにエラーがあったか、またはスレーブデバイスからの応答中にエラーが発生したと想定する必要があります。ベースモードでは、μCは新しいパケットの送信を開始する前にUARTのTx/Rxラインを16ビット時間の間、ハイに維持する必要があります。

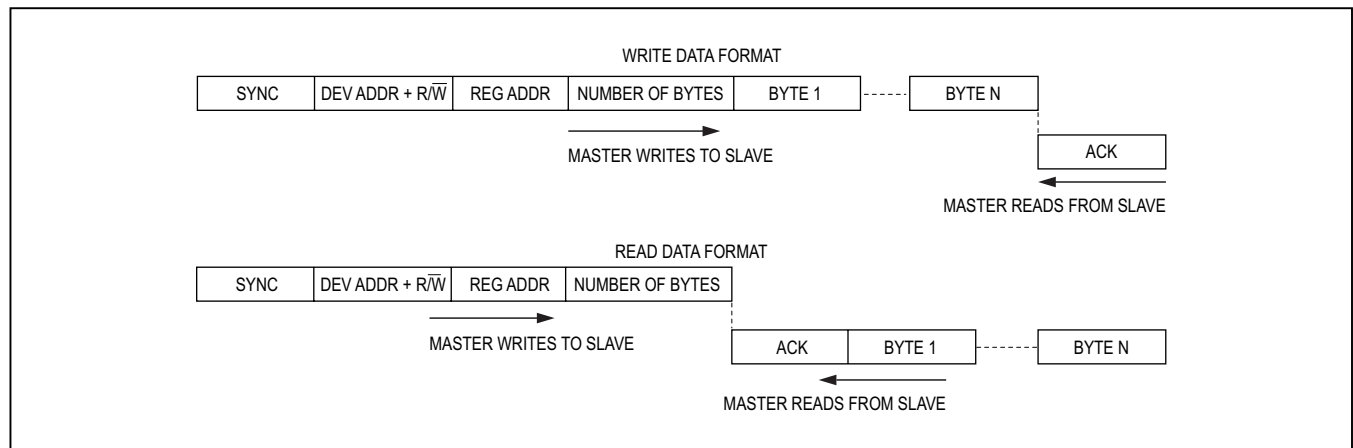


図 21. ベースモードの GMSL UART プロトコル

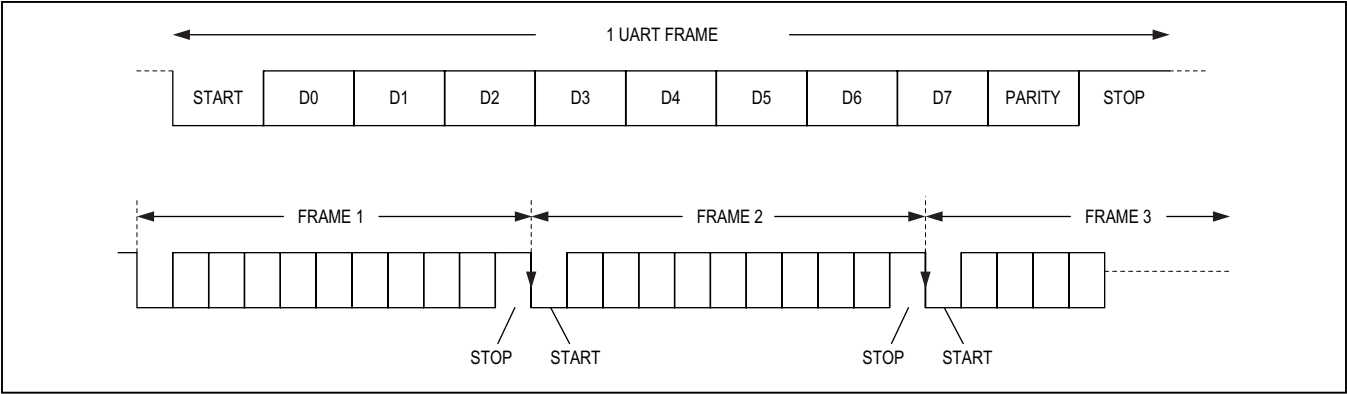


図 22. ベースモードの GMSL UART データ形式

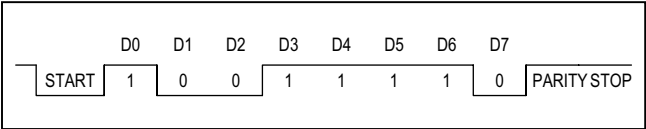


図 23. SYNC バイト (0x79)

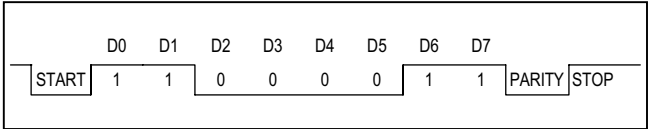


図 24. ACK バイト (0xC3)

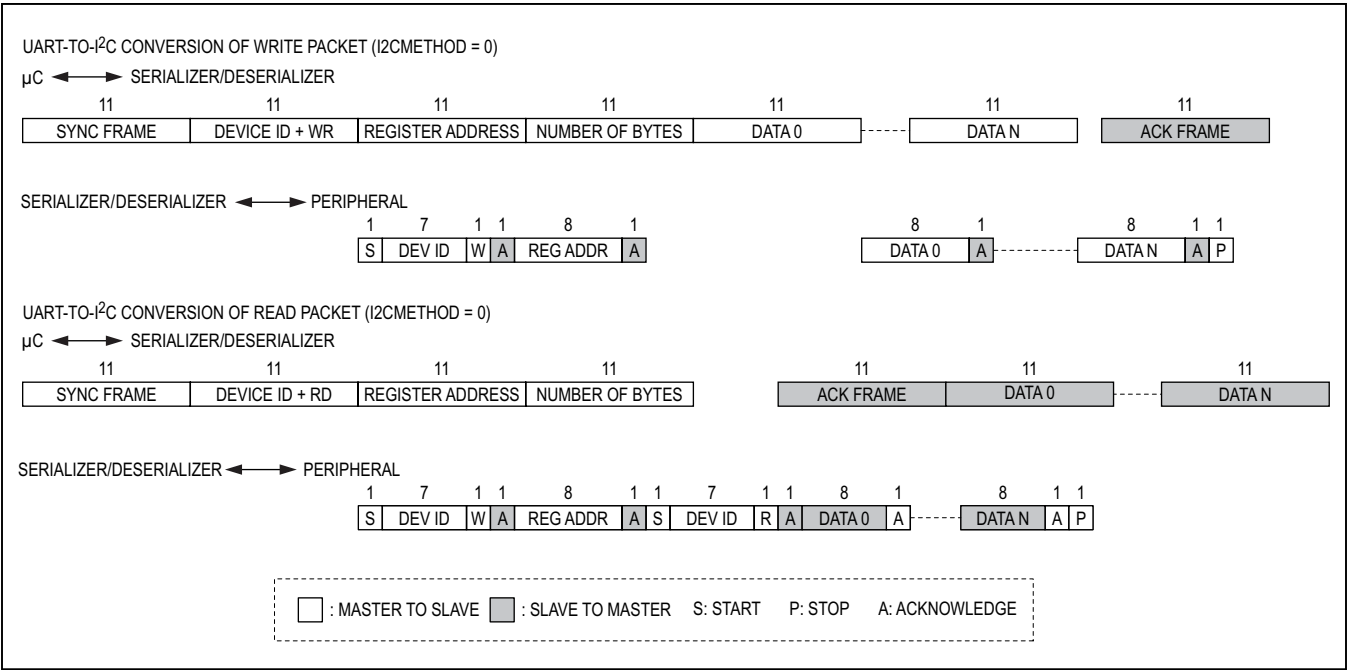


図 25. レジスタアドレスによる GMSL UART と I²C の間の形式変換 (I2CMETHOD = 0)

図25に示すように、リモート側のデバイスはペリフェラルとの間で送受信される packets をUART形式からI²C形式に、またその逆方向に変換します。リモートデバイスはハ

イト数カウントを除去し、I²Cのデータバイト間でACKを追加したり受信したりします。I²CのビットレートはUARTのビットレートと同じです。

コマンドバイトのみのI²CデバイスとUARTとの
インタフェース

デシリアライザのUART-I²C変換は、GPIOエキスパンドのMAX7324など、レジスタアドレスを必要としないデバイスとのインタフェースを行うことができます。このモードでは、I²Cマスターはレジスタアドレスバイトを無視して、直接後続のデータバイトの読取り/書込みを行います(図26)。I2CMETHODビットを使用して、I²Cマスターの通信方式を変更します。I2CMETHOD = 1でコマンドバイトオンリーモードに設定され、I2CMETHOD = 0でデータストリームの最初のバイトがレジスタアドレスであるノーマルモードに設定されます。

UARTバイパスモード

バイパスモードでは、デシリアライザはμCからのUARTコマンドを無視し、μCは専用定義されたUARTプロトコルを使用してペリフェラルと直接通信します。このモードでは、μCがシリアライザ/デシリアライザのレジスタにアク

セスすることはできません。UARTインタフェースを使用し順方向制御チャネルでアクセスされるペリフェラルは、PCLKOUTによるUART信号の非同期サンプリングのために、1 PCLKOUT周期以上のジッタ(±10ns)に対処する必要があります。制御チャネルをバイパスモードにするには、MS/HVEN = ハイに設定します。μCがデシリアライザに接続されるアプリケーションの場合、MSをハイに設定してからバイパス制御チャネルがアクティブになるまでの間に1msの待ち時間が存在します。μCがシリアライザに接続されている場合は、バイパスモードへの切替え時に遅延時間は存在しません。正常なGPO機能を確認するために、100μsより長くロジックロー値を送信しないでください。バイパスモードは、どちらの方向でも最小10kbpsまでのビットレートを受け付けます。GPI機能の制限事項については、「GPO/GPI制御」の項を参照してください。GPI制御を使用する場合、制御チャネルのデータパターンは100μsより長くローに維持しないでください。

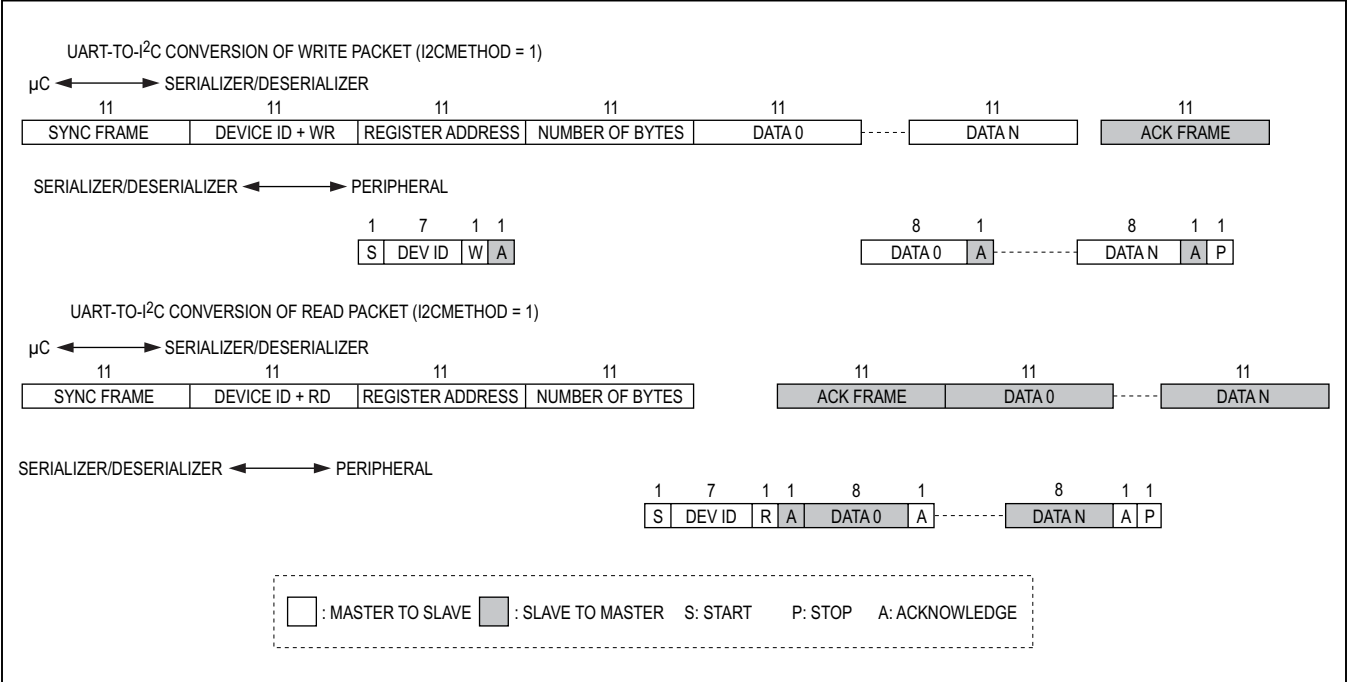


図 26. レジスタアドレスによる GMSL UART と I²C の間の形式変換 (I2CMETHOD = 1)

I²Cインタフェース

I²C-I²Cモードでは、デシリアライザの制御チャンネルインタフェースは、I²C対応の2線式インタフェース経由でデータを送受信します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用してマスターとスレーブの間で双方向通信を実現します。μCのマスターがデバイスとの間のすべてのデータ転送を開始し、データ転送を同期させるSCLクロックを生成します。I²Cトランザクションがローカル側デバイスの制御チャンネルポートで始めると、リモート側デバイスの制御チャンネルポートは、リモート側のI²Cペリフェラルとのインタフェースを行うI²Cマスターになります。このI²Cマスターは、デシリアライザによって(SCLをローに維持して)課されるクロックストレッチングを受け入れる必要があります。SDAラインとSCLラインは、入力とオープンドレイン出力の両方として動作します。SDAとSCLにはプルアップ抵抗が必要です。各伝送は、マスターによって送信されるSTART条件(図4)、

それに続くデバイスの7ビットのスレーブアドレスとR/Wビット、レジスタアドレスバイト、1つ以上のデータバイト、最後にSTOP条件で構成されます。

START条件とSTOP条件

インタフェースがビジーでないときは、SCLとSDAの両方がハイのままになります。マスターは、SCLがハイの間にSDAをハイからローに遷移させてSTART (S)条件を確立し、送信の開始を通知します(図27を参照)。スレーブとの通信を完了した時点で、マスターはSCLがハイの間にSDAをローからハイに遷移させることによってSTOP (P)条件を発行します。その後バスが解放され、次の送信が可能になります。

ビット転送

各クロックパルス中に1データビットが転送されます(図28)。SCLがハイの間は、SDA上のデータが安定している必要があります。

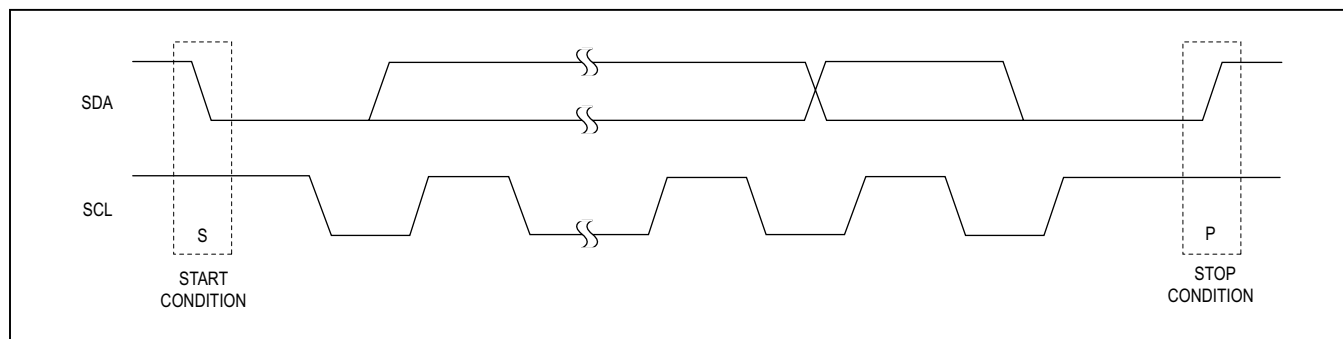


図 27. START 条件と STOP 条件

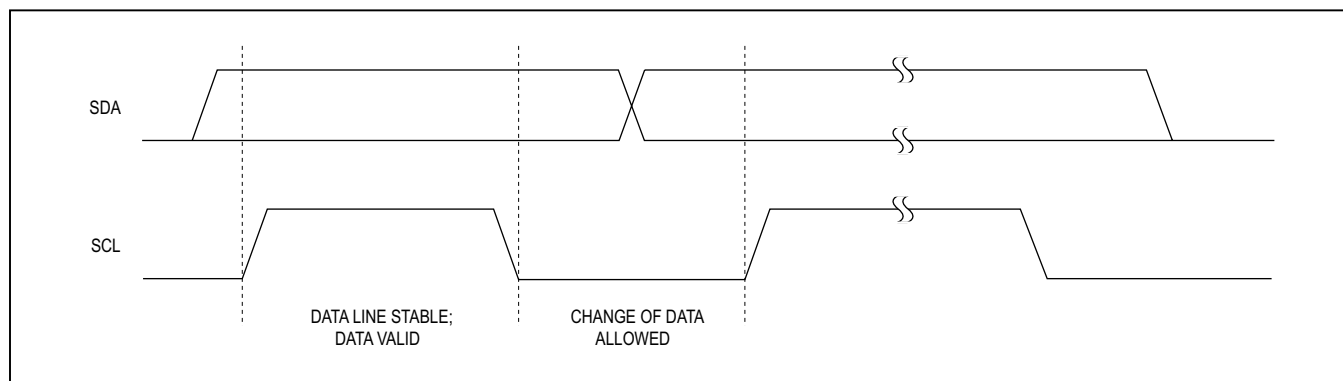


図 28. ビット転送

アクノリッジ

アクノリッジビットは、受信側で各データバイト受取りのハンドシェイクに使用される、クロック制御された9番目のビットです(図29)。したがって、転送されるバイトごとに実際上9ビットが必要です。マスターが9番目のクロックパルス生成し、受信側はアクノリッジのクロックパルス中にSDAをプルダウンします。SDAラインは、クロックパルスのハイの期間中はローで安定しています。マスターがスレーブデバイスに送信するときは、スレーブデバイスが受信側であるため、スレーブデバイスがアクノリッジビットを生成します。スレーブデバイスがマスターに送信するときは、マスターが受信側であるため、マスターがアクノリッジビットを生成します。順方向制御チャンネルがアクティブでないときでも、デバイスはアクノリッジを生成します。順方向制御チャンネルがアクティブでないときにアクノリッジが生成され

ないようにするには、I2CLOCKACKビットをローに設定します。

スレーブアドレス

このデシリアライザは7ビット長のスレーブアドレスを持っています。7ビットのスレーブアドレスに続くビットはR/Wビットで、書込みコマンドの場合はロー、読取りコマンドの場合はハイです。デシリアライザのスレーブアドレスは読取りコマンドではXX01XXX1、書込みコマンドではXX01XXX0です。図30を参照してください。

バスリセット

このデバイスは、読取りのI²C START条件でバスをリセットします。R/Wビットが1に設定されている場合は、デシリアライザがデータをマスターに送信するため、マスターがデバイスから読取りを行います。

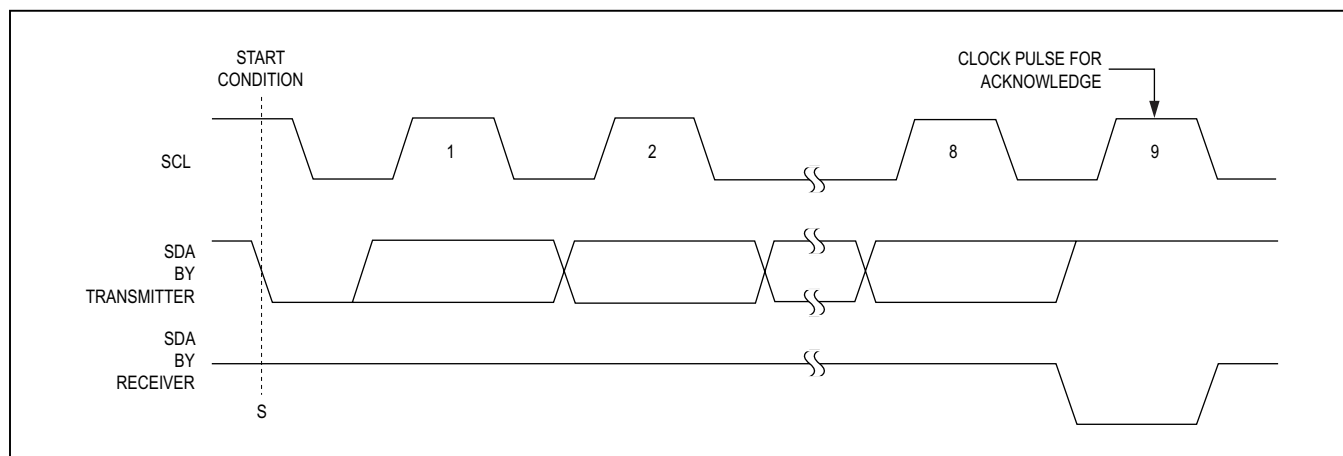


図 29. アクノリッジ

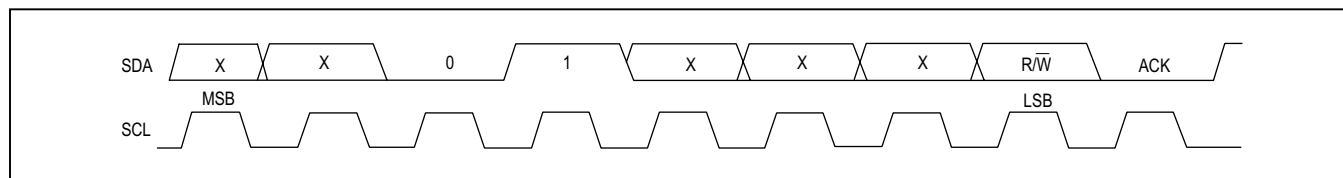


図 30. スレーブアドレス

書込みの形式

このデシリアライザへの書込みは、R/Wビットを0に設定したスレーブアドレスと、それに続く1バイト以上の情報の送信で構成されます。情報のうち最初のバイトは、レジスタアドレスまたはコマンドバイトです。このレジスタアドレスによって、次のバイト受信時にデバイスのどのレジスタに書込みを行うかが決まります。レジスタアドレスの受信後にSTOP (P)条件が検出された場合、デバイスはレジス

タアドレスを格納する以外の動作を行いません(図31)。レジスタアドレスのあとに受信されるバイトは、すべてデータバイトです。最初のデータバイトはレジスタアドレスによって選択されたレジスタに格納され、その後のデータバイトは後続のレジスタに格納されます(図32)。STOP条件の前に複数のデータバイトが送信された場合、レジスタアドレスが自動インクリメントされるため、それらのバイトは後続のレジスタに格納されます。

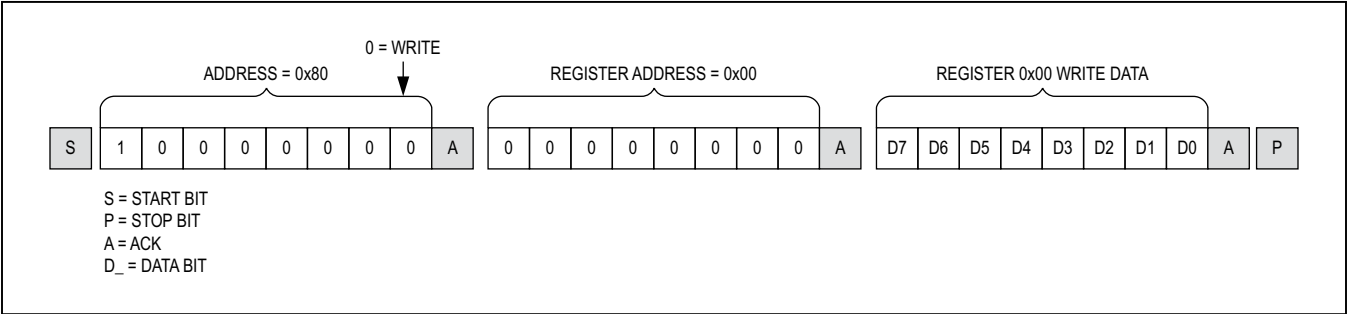


図 31. I²C の書込みの形式

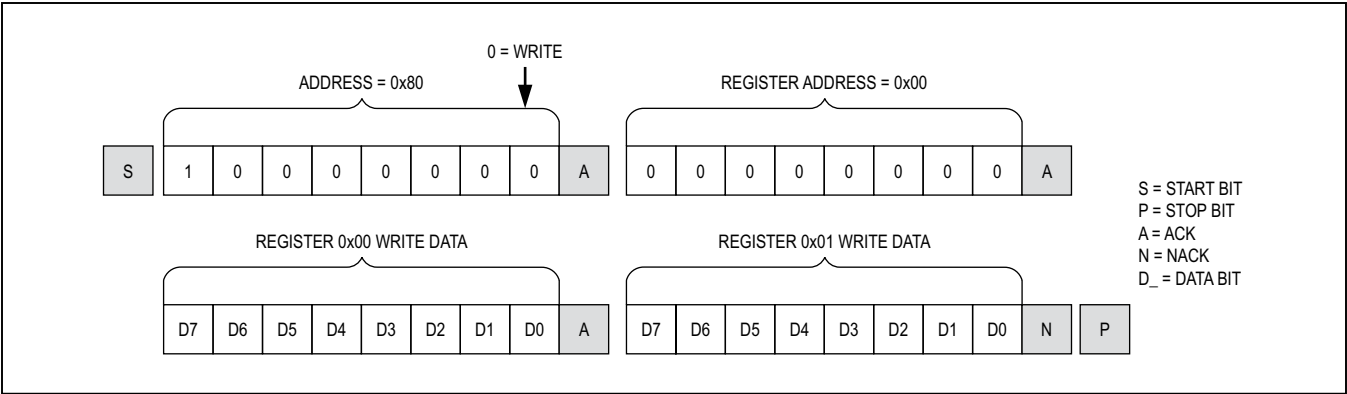


図 32. 複数のレジスタに対する書込みの形式

読取りの形式

このデシリアライザの読取りでは、書込みの場合に格納されたレジスタアドレスがアドレスポインタとして使用されるのと同様に、内部的に保存されたレジスタアドレスがアドレスポインタとして使用されます。書込みの場合と同じルールに従って各データバイトが読み取られた後にポインタが自動インクリメントされます。したがって、読取りはまず書込みを実行してレジスタアドレスを設定することによって開始されます(図33)。これでマスターはデバイスから連続するバイトを読み取ることができ、最初のデータバイトは直前に書込みを行ったレジスタアドレスによって指定されるレジスタアドレスから読み取られます。マスターがNACKを送信したら、デバイスは有効なデータの送信を停止します。

リモート側デバイスとのI²C通信

このデシリアライザは、SCLのクロックストレッチングを使用して、通信リンクのリモート側にあるペリフェラルとのI²C通信をサポートします。通信リンクのどちらかの側に複数のマスターが存在する可能性がある間、調停は行われません。接続されたマスターは、SCLのクロックストレッチングをサポートしている必要があります。リモート側のI²Cビットレート範囲は、ローカル側のI²Cビットレートに基づいて設定する必要があります。サポートされているリモート側ビットレートを表7に示しています。リモートのI²Cビットレートを設定するには、I2CMSTBT (レジスタ0x1C)を設定します。400kbps以外のビットレートを使用する場合、

ローカル側とリモート側のI²Cセットアップ時間とホールド時間は、両側でI2CSLVSHレジスタを設定して調整する必要があります。

I²Cアドレス変換

このデシリアライザは、最大2つのデバイスアドレスのI²Cアドレス変換をサポートしています。アドレス変換は、限られたI²Cアドレスで一意的なデバイスアドレスをペリフェラルに割り当てるために使用します。ソースアドレス(変換元のアドレス)は、レジスタ0x18と0x1Aに格納されます。デスティネーションアドレス(変換先のアドレス)は、レジスタ0x19と0x1Bに格納されます。

デシリアライザやこれらのシリアルライザに接続されたペリフェラルデバイスが複数存在するマルチリンク環境では、デシリアライザはこれら複数のデバイスを制御するブロードキャストコマンドをサポートします。ブロードキャストデバイスアドレスとして使用する未使用のデバイスアドレスを選択します。ブロードキャストデバイスアドレス(レジスタ0x0F、0x11に格納されたソースアドレス)をペリフェラルのアドレス(レジスタ0x10、0x12に格納されたデスティネーションアドレス)に変換するようにすべてのリモート側シリアルライザデバイスを設定します。ブロードキャストアドレス(選択した未使用のアドレス)に送信されたコマンドはいずれも、アドレスが変換後のブロードキャストアドレスと一致するデシリアライザに接続されたすべてのデシリアライザやペリフェラルデバイスに送信されます。

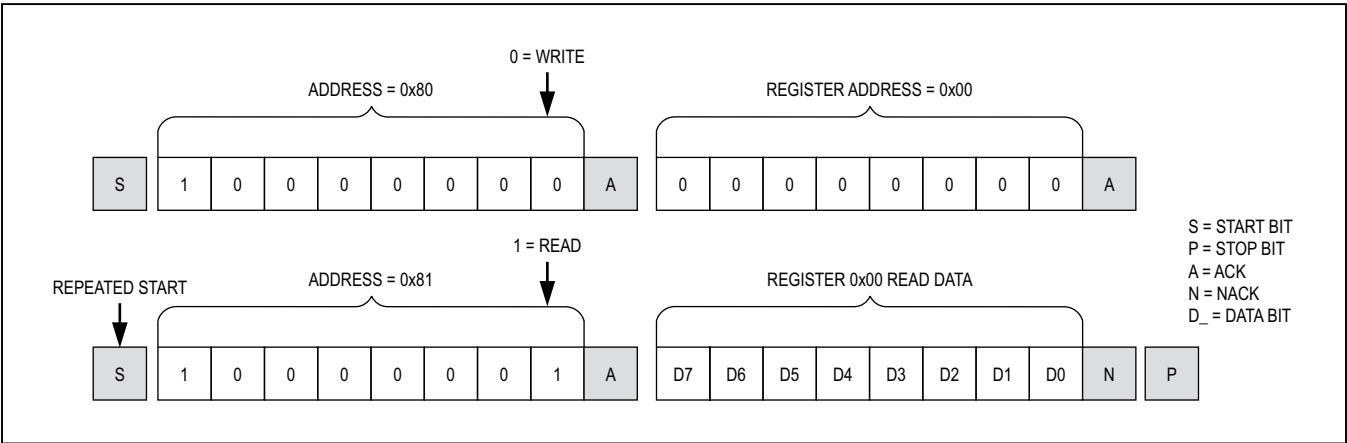


図 33. I²C の読取りの形式

表 7. I²Cのビットレート範囲

LOCAL BIT RATE	REMOTE BIT RATE RANGE	I2CMSTBT SETTING
f > 50kbps	Up to 1Mbps	ANY
20kbps > f > 50kbps	Up to 400kbps	Up to 110
f < 20kbps	Up to 10kbps	000

GPO/GPI制御

シリアライザのGPOは、デシリアライザのGPIの遷移に追従します。このGPO/GPI機能を使用すると、サラウンドビュースタカメラシステムでフレーム同期のような信号を送信することができます。GPI-GPO間の遅延は最大0.35msです。GPI遷移間の時間を0.35ms以上に維持します。これには、同軸スプリッタモードにおけるもう1つのデシリアライザからの遷移も含まれます。デシリアライザのレジスタ0x06のビットD4に、GPI入力の状態が格納されます。起動後、GPOはローです。μCはSETGPOレジスタビットへの書き込みによってGPOを設定することができます。正常なGPO/GPI機能を確認するため、デシリアライザのRX/SDA入力(UARTモード)では、ベースモードまたはバイパスモードのどちらにおいても100μsより長くロジックロー値を送信しないでください。

表8. ケーブルイコライザのブーストレベル

BOOST SETTING (0x05 D[3:0])	TYPICAL BOOST GAIN (dB)
0000	2.1
0001	2.8
0010	3.4
0011	4.2
0100	5.2
0101	6.2
0110	7
0111	8.2
1000	9.4
1001	10.7 Power-up default
1010	11.7
1011	13

表9. 出力の拡散

SS	SPREAD (%)
00	No spread spectrum. Power-up default
01	±2% spread spectrum.
10	No spread spectrum
11	±4% spread spectrum

表10. 変調係数と最大SDIV設定値

SPREAD- SPECTRUM SETTING (%)	MODULATION COEFFICIENT MOD (DECIMAL)	SDIV UPPER LIMIT (DECIMAL)
4	208	15
2	208	30

ラインイコライザ

このデシリアライザには、高周波数でのケーブル減衰をさらに補正するための調整可能なラインイコライザが内蔵されています。ケーブルイコライザは、2.1dB~13dBの間で選択可能な11の補正レベルを備えています(表8)。その他の補正レベルを選択する場合は、デシリアライザの該当するレジスタビット(0x05 D[3:0])を設定します。所定のケーブルで最も信頼性の高いリンクを実現するために、シリアライザのプリエンファシスとともに、デシリアライザのイコライゼーションを使用します。

スペクトラム拡散

シリアルリンク上の遷移によって生じるEMIを低減するため、デシリアライザの出力でスペクトラム拡散を設定可能です。MAX9276/MAX9280と組み合わせたシリアライザでスペクトラム拡散を設定可能である場合は、両方同時に拡散をイネーブルしないでください。両方でイネーブルすると、相互作用によって効果が相殺されます。デシリアライザはシリアライザの拡散を追跡し、デシリアライザの出力に通過させます。スペクトラム拡散の設定可能な振幅は±2%と±4%です(表9)。

このデシリアライザは、拡散変調率を制御するための鋸歯分周器を内蔵しています。PCLKOUTの動作範囲の自動検出によって、スペクトラム拡散の変調周波数が20kHz~40kHzの範囲内になることが保証されます。さらに、鋸歯分周器のマニュアル設定(SDIV: 0x03、D[5:0])によって、PCLKOUTの周波数に応じてユーザーが変調周波数を設定することも可能です。範囲をマニュアル選択する際は、約20kHzの固定変調周波数になるようにSDIVの値を設定します。

スペクトラム拡散分周器のマニュアル設定

変調率とPCLKOUTの周波数の関係は、次のようになります。

$$f_M = (1 + \text{DRS}) \frac{f_{\text{PCLKOUT}}}{\text{MOD} \times \text{SDIV}}$$

ここで、

f_M = 変調周波数

DRS = DRSの値(0または1)

f_{PCLKOUT} = PCLKOUTの周波数

MOD = 表10に示す変調係数

SDIV = μCによってマニュアル設定される5ビットのSDIV設定値

SDIV設定値を設定するには、まず目的のバス幅とスペクトラム拡散の設定に基づいて変調係数を選択します。目的のピクセルクロックと変調周波数を使用して、上記の式をSDIVについて解きます。計算したSDIVの値が表10に示すSDIVの許容最大値より大きい場合は、SDIVを最大値に設定します。

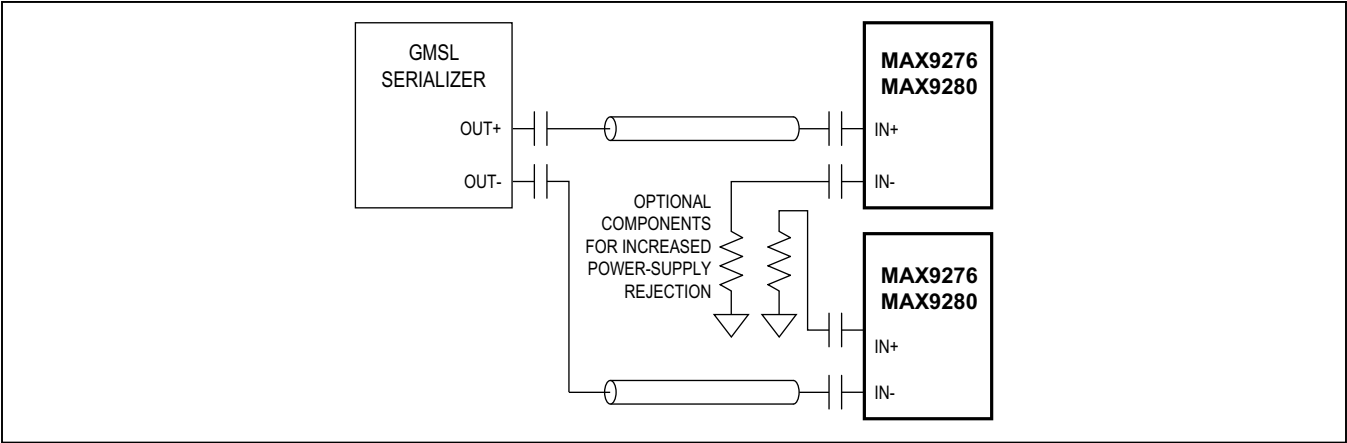


図 34. 2:1 同軸スプリッタ接続図

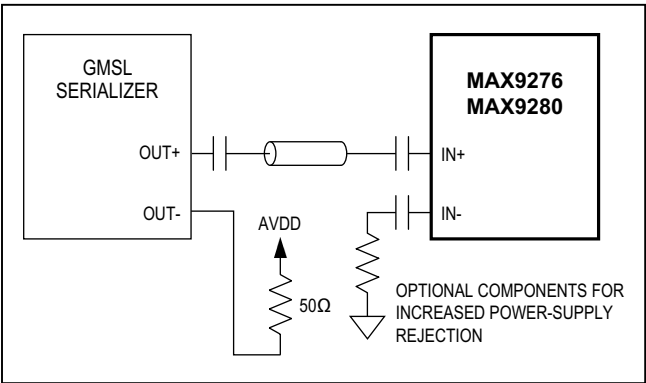


図 35. 同軸接続図

表11. 設定入力マップ

CX/TP	FUNCTION
High	Coax+ input. 7-bit device address is XXXXXX0 (bin).
Mid	Coax- input. 7-bit device address is XXXXXX1 (bin).
Low	Twisted pair input. 7-bit device address is XXXXXX0 (bin).

HS/VS/DEのトラッキング

このデシリアライザでは、トラッキングによってHS/VS/DEビットまたはパケットのエラーを除去することができます。HS/VS/DEのトラッキングは、デバイスが広帯域幅モード(BWS = オープン)のときはデフォルトでオンであり、24ビットまたは32ビットモード(BWS = ローまたはハイ)のときはデフォルトでオフです。HS/VSのトラッキングをイネーブル/ディセーブルするには、HVTREN (レジスタ0x15のD6)をセット/クリアします。DEのトラッキングをイネーブル/ディセーブルするには、DETREN (レジスタ0x15のD5)をセット/クリアします。デフォルトでは、デバイスはHS/DEの部分的小および完全な周期的トラッキングを使用します。完全な周期的トラッキングをディセーブルするには、HVTRMODE = 0 (レジスタ0x15のD4)に設定します。24ビットおよび32ビットモードでHS/VS/DEのトラッキングをオンにす

ると、HS/VS/DEリンクのビットにおけるビットエラーを監視して訂正することができます。

シリアル入力

このデバイスは、100Ωツイストペアと50Ω同軸の2種類のケーブルからシリアルデータを受信することができます(75Ωのケーブルに対応したデバイスについては、お問い合わせください)。

同軸スプリッタモード

同軸モードでは、シリアライザのOUT+とOUT-がアクティブです。そのため、1:2スプリッタとして使用することが可能です(図34)。同軸モードでは、OUT+をデシリアライザのIN+に接続します。OUT-は、もう1つのデシリアライザのIN-に接続します。制御チャンネルのデータは、シリアライザから両方のデシリアライザとそれらに接続されたペリフェラルにブロードキャストされます。制御データを1つのデシリアライザに送信するには、固有のアドレスを指定します。使用しないIN_端子をすべて未接続のままにするか、またはそれらを50Ωとコンデンサを介してグランドに接続し、電源電圧変動除去性能を引き上げます。OUT-を使用しない場合は、OUT-を50Ωの抵抗を介してVDDに接続します(図35)。シリアライザと各デシリアライザにμCがあるときは、一度に1つのμCしか通信することができません。I²C-I²Cモードでは、通信中のデシリアライザの接続に応じて順方向チャンネルや逆方向チャンネルのリンクをディセーブルして競合を防止します。制御チャンネルリンクをディセーブル/イネーブルするには、ENREVPまたはENREVNレジスタビットを使用します。UARTモードでは、シリアライザが制御チャンネルリンクの調停を行います。

ケーブルタイプ設定入力

CX/TPはシリアル入力の起動時の状態を決定します。同軸モードでは、CX/TPはデフォルトのデバイスアドレスのほか、どちらの同軸入力 that アクティブであるかも決定します(表11)。

カラールックアップテーブル

このデシリアライザは、3つのカラールックアップテーブル(LUT)を内蔵してRGBピクセル値の自動変換をサポートしています。この機能は、色のガンマ補正、輝度/コントラストやその他の目的に使用することができます。それぞれ幅8ビット、深さ256エントリの3つのルックアップテーブルがあり、(全24ビットの)各色について8ビットの入力値を任意の8ビット出力値に1対1変換することが可能です。

LUTデータの設定と検証

テーブルを設定して検証するには、μCがLUTPROGレジスタビットを1に設定する必要があります。LUTを設定する場合、μCはレジスタアドレスを各LUTの指定レジスタアドレス(0x7D、0x7E、0x7F)に設定した書込みパケットを生成します。デシリアライザはそのパケット内のデータを、LUTADDRレジスタに設定されたLUTアドレス位置から各LUTに書き込みます。データパケット内の後続のバイトは、次のLUTアドレス位置に書き込まれます。ただし、新たなデータパケットの書込みは、それぞれLUTADDRレジスタに格納されたアドレス位置から始まります。8ビット幅のバイト数フィールドでは、通常、9ビット幅の値「256」を表すことができないため、256バイトのデータブロックを書き込む際は、LUTADDRに0x00を使用し、UARTパケットのバイト数フィールドとして0x00を使用します。I²C-I²Cモードでは、バイト数フィールドはありません。

LUTの内容を読み出す場合、μCはレジスタアドレスを各LUTの指定レジスタアドレス(0x7D、0x7E、0x7F)に設定した読取りパケットを生成します。デシリアライザは各LUTからの読取りデータを、LUT_ADDRレジスタに設定されたLUTアドレス位置から出力します。書込み動作の場合と同様、256バイトのデータブロックを読み取る際は、

LUTADDRに0x00を使用し、UARTパケットのバイト数フィールドとして0x00を使用します。

LUTの色変換

起動した後、またはスリープモードやパワーダウンモードから復帰した後、LUTの変換はディセーブルであり、LUTの内容は未知です。設定と検証の動作が完了したら、LUTの変換をイネーブルするために、LUTPROGビットを0に設定し、各LUTイネーブルビット(RED_LUT_EN、GRN_LUT_EN、BLU_LUT_EN)を1に設定して、目的のLUT変換機能をイネーブルします。選択した色だけがLUTによって変換されます(その他の色に影響はありません)。3色すべての変換を必要としない場合、μCは3つのカラールックアップテーブルすべてに入力する必要はありません。

ピクセルはデシリアライズされ、復号化され、暗号化(必要な場合)された後、表12と図36に基づいてレッド、グリーン、ブルーの色成分に分解されます。LUTの変換がイネーブルの場合は、変換前の8ビットカラー値それぞれを各LUTテーブルへのアドレスとして使用し、対応する(変換後の) 8ビットカラー値を検索します。

LUTのビット幅

32ビットモードと広帯域幅モードでは、色データに24ビット(各色に8ビットずつ)を利用可能で、各LUTが8ビット-8ビットの色変換に使用されます。24ビットモードでは、デシリアライザは最大18ビットの色(各色に6ビットずつ)しか受け取ることができません。LUTテーブルでは、最初の64個の位置(0x00~0x3F)を使用して6ビット-6ビットの変換を行うことができます。各LUT値の最上位の2ビットを00に設定します。あるいは、8ビットの値すべてを各LUTに設定して6ビット-8ビットの色変換を実現します。

表12. ピクセルデータ形式

DOUT [5:0]	DOUT [11:6]	DOUT [17:12]	DOUT 18	DOUT 19	DOUT 20	DOUT [22:21]	DOUT [24:23]	DOUT [26:25]
R[5:0]	G[5:0]	B[5:0]	HS	VS	DE	R[7:6]	G[7:6]	B[7:6]

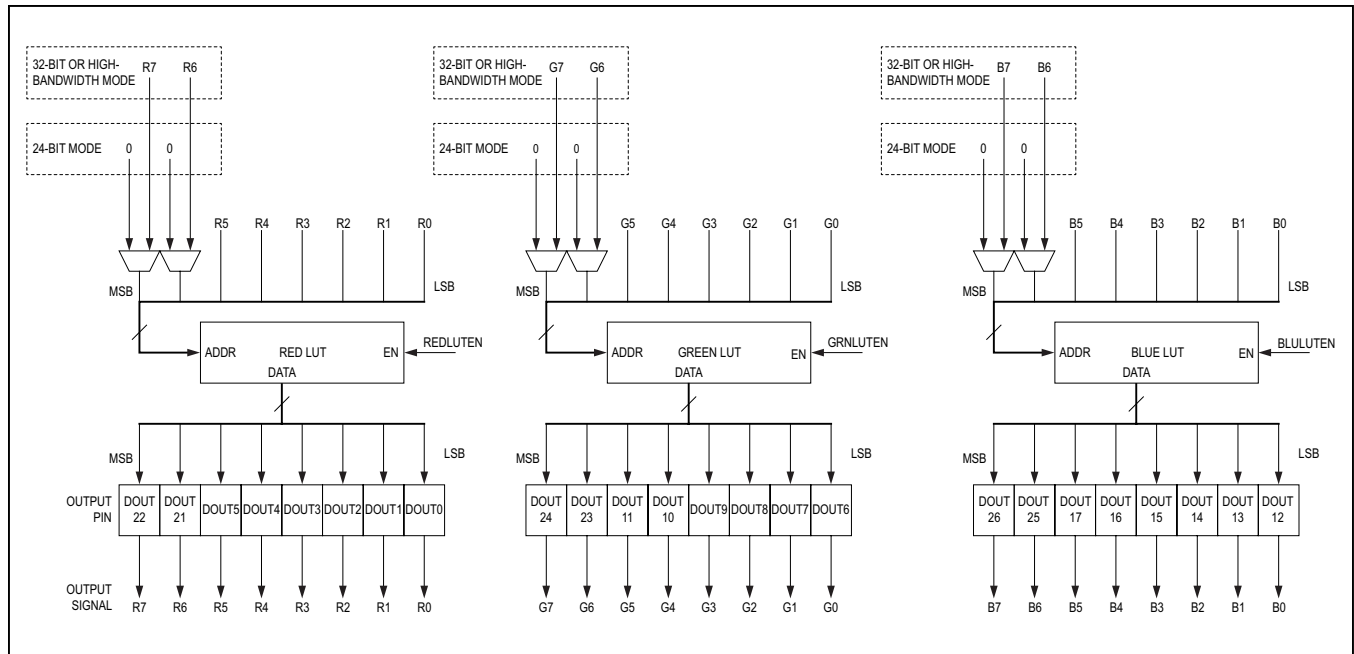


図 36. LUT のデータフロー

推奨されるLUTの設定手順

- 1) LUTPROG = 1をレジスタ0x7Cに書き込みます。BLULUTEN = 0、GRNLUTEN = 0、REDLUTEN = 0のままにします(0x08をレジスタ0x7Cに書き込みます)。
- 2) 1つの書き込みパッケージでレッドのLUTの内容を書き込みます。24ビットRGBの場合は、0x7Dをレジスタアドレスとして使用し、0x00をバイト数として使用して(UARTのみ)、256バイトを書き込みます。18ビットRGBの場合は、0x7Dをレジスタアドレスとして使用し、0x40をバイト数として使用して(UARTのみ)、64バイトを書き込みます。(任意: 各LUT書き込みパッケージの前にLUTADDRが設定される場合、複数の書き込みパッケージを使用可能です)。
- 3) レッドのLUTの内容を読み取って、内容が正しいことを確認します。直前のステップで使用した同じレジスタアドレスとバイト数を使用します。
- 4) グリーンのLUTについて、0x7Eをレジスタアドレスとして使用してステップ2と3を繰り返します。
- 5) ブルーのLUTについて、0x7Fをレジスタアドレスとして使用してステップ2と3を繰り返します。
- 6a) 設定と検証のルーチンを終了してLUTの色変換をイネーブルしない場合は、LUTPROG = 0を書き込みます(0x00をレジスタ0x7Cに書き込みます)。
- 6b) 設定と検証のルーチンを終了してLUTの色変換を開始する場合は、LUTPROG = 0、BLULUTEN = 1、GRNLUTEN = 1、REDLUTEN = 1を書き込みます(0x07をレジスタ0x7Cに書き込みます)。

表13. 逆方向制御チャネルのモード

HIGHIMM BIT OR SD/HIM PIN SETTING	REVFAS T BIT	REVERSE CONTROL CHANNEL MODE	MAX UART/ I ² C BIT RATE (kbps)
LOW (1)	X	Legacy reverse control channel mode (compatible with all GMSL devices)	1000
HIGH (1)	0	High-immunity mode	500
	1	Fast high-immunity mode	1000

X = 任意

表14. 高速高耐性モードの要件

BWS SETTING	ALLOWED PCLKOUT FREQUENCY (MHz)
Low	> 41.66
High	> 31.25
Open	> 83.33

高速高耐性モードではDRS = 0が必要です。

高耐性逆方向制御チャネルモード

このデシリアライザは、高耐性逆方向制御チャネルモードを内蔵しています。このモードでは、標準的なGMSLの逆方向制御チャネルリンクに比べて、半分のビットレートで堅牢性が向上します(表13)。起動時に高耐性モードを使用するには、30kΩの抵抗をシリアライザのGPO/HIMとデシリアライザのSD/HIMに接続します。起動後に常時、高耐性モードをイネーブルするには、シリアライザとデシリアライザの両方でHIGHIMMビットをハイに設定します。従来の逆方向制御チャネルモードを使用するには、シリアライザとデシリアライザの両方でHIGHIMMビットをローに設定します。デシリアライザの逆方向チャネルモードは、逆方向制御チャネルモードがシリアライザ/デシリアライザのHIGHIMMビットの設定によって変更された後、それぞれ500μs/1.92msの間は利用することができません。逆方向制御チャネルの正常な通信を実現するには、ユーザーがSD/HIMとGPO/HIMまたはHIGHIMMビットを同じ値に設定する必要があります。

高耐性モードでは、BWSがローまたはハイのときにシリアルビットレート = [PCLKOUT × 30 (BWS = ローまたはオープン)あるいは40 (BWS = ハイ)]が1Gbpsを超える場合、イコライザでHPFTUNE = 00に設定します。BWS = オープンのときは、シリアルビットレートが2Gbpsを超えるとHPFTUNE = 00に設定します。さらに、47nFのAC結合コンデンサを使用します。47nFのAC結合コンデンサを使用すると、従来の逆方向制御チャネルモードが機能しない場合があることに注意してください。

デフォルトでは、高耐性モードは500kbpsのビットレートを使用します。1Mbpsのビットレートを使用するには、両方のデバイスでREVFAS = 1に設定します(シリアライザではレジスタ0x1AのD7、デシリアライザではレジスタ0x11のD7)。高速高耐性モードを使用すると、いくつかの制限が適用されます(表14)。

スリープモード

このデシリアライザには、消費電力を削減するスリープモードがあります。デバイスは、制御チャネルを使用したリモートμCからのコマンドによってスリープモードを開始または終了します。スリープモードを開始するには、SLEEPビットを1に設定します。スリープモードへの移行によってHDCPレジスタはリセットされますが、設定レジスタはリセットされません。SLEEP = 1に設定した後、シリアルリンクがアイドル状態になるか、または8msが経過すると、デシリアライザはスリープします。各種のμCや開始条件におけるデバイスのウェイクアップの詳細については、「[リンクのスタートアップ手順](#)」の項を参照してください。

ローカル側からウェイクアップさせるには、任意の制御チャネルコマンドをデシリアライザに送り、チップが起動するまで5ms待つてから0をSLEEPレジスタビットに書き込み、ウェイクアップを永続化します。リモート側からウェイクアップさせるには、シリアライズをイネーブルします。デシリアライザはシリアルリンクでアクティビティを検出した後、ロックされていれば、自動的にそのSLEEPレジスタビットを0に設定します。

パワーダウンモード

このデシリアライザには、スリープモードよりも大幅に消費電力を削減するパワーダウンモードがあります。パワーダウンモードを開始するには、PWDNをローに設定します。パワーダウンモードでは、パラレル出力はハイインピーダンスのままです。パワーダウンモードに入ると、デバイスのレジスタはリセットされます。パワーダウンを終了した場合、外部端子ADD[2:0]、CX/TP、I2CSEL、SD/HIM、BWSの状態はラッチされます。

設定リンク

クロック入力が存在しない場合、制御チャネルは設定リンクと呼ばれる低速モードで動作することができます。これによって、マイクロプロセッサはビデオリンクを起動する前に設定レジスタをプログラム可能です。内部発振器が設定リンクにクロックを供給します。設定リンクをイネーブルするには、シリアライザでCLINKEN = 1に設定します。設定リンクは、ビデオリンクがイネーブルされるまでアクティブです。SEREN = 1のとき、ビデオリンクは設定リンクを無効にしてロックを試みます。

リンクのスタートアップ手順

表15は、ディスプレイアプリケーションのスタートアップ手順を示しています。表16は、画像検出アプリケーションのスタートアップ手順を示しています。ビデオリンクまたは

設定リンクが確立されたら、制御チャネルを利用可能です。デシリアライザがシリアライザの後に起動した場合は、起動後2msの間、制御チャネルは利用不可になります。

表15. ビデオディスプレイアプリケーションのスタートアップ手順

NO.	μC	シリアライザ		デシリアライザ
		(自動起動がイネーブル)	(自動起動がディセーブル)	
—	μCはシリアライザに接続されています。	すべての設定入力を設定します。いずれかの設定入力があるリンクの一方の端で利用可能であり、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力があるリンクの一方の端で利用可能であり、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。	すべての設定入力を設定します。いずれかの設定入力があるリンクの一方の端で利用可能であり、もう一方の端で利用不可である場合は、常にその設定入力をローに接続します。
1	起動します。	起動してデフォルト設定をロードします。有効なPCLKが利用可能であれば、ビデオリンクを確立します。	起動してデフォルト設定をロードします。	起動してデフォルト設定をロードします。利用可能な場合、ビデオリンク信号にロックします。
2	SEREN = 1に設定してシリアルリンクをイネーブルするか、または(有効なPCLKが利用不可の場合) SEREN = 0とCLINKEN = 1に設定して設定リンクをイネーブルし、アクノリッジを取得します。リンクが確立するまで待ちます(約3ms)。		設定リンクまたはビデオリンクを確立します。	設定リンクまたはビデオリンク信号にロックします。
3	シリアライザ/デシリアライザで設定ビットを書き込み、アクノリッジを取得します。	設定がデフォルト設定から変更されます。		設定がデフォルト設定から変更されます。
4	まだイネーブルでない場合は、SEREN = 1に設定し、アクノリッジを取得して、ビデオリンクが確立されるのを待ちます(約3ms)。	(まだイネーブルでない場合)有効なPCLKが利用可能であれば、ビデオリンクを確立します。		(まだロックされていない場合)ビデオリンク信号にロックします。
5	入力にビデオデータの送信を開始します。	ビデオデータがシリアライズされ、シリアルリンクで送信されます。		ビデオデータが受信され、デシリアライズされます。

表16. 画像検出アプリケーション(CDS = ハイ)のスタートアップ手順

NO.	μC	シリアライザ		デシリアライザ
		(自動起動がイネーブル)	(自動起動がディセーブル)	
—	μCはデシリアライザに接続されています。	すべての設定入力を設定します。	すべての設定入力を設定します。	すべての設定入力を設定します。
1	起動します。	起動してデフォルト設定をロードします。有効なPCLKが利用可能であれば、ビデオリンクを確立します。	起動してデフォルト設定をロードします。8ms後にスリープに入ります。	起動してデフォルト設定をロードします。利用可能な場合、ビデオリンク信号にロックします。
2	デシリアライザの設定ビットを書き込み、アクノリッジを取得します。			設定がデフォルト設定から変更されます。
3	ダミーパケットを送信した後、8ms以内にSLEEP = 0を書き込んでシリアライザをウェイクアップさせます。ロックされていない場合があります(または、ダミーのアクノリッジを取得します)。		ウェイクアップします。	
4	シリアライザの設定ビットを書き込みます。ロックされていない場合は、アクノリッジが取得されない場合があります(または、ダミーのアクノリッジを取得します)。	設定がデフォルト設定から変更されます。		
5	まだイネーブルでない場合は、SEREN = 1に設定し、アクノリッジを取得して、シリアルリンクが確立されるのを待ちます(約3ms)。	(まだイネーブルでない場合)有効なPCLKが利用可能であれば、ビデオリンクを確立します。		(まだロックされていない場合)ビデオリンク信号にロックします。
6	入りにビデオデータの送信を開始します。	ビデオデータがシリアライズされ、シリアルリンクで送信されます。		ビデオデータが受信され、デシリアライズされます。

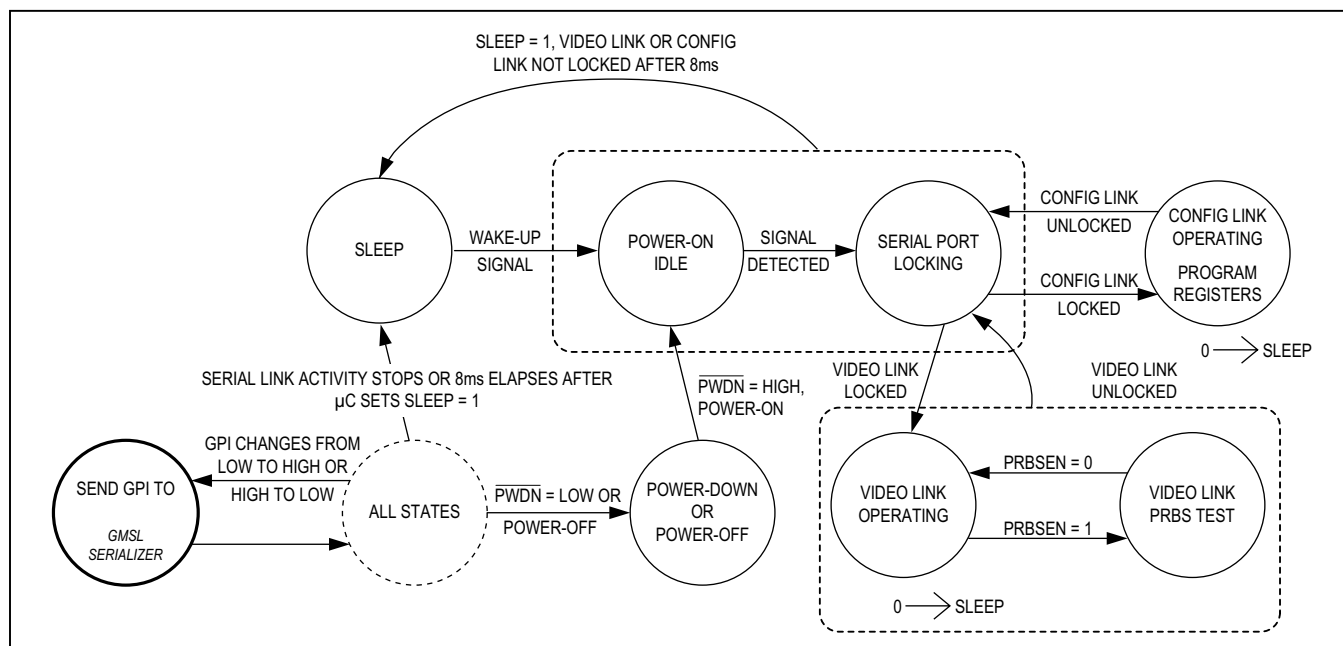


図 37. 状態図

広帯域幅デジタルコンテンツ保護(HDCP)

注：このデータシートのHDCPの動作に関する説明は、全般的な理解の手引きとして書かれています。製品におけるHDCPの実装は、DCPから提供されている「HDCP System v1.3 Amendment for GMSL (HDCPシステム1.3のGMSL向け修正)」に記載された要件を満たす必要があります。

HDCPには、主に認証とリンク完全性チェックの2つの動作フェーズがあります。μCは、GMSLシリアライザのSTART_AUTHENTICATIONビットに書き込むことで認証を開始します。GMSLシリアライザは64ビットの乱数を生成します。ホストμCは、まずGMSLシリアライザから64ビットの乱数を読み取って、それをデシリアライザに書き込みます。次にμCは、GMSLシリアライザのパブリック鍵(公開鍵)選択ベクトル(AKSV)を読み取ってデシリアライザに書き込みます。次にμCは、デシリアライザのKSV (BKSV)を読み取ってGMSLシリアライザに書き込みます。μCは無効化リストに照らしてBKSVのチェックを開始します。GMSLシリアライザとデシリアライザは暗号を使用して、16ビットの応答値(それぞれR0とR0')を計算します。HDCPのGMSL向け修正では、レシーバでR0'を生成するために見込まれている100msの最短待ち時間(HDCPリビジョン1.3で規定)が、128ピクセルクロックサイクルに短縮されています。

応答値の比較には、内部比較とμC比較の2つのモードがあります。内部比較モードを選択するには、EN_INT_COMP = 1に設定します。μC比較モードを選択するには、EN_INT_COMP = 0に設定します。内部比較モードでは、μCはデシリアライザの応答R0'を読み取ってGMSLシリアライザに書き込みます。GMSLシリアライザは、R0'を内部生成した応答値R0と比較して、R0_RI_MATCHEDを設定します。μC比較モードでは、μCがGMSLシリアライザ/デシリアライザからR0/R0'の値を読み取って比較します。

応答値の生成と比較の間に、ホストμCは有効なBKSVかどうかのチェック(20個の1と20個の0を含むこと、BKSV_INVALIDでも通知)、およびBKSVと無効化リストの照合チェックを行います。BKSVがリストに含まれず、応答値が一致した場合、ホストはリンクを認証します。応答値が一致しない場合、μCは(HDCPリビジョン1.3、付録Cの記述に従って)応答値の再サンプリングを行います。再サンプリングに失敗した場合、μCはGMSLシリアライザのRESET_HDCPビットをセットして認証を再スタートします。BKSVが無効化リストに含まれていた場合、ホストは保護を必要とするデータを送信することができません。ホストはいつリンクが認証されたかを把握し、保護を必要とするデータを出力するタイミングを決定します。μCは128フレームごと、または2秒±0.5秒ごとにリンク完全性チェックを実行します。GMSLシリアライザ/デシリアライザは、128フレームごとに応答値を生成します。これらの値は内部で比較されるか(内部比較モード)、またはホストμCで比較することができます。

さらに、GMSLシリアライザ/デシリアライザは拡張リンク検証の応答値を提供します。拡張リンク検証は、同期の喪失をより速く検出することができるオプションのリンク検証方式です。このオプションのために、GMSLシリアライザとデシリアライザは、8ビットの拡張リンク検証応答値(PJとPJ')を16フレームごとに生成します。ホストは3回連続してPJ/PJ'の不一致を検出すると、再サンプリングを行う必要があります。

暗号化のイネーブル

GMSLリンクは、暗号化または非暗号化のどちらのデータでも転送可能です。データを暗号化する場合、ホストμCはGMSLシリアライザとデシリアライザの両方で暗号化イネーブル(ENCRYPTION_ENABLE)ビットをセットします。μCは、GMSLシリアライザとデシリアライザの両方のENCRYPTION_ENABLEを同一のVSYNCサイクル内でセットする必要があります(2つの書き込みの間に内部VSYNCの立下りエッジが存在しないこと)。暗号化をディセーブルするためにENCRYPTION_ENABLEをクリアするときも、これと同じタイミングが適用されます。

注：ENCRYPTION_ENABLEは、コンテンツにかかわらずGMSL上の暗号化をイネーブル/ディセーブルします。HDCPに準拠するために、μCでは、暗号化を必要とするコンテンツが暗号化されないままGMSLを通過することがないようにします。

μCは暗号化をイネーブルする前に認証プロセスを完了する必要があります。さらに、新しい認証セッションを開始するには、暗号化をディセーブルする必要があります。

暗号化の同期

ビデオの垂直同期(VSYNC)は、暗号の開始を同期させます。暗号化が開始されると、GMSLはVSYNCとHSYNCの内部立下りエッジを使用して、各フレームと各ラインに対して新しい暗号鍵を生成します。鍵の変更はデータに対して透過的で、ビデオまたはオーディオデータの暗号化を中断しません。

リピータのサポート

GMSLシリアライザ/デシリアライザは、HDCPリピータを構成する機能を内蔵しています。HDCPリピータは、HDCPコンテンツを受信して復号化した後、1つ以上のダウンストリームリンク上で暗号化して送信します。リピータは、復号化したHDCPコンテンツを(スクリーン表示などに)使用することもできます。HDCPのリピータ認証プロトコルをサポートするため、デシリアライザにはREPEATERレジスタビットがあります。このレジスタビットは、(おそらくリピータモジュール上にある) μCによって1に設定される必要があります。GMSLシリアライザとデシリアライザの両方が、作成されたKSVリスト上でSHA-1ハッシュ値の計算を使用します。HDCP GMSLリンクは、最大15のレシーバをサポートします(リピータモジュール内のものを含む総数)。

ダウンストリームのレシーバの総数が14を超える場合、 μ CはKSVリスト作成時にMAX_DEVS_EXCEEDEDレジスタビットをセットする必要があります。

HDCP認証の手順

GMSLシリアライザは、HDCPの要件を超える64ビットの乱数を生成します。GMSLシリアライザ/デシリアライザの内蔵ワンタイムプログラマブル(OTP)メモリには、出荷時に設定された固有のHDCP鍵セットが格納されています。ホスト μ Cは、HDCP認証手順を開始して制御します。GMSLシリアライザとデシリアライザは、認証の検証のためにHDCP認証応答値を生成します。HDCP GMSL暗号化を認証する際は、下記の手順に従います(詳細については、

HDCP 1.3 Amendment for GMSL [HDCP 1.3のGMSL向け修正]を参照)。暗号化がイネーブルの間は、 μ Cでリンク完全性チェックを実行する必要があります(表18参照)。デシリアライザがリンクの同期を失ったことを示す何らかのイベントが発生した場合は、認証を再トリガします。 μ Cが新たに認証の試みを開始するには、まずGMSLシリアライザのRESET_HDCPビットに1を書き込む必要があります。

HDCPプロトコルの概要

表11、表12、表13は、HDCPプロトコルの概要を示しています。これらの表は、実装の手引きとしてのみ掲載しています。完全に準拠するには、HDCPのGMSL向け修正で規定された要件を満たす必要があります。

表17. スタートアップ、HDCP認証、および通常動作(デシリアライザがリピータではない場合)—HDCP認証プロトコルの第1のパート

NO.	μ C	HDCP GMSLシリアライザ	HDCP GMSLデシリアライザ
1	起動後の初期状態です。	起動してHDCP認証を待ちます。	起動してHDCP認証を待ちます。
2	保護を必要としないA/Vデータ(低価値コンテンツ)がGMSLシリアライザの入力で利用可能であることを確認します(ブルーまたはインフォメーション画面など)。あるいは、GMSLシリアライザのFORCE_VIDEOビットとFORCE_AUDIOビットを使用して、GMSLシリアライザの入力でA/Vデータをマスクします。SEREN = Hを書き込むことによってリンクを開始するか、またはAUTOSがローの場合はリンクが自動的に開始します。	—	—
3	—	シリアライズを開始して低価値コンテンツのA/Vデータを送信します。	入力データストリームにロックして低価値コンテンツのA/Vデータを出力します。
4	デシリアライザのロックビットを読み取って、リンクが確立されたことを確認します。	—	—
5	必要に応じて、乱数のシードをGMSLシリアライザに書き込みます。	シードと内部生成した乱数を組み合わせます。シードが供給されない場合は、内部の乱数のみを使用します。	—
6	HDCP暗号化が必要な場合、GMSLシリアライザのSTART_AUTHENTICATIONビットに1を書き込むことによって認証を開始します。	ANを生成(保存)して、START_AUTHENTICATIONビットをゼロにリセットします。	—
7	ANとAKSVをGMSLシリアライザから読み取って、デシリアライザに書き込みます。	—	μ CのAKSVの書き込みをトリガとしてR0'を生成します。
8	BKSVおよびREPEATERビットを読み取って、GMSLシリアライザに書き込みます。	μ CのBKSVの書き込みをトリガとしてR0を生成します。	—

表17. スタートアップ、HDCP認証、および通常動作(デシリアライザがリピータではない場合)—
HDCP認証プロトコルの第1のパート(続き)

NO.	μC	HDCP GMSLシリアライザ	HDCP GMSLデシリアライザ
9	GMSLシリアライザのINVALID_BKSVビットを読み取って、それが0の場合は認証を続行します。認証に失敗した場合は、認証を再スタートすることができます(認証を再スタートする前にRESET_HDCP = 1に設定します)。	—	—
10	デシリアライザからR0'を読み取って、GMSLシリアライザからR0を読み取ります。両者が一致した場合は認証を続行します。一致しない場合は、さらに最大2回まで再試行します(必要に応じて、GMSLシリアライザ比較を使用してR0/R0'が一致しているかどうかを判定することができます)。認証に失敗した場合は、認証を再スタートすることができます(認証を再スタートする前にRESET_HDCP = 1に設定します)。	—	—
11	VSYNCの立下りエッジ(GMSLシリアライザ内)を待ってから、デシリアライザとGMSLシリアライザでENCRYPTION_ENABLEビットを1に設定します(μCがVSYNCを監視することができない場合は、GMSLシリアライザのVSYNC_DETビットを利用可能です)。	次のVSYNCの立下りエッジの後、暗号化がイネーブルされます。	次のVSYNCの立下りエッジの後、復号化がイネーブルされます。
12	BKSVが鍵無効化リストに含まれていないかをチェックし、含まれていない場合は続行します。認証に失敗した場合は、認証を再スタートすることができます。 注：無効化リストのチェックは、ステップ8でBKSVを読み取った後に開始することができます。	—	—
13	保護を必要とするA/Vコンテンツの送信を開始します。	高価値コンテンツのA/VデータについてHDCP暗号化を実行します。	高価値コンテンツのA/VデータについてHDCP復号化を実行します。

表18. リンク完全性チェック(通常)—暗号化のイネーブル後128フレームごとに実行

NO.	μC	HDCP GMSLシリアライザ	HDCP GMSLデシリアライザ
1	—	128 VSYNCサイクル単位でRiを生成してRiレジスタを更新します。	128 VSYNCサイクル単位でRi'を生成してRi'レジスタを更新します。
2	—	A/Vデータの暗号化と送信を継続します。	A/Vデータの受信、復号化、および出力を継続します。
3	128ビデオフレーム(VSYNCサイクル)ごと、または2秒ごと。	—	—
4	GMSLシリアライザからRiを読み取ります。	—	—
5	デシリアライザからRi'を読み取ります。	—	—
6	再びGMSLシリアライザからRiを読み取って、値が安定していること(前にGMSLシリアライザから読み取ったRiと一致すること)を確認します。Riが安定していない場合は、ステップ5に戻ります。	—	—
7	RiとRi'が一致している場合、リンク完全性チェックは成功で、ステップ3に戻ります。	—	—
8	RiとRi'が一致しない場合、リンク完全性チェックは失敗です。リンク完全性チェックの失敗を検出したら、μCは保護を必要としないA/Vデータ(低価値コンテンツ)がGMSLシリアライザの入力で利用可能であることを確認します(ブルーまたはインフォメーション画面など)。あるいは、GMSLシリアライザのFORCE_VIDEOビットとFORCE_AUDIOビットを使用して、GMSLシリアライザのA/Vデータ入力をマスクすることもできます。	—	—
9	GMSLシリアライザとデシリアライザのENCRYPTION_ENABLEビットに0を書き込みます。	暗号化をディセーブルして低価値コンテンツのA/Vデータを送信します。	復号化をディセーブルして低価値コンテンツのA/Vデータを出力します。
10	GMSLシリアライザのRESET_HDCPビットに1を書き込んだ後、START_AUTHENTICATIONビットに1を書き込むことによって認証を再スタートします。	—	—

表19. オプションの拡張リンク完全性チェック—暗号化のイネーブル後16フレームごとに実行

NO.	μC	HDCP GMSLシリアライザ	HDCP GMSLデシリアライザ
1	—	16 VSYNCサイクル単位でPJを生成してPJレジスタを更新します。	16 VSYNCサイクル単位でPJ'を生成してPJ'レジスタを更新します。
2	—	A/Vデータの暗号化と送信を継続します。	A/Vデータの受信、復号化、および出力を継続します。
3	16ビデオフレームごとに、GMSLシリアライザからPJを読み取って、デシリアライザからPJ'を読み取ります。	—	—
4	PJとPJ'が一致した場合、拡張リンク完全性チェックは成功で、ステップ3に戻ります。	—	—
5	不一致があった場合は、さらに最大2回までステップ3から再試行します。3回とも不一致なら、拡張リンク完全性チェックは失敗です。拡張リンク完全性チェックの失敗を検出したら、μCは保護を必要としないA/Vデータ(低価値コンテンツ)がGMSLシリアライザの入力で利用可能であることを確認します(ブルーまたはインフォメーション画面など)。あるいは、GMSLシリアライザのFORCE_VIDEOビットとFORCE_AUDIOビットを使用して、GMSLシリアライザのA/Vデータ入力をマスクすることもできます。	—	—
6	GMSLシリアライザとデシリアライザのENCRYPTION_ENABLEビットに0を書き込みます。	暗号化をディセーブルして低価値コンテンツのA/Vデータを送信します。	復号化をディセーブルして低価値コンテンツのA/Vデータを出力します。
7	GMSLシリアライザのRESET_HDCPビットに1を書き込んだ後、START_AUTHENTICATIONビットに1を書き込むことによって認証を再スタートします。	—	—

リピータネットワークの例—μCが2つの場合

図38に示した例では、1つのリピータと2つのμCを使用しています。表20は、認証の動作の概要を示しています。

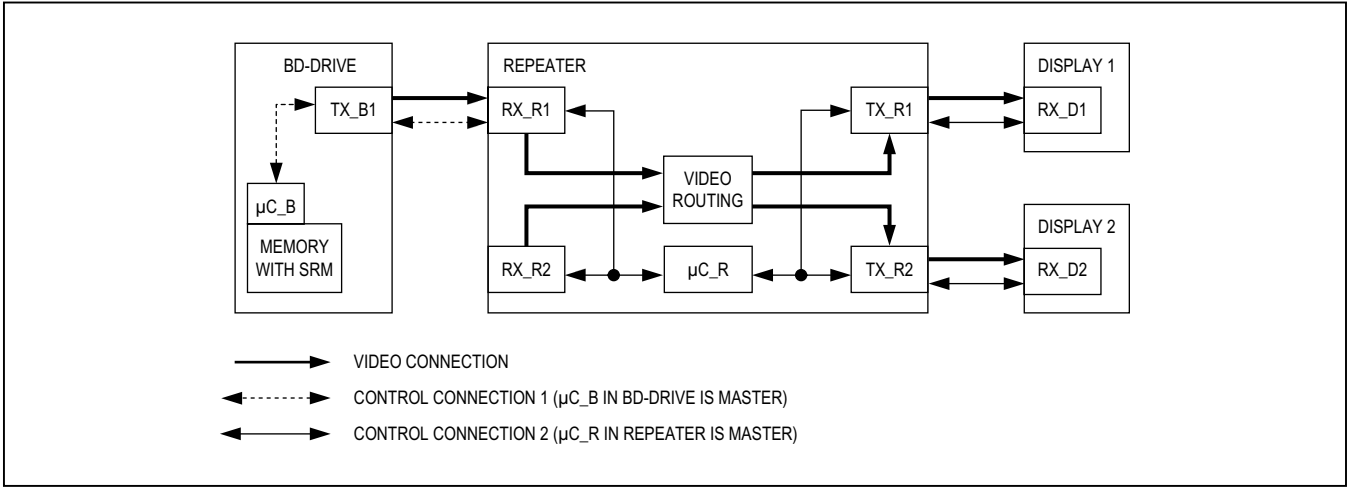


図 38. 1 つのリピータと 2 つの μC を含むネットワークの例 (Tx = GMSL シリアライザ、Rx = デシリアライザ)

表20. HDCP認証と通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの第1と第2のパート

NO.	μC_B	μC_R	HDCP GMSL シリアライザ (TX_B1、TX_R1、 TX_R2)	HDCP GMSL デシリアライザ (RX_R1、RX_D1、 RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
1	起動後の初期状態です。	起動後の初期状態です。	すべて：起動してHDCP 認証を待ちます。	すべて：起動してHDCP 認証を待ちます。
2	—	RX_R1でREPEATER = 1を書き 込みます。適切なアクノリッジフレー ムが受信されるまで再試行します。 注：μC_BによってTX_B1とRX_ R1の間で認証の第1のパートが開 始される(ステップ7)前に、このス テップを完了する必要があります。 たとえば、この要件を満たすには、 μC_RがREPEATERビットに書込 み可能な状態になるまでRX_R1を パワーダウン状態に維持する方法 や、認証を開始する前にμC_Bが μC_Rを監視する方法があります。	—	—

表20. HDCP認証と通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの
第1と第2のパート(続き)

NO.	μC_B	μC_R	HDCP GMSL シリアライザ (TX_B1、TX_R1、 TX_R2)	HDCP GMSL デシリアライザ (RX_R1、RX_D1、 RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
3	保護を必要としないA/Vデータ(低 価値コンテンツ)がTX_B1入力で 利用可能であることを確認します (ブルーまたはインフォメーション 画面など)。あるいは、TX_B1の FORCE_VIDEOビットとFORCE_ AUDIOビットを使用して、TX_B1 のA/Vデータ入力をマスクすること もできます。TX_B1にSEREN = H を書き込むことによってTX_B1と RX_R1の間のリンクを開始するか、 またはAUTOSがローの場合はリン クが自動的に開始します。	—	TX_B1 : シリアライズを 開始して低価値コンテン ツのA/Vデータを送信し ます。	RX_R1 : 入力データスト リームにロックして低価値 コンテンツのA/Vデータ を出力します。
4	—	TX_R1、TX_R2にSEREN = Hを 書き込むことによってすべてのダ ウンストリームリンクを開始するか、 またはトランスミッタのAUTOSが ローの場合はリンクが自動的に開 始します。	TX_R1、TX_R2 : シリア ライズを開始して低価値 コンテンツのA/Vデータ を送信します。	RX_D1、RX_D2 : 入力 データストリームにロック して低価値コンテンツの A/Vデータを出力します。
5	RX_R1のロックビットを読み取っ て、TX_B1とRX_R1の間でリンク が確立されたことを確認します。	RX_D1のロックビットを読み取っ て、TX_R1とRX_D1の間でリン クが確立されたことを確認します。 RX_D2のロックビットを読み取っ て、TX_R2とRX_D2の間でリン クが確立されたことを確認します。	—	—
6	必要に応じて、乱数のシードを TX_B1に書き込みます。	HDCP用に使用されるGPIO機能 を変更するため、RX_R1のGPIO_0_ FUNCTIONビットとGPIO_1_ FUNCTIONビットに1を書き込み ます。必要に応じて、乱数のシード をTX_R1とTX_R2に書き込みます。	—	—
7	TX_B1、RX_R1間の認証プロトコ ルの第1のパートを開始して完了し ます(表11のステップ6~10を参照)。	—	TX_B1 : μC_Bからの コマンドに基づいて、AN を生成し、R0を計算します。	RX_R1 : μC_Bからの コマンドに基づいて、R0' を計算します。

表20. HDCP認証と通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの
第1と第2のパート(続き)

NO.	μC_B	μC_R	HDCP GMSL シリアライザ (TX_B1、TX_R1、 TX_R2)	HDCP GMSL デシリアライザ (RX_R1、RX_D1、 RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
8	—	GPIO_1 = 1が検出された場合、 (TX_R1、RX_D1)と(TX_R2、 RX_D2)のリンク間で認証プロトコ ルの第1のパートを開始して完了し ます(表11のステップ6~10を参照)。	TX_R1、TX_R2 : μC_R からのコマンドに基づい て、ANを生成し、R0を 計算します。	RX_D1、RX_D2 : μC_R からのコマンドに基づい て、R0'を計算します。
9	VSYNの立下りエッジを待ってか ら、(TX_B1、RX_R1)リンクで 暗号化をイネーブルします。完全 な認証がまだ完了していないため、 保護を必要とするA/Vコンテンツが 送信されないようにします。RX_ R1からREPEATER = 1が読み取 られたため、認証の第2のパート が必要です。	—	TX_B1 : 次のVSYNの立 下りエッジのあと、暗号 化がイネーブルされます。	RX_R1 : 次のVSYNの 立下りエッジのあと、 復号化がイネーブルされ ます。
10	—	GPIO_0 = 1が検出された場合、 (TX_R1、RX_D1)と(TX_R2、 RX_D2)リンクで暗号化をイネー ブルします。	TX_R1、TX_R2 : 次の VSYNの立下りエッジの あと、暗号化がイネー ブルされます。	RX_D1、RX_D2 : 次の VSYNの立下りエッジの あと、復号化がイネー ブルされます。
11	μC_RがRX_R1にKSVリストを用意 することができるように、しばらく 待ちます。その後、適切なアクノリッ ジフレームが受信され、ビットの 読取り値が1になるまで、RX_R1 のKSV_LIST_READYビットを定期 的に監視します(読み取ります)。	RX_R1でREVCCEN = FWDCCEN = 0に設定して、μC_B側からの制 御チャンネルをブロックします。適切 なアクノリッジフレームが受信され るまで再試行します。	—	RX_R1 : FWDCCEN = REVCCEN = 0が書き込 まれた後、シリアライザ側 (TX_B1)からの制御チャ ネルがブロックされます。
12		RX_D1とRX_D2のBKSVをRX_R1 のKSVリストに書き込みます。次に、 RX_R1のBINFOレジスタを計算し て書き込みます。	—	RX_R1 : μC_Rによる BINFOの書き込みをトリ ガとして、KSVリスト、 BINFO、およびシークレツ ト値M0'についてハッシュ 値(V')を計算します。
13		RX_R1のKSV_LIST_READYビッ トに1を書き込んだ後、RX_R1で REVCCEN = FWDCCEN = 1に 設定してμC_B側からの制御チャネ ルをブロック解除します。	—	RX_R1 : FWDCCEN = REVCCEN = 1が書き込 まれた後、シリアライザ 側(TX_B1)からの制御 チャンネルがブロック解除 されます。

表20. HDCP認証と通常動作(1つのリピータ、2つのμC)—HDCP認証プロトコルの
第1と第2のパート(続き)

NO.	μC_B	μC_R	HDCP GMSL シリアライザ (TX_B1、TX_R1、 TX_R2)	HDCP GMSL デシリアライザ (RX_R1、RX_D1、 RX_D2)
			TX_B1 CDS = 0 TX_R1 CDS = 0 TX_R2 CDS = 0	RX_R1 CDS = 1 RX_D1 CDS = 0 RX_D2 CDS = 0
14	RX_R1からKSVリストとBINFOを読み取って、それらをTX_B1に書き込みます。MAX_DEVS_EXCEEDEDまたはMAX_CASCADE_EXCEEDEDビットが1の場合、認証は失敗します。 注：BINFOはKSVリストのあとで書き込む必要があります。	—	TX_B1：μC_BによるBINFOの書き込みをトリガとして、KSVリスト、BINFO、およびシークレット値M0についてハッシュ値(V)を計算します。	—
15	TX_B1からVを読み取って、RX_R1からV'を読み取ります。両者が一致した場合は認証を続行します。一致しない場合は、さらに最大2回まで再試行します。	—	—	—
16	KSVリストの各KSVとRX_R1のBKSVが鍵無効化リストに含まれていないかを確認します。	—	—	—
17	鍵が無効化されていない場合、認証プロトコルの第2のパートが完了します。	—	—	—
18	保護を必要とするA/Vコンテンツの送信を開始します。	—	すべて：高価値A/VデータについてHDCP暗号化を実行します。	すべて：高価値A/VデータについてHDCP復号化を実行します。

新しいデバイス接続の検出と動作

システムに新しいデバイスが接続されたときは、そのデバイスを認証し、デバイスのKSVを無効化リストに照らしてチェックする必要があります。ダウンストリームのμCは、アップストリームのレシーバのNEW_DEV_CONNビットをセットして割込みを発生させ、アップストリームのμCに通知することができます。

**認証の開始と暗号化のイネーブルを
ダウンストリームリンクに通知**

HDCPリピータは、起動時や新しいデバイスを検出した場合に、ただちに認証を開始せず、アップストリームのトランスミッタ/リピータからの認証要求を待ちます。

以下の手順に従って、ダウンストリームのリンクに新しい認証要求の開始を通知します。

- 1) ホストμCがHDCPリピータの入力レシーバとの認証を開始します。
- 2) AKSVがHDCPリピータの入力レシーバに書き込まれると、そのAUTH_STARTEDビットが自動的にセットされ、GPIO1がハイになります(GPIO1_FUNCTIONがハイに設定されている場合)。
- 3) HDCPリピータのμCはHDCPリピータの入力レシーバのAUTH_STARTEDビットおよび/またはGPIO1（設定されている場合）がローからハイに遷移するのを待って、ダウンストリームの認証を開始します。
- 4) HDCPリピータのμCがAUTH_STARTEDビットをリセットします。

GPIO0_FUNCTIONをハイに設定して、GPIO0がレシーバのENCRYPTION_ENABLEビットに従うようにします。リピータのμCは、アップストリームのμCによって暗号化がイネーブル/ディセーブルされたときの通知にこの機能を使用することができます。

アプリケーション情報

自己PRBSテスト

シリアライザは、デシリアライザのビットエラー検証と連携するPRBSパターンジェネレータを内蔵しています。PRBSテストを実行するには、DISHSFILT、DISVSFILT、およびDISDEFILTを1に設定し、デシリアライザでグリッチフィルタをディセーブルします。その後、まずシリアライザ、次にデシリアライザの順で、PRBSEN = 1 (0x04、D5)に設定します。PRBSテストを終了するには、まずデシリアライザ、次にシリアライザの順で、PRBSEN = 0 (0x04、D5)に設定します。

エラーチェック

デシリアライザはシリアルリンクのエラーをチェックして、デコードエラーの数を8ビットレジスタのDECERR (0x0D)に格納します。短時間に多数のデコードエラーが検出された場合(エラー率 ≥ 1/4)、デシリアライザのロックが解除されてエラーカウンタが停止します。その後、デシリアライザはシリアルデータへの再ロックを試みます。ビデオリンクのロックに成功した場合、(μCを介して)レジスタの読取りに成功した場合、またはオートエラーリセットがイネーブルされるたびに、DECERRがリセットされます。デシリアライザは内部PRBSテスト中に個別のPRBSレジスタを使用し、DECERRは0x00にリセットされます。

ERR出力

デシリアライザにはオープンドレインのERR出力を備えています。通常動作中にデコードエラーの数がエラースレッシュOLDを超えた場合や、PRBSテスト中に少なくとも1つのPRBSエラーが検出された場合、この出力はローにアサートされます。DECERRの読み取って、ビデオリンクのロック、またはオートエラーリセットによってDECERRがリセットされるたびに、ERRはハイにデアサートされます。

オートエラーリセット

エラーをリセットするデフォルトの方式は、デシリアライザの各エラーレジスタ(0x0Dと0x0E)を読み取ることです。オートエラーリセットは、ERRがローになってから約1μsでエラーカウンタのDECERRとERR出力をクリアします。オートエラーリセットは、起動時にはディセーブルされています。オートエラーリセットは、AUTORST (0x06、D5)によってイネーブルします。デバイスがPRBSテストモードのときは、オートエラーリセットは実行されません。

デュアルμC制御

通常、システムには制御チャネルを実行するマイクロコントローラが1つ存在し、ビデオディスプレイアプリケーション

ではシリアライザ側、画像検出アプリケーションではデシリアライザ側に置かれています。とはいえ、μCが双方に1つずつ同時に存在し、制御チャネルを交互に実行する場合があります。この場合は、各μCがシリアライザやデシリアライザ、すべてのペリフェラルデバイスと通信可能です。

両方のμCが同時に制御チャネルを使用しようとした場合は、競合が発生します。こうした競合は、ユーザーが上位のプロトコルを実装することで防止する必要があります。さらに、制御チャネルでは、リンクの両側にあるI²Cマスターの間で調停が行われません。競合のために通信が失敗すると、アクノリッジフレームが生成されません。シリアルリンクでの通信が不要な場合、μCはシリアライザ/デシリアライザのFWDCCENビットとREVCCENビット(0x04、D[1:0])を使用して順方向と逆方向の制御チャネルをディセーブルすることができます。シリアルリンクでの通信が停止され、μCの間で競合が発生することはありません。

画像検出アプリケーションでデュアルμCを使用する一例として、シリアライザがスリープモードで、デシリアライザ側のμCによるウェイクアップを待つという場合があります。ウェイクアップ後は、シリアライザ側のμCがシリアライザのレジスタのマスター制御を担当します。

クロック周波数の変更

シリアルリンクのイネーブルは、ビデオクロック(fpCLKOUT)と制御チャネルクロック(fUART/f_{12C})が安定した後に行うことが推奨されます。クロック周波数を変更する際は、5μsの間ビデオクロックを停止し、新しい周波数でクロックを適用してから、シリアルリンクを再始動するか、またはSERENをトリグします。新しい周波数がグリッチなくただちに安定する場合は、クロック周波数のオンザフライ変更が可能です。逆方向制御チャネルは、シリアルラインの開始または停止後500μsの間、利用することができません。UARTインタフェースを使用する際は、デバイスがUARTの同期パターンを確実に認識することができるように、fUARTのオンザフライ変更で1回の倍率を3.5までに制限します。たとえば、UART周波数を1Mbpsから100kbpsに引き下げるときは、まずデータを333kbpsで送信し、次に100kbpsで送信することによって、それぞれ3と3.333の低下率にします。

同期喪失の高速検出

リンク品質の尺度として、同期喪失からの回復時間があります。ホストは、デシリアライザのLOCK出力をGPI入力に接続することによって、ロック喪失の通知をすばやく受け取ることができます。タッチスクリーンコントローラなどの他のソースでGPI入力を使用している場合、μCは同期喪失による割込みと通常の割込みを識別するルーチンを実装することができます。逆方向制御チャネルの通信はアクティブな順方向リンクの動作を必要とせず、GMSLリンクのLOCKステータスを正確に追跡します。LOCKはビデオリンクについてのみアサートされ、設定リンクについてはアサートされません。

フレーム同期の供給(カメラアプリケーション)

GPI/GPOは、ECUからのフレーム同期信号を必要とするカメラアプリケーション(サウンドビューシステムなど)にシンプルなソリューションを提供します。ECUのフレーム同期信号をGPI入力に接続し、GPO出力をカメラのフレーム同期入力に接続します。GPI/GPOの遅延は275μs (typ)です。複数のGPI/GPOチャネル間のスキューは標準で115μsです。低スキューの信号が必要な場合は、カメラのフレーム同期入力をデシリアライザのGPIOの1つに接続し、I²Cのブロードキャスト書き込みコマンドを使用してGPIO出力の状態を変更します。この場合、使用されるI²Cビットレートにかかわらず、スキューが1.5μs以下になります。

デバイスアドレスのソフトウェア設定

シリアライザとデシリアライザには、設定可能なデバイスアドレスがあります。これによって、複数のGMSLデバイス(やI²Cペリフェラル)が同じ制御チャネル上で共存可能です。シリアライザのデバイスアドレスは、各デバイスのレジスタ0x00にあり、デシリアライザのデバイスアドレスは各デバイスのレジスタ0x01にあります。デバイスアドレスを変更するには、まずアドレスを変更するデバイスに書き込みを行います(シリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x01)。次に、同じアドレスをもう一方のデバイスの対応するレジスタに書き込みます(シリアライザのデバイスアドレスを変更する場合はデシリアライザのレジスタ0x00、デシリアライザのデバイスアドレスを変更する場合はシリアライザのレジスタ0x01)。

3レベル設定入力

CX/TPとBWSは、シリアルインタフェースの設定や起動時のデフォルトを制御する3レベル入力です。3レベル入力は、ハイレベルを設定する場合はプルアップ抵抗を介してIOVDDに接続し、ローレベルを設定する場合はプルダウン抵抗を介してGNDに接続し、ミッドレベルを設定する場合はIOVDD/2に接続するか、またはオープンにします。デジタル制御の場合は、3ステートのロジックを使用して3レベルのロジック入力を駆動します。

表21. MAX9276/MAX9280の機能上の互換性

MAX9276/MAX9280の機能	GMSLシリアライザ
HDCP (MAX9280のみ)	シリアライザで機能がサポートされていない場合は、MAX9280でオンにしないでください。
広帯域幅モード	シリアライザで機能がサポートされていない場合は、24ビットモードと32ビットモードのみを使用する必要があります。
I ² C-I ² C	シリアライザで機能がサポートされていない場合は、UART-I ² CまたはUART-UARTを使用する必要があります。
同軸	シリアライザで機能がサポートされていない場合は、使用しないシリアル出力を直列の200nFと50Ωを介してV _{DD} に接続し、逆方向制御チャネルの振幅を100mVに設定する必要があります。
高耐性制御チャネル	シリアライザで機能がサポートされていない場合は、従来の逆方向制御チャネルモードを使用する必要があります。
TDMの符号化	シリアライザで機能がサポートされていない場合は、I ² Sの符号化がサポートされていれば、I ² Sの符号化を(50%のWSデューティサイクルで)使用する必要があります。
I ² Sの符号化	シリアライザで機能がサポートされていない場合は、MAX9276/MAX9280でI ² Sをディセーブルする必要があります。

設定のブロック

このデシリアライザは、レジスタに対する変更をブロックすることができます。レジスタ0x00~レジスタ0x1Fを読み取り専用にするには、CFGBLOCKをセットします。一度セットしたら、電源が取り外されるか、PWDNがローになるまでレジスタはブロックされたままです。

他のGMSLデバイスとの互換性

このデシリアライザは、シリアライザのMAX9275~MAX9281と組み合わせるように設計されていますが、任意のGMSLシリアライザと相互運用可能です。動作上の制限事項については、表21を参照してください。

鍵メモリ

各デバイスには、セキュアな不揮発性メモリ(NVM)に格納された固有のHDCP鍵セットがあります。HDCP鍵セットは、56ビットのプライベート鍵40個と40ビットのパブリック鍵(公開鍵)1個で構成されます。NVMは車載アプリケーション向けに認定されています。

HS/VS/DEの反転

このデシリアライザは、アクティブハイのHS、VS、DEを符号化とHDCPの暗号化に使用します。アクティブローの入力信号をGMSLデバイスで使用するために反転するには、シリアライザでINVHSYNC、INVVSYNC、およびINVDE (レジスタ0x0D、0x0E)をセットします。アクティブローの信号をダウンストリームデバイスで使用するために出力するには、デシリアライザでINVHSYNC、INVVSYNC、およびINVDE (レジスタ0x0E)をセットします。

WS/SCKの反転

このデシリアライザは、I²Sに標準の極性を使用します。反対の極性の信号をGMSLデバイスで使用するために反転するには、シリアライザでINVWS、INVSCK (レジスタ0x1B)をセットします。逆極性の信号をダウンストリームで使用するために出力するには、デシリアライザでINVWS、INVSCK (レジスタ0x1D)をセットします。

表22. スタガード出力の遅延

OUTPUT	OUTPUT DELAY RELATIVE TO DOUT0 (ns)	
	DISSTAG = 0	DISSTAG = 1
DOUT0–DOUT5, DOUT21, DOUT22	0	0
DOUT6–DOUT10, DOUT23, DOUT24	0.5	0
DOUT11–DOUT15, DOUT25, DOUT26	1	0
DOUT16–DOUT20, DOUT27, DOUT28	1.5	0
PCLKOUT	0.75	0

GPIO

HDCP用に使用しない場合、このデシリアライザでは2つのオープンドレインGPIOを利用可能であり(「[認証の開始と暗号化のイネーブルをダウストリームリンクに通知](#)」の項を参照)、GPIO1OUTとGPIO0OUT (0x06、D3とD1)でGPIOの出力の状態を設定します。GPIO出力ビットを0のローに設定すると出力がローに駆動され、ビットを1に設定すると出力が駆動されないままになり、内蔵/外付けプルアップ抵抗によってハイに駆動されます。GPIO入力バッファは常にイネーブルです。入力の状態は、GPIO1とGPIO0 (0x06、D2とD0)に格納されます。GPIO1/GPIO0を入力として使用する際は、GPIO1OUT/GPIO0OUTを1に設定します。

スタガードパラレル出力

このデシリアライザは、パラレルデータ出力をスタガー(時差出力)させてEMIやノイズを低減します。出力のスタガーによって、電源の過渡要件も軽減されます。デフォルトでは、デシリアライザは表22に基づいて出力をスタガーさせます。出力のスタガーをディセーブルするには、DISSTAGビット (0x06、D7)を使用します。

内蔵入力プルダウン

制御および設定入力(3レベル入力以外)は、GNDへのプルダウン抵抗を内蔵しています。外付けのプルダウン抵抗は不要です。

I²C/UARTのプルアップ抵抗の選択

I²CとUARTのオープンドレインラインは、ロジックハイレベルを提供するためにプルアップ抵抗を必要とします。消費電力と速度はトレードオフの関係にあるため、プルアップ抵抗値を選択する際に妥協が必要になることがあります。バスに接続されたすべてのデバイスによって、デバイスが動作していないときでもある程度のキャパシタンスが付加

されます。I²Cでは、最大400kbpsのデータレートで定義されるファストモードについて、300nsの立上り時間(30%から70%)を規定しています(詳細については、「[AC Electrical Characteristics \(ACの電気的特性\)](#)」の表にあるI²Cの仕様を参照)。ファストモードの立上り時間の要件を満たすために、立上り時間 $t_r = 0.85 \times R_{PULLUP} \times C_{BUS} < 300\text{ns}$ となるプルアップ抵抗を選択します。遷移時間が過度に長くなると、波形は認定されません。このデバイスは、最大1MbpsのI²C/UART速度をサポートしています。

AC結合

AC結合は、最大でコンデンサの定格電圧までのDC電圧からレシーバを絶縁します。リンクを正常に動作させ、ケーブルのどちらかの端がバッテリーに短絡された場合に保護を提供するには、シリアライザの出力とデシリアライザの入力にコンデンサが必要です。AC結合は、低周波のグランドシフトや低周波のコモンモードノイズを遮断します。

AC結合コンデンサの選択

電圧ドループと送信されるシンボルのDSV (デジタル総和変動)が原因で、信号の遷移はさまざまな電圧レベルから開始されます。遷移時間は固定されているため、信号の遷移がさまざまな電圧レベルから開始されるとタイミングジッタが発生します。AC結合されたリンクの時定数を、ドループとジッタが許容可能なレベルまで減少するように選択する必要があります。AC結合されたリンク用のRCネットワークは、CML/同軸レシーバの終端抵抗(R_{TR})、CML/同軸ドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同一の値の直列コンデンサ4つによるRC時定数は、 $(C \times (R_{TD} + R_{TR}))/4$ です。 R_{TD} と R_{TR} は、伝送ラインのインピーダンス(通常は100Ω差動、50Ωシングルエンド)と整合させる必要があります。したがって、システムの時定数を変更する要素として残るのはコンデンサの選択です。より低速の逆方向制御チャネルの信号を通過させるために、バッテリーへの短絡に耐える十分な定格電圧を備えた、0.2μF (従来の逆方向制御チャネルを使用)、47nF (高耐性逆方向制御チャネルを使用)、またはさらに大型の高周波表面実装セラミックコンデンサを使用します。3.2mm x 1.6mmより小さいケースサイズのコンデンサを使用して、高速信号に対する寄生効果を低減します。

電源回路とバイパス処理

このデシリアライザは、3.0V~3.6VのAVDDとDVDDを使用します。シリアル入力以外のすべてのシングルエンド入力と出力は、1.7V~3.6VのIOVDDから電力を取得し、入力レベルと出力レベルはIOVDDに比例して増減します。電源電圧の適切なバイパスは、高周波回路の安定化に不可欠です。

電源の表

「[DC Electrical Characteristics \(DCの電気的特性\)](#)」の表に示された電源電流は、AVDD、DVDD、IOVDDからの電流の合計です。IOVDDは $V_{IOVDD} = 3.6V$ で測定されます。別のIOVDD電圧を使用する場合、IOVDDのワーストケースの供給電流は表23に基づいて変化します。HDCP処理 (MAX9280のみ)を行うと消費電流が増大します。これは表24に示しています。

表23. IOVDD電流のシミュレーション結果

IOVDD WORST-CASE SUPPLY CURRENT		IOVDD SUPPLY VOLTAGE			
		1.9V	3.3V*	3.6V	
BWS = low, fPCLKOUT = 16.6MHz	C _L = 5pF	4.4	7.9	8.6	mA
	C _L = 10pF	6.4	12.4	13.5	
BWS = low, fPCLKOUT = 33.3MHz	C _L = 5pF	8	14.5	15.8	
	C _L = 10pF	13.2	23.1	25.2	
BWS = low, fPCLKOUT = 66.6MHz	C _L = 5pF	14.9	25.6	27.9	
	C _L = 10pF	23.4	40.7	44.4	
BWS = low, fPCLKOUT = 104MHz	C _L = 5pF	21.6	38.7	42.2	
	C _L = 10pF	34.8	60.3	65.8	
BWS = mid, fPCLKOUT = 36.6MHz	C _L = 5pF	10.2	18.2	19.8	
	C _L = 10pF	16.6	28.9	31.5	
BWS = mid, fPCLKOUT = 104MHz	C _L = 5pF	25.1	45	49	
	C _L = 10pF	40.4	70.2	76.5	

表24. HDCPの追加的な消費電流(MAX9280のみ)

PCLK (MHz)	MAXIMUM HDCP CURRENT (mA)
16.6	6
33.3	9
36.6	9
66.6	12
104	18

表25. GMSLの推奨コネクタとケーブル

VENDOR	CONNECTOR	CABLE	TYPE
Rosenberger	56S2AX-400A5-Y	RG174	Coax
Rosenberger	D4S10A-40ML5-Z	Dacar 538	STP
Nissei	GT11L-2S	F-2WME AWG28	STP
JAE	MX38-FF	A-BW-Lxxxxx	STP

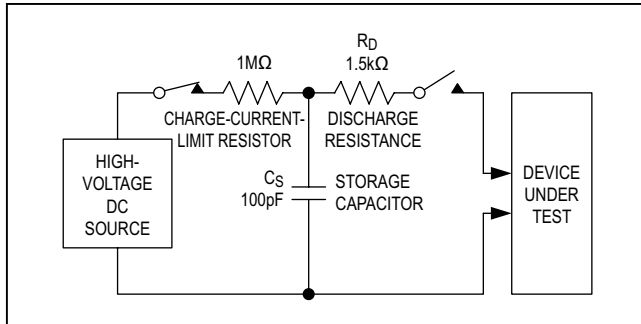


図 39. ヒューマンボディモデル ESD テスト回路

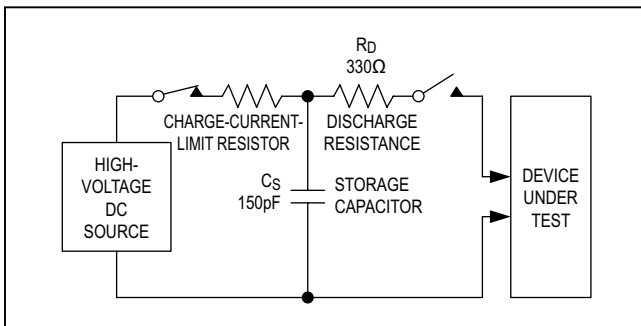


図 40. IEC 61000-4-2 接触放電 ESD テスト回路

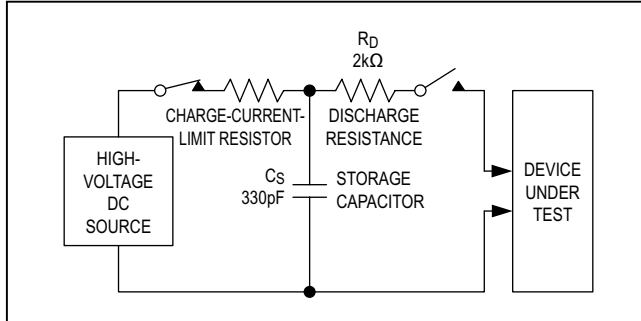


図 41. ISO 10605 接触放電 ESD テスト回路

基板レイアウト

LVC MOSロジック信号とCML/同軸の高速信号を分離してクロストークを防止します。電源、グランド、CML/同軸、およびLVC MOSロジック信号の各層が独立している4層PCBを使用します。PCBトレースを互いに近付けてレイアウトし、STPの差動特性インピーダンスが100Ωになるようにします。トレースのサイズは、使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。50ΩのPCBトレース2本を接近させた場合、差動インピーダンスが100Ωにならないことに注意してください。トレースが互いに接近しているとインピーダンスは低下します。同軸を駆動する際は、シングルエンド出力に50Ωのトレースを使用します。

差動CMLチャンネル用のPCBトレースを並列に配線して、差動特性インピーダンスを維持します。ピアは使用しません。差動ペアを構成するPCBトレースの長さを等しくして、差動ペア内におけるスキューを回避します。

ESD保護

ESD耐性の定格は、ヒューマンボディモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605とIEC 61000-4-2規格は、電子装置のESD耐性を規定しています。シリアルリンク入力は、ISO 10605のESD保護とIEC 61000-4-2のESD保護に対して定格が定められています。すべての端子は、ヒューマンボディモデルに対してテストされています。ヒューマンボディモデルの放電コンポーネントは、 $C_S = 100\text{pF}$ と $R_D = 1.5\text{k}\Omega$ です(図39)。IEC 61000-4-2の放電コンポーネントは、 $C_S = 150\text{pF}$ と $R_D = 330\Omega$ です(図40)。ISO 10605の放電コンポーネントは、 $C_S = 330\text{pF}$ と $R_D = 2\text{k}\Omega$ です(図41)。

表26. レジスタ表(表1を参照)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x00	D[7:1]	SERID	XXXXXXX	シリアライザのデバイスアドレス(起動時のデフォルト値は、ラッチされたアドレス端子のレベルに依存)	XX00XX0
	D0	—	0	予備	0
0x01	D[7:1]	DESID	XXXXXXX	デシリアライザのデバイスアドレス(起動時のデフォルト値は、ラッチされたアドレス端子のレベルに依存)	XX01XXX
	D0	CFGBLOCK	0	通常動作	0
			1	レジスタ0x00~0x1Fは読み取り専用です	
0x02	D[7:6]	SS	00	スペクトラム拡散なし	00
			01	±2%のスペクトラム拡散	
			10	スペクトラム拡散なし	
			11	±4%のスペクトラム拡散	
	D5	AUDIOMODE	0	WS、SCKは出力として設定されます(デシリアライザ供給クロック)	0
			1	WS、SCKは入力として設定されます(システム供給クロック)	
	D4	AUDIOEN	0	I ² S/TDMチャンネルをディセーブルします	1
			1	I ² S/TDMチャンネルをイネーブルします	
	D[3:2]	PRNG	00	12.5MHz~25MHzのピクセルクロック	11
			01	25MHz~50MHzのピクセルクロック	
			10	50MHz~104MHzのピクセルクロック	
			11	ピクセルクロック範囲を自動検出します	
	D[1:0]	SRNG	00	0.5~1Gbpsのシリアルデータレート	11
			01	1~2Gbpsのシリアルデータレート	
			10	2~3.12Gbpsのシリアルデータレート	
			11	シリアルデータレートを自動検出します	
0x03	D[7:6]	AUTOFM	00	ロック後に1回のみ拡散変調率を校正します	00
			01	ロック後2msごとに拡散変調率を校正します	
			10	ロック後16msごとに拡散変調率を校正します	
			11	ロック後256msごとに拡散変調率を校正します	
	D5	—	0	予備	0
	D[4:0]	SDIV	00000	鋸歯分周器を自動校正します	00000
			XXXXX	マニュアルSDIV設定。「スペクトラム拡散分周器のマニュアル設定」の項を参照してください。	

表26. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x04	D7	LOCKED	0	LOCK出力はローです	0 (Read only)
			1	LOCK出力はハイです	
	D6	OUTENB	0	出力をイネーブルします(起動時のデフォルト値は起動時のENABLE端子の値に依存)	0, 1
			1	出力をディセーブルします(起動時のデフォルト値は起動時のENABLE端子の値に依存)	
	D5	PRBSEN	0	PRBSテストをディセーブルします	0
			1	PRBSテストをイネーブルします	
	D4	SLEEP	0	ノーマルモード(起動時のデフォルト値は起動時のMS端子の値に依存)	0, 1
			1	スリープモードをアクティブ化します(起動時のデフォルト値は起動時のMS端子の値に依存)	
	D[3:2]	INTTYPE	00	I2CSEL = 0のとき、ローカル制御チャンネルでI ² Cを使用します	01
			01	I2CSEL = 0のとき、ローカル制御チャンネルでUARTを使用します	
			10, 11	ローカル制御チャンネルはディセーブルです	
	D1	REVCCEN	0	シリアライザへの逆方向制御チャンネルをディセーブルします(送信時)	1
			1	シリアライザへの逆方向制御チャンネルをイネーブルします(送信時)	
	D0	FWDCCEN	0	シリアライザからの順方向制御チャンネルをディセーブルします(受信時)	1
			1	シリアライザからの順方向制御チャンネルをイネーブルします(受信時)	
0x05	D7	I2CMETHOD	0	UARTをI ² Cに変換する際、I ² C変換でレジスタアドレスを送信します	0
			1	UARTをI ² Cに変換する際、I ² Cレジスタアドレスの送信をディセーブルします(コマンドバイトオンリーモード)	
	D[6:5]	HPFTUNE	00	7.5MHzのイコライザハイパスフィルタカットオフ周波数	01
			01	3.75MHzのイコライザハイパスフィルタカットオフ周波数	
			10	2.5MHzのイコライザハイパスフィルタカットオフ周波数	
			11	1.87MHzのイコライザハイパスフィルタカットオフ周波数	
	D4	PDEQ	0	イコライザをイネーブルします	0
			1	イコライザをディセーブルします	
	D[3:0]	EQTUNE	0000	2.1dBのイコライザブーストゲイン	1001
			0001	2.8dBのイコライザブーストゲイン	
			0010	3.4dBのイコライザブーストゲイン	
			0011	4.2dBのイコライザブーストゲイン	
			0100	5.2dBのイコライザブーストゲイン	
			0101	6.2dBのイコライザブーストゲイン	
			0110	7dBのイコライザブーストゲイン	
			0111	8.2dBのイコライザブーストゲイン	
			1000	9.4dBのイコライザブーストゲイン	
			1001	10.7dBのイコライザブーストゲイン。起動時のデフォルト	
			1010	11.7dBのイコライザブーストゲイン	
			1011	13dBのイコライザブーストゲイン	
			11XX	使用しません	

表26. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x06	D7	DISSTAG	0	スタガード出力をイネーブルします	0
			1	スタガード出力をディセーブルします	
	D6	AUTORST	0	エラーレジスタおよび出力を自動的にリセットしません	0
			1	ERRのアサートから1 μ s後にDECERRレジスタを自動的にリセットします	
	D5	DISGPI	0	シリアライザに対するGPI-GPO間の信号伝送をイネーブルします	0
			1	シリアライザに対するGPI-GPO間の信号伝送をディセーブルします	
	D4	GPIIN	0	GPI入力はローです	0 (Read only)
			1	GPI入力はハイです	
	D3	GPIO1OUT	0	GPIO1をローに設定します	1
			1	GPIO1をハイに設定します	
	D2	GPIO1IN	0	GPIO1入力はローです	0 (Read only)
			1	GPIO1入力はハイです	
	D1	GPIO0OUT	0	GPIO0をローに設定します	1
			1	GPIO0をハイに設定します	
	D0	GPIO0IN	0	GPIO0入力はローです	0 (Read only)
			1	GPIO0入力はハイです	
0x07	D[7:0]	—	01010100	予備	01010100
0x08	D[7:3]	—	00110	予備	00110
	D2	DISDEFILT	0	DEのグリッチフィルタをイネーブルします	0
			1	DEのグリッチフィルタをディセーブルします	
	D1	DISVSFILT	0	VSのグリッチフィルタをイネーブルします	0
			1	VSのグリッチフィルタをディセーブルします	
	D0	DISHSFILT	00	HSのグリッチフィルタをイネーブルします	0
			10, 11	HSのグリッチフィルタをディセーブルします	
0x09	D[7:0]	—	11001000	予備	11001000
0x0A	D[7:0]	—	00010XXX	予備	00010XXX
0x0B	D[7:0]	—	00100000	予備	00100000
0x0C	D[7:0]	ERRTHR	XXXXXXXX	デコードエラーのエラースレッショルド	00000000
0x0D	D[7:0]	DECERR	XXXXXXXX	デコードエラーカウンタ	00000000 (Read only)
0x0E	D[7:0]	PRBSERR	XXXXXXXX	PRBSエラーカウンタ	00000000 (Read only)
0x0F	D[7:0]	—	XXXXXXXX	予備	(Read only)
0x10	D[7:0]	—	XXXXXXXX	予備	(Read only)
0x11	D7	REVFAST	0	高耐性逆方向チャンネルモードで500kbpsのビットレートを使用します	0
			1	高耐性逆方向チャンネルモードで1Mbpsのビットレートを使用します	
	D[6:0]	—	0100010	予備	0100010

表26. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x12	D7	MCLKSRC	0	MCLKはPCLKOUTから生成されます。表6を参照	0
			1	MCLKは内部発振器から生成されます	
	D[6:0]	MCLKDIV	0000000	MCLKはディセーブルです	0000000
			XXXXXXX	MCLK分周器	
0x13	D[7:0]	—	0X000000	予備	0X000000
0x14	D7	INVVSYNC	0	出力でVSを反転しません	0
			1	出力でVSを反転します	
	D6	INVHSYNC	0	出力でHSを反転しません	0
			1	出力でHSを反転します	
	D5	INVDE	0	出力でDEを反転しません	0
			1	出力でDEを反転します	
	D4	DRS	0	高データレートモード	0
			1	低データレートモード	
	D3	DCS	0	通常のパラレル出力ドライバ電流	0
			1	ブーストしたパラレル出力ドライバ電流	
	D2	DISRWAKE	0	リモートウェイクアップをイネーブルします	0
			1	リモートウェイクアップをディセーブルします	
	D1	ES	0	出力データはPCLKOUTの立上りエッジで有効です	0
			1	出力データはPCLKOUTの立下りエッジで有効です	
	D0	INTOUT	0	INTOUTをローに駆動します	0
			1	INTOUTをハイに駆動します	
0x15	D7	AUTOINT	0	INTOUT端子の出力は上記のINTOUTビットによって制御されます	1
			1	任意のAVINFOバイトへの書き込みでINTOUTをハイに設定します。任意のAVINFOバイトへの読み取りでINTOUTをローに設定します	
	D6	HVTREN	0	HS/VSのトラッキングをディセーブルします(起動時のデフォルト値は起動時のBWS入力値の状態に依存)	0, 1
			1	HS/VSのトラッキングをイネーブルします(起動時のデフォルト値は起動時のBWS入力値の状態に依存)	
	D5	DETREN	0	DEのトラッキングをディセーブルします(起動時のデフォルト値は起動時のBWS入力値の状態に依存)	0, 1
			1	DEのトラッキングをイネーブルします(起動時のデフォルト値は起動時のBWS入力値の状態に依存)	
	D4	HVTRMODE	0	HS/VSとDEの部分的な周期的トラッキング	1
			1	HS/VSとDEの部分的および完全な周期的トラッキング	
	D[3:2]	—	00	予備	00
	D1	MCLKWS	0	MCLK出力は通常の動作を行います	0
			1	WSはMCLKから出力されます(MCLKがWSを反映)	
	D0	MCLKPIN	0	MCLKをDOUT28/CNTL2で出力します	0
			1	MCLKをCNTL0/ADD0で出力します	

表26. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x16	D7	HIGHIMM	0	従来の逆方向制御チャネルモード(起動時のデフォルト値は起動時のSD/HIMに依存)	0, 1
			1	高耐性逆方向制御チャネルモード(起動時のデフォルト値は起動時のSD/HIMに依存)	
	D[6:0]	—	1011010	予備	1011010
0x17	D[7:0]	—	000XXXXX	予備	000XXXXX
0x18	D[7:1]	I2CSRCA	XXXXXXX	I ² Cアドレ스트ランスレータのソースA	0000000
	D0	—	0	予備	0
0x19	D[7:1]	I2CDSTA	XXXXXXX	I ² CアドレストランスレータのデスティネーションA	0000000
	D0	—	0	予備	0
0x1A	D[7:1]	I2CSRCA	XXXXXXX	I ² CアドレストランスレータのソースB	0000000
	D0	—	0	予備	0
0x1B	D[7:1]	I2CDSTB	XXXXXXX	I ² CアドレストランスレータのデスティネーションB	0000000
	D0	—	0	予備	0
0x1C	D7	I2CLOCKACK	0	順方向チャネルが利用可能でないときはアクノリッジが生成されません	0
			1	順方向チャネルが利用可能でないときは、I ² C-I ² Cスレーブがローカルアクノリッジを生成します	
	D[6:5]	I2CSLVSH	00	352ns/117nsのI ² Cセットアップ/ホールド時間	01
			01	469ns/234nsのI ² Cセットアップ/ホールド時間	
			10	938ns/352nsのI ² Cセットアップ/ホールド時間	
			11	1046ns/469nsのI ² Cセットアップ/ホールド時間	
	D[4:2]	I2CMSTBT	000	8.47kbps (typ)のI ² C-I ² Cマスタービットレート設定	101
			001	28.3kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			010	84.7kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			011	105kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			100	173kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			101	339kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			110	533kbps (typ)のI ² C-I ² Cマスタービットレート設定	
			111	837kbps (typ)のI ² C-I ² Cマスタービットレート設定	
	D[1:0]	I2CSLVTO	00	64μs (typ)のI ² C-I ² Cスレーブリモートタイムアウト	10
			01	256μs (typ)のI ² C-I ² Cスレーブリモートタイムアウト	
			10	1024μs (typ)のI ² C-I ² Cスレーブリモートタイムアウト	
			11	I ² C-I ² Cスレーブリモートタイムアウトなし	
0x1D	D[7:3]	—	00000	予備	00000
	D2	AUDUFBEH	0	オーディオFIFOは、FIFOが空のときに最後のオーディオワードを繰り返し使用します	0
			1	オーディオFIFOは、FIFOが空のときにすべて0を出力します	
	D1	INVCK	0	出力でCKを反転しません	0
			1	出力でCKを反転します	
	D0	INVWS	0	出力でWSを反転しません	0
			1	出力でWSを反転します	

表26. レジスタ表(表1を参照) (続き)

REGISTER ADDRESS	BITS	NAME	VALUE	機能	DEFAULT VALUE
0x1E	D[7:0]	ID	00100X10	デバイスID (MAX9276 = 0x22) (MAX9280 = 0x26)	00100X10 (Read only)
0x1F	D[7:5]	—	000	予備	000 (Read only)
	D4	CAPS	0	HDCP非対応(MAX9276)	(Read only)
			1	HDCP対応(MAX9280)	
	D[3:0]	REVISION	XXXX	デバイスリビジョン	(Read only)
0x40 to 0x59	D[7:0]	AVINFO	XXXXXXXX	ビデオ/オーディオ形式/ステータス/情報/バイト	All zeroes
0x77	D[7:0]	—	XXXXXXXX		(Read only)
0x78	D[7:0]	AUDOUPE	XXXXXXXX	オーディオFIFOの最後のオーバーフロー/アンダーフロー期間 (AUDIOMODE = 1のみ)	(Read only)
0x79	D7	AUDOU	0	オーディオFIFOはアンダーフロー状態です(AUDIOMODE = 1のみ)	(Read only)
			1	オーディオFIFOはオーバーフロー状態です(AUDIOMODE = 1のみ)	
	D[6:0]	—	0000XXX	予備	0000XXX (Read only)
0x7B	D[7:0]	LUTADDR	XXXXXXXX	LUTの書き込みと読取りの開始アドレス	00000000
0x7C	D[7:4]	—	0000	予備	0000
	D3	LUTPROG	0	LUTの書き込みと読取りをディセーブルします	0
			1	LUTの書き込みと読取りをイネーブルします	
	D2	BLULUTEN	0	ブルーのLUTをディセーブルします	0
			1	ブルーのLUTをイネーブルします	
	D1	GRNLUTEN	0	グリーンのLUTをディセーブルします	0
			1	グリーンのLUTをイネーブルします	
	D0	REDLUTEN	0	レッドのLUTをディセーブルします	0
			1	レッドのLUTをイネーブルします	
0x7D	D[7:0]	REDLUT	XXXXXXXX	レッドのLUTの値(表12を参照)	00000000
0x7E	D[7:0]	GREENLUT	XXXXXXXX	グリーンのLUTの値(表12を参照)	00000000
0x7F	D[7:0]	BLUELUT	XXXXXXXX	ブルーのLUTの値(表12を参照)	00000000

X = 任意。

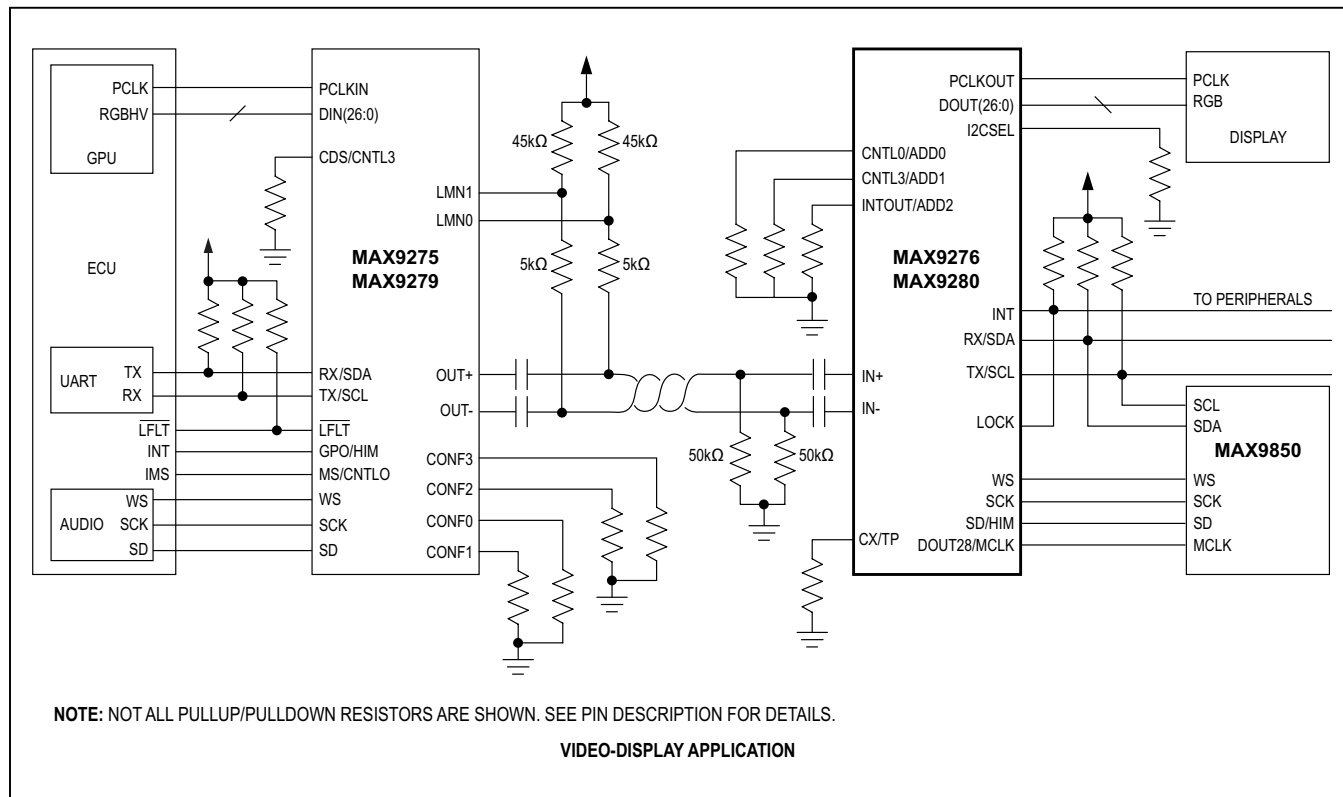
表27. HDCPレジスタ表(MAX9280のみ、表1を参照)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	機能	DEFAULT VALUE (hex)
0X80 to 0x84	5	BKSV	Read only	HDCPレシーバのKSV	(Read only)
0X85 to 0x86	2	RI'	Read only	リンク検証の応答	(Read only)
0X87	1	PJ'	Read only	拡張リンク検証の応答	(Read only)
0X88 to 0x8F	8	AN	Read/write	セッション乱数	0x0000000000000000
0X90 to 0x94	5	AKSV	Read/write	HDCPトランスミッタのKSV	0x000000000000
0x95	1	BCTRL	Read/write	D7 = PD_HDCP 1 = HDCP回路をパワーダウンします 0 = HDCP回路は通常動作	0x00
				D[6:4] = 予備	
				D3 = GPIO1_FUNCTION 1 = GPIO1はAUTH_STARTEDを反映します 0 = 通常のGPIO1の動作	
				D2 = GPIO0_FUNCTION 1 = GPIO0はENCRYPTION_ENABLEを反映します 0 = 通常のGPIO0の動作	
				D1 = AUTH_STARTED 1 = 認証が開始されました(AKSVへの書き込みをトリガとして) 0 = 認証は開始されていません	
				D0 = ENCRYPTION_ENABLE 1 = 暗号化をイネーブルします 0 = 暗号化をディセーブルします	
0x96	1	BSTATUS	Read/write	D[7:2] = 予備	0x00
				D1 = NEW_DEV_CONN 1 = 新しいデバイスの接続が検出された場合は1に設定します 0 = 新しいデバイスが接続されていない場合は0に設定します	
				D0 = KSV_LIST_READY 1 = KSVリストとBINFOの準備ができている場合は1に設定します 0 = KSVリストまたはBINFOの準備ができていない場合は0に設定します	
0x97	1	BCAPS	Read/write	D[7:1] = 予備	0x00
				D0 = REPEATER 1 = デバイスがリピータの場合は1に設定します 0 = デバイスがリピータではない場合は0に設定します	
0x98 to 0x9F	8	—	Read only	予備	0x0000000000000000 (Read only)
0XA0 to 0xA3	4	V'.H0	Read/write	SHA-1ハッシュ値のH0パート	0x00000000
0XA4 to 0xA7	4	V'.H1	Read/write	SHA-1ハッシュ値のH1パート	0x00000000
0XA8 to 0xAB	4	V'.H2	Read/write	SHA-1ハッシュ値のH2パート	0x00000000
0XAC to 0xAF	4	V'.H3	Read/write	SHA-1ハッシュ値のH3パート	0x00000000
0XB0 to 0xB3	4	V'.H4	Read/write	SHA-1ハッシュ値のH4パート	0x00000000

表27. HDCPLレジスタ表(MAX9280のみ、表1を参照) (続き)

REGISTER ADDRESS	SIZE (Bytes)	NAME	READ/ WRITE	機能	DEFAULT VALUE (hex)
0xB4 to 0xB5	2	BINFO	Read/write	D[15:12] = 予備	0x0000
				D11 = MAX_CASCADE_EXCEEDED 1 = 7つを超えるデバイスがカスケード接続されている場合は1に設定します 0 = 7つ以下のデバイスがカスケード接続されている場合は0に設定します	
				D[10:8] = DEPTH デバイスのカスケード接続の深さ	
				D7 = MAX_DEVS_EXCEEDED 1 = 14個を超えるデバイスが接続されている場合は1に設定します 0 = 14個以下のデバイスが接続されている場合は0に設定します	
				D[6:0] = DEVICE_COUNT 接続されているデバイスの数	
0xB6	1	GPMEM	Read/write	汎用メモリバイト	0x00
0xB7 to 0xB9	3	—	Read only	予備	0x000000
0xBA to 0xFF	70	KSV_LIST	Read/write	ダウンストリームのリピータとレシーバのKSVリスト (最大14デバイス)	All zero

標準アプリケーション回路



型番

PART	TEMP RANGE	PIN-PACKAGE	HDCP
MAX9276GTN+	-40°C to +105°C	56 TQFN-EP*	NO
MAX9276GTN/V+**	-40°C to +105°C	56 TQFN-EP*	NO
MAX9280GTN+	-40°C to +105°C	56 TQFN-EP*	YES***
MAX9280GTN/V+**	-40°C to +105°C	56 TQFN-EP*	YES***

/Vは車載認定製品を示します。

+は鉛(Pb)フリー/RoHS準拠パッケージを示します。

*EP = エクスポーズドパッド。

**開発中の製品。出荷時期に関してはお問い合わせください。

***HDCP製品はDigital Content Protection, LLCへの登録が必要です。

チップ情報

PROCESS: CMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
56 TQFN-EP	T5688+2	21-0135	90-0046

改訂履歴

版数	改訂日	説明	改訂ページ
0	3/13	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

74