

MAX8973A

9A、3相ステップダウン スイッチングレギュレータ

概要

高効率、3相、DC-DCステップダウンスイッチングレギュレータのMAX8973Aは、優れた過渡応答を備え、小型実装面積で最大9Aの出力電流を供給します。各相は、2MHzの固定周波数で動作し、小型の磁気部品が使用可能です。Maxim Integrated独自のRotational Phase Spreading (回転位相拡散)アルゴリズムが低出力電流での効率を最適化します。ソフトウェア選択によって、強制PWMモードによる固定周波数動作か、軽負荷時の効率を向上するスキップモードによる可変周波数動作が使用可能です。トリプルインダクタアーキテクチャは、外付け部品のサイズを削減すると同時に、リップル電流のキャンセル機能の利点も提供します。MAX8973Aは、2.6V~4.5Vの入力電圧範囲で動作します。

最大3.4MHzのクロックレートをサポートするI²C 3.0対応のシリアルインタフェースが、出力電圧、出力スルーレート、およびオン/オフ制御など、主要なレギュレータパラメータを制御します。出力電圧は、6.25mVステップで0.60625V~1.4Vに設定することが可能です。デフォルトの出力電圧は、出荷時に設定することが可能です。EN入力で、出力をイネーブル/ディセーブルし、DVS端子でシリアルインタフェースに依存することなく2つの異なる出力電圧を選択します。

完全差動リモート検出が、POL (ポイントオブロード)の高精度DCレギュレーションを確実にします。総出力誤差は、1.2V出力において全ラインおよび温度範囲で0.8%以下です。出力リップルはプロセッサがアイドル状態(軽負荷)時、設定出力電圧の1%以下、中/重負荷時は0.5%以下です。

その他の機能には、突入電流を低減する内部ソフトスタート制御回路、単調性を保証する電圧調整、過電流保護、および過熱保護があります。MAX8973Aは、-40℃~+85℃の拡張温度範囲で動作し、超小型WLPパッケージで提供されます。

特長

- 出力電流：9A (max)
- ピーク効率：91%以上(3.6V_{IN}、1.2V_{OUT}の場合)
- Rotational Phase Spreading (回転位相拡散)によって軽負荷時の効率を最大化
- 初期精度：0.5% (1.2V出力時)
- 出力精度：0.8% (全ラインおよび温度範囲、1.2V出力時)
- 高速過渡応答によっての出カドロップを最小化
- ソフトストップによってディセーブル時の出力コンデンサのエネルギーを回生
- 設定可能なV_{OUT}：0.60625V~1.4V (6.25mVステップサイズ)
- プリバイアス出力での起動
- 3.4MHz I²C 3.0対応シリアルインタフェース
- 固定PWMスイッチング周波数：2MHz (各相当り)
- 小型(1μH以下)インダクタ(各相当り)
- 過電流、短絡、および過熱保護

アプリケーション

- スマートフォン
- タブレット
- ウルトラブック

型番および標準動作回路はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/MAX8973A.relatedを参照してください。

目次

概要	1
特長	1
アプリケーション	1
Absolute Maximum Ratings	5
Package Thermal Characteristics	5
Electrical Characteristics	5
標準動作特性	11
ピン配置	25
端子説明	25
詳細	27
レギュレータのイネーブル	29
スタートアップ遅延(BIASEN)	29
スタートアップランプレート	29
レギュレータのディセーブル(アクティブ放電)	29
ソフトストップ(能動的なエネルギー回収)	30
抵抗性放電	30
出力電圧の設定	30
DVS	30
デフォルトのパワーアップ電圧	30
スルーレート制御	31
制御方式	31
動作モード(スキップ、中間、CCM)	31
動作モード(FPWM)	31
電流検出	31
最大出力電流	32
過負荷保護と短絡保護	32
高速過渡応答(ETR)	32
リモート検出	32
過熱保護	32
I ² Cインタフェース	32
I ² Cインタフェースの特長	32
I ² Cシステムの構成	33
I ² Cインタフェースの電源	33
I ² Cデータ転送	33
I ² CのSTART条件とSTOP条件	33
I ² Cアクノリッジビット	33
I ² Cスレーブアドレス	34

目次(続き)

I ² Cクロックストレッチ	34
I ² Cジェネラルコールアドレス	34
I ² C通信速度	35
I ² C通信プロトコル	35
単一レジスタへの書込み	35
連続するレジスタへの書込み	36
レジスタ-データペアを使用した複数バイトの書込み	38
単一レジスタからの読取り	38
連続するレジスタからの読取り	40
HSモードの設定による最高3.4MHzの動作	41
I ² Cウォッチドッグタイマ(WDTMR)	41
部品の選択	41
入力容量	41
出力容量	41
インダクタ	42
選択ガイド	42
レジスタ	42
レジスタマップ	42
レジスタの詳細	43
VOUTレジスタ	43
VOUT_DVSLレジスタ	43
CONTROL1レジスタ	44
CONTROL2レジスタ	45
CHIPID1レジスタ	45
CHIPID2レジスタ	46
PCBレイアウトのガイドライン	46
標準動作回路	47
型番	48
パッケージ	48
チップ情報	48
改訂履歴	49

図リスト

図1. MAX8973_のファンクションブロックダイアグラム	27
図2. 標準アプリケーション回路	28
図3. ソフトスタート時の放電	30
図4. 回転位相拡散アルゴリズム	31
図5. I ² Cシステムの例	33
図6. START条件とSTOP条件	33
図7. I ² Cのアクノリッジ(A)と非アクノリッジ(nA)	34
図8. スレーブアドレスバイトの例.	34
図9. バイト書き込みプロトコルによる単一レジスタへの書き込み	36
図10. 連続するレジスタX~Nへの書き込み.	37
図11. 複数バイトのレジスタ-データペアのプロトコルによる複数レジスタへの書き込み	39
図12. バイト読取りプロトコルによる単一レジスタからの読取り	39
図13. 連続するレジスタX~Nからの継続的な読取り	40
図14. HSモードの設定	41
図15. MAX8973_のEVKITの推奨レイアウト.	47

表リスト

表1. MAX8973Aのイネーブルの真理値表	29
表2. BIASENとスタートアップ遅延の真理値表	29
表3. MAX8973AのスタートアップランプレートとDVSランプレート	29
表4. MAX8973Aの出力放電選択の真理値表.	29
表5. MAX8973Aのソフトストップスルーレート	30
表6. デフォルトの出力電圧設定	30
表7. ターゲットV _{OUT} の減少に対するDVSの応答.	31
表8. MAX8973Aのインダクタパラメータ	31
表9. 高速過渡応答の設定	32
表10. MAX8973_のI ² Cスレーブアドレス	34
表11. MAX8973_の選択ガイド	42

Absolute Maximum Ratings

IN ₋ , V _{CC} , V _{DD} to PG ₋	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C) 28-Bump WLP 0.4mm Pitch (derate 20.4mW/°C above +70°C) 1.63W Operating Temperature Range..... -40°C to +85°C Junction Temperature..... +150°C Storage Temperature Range..... -65°C to +150°C Bump Temperature (soldering, reflow)..... +260°C
SDA, SCL to AGND.....	-0.3V to (V _{DD} + 0.3V)	
LX ₋ to PG ₋	-0.3V to (V _{IN₋} + 0.3V)	
DVS, EN, BIASEN to AGND.....	-0.3V to (V _{CC} + 0.3V)	
SNS+, OUT to AGND.....	-0.3V to (V _{CC} + 0.3V)	
PG ₋ , SNS- to AGND.....	-0.3V to +0.3V	
IN ₋ to V _{CC}	-0.3V to +0.3V	
RMS LX ₋ Current (per bump).....	1.6A	

Package Thermal Characteristics (Note 1)

Junction-to-Ambient Thermal Resistance (θ _{JA}) (Note 1).....	49°C/W	Junction-to-Case Thermal Resistance (θ _{JC}) (Note 1).....	10°C/W
---	--------	--	--------

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Electrical Characteristics

(V_{IN₋} = V_{CC} = V_{EN} = 3.6V, V_{AGND} = V_{PG₋} = V_{BIASEN} = V_{DVS} = 0V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLIES					
V _{CC} and IN ₋ Operating Range		2.6		4.5	V
V _{CC} and IN ₋ Undervoltage Lockout (UVLO) Threshold	V _{IN₋} falling	2.45	2.5	2.55	V
V _{CC} and IN ₋ UVLO Hysteresis			200		mV
V _{CC} and IN ₋ Shutdown Supply Current	EN = 0	T _A = +25°C	2	3	μA
		T _A = +85°C	2.5		
V _{CC} and IN ₋ BIAS Enable Supply Current	EN = 0, BIASEN = 1, no switching		34	50	μA
V _{CC} and IN ₋ Operating Supply Current	FPWM_EN = 0, V _{OUT} = 1.2V, no load, no switching, CKADV=11 (ETR disabled)		135	190	μA
	FPWM_EN = 0, V _{OUT} = 1.2V, no load, no switching, CKADV = 00 (ETR enabled)		225	345	μA
	FPWM_EN = 1, V _{OUT} = 1.2V, no load, f _{SW} = 2MHz/phase, inductor losses included		25		mA
LOGIC INTERFACE (DVS, EN, BIASEN)					
Logic Input High Voltage (V _{IH})		1.4			V
Logic Input Low Voltage (V _{IL})				0.4	V
Input Leakage Current	ENPD_EN = 1	-1	0.001	+1	μA
EN Logic Input Pulldown Resistor	Controlled by serial interface command: ENPD_EN = 0	250	500	750	kΩ

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
I²C SERIAL INTERFACE					
SDA AND SCL I/O STAGES					
SCL, SDA Input High Voltage (V_{IH})	$V_{DD} = 1.8V$	$0.7 \times V_{DD}$			V
SCL, SDA Input High Voltage (V_{IL})	$V_{DD} = 1.8V$	$0.3 \times V_{DD}$			V
SCL, SDA Input Hysteresis (V_{HYS})		$0.2 \times V_{DD}$			V
SCL, SDA Input Current (I_I)		-10		+10	μA
SDA Output Low Voltage (V_{OL})	Sinking 20mA	0.4			V
SCL, SDA Pin Capacitance (C_I)		10			pF
Output Fall Time from V_{IH} to V_{IL} (t_{OF})		120			ns
SCL Watchdog Timer Period	WDTMR = 0 = OFF (default setting)	∞			ms
	WDTMR = 1	24.5	35	45.5	
I²C-COMPATIBLE INTERFACE TIMING FOR STANDARD, FAST MODE, AND FAST MODE PLUS					
Clock Frequency (f_{SCL}) (Note 3)		1000			kHz
Hold Time (Repeated) START Condition ($t_{HD;STA}$) (Note 3)		0.26			μs
CLK Low Period (t_{LOW}) (Note 3)		0.5			μs
CLK High Period (t_{HIGH}) (Note 3)		0.26			μs
Set-Up Time Repeated START Condition ($t_{SU;STA}$) (Note 3)		0.26			μs
DATA Hold Time ($t_{HD;DAT}$) (Note 3)		0			μs
DATA Setup Time ($t_{SU;DAT}$) (Note 3)		50			ns
Setup Time for STOP Condition ($t_{SU;STO}$) (Note 3)		0.26			μs
Bus Free Time Between STOP and START (t_{BUF}) (Note 3)		0.5			μs
Capacitive Load for Each Bus Line (C_B) (Note 3)		550			pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter (Note 3)	Response Time of Comparators	50			ns
I²C-COMPATIBLE INTERFACE TIMING FOR HIGH-SPEED MODE					
C_B = 100pF					
Clock Frequency (f_{SCL})		3.4			MHz
Setup Time Repeated START Condition ($t_{SU;STA}$)		160			ns
Hold Time Repeated START Condition ($t_{HD;STA}$)		160			ns

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Clock Low Period (t_{LOW})		160			ns
Clock High Period (t_{HIGH})		60			ns
Data Setup Time ($t_{SU;DAT}$)		10			ns
Data Hold Time ($t_{HD;DAT}$)		0		70	ns
Minimum SCL Rise Time ($t_{RCL,MIN}$)			10		ns
Maximum SCL Rise Time ($t_{RCL,MAX}$)			40		ns
Minimum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MIN}$)			10		ns
Maximum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MAX}$)			80		ns
Minimum SCL Fall Time ($t_{FCL,MIN}$)			10		ns
Maximum SCL Fall Time ($t_{FCL,MAX}$)			40		ns
Minimum SDA Rise Time ($t_{RDA,MIN}$)			10		ns
Maximum SDA Rise Time ($t_{RDA,MAX}$)			80		ns
Minimum SDA Fall Time ($t_{FDA,MIN}$)			10		ns
Maximum SDA Fall Time ($t_{FDA,MAX}$)			80		ns
Setup Time for STOP Condition ($t_{SU;STO}$)		160			ns
Capacitive Load for Each Bus Line (C_B) (Note 3)				100	pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter				10	ns
$C_B = 400pF$					
Clock Frequency (f_{SCL}) (Note 3)				1.7	MHz
Setup Time Repeated START Condition ($t_{SU;STA}$) (Note 3)		160			ns
Hold Time Repeated START Condition ($t_{HD;STA}$) (Note 3)		160			ns
Clock Low Period (t_{LOW}) (Note 3)		320			ns

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Clock High Period (t_{HIGH}) (Note 3)		120			ns
Data Setup Time ($t_{SU,DAT}$) (Note 3)		10			ns
Data Hold Time ($t_{HD,DAT}$) (Note 3)		0		150	ns
Minimum SCL Rise Time ($t_{RCL,MIN}$)			20		ns
Maximum SCL Rise Time ($t_{RCL,MAX}$)			80		ns
Minimum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MIN}$)			20		ns
Maximum Rise Time of SCL Signal After a Repeated START Condition and After an Acknowledge Bit ($t_{RCL1,MAX}$)			160		ns
Minimum SCL Fall Time ($t_{FCL,MIN}$)			20		ns
Maximum SCL Fall Time ($t_{FCL,MAX}$)			80		ns
Minimum SDA Rise Time ($t_{RDA,MIN}$)			20		ns
Maximum SDA Rise Time ($t_{RDA,MAX}$)			160		ns
Minimum SDA Fall Time ($t_{FDA,MIN}$)			20		ns
Maximum SDA Fall Time ($t_{FDA,MAX}$)			160		ns
Setup Time for STOP Condition ($t_{SU,STO}$) (Note 3)		160			ns
Capacitive Load for Each Bus Line (C_B) (Note 3)				400	pF
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter (Note 3)				10	ns
STEP-DOWN CONVERTER					
Minimum Output Capacitance Required for Stability (Note 3)	Actual output capacitance, sum of all 3 phases $V_{OUT} = 0.60625V$ to $1.4V$ $I_{OUT} = 0$ to $9A$			24.5	μF
OUT Voltage Range	6.25mV steps, 7 bits, monotonic	0.60625		1.4	V

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
OUT Voltage Accuracy	No load, $V_{CC} = V_{IN_} = 2.6V$ to $4.5V$, $V_{OUT} = 1.2V$, FPWM_EN = 1	$T_A = +25^{\circ}C$	-0.5		+0.5	%
	No load, $V_{CC} = V_{IN_} = 2.6V$ to $4.5V$, $V_{OUT} = 1.2V$, FPWM_EN = 1	$T_A = -40^{\circ}C$ to $+85^{\circ}C$	-0.8		+0.8	
	No load, $V_{CC} = V_{IN_} = 2.6V$ to $4.5V$, $V_{OUT} = 0.60625V$, FPWM_EN = 1	$T_A = -40^{\circ}C$ to $+85^{\circ}C$	-1.5		+1.5	
	No load, $V_{CC} = V_{IN_} = 2.6V$ to $4.5V$, $V_{OUT} = 1.4V$, FPWM_EN = 1	$T_A = -40^{\circ}C$ to $+85^{\circ}C$	-1.25		+1.25	
Load Regulation				-0.001		V/A
Output Voltage Slew Rate	RAMP[1:0] = 11		200		mV/ μ s	
	RAMP[1:0] = 10		50			
	RAMP[1:0] = 01		25			
	RAMP[1:0] = 00		12.5			
Peak Current Limit	Each phase	MAX8973A	3.72	4	4.28	A
NMOS Current Limit	Each phase, valley current after PMOS current limit and $V_{OUT} < 75%$ of target		55% of I_{LIM} setting			A
Negative Current Limit	FPWM_EN = 1 or ramping down output voltage, each phase		-1.33			A
n-Channel MOSFET Zero-Crossing Threshold			50			mA
Switching Frequency per Phase	FPWM_EN = 1		1.9	2	2.1	MHz
Soft-Start Delay	BIASEN = 0, From EN rising to V_{OUT} at 10%		240			μ s
	BIASEN = 1, From EN rising to V_{OUT} at 10%		20			μ s

Electrical Characteristics (continued)

($V_{IN_} = V_{CC} = V_{EN} = 3.6V$, $V_{AGND} = V_{PG_} = V_{BIASEN} = V_{DVS} = 0V$, $V_{EN} = 3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

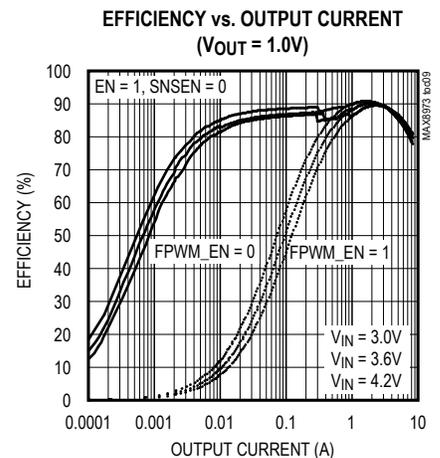
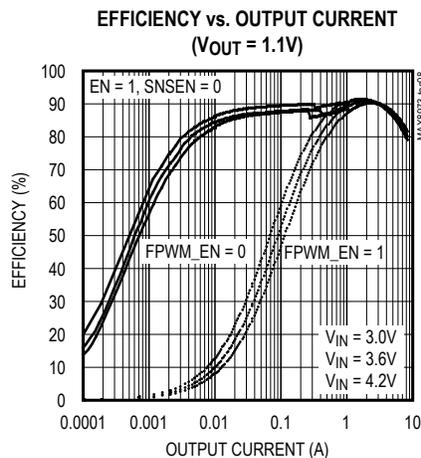
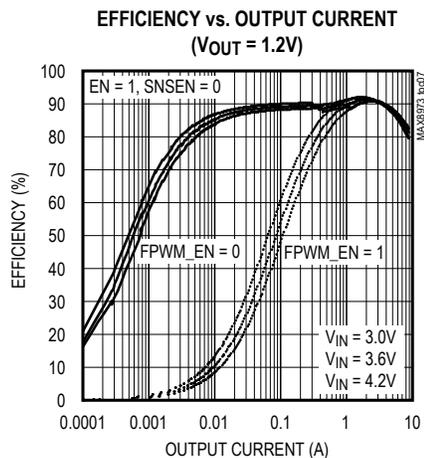
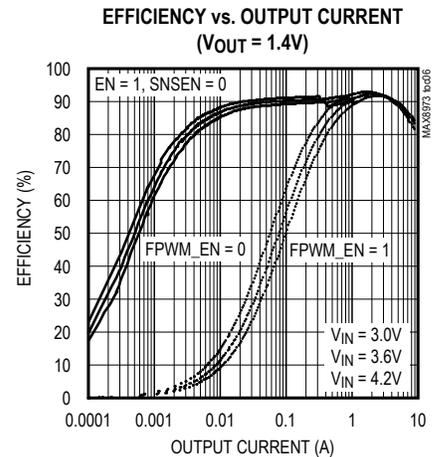
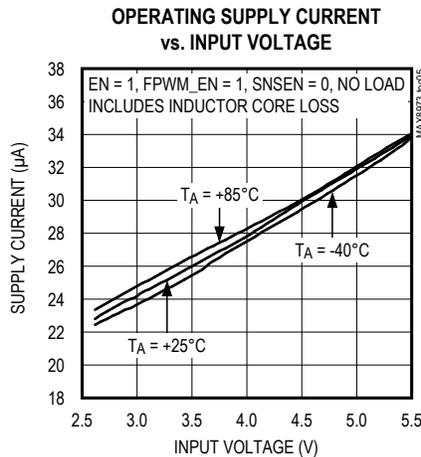
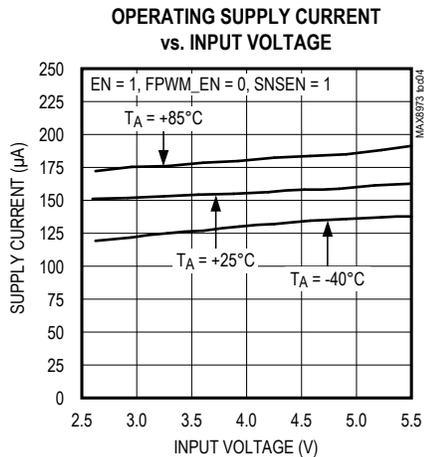
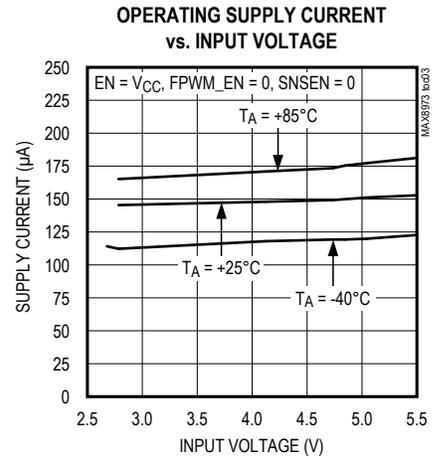
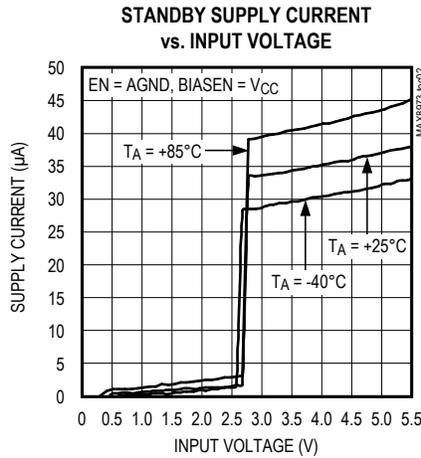
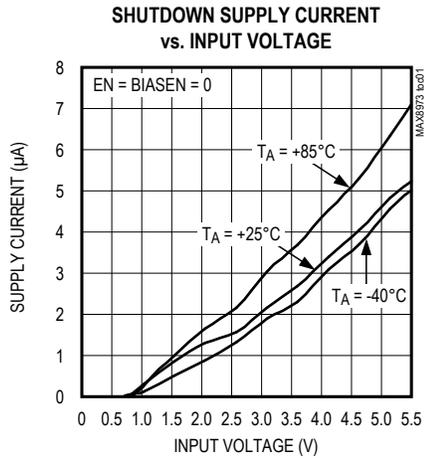
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Soft-Start Ramp Time	From $V_{OUT} = 10\%$ to 90% , RAMP[1:0] = 0b11 200mV/ μ s slew rate, V_{OUT} set to 1V		4		μ s	
	From $V_{OUT} = 10\%$ to 90% , RAMP[1:0] = 0b10, 0b01, or 0b00 20mV/ μ s slew rate, V_{OUT} set to 1V		40			
LX p-Channel MOSFET On-Resistance	Each phase, $IN_$ to $LX_$, $I_{LX_} = -200mA$		50	90	m Ω	
LX n-Channel MOSFET On-Resistance	Each phase, FPWM_EN = 0, $LX_$ to PGND, $I_{LX_} = 200mA$		25	45	m Ω	
LX Leakage	$V_{LX_} = 5.5V$ or $0V$	$T_A = +25^{\circ}C$	-1	+0.03	+1	μ A
		$T_A = +85^{\circ}C$		0.25		
OUT Discharge Resistance	During shutdown from OUT to AGND		100		Ω	
SNS+ Input Impedance			340		k Ω	
SNS- Input Impedance			280		k Ω	
Remote Sense Compensation Range	From OUT to SNS+			100	mV	
	From GND to SNS-			-100	mV	
OUT Input Impedance			53		k Ω	
THERMAL PROTECTION						
Thermal Shutdown Threshold			160		$^{\circ}C$	
Thermal Shutdown Threshold Hysteresis			20		$^{\circ}C$	

Note 2: 100% production tested at $T_A = +25^{\circ}C$, limits over the operating range are guaranteed by design.

Note 3: Guaranteed by design, not production tested.

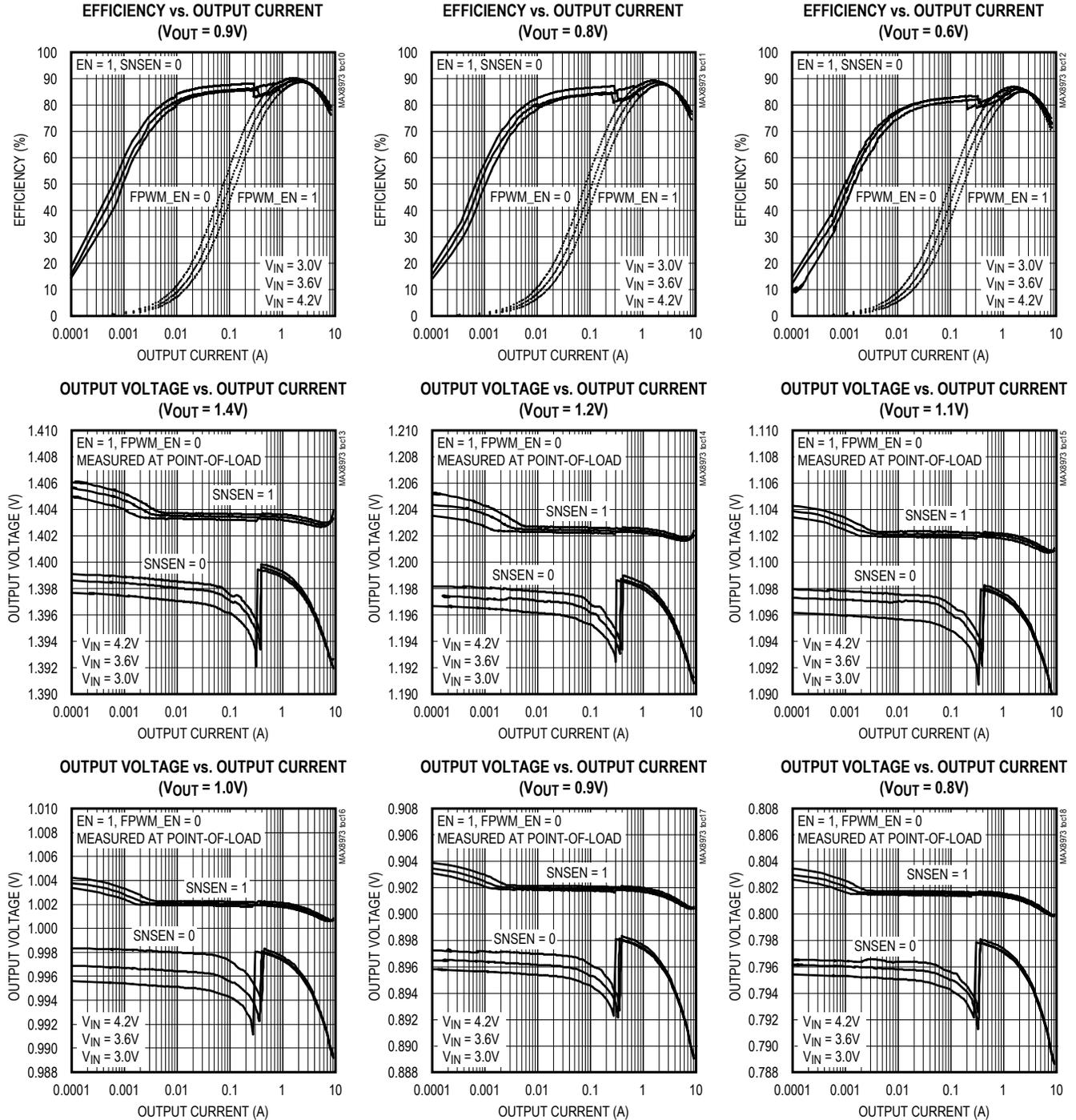
標準動作特性

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



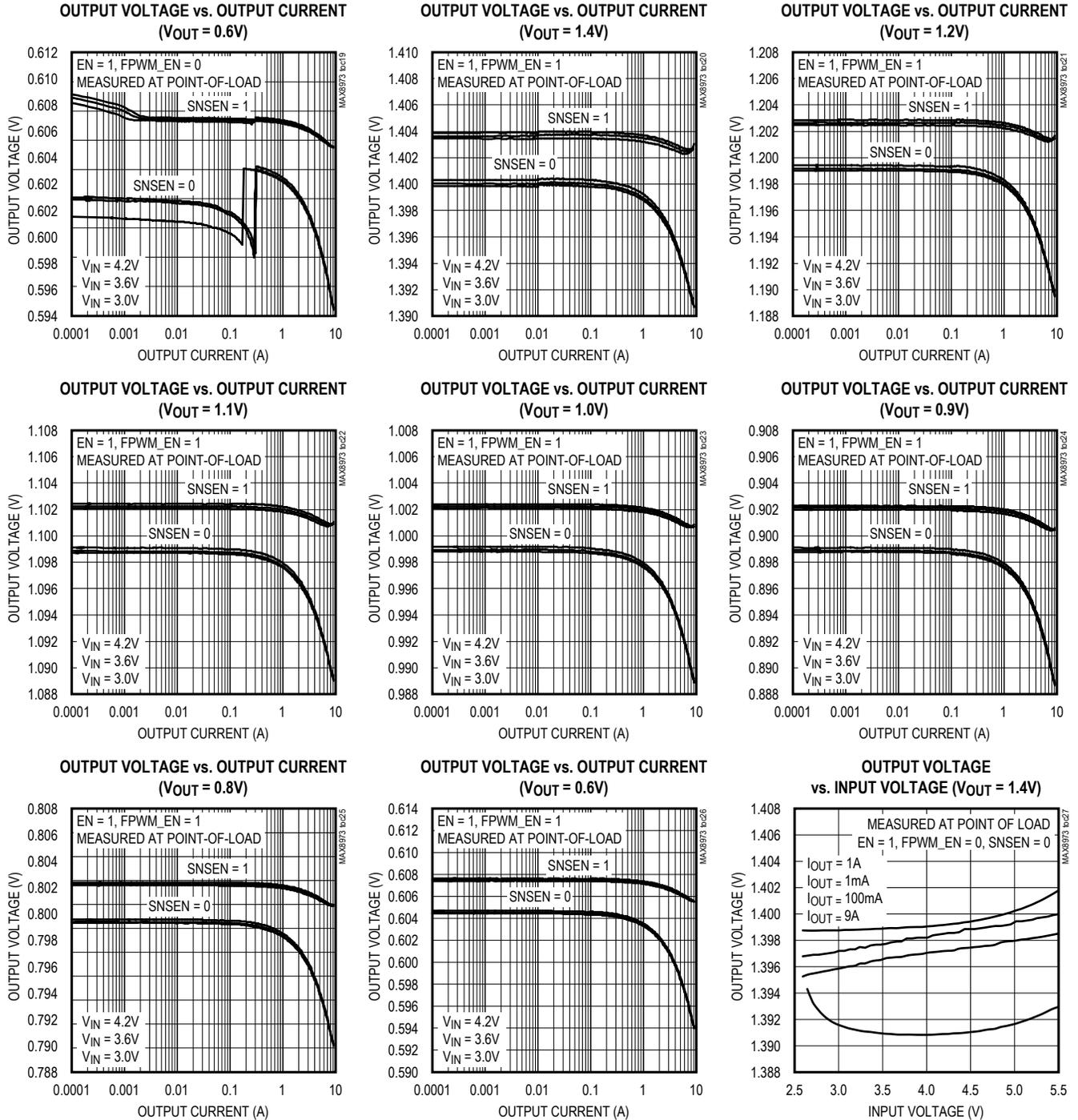
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



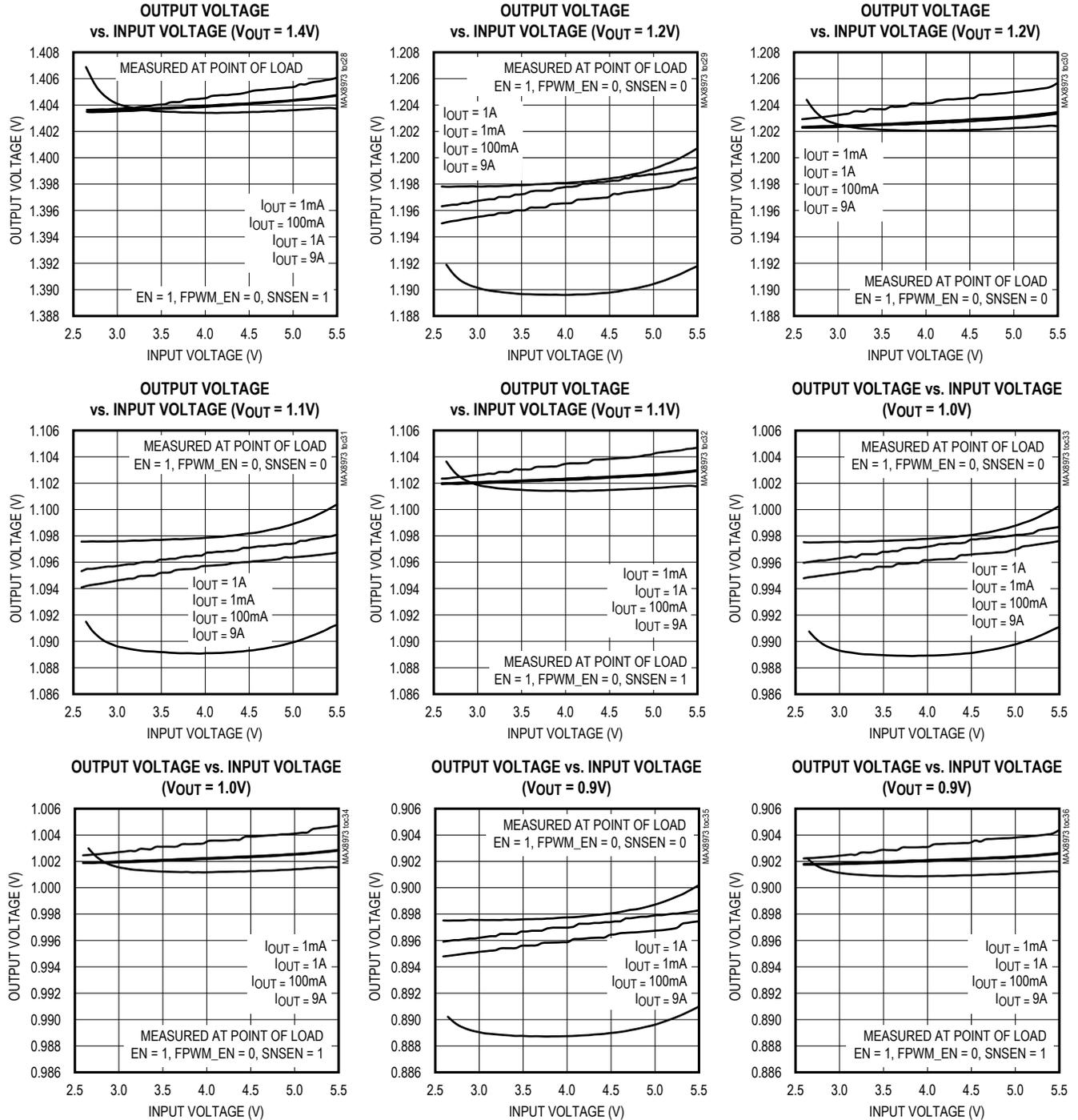
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



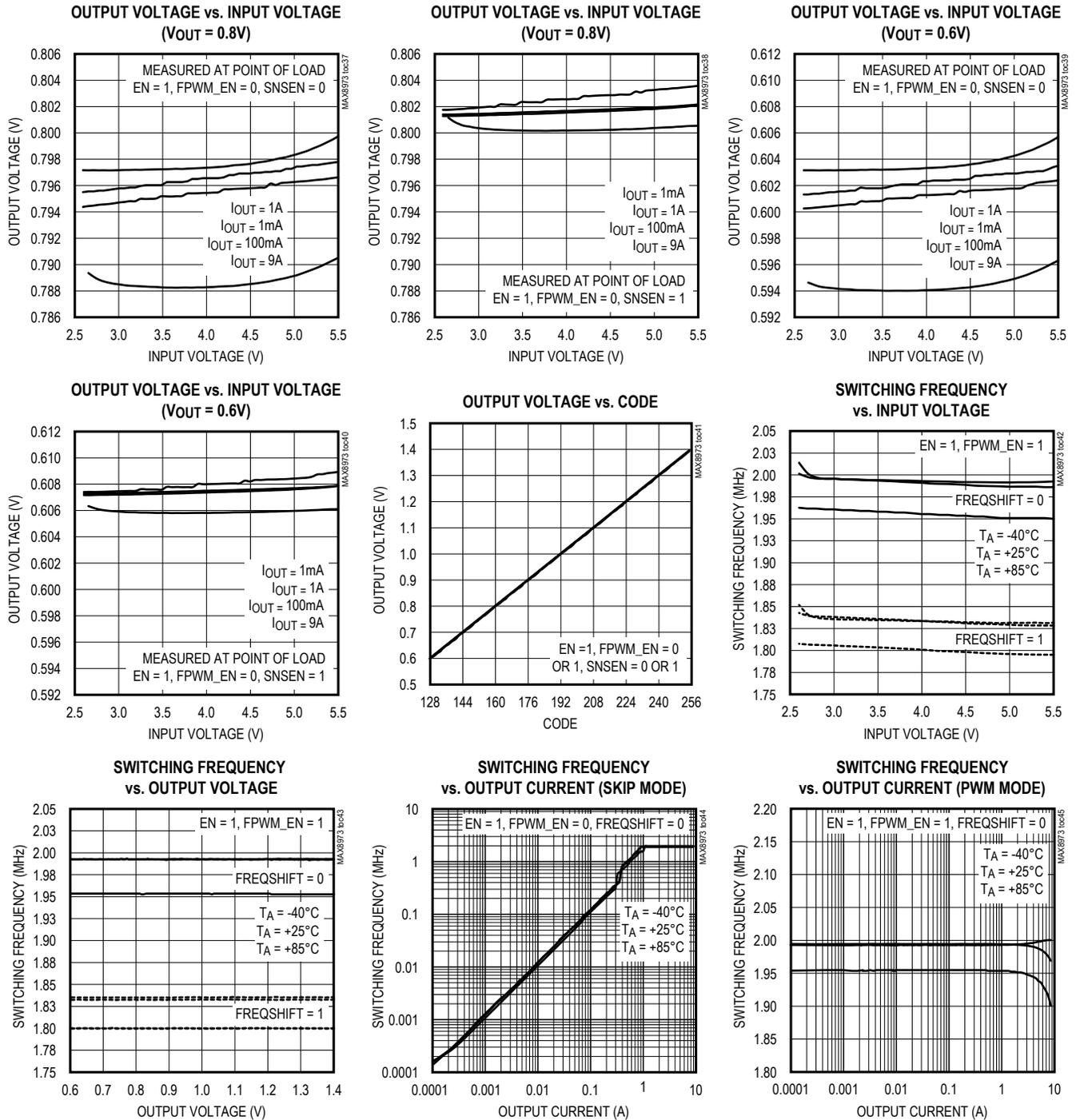
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



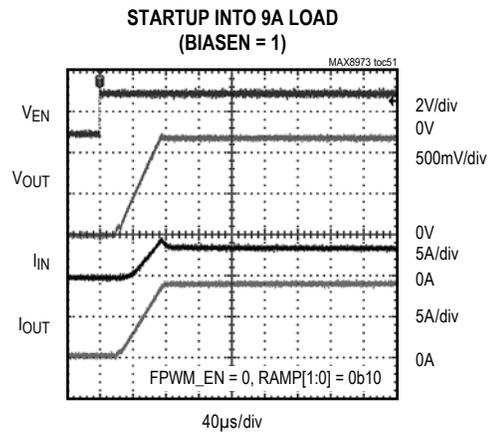
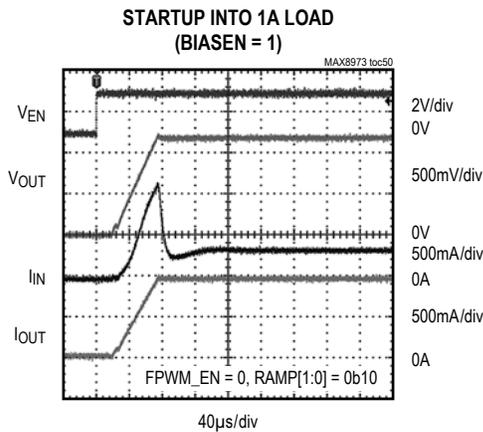
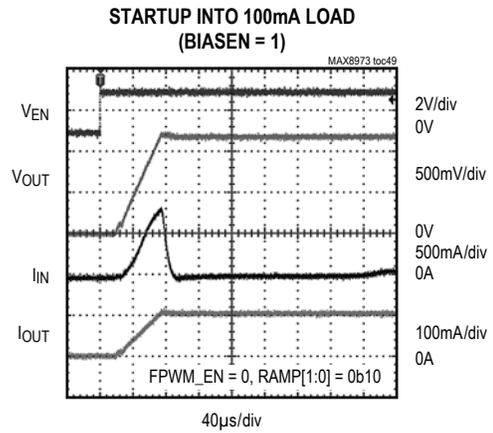
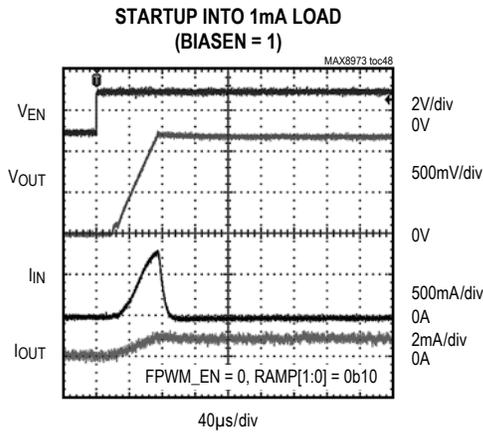
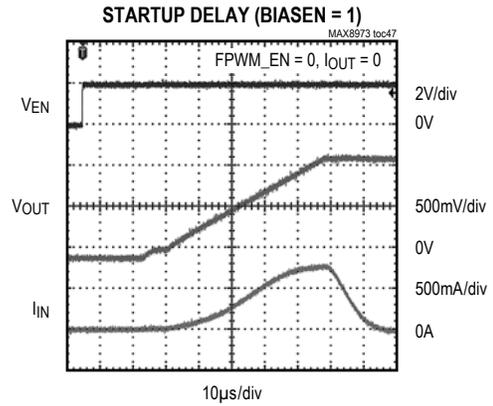
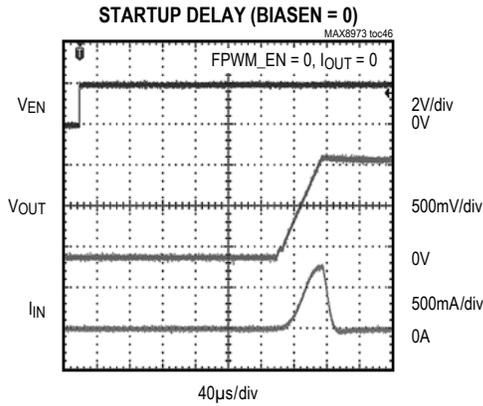
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



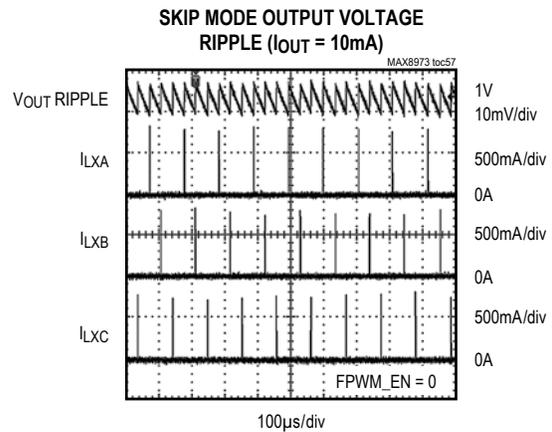
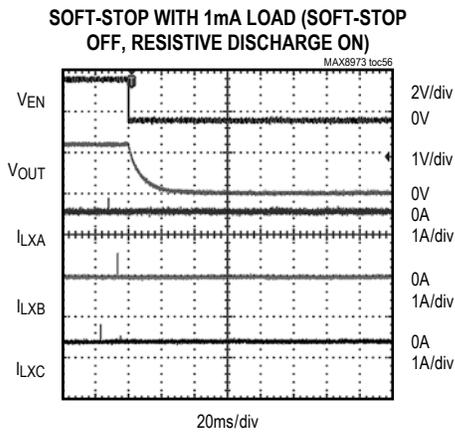
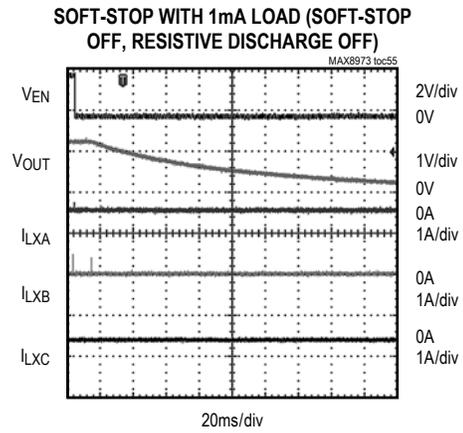
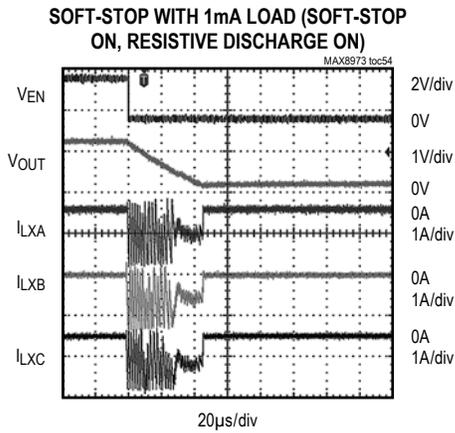
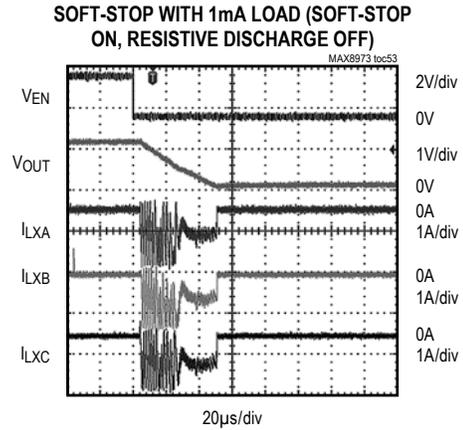
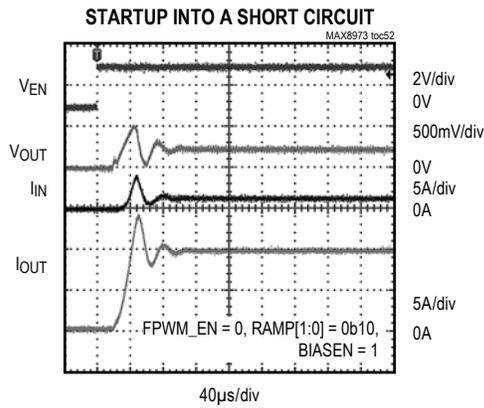
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



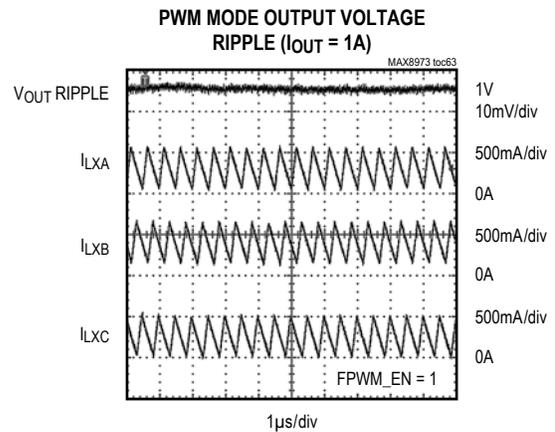
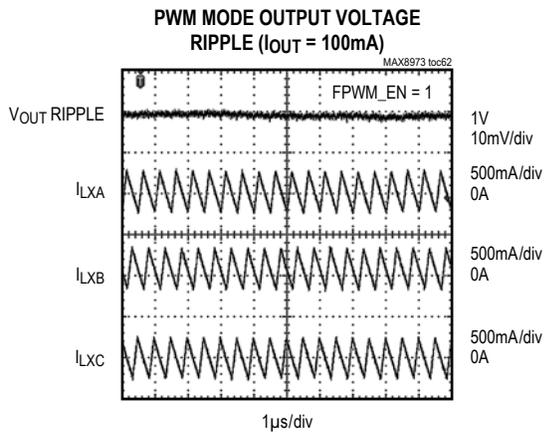
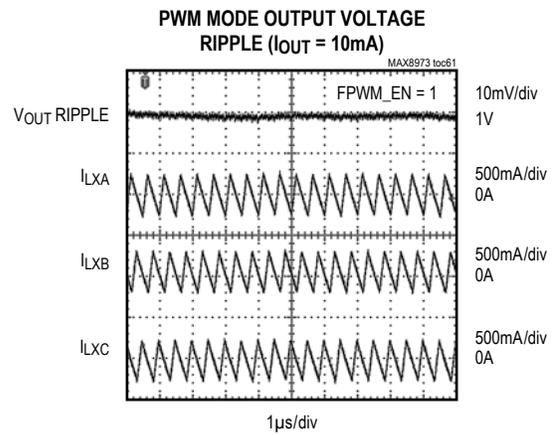
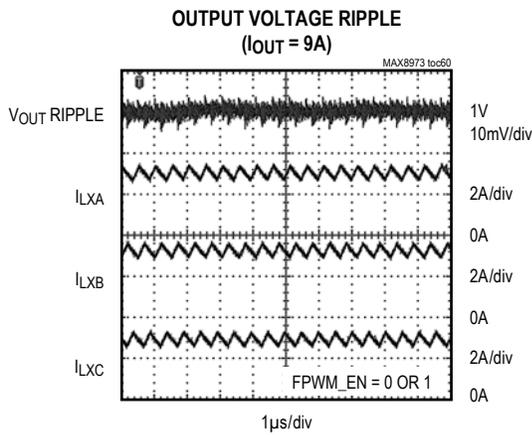
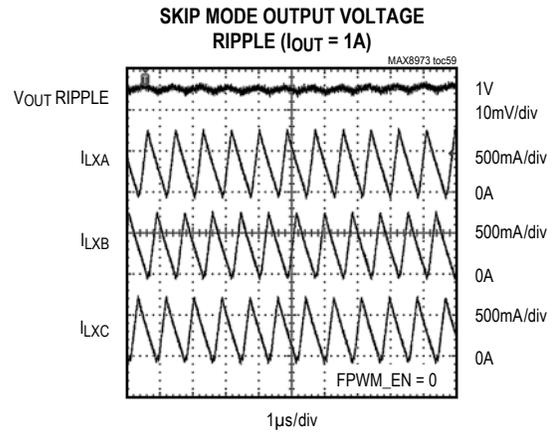
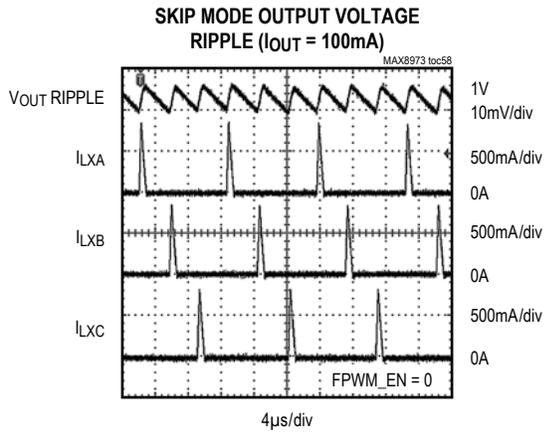
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



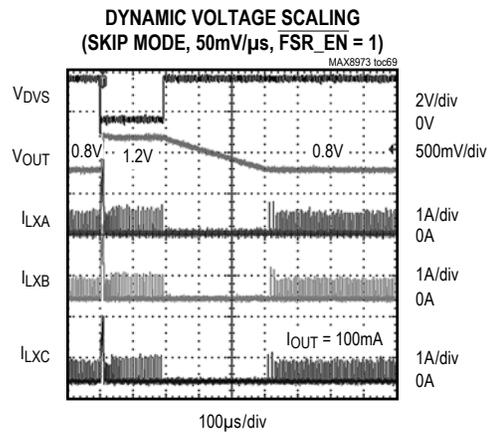
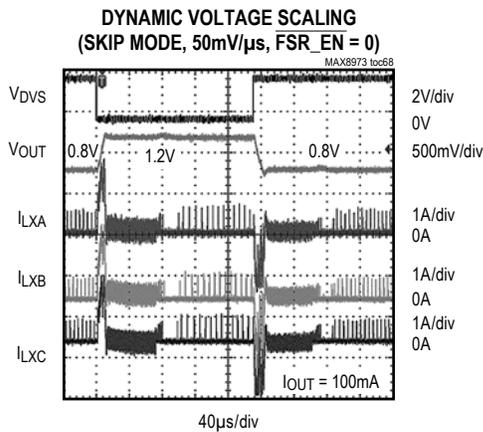
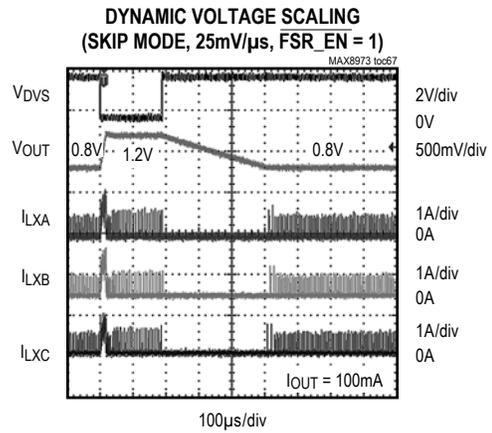
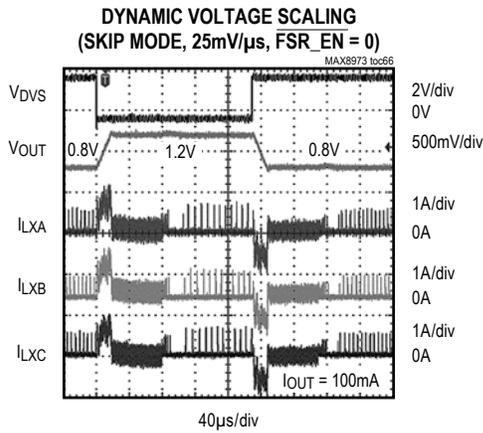
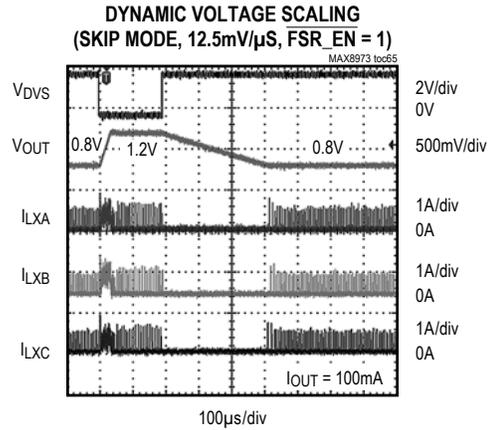
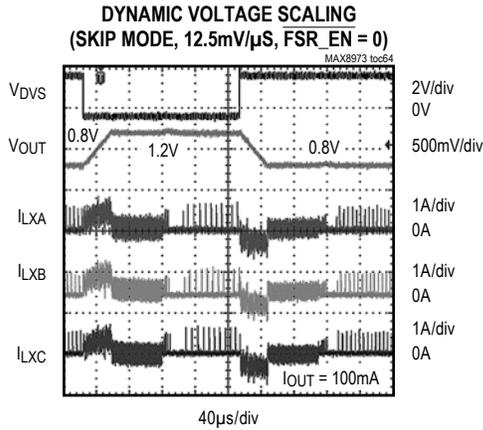
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



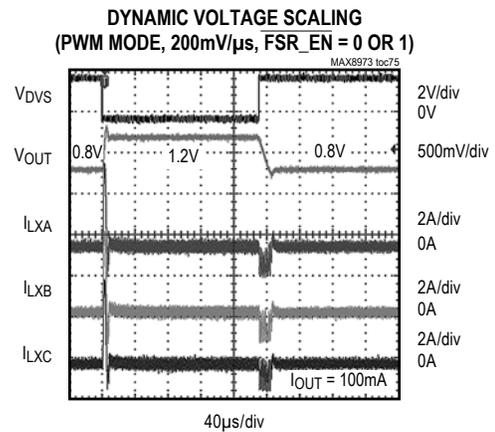
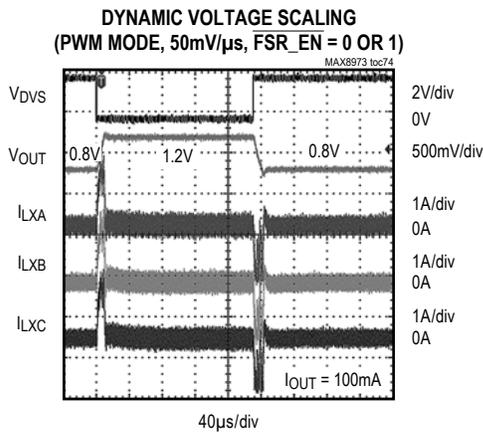
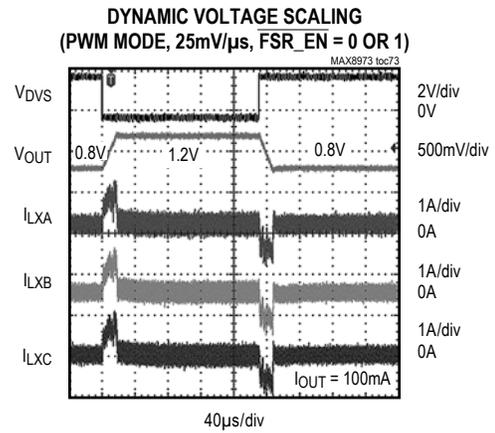
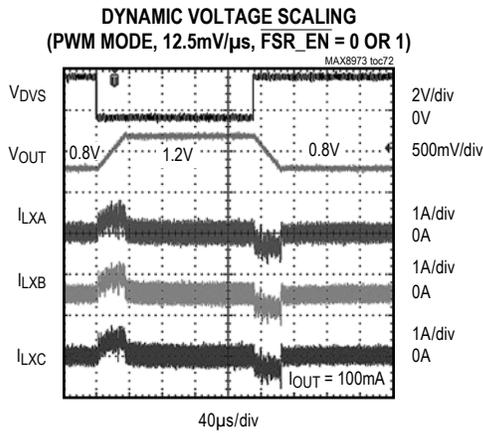
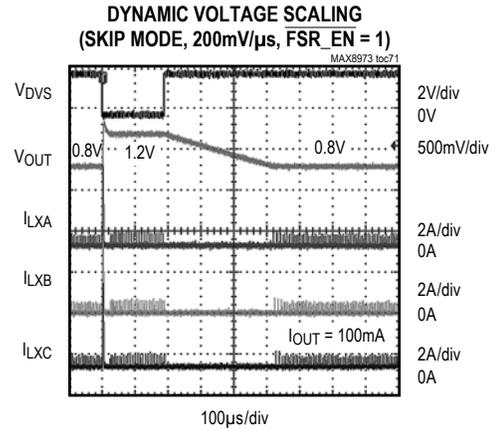
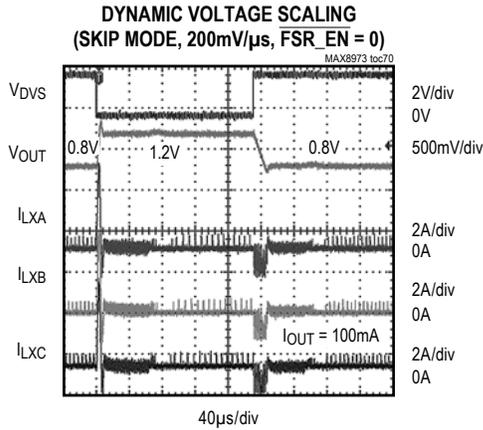
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



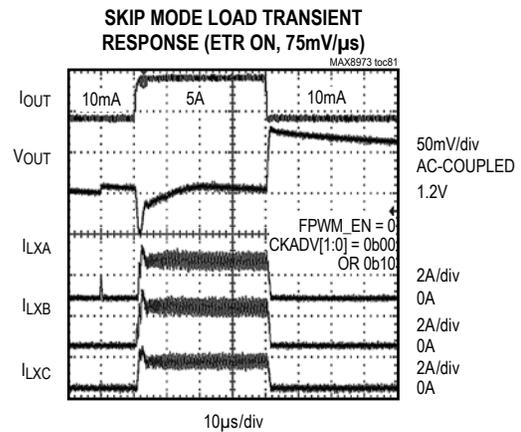
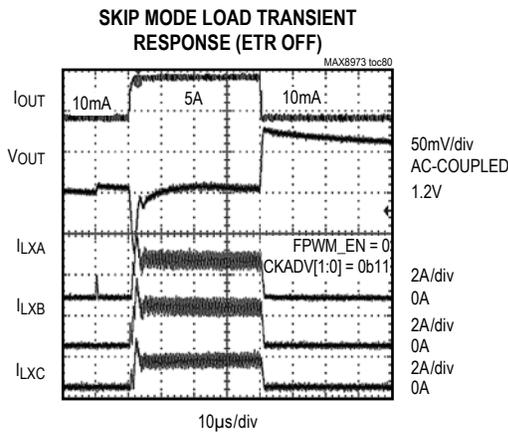
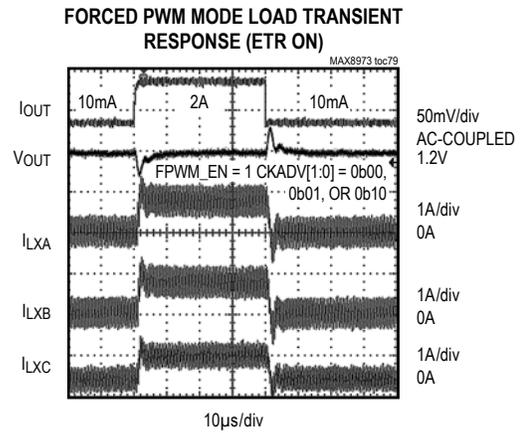
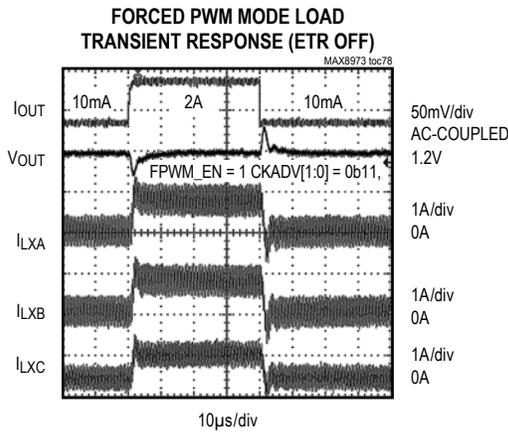
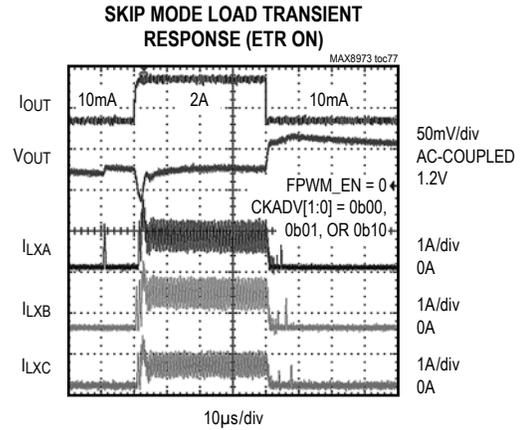
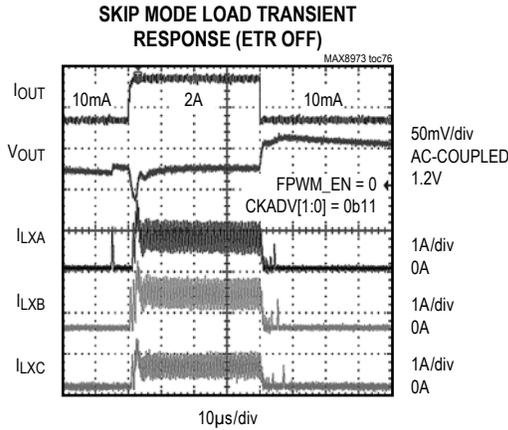
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



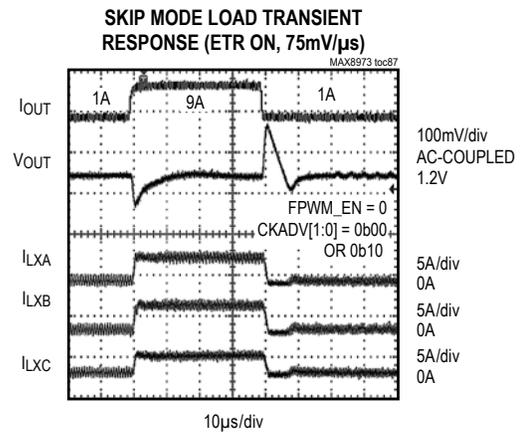
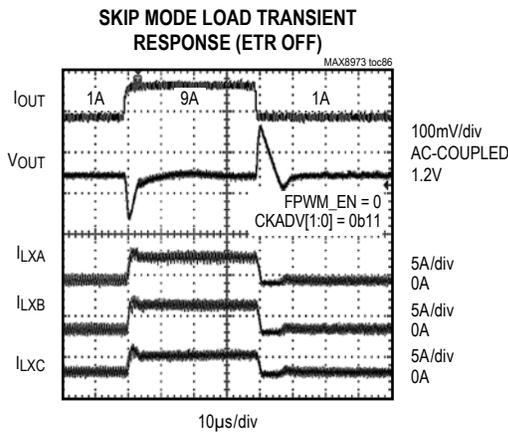
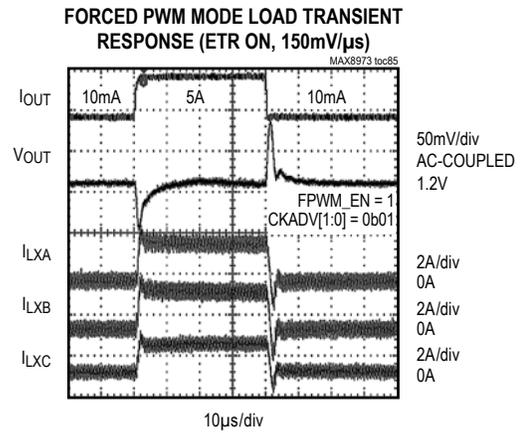
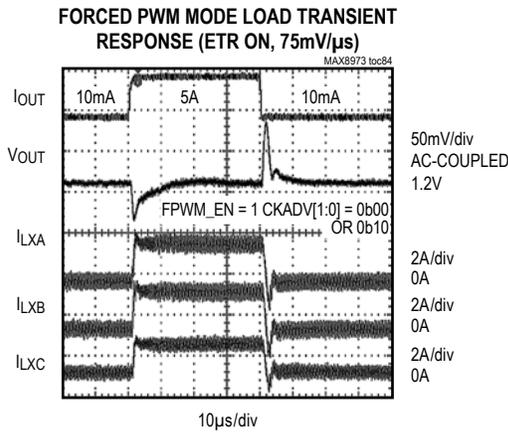
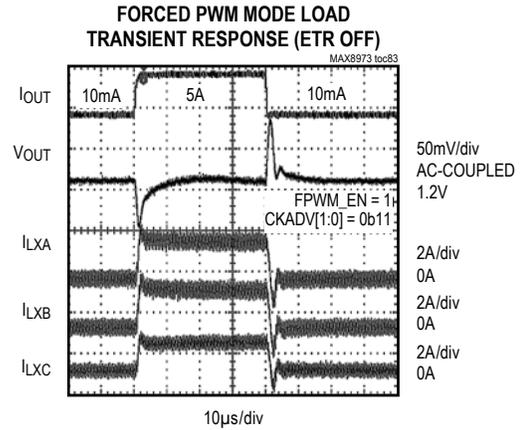
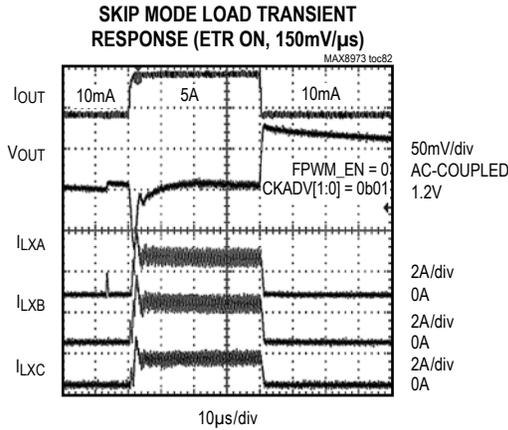
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



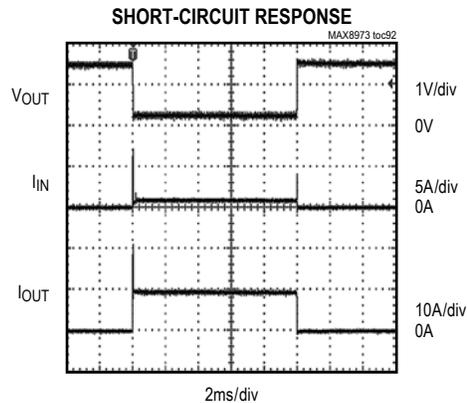
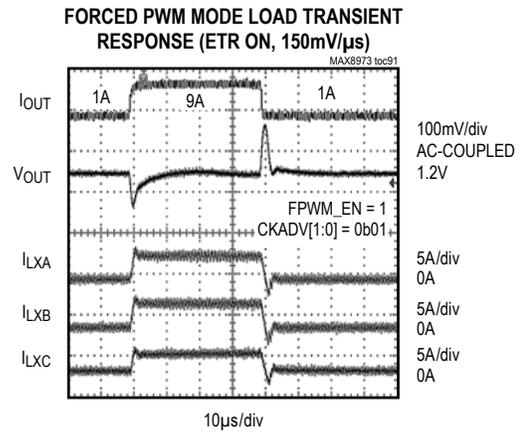
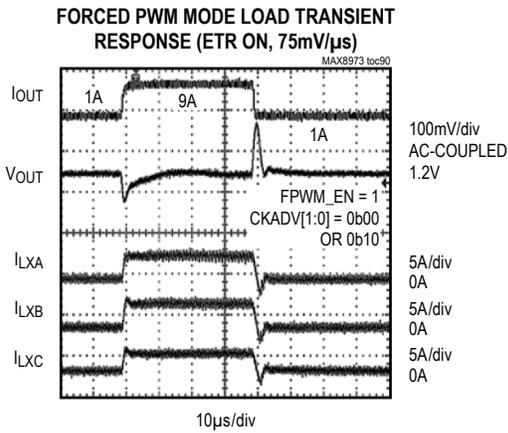
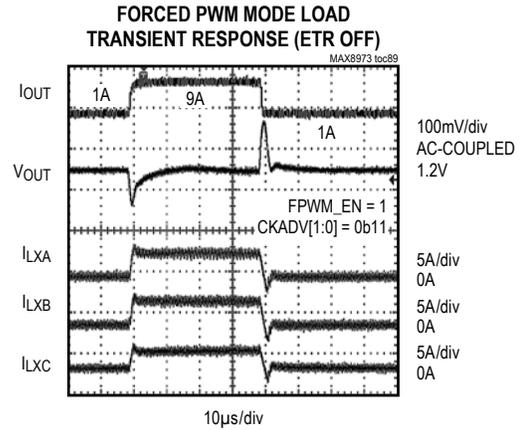
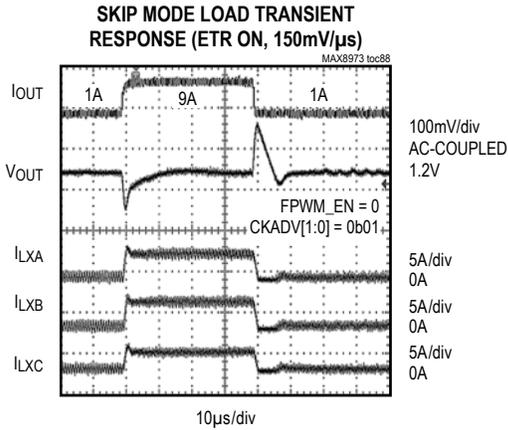
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



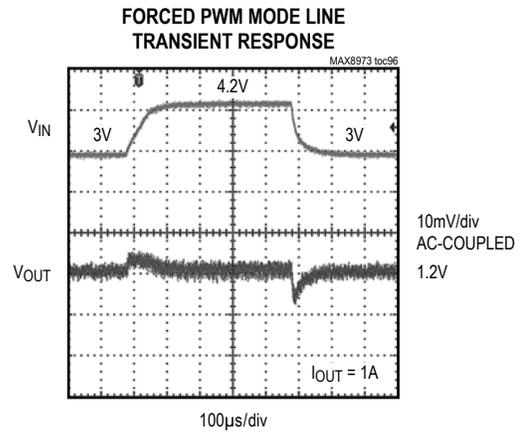
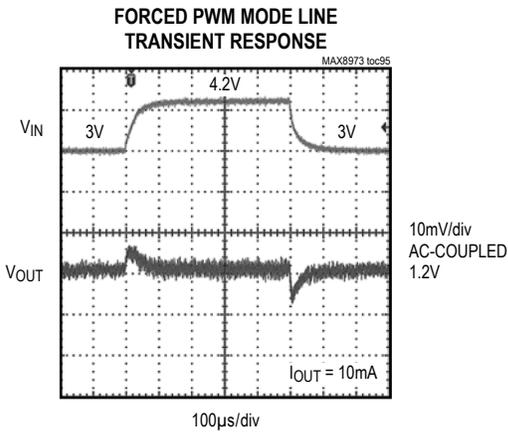
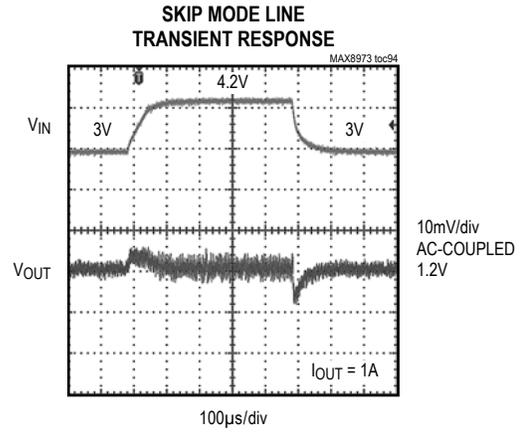
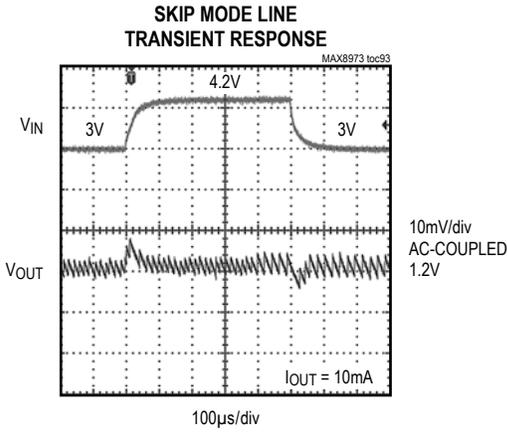
標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))

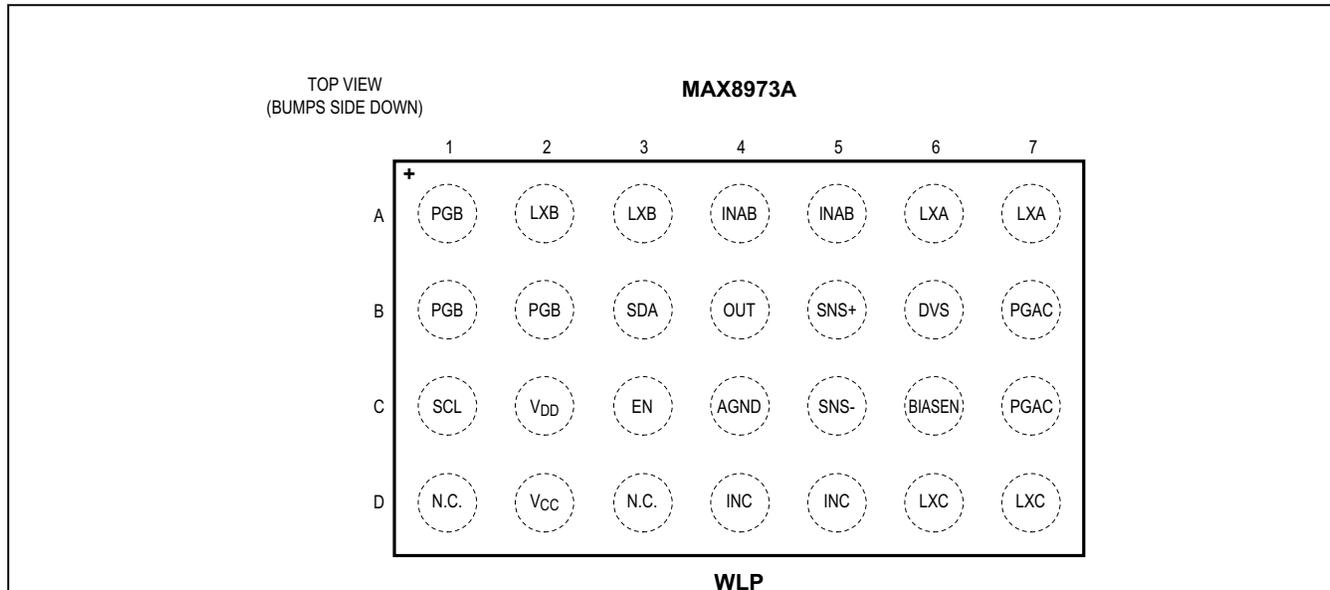


標準動作特性(続き)

($V_{IN} = 3.6V$, $V_{DD} = 1.8V$, $V_{OUT} = 1.2V$, circuit of [Figure 4.](#))



ピン配置



端子説明

端子	名称	説明
A1, B1, B2	PGB	B相の電源グランド。端子A1、B1、B2。B相のパワーデバイスに対してローカルです。INAB (端子A4) とB相の出力コンデンサをPGB (端子A1/B1/B2)にバイパスします。すべてのPG_端子を放熱のためにデバイス底面の電源GNDプレーンと接続します。
A2, A3	LXB	B相のインダクタ接続。LXBは内蔵pチャンネルおよびnチャンネルFETのドレインに接続します。LXBはシャットダウン時にハイインピーダンスです。
A4	INAB	A相とB相への電源入力。端子A4はB相のパワーデバイスに対してローカルです。INABは内蔵pチャンネルおよびnチャンネルFETに電力を供給します。できる限りデバイスの近くに配置した10μFのセラミックコンデンサでINAB (端子A4)をPGB (端子A1/B1/B2)にバイパスします。すべてのIN_端子を同じ電源に接続します。
A5	INAB	A相とB相への電源入力。端子A5はA相のパワーデバイスに対してローカルです。INABは内蔵pチャンネルおよびnチャンネルFETに電力を供給します。できる限りデバイスの近くに配置した10μFのセラミックコンデンサでINAB (端子A5)をPGAC (端子B7/C7)にバイパスします。すべてのIN_端子を同じ電源に接続します。
A6, A7	LXA	A相のインダクタ接続。LXAは内蔵pチャンネルおよびnチャンネルFETのドレインに接続します。LXAはシャットダウン時にハイインピーダンスです。
B3	SDA	シリアルデータ入出力。SDAは1.2Vロジックとコンパチブルです。
B4	OUT	バックコンバータ出力ノード。コンバータのレギュレーションポイントの設定に加えて、OUTはコンバータのシャットダウン時に出力コンデンサを放電します。OUTを(ローカル出力コンデンサにおいて)共通のV _{OUT} に接続します。
B5	SNS+	出力電圧リモート検出正入力。SNS+を負荷におけるバルク容量の正端子に接続します。SNS-とSNS+をPCB内で差動ペアとして配線します。リモート検出機能は、ソフトウェアによってディセーブルすることができます。

端子説明(続き)

端子	名称	説明
B6	DVS	DVSロジック入力。DVSがローのとき、出力電圧はレジスタ0x00h (V _{OUT})によって設定されます。DVSがV _{CC} に対してハイに駆動されると、出力電圧はレジスタ0x01h (V _{OUT_DVS})によって設定されます。
B7, C7	PGAC	A相とC相の電源グラウンド。端子B7とC7は、A相とC相のパワーデバイスに対してローカルです。INC (端子D4/D5)とC相の出力コンデンサをPGAC (端子B7/C7)にバイパスします。INAB (端子A5のみ)とA相の出力コンデンサをPGAC (端子B7/C7)にバイパスします。すべてのPG_端子を放熱のためにデバイス底面の電源GNDプレーンと接続します。
C1	SCL	シリアルクロック入力
C2	V _{DD}	シリアルインタフェースのロジック電源入力。V _{DD} を1.8V電源に接続します。0.1μFのセラミックコンデンサでV _{DD} をAGNDにバイパスします。
C3	EN	ENロジック入力。ENはバックコンバータをイネーブルします。バックコンバータをイネーブルするには、V _{CC} に対してハイに駆動します。ENにはAGNDへの500kΩの抵抗があり、デフォルトで接続されていますが、シリアルインタフェースによって切断することができます。EN入力、MAX8973AのCONTROL1レジスタのENビットと論理和がとられます。
C4	AGND	アナロググラウンド
C5	SNS-	出力電圧リモート検出負入力。SNS-を負荷におけるバルク容量の負端子に接続します。SNS-とSNS+をPCB内で差動ペアとして配線します。リモート検出機能は、ソフトウェアによってディセーブルすることができます。
C6	BIASEN	BIASENロジック入力。BIASENはMAX8973Aのバイアスをイネーブルして、EN端子がハイに駆動されたときのスタートアップ高速化を実現します。高速スタートアップモードをイネーブルするには、V _{CC} に対してハイに駆動します。BIASEN入力は、制御レジスタのBIASENビットと論理和がとられます。
D1, D3	N.C.	AGNDに接続します。
D2	V _{CC}	アナログ電源バイパスノード。1μFのセラミックコンデンサでV _{CC} をAGNDにバイパスします。V _{CC} は、20Ωの内部抵抗を介してINC (端子D4)に内部で接続されています。V _{CC} は、内部リアレンス、バイパス回路、フィードバック回路、およびシリアルインタフェースに電源を供給します。
D4, D5	INC	C相への電源入力。端子D4とD5は、C相のパワーデバイスに対してローカルです。INCは内蔵pチャンネルおよびnチャンネルFETに電力を供給します。INCは、20Ωの内蔵フィルタ抵抗を介してV _{CC} にも電力を供給します。できる限りデバイスの近くに配置した10μFのセラミックコンデンサでINC (端子D4/D5)をPGAC (端子B7/C7)にバイパスします。すべてのIN_端子を同じ電源に接続します。
D6, D7	LXC	C相のインダクタ接続。LXCは内蔵pチャンネルおよびnチャンネルFETのドレインに接続します。LXCはシャットダウン時にハイインピーダンスです。

詳細

差動リモート検出機能を備えた高効率、3相、DC-DCステップダウンスイッチングレギュレータのMAX8973Aは、超高効率と非常に高速な過渡応答に、全負荷、ライン、温度範囲にわたる世界クラスの精度を兼ね備えています。各相2MHzのスイッチング周波数による3相動作のため、小型の外付け部品を使用可能です。差動リモート検出では、負荷における直接のケルビン検出接続によって出力の精度が向上します。総出力誤差は、全ラインと温度範囲で0.8%未満です。

MAX8973Aは、最高3.4MHzのI²C 3.0対応シリアルインタフェースをサポートしています。出力電圧は、このシリア

ルインタフェースから6.25mVステップで0.60625V～1.4Vに設定可能です。MAX8973Aの動作モードと出力電圧スルーレートも、このシリアルインタフェースから設定することができます。

その他の機能には、内蔵のソフトスタート制御回路による突入電流の抑制、過電流保護、過熱保護、プリバイアス出力への起動などがあります。ユーザーがイネーブルするスルーレート制御では、管理された方法で出力電圧を増減させることが可能です。出力電圧を200mV/μsの割合で変化させるオプションが用意されているため、出力電圧はわずか10μsでステップ変更コマンドに応答可能です。

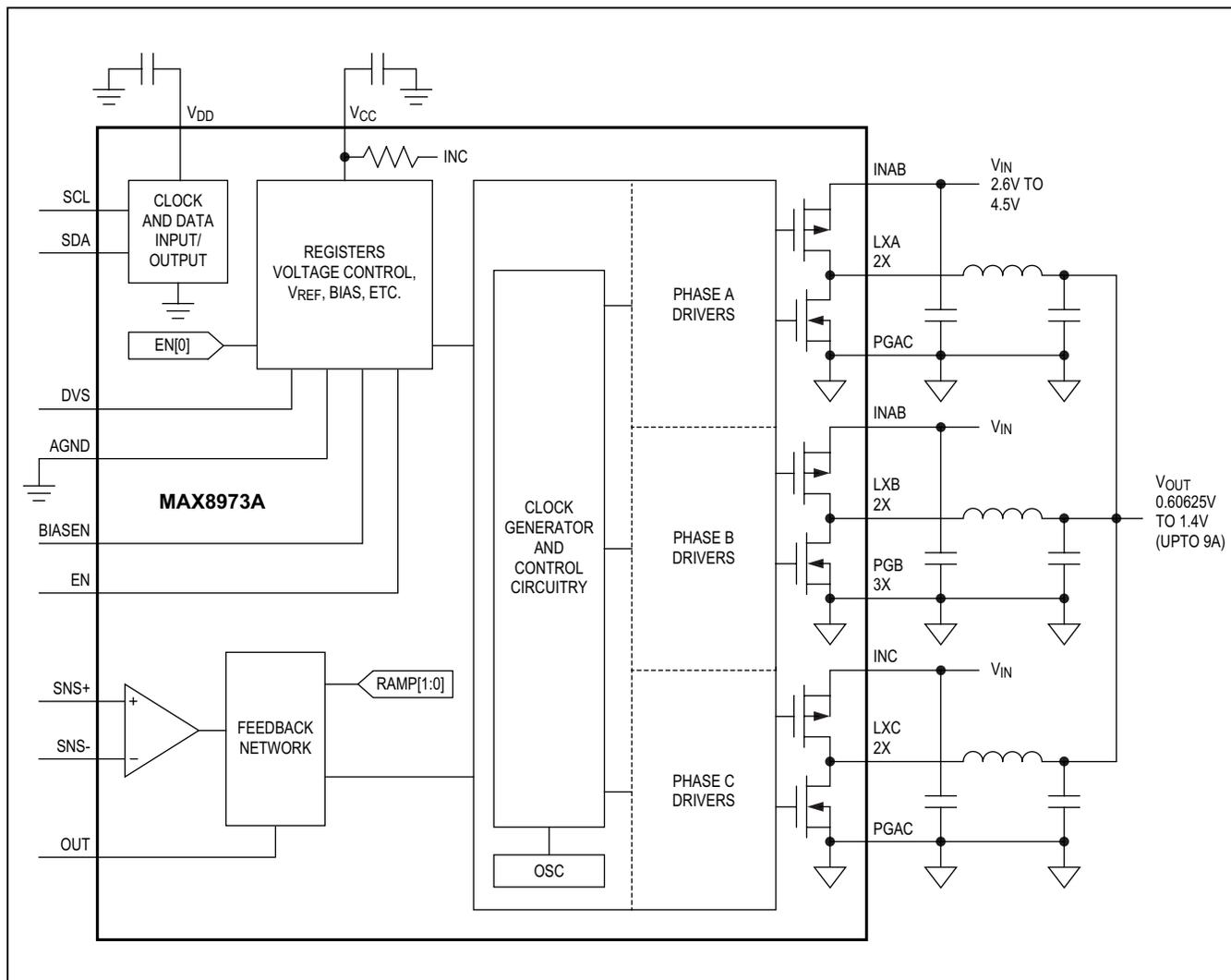


図 1. MAX8973_ のファンクションブロックダイアグラム

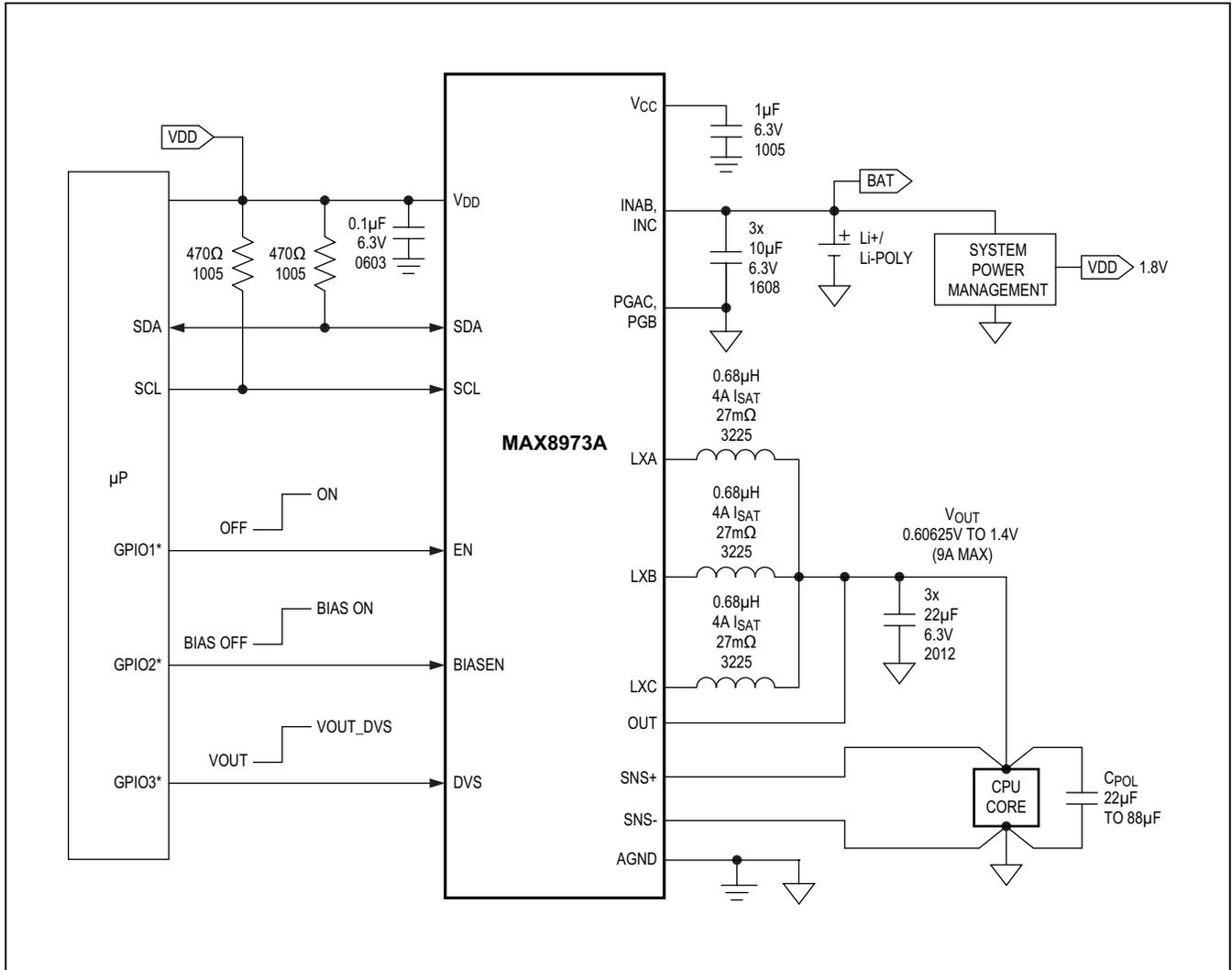


図 2. 標準アプリケーション回路

レギュレータのイネーブル

MAX8973Aの出力は、EN入力をハイに駆動するか、またはI²Cコマンドを使用してENビットを1に設定することによってイネーブルされます。EN入力とENビットの論理和がとられます。レギュレータをディセーブルする場合は、EN入力をローに駆動し、ENビットを0に設定します。表1に、ハードウェアのEN入力とI²Cレジスタビットの論理的な真理値表を示しています。レジスタの内容は、MAX8973Aの出力を設定するためにいつでも書き込むことができます。

スタートアップ遅延(BIASEN)

CPUコアを迅速にオンにする必要があるアプリケーションでスタートアップ遅延を抑制するには、BIASENロジック入力とBIASENレジスタビットの論理和をとり、遅延を設定します。この遅延は、ENの立上りからV_{OUT}のランプ開始までの時間と定義されます。BIASEN入力とBIASENビットの両方がローのとき、スタートアップ遅延は240μs (typ)です。BIASEN入力が高くなるか、またはBIASENビットが1に設定されると、遅延は20μs (typ)に短縮されます。この短い20μsの遅延を選択すると、EN入力がローでENビットが0に設定された場合(ステップダウンレギュレータがオフの場合)に自己消費電流が34μAだけ増大します。表2に、BIASEN入力とBIASENレジスタビットの真理値表を示しています。

スタートアップランプレート

MAX8973Aは、選択可能なスタートアップランプレートを備えています。スタートアップランプレートはデフォルトで20mV/μsに設定されており、必要に応じて200mV/μsのレートを選択することもできます。表3に示すとおり、

表1. MAX8973Aのイネーブルの真理値表

EN (INPUT)	EN (BIT)	REGULATOR STATUS
0	0	Off
0	1	On
1	0	On
1	1	On

表2. BIASENとスタートアップ遅延の真理値表

BIASEN (PIN)	BIASEN (BIT)	STARTUP DELAY (μs)	I _{CC} (μA)
0	0	240	2
0	1	20	34
1	0	20	34
1	1	20	34

CONTROL1レジスタのRAMP[1:0]ビットでスタートアップランプレートを選擇します。RAMP[1:0]ビットは、スタートアップランプレートに加えてDVSランプレートも制御します。RAMP[1:0]ビットのデフォルト設定は0b10です。この設定は、20mV/μsのスタートアップランプレートと50mV/μsのDVSランプレートを選擇します。

高速のスタートアップランプレートを選擇しても、大きな出力容量を充電する場合は、ピークインダクタ電流制限によって実際の出力電圧が200mV/μsよりも低いレートで変化することがあります。

レギュレータのディセーブル(アクティブ放電)

MAX8973Aステップダウンレギュレータをディセーブルするには、ENロジック入力をローに駆動し、ENビットを0に設定します。表1に、コンバータのイネーブルとディセーブルに関する真理値表を示しています。MAX8973Aは、出力容量を放電するために2種類のメカニズムを備えています。抵抗性放電路では、コンバータのディセーブル時にMAX8973Aの出力容量を放電します。抵抗性放電路は、CONTROL2レジスタのAD_ENビットによって選擇されます。抵抗性放電路に加えて、ソフトストップ機能は出力容量から能動的にエネルギーを引き出し、このエネルギーを入力容量とバッテリーに戻して再利用します。ソフトストップ機能は、CONTROL1レジスタのFSR_ENビットを0に設定することによってイネーブルされます。ソフトストップ機能は、CONTROL1レジスタのRAMP[1:0]ビットで選擇されたスルーレートで出力容量を放電します。表4に、アクティブ放電機能の真理値表を示しています。

表3. MAX8973AのスタートアップランプレートとDVSランプレート

RAMP[1:0]	STARTUP RAMP RATE (mV/μs)	DVS RAMP RATE (mV/μs)
0b00	20	12.5
0b01	20	25
0b10	20	50
0b11	200	200

表4. MAX8973Aの出力放電選擇の真理値表

AD_EN (BIT)	FSR_EN (BIT)	OUTPUT DISCHARGE METHOD
0	0	Soft-stop only
0	1	None (load current only)
1	0	Soft-stop and resistive
1	1	Resistive only

ソフトストップ(能動的なエネルギー回収)

MAX8973Aは、このレギュレータのディセーブル時に出力容量を能動的に放電するソフトストップメカニズムを備えています。CONTROL1レジスタのFSR_ENビットを0に設定すると、コンバータのディセーブル時にソフトストップ機能がイネーブルされます。ソフトストップは、CONTROL1レジスタのRAMP[1:0]ビットで選択されたレートでターゲット出力電圧を引き下げます。表5は、選択可能なソフトストップスルーレートの一覧です。図3は、ソフトストップの動作を図示したものです。高速のソフトストップランプレートを選択しても、大きな出力容量を放電する場合は、負のインダクタ電流制限によって実際の出力電圧が200mV/μsよりも低いレートで減少することがあるため注意してください。

ソフトストップ機能では、コンバータをブーストレギュレータとして動作させて出力容量を放電し、出力容量に蓄積されたエネルギーを入力容量に送り込むことによって、スイッチングコンバータトポロジを活用しています。ソフトストップ機能は、出力電圧が放電して100mV (typ)になるまで、MAX8973Aをイネーブルに保ちます。出力電圧が100mV (typ)になると、抵抗性放電が始まり、出力容量をGNDまで完全に放電します。

表5. MAX8973Aのソフトストップスルーレート

RAMP[1:0]	SOFT-STOP RAMP RATE (mV/μs)
0b00	20
0b01	20
0b10	20
0b11	200

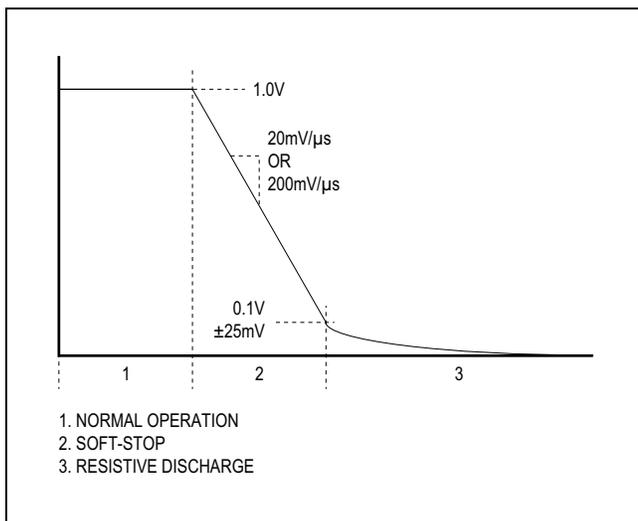


図3. ソフトスタート時の放電

負のインダクタ電流制限は、ソフトストップ機能がアクティブの間、内部スイッチを過剰な電力損失から保護します。大きな出力容量を放電するときは、表5のRAMP[1:0]で設定された値よりも、負の電流制限によって放電のランプレートが決まる場合があります。

抵抗性放電

CONTROL2レジスタでAD_EN = 1に設定すると、MAX8973Aレギュレータのディセーブル時に100Ωのプルダウン抵抗がOUTからAGNDに接続されます。AD_EN = 0でソフトストップがイネーブルでない場合、MAX8973Aの出力は負荷電流によって決まるレートでGNDにドリフトします。

出力電圧の設定

MAX8973Aは、出力電圧の設定用にV_{OUT}とV_{OUT_DVS}の2つのレジスタを備えています。これによって柔軟に出力電圧を設定することができます。DVS入力を一定のロジック状態に結び付けてV_{OUT} (またはV_{OUT_DVS})レジスタに繰り返し書き込みを行うか、またはDVSロジック入力を2つのレジスタ間で切り替えつつ両方のレジスタに書き込みを行うことが可能です。どちらの方式を使用して出力電圧を変更するかにかかわらず、出力電圧は表3に示したRAMP[1:0]の設定値に基づいて新しいターゲット電圧まで変化します。

DVS

MAX8973Aの出力電圧は、DVSロジック入力をハイまたはローに駆動することによって、2種類の電圧設定の間で切り替えられます。DVSロジック入力では、デフォルトのパワーアップ電圧を選択するか、またはシリアルインタフェースから設定したターゲット電圧の間で動的に出力電圧設定を変更します。

デフォルトのパワーアップ電圧

MAX8973Aのデフォルト出力電圧は、このステップダウンレギュレータをイネーブルする前にDVSロジック入力をハイまたはローに駆動することによって選択されます。表6は、MAX8973Aのデフォルト電圧設定を示しています。

MAX8973Aのパワーアップ電圧は、EN端子をハイに駆動するか、またはENビットを1に設定してこのステップダウンレギュレータをイネーブルする前に、新しいターゲット出力電圧をV_{OUT}レジスタ(DVS = AGND)やV_{OUT_DVS}レジスタ(DVS = V_{DD})に書き込むことによって変更可能です。

表6. デフォルトの出力電圧設定

PART NUMBER	DEFAULT V _{OUT}	
	DVS = AGND	DVS = V _{DD}
MAX8973A	1.0V	1.2V

スルーレート制御

MAX8973Aでは、ターゲットコード間の出力電圧遷移に対して4つの設定可能なランプレートが用意されています。新しいターゲット電圧が現在の出力電圧よりも高い場合、出力電圧は常に能動的に引き上げられます。表3は、CONTROL1レジスタのRAMP[1:0]ビットで設定されるDVSランプレートの4つの設定を示しています。

新しいターゲット電圧が現在の出力電圧よりも低い場合、ランプダウン応答はFSR_ENビットとFPWM_ENビットの状態によって決まります。下の表7は、ターゲット出力電圧を引き下げるコマンドに対するMAX8973Aの応答をまとめたものです。

制御方式

3相ステップダウンレギュレータのMAX8973Aは、軽～中負荷の下ではパルススキップ方式で動作し、中～重負荷の下では2MHzの固定周波数スイッチング方式に移行します。また、MAX8973Aは、CONTROL1レジスタのFPWM_ENビットを1に設定して構成した場合、あらゆる負荷の下で強制PWMモードによる動作が可能です。

動作モード(スキップ、中間、CCM)

軽負荷の下では、MAX8973Aは回転位相拡散を使用してスキップモードで動作します。回転位相拡散の下では、負荷にかかわらず3つの相すべてが交互に連続して切り替わります。負荷電流が増大すると、スイッチングパルスの周波数が高くなります。負荷電流が引き続き増大すると、3つの相すべてのオン時間がオーバーラップし始めますが、個別に考えた場合、各相では効率を最大限に引き上げるためにパルススキップが続行されます。負荷電流がなおも増大すると、インダクタ電流が急激に増大し、CCM動作へのシームレスな移行が発生します。MAX8973Aは、CCMモードで動作している間、各相2MHzの固定スイッチング周波数で切り替わります。CCM動作に入ると、負荷電流が減少していずれかの相のインダクタ電流によってゼロクロスがトリガされた場合、ステップダウンレギュレータはシームレスにパルススキップモードに復帰します。

表7. ターゲットV_{OUT}の減少に対するDVSの応答

FSR_EN	FPWM_EN	DVS RESPONSE
0	0	Output ramps down at rate set by RAMP[1:0]
0	1	Output ramps down at rate set by RAMP[1:0]
1	0	Output decays at rate set by load current and output capacitance
1	1	Output ramps down at rate set by RAMP[1:0]

スキップモードと中間モードでは、インダクタ電流パルスの振幅が一定です。CCMモードでは、スイッチング周波数が一定で、ピーク間インダクタリップル電流はデューティサイクルとインダクタンスに依存します。

動作モード(FPWM)

MAX8973Aステップダウンレギュレータは、CONTROL1レジスタのFPWM_ENビットを1に設定することによって、負荷電流にかかわらず強制PWMモードで動作します。強制PWMモードでは、MAX8973Aはあらゆる負荷条件において各相2MHzの固定周波数で切り替わります。強制PWMモードでは、軽負荷条件下で負のインダクタ電流が許容されます。

電流検出

MAX8973Aでは、制御ループ安定化のために損失のない電流検出方式を使用します。インダクタンスとインダクタのDCRの時定数は、内部RCネットワークに整合されています。MAX8973Aは、出荷時に特定のインダクタンスとDCR範囲で最適に調整されています。MAX8973Aの各バージョンに最適なインダクタパラメータの一覧については、表8を参照してください。

CONTROL2レジスタのINDUCTOR[1:0]ビットは、インダクタ電流の検出に使用される内部RCネットワークによって生成された電流検出信号の利得とスロープ補償に影響を与えます。注：コンバータが動作している間は、INDUCTOR[1:0]の設定を変更しないでください。

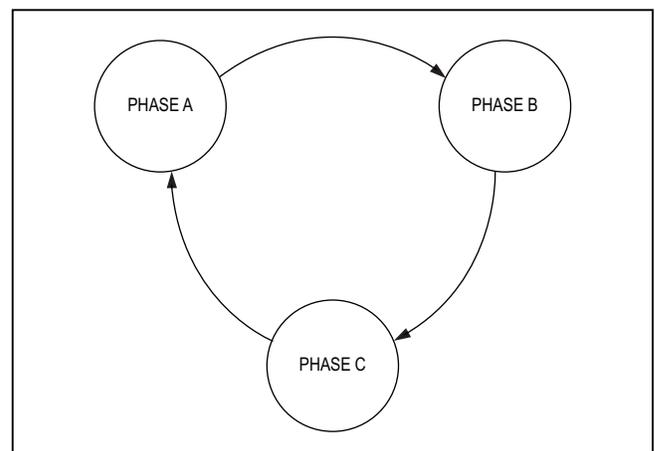


図4. 回転位相拡散アルゴリズム

表8. MAX8973Aのインダクタパラメータ

PART NUMBER	L (μH)	DCR (mΩ)
MAX8973A	0.68	27

最大出力電流

MAX8973Aの最大出力電流は、多くのパラメータによって影響されます。ワーストケースの最大出力電流を算定するには、次の式を使用します。

$$I_{OUTMAX} = N \times (PLIM - (V_{IN} - V_{OUT}) \times \frac{V_{OUT}}{2 \times L \times V_{IN} \times f})$$

ここで、N = 3 (相の数)、PLIM = 最小ピーク電流リミット、 V_{IN} = 最高入力電圧、 V_{OUT} = 最高出力電圧、L = 期待される最小インダクタンス、f = 最低スイッチング周波数です。

過負荷保護と短絡保護

MAX8973Aは、各相のピーク電流制限によって過負荷から保護されています。MAX8973Aの出力に過負荷が印加された場合、各相のインダクタ電流の増大を電流リミットまでに抑えて出力のレギュレーションを維持します。

MAX8973Aは出力の短絡から保護されています。出力が短絡した場合、各相のインダクタ電流はピーク電流リミットまで増大し、このリミットでハイサイドMOSFETがターンオフします。 V_{OUT} がターゲットの75%を下回る場合は、インダクタ電流がNMOS電流リミットに減少するまでハイサイドはオフのままです。このリミットに達すると、ハイサイドは再びターンオン可能になります。これによって、インダクタ電流が無制限に増大するのを防ぐとともに、デバイスの供給可能な出力電力を削減して電力損失を抑制します。MAX8973Aは、出力の短絡時に自動的にオフになりません。短絡が取り除かれた場合、MAX8973Aの出力はターゲット電圧に戻り、通常の動作が再開されます。

高速過渡応答(ETR)

MAX8973Aは、ソフトウェアによってイネーブルされる高速過渡応答回路を備えています。高速過渡応答は、3つの相すべてを一時的に同期させ、位相が120°ずれた状態で動作した場合に可能な通常のレートよりも速く総インダクタ電流を変化させることによって、大負荷ステップ中の電圧ドループを抑制します。高速過渡応答ディテクタは、2つの選択可能な感度設定を備えています。これらの設定では、ETR回路をトリガする負荷トランジェント中の出力電圧のスルーレートを選択します。ETRディテクタの感度は、CONTROL2レジスタのCKADV[1:0]ビットによって設定されます。表9はETRの設定をまとめたものです。

表9. 高速過渡応答の設定

CKADV[1:0]	Sensitivity	$V_{OUT} \Delta V/\Delta t$
00	High	75mV/ μ s
01	Low	150mV/ μ s
10	High	75mV/ μ s
11	Off	N/A

リモート検出

MAX8973Aは、負荷ポイントにおける出力電圧の差動リモート検出機能を備えています。差動リモート検出は、MAX8973Aの出力から負荷ポイントまで大電流を流すトレース全体にわたって電圧降下を補償します。差動リモート検出は、CONTROL1レジスタのSNSENビットに1を書き込むことによってイネーブルされます。

過熱保護

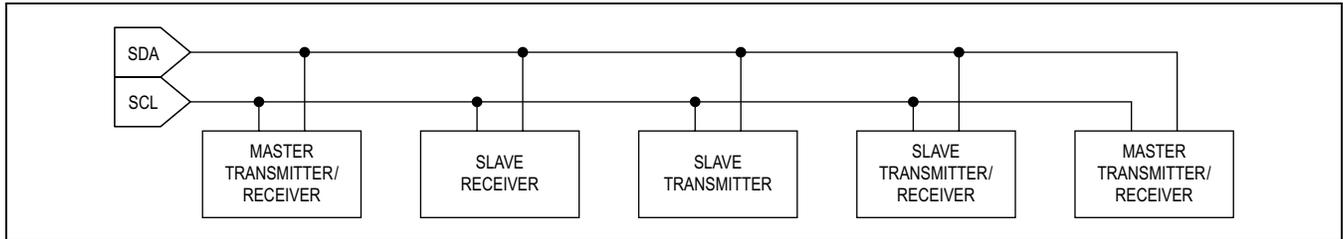
MAX8973Aは、内蔵温度センサーによって熱過負荷から保護されています。チップ温度が160°Cに達した場合、MAX8973Aステップダウンレギュレータはただちにオフになります。チップ温度が20°Cだけ下がると、このステップダウンレギュレータは再始動します。

I²Cインタフェース

MAX8973Aステップダウンレギュレータは、I²C 3.0対応(3.4MHz)のシリアルインタフェースを備えています。この2線式シリアルインタフェースは、各1本の双方向シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成されています。MAX8973Aは、マスターに依拠してクロック信号を生成するノーマルモードではスレーブ専用デバイスとして動作します。MAX8973Aは、0Hz~3.4MHzのSCLクロックレートをサポートしています。I²Cはオープンドレインバスであるため、SDAとSCLにプルアップが必要です。必要に応じてSDAおよびSCLと直列に抵抗(24 Ω)を追加して、バスライン上の高電圧スパイクからデバイスの入力を保護します。直列抵抗には、バス信号のクロストークやアンダーシュートを最小限に抑える効果もあります。

I²Cインタフェースの特長

- I²Cリビジョン3.0対応のシリアル通信チャネル
 - 0Hz~100kHz (標準モード)
 - 0Hz~400kHz (ファーストモード)
 - 0Hz~1MHz (ファーストモードプラス)
 - 0Hz~3.4MHz (高速モード)
- I²Cクロックストレッチングを利用しない

図 5. I²C システムの例

I²Cシステムの構成

I²Cバスはマルチマスターバスです。バスに接続可能なデバイスの最大数は、バス容量によってのみ制限されます。

図5は、標準的なI²Cシステムの例を示しています。I²Cバスにデータを送信するバス上のデバイスは、トランスミッタと呼ばれます。バスからデータを受信するデバイスはレシーバと呼ばれます。データ転送を開始し、データ転送制御用のSCLクロック信号を生成するデバイスは、マスターです。マスターによってアドレス指定されるデバイスは、すべてスレーブとみなされます。MAX8973AのI²C対応のインタフェースがノーマルモードで動作していれば、それらのインタフェースはI²Cバス上のスレーブであり、トランスミッタとレシーバのどちらにもなることができます。

I²Cインタフェースの電源

MAX8973AのI²Cインタフェースは、外部供給された電源レール(図1のV_{DD})を電源とします。V_{IN}をいったん切っただけで、I²Cレジスタはリセットされます。

I²Cデータ転送

各SCLクロックサイクル中に1データビットが転送されます。SDAのデータは、SCLのクロックパルスがハイの間は安定している必要があります。SCLがハイの間に生じるSDAの変化は制御信号です。

各送信シーケンスは、START (S)条件とSTOP (P)条件によって区切られます。各データパケットは9ビット長で、8ビットのデータの後にアクノリッジビットが続きます。

データはMSBから順に転送されます。

I²CのSTART条件とSTOP条件

シリアルインタフェースが非アクティブのとき、SDAとSCLはアイドルハイです。マスターデバイスがSTART条件を発行することによって通信を開始します。START (S)条件は、SCLがハイの間にSDAをハイからローに遷移させます。STOP (P)条件は、SCLがハイの間にSDAをローからハイに遷移させます(図6)。

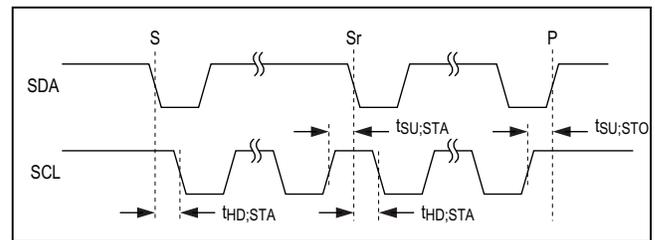


図 6. START 条件と STOP 条件

マスターからのSTART条件は、MAX8973Aへの送信の開始を知らせます。マスターは、非アクノリッジとその後にSTOP条件を発行することによって転送を終了します。STOP条件はバスを解放します。一連のコマンドをスレーブに発行する場合、マスターはバスの制御を維持するために、STOPコマンドではなくREPEATED START (Sr)コマンドを発行することができます。一般的に、REPEATED START コマンドは機能的に通常のSTARTコマンドと同じです。

STOP条件または不正なアドレスが検出されると、MAX8973Aは、次のSTART条件まで、内部でSCLをシリアルインタフェースから切断し、デジタルノイズとフィードスルーを最小限に抑えます。

I²Cアクノリッジビット

I²CバスマスターとMAX8973A (スレーブ)は、両方ともデータ受信時にアクノリッジビットを生成します。アクノリッジビットは、各9ビットのデータパケットの最終ビットです。アクノリッジ(A)を生成するには、アクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジの前に受信側デバイスがSDAをローにプルして、そのクロックパルスがハイの間、SDAをローに維持する必要があります(図7)。

非アクノリッジ(nA)を生成する場合は、アクノリッジ関連のクロックパルスの立上りエッジより前に受信側デバイスがSDAをハイにプル可能にして、そのクロックパルスがハイの間、SDAをハイのままにします。

アクノリッジビットを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーの場合やシステム障害が発生した場合に起こります。データ転送に失敗した場合、バスマスターは後で通信を再試行する必要があります。

I²Cスレーブアドレス

MAX8973Aは、7ビットのスレーブアドレス指定を実装しています。I²Cバスマスターは、START条件を発行した後、スレーブアドレスを送信することによってスレーブデバイス(MAX8973A)との通信を開始します。表10に示すように、MAX8973Aは単一のスレーブアドレスに回答します。MAX8973Aは、表10に示したアドレス以外のアドレスはアクノリッジしません。

図8は、スレーブアドレスのバイト形式の例を示しています。ここに示したように、スレーブアドレスのバイトは、7つのアドレスビットと1つの読取り/書込みビット(R/W)で構成されます。表10に示した出荷時設定済みスレーブアドレスを受信した後、MAX8973Aは9番目のクロックサイクル中にSDAをローにプルすることによってアクノリッジを発行します。

I²Cクロックストレッチ

I²Cバスのクロック信号生成は、通常、マスターデバイスによって行われます。I²Cの仕様では、低速なスレーブデバイスがクロックラインをローレベルに維持することによってクロック信号を変更可能です。スレーブデバイスがクロックラインをローレベルに維持するプロセスは、クロックストレッチングと呼ばれます。MAX8973Aは、クロックストレッチをサポートしていません。

I²Cジェネラルコールアドレス

MAX8973Aは、I²C仕様のジェネラルコールアドレスを実装していません。ジェネラルコールアドレス(0b0000_0000)を確認した場合、MAX8973Aは非アクノリッジ(nA)を発行します。

表10. MAX8973_のI²Cスレーブアドレス

PART NUMBER	SLAVE ADDRESS WRITE	SLAVE ADDRESS READ
MAX8973A	0x36	0x37

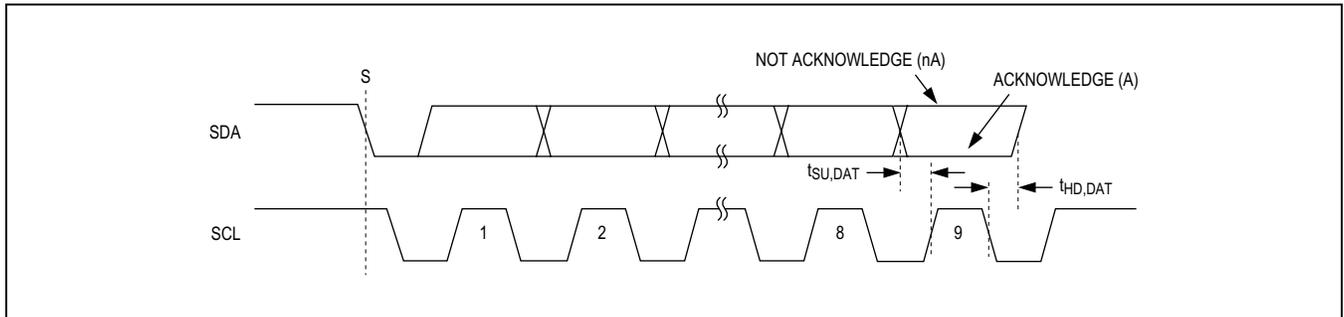


図7. I²Cのアクノリッジ(A)と非アクノリッジ(nA)

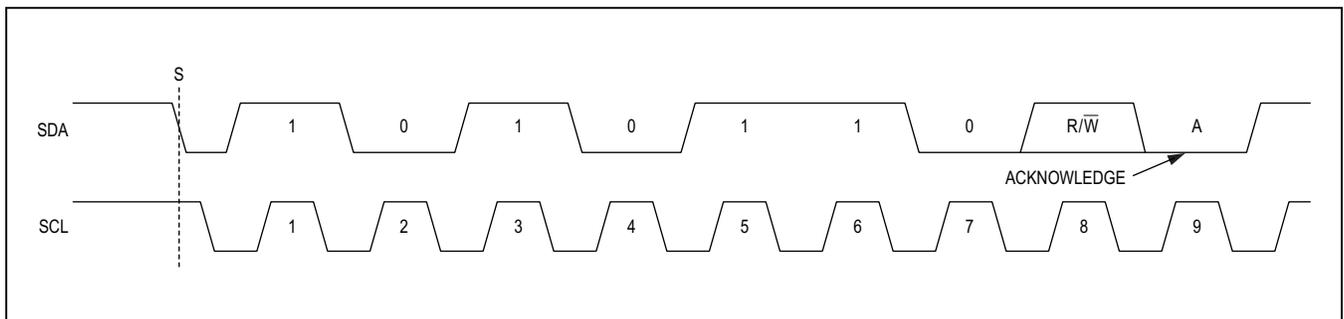


図8. スレーブアドレスバイトの例

I²C通信速度

MAX8973Aは、リビジョン3.0のI²C仕様で規定された4つの通信速度範囲すべてとコンパチブルです。

- 0Hz~100kHz (標準モード)
- 0Hz~400kHz (ファーストモード)
- 0Hz~1MHz (ファーストモードプラス)
- 0Hz~3.4MHz (高速モード)

標準モード、ファーストモード、ファーストモードプラスの動作には、特別なプロトコルが一切不要です。この範囲でバス速度を変更する際の主な考慮事項は、バス容量とプルアップ抵抗の組み合わせです。バス容量とプルアップ抵抗によって生成される時定数(C x R)が大きくなると、バスの動作が低速化します。したがって、バス速度を引き上げる場合は、プルアップ抵抗を削減して妥当な時定数を維持する必要があります。プルアップ抵抗の選択に関する詳細な手引きについては、I²Cリビジョン3.0仕様の「プルアップ抵抗のサイジング」の項を参照してください。一般に、バス容量が200pFの場合は、100kHzのバスに5.6kΩのプルアップ抵抗、400kHzのバスに約1.5kΩのプルアップ抵抗、1MHzのバスに680Ωのプルアップ抵抗がそれぞれ必要です。オープンドレインバスがローの場合、プルアップ抵抗は電力損失を生じ、値の小さいプルアップ抵抗ほど多くの電力損失をもたらします(V²/R)。

高速モードの動作には、いくらか特別な考慮が必要です。すべての考慮事項の一覧については、I²C 3.0仕様を参照してください。MAX8973Aに関する主な考慮事項は次のとおりです。

- I²Cバスマスターは、電流ソースのプルアップを使用して信号の立上り時間を短縮します。
- I²Cスレーブは、SDAラインとSCLラインで別の入力フィルタセットを使用して高いバス速度に対応する必要があります。
- 通信プロトコルでは、高速のマスターコードを利用する必要があります。

MAX8973Aの入力フィルタは、起動時と各STOP条件の後に、標準モード、ファーストモード、またはファーストモードプラス(0Hz~1MHz)用に設定されます。高速モード用

に入力フィルタを切り替えるには、「[HSモードの設定による最高3.4MHzの動作](#)」の項で説明する高速マスターコードプロトコルを使用します。

I²C通信プロトコル

MAX8973Aは、内蔵レジスタの書込みと読取りの両方をサポートしています。MAX8973Aでは、単一レジスタへの書込み、レジスタ-データペアを使用した複数バイトの書込み、単一レジスタからの読取り、および連続するレジスタからの読取りが可能です。

単一レジスタへの書込み

図9は、I²Cマスターデバイスが1バイトのデータをMAX8973Aに書き込む際のプロトコルを示しています。このプロトコルは、SMBus仕様のバイト書込みプロトコルと同じです。

write byteプロトコルは、以下のとおりです。

- 1) マスターがSTART (S)コマンドを送出します。
- 2) マスターが、7ビットのスレーブアドレスと1ビットのwriteビット(R/W = 0)を送出します。
- 3) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 4) マスターが8ビットのレジスタポインタを送出します。
- 5) スレーブがレジスタポインタをアクノリッジします。
- 6) マスターがデータバイトを送出します。
- 7) スレーブが新しいデータで更新します。
- 8) スレーブがデータバイトをアクノリッジするか、またはアクノリッジしません。SDA上の次の立上りエッジでデータバイトがターゲットレジスタにロードされ、データはアクティブになります。
- 9) マスターがSTOP (P)条件またはREPEATED START (Sr)条件を送信します。Pを発行すると、バス入力フィルタが1MHz以下の動作用に設定されます。Srを発行した場合、バス入力フィルタは現在の状態のままです。

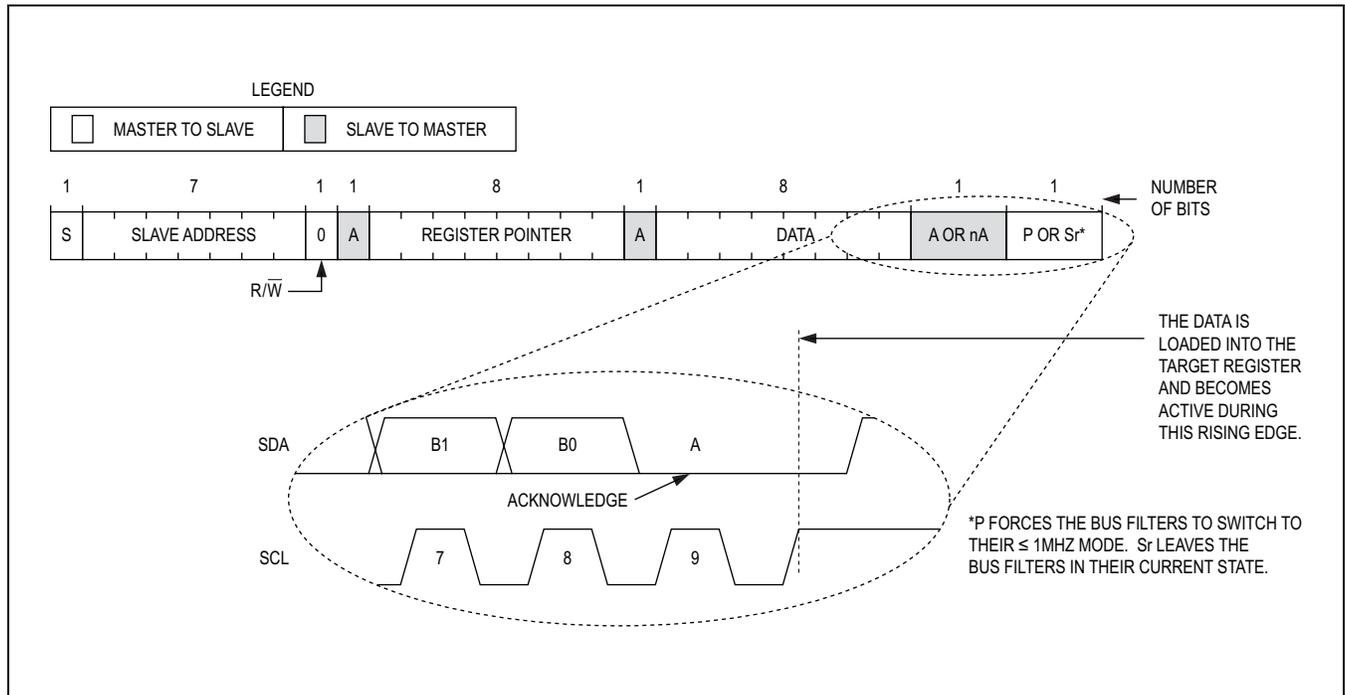


図9. バイト書き込みプロトコルによる単一レジスタへの書き込み

連続するレジスタへの書き込み

図10は、連続するレジスタに書き込む際のプロトコルを示しています。このプロトコルはバイト書き込みプロトコルと似ていますが、マスターが最初のデータバイトを送信した後に書き込みを続行する点が異なります。書き込みを完了すると、マスターはSTOP (P)またはREPEATED START (Sr)を発行します。このプロトコルは、初期化中にデバイスを設定する際に推奨されます。連続するレジスタに書き込む際のプロトコルは、次のとおりです。

- 1) マスターがSTARTコマンド(S)を送出します。
- 2) マスターが、7ビットのスレーブアドレスと1ビットのwriteビット($R/\bar{W} = 0$)を送出します。
- 3) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 4) マスターが8ビットのレジスタポインタを送出します。
- 5) スレーブがレジスタポインタをアクノリッジします。
- 6) マスターがデータバイトを送出します。
- 7) スレーブがデータバイトをアクノリッジします。SDA上の次の立上りエッジでデータバイトがターゲットレジスタにロードされ、データはアクティブになります。
- 8) マスターが必要とする回数だけステップ6~7が繰り返されます。
- 9) アクノリッジに関連した最後のクロックパルス中に、マスターがアクノリッジまたは非アクノリッジを発行することがあります。
- 10) マスターがSTOP条件(P)またはREPEATED START条件(Sr)を送出します。Pを発行すると、バス入力フィルタが1MHz以下の動作用に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままです。

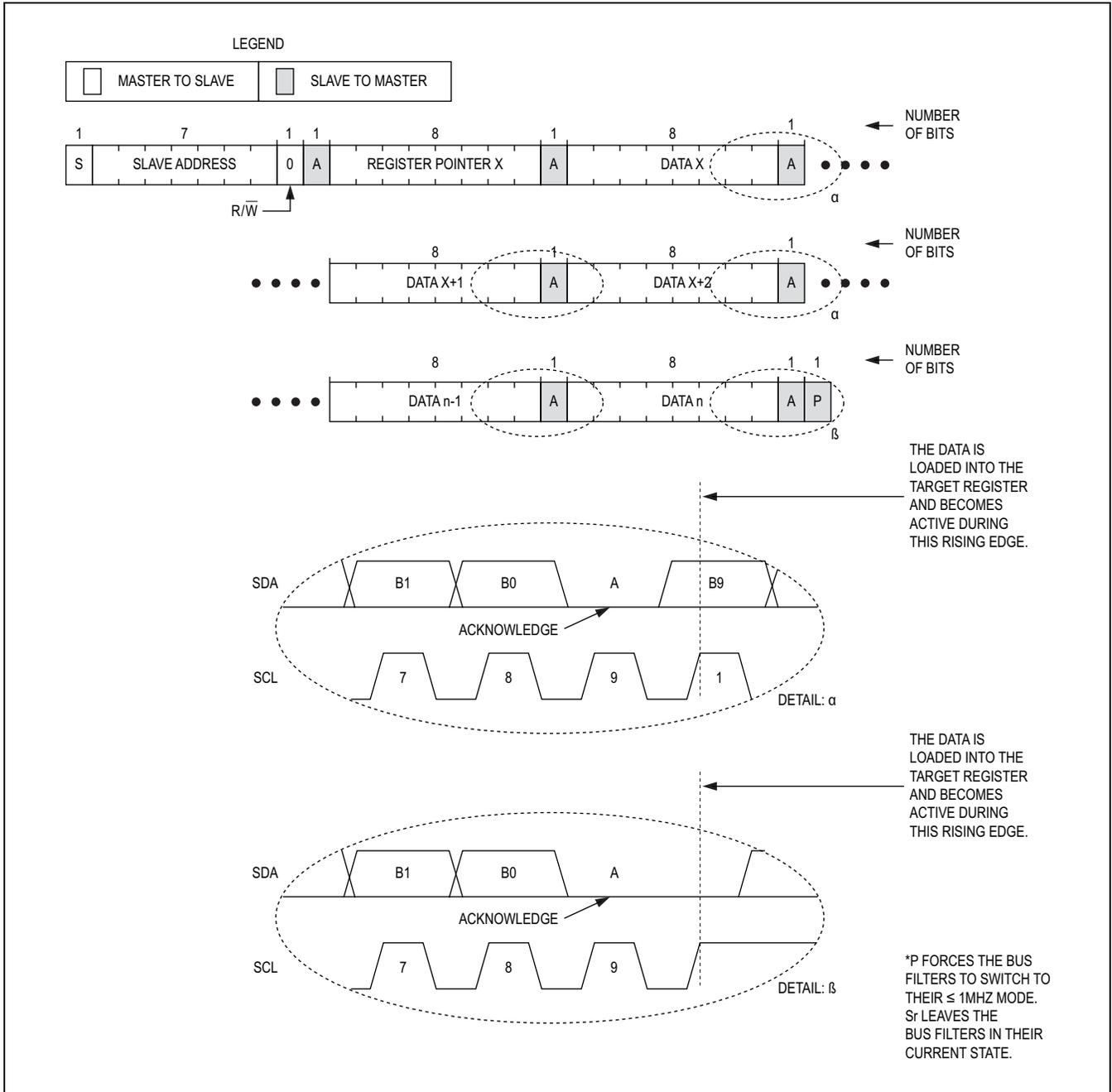


図 10. 連続するレジスタ X ~ N への書込み

レジスタ-データペアを使用した複数バイトの書込み

図11は、I²Cマスターデバイスがレジスタ-データペアを使用して複数のバイトをMAX8973Aに書き込む際のプロトコルを示しています。このプロトコルによって、I²Cマスターデバイスはスレーブを1回のみアドレス指定した後、データを複数のレジスタに任意の順序で送信することができます。レジスタへの書込みは、マスターがSTOP条件を発行するまで続けることが可能です。複数バイトのレジスタ-データペアのプロトコルは、次のとおりです。

- 1) マスターがSTART (S)コマンドを送出します。
- 2) マスターが、7ビットのスレーブアドレスと1ビットのwriteビット(R/W = 0)を送出します。
- 3) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 4) マスターが8ビットのレジスタポインタを送出します。
- 5) スレーブがレジスタポインタをアクノリッジします。
- 6) マスターがデータバイトを送出します。
- 7) スレーブがデータバイトをアクノリッジします。SDA上の次の立上りエッジでデータバイトがターゲットレジスタにロードされ、データはアクティブになります。
- 8) マスターが必要とする回数だけステップ5~7が繰り返されます。
- 9) マスターがSTOP (P)条件を送出します。STOPに関連したSDAエッジの立上りエッジ中に、書込み済みのデータバイトがターゲットレジスタにロードされ、アクティブになります。

単一レジスタからの読取り

図12は、I²Cマスターデバイスが1バイトのデータをMAX8973Aから読み取る際のプロトコルを示しています。このプロトコルは、SMBus仕様のバイト読取りプロトコルと同じです。

バイト読取りプロトコルは次のとおりです。

- 1) マスターがSTART (S)コマンドを送出します。
- 2) マスターが、7ビットのスレーブアドレスと1ビットのwriteビット(R/W = 0)を送出します。
- 3) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 4) マスターが8ビットのレジスタポインタを送出します。
- 5) スレーブがレジスタポインタをアクノリッジします。
- 6) マスターがRepeated STARTコマンド(Sr)を送出します。
- 7) マスターが7ビットのスレーブアドレスと1ビットのreadビット(R/W = 1)を送出します。
- 8) アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートする。
- 9) アドレス指定されたスレーブがレジスタポインタで指定された位置から8ビットのデータをバス上に送ります。
- 10) マスターが非アクノリッジ(nA)を送出します。
- 11) マスターがSTOP条件(P)またはREPEATED START (Sr)条件を送出します。Pを発行すると、バス入力フィルタが1MHz以下の動作に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままです。

MAX8973AがSTOP (P)を受信するたびに、そのレジスタポインタが0x00に設定されることに注意してください。STOP (P)が発行された後にレジスタ0x00を読み取る場合は、上記アルゴリズムのステップ1~6をスキップすることができます。

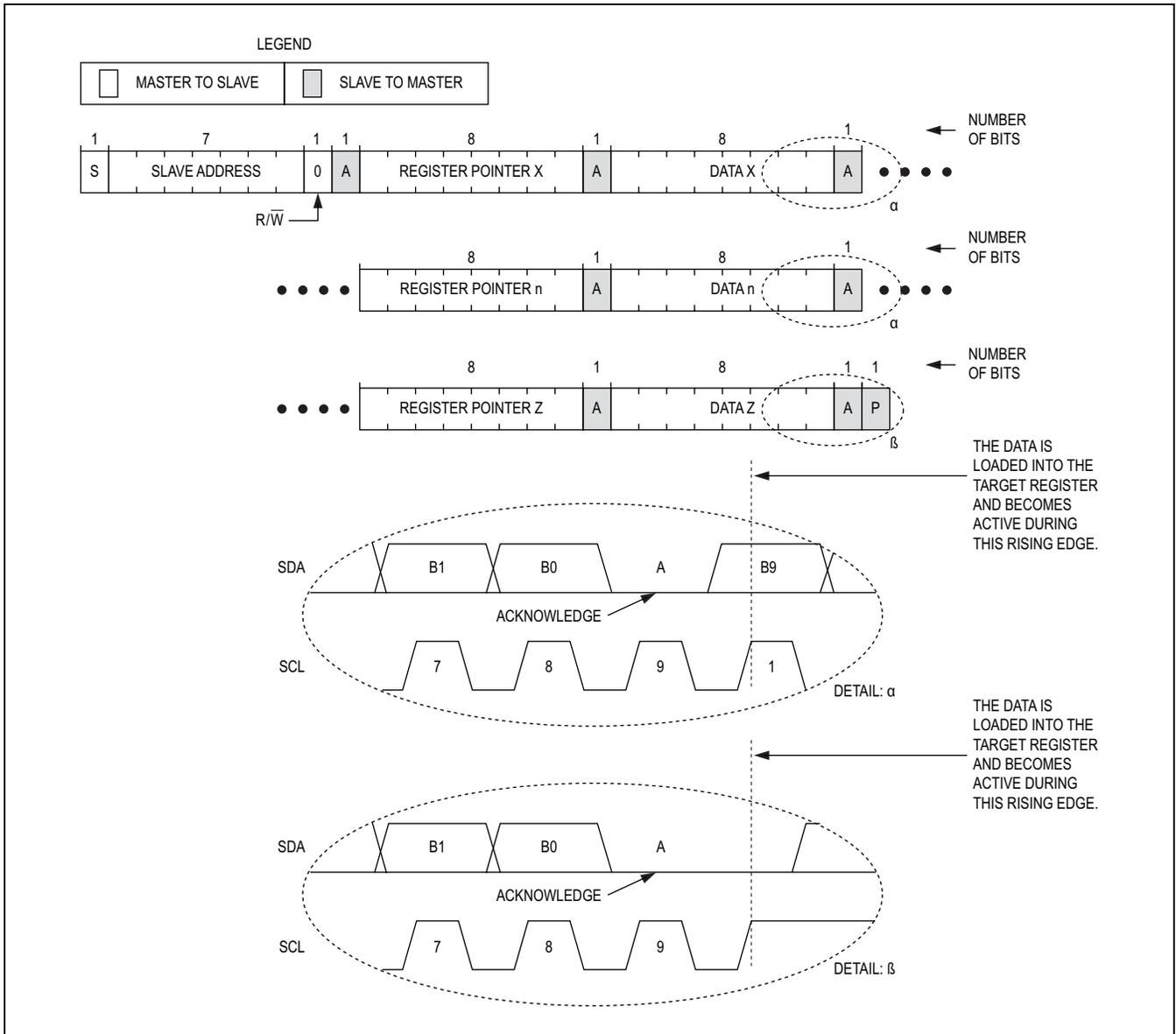


図 11. 複数バイトのレジスタ - データペアのプロトコルによる複数レジスタへの書き込み

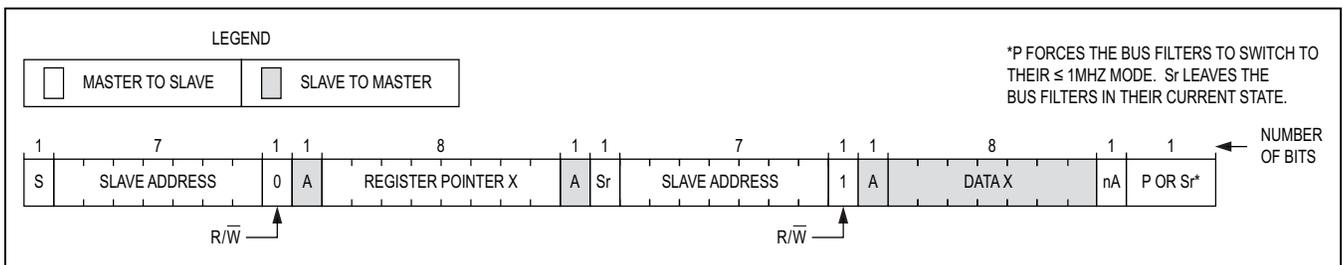


図 12. バイト読取りプロトコルによる単一レジスタからの読取り

連続するレジスタからの読取り

図13は、連続するレジスタから読み取る際のプロトコルを示しています。このプロトコルはバイト読取りプロトコルと似ていますが、マスターがアクノリッジを発行して、さらにデータを求めていることをスレーブに通知する点が異なります。必要なデータをすべて取得すると、マスターは非アクノリッジ(nA)とSTOP (P)を発行して転送を終了します。連続するレジスタから継続的に読み取る際のプロトコルは次のとおりです。

- 1) マスターがSTART (S)コマンドを送出します。
- 2) マスターが、7ビットのスレーブアドレスと1ビットのwriteビット($R/\bar{W} = 0$)を送出します。
- 3) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 4) マスターが8ビットのレジスタポインタを送出します。
- 5) スレーブがレジスタポインタをアクノリッジします。
- 6) マスターがRepeated STARTコマンド(S_r)を送出します。
- 7) マスターが7ビットのスレーブアドレスと1ビットのreadビット($R/\bar{W} = 1$)を送出します。RTCタイムキーピングレジスタを読み取る際は、この処理中に二次バッファにタイムキーピングレジスタのデータがロードされます。

- 8) アドレス指定されたスレーブが、SDAをローにプルしてアクノリッジ(A)をアサートします。
- 9) アドレス指定されたスレーブがレジスタポインタで指定された位置から8ビットのデータをバス上に送出します。
- 10) マスターがアクノリッジ(A)を発行して、さらにデータ受信を求めていることをスレーブに通知します。
- 11) マスターが必要とする回数だけステップ9と10が繰り返されます。最後のデータバイトの後、マスターは非アクノリッジ(nA)を発行して、データ受信の終了を求めていることを通知する必要があります。
- 12) マスターがSTOP (P)条件またはREPEATED START (S_r)条件を送出します。STOP (P)を発行すると、バス入力フィルタが1MHz以下の動作用に設定されます。 S_r を発行した場合、バス入力フィルタは現在の状態のままです。

MAX8973AがSTOP (P)を受信するたびに、そのレジスタポインタが0x00に設定されることに注意してください。STOPが発行された後にレジスタ0x00を読み取る場合は、上記アルゴリズムのステップ1~6をスキップすることができます。

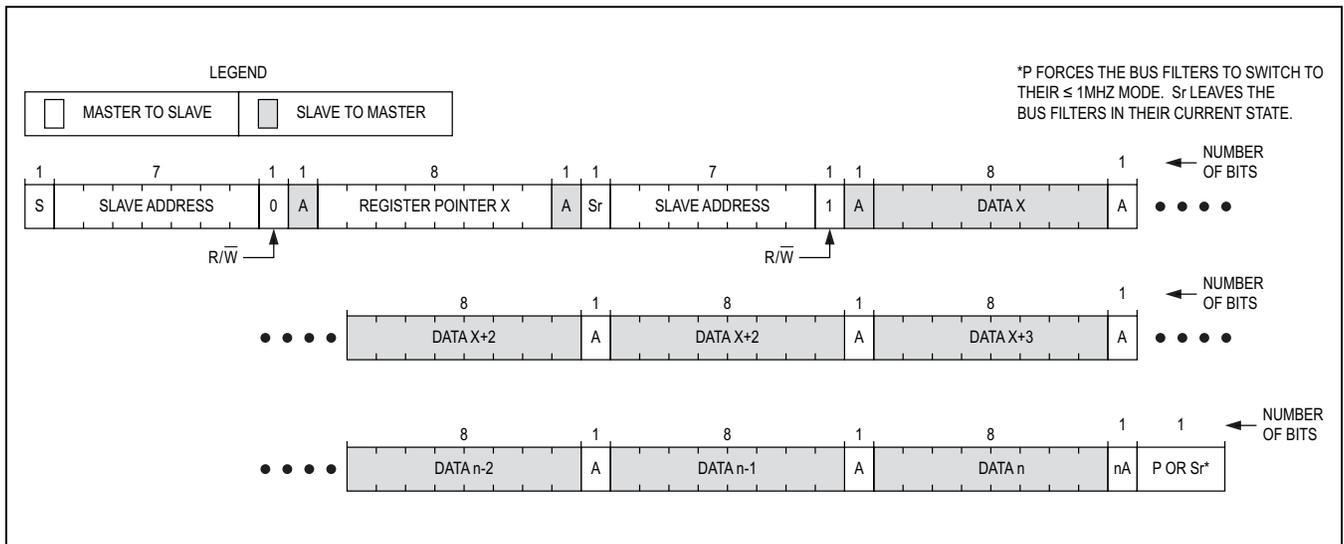


図 13. 連続するレジスタ X ~ N からの継続的な読取り

HSモードの設定による最高3.4MHzの動作

図14は、HSモード動作を設定する際のプロトコルを示しています。HSモード動作では、最高3.4MHzのバス動作速度を実現可能です。HSモード設定のプロトコルは次のとおりです。

- 1) 1MHz以下のバス速度で動作中にプロトコルを開始します。
- 2) マスターがSTARTコマンド(S)を送出します。
- 3) マスターが8ビットのマスターコード0b00001XXXを送出します。ここで、0bXXXは任意ビットです。
- 4) アドレス指定されたスレーブが非アクノリッジ(nA)を送出します。
- 5) これでマスターがバス速度を最高3.4MHzまで引き上げ、任意の読取り/書き込み処理を発行することができます。

マスターはSTOP (P)が発行されるまで、高速な読取り/書き込み処理の発行を続けることができます。STOP (P)を発行すると、バス入力フィルタが1MHz以下の動作用に設定されます。

I²Cウォッチドッグタイマ(WDTMR)

MAX8973Aは、I²Cバスがハングした場合にI²Cステートマシンをリセットする、35msのウォッチドッグタイマを備えています。I²Cウォッチドッグタイマは、CONTROL2レジスタのWDTMRビットに1を書き込むことによってイネーブルされます。

I²Cウォッチドッグタイマがイネーブルの場合、I²C STARTコマンドでタイマーが開始され、SCLの立下りエッジでタイマーがクリアされ、I²C STOPコマンドでタイマーがリセットおよびディセーブルされます。

部品の選択

入力容量

MAX8973Aは、各相に10μFの入力バイパスコンデンサを必要とします。各入力コンデンサは、できる限りデバイスの近くに配置する必要があります。各入力コンデンサの

ケースサイズは、十分な有効容量を確保するとともにLXトレースを入力コンデンサの下に配線可能にするため、0603 (EIA)/1608 (メトリック)以上にします。A相は、INAB (バンプA5)からPGAC (バンプB7とC7)にバイパスされます。B相は、INAB (バンプA4)からPGB (バンプA1、B1、B2)にバイパスされます。C相は、INC (バンプD4とD5)からPGAC (バンプB7とC7)にバイパスされます。

出力容量

MAX8973Aは、コンバータを安定化させ、負荷トランジェントや負荷解放中の出力ドロップや出力上昇の大きさを制限するために、ローカルの出力容量を必要とします。負荷トランジェントイベント中の電圧ドロップを制限するために必要な各相の絶対最小出力容量を計算するには、次の式を使用します。

$$C_{OUT} \geq \frac{(L \times I_{STEP}^2)}{(2 \times V_{DROOP} \times (V_{IN} - V_{OUT}))}$$

ここで、C_{OUT} = 各相の有効出力容量、L = 各相のインダクタンス、I_{STEP} = 各相の過渡負荷ステップ、V_{DROOP} = 負荷ステップ中の電圧ドロップ、V_{IN} = 入力電圧、V_{OUT} = 出力電圧です。この式では、非常に高速なコンバータに必要な理論上の最小容量を計算します。ほとんどの設計では、各相の有効容量が計算値を50%上回れば十分のはずです。

負荷解放中の出力電圧の上昇を計算するには、次の式を使用します。

$$V_{SOAR} = \frac{(L \times I_{STEP}^2)}{(2 \times C_{OUT} \times V_{OUT})}$$

負荷ステップの大きさにかかわらず、各相に少なくとも0805 (EIA)/2012 (メトリック)の22μFのX5Rコンデンサが推奨されます。負荷ポイントに追加の出力容量を配置すれば、過渡応答をさらに改善することができます。リモートの容量が導入された場合は、総ローカル出力容量が総リモート容量の2倍以上になるようにし、MAX8973Aの制御ループがリモート容量によって悪影響を受けないようにします。

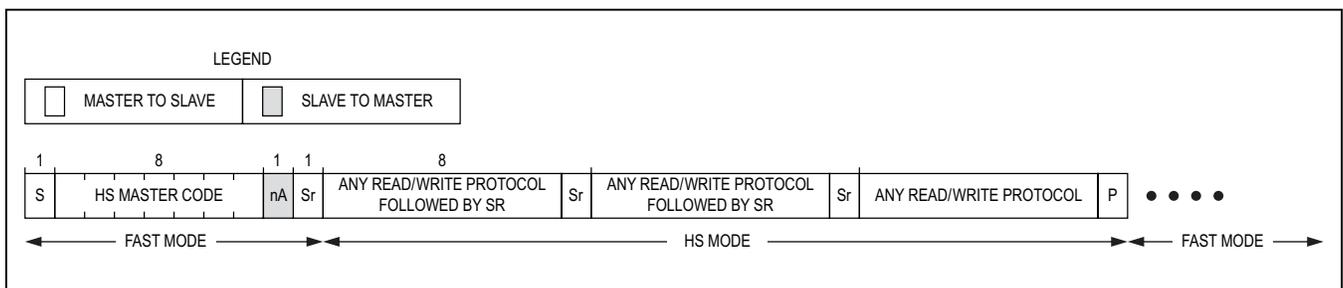


図14. HSモードの設定

インダクタ

MAX8973Aの制御ループは、インダクタのインダクタンスとDCRによって影響されます。MAX8973Aの各バージョンは、出荷時に特定のインダクタンスとDCR向けに調整されています。ここで、DCRはインダクタのDCRと、インダクタから各相の出力コンデンサまでのトレース抵抗を合わせたものとみなされます。インダクタンスとDCRがデータシートの推奨値から逸脱しないようにすることを強く推奨します。表8に、MAX8973Aの各バージョンのインダクタパラメータを示しています。推奨されるインダクタの一覧については、MAX8973のEVキットを参照してください。

MAX8973Aは、能動的にはインダクタ電流を整合しません。相間のインダクタ電流の整合は、主としてインダクタのDCRが互いにどれだけよく整合しているかによって決まります。

インダクタの飽和電流と温度上昇電流の定格も考慮する必要があります。インダクタの飽和電流定格が「[Electrical Characteristics \(電気的特性\)](#)」の表にあるピーク電流リミットの最大値に見合うか、またはこの最大値を超えるようにします。また、インダクタの温度上昇電流定格がMAX8973Aからの最大期待RMS出力電流を超えるようにします。

選択ガイド

表11. MAX8973_の選択ガイド

PART NUMBER	PARAMETER							
	I _{OUT_MAX}	DEFAULT V _{OUT}	DEFAULT V _{OUT_DVS}	L _{IDEAL}	DCR	SOFT-START/STOP RAMP RATE	DVS SLEW RATE	I ² C SLAVE ADDRESS
MAX8973A	9A	1.0V	1.2V	0.68μH	27mΩ	20mV/μs	50mV/μs	0x36/0x37

レジスタ

レジスタマップ

REGISTER ADDRESS	REGISTER NAME	DEFAULT CONTENTS	BIT7 (MSB)	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0 (LSB)
0x00h	VOUT	0x3Fh	EN	VOUT[6:0]						
0x01h	VOUT_DVS	0xDFh	RSVD	VOUT_DVS[6:0]						
0x02h	CONTROL1	0x02h	SNSEN	FPWM_EN	F _{SR_EN}	AD_EN	BIASEN	FREQ SHIFT	RAMP [1:0]	
0x03h	CONTROL2	0x1Dh	RSVD	WDTMR	EN _{PD_EN}	RSVD	CKADV [1:0]		INDUCTOR [1:0]	
0x04h	CHIPID1	0x80h	DIETYPE[7:0]							
0x05h	CHIPID2	0x14h	DASH[3:0]				MASK REV[3:0]			

レジスタの詳細

VOUTレジスタ

Register Name	VOUT
Address	0x00h
Reset Value	MAX8973A: 0x3Fh
Type	Read/write
Special Features	Reset upon V _{CC} UVLO or thermal shutdown

BIT	NAME	説明	DEFAULT
7	EN	コンバータのイネーブル(EN端子との論理和をとる) 0 = コンバータはオフ 1 = コンバータはオン	0b0
6:0	VOUT [6:0]	出力電圧の選択 0x00 = 0.60625V 0x01 = 0.61250V 0x0F = 0.70000V 0x1F = 0.80000V 0x3F = 1.00000V 0x47 = 1.05000V 0x5F = 1.20000V 0x7F = 1.40000V	0b011 1111 (1.0V) (MAX8973A)

VOUT_DVSレジスタ

Register Name	VOUT_DVS
Address	0x01h
Reset Value	MAX8973A: 0xDFh
Type	Read/write
Special Features	Reset upon V _{CC} UVLO or thermal shutdown

BIT	NAME	説明	DEFAULT
7	RSVD	予備	0b1
6:0	VOUT_DVS [6:0]	出力電圧の選択 0x00 = 0.60625V 0x01 = 0.61250V 0x0F = 0.70000V 0x1F = 0.80000V 0x3F = 1.00000V 0x47 = 1.05000V 0x5F = 1.20000V 0x7F = 1.40000V	0b101 1111 (1.2V) (MAX8973A)

CONTROL1レジスタ

Register Name	CONTROL1
Address	0x02h
Reset Value	MAX8973A: 0x02h
Type	Read/write
Special Features	Reset upon V _{CC} UVLO or thermal shutdown

BIT	NAME	説明	DEFAULT
7	SNS_EN	リモート検出のイネーブル 0 = リモート検出回路はディセーブル。 1 = リモート検出回路はイネーブル。	0b0
6	FPWM_EN	強制PWMモードのイネーブル 0 = 負荷電流が変化した場合、自動的にスキップモードからPWMモードに移行。 1 = すべての負荷条件下で強制PWMモード。	0b0
5	FSR_EN	アクティブロー立下りスルーレートのイネーブル 0 = 出力電圧低下時にスルーレート制御回路がアクティブ。 目的のレギュレーション電圧がRAMP[1:0]で設定されたレートで低下し、負のインダクタ電流を使用して出力コンデンサからエネルギーを引き出すことができるように強制PWMモードがイネーブルされます。 1 = 出力電圧低下時にスルーレート制御回路がディセーブル。 目的のレギュレーション電圧がRAMP[1:0]で設定されたレートで低下しますが、出力電圧をプルダウンするために出力コンデンサからエネルギーを引き出すのは外部負荷に任せられます。	0b0
4	AD_EN	出力アクティブ放電のイネーブル 0 = ENがローのときに100Ωの放電抵抗がディセーブル。 1 = ENがローのときに100Ωの放電抵抗がイネーブル。	0b0
3	BIASEN	ステップダウンレギュレータのバイアスによる出力電圧ランプ開始までの時間遅延の短縮をイネーブルします。BIASENビットはBIASEN端子と論理和がとられます。 0 = バックがディセーブルのときにREFやBIASなどがオフ。スタートアップ遅延は240μs (typ)。 1 = バックがディセーブルのときにREFやBIASなどがオン。スタートアップ遅延は20μs (typ)。	0b0
2	FREQSHIFT	周波数シフト 0 = CCMモードとFPWMモードで各相2MHz (typ)のスイッチング周波数。 1 = CCMモードとFPWMモードで各相1.82MHz (typ)のスイッチング周波数。	0b0
1:0	RAMP[1:0]	スルーレートの選択 00 = スタートアップ/ソフトストップスルーレート = 20mV/μs、DVSスルーレート = 12.5mV/μsに設定 01 = スタートアップ/ソフトストップスルーレート = 20mV/μs、DVSスルーレート = 25mV/μsに設定 10 = スタートアップ/ソフトストップスルーレート = 20mV/μs、DVSスルーレート = 50mV/μsに設定 11 = スタートアップ/ソフトストップスルーレート = 200mV/μs、DVSスルーレート = 200mV/μsに設定	0b10

CONTROL2レジスタ

Register Name	CONTROL2
Address	0x03h
Reset Value	MAX8973A: 0x1Dh
Type	Read/write
Special Features	Reset upon V _{CC} UVLO or thermal shutdown

BIT	NAME	説明	DEFAULT
7	RSVD	予備	0b0
6	WDTMR	I ² Cウォッチドッグタイマのイネーブル 0 = SCLウォッチドッグタイマはディセーブル。 1 = SCLウォッチドッグタイマは35msの時間でイネーブル。I ² C START (S)条件によってタイマーが始動します。SCLの立下りエッジでウォッチドッグタイマはクリアされます。I ² C STOP (P)条件によってタイマーは停止してリセットされます。	0b0
5	ENPD_EN	ENプルダウン抵抗のアクティブローイネーブル 0 = ENからAGNDへの500kΩのプルダウン抵抗がイネーブル。 1 = ENからAGNDへの500kΩのプルダウン抵抗がディセーブル。	0b0
4	RSVD	予備	0b1
3:2	CKADV[1:0]	高速過渡応答のイネーブルと感度の選択 00 = 高速過渡応答回路をイネーブルして高感度に設定。 75mV/μsの出力スルーレートでETR応答がトリガされます。 01 = 高速過渡応答回路をイネーブルして低感度に設定。 150mV/μsの出力スルーレートでETR応答がトリガされます。 10 = 高速過渡応答回路をイネーブルして高感度に設定。 75mV/μsの出力スルーレートでETR応答がトリガされます。 11 = 高速過渡応答回路はディセーブル。	0b11
1:0	INDUCTOR [1:0]	スロー補償調整とインダクタDCR検出用のRCS利得 00 = スロー補償とRCS = 公称値 - 30% 01 = 公称値 10 = スロー補償とRCS = 公称値 + 30% 11 = スロー補償とRCS = 公称値 + 60%	0b01

CHIPID1レジスタ

Register Name	CHIPID1
Address	0x04h
Reset Value	0x80h
Type	Read only
Special Features	Read only

BIT	NAME	説明	DEFAULT
7:0	DIETYPE [7:0]	ダイタイプ	0b1000 0000

CHIPID2レジスタ

Register Name	CHIPID2
Address	0x05h
Reset Value	0x14h
Type	Read only
Special Features	Read only

BIT	NAME	説明	DEFAULT
7:4	DASH[3:0]	0001 = MAX8973A	0b0001
3:0	RSVD	予備	0b0100

PCBレイアウトのガイドライン

MAX8973AのWLPパッケージとバンプ構成は、PCBの総面積を小さく抑えることができます。以下では、PCB面積を最小限に抑え、MAX8973Aから最大限の性能を引き出すために、PCBレイアウトの推奨事項について説明します。グラウンドバウンスやノイズを最小限に抑えるには、注意深いPCBレイアウトが重要です。図15は、MAX8973Aに不可欠な電力部品を示したレイアウト例です。図15に示していない部品の配置はそれほど重要ではありません。包括的なPCBレイアウトの例については、MAX8973AのEVキットを参照してください。MAX8973AのPCBをレイアウトする際は、アプリケーションノート1891「[ウエハレベルパッケージ\(WLP\)とその応用](http://japan.maximintegrated.com/ucsp)」(japan.maximintegrated.com/ucsp)のほか、以下に挙げるガイドラインを使用してください。

以下のガイドラインは、重要性の高い項目から低い項目へ、優先度に基づいて配列されています。

- 1) CINAをできる限りINABとPGACの近くに配置します。CINBをできる限りINABとPGBの近くに配置します。CINCをできる限りINCとPGACの近くに配置します。各相の入力コンデンサがハイサイドMOSFETのターンオン時に高di/dtの電流パルスを供給します。高い効率と信頼性を実現するには、電源入力トレースの寄生インダクタンスを最小限に抑えることが不可欠です。
- 2) 各相の出力コンデンサのGND端子から同じ相の入力コンデンサのGND端子までのトレース長を最短に抑えます。これによって、ハイサイドMOSFETの導通時に電流ループの面積が最小限に抑えられます。フィードバックノードなどの敏感な信号すべてを、設計上可能な限り強力な絶縁によってこれらの電流ループから切り離します。
- 3) LX_から各相のインダクタへのトレースインピーダンスと各インダクタから各相の出力コンデンサへのトレースインピーダンスを最小限に抑えます。これによって各電流ループの面積が最小限に抑えられ、LXのトレース抵抗や浮遊容量も極力抑えられて最大限の効率が実現します。フィードバックノードなどの敏感な信号すべてを、設計上可能な限り強力な絶縁によってこれらの電流ループとLXのスイッチング電圧から切り離します。
- 4) 大きなスイッチング電流が流れる電力部品やバンプの直下でPCBの第2層にPGNDプレーンを作成します。これによって、大電流が流れるトレース内の寄生インダクタンスが減少し、PCB内層の信号がPCB表面層のスイッチング波形から遮蔽されます。
- 5) フィードバック端子(OUT)をA相とC相のローカル出力コンデンサに接続します。このOUTとローカル出力コンデンサの接続はできる限りMAX8973Aの近くに配置し、負荷に接続された出力トレースにおける電圧降下の影響を最小限に抑えます。

型番

PART	DEFAULT V _{OUT}	I _{OUT,MAX}	PIN-PACKAGE
MAX8973AEWI+T	1.0V/1.2V	9A	28 WLP

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maximintegrated.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	外形図No.	ランドパターンNo.
28 WLP	W282B3+1	21-0627	アプリケーションノート1891 を参照

COMMON DIMENSIONS

A	0.64 ±0.05
A1	0.19 ±0.03
A2	0.45 REF
A3	0.025 BASIC
b	0.27 ±0.03
D1	1.20
E1	2.40
e	0.40 BASIC
SD	0.20 BASIC
SE	0.00 BASIC

PKG. CODE	E		D		DEPOPULATED BUMPS
	MIN	MAX	MIN	MAX	
W282B3+1	3.20	3.23	2.00	2.03	NONE

NOTES:

- Terminal pitch is defined by terminal center to center value.
- Outer dimension is defined by center lines between scribe lines.
- All dimensions in millimeter.
- Marking shown is for package orientation reference only.
- Tolerance is ±0.02 unless specified otherwise.
- All dimensions apply to PbFree (+) package codes only.
- Front - side finish can be either Black or Clear.

MARKING

1
A
+

AAAA

TOP VIEW

SIDE VIEW

See Note 7

BOTTOM VIEW

SE, E1, e, SD, D1, A, B, C, D, 1, 2, 3, 4, 5, 6, 7, φ_b

Φ 0.05 (M) (S) AB

- DRAWING NOT TO SCALE -

maxim integrated

TITLE: PACKAGE OUTLINE, 28 BUMPS WLP Pkg. 0.40MM PITCH

APPROVAL: DOCUMENT CONTROL NO. 21-0627 REV. A 1/1

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/13	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

49