



#### 概要

高効率スイッチングレギュレータMAX8646は0.6V~ 0.9V x V<sub>IN</sub>の出力電圧で最大6Aの負荷電流を供給し ます。このICは2.35V~3.6Vで動作し、ボード搭載の ポイントオブロード(POL)およびポストレギュレーション のアプリケーションに最適です。総合出力誤差は負荷、 電源、および温度の全範囲で±1%未満です。

MAX8646は外付け抵抗によって設定される500kHz~ 2MHzのスイッチング周波数の範囲で固定周波数の PWMモードの動作を特長とします。高周波動作を行う ため、すべてセラミックコンデンサによる設計が可能 です。高い周波数で動作するため、小型の外付け部品 とすることも可能です。

チップに搭載した低オン抵抗のnMOSスイッチによって、 重負荷での高効率が保証され、重要なインダクタンス が小型化され、個別部品によるソリューションに比べて レイアウト設計が単純な作業となります。単純なレイ アウトとフットプリントによって、新設計の場合に1回 の試作による成功が保証されます。

MAX8646は広帯域幅(>14MHz)の電圧誤差アンプを 備えています。電圧モード制御方式と電圧誤差アンプ のためにタイプⅢの補償方式が可能であり、この方式を 使用してスイッチング周波数の20%までの最大ループ 帯域幅が確保されます。広帯域幅のため、高速応答が 提供され、その結果、小さい容量の出力コンデンサレ か必要とせず、すべてをセラミックコンデンサとする 設計が可能となります。

MAX8646は2つのトライステートロジック入力を備え て9種のプリセットされた出力電圧の内の1つを選択す ることができます。出力電圧をプリセットすることで、 高価な0.1%の抵抗器(複数)を使用せずに±1%の出力電 圧精度を達成します。それに加えて、0.6Vの内部リファ レンスの場合、フィードバック点に2個の外付け抵抗を 使用するか、またはREFIN入力に外付けリファレンス 電圧を印加して出力電圧を任意のカスタム値に設定す ることができます。MAX8646は入力突入電流を減ら すために、コンデンサを用いる可変ソフトスタート時 間を提供します。MAX8646は鉛フリー、4mm x 4mm の24ピンTQFNパッケージで提供されます。

### アプリケーション

POL

ASIC/CPU/DSPコア、およびI/O電圧

DDR電源

基地局電源

テレコムおよびネットワーク用電源

RAID制御用電源

ピン配置はデータシートの最後に記載されています。

#### 特長

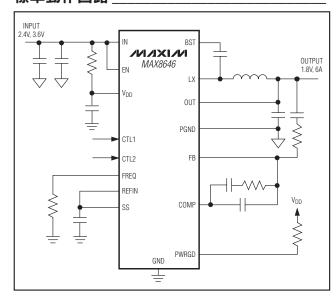
- ♦ 23mΩのR<sub>DS(ON)</sub>を備えたMOSFET (複数)内蔵
- ◆ 出力電流:連続6A
- ◆ 出力精度:±1%(負荷、電源、および温度の全範囲)
- ◆ 動作電源電圧: 2.35V~3.6V
- ◆ 調整可能出力電圧: 0.6V~(0.9 x V<sub>IN</sub>)
- ♦ ソフトスタートによって、入力突入電流を低減
- ◆ 500kHz~2MHzの可変スイッチング周波数
- ◆ セラミック、高分子、および電解コンデンサを出力 コンデンサとして使用可能
- ◆ VIDを選択可能な出力電圧 0.6V、0.7V、0.8V、1.0V、1.2V、1.5V、 1.8V、2.0V、および2.5V
- ◆ 過電流および過温度に対する完全保護
- ♦ 鉛フリーパッケージ、4mm x 4mmの24ピンTQFN パッケージ

#### 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX8646ETG+	-40°C to +85°C	24 Thin QFN-EP* 4mm x 4mm	T2444-4

<sup>+</sup>は鉛フリーパッケージを表します。

#### 標準動作回路



Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び 誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

<sup>\*</sup>EPはエクスポーズドパッド。

#### **ABSOLUTE MAXIMUM RATINGS**

IN, V <sub>DD</sub> , PWRGD to GND0.3V to +4.5V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)
COMP, FB, REFIN, OUT,	(derate 27.8mW/°C above +70°C)2222.2mW
CTL_, EN, SS, FREQ to GND0.3V to (VDD + 0.3V)	Operating Temperature Range40°C to +85°C
LX Current (Note 1)8A to +8A	Junction Temperature+150°C
BST to LX0.3V to +4V	Storage Temperature Range65°C to +150°C
PGND to GND0.3V to +0.3V	Lead Temperature (soldering, 10s)+300°C

Note 1: LX has internal clamp diodes to GND and IN. Applications that forward bias these diodes should take care not to exceed the IC's package power dissipation limits.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

#### **ELECTRICAL CHARACTERISTICS**

 $(V_{IN} = V_{DD} = 3.3V, V_{FB} = 0.5V, T_A = -40^{\circ}C$  to +85°C, typical values are at  $T_A = +25^{\circ}C$ , circuit of Figure 1, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIO	NS	MIN	TYP	MAX	UNITS
IN/V <sub>DD</sub>						,
IN and V <sub>DD</sub> Voltage Range			2.35		3.60	V
INI Supply Current	$f_S = 1MHz$ , no load, $L = 0.47\mu H$	V <sub>IN</sub> = 2.5V		4	4.6	m A
IN Supply Current	(includes gate-drive current)	$V_{IN} = 3.3V$		5.5		mA
V <sub>DD</sub> Supply Current	fs = 1MHz	$V_{IN} = 2.5V$		1.4	2.3	mA
VDD Supply Current	IS = IIVIHZ	$V_{IN} = 3.3V$		2		IIIA
Total Shutdown Current from IN and V <sub>DD</sub>	$V_{IN} = V_{DD} = V_{BST} - V_{LX} = 3.6V, V_{LX} = 3.6V$	'EN = OV			13	μΑ
		V <sub>DD</sub> rising		2	2.1	V
V <sub>DD</sub> Undervoltage Lockout Threshold	LX starts/stops switching	V <sub>DD</sub> falling	1.8	1.9		V
Tilleshold		Deglitching		2		μs
BST						
DCT Cumply Current	$V_{BST} = V_{DD} = V_{IN} = 3.6V$ ,	$T_A = +25^{\circ}C$			5	
BST Supply Current	$V_{LX} = 3.6V$ or 0V, $V_{EN} = 0V$	$T_A = +85^{\circ}C$		10		μΑ
PWM COMPARATOR						
PWM Comparator Propagation Delay	10mV overdrive			20		ns
COMP						
COMP Clamp Voltage, High	V <sub>IN</sub> = 2.35V to 3.6V			2		V
COMP Slew Rate				1.4		V/µs
PWM Ramp Amplitude				1		V
COMP Shutdown Resistance	From COMP to GND, V <sub>EN</sub> = V <sub>SS</sub>	= 0V		8		Ω
ERROR AMPLIFIER						
Preset Output-Voltage Accuracy	REFIN = SS		-1	Select from Table 1	+1	%
FB Regulation Accuracy Using External Resistors	CTL1 = CTL2 = GND		0.594	0.600	0.606	V
FB to OUT Resistor	All VID settings except CTL1 = C	TL2 = GND	5	8	11	kΩ
Open-Loop Voltage Gain	1kΩ from COMP to GND			115		dB

### **ELECTRICAL CHARACTERISTICS (continued)**

 $(V_{IN} = V_{DD} = 3.3V, V_{FB} = 0.5V, T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , typical values are at  $T_A = +25^{\circ}C$ , circuit of Figure 1, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIO	ONS	MIN	TYP	MAX	UNITS
Error-Amplifier Unity-Gain Bandwidth	Parallel 10kΩ, 40pF from COMF	to GND (Note 3)	14	26		MHz
Error-Amplifier Common-Mode	V <sub>DD</sub> = 2.35V to 2.6V		0		V <sub>DD</sub> - 1.65	
Input Range	V <sub>DD</sub> = 2.6V to 3.6V		0		V <sub>DD</sub> - 1.7	V
Error-Amplifier Minimum Output Current	V <sub>COMP</sub> = 1V	Sourcing Sinking	1000			μΑ
FB Input Bias Current	V <sub>FB</sub> = 0.7, CTL1 = CTL2 = GND	0	-200	-40		nA
CTL_						
	V <sub>CTL</sub> = 0V			-7		
CTL_ Input Bias Current	VCTL = VDD			+7		μΑ
	Rising				0.75	
High-Z Threshold	Falling		V <sub>DD</sub> - 1.2			V
Hysteresis	All VID transitions			50		mV
REFIN						
REFIN Input Bias Current	V <sub>REFIN</sub> = 0.6V, T <sub>A</sub> = +25°C		-500	-100		nA
	V <sub>DD</sub> = 2.3V to 2.6V		0		V <sub>DD</sub> - 1.65	
REFIN Common-Mode Range	V <sub>DD</sub> = 2.6V to 3.6V		0		V <sub>DD</sub> - 1.7	V
REFIN Offset Voltage	CTL1 = CTL2 = GND, T <sub>A</sub> = +25	°C	-3		+3	mV
LX (All pins combined)						
LV On Desigtance High Side	I <sub>L</sub> X = -2A	$V_{IN} = V_{BST} - V_{LX} = 2.5$	/	27		mΩ
LX On-Resistance, High Side	ILX = -2A	$V_{IN} = V_{BST} - V_{LX} = 3.3$	/	26	45	11152
LX On-Resistance, Low Side	I <sub>L</sub> X = 2A	$V_{IN} = 2.5V$		24		mΩ
LA OII-Nesistance, Low Side	ILX – ZA	$V_{IN} = 3.3V$		23	38	11152
LX Current-Limit Threshold	V <sub>IN</sub> = 2.5V, high-side sourcing		8	11		Α
		$T_A = +25^{\circ}C$ $V_{LX} = 0V$ $V_{LX} = 3.6$	-2			
LX Leakage Current	V <sub>IN</sub> = 3.6V, V <sub>EN</sub> = V <sub>SS</sub> = 0V	$V_{LX} = 3.6$	V		+2	μA
Lit Loanago Guireit	VIIN - 0.0 V, VEIN - V55 - 0 V	$T_A = +85^{\circ}C$ $V_{LX} = 0V$ $V_{LX} = 3.6$		1		μΛ
		$V_{LX} = 3.6$	V	1		
LX Switching Frequency	V <sub>IN</sub> = 2.5V to 3.3V	$R_{FREQ} = 50k\Omega$	0.9	1	1.1	MHz
	VIIV = 2.0 V to 0.0 V	$R_{FREQ} = 23.2k\Omega$	1.8	2	2.2	1911 12

### **ELECTRICAL CHARACTERISTICS (continued)**

 $(V_{IN} = V_{DD} = 3.3V, V_{FB} = 0.5V, T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , typical values are at  $T_A = +25^{\circ}C$ , circuit of Figure 1, unless otherwise noted.) (Note 2)

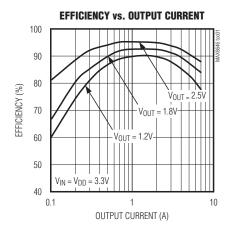
PARAMETER	CONE	DITIONS	MIN	TYP	MAX	UNITS
Frequency Range			500		2000	kHz
LX Minimum Off-Time	V <sub>IN</sub> = 2.5V to 3.3V			40	75	ns
LX Maximum Duty Cycle	RFREQ = $50k\Omega$ , $V_{IN} = 2.5V$ to	o 3.3V	93	96		%
LX Minimum On-Time	$R_{FREQ} = 50k\Omega$ , $V_{IN} = 2.5V$ to	o 3.3V		80		ns
RMS LX Output Current			6			А
ENABLE						
EN Input Logic Low					0.7	V
EN Input Logic High			1.7			V
EN James Command	V <sub>EN</sub> = 0V or 3.6V,	T <sub>A</sub> = +25°C			1	
EN, Input Current	$V_{DD} = 3.6V$	T <sub>A</sub> = +85°C		0.01		μΑ
ss						
SS Charging Current	$V_{SS} = 0.45V$		7	8	9	μΑ
SS Discharge Resistance				500		Ω
THERMAL SHUTDOWN						
Thermal-Shutdown Threshold				+165		°C
Thermal-Shutdown Hysteresis				20		°C
POWER-GOOD (PWRGD)						
Power-Good Threshold Voltage	V <sub>FB</sub> falling, 3mV hysteresis		87	90	93	%
Power-Good Falling Edge Deglitch				48		Clock cycles
PWRGD Output Voltage Low	I <sub>PWRGD</sub> = 4mA			0.03	0.15	V
PWRGD Leakage Current	V <sub>DD</sub> = V <sub>PWRGD</sub> = 3.6V, V <sub>FB</sub>	= 0.9V		0.01		μΑ
OVERCURRENT LIMIT						
Current-Limit Startup Blanking				128		Clock cycles
Restart Time				1024		Clock cycles

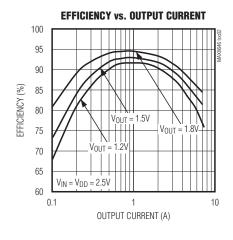
Note 2: Specifications are 100% production tested at  $T_A = +25$ °C. Limits over the operating temperature range are guaranteed by design and characterization.

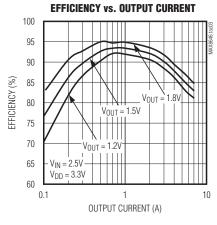
Note 3: Guaranteed by design.

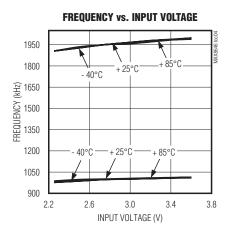
#### 標準動作特性

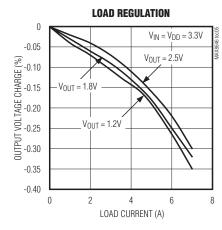
(Typical values are:  $V_{IN} = V_{DD} = 3.3V$ ;  $V_{OUT} = 1.8V$ ,  $R_{FREQ} = 50k\Omega$ ,  $I_{OUT} = 6A$ , and  $T_A = +25$ °C, unless otherwise noted.)

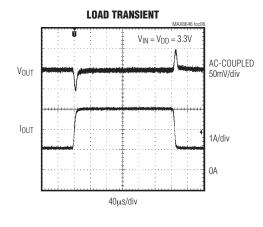


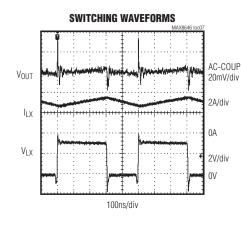


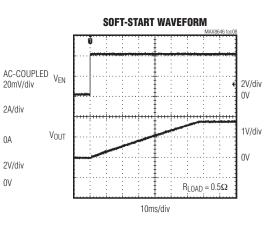


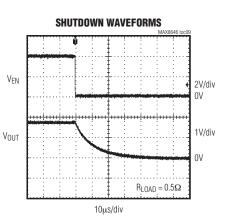






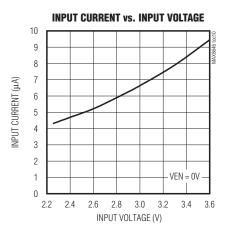


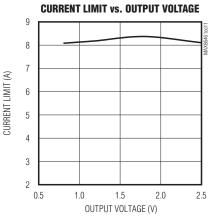


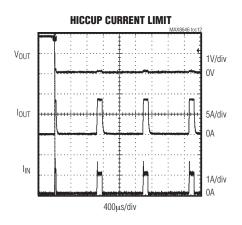


### 標準動作特性(続き)

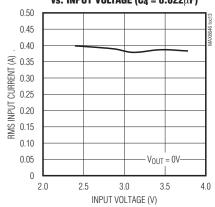
(Typical values are:  $V_{IN} = V_{DD} = 3.3V$ ;  $V_{OUT} = 1.8V$ ,  $R_{FREQ} = 50k\Omega$ ,  $I_{OUT} = 6A$ , and  $T_A = +25^{\circ}C$ , unless otherwise noted.)



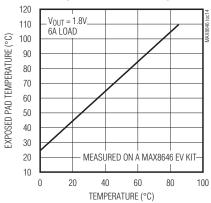




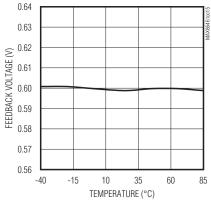
## RMS INPUT CURRENT DURING SHORT-CIRCUIT vs. INPUT VOLTAGE ( $C_4 = 0.022 \mu F$ )



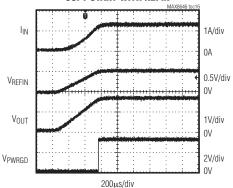
## **EXPOSED PAD TEMPERATURE** vs. Ambient temperature



### FEEDBACK VOLTAGE vs. TEMPERATURE



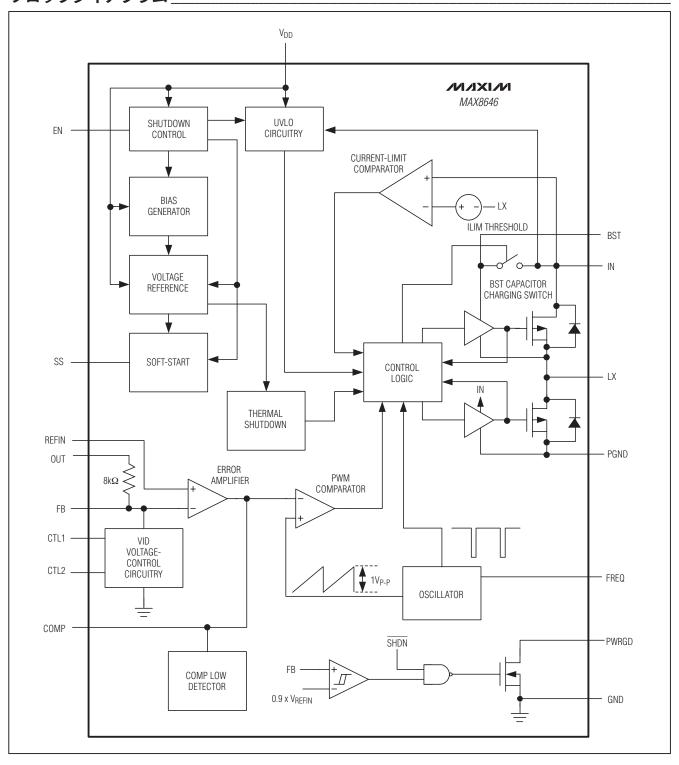
#### **SOFT-START WITH REFIN**



## 端子説明\_\_\_\_\_

端子	名称	機能
1, 7	GND	アナログ回路グランド
2	V <sub>DD</sub>	電源電圧およびバイパス入力。 $10\Omega$ の抵抗で $V_{DD}$ をINに接続してください。 $1\mu$ Fのセラミックコンデンサを $V_{DD}$ とGND間に接続してください。
3, 4	CTL1, CTL2	プリセット出力電圧の選択入力。CTL1とCTL2によって、9種のプリセット電圧の中の1種に出力電圧を 設定します。プリセット電圧は表1を参照してください。
5	REFIN	外部リファレンス入力。REFINを外部リファレンス電圧に接続すると、FBがREFINに印加された電圧に レギュレートされます。ICがシャットダウンモードのとき、REFINは内部でGNDに強制されます。
6	SS	ソフトスタート入力。起動時間を設定するためにはSSとGND間にコンデンサを接続してください。 ソフトスタート時間の設定に関しての詳細は「ソフトスタートとREFIN」の項を参照してください。
8	COMP	電圧誤差アンプの出力。COMPとFBの間に必要とする補償回路を接続してください。ICがシャット ダウンモードのとき、COMPは内部でGNDに強制されます。
9	FB	フィードバック入力。出力とGND間の外付け分圧抵抗のセンタータップをFBに接続すると、 $0.6V \sim V_{\text{IN}} \times 90\%$ の出力電圧を設定することができます。CTL1とCTL2を用いて9種のプリセット電圧の中からいずれかを選択する場合には、RC回路を通してFBを出力に接続してください。
10	OUT	出力電圧の検出。出力に接続してください。外付けの分圧器を使用する場合はOUTには何も接続しない でください。
11	FREQ	発振器周波数の選択。FREQとGND間に抵抗を接続してスイッチング周波数を選択してください。
12	PWRGD	パワーグッド出力。 $V_{FB}$ が $V_{REFIN}$ または $0.6$ Vの $90\%$ 以上になると、ハイインピーダンスとなるオープンドレイン出力です。 $V_{FB}$ がレギュレータポイントの $90\%$ 未満に下回ると、 $PWRGD$ は内部でローに強制されます。 $IC$ がシャットダウンモード状態、 $V_{DD}$ または $V_{IN}$ が $UVLO$ スレッショルド未満になるか、または $IC$ が熱シャットダウン状態では、 $PWRGD$ は内部でローに強制されます。
13	BST	ハイサイドMOSFETドライバ電源。BSTを0.1μFのコンデンサでLXにバイパスしてください。
14, 15, 16	LX	インダクタ接続。LXの各端子はすべて内部で相互に接続されています。LXの各端子はすべて出力 インダクタに接続してください。ICがシャットダウンモードの場合、LXはハイインピーダンスです。
17–20	PGND	電源グランド。PGNDの各端子をすべて外部で電源グランドプレーンに接続してください。
21, 22, 23	IN	電源供給入力。入力電源範囲は2.35V~3.6Vです。外部で22µFのセラミックコンデンサでPGNDに バイパスしてください。「標準動作回路」を参照してください。
24	EN	イネーブル入力。MAX8646をイネーブル/ディセーブルするロジック入力。
_	EP	エクスポーズドパッド。熱性能を最適化するために大きいグランドプレーンに接続してください。

### ブロックダイアグラム



#### 標準動作回路

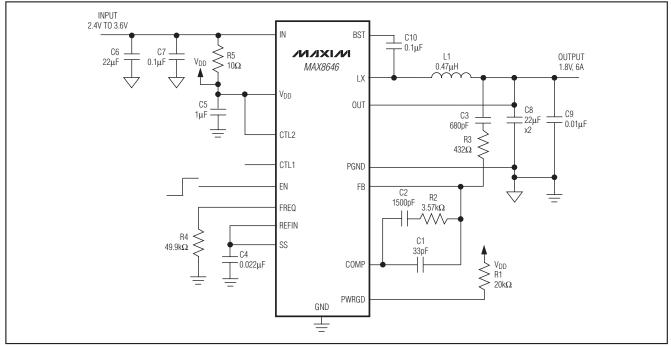


図1. MAX8646 1MHz、V<sub>OLIT</sub> = 1.8Vとした全セラミックコンデンサ設計

#### 詳細

高効率、電圧モードスイッチングレギュレータMAX8646 は最大 6 Aの出力電流を供給することができます。 MAX8646は2.35V $\sim$ 3.6Vの入力電源から0.6V $\sim$ 0.9 x  $V_{IN}$ の出力電圧を提供し、ボードに搭載するポイントオブロード(POL)アプリケーションに最適です。出力電圧精度は負荷、電源、および温度の全範囲で $\pm$ 1%より優れています。

MAX8646はスイッチング周波数範囲が広いことが特長で、すべてをセラミックコンデンサで設計し、高速過渡応答が達成されます(図1を参照)。高速動作周波数によって、外付け部品の大きさが最小になります。 MAX8646は小型(4mm x 4mm)、鉛フリー、24ピン TQFNパッケージで提供されます。REFINの機能によって、MAX8646はDDRおよびトラッキング電源用に最適な候補となります。ハイおよびローサイドスイッチに内蔵低RDS(ON)  $(23m\Omega)$ のnチャネルMOSFETを使用しているため、重負荷および高いスイッチング周波数で高効率を維持します。

MAX8646は広帯域(>14MHz)誤差アンプを使用する電圧モード方式を採用しています。電圧モードの制御方式のために最高2MHzまでのスイッチング周波数が可能で、ボード面積が削減されます。オペアンプによる電圧誤差アンプはタイプIIIの補償で動作し、高周波スイッ

チングの帯域幅を十分に利用して高速応答を得ることができます。可変のソフトスタート時間によって、入力起動時の突入電流を最小化する柔軟性を提供します。オープンドレインのパワーグッド (PWRGD)出力は $V_{FB}$ が $V_{REFIN}$ の90%または0.54Vに達すると、ハイになります。

#### コントローラの機能

コントローラロジックブロックはさまざまな電源、負荷、 および温度条件下でハイサイドMOSFETのデューティ サイクルを決定する中央プロセッサです。電流リミット および温度保護がトリガされない通常の動作では、コン トローラロジックブロックはPWMコンパレータからの 出力を受け取り、ハイサイドとローサイドの両方の MOSFET用の駆動信号を生成します。ブレークビフォア メークロジックとブートストラップコンデンサの充電 時間はコントローラロジックによって計算されます。 電圧誤差アンプからの誤差信号は発振器によって生成さ れるランプ(傾斜)信号とPWMコンパレータで比較され、 必要とするPWM信号が作られます。ハイサイドスイッチ は発振器サイクルの初めにオンとなり、ランプ電圧が V<sub>COMP</sub>信号を超えるか、または電流リミットスレッショ ルドが超過されると、オフになります。ローサイドス イッチは、その後、発振器サイクルの残りの時間、オン となります。

#### 電流リミット

内蔵のハイサイドMOSFETの標準的なピーク電流制限スレッショルドは11Aです。LXからの流出電流がこのリミット値を超えると、ハイサイドMOSFETはオフとなり、同期整流器がオンとなります。同期整流器はインダクタ電流がローサイド電流リミット値を下回るまで、オンのままです。このことによって、デューティサイクルを低下させ、電流リミット値を超えなくなるまで、出力電圧を低下させます。MAX8646は短絡出力状態での過熱を防止するためにヒカップモードを採用しています。

電流リミット状態でVFBが420mV未満に低下して、12µs 以上の間、このレベル未満であると、デバイスはヒカップモードになります。ハイサイドMOSFETと同期整流器はオフになり、COMPとREFINとも、内部でローに強制されます。REFINとSSが相互接続されていると、その場合は両方ともローに強制されます。デバイスは、この状態を1024サイクル続け、その後、128サイクルの間、再起動を試みます。電流リミットを発生させている障害がクリアされると、デバイスは通常動作に復帰します。その他の場合は、デバイスはヒカップモードに再び、戻ります。

#### ソフトスタートとREFIN

MAX8646は起動時の突入電流を制限するために、可変のソフトスタート機能を採用しています。 $8\mu A$  (typ)電流源によってSSに外付けしたコンデンサが充電されます。ソフトスタート時間はSSとGND間に接続された外付けコンデンサの値によって調整されます。必要とするコンデンサ値は次の式で計算されます:

$$C = \frac{8\mu A \times t_{SS}}{0.6V}$$

ここで、 $t_{SS}$ は必要なソフトスタート時間(秒)です。MAX8646は外付けリファレンス入力(REFIN)も備えています。ICはREFINに印加された電圧に対してFBをレギュレートさせます。外付けリファレンスを使用する場合は、内部ソフトスタートを使用することができません。外付けリファレンスを使用する場合のソフトスタートの方法は図2に示されています。内蔵の0.6Vリファレンスを使用するためには、REFINをSSに接続してください。

#### 低電圧ロックアウト(UVLO)

UVLO回路は $V_{DD}$ が2V (typ)未満になると、スイッチングを抑止します。 $V_{DD}$ が2V (typ)を超えて上昇すると、UVLOはクリアされて、ソフトスタート機能がアクティブになります。100mVのヒステリシスがグリッチ耐性を持たせるために作られています。図3はタイプ $\parallel$ の補償回路を示しています。

#### **BST**

ハイサイドnチャネルスイッチ用のゲート駆動電圧はフライングコンデンサのブースト回路によって生成されます。ローサイドMOSFETがオンとなっている間にBSTとLX間のコンデンサにV<sub>IN</sub>から充電されます。ローサイドMOSFETがオフになると、このコンデンサの電圧はLXの上にスタックされてハイサイド内蔵MOSFETのターンオンに必要な電圧が供給されます。

#### 周波数選択(FREQ)

スイッチング周波数は500kHz~2MHzに抵抗可変です。ICのスイッチング周波数はFREQと $GND間に接続する抵抗(<math>R_{FREQ}$ )で設定してください。 $R_{FREQ}$ は次のように計算されます:

$$R_{FREQ} = \frac{50k\Omega}{0.95\mu s} \times (\frac{1}{f_S} - 0.05\mu s)$$

ここで、fsはHzで表した所望のスイッチング周波数です。

#### パワーグッド出力(PWRGD)

PWRGDはオープンドレイン出力であり、 $V_{FB}$ が0.9 x  $V_{REFIN}$ を超えるとハイインピーダンスになります。 PWRGDは $V_{FB}$ がレギュレーションの90%未満を少なくとも48クロックサイクルの間、続けるとローに強制されます。 PWRGDはシャットダウンの間はローです。

#### 出力電圧の設定(CTL1、CTL2)

表1に示すように、出力電圧はCTL1とCTL2のロジック 状態によって端子設定することができます。CTL1と CTL2は3レベル入力(V<sub>DD</sub>、無接続、およびGND)です。 CTL1とCTL2のロジック状態は電源投入の前にのみ設 定してください。デバイスがイネーブルされた後、CTL1 とCTL2を変化させてはいけません。出力電圧を再設定 する必要がある場合は、電源またはENをサイクルさせ てかつイネーブルとする前に再設定してください。

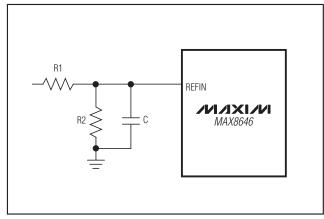


図2. 外部リファレンスを使う場合の標準的なソフトスタート構成

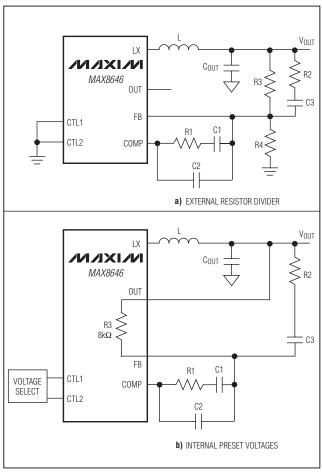


図3. タイプⅢの補償回路

#### シャットダウンモード

ENをGNDに駆動すると、ICをシャットダウンして自己 消費電流は $12\mu$ A未満になります。シャットダウン中は、 LXはハイインピーダンスになります。MAX8646をイ ネーブルとするためにはENをハイとしてください。

#### 熱保護

熱過負荷保護によってデバイスの総合電力消費を制限します。接合部温度がT」= +165℃を超えると、熱センサがデバイスをシャットダウンし、ダイの冷却が可能になります。接合部温度が20℃だけ冷却されると、熱センサはデバイスを再びオンとするため、連続して過負荷が続いていると、パルス状の出力となります。熱シャットダウン状態から回復すると、ソフトスタートシーケンスが始まります。

表 1. CTL1とCTL2による出力電圧の選択

CTL1	CTL2	V <sub>OUT</sub> (V)
GND	GND	0.6
V <sub>DD</sub>	V <sub>DD</sub>	0.7
GND	Unconnected	0.8
GND	V <sub>DD</sub>	1.0
Unconnected	GND	1.2
Unconnected	Unconnected	1.5
Unconnected	V <sub>DD</sub>	1.8
V <sub>DD</sub>	GND	2.0
V <sub>DD</sub>	Unconnected	2.5

#### アプリケーション情報

#### INとVDDのデカップリング

高速スイッチング周波数によるノイズの影響を減少し、MAX8646の出力精度を最良にするためには、 $V_{IN}$ とPGND間に $22\mu$ Fのコンデンサを接続して $V_{IN}$ をデカップルしてください。また、 $V_{DD}$ とGND間に $1\mu$ Fを接続して $V_{DD}$ をデカップルしてください。これらのコンデンサはICのできる限り近くに配置してください。

#### インダクタの選択

次の式を使ってインダクタを選択してください:

$$L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{f_S \times V_{IN} \times LIR \times I_{OUT(MAX)}}$$

ここで、LIRは最小デューティサイクルにおけるリップル電流の最大負荷電流に対する比です。最良の性能と安定性を得るためには、LIRは20%~40%に選んでください。

割り当てられた寸法に収容可能な最小のDC抵抗を持つインダクタを使用してください。粉末鉄フェライトコアタイプを選択すると、多くの場合、最良の性能が得られます。

どのようなコア材料の場合でも、MAX8646の電流リミットで飽和しないようにコアは十分に大きくしてください。

#### 出力コンデンサの選択

出力コンデンサ選択の重要パラメータは容量値、ESR、 ESL、および電圧定格要件です。

これらはDC-DCコンバータの総合安定性、出力リップル電圧、および過渡応答に影響します。出力リップルは出力コンデンサの蓄積電荷の変動、コンデンサのESRによる電圧降下、およびコンデンサのESLによる電圧降下によって起こります。次の式を使って、出力コンデンサ値、ESR、およびESLによる出力電圧リップルを計算してください:

 $V_{RIPPLE} = V_{RIPPLE(C)} + V_{RIPPLE(ESR)} + V_{RIPPLE(ESL)}$ 

ここで、出力コンデンサ値、ESR、およびESLによる 出力リップルは:

$$V_{RIPPLE(C)} = \frac{I_{P-P}}{8 \times C_{OUT} \times f_{S}}$$

 $V_{RIPPLE(ESR)} = I_{P-P} \times ESR$ 

$$V_{RIPPLE(ESL)} = \frac{I_{P-P}}{t_{ON}} \times ESL$$

または:

$$V_{RIPPLE(ESL)} = \frac{I_{P-P}}{t_{OFF}} \times ESL$$

どちらか大きい方です。

インダクタ電流のピーク値( $I_{P-P}$ )は次の式のようになります:

$$I_{P-P} = \frac{V_{IN} - V_{OUT}}{f_S \times L} \times \frac{V_{OUT}}{V_{IN}}$$

これらの式は最初にコンデンサを選択する場合に使用してください。最終値はプロトタイプまたは同等な回路の試験によって定めてください。リップル電流を小さくすると、出力電圧リップルが小さくなります。インダクタのリップル電流はインダクタ値によって決まるため、インダクタンスを大きくすると、出力電圧リップルが小さくなります。コンバータのスイッチング周波数において小さいESRと小さいESLを持つセラミックコンデンサを採用してください。ESL起因のリップル電圧はセラミックコンデンサを使うと無視することができます。

負荷過渡応答は選択した出力コンデンサの値に依存します。負荷の過渡状態では、出力は即座にESR x Al<sub>LOAD</sub>だけ変化します。コントローラが応答可能となる前に、出力はさらに偏移してゆきますが、これはインダクタと出力コンデンサの値に依存します。

短時間の後、コントローラは出力電圧をレギュレートしてその既定値に復帰させます。コントローラの応答時間はクローズドループの帯域幅に依存します。帯域幅が広いと、高速応答時間が得られ、出力がレギュレート値から、さらに偏移してゆくことを阻止します。詳細は「補償設計」の項を参照してください。

#### 入力コンデンサの選択

入力コンデンサは入力電源から引き出される電流ピークを減少させて、ICのスイッチングノイズを減少させます。 入力リップル電圧を規格以内に保ち、入力源に戻って くる高周波のリップル電流を最小化するためには、入力 の総合容量値は次の式によって与えられる値以上とし なければなりません:

$$C_{IN\_MIN} = \frac{D \times T_S \times I_{OUT}}{V_{IN} - RIPPLE}$$

ここで、 $V_{\text{IN-RIPPLE}}$ は入力コンデンサの両端間に許される入力リップル電圧の最大値であり、最小入力電圧の2%未満とすることを推奨します。Dはデューティサイクル( $V_{\text{OUT}}/V_{\text{IN}}$ )であり、 $T_{\text{S}}$ はスイッチング周期です(1/ $f_{\text{S}}$ )。

入力コンデンサのスイッチング周波数におけるインピーダンスは、高周波スイッチング電流が入力源に流れずに、入力コンデンサを通して短絡して流れるようにするために、入力源のインピーダンスより低くするようにしなければなりません。電源インピーダンスが高い場合には、入力コンデンサの値を大きくしなければなりません。入力コンデンサはスイッチング電流によって与えられるリップル電流要件を満たさなければなりません。

入力リップル電流のRMS値は次の式で与えられます:

$$|\mathsf{IRIPPLE}| = |\mathsf{LOAD} \times \sqrt{\frac{\mathsf{VOUT} \times (\mathsf{VIN} - \mathsf{VOUT})}{\mathsf{VIN}}}$$

ここでI<sub>RIPPI F</sub>は入力リップル電流のRMS値です。

#### 補償設計

この電源の伝達関数は1個のダブルポールと1個のゼロで構成されます。出力フィルタ用のインダクタLと出力フィルタ用のコンデンサ $C_0$ によってダブルポールが作られます。出力フィルタコンデンサのESRがゼロを決定します。ダブルポールとゼロ周波数は次の式で与えられます:

$$f_{P1\_LC} = f_{P2\_LC} = \frac{1}{2\pi \times \sqrt{L \times C_O \times \left(\frac{R_O + ESR}{R_O + R_L}\right)}}$$

$$f_{Z\_ESR} = \frac{1}{2\pi \times ESR \times C_O}$$

ここで、 $R_L$ は出力インダクタのDCRと内蔵スイッチ抵抗の $R_{DSON}$ の和に等しい値です。 $R_{DSON}$ の標準値は  $23m\Omega$ です。 $R_0$ は出力負荷抵抗であり、それは定格出力電圧を定格出力電流で除算した値です。ESRは出力フィルタコンデンサの等価直列抵抗の合計値です。同じタイプの出力コンデンサが2個以上並列になっている場合は、上の式におけるESR値は1個の出力コンデンサのESRを出力コンデンサの合計数で除算した値に等しくなります。

MAX8646のスイッチング周波数は高い範囲にあるため、 出力にセラミックコンデンサを使用することができます。

セラミックコンデンサのESRは通常、非常に小さいため、それに関係する伝達関数のゼロ周波数はユニティゲインクロスオーバ周波数の $f_C$ よりも高く、ゼロを出力フィルタ用のインダクタとコンデンサで作られるダブルポールの補償に使うことはできません。ダブルポールによって、40dB/decadeの利得低下と180°/decadeの位相シフトが生じます。誤差アンプはこの利得低下と位相シフトを補償して、安定な広帯域幅のクローズドループシステムを作らなければなりません。したがって、図3と4に示すようにタイプIII補償を使用してください。タイプIII補償は3個のポールと2個のゼロを備え、最初のポールの $f_{P1\_EA}$ はゼロ周波数(DC)の位置にあります。タイプIIIのその他のポールとゼロの位置は次の式で与えられます:

$$f_{Z1\_EA} = \frac{1}{2\pi \times R1 \times C1}$$

$$f_{Z2\_EA} = \frac{1}{2\pi \times R3 \times C3}$$

$$f_{P3\_EA} = \frac{1}{2\pi \times R1 \times C2}$$

$$f_{P2\_EA} = \frac{1}{2\pi \times R2 \times C3}$$

上の式はC1>>C2、およびR3>>R2を仮定しており、これはほとんどのアプリケーションで成立します。これらのポールとゼロの位置は電源の伝達関数のダブルポールとESRゼロ周波数によって決定されます。それは所望のクローズドループの帯域幅の関数でもあります。次のセクションはMAX8646に要求される補償部品を計算する段階的設計手順の概要です。MAX8646の出力電圧をプリセット電圧に設定する場合は、R3はIC内部にあり、R4は存在しません(図3b)。

MAX8646を外部設定する場合(図3a)、出力電圧は次の式で決定されます:

$$R4 = \frac{0.6 \times R3}{(V_{OUT} - 0.6)}$$

クローズドループのゼロクロス周波数の $f_C$ はスイッチング周波数 $f_S$ の10%~20%になるようにしてください。ゼロクロス周波数を高くするほど、過渡応答が高速となります。 $f_C$ が選択されると、C1は次の式で計算されます:

$$C1 = \frac{2.5 \times V_{IN}}{2 \times \pi \times R3 \times (1 + \frac{R_L}{R_O}) \times f_C}$$

出力LCダブルポールは不足制動となる性質があるため、タイプIII補償の2つのゼロ周波数をLCダブルポール周波数よりも低く選択して、十分な位相ブーストを与えてください。2つのゼロ周波数をLCダブルポール周波数の80%に設定してください。

したがって:

R1 = 
$$\frac{1}{0.8 \times C1} \times \sqrt{\frac{L \times C_{O} \times (R_{O} + ESR)}{R_{L} + R_{O}}}$$
  
C3 =  $\frac{1}{0.8 \times R3} \times \sqrt{\frac{L \times C_{O} \times (R_{O} + ESR)}{R_{L} + R_{O}}}$ 

2番目の補償ポールのf<sub>P2 EA</sub>をf<sub>Z ESR</sub>に設定すると:

$$R2 = \frac{C_0 \times ESR}{C_3}$$

3番目の補償ポールをスイッチング周波数の1/2に設定してください。C2を次の式で計算してください:

$$C2 = \frac{1}{\pi \times R1 \times f_S \times 2}$$

ゼロクロス周波数がダブルポール周波数よりも十分に高い場合、上述の式を使うと、正確な補償が得られます。ゼロクロス周波数がダブルポール周波数に近いと、実際のゼロクロス周波数は計算した周波数よりも高くなります。この場合、R1の値を小さくすると、ゼロクロス周波数は低くなります。また、位相マージンを大きくするために、ゼロクロス周波数を200kHzより高くする場合はタイプⅢ補償の3番目のポールをスイッチング周波数の近くに設定してください。R3の推奨範囲は2kΩ~10kΩです。異なった電圧を設定するためにR4の抵抗値のみを変えても、ループ補償に変化はありません。

#### PCBレイアウトと熱性能

クリーンで安定な動作を得るためには、PCBのレイアウトを注意深く行うことが重要です。最適な性能を得るためには、MAX8646のEVキットのレイアウトをそのまま使うことを強く推奨します。変更する必要がある場合は、優れたPCBレイアウトを行うために、このガイドラインに従ってください:

- 1) 入力および出力コンデンサを電源グランドプレーン に接続してください。その他のコンデンサはすべて 信号グランドプレーンに接続してください。
- 2) V<sub>DD</sub>、V<sub>IN</sub>、およびSSのコンデンサは可能な限りIC の近くに配置し、その対応する端子は直接配線してください。パワーグランドプレーン(PGNDに接続)と信号グランドプレーン(GNDに接続する)を分離してください。

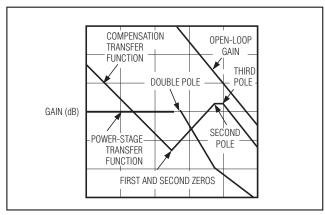
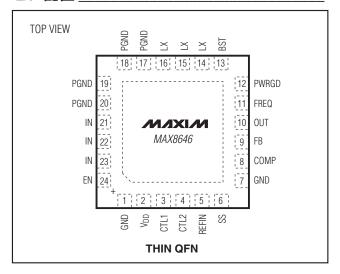


図4. タイプⅢの補償の図

- 3) 大電流経路を可能な限り短く太くしてください。ス イッチング電流経路を短くしてLX、出力コンデンサ、 および入力コンデンサで形成されるループを最小化 してください。
- 4) IN、LX、およびPGNDを別々に大きい銅領域に接続してICの冷却に役立たせ、さらに効率と長期信頼性を改善してください。
- 5) すべてのフィードバックの接続を短く、直接的に行ってください。フィードバック抵抗と補償部品を可能な限りICの近くに配置してください。
- 6) LXのような高速スイッチングノードを敏感なアナログ領域(FB、COMP)から引き離して配置してください。

### ピン配置

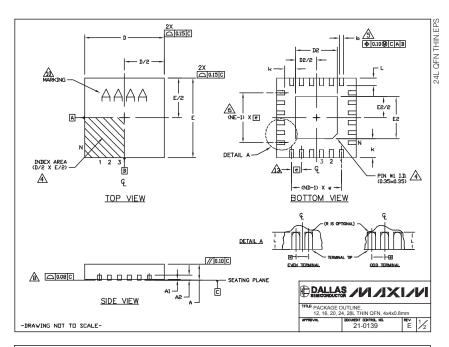


### チップ情報

PROCESS: BICMOS

### パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



				COM	NDN	DIME	IISN	SNE									L E	XPOS	SED	PAD	VAR	ITAI		
PKG	12	2L 4×	(4	16	L 4x	4	20	L 4×	4	2.	4L 4>	:4	21	3L 4>	<b>&lt;</b> 4		DVC.		122			£2		DOVN BONDS
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.		PKG. CODES	MIN	NOH.	MAX.	MIN.	NDM.	MAX.	ALLEV
٨	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	H	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
<b>A1</b>	0.0	20.0	0.05	0.0	20.0	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0,0	9.02	0.05		T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	ND
8A	-	.20 RE	F	٥	20 RE	F	0	20 RE	F	٥	20 RE	F	0	20 RE	F	H	T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	ļ	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	ļ	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
£	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	H	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
e	_	D.80 BS	_	_	65 BS	_	_	50 BS	_	_	.50 BS	_	_	40 BS	-	l	T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
k	0.25		-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-		T2444-3	2.45	2.60		2.45	2.60	2.63	YES
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	H	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	ND
N	_	12		_	16		_	20			24		_	28		l	T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	ND
ND	$\vdash$	3		_	4		_	5		_	6			7										
NE Jedec Var.	$\leftarrow$	y GGR		_	4 VGGC			5 /GGD-		_	6 WGGD-		_	7 VGGE										
1.	es: Dimens all di	MENSIO	NS ARE	IN M	LUMET	ERS. A	NGLES																	
1. 2. 3. 4.	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS	MENSIO HE TOT RMINAL 15-1 S ONE INI	NS ARE FAL NUI PP-012 DICATED APPLIE	IN M MBER ( MENTIFIE DETA ), THE	LUMETI OF TER OR AND ILS OF TERMIN	ERS. AMMINALS. TERMINALS. TERMINALS.	NGLES NAL NU NAL #1 IDENTI	ARE IN IMBERI IDENTI FIER M	NG CON FIER AN AY BE	ees. Wentk e opt either	IONAL,	BUT M	WARK	LOCA ED FEA	TED WITH TURE. 0.30 m									
1. 2. 3. 4.	DIMENS ALL DI N IS T THE TE JESD 9 THE ZO	MENSIO HE TOT RMINAL 15-1 S ONE INI SION 6 TERMIN	NS ARE FAL NUI  #1 IC PP-012 DICATED APPLIE AL TIP.	IN M MBER ( MENTIFIE 2. DETA 1. THE S TO I	LUMETI OF TER OF AND ILS OF TERMIN METALU	ERS. AMMINALS. TERMINIT	NGLES NAL NI NAL #1 IDENTI	ARE IN IMBERI IDENTI FIER M . AND	NG CON FIER AN AY BE IS MEA	ees, Wentk e opt Either Sured	IONAL, R A MC BETWI	BUT M NLD OR EEN O.:	MARK MARK	LOCA ED FEA	TURE.									
1. 2. 3. 4. 4.	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM	MENSIO HE TOT RMINAL 15-1 S ONE INI SION B TERMIN D NE F	NS ARE TAL NUT PP-012 DICATED APPLIE AL TIP.	IN MI MENTIFIE DETA THE S TO I	LUMETI OF TER OF AND ILS OF TERMIN METALLI NUMB	ERS. AMMINALS. TERMINITERMINIAL #1 ZED TE	NGLES NAL NI NAL ∯1 IDENTI RMINAI	ARE IN  MBERI IDENTI FIER M  AND	NG CON FIER AN AY BE IS MEA	ees, Wentk e opt Either Sured	IONAL, R A MC BETWI	BUT M NLD OR EEN O.:	MARK MARK	LOCA ED FEA	TURE.									
1. 2. 3. 4. 6. 7.	DIMENS ALL DII N IS T THE TE JESD 9 THE ZI DIMENS FROM ND AN	MENSIO HE TOT RMINAL 15-1 S ONE INI SION 6 TERMIN D NE F ULATION	NS ARE FAL NUI PP-012 DICATED APPLIE AL TIP. REFER N IS PO	E IN MI MBER ( MENTIFIE 2. DETA 1. THE S TO I TO THE DSSIBLE	LUMETI OF TER OR AND OLS OF TERMIN METALU I NUMB	ERS. AMMINALS. TERMIN TERMIN TERMIN VAL #1 ZED TE ER OF SYMME	NGLES NAL NU NAL #1 IDENTI ERMINAI TERMII	ARE IN IMBERI IDENTI FIER M . AND WALS C	NG CON FIER AN AY SIE IS MEA IN EAC ON.	ees. Wentk e opt either sured h d a	IONAL, R A MC BETWI	BUT M NLD OR EEN O.:	UST BE MARK 25 mm ESPECT	LOCAL ED FEA AND WELY.	TURE.									
1, 2, 3, 4, 5, 7,	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM ND AN DEPOP	MENSIO HE TOT RMINAL 15—1 S ONE INI SION 6 TERMIN D NE F ULATION NARITY	NS ARE FAL NUI PP-012 DICATED APPLIE AL TIP. REFER N IS PO	IN MI MBER ( MENTIFIE  DETA  THE  TO THE  S TO 1	LUMETI OF TER ER AND ILS OF TERMIN METALU : NUMB : IN A	ERS. AMMINALS. TERMIN TERMIN AL #1 ZED TE ER OF SYMME POSED	NAL NU NAL #1 IDENTI ERMINAI TERMI TERMI TRICAL HEAT	ARE IN IMBERIT IDENTI FIER M . AND WALS C FASHI	NG COM FIER AM AY BIE IS MEA IN EAC ON.	EES.  WENTK E OPT EITHEF SURED H D A	DONAL, BETWI	BUT M NLD OR EEN O.: SIDE PE HE TER	UST BE MARK 25 mm ESPECT MINALS	LOCAL ED FEA AND WELY.	TURE.									
1, 2, 3, 4, 5, 7, 6, 7, 9,	DIMENS ALL DII N IS T THE TE JESD 9 THE ZI DIMENS FROM ND AN DEPOP	MENSIO HE TOT RMINAL 15-1 S DNE INI SION B TERMIN D NE F ULATION NARITY NG CON	NS ARE TAL NUI PP-012 DICATED APPLIE AL TIP. TEFER N IS PO APPLIE IFORMS	EIN MI MBER ( DENTIFIE DETA L. THE DESTRICT TO THE DESTRICT TO JE TO JE	LLIMETI OF TER ER AND ILS OF TERMIN METALLI IN NUMB IN A THE EX IDEC M	ERS. AMMINALS. TERMIN TERMINAL #1 ZED TE ER OF SYMME POSED 0220,	NAL NIL NAL #1 IDENTI EMINAI TERMII T	ARE IN MBERI IDENTI FIER M AND VALS C FASHI SINK S	I DEGRI NG CON FIER AN AY BIE IS MEA IN EAC IN EAC IN LUG AS T2444	EES.  WENTK E OPT EITHEF SURED H D A	DONAL, BETWI	BUT M NLD OR EEN O.: SIDE PE HE TER	UST BE MARK 25 mm ESPECT MINALS	LOCAL ED FEA AND WELY.	TURE.									
1. 2. 3. 4. 5. 7. 6. 9.	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM ND AN DEPOP COPLAI DRAWIN	MENSIO HE TOT RMINAL 15-1 S ONE INI SION B TERMIN D NE F ULATION NARITY HG CON	NS ARE TAL NUI  #1 ID PP-012 DICATED APPLIE AL TIP. REFER N IS PO APPLIE IFORMS OR PAC	E IN MI MBER ( MENTIFIE DETA L THE S TO I TO THE DSSIBLE S TO I TO JE KAGE (	LUMETI OF TER OR AND OLS OF TERMIN METALLU : NUMB : NUMB : IN A : THE EX : DEC M ORIENTA	ERS. AMMINALS. TERMIN T	NAL NUMBER OF THE PROPERTY OF	ARE IN MBERI IDENTI FIER M AND VALS C FASHI SINK S	I DEGRI NG CON FIER AN AY BIE IS MEA IN EAC IN EAC IN LUG AS T2444	EES.  WENTK E OPT EITHEF SURED H D A	DONAL, BETWI	BUT M NLD OR EEN O.: SIDE PE HE TER	UST BE MARK 25 mm ESPECT MINALS	LOCAL ED FEA AND WELY.	TURE.									
1. 2. 3. 4. 5. 7. 6. 9. 11. 0	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM ND AN DEPOP COPLAI DRAWN MARKING	MENSIO HE TOT RMINAL 15-1 S ONE INI SION 6 TERMIN D NE F ULATION NARITY NG CON G IS FC ARITY S	NS ARE  FAL NUI  FP-012  DICATED  APPLIE  APPLIE  APPLIE  FORMS  DR PAC  SHALL  I	E IN MI MBER ( MENTIFIE 2. DETA 1. THE S TO I TO THE SSIBLE S TO I TO JE KAGE ( NOT EX	LUMETI OF TER ER AND ILS OF TERMIN METALLI IN ME IN A THE EX IDEC M DRIENTA CEED (	ERS. AMMINALS. TERMINIT	NAL NUMBER OF THE PROPERTY OF	ARE IN MBERI IDENTI FIER M AND VALS C FASHI SINK S	I DEGRI NG CON FIER AN AY BIE IS MEA IN EAC IN EAC IN LUG AS T2444	EES.  WENTK E OPT EITHEF SURED H D A	DONAL, BETWI	BUT M NLD OR EEN O.: SIDE PE HE TER	UST BE MARK 25 mm ESPECT MINALS	LOCAL ED FEA AND WELY.	TURE.		_							
1. 2. 3. 4. 5. 7. 6. 11. 0	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM ND AN DEPOP COPLAN DRAWIN MARKING COPLAN COPLAN	MENSIO HE TOT FRIMINAL S-1 S ONE IN SION B TERMIN D NE F ULATION NARITY NG CON C IS FC ARITY S E SHAL ENTERLIE	NS ARE  TAL NUI  PP-012  DICATED  APPLIE  APPLIE  APPLIE  TO APPLIE  FORMS  OR PAC  SHALL 1  L NOT  LINGT  INES TO	E IN MI MEDER ( MENTIFIE 2. DETA 1. THE S TO 1 TO THE DSSIBLE S TO 1 TO JE KAGE ( NOT EX EXCEE D BE A	LLIMETION TERMINALIS OF TERMINALIS OF TERMINALIS IN A THE EXCEPT OF TERMINALIS OF TERM	MINALS. TERMINALS. TERMINAL #1 ZED TE ER OF SYNNE POSED 0.08mm Omm	NAL NUMBER OF THE PROPERTY OF	MARE IN MARERIA IDENTIFIER M AND WALS C FASHI SINK S FOR NCE OF	I DEGRING CON FIER AF AY BE IS MEA IN EAC IN	EES.  NVENTK EE OPT EITHEF SURED H D A  S WELL  -3, T2	IONAL, R A MC BETWI ND E S . AS TI	BUT M BLD OR EEN O.: BIDE RE HE TER AND 1	UST BE MARK 25 mm ESPECT MINALS 12844-	LOCA ED FEA AND VELY.	TURE.		•	DA					X	
1. 2. 3. 4. 5. 7. 6. 11. 0	DIMENS ALL DII N IS T THE TE JESD 9 THE ZO DIMENS FROM ND AN DEPOP COPLAI DRAWIN COPLAN WARPAG EAD CE	MENSIO HE TOT FRIMINAL S-1 S ONE IN SION B TERMIN D NE F ULATION NARITY NG CON C IS FC ARITY S E SHAL ENTERLIE	NS ARE  TAL NUI  PP-012  DICATED  APPLIE  APPLIE  APPLIE  TO APPLIE  FORMS  OR PAC  SHALL 1  L NOT  LINGT  INES TO	E IN MI MEDER ( MENTIFIE 2. DETA 1. THE S TO 1 TO THE DSSIBLE S TO 1 TO JE KAGE ( NOT EX EXCEE D BE A	LLIMETION TERMINALIS OF TERMINALIS OF TERMINALIS IN A THE EXCEPT OF TERMINALIS OF TERM	MINALS. TERMINALS. TERMINAL #1 ZED TE ER OF SYNNE POSED 0.08mm Omm	NAL NUMBER OF THE PROPERTY OF	MARE IN MARERIA IDENTIFIER M AND WALS C FASHI SINK S FOR NCE OF	I DEGRING CON FIER AF AY BE IS MEA IN EAC IN	EES.  NVENTK EE OPT EITHEF SURED H D A  S WELL  -3, T2	IONAL, R A MC BETWI ND E S . AS TI	BUT M BLD OR EEN O.: BIDE RI HE TER AND 1	UST BE MARK 25 mm ESPECT MINALS 12844-	LOCA ED FEA AND VELY.	TURE.		•	LE PAC	KAGE	OUTLI				

# マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル) TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_