

# MAXIM

## 1セル、ステップアップ 双方向ページャシステムIC

MAX847

### 概要

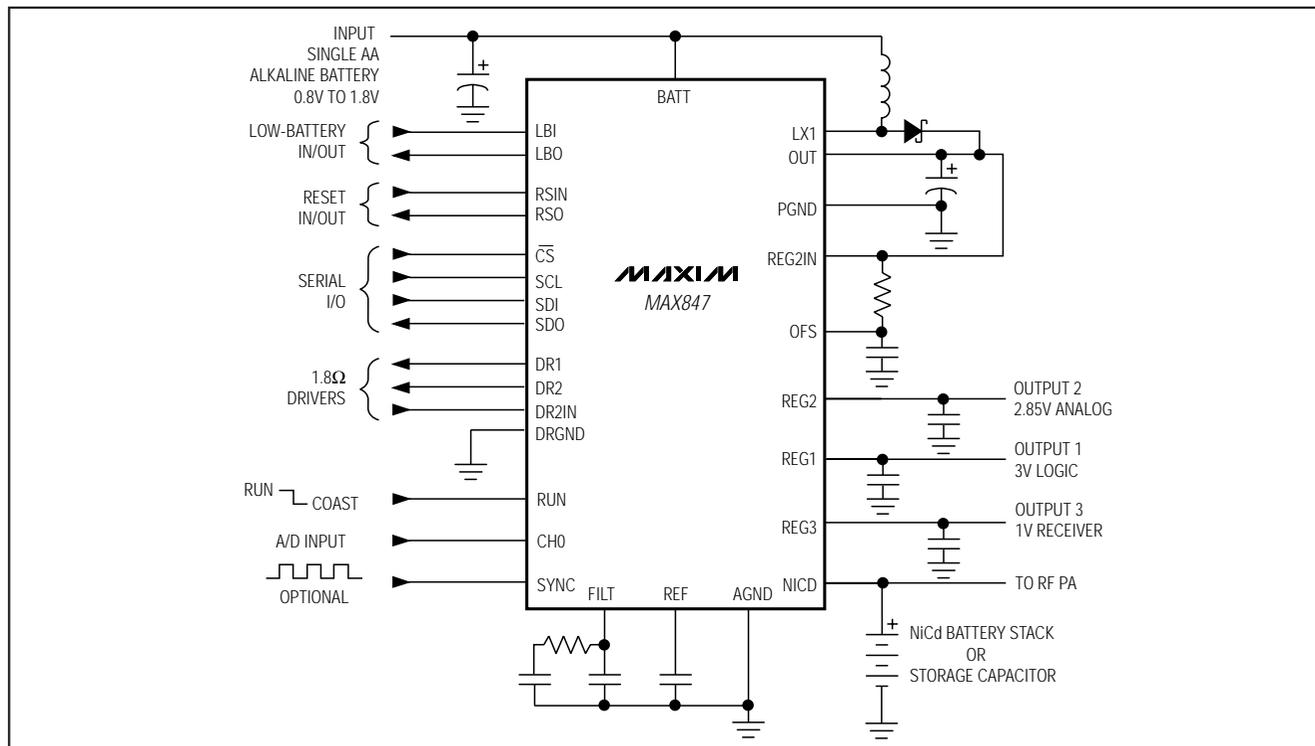
MAX847は双方向ページャ及びその他の低電力デジタル通信機器用の完全電源及び監視システムです。外付部品は僅かで済みます。チップには、以下の回路が内蔵されています。

- 1セル入力、デジタル制御+1.8V~+4.9V出力、80mA出力、同期整流ブーストDC-DCレギュレータ
- 3つの低ノイズリニアレギュレータ出力
- 3つのDAC制御されたコンパレータ(ソフトウェアによる3チャンネルA/D変換用)
- SPI™コンパチブルシリアルインタフェース
- リセット及び低バッテリー(LBO)警報出力
- NiCd、NiMH、リチウム電池又は蓄積コンデンサ(RF PA電源又はシステムバックアップ用)のための充電器
- 2つの1.8 (typ)シリアル制御オープンドレインMOSFETスイッチ

設計及び試作に便利なMAX847評価キット(MAX847 EVKIT)も提供されています。

ピン配置はデータシートの最後に記載されています。

### 標準動作回路



Idle Modeはマキシム社の商標です。SPIはMotorola, Inc.の商標です。

### 特長

- ◆ 90%の効率で1セルから80mA出力
- ◆ Idle Mode™(コースト)電流: 13µA
- ◆ 低ノイズPWM又は低電流動作を選択可能
- ◆ PWM動作周波数は外部クロックソースの7倍に同期
- ◆ 外部クロックなしで270kHz動作
- ◆ 自動バックアップバッテリー切換え

### 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX847EEI	-40°C to +85°C	28 QSOP

### アプリケーション

双方向ページャ

GPSレシーバ

1セル駆動のハンドヘルド機器

# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

## ABSOLUTE MAXIMUM RATINGS

BATT, OUT, NICD, LBO, RSO to AGND .....-0.3V to +6V  
 REG1, OFS, REG2, REF, R2IN to AGND ...-0.3V to (OUT + 0.3V)  
 SCL, SDO, SDI,  $\overline{CS}$ , SYNC, FILT, DR2IN,  
 CH0, LBI, RSIN, RUN to AGND .....-0.3V to (REG1 + 0.3V)  
 REG3 .....-0.3V to (REG2 + 0.3V)  
 DR1, DR2 to DRGND .....-0.3V to (BATT + 0.3V)  
 PGND, DRGND to AGND .....-0.3V to +0.3V

LX1 to PGND .....-0.3V to (OUT + 0.3V)  
 Continuous Power Dissipation ( $T_A = +70^\circ\text{C}$ )  
 28-Pin QSOP (derate 8mW/ $^\circ\text{C}$  above  $+70^\circ\text{C}$ ) .....640mW  
 Operating Temperature Range .....-40 $^\circ\text{C}$  to +85 $^\circ\text{C}$   
 Junction Temperature .....+150 $^\circ\text{C}$   
 Storage Temperature Range .....-65 $^\circ\text{C}$  to +165 $^\circ\text{C}$   
 Lead Temperature (soldering, 10sec) .....+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(OUT = 3.0V, BATT = 1.2V, NICD = 3.6V,  $T_A = -40^\circ\text{C}$  to +85 $^\circ\text{C}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ\text{C}$ .) (Note 1)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>GENERAL PERFORMANCE</b>						
BATT Typical Operating Range (Note 2)	Run or Coast Mode		0.8		OUT x 0.8	V
BATT Minimum Start-Up Voltage (Note 3)	$T_A = +25^\circ\text{C}$			0.9	1.1	V
Coast Mode Supply Current (Note 4)	REG2, REG3 and CH DAC off, $V_{OUT} = 2.8\text{V}$			13	25	$\mu\text{A}$
Run Mode Supply Current (Note 4)	REG2, REG3 and CH DAC on			875	1350	$\mu\text{A}$
BATT Supply Current (Note 5)	Coast mode			0.5	2	$\mu\text{A}$
NICD Input Current, Standby (Note 6)	Charger and Backup Modes off, NICD = 3.6V			1.2	3	$\mu\text{A}$
NICD Input Supply Current, Backup (Note 7)	Backup mode, NICD = 3.6V, OUT = 3V			20	40	$\mu\text{A}$
NICD Input Current, Power Fail (Note 8)	Charger and Backup Modes off, BATT = 0V and OUT = 0V			1.2	3	$\mu\text{A}$
REG2 Supply Current (Note 4)	Incremental supply current when on			50		$\mu\text{A}$
REG3 Supply Current (Note 4)	Incremental supply current when on			20		$\mu\text{A}$
CH DAC Supply Current (Note 4)	Incremental supply current when on			30		$\mu\text{A}$
Reference Voltage	$I_{REF} = 0$ to 20 $\mu\text{A}$ , OUT = 1.8V to 4.9V		-1.5%	1.28	1.5%	V
DR1, DR2 On-Resistance	$I_{DR} = 120\text{mA}$	$T_A = +25^\circ\text{C}$		1.8	2.8	$\Omega$
		$T_A = -40^\circ\text{C}$ to +85 $^\circ\text{C}$			3.6	
DR1, DR2 Leakage Current	$V_{DR} = 5\text{V}$			1	250	nA
SDO Output Low	$I_{SDO} = 100\mu\text{A}$				200	mV
SDO Output High	$I_{SDO} = -100\mu\text{A}$ , from REG1		$V_{REG1}$		-0.2	V
Logic Input Level Low	Includes $\overline{CS}$ , SDI, SCL, DR2IN, SYNC, and RUN		0.4			V
Logic Input Level High	Includes $\overline{CS}$ , SDI, SCL, DR2IN, SYNC, and RUN				$V_{REG1}$ -0.4	V
Logic Input Current	Logic Input = 0 to 3.3V; includes $\overline{CS}$ , SDI, SCL, DR2IN, SYNC, and RUN		-1		1	$\mu\text{A}$
<b>SERIAL-INTERFACE TIMING SPECIFICATIONS (Note 9)</b>						
SCL Maximum Clock Rate	50% duty cycle		5			MHz
SDI Setup Time, $t_{DS}$			100			ns
SDI Hold Time, $t_{DH}$			50			ns

## ELECTRICAL CHARACTERISTICS (continued)

(OUT = 3.0V, BATT = 1.2V, NICD = 3.6V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SCL to SDO Output Valid, t <sub>DO</sub>				70	ns
$\overline{\text{CS}}$ to SDO Output Valid, t <sub>DV</sub>				70	ns
$\overline{\text{CS}}$ to SDO Disable, t <sub>TR</sub>				70	ns
$\overline{\text{CS}}$ to SCL Setup Time, t <sub>CS</sub>		50			ns
$\overline{\text{CS}}$ to SCL Hold Time, t <sub>CSH</sub>		50			ns
$\overline{\text{CS}}$ Pulse Width High, t <sub>CSW</sub>		100			ns
SCL Pulse Width High or Low, t <sub>CH</sub> , t <sub>CL</sub>		50			ns
<b>DC-DC CONVERTER</b>					
Output Current, Run Mode (Note 10)	Circuit of Figure 2, OUT = 3.0V, BATT = 1.1V	80	115		mA
Output Current, Coast Mode (Note 10)	Circuit of Figure 2, OUT = 3.0V, BATT = 1.0V	15	40		mA
OUT Error, Coast Mode (Note 11)	Coast Mode, OUT = 1.8V to 4.9V	-3.5		3.5	%
OUT Error, Run Mode (Note 12)	Run Mode, OUT = 1.8V to 4.9V	-3.5		3.5	%
OUT DAC Step Size (Note 13)	Coast or Run Mode, OUT = 1.8V to 4.9V	30	100	170	mV
OUT Load Regulation	I <sub>OUT</sub> = 1mA to 80mA, Run Mode		25		mV
OUT Line Regulation	BATT = 0.8V to 1.5V		25		mV
Maximum LX1 Duty Cycle	OUT = 3.0V	76	83		%
OUT Voltage Ripple	I <sub>OUT</sub> = 80mA, C <sub>OUT</sub> = 47μF with ESR < 0.25Ω		70		mVp-p
LX1 Switch Current Limit	During the inductor charge cycle	480	600	720	mA
LX1 On-Resistance	LX1	NMOS	0.45	0.9	Ω
		PMOS	0.65	1.3	
<b>PHASE-LOCKED LOOP (PLL)</b>					
Frequency, Free-Run	T <sub>A</sub> = +25°C, FILT connected to REF	210	270	325	kHz
Frequency, Locked	f <sub>SYNC</sub> = 38.4kHz		268.8		kHz
Jitter (Note 14)	f <sub>SYNC</sub> = 38.4kHz, FILT network = 1nF    (22nF + 10kΩ)		±15		kHz
Capture Time (Note 14)	f <sub>SYNC</sub> = 38.4kHz, FILT network = 1nF    (22nF + 10kΩ)		1	25	ms
<b>NICD CHARGER</b>					
Current High	0.2V < (OUT - NICD) < 2V, 15mA_CHG = 1	7		25	mA
Current Low	0.2V < (OUT - NICD) < 2V, 1mA_CHG = 1	0.45		1.5	mA
OUT Error, Backup Regulator	OUT = 2.8V, I <sub>OUT</sub> = 20mA, NICD = 3.3V	-3.5		3.5	%
Backup-Regulator On-Resistance (Note 15)	Backup Mode, NICD = 3.3V		5	10	Ω

# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

## ELECTRICAL CHARACTERISTICS (continued)

(OUT = 3.0V, BATT = 1.2V, NICD = 3.6V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>LINEAR REGULATORS</b>						
REG1 PMOS On-Resistance	OUT = 3.0V, I <sub>REG1</sub> = 65mA		1.5	3.1	Ω	
REG1 Supply Rejection (Note 15)	f = 268.8kHz, C <sub>REG1</sub> = 10μF ceramic	15	25		dB	
REG1 Clamp Voltage	I <sub>OUT</sub> = 1mA, OUT = 4.9V	T <sub>A</sub> = +25°C	3.2	3.3	3.4	V
		T <sub>A</sub> = -40°C to +85°C	3.15		3.45	
REG2 Voltage Drop	I <sub>REG2</sub> = 0 to 24mA, OUT = 3.0V, R <sub>OFS</sub> = 15kΩ	120	155	190	mV	
REG2 Load Regulation	I <sub>REG2</sub> = 0.1mA to 24mA		9		mV	
REG2 Supply Rejection (Note 15)	f = 268.8kHz, C <sub>REG1</sub> = 10μF, ceramic, R <sub>OFS</sub> = 15kΩ, C <sub>OFS</sub> = 0.1μF, I <sub>REG2</sub> = 15mA	30	40		dB	
REG3 Output Voltage	I <sub>REG3</sub> = 0 to 2mA	0.96	1.0	1.04	V	
REG3 Supply Rejection (Note 15)	f = 268.8kHz, C <sub>REG1</sub> = 1μF ceramic	40	50		dB	
<b>DATA-ACQUISITION AND VOLTAGE MONITORS</b>						
LBI/RSIN Input Threshold	Falling input	0.58	0.60	0.63	V	
LBI/RSIN Input Hysteresis (Note 15)		7.5	16	30	mV	
LBI/RSIN Input Current		-50	-3	50	nA	
LBO/RSO Output Low	I <sub>OUT</sub> = 1mA		30	400	mV	
LBO/RSO Output Leakage	Output = 5.5V		1	250	nA	
LBO/RSO Response Time (Note 15)	10mV overdrive		15	50	μs	
CH0 Threshold Range (Note 15)		0.2		1.27	V	
CH1 Threshold Range (Note 15)	Measures NICD	1.2		5.08	V	
CH2 Threshold Range (Note 15)	Measures BATT	0.2		1.27	V	
CH0 Threshold Resolution (Note 15)			10		mV	
CH1 Threshold Resolution (Note 15)	Measures NICD		40		mV	
CH2 Threshold Resolution (Note 15)	Measures BATT		10		mV	
CH0 Error	At thresholds of 200mV, 800mV, and 1270mV	-2.0 -15mV		2.0 +15mV	%	
CH1 Error	At thresholds of 1200mV, 3200mV, and 5080mV	-3.0 -60mV		3.0 +60mV	%	
CH2 Error	At thresholds of 200mV, 800mV, and 1270mV	-2.0 -15mV		2.0 +15mV	%	
CH0 Input Hysteresis (Note 15)		1	2	4	mV	
CH1 Input Hysteresis (Note 15)		4	8	16	mV	

## ELECTRICAL CHARACTERISTICS (continued)

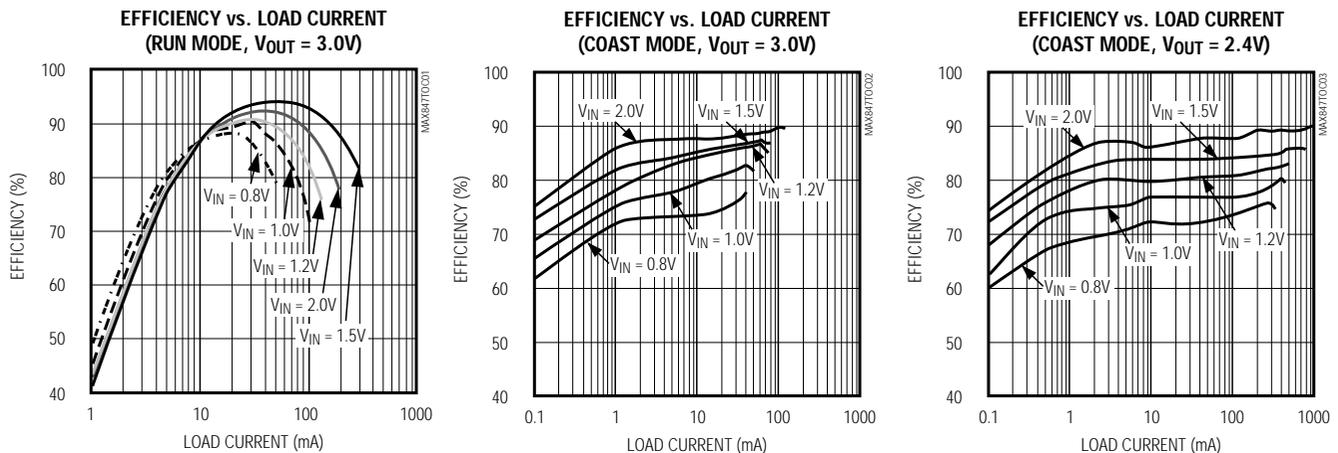
(OUT = 3.0V, BATT = 1.2V, NICD = 3.6V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
CH2 Input Hysteresis (Note 15)		1	2	4	mV
CH0 Input Current	CH0 = 0.2V to 1.27V	-100		100	nA
CH Comparator Response Time (Note 15)	10mV overdrive		0.6	1.0	μs

- Note 1:** Specifications to -40°C are guaranteed by design, not production tested.
- Note 2:** This is not a tested parameter, since the IC is powered from OUT, not BATT. The only limitation in the BATT range is the inability to generate more than 5 times, or less than 1.15 times the BATT voltage at OUT. This is due to PWM controller duty-cycle limitations in Run Mode.
- Note 3:** Minimum start-up voltage is tested by determining when the LX pins can draw at least 50mA for 1μs (min) at a 50kHz (min) repetition rate. This guarantees that the IC will deliver at least 200μA at the OUT pin.
- Note 4:** This supply current is drawn from the OUT pin. Current drain from the battery depends on voltages at BATT and OUT and on the DC-to-DC converter's efficiency.
- Note 5:** Current into BATT pin in addition to the supply current at OUT. This current is roughly constant from Coast to Run Mode.
- Note 6:** Current into NICD pin when NICD isn't being charged and isn't regulating OUT.
- Note 7:** Current into NICD pin when NICD is regulating OUT. Doesn't include current drawn from OUT by the rest of the circuit. Measured by setting the OUT regulation point to 2.8V and holding OUT at 3.0V.
- Note 8:** Current into NICD pin when BATT and OUT are both at 0V. This test guarantees that NICD won't draw significant current when the main battery is removed and backup is not activated.
- Note 9:** Serial-interface timing specifications are not tested and are provided for design guidance only. Serial-interface functionality is tested by clocking data in at 5MHz with a 50% duty-cycle clock and checking for proper operation. With OUT set below 2.5V, the serial-interface clock frequency should be reduced to 1MHz to ensure proper operation.
- Note 10:** This specification is not directly tested but is guaranteed by correlation to LX on-resistance and current-limit tests.
- Note 11:** Measured by using the internal feedback network and Coast-Mode error comparator to regulate OUT. Doesn't include ripple voltage due to inductor currents.
- Note 12:** Measured by using the internal feedback network and Run-Mode error comparator to regulate OUT. Doesn't include ripple voltage due to inductor currents.
- Note 13:** Uses the OUT measurement techniques described for the OUT Error, Coast Mode, and OUT Error Run Mode specifications.
- Note 14:** PLL acquisition characteristics depend on the impedance at the FILT pin. The specification is not tested and is provided for design guidance only.
- Note 15:** The limits in this specification are not guaranteed and are provided for design guidance only.

## 標準動作特性

(Circuit of Figure 2, T<sub>A</sub> = +25°C, unless otherwise noted.)

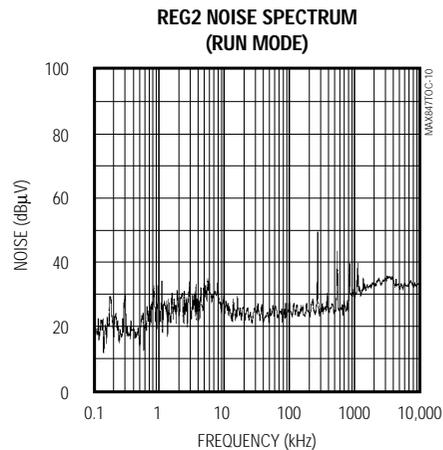
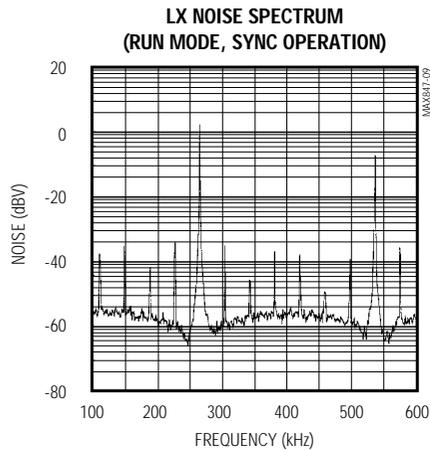
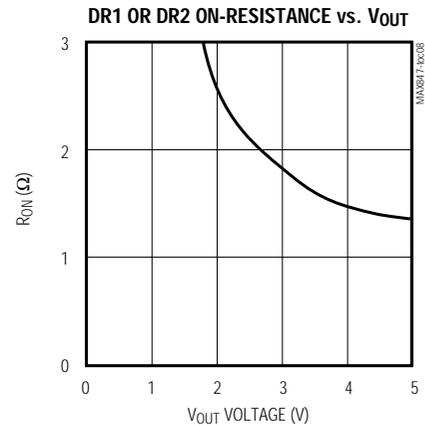
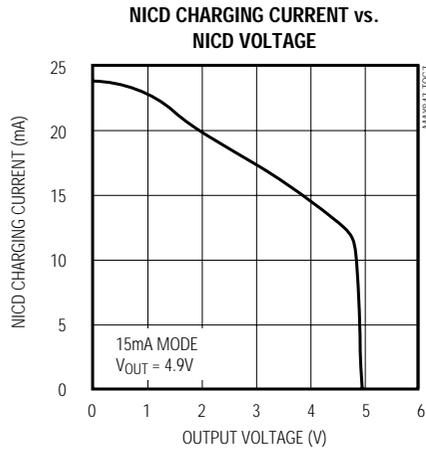
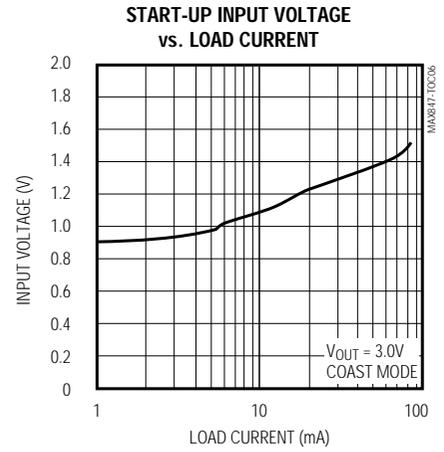
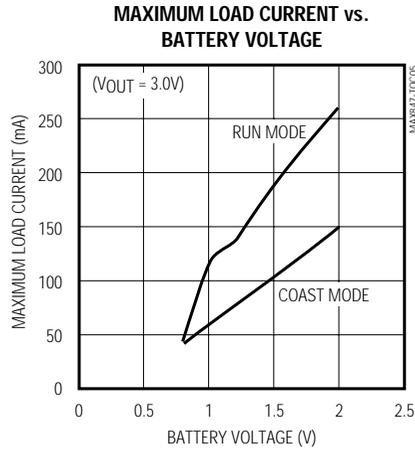
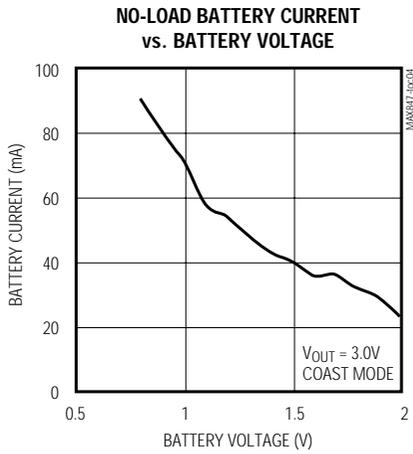


# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

## 標準動作特性(続き)

(Circuit of Figure 2,  $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# 1セル、ステップアップ 双方向ページシステムIC

MAX847

## 端子説明

端子	名称	機能
1	LX1	LX1はインダクタに接続して下さい。LX1はPGNDにスイッチングするNFET及びOUTにスイッチングするPFETに内部接続されています。
2	SDI	SPIインタフェース用のシリアルデータ入力
3	SDO	SPIインタフェース用のシリアルデータ出力
4	PGND	電源グランド。LX1 NFETのソース
5	SCL	SPIインタフェース用のシリアルクロック
6	LBO	LBIコンパレータ用のオープンドレイン出力
7	RSO	リセット出力。RSINが0.6V以下に低下すると、オープンドレインがローになります。又、全てのシリアルレジスタはPOR状態にリセット(又はセット)されます。
8	REF	1.28Vリファレンス。1 $\mu$ Fコンデンサでバイパスして下さい。
9	CH0	CH0は0.2V~1.27V可変の7ビットDACと比較されます。比較の結果はCH0 OUTレジスタに送られます。
10	RSIN	リセット入力。入力が0.6V以下の時に、RSOをトリガしてICをリセットします。ヒステリシス(18mV)付のコンパレータ。
11	LBI	ローバッテリー入力。LBO及び内部シリアルビットをトリガします。
12	FILT	外部RCネットワークがPLLループ応答(SYNC)を設定して、周波数ロック時間対ジッタを調節します(1nF    (22nF + 10k ))。SYNCが使用されていない時は、REFに接続して下さい。
13	SYNC	PWMスイッチレートの同期入力。入力が38.4kHzの時は、PWMレートが268.8kHz(同期周波数の7倍)になります。
14	OFS	抵抗によって、OUT(又はREG1又はその他のポイント)とREG2の間のオフセットが設定されます。RoFsが15k の時、オフセットは150mVになります。
15	AGND	アナロググランド
16	DRGND	DR1及びDR2 FETソースのグランド
17	DR1	オープンドレインFETスイッチ。シリアルインタフェースビットによって起動されます。
18	DR2IN	ロジック入力。DR2ONビットとAND接続されて、DR2スイッチの制御を行います。
19	DR2	オープンドレインFET。DR2ONビットとDR2INピンのAND接続を通じてオンになります。
20	REG3	1V、2mAレギュレータ出力。シリアルインタフェースでオンになります。低ノイズです。
21	REG2	24mA REG2出力。OFSピンの電圧にリニアレギュレーションされます(電圧差 = 10 $\mu$ A $\cdot$ RoFs)。REG2はノイズを分離します。
22	R2IN	REG2入力。OUT、REG1又は別の電圧ソースに接続して下さい。
23	NICD	OUTから3セルNICDスタックへの設定可能な充電電流(15mA又は1mA)。NICD_REG_ONビットがセットされると(表2)、NICDはOUTにおけるリニアレギュレータの入力になり、DC-DCコンバータはオフになります。
24	REG1	OUTに接続されたPFET出力。出力は、OUTにおける電圧設定にかかわらず3.3Vより高くはならないようにクランプされています。
25	OUT	DC-DCコンバータ出力及びフィードバックポイント。100mV刻みで1.8V~4.9Vにデジタル制御されます(表6)。
26	BATT	バッテリーへの正接続部。ICはOUTから電源を得ています。
27	$\overline{CS}$	SPIシリアルインタフェース用のチップセレクト
28	RUN	ラン/コースト。ロジック信号により、ランモードとコーストモードの切り換えが可能です。RUN又は内部RUN/COASTビットがハイの時に、ランが選択されます。両方がローの時は、コーストが選択されます。

# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

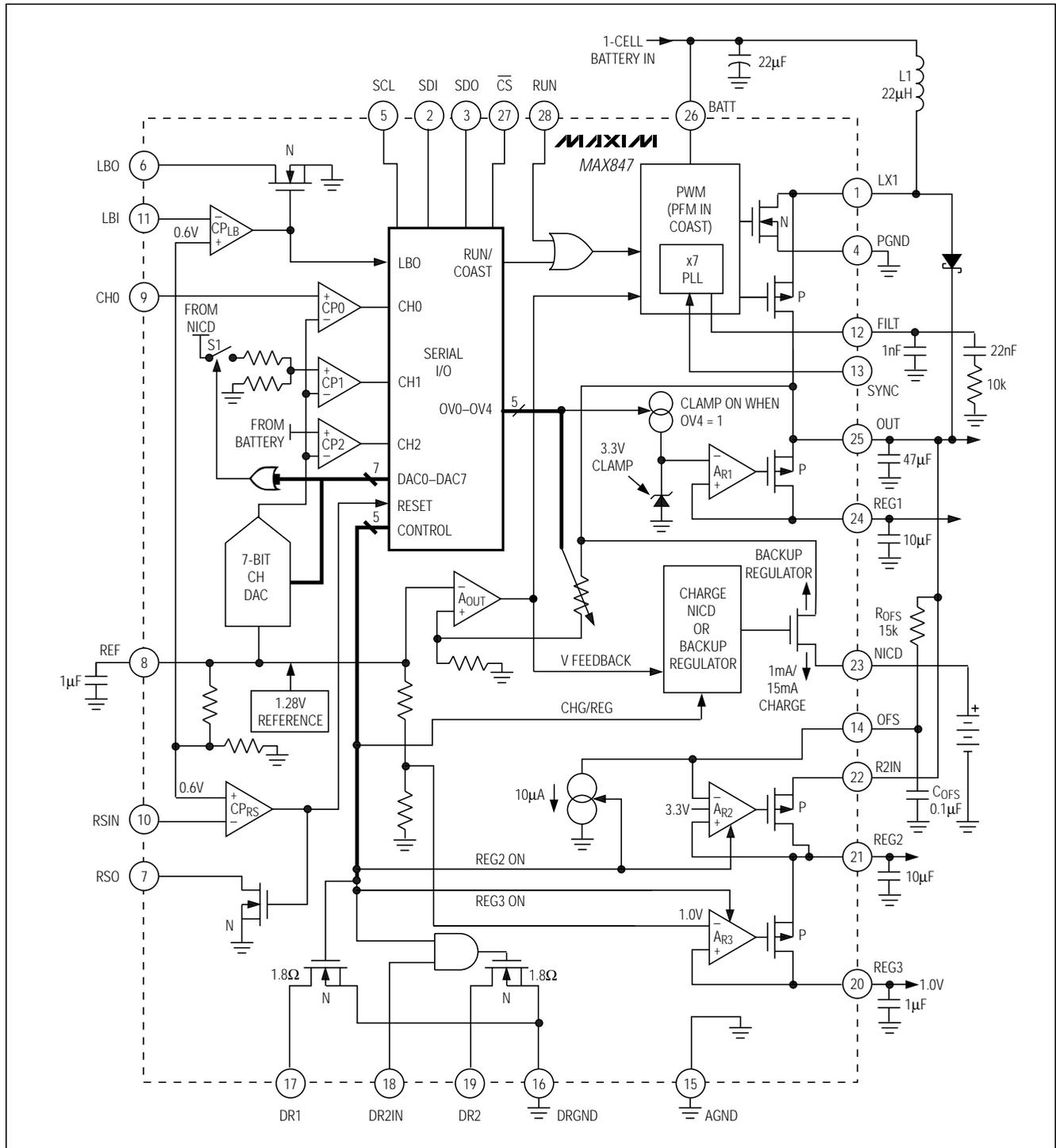


図1. ファンクションダイアグラム

# 1セル、ステップアップ 双方向ページシステムIC

MAX847

## 詳細

MAX847は、1セル駆動機器の電源及び監視機能の統合を容易にするいくつかの機能ブロックを含んでいます。以下の各項で、これらの機能ブロックについて説明します。

### 電圧レギュレータ

レギュレータ出力には以下が含まれています。

- OUT：メインスイッチモードブースト出力
- REG1：1.5 スイッチ及び出力電圧クランプ。REG1をOUTにスイッチングし、OUTが3.4V以上に設定されている時にREG1を3.3Vにクランプします。
- REG2：リニアレギュレータの24mA低ノイズ出力 ( $V_{OUT} - V_{REG2}$ が設定された差電圧( $10\mu A \cdot R_{OFS}$ )になるように安定化されています)。出力のピーク間リップルは、REG2に10 $\mu$ Fのバイパスコンデンサがある時に2mV(typ)です。REG2は、出力を3.3Vにクランプします。
- REG3：2mAを供給する低ノイズ、1Vリニアレギュレータ

### メインDC-DCブーストコンバータ(OUT)

OUTは、メインDC-DCコンバータの出力です。内部同期整流ブーストレギュレータからの電流がここから出力されます。外部FETや電圧設定抵抗は必要ありません。出力電圧( $V_{OUT}$ )はシリアルデータコマンドを使用した内部DAC制御により、1.8V~4.9V(100mV刻み)で調節されます(表2及び表6を参照)。OUTは最大電流80mAから他のレギュレータ(REG1、REG2、REG3)に供給される電流を差し引いた分だけ供給する能力があります。

RUN/COASTシリアル入力ビットをリセットし、RUNピンを0Vに保持することによって、OUTを低電流パルススキッピングコーストモード(標準自己消費電流13 $\mu$ A)にすることもできます。コーストモードにおいて、OUTは最大40mAまで供給できます。通常、ランモードからコーストモードに変える時は、OUT電圧も低く設定して(表5)機器の動作電流をさらに低減します。この低減の度合いは、機器の部品のスタンバイ又はスリープ状態における最小動作電圧に依存します。

OUTは最低1.8Vまで設定することができますが、 $V_{OUT}$ が2.5V以下の場合、次に示すようにランモードの一部の機能に制限が出ます。

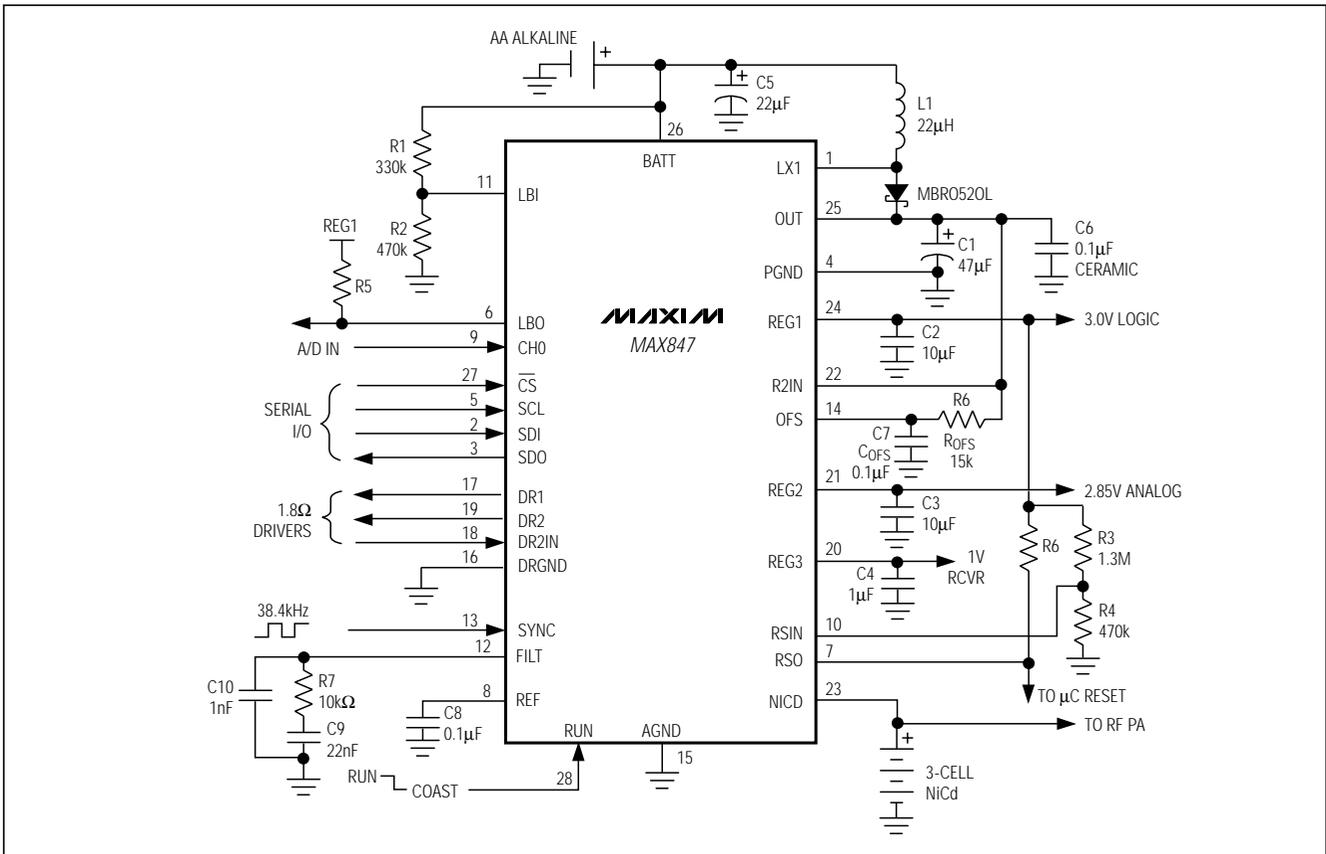


図2. 標準アプリケーション回路

# 1セル、ステップアップ 双方向ページャシステムIC

- ・許容シリアルインタフェースクロックレートが低減します。
- ・内部LX FETとDR1及びDR2のオン抵抗が増加します。

## ロジック電源(REG1)

REG1は通常の意味におけるレギュレータではなく、設定されたOUT電圧に依存してスイッチ又は電圧クランプとして動作する1.5 PFETです。OUTが3.3V以下に設定されていると、REG1はスイッチとして動作します。OUTが3.4V以上の場合、REG1出力は3.3Vにクランプされます。この動作構成により、OUTが充電用に高い電圧(4V以上typ)に設定された場合にV<sub>REG1</sub>がロジック用に許容される電圧に制限されます(「充電回路」及び「バックアップリニアレギュレータ」の項を参照)。

## 低ノイズアナログ電源(REG2)

REG2は、R2INを入力とするリニア24mA低ドロップアウト安定化回路です。REG2出力(V<sub>REG2</sub>)は、R<sub>OFS</sub>によって設定されます。R<sub>OFS</sub>は絶対電圧を設定するのではなく、R2INからのオフセット電圧を設定します(図2)。V<sub>REG2</sub>は次式で設定します。

$$V_{REG2} = V_{R2IN} - 10\mu A \cdot R_{OFS}$$

通常の場合、R2INとR<sub>OFS</sub>はOUTに接続されています。その場合は次式が成り立ちます。

$$V_{OUT} - V_{REG2} = 10\mu A \cdot R_{OFS}$$

R<sub>OFS</sub>によってV<sub>OUT</sub> - V<sub>REG2</sub>を調節することにより、REG2におけるノイズ除去率及び電圧ドロップアウトに起因する効率低下の間のバランスを取ることができます。R<sub>OFS</sub>が15k (typ)の場合、電圧差は150mVとなります。R2INは通常OUT又はREG1から供給されますが、R2INに印加される電圧がV<sub>OUT</sub>を超えない限り、その他のところに接続しても構いません。REG2の出力ノイズを最低に抑えるには、R2INをREG1に接続して下さい。

REG2の出力もやはり3.3Vにクランプされます。

## 低ノイズ、1Vアナログ電源(REG3)

REG3は、最大2mAまで供給する1V低ノイズリニアレギュレータです。REG3の入力は内部でREG2に接続されています。

## PWM周波数同期

MAX847のDC-DCコンバータは、SYNC入力のクロックの有無にかかわらず動作します。SYNCクロックが使用されている場合は、FILTにPLLフィルタネットワークを接続する必要があります(図2のR7、C9及びC10を参照)。DC-DCコンバータ(ランモード)は、7f<sub>SYNC</sub>で動作します。MAX847はSYNCクロック38.4kHz、即ちスイッ

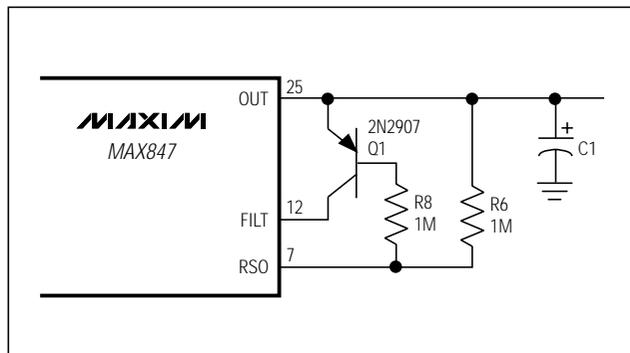


図3. SYNC入力クロックがアクティブになる前にランモードでスタートアップするには、PNPを追加して下さい。

チング周波数268.8kHz用に設計されています。SYNCクロックが使用されていない場合は、FILTをREFに接続し、R7、C9及びC10を省いて下さい。MAX847は、SYNCクロックが使用されておらず、FILTがREFに接続されていない場合、ランモードに入りません。

SYNCクロックがなく、FILTがREFに接続されている場合、DC-DCコンバータはランモードにおいて公称270kHzで動作します。ランモードのスイッチング周波数は、シリアルデータのクロックレートとは関係ありません。

MAX847は、最初のパワーアップ時にはコーストモードでスタートするように設計されています。システムがスタートした後で、シリアルインタフェースを介するシステムからのコマンドあるいはRUNピンでランモードが指令されます。以下の状況においては、MAX847をランモードでパワーアップできます。

- 1) SYNCクロックが使用されていない場合(REFはFILTに接続)。
- 2) SYNCクロックが使用されており、REG1が1.5V以上でSYNCクロックが提供されている時に最初のパワーアップが起きた場合。
- 3) SYNCクロックが使用されており、図3に示す接続が追加され、RSOがクリアされた(ロジックハイ)時にSYNCクロックが存在する場合。

## 電圧検出(LBO及びリセット)

MAX847は、2つの電圧検出入力LBI及びRSINを持っています。LBI及びRSINコンパレータ出力は、リアルタイムハードウェア出力用のオープンドレインピン(LBO及びRSO)です。LBOは、シリアルインタフェースを通じて読むこともできます。LBI及びRSINはいずれも入力スレッショルド0.6Vでトリガされ、ヒステリシスは約18mVです。RSOは、MAX847の内部パワーオンリセット(POR)もトリガします。

表1. ランモード及びコーストモードのスタートアップ必要条件

SYNC動作	回路接続	スタートアップモード
SYNCクロック未使用時。	1) REFをFILTに接続 2) R7、C9及びC10を削除	RUNピンを適切に接続することによりコースト又はランモードをスタート。ランモードではDC-DCコンバータは270kHzで動作。
最初のパワーアップでREG1が1.5V以上の場合、システムはMAX847にSYNCクロックを供給。	通常の図2の回路を使用	RUNピンを適切に接続することによりコースト又はランモードをスタート。SYNCクロックが供給されるとランモードではDC-DCコンバータは7f <sub>SYNC</sub> で動作。
最初のパワーアップでRSOがハイになる前又は同時に、システムはMAX847にSYNCクロックを供給。	図3の様にQ1を追加	RUNピンを適切に接続することによりコースト又はランモードをスタート。SYNCクロックが供給されるとランモードではDC-DCコンバータは7f <sub>SYNC</sub> で動作。
スタートアップでRSOがハイになるまでは、システムはMAX847にSYNCクロックは供給しない。	通常の図2の回路を使用	コーストモードでスタートしなくてはなりません。ランモードはスタートアップ後、システムによってスタート。

## 7ビットADC(CH0入力及びCH1、CH2)

3つのアナログチャネルが、7ビットのシリアルプログラミングのD/Aコンバータ(CH DAC)と比較されます。CH DAC電圧は、200mV ~ V<sub>REF</sub> - 1LSB(又は1.27V)の間で10mV刻みで変えることができます(表2)。CH0は外部入力ですが、CH1及びCH2はNICD及びBATTピンから内部で生成されます。NICDはCH DACと比較される前に内部で4つに分割されますが、BATTは直接CH2に接続されています。

各チャネルの比較スレッショルド電圧は次式で表されます。

$$V_{TH}(CH0 : \text{ピン}9) = D \cdot 10\text{mV}$$

$$V_{TH}(CH1 : \text{NICD}) = D \cdot 40\text{mV}$$

$$V_{TH}(CH2 : \text{BATT}) = D \cdot 10\text{mV}$$

ここで、DはバイナリコードDAC ~ DAC6の10進法表現です(表2)。DAC0はLSBです。DACコード1111111はD = 127となります。全てをゼロに設定すると、CH DAC及びCHコンパレータはターンオフされます。

CH0、CH1及びCH2の比較結果は、出力シリアルデータの3つのMSB位置に保存されます(表5)。CH\_OUTデータは、1読取サイクル分だけ遅延されます。即ち、各CH\_OUTビットは、その前のシリアル書込動作中に設定されたCH DAC電圧との比較の結果です。

チャネルのアナログデジタル(A/D)変換は、システムソフトウェアを使用して逐次近似ルーチンを実行するか、あるいは入力が部分的に既知である場合はCH DACを推定ポイントの近くに設定し、CH\_OUTビットを連続的にチェックすることによって行うことができます。

単に「実行するか否か」を決めることが目標の場合は、バッテリー測定でA/Dを速く行う簡便法があります。この場合はCH DACを希望のリミットに設定するだけで、次の書込動作でCH\_OUTが結果を知らせます。この簡便法で時間が省ける例としては、バッテリーインピーダンスチェックが挙げられます。時間がある場合は、まず無負荷のバッテリー電圧を前節で説明した技法のうちの1つを使用して測定します。その後、負荷がある場合の電圧降下の大きさが希望のリミット内に収まっているかどうかを1回のチェックで素早くチェックできます。

A/D回路は、ランモードでもコーストモードでも起動できます。

## オープンドレインドライバ

2つのオープンドレインドライバ(DR1及びDR2)が、シリアルインタフェースを通じて起動されます。DR1及びDR2は、最大120mAをシンクできる接地された1.8(typ)NFETです。全シンク電流は、オン抵抗及びパッケージの放熱により約240mAに制限されています。DR1及びDR2は、メインバッテリー(BATT)からしか電流をシンクしない設計になっているため、BATTより高く引き上げることはできません。

DR2は、外部入力(DR2IN)及びシリアル入力ビットによって制御されています。DR2INをDR2ONシリアル制御ビットとAND接続することにより、DR2でオーディオビープを駆動できます。オーディオ周波数のクロックがDR2INに印加され、ON/OFFゲート電圧がDR2ONに印加されます。DR2がオンになるには、DR2IN(ピン18)及びDR2ON(シリアルビット)の両方がハイである必要があります。DR1は、DR1ON(シリアルビット)によってのみ制御されます。

# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

## ランモード及びコーストモード

MAX847のデフォルトモードはコーストです。ランモードは、シリアルコマンド(表2)又はRUNピンをハイにすることにより選択されます。RUNシリアルビット及びRUNピンは、論理的にOR接続されています。コーストモードにするには、両方がローであることが必要です。コーストモードにおいて、DC-DCコンバータは負荷に必要なだけしかパルス動作をしないため、MAX847の動作電流が標準13µAに抑えられます。ランモードにおけるDC-DCコンバータは、ノイズを最小限に抑えるために固定周波数パルス幅変調(PWM)及び同期技法を採用しています。

MAX847の一部の機能は、ランモードのみに限られています。その他の機能は、ランモードとコーストモードの両方でアクティブです。

以下に示すように、様々な回路機能がディセーブルされます。

常にオンに維持される機能は下記の通りです：

- シリアルI/O
- リファレンス(REF)
- OUT
- REG1
- LBI、RSIN(及びLBO、RSO)

オン又はオフにプログラムできる機能は(表1)下記の通りです：

- DR1 及びDR2
- REG2 及びREG3

- NICD充電器(注記： コーストモードでその他の負荷がある時にこれをターンオンすると、OUTが過負荷になることがあります。)

- NICDバックアップレギュレータ
- CH0、CH1、CH2及びCH DAC

コーストモードで常にオフである機能は下記の通りです：

- SYNC及びPLL回路
- DC-DC PWM制御回路

## パワーオンリセット

MAX847は、バッテリーを最初に印加した時にパワーアップが秩序正しく行われるように、内部POR回路( $V_{OUT} < 1.6V$ )を備えています。この機能はRSOコンパレータとは別ですが、動作中にRSOがローになると、全てのレジスタがパワーアップ時と同じ予め決められた状態にセットされます。表3に、各レジスタのPOR状態が記載されています。

MAX847は、リセットが解除された時には必ずコーストモードになることに注意して下さい。このため、RUNピン又はシリアルコマンドによってランモードが選択されるまでは最大電力を供給できません。ランモードがイネーブルされるまで、システムソフトウェアは重負荷電流を使用できません。

## 充電回路

OUTからNICDへの充電電流ソースは、シリアルビットを通じて起動されます(表2)。この電流ソースは、小さな3セルNICD又はNIMH電池(通常はコインセル)又は1セルのリチウム電池を充電できます。充電電流は、15mA又は

表2. シリアルビットの割当

R2 (MSB)	R1	R0	D4	D3	D2	D1	D0
0	0	0	DR2_ON	DR1_ON	REG3_ON	REG2_ON	RUN/ COAST
0	0	1	X	LBO_Sets_ BACKUP	BACKUP	15mA_CHG	1mA_CHG
0	1	0	OV4	OV3	OV2	OV1	OV0
0	1	1	X	X	X	X	X
1	DAC6	DAC5	DAC4	DAC3	DAC2	DAC1	DAC0

表3. シリアルビットのパワーオンリセット(POR)状態

R2	R1	R0	D4	D3	D2	D1	D0
0	0	0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0
0	0	1	X	POR = 0	POR = 0	POR = 0	POR = 0
0	1	0	POR = 0	<b>POR = 1</b>	<b>POR = 1</b>	POR = 0	POR = 0
0	1	1	X	X	X	X	X
1	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0	POR = 0

# 1セル、ステップアップ 双方向ページャシステムIC

1mAに設定できます。15mAと1mAの両方が設定されると、充電器は15mAで動作します。OUTは最大充電(又はフロート)電圧を設定します。充電が実行されている時、充電電流ソースに十分なヘッドルームを与えるためにV<sub>OUT</sub>も高く設定する必要があります。V<sub>OUT</sub>とV<sub>NICD</sub>の差は、通常0.2V~0.5Vの範囲にします。充電電流対出力電圧のグラフは、「標準動作特性」に記載されています。充電電流が流れると、その他の負荷に使用できるOUT電流が低減することにも注意して下さい。

## バックアップリニアレギュレータ

BACKUPシリアル入力ビットはバックアップレギュレータをターンオンし、このレギュレータがNICDからOUTへの電流のソースとなります。このレギュレータは、メインバッテリー(BATT)が消耗したり取り外された時に、充電可能な電池(NICD)を使用してOUTをバックアップします。バックアップレギュレータのパスデバイスの抵抗は5 (typ)であるため、僅か100mVのドロップアウトで20mA(typ)を供給できます。

バックアップレギュレータがターンオンされると、全てのDC-DCコンバータ及び充電回路がディセーブルされますが、その他全ての機能はアクティブ状態に維持されます。BACKUPはシリアルコマンドを使用してマニュアルで起動するか、LBOがローになった時に自動的にトリガするように設定して下さい。

## 自動バックアップ

LBO\_Sets\_BACKUPシリアルビット(表2)をセットすると、LBOがローになった時にマイクロプロセッサ(μP)からの命令なしでバックアップレギュレータが自動的にターンオンするようにICがプログラムされます。LBO\_Sets\_BACKUPビットがゼロである場合、バックアップレギュレータはBACKUPビットをセットすることによってのみターンオンします。BACKUPビットは、

LBO\_Sets\_BACKUPビットをオーバライドします。図4に、この機能のロジックを示します。

メインバッテリーが消耗し、NICDバッテリーがバックアップ中に消耗すると、バックアップレギュレータがOUTを供給している時にRSOがローになります(RSIを使用してOUT又はREG1を監視している場合)。RSOが低下すると、シリアルレジスタがPOR状態にリセットされます(DC-DCコンバータはコーストモードでオン、バックアップレギュレータはオフ。表2、3、4を参照)。これにより、新しいメインバッテリーが挿入された時、DC-DCコンバータがオフの状態ではICが固着するのを防ぐことができます。このシーケンスが必要な理由は、MAX847のリセットが解除された時にデフォルトで「DC-DCコンバータオン」の状態にならないと、μPがまだRSOでリセットされているのでターンオンのシリアル命令を出すことができないためです。

## シリアルインタフェース

MAX847は、SPIコンパチブルのシリアルインタフェースを持っています。シリアルインタフェースラインは

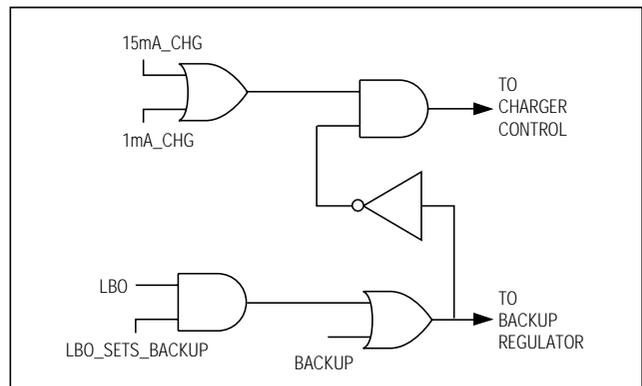


図4. 充電器制御とBACKUP、及びLBO\_Sets\_BACKUPシリアル入力ビットのロジック

表4. 入力ビットの機能説明

入力ビット	機能
RUN/COAST	1 = ランモード、0 = コーストモード(POR時はコーストモード)。
REG2_ON, REG3_ON	1 = 選択されたレギュレータをターンオン(POR時はオフ)。
DR1, DR2	1 = 選択されたスイッチをターンオン(POR時はオフ)。
1mA_CHG, 15mA_CHG	1 = NICDへ選択されたチャージ電流をターンオン。両方がセットされている場合、チャージ電流は15mA(POR時はオフ)。
BACKUP	1 = NICDからOUTにバックアップリニアレギュレータをターンオンし、DC-DCコンバータをディセーブル(POR時はBACKUPオフ)。このビットを設定すると1mA_CHG、15mA_CHG及びLBO_Sets_BACKUPをオーバライドします(図1)。
LBO_Sets_BACKUP	1 = LBOでバックアップレギュレータをターンオンし、DC-DCコンバータをディセーブル(POR時はLBO及びBACKUP間で未接続)。
OV0-OV4	OUTの出力電圧を設定(POR時はV <sub>OUT</sub> =3.0V)。
DAC0-DAC6	A/D変換用に7ビットCH DAC電圧を設定(POR時は全てゼロでDAC及びコンパレータはオフ)。

# 1セル、ステップアップ 双方向ページシステムIC

MAX847

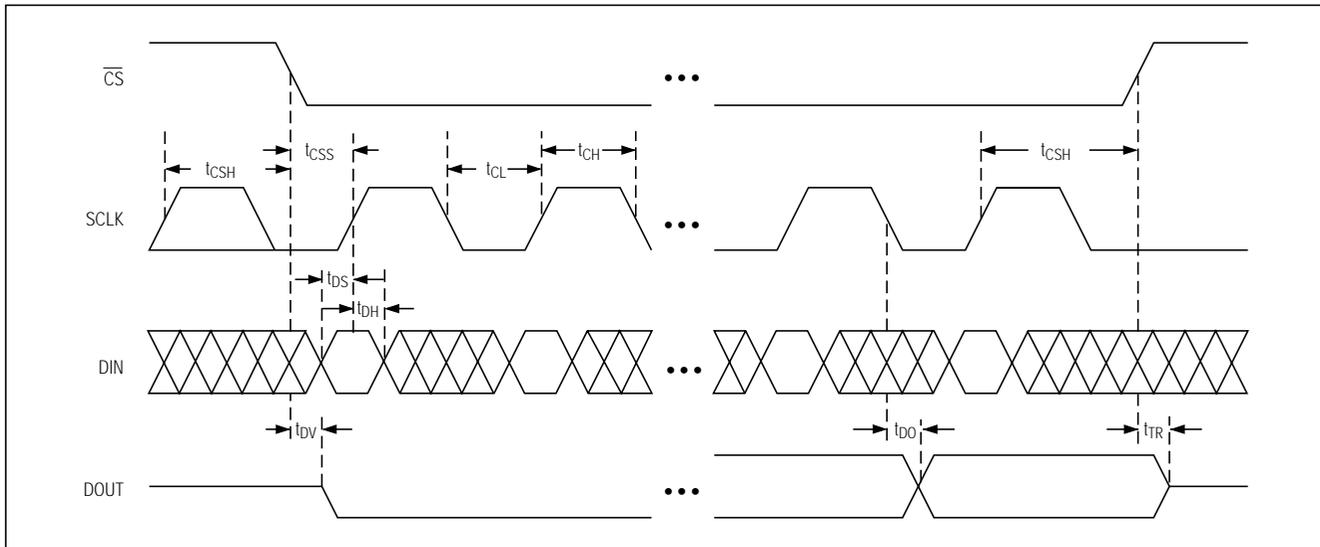


図5. シリアルインタフェースタイミングの詳細

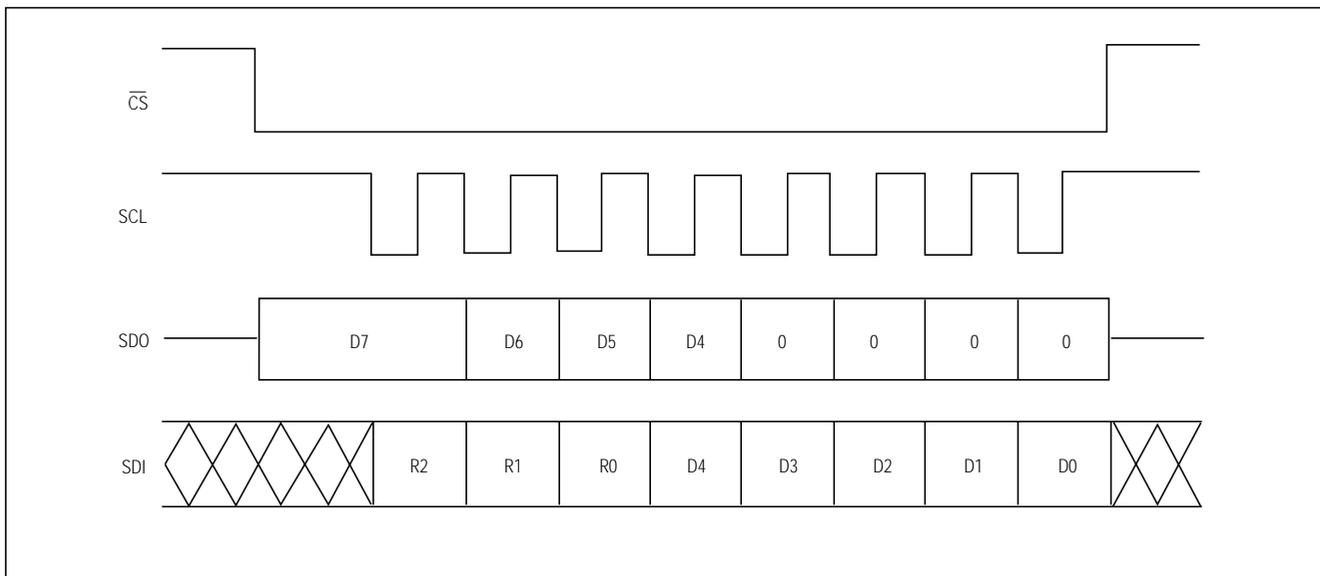


図6.  $\overline{CS}$ 、SCL、SDO及びSDIシリアルタイミング

チップセレクト( $\overline{CS}$ )、シリアルクロック(SCL)、シリアルデータイン(SDI)及びシリアルデータアウト(SDO)です。シリアル入力データは、8ビットバイトで構成されています。殆どのバイトは、3ビットのアドレスポイント(R2、R1、R0)及び5ビットの入力データ(D4～D0)を含んでいます。ラン又はコーストモードの選択、REG2又はREG3の起動、DR1又はDR2のターンオン、といった通常の動作では、000(R2、R1、R0)アドレスレジスタだけの書込で済みます。表2、3、4に、MAX847の全動作のシリアル入力データフォーマットがまとめられています。

シリアルデータは、MSBから先に同期入力、同期出力されます。入力データはCLKの立上がりエッジでラッチ

され、出力データはCLKの立下がりエッジでシフト出力されます。 $\overline{CS}$ がローになると、直ちにD0にMSB出力ビット(D7)が入ります。D6は、チップセレクトの後の最初の立上がりクロックエッジに続く立下がりクロックエッジまで、クロック出力されません。図5及び図6のタイミング図を参照して下さい。

SPIは書込みと読取りを同時に行うため、出力データを読み取るためにダミー書込みを行うことが必要な場合があります。シリアル動作が発生する度に、4つの出力データビット(D7～D4、表5)がSDOから送り出されます。R2 = 0の時、R0及びR1はアドレスポイントです。しかし、R2 = 1の時は、残りの7ビット(R1、R0及びD4～D0)がDACプログラミングビットになります。このよう

# 1セル、ステップアップ 双方向ページャシステムIC

MAX847

表5. シリアル出力データ

D7 (MSB)	D6	D5	D4	D3-D0	機能
CH2_OUT	CH1_OUT	CH0_OUT	LBO	X	CH_OUT及びLBO出力ビット。1は選択されたチャンネル(CH)電圧がCH DAC電圧以上、又はLBIが0.6V以下ということを表わします。

表6. V<sub>OUT</sub>出力電圧

SERIAL-DATA BIT					V <sub>OUT</sub> (V)
OV4	OV3	OV2	OV1	OV0	
0	0	0	0	0	1.8
0	0	0	0	1	1.9
0	0	0	1	0	2.0
0	0	0	1	1	2.1
0	0	1	0	0	2.2
0	0	1	0	1	2.3
0	0	1	1	0	2.4
0	0	1	1	1	2.5
0	1	0	0	0	2.6
0	1	0	0	1	2.7
0	1	0	1	0	2.8
0	1	0	1	1	2.9
0	1	1	0	0	3.0
0	1	1	0	1	3.1
0	1	1	1	0	3.2
0	1	1	1	1	3.3
1	0	0	0	0	3.4
1	0	0	0	1	3.5
1	0	0	1	0	3.6
1	0	0	1	1	3.7
1	0	1	0	0	3.8
1	0	1	0	1	3.9
1	0	1	1	0	4.0
1	0	1	1	1	4.1
1	1	0	0	0	4.2
1	1	0	0	1	4.3
1	1	0	1	0	4.4
1	1	0	1	1	4.5
1	1	1	0	0	4.6
1	1	1	0	1	4.7
1	1	1	1	0	4.8
1	1	1	1	1	4.9

に、場合によってR1とR0がアドレスビットになったりデータビットになったりするのプログラミング方法に反しますが、これによってCH DACを1つの書込動作でロードできます。

CH DACに全てゼロを書き込むと、それ自身、CH0、CH1及びCH2コンパレータ及びNICD及びBATT電圧検出抵抗がオフになり、消費電流が最小限に抑えられます。これにより、OUTからの電流の消費が約30µA低減されます。

## アプリケーション情報

### 部品の選択

MAX847は設計計算が最小限で済み、図2に示される部品定数に対して最適化されています。しかし、以下に示すように、部品の選択にはまだある程度の柔軟性が残されています。表7に、適切な部品のリストが記載されています。

インダクタL1は公称22µHですが、10µH～47µHの範囲であれば十分です。フル出力電流(80mA)が必要な場合には、インダクタの電流定格は500mA以上にして下さい。必要な出力電流が小さい場合にはそれに比例してインダクタの電流定格を小さくできますが、決して250mA未満にはしないで下さい。

最高の効率を得るために、インダクタの抵抗を最小限に抑えて下さい。しかし、MAX847のNチャンネルスイッチの抵抗が0.45 (typ)であるため、コイル抵抗を0.2以下にしても効率はそれほど向上しません。

リップルを小さくし、ノイズ除去比を最小限にするには、フィルタコンデンサC1～C4を低ESRタイプ(タンタル又はセラミック)にします。高周波数0.1µFセラミックコンデンサを並列に接続して、OUTにおけるトランジェントノイズを低減して下さい。図2に示す部品定数は、各出力の定格電流に合わせて最適化されています。必要な出力電流が小さければ、容量値を小さくすることができます。

LBI及びRSINにおける抵抗は、LBO及びRSO出力がトリガする電圧を設定します。LBI及びRSIの電圧スレッシュホールドは、いずれも0.6Vです。希望のトリップ電圧V<sub>TRIP</sub>(図2)を設定するために必要な抵抗は、次式で計算します。

$$R1 = R2[R2(V_{TRIP(LBO)}/0.6) - 1]$$

$$R3 = R4[R2(V_{TRIP(RSO)}/0.6) - 1]$$

# 1セル、ステップアップ 双方向ページャシステムIC

表7. 外部部品

SUPPLIER	PART NO.	COMMENTS
<b>INDUCTORS (22μH)</b>		
Coilcraft	DT1608C-223	0.16Ω, 3.18mm high, shielded
Murata	LQH4N220K	0.94Ω, 2.6mm high, low current, low cost
	LQH3C221	0.71Ω, 2mm high, low current, low cost
Sumida	CD54-220	0.18Ω, 4.5mm high
	CD43-220	0.378Ω, 3.2mm high
	CDRH62B-220	0.34Ω, 3mm high, shielded
TDK	NLC565050-220K	0.43Ω, 5mm high
<b>CAPACITORS</b>		
AVX	TPS series	Tantalum
Marcon	THCR series	Ceramic
Sprague	595D series	Tantalum
<b>STORAGE CAPACITOR (optional at NICD pin)</b>		
Polystor	A-10300	1.5F

バッテリーの消費を最小限に抑えるため、上の式のR2及びR4には大きな値(100k 以上)を使用して下さい。目安は470k です。

R<sub>OFS</sub>の選択については、「低ノイズアナログ電源(REG2)」の項を参照して下さい。

LBO及びRSOはオープンドレイン出力であるため、プルアップ抵抗(R5、R6)が必要です。通常これらの出力は、REG1にプルアップされています。他の値も使用できますが、応答時間と消費電流の間の妥協点として100kを推奨します。通常動作中はLBIとRSOがハイ(オープン回路)であるため、ローバッテリー又はリセットが発生するまではR5及びR6には普通電流は流れません。

## ロジックレベル

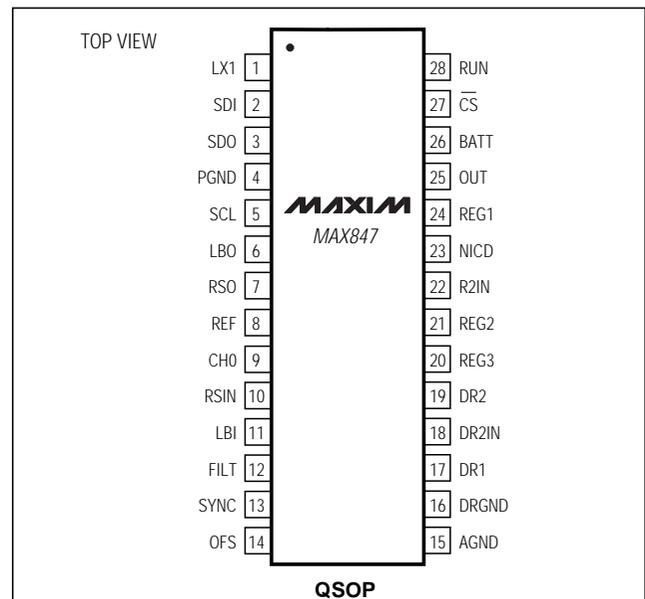
MAX847の内部ロジックはREG1で駆動されているため、デジタル入力(DR2IN、RUN、SYNC、CS、SCL及びSDI)における入力ロジックレベル及びSDOにおけるロジック出力レベルはREG1の電圧によって支配されます。これらのピンにおけるロジックハイ入力がV<sub>REG1</sub>を超えないようにして下さい。デジタル入力は、REG1から電源を得ている外部ロジック(又はμP)、あるいはREG1にプルアップされたオープンドレインロジックデバイスによって駆動して下さい。

## 基板レイアウト及びノイズ除去

MAX847はノイズ及びEMIを最小限に抑えるように内部設計が工夫されていますが、それでも最高の性能を得るために慎重なレイアウト設計が推奨されます。推奨事項は、下記の通りです。

- 1) L1とLX1及びPGNDにおけるトレースをできるだけ短く広くして下さい。LX1はV<sub>BAT</sub>とV<sub>OUT</sub>の間を高速でスイングするため、LX1トレースを短くすることによって、プリント基板上でアンテナとして働いてしまう部分を小さくすることができます。
- 2) OUT、REG1、REG2及びREG3のフィルタコンデンサは、それぞれのピンのできるだけ近く(0.5mm以内)に配置して下さい。
- 3) L1としてシールド付インダクタを使用することにより、輻射ノイズを最小限に抑えることができますが、これは必須ではありません。トロイドもシールド付コイルに近いEMI性能を発揮します。
- 4) プリント基板レイアウトを容易にするために、LX1、OUT及びPGNDピンはICの一番上の部分に配置されています。電力部品をこの近くに集中して、回路の他の部分とのカップリングを小さくして下さい。この近くにあるその他のピンはデジタルであるため、スイッチングノードに近くても影響されません。
- 5) PGND、及びBATTとOUTフィルタコンデンサのグラウンド側には短くて広いグラウンドトレースを使用し、このトレースをグラウンドプレーンに接続して下さい。

## ピン配置

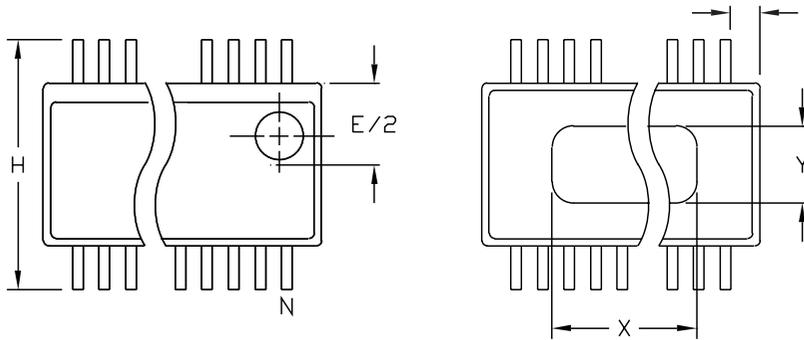


# 1セル、ステップアップ 双方向ページャシステムIC

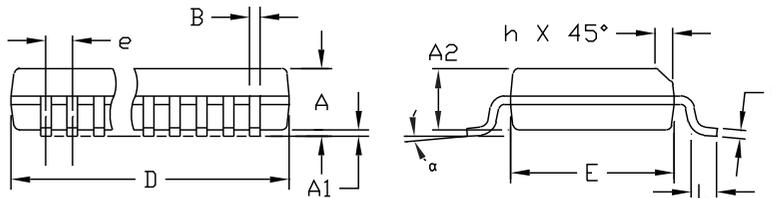
パッケージ

MAX847

OSOP:EPS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°



VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN	MAX	MIN	MAX	
D	.189	.196	4.80	4.98	16   AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20   AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24   AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28   AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSDP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.



PROPRIETARY INFORMATION

TITLE:

PACKAGE OUTLINE, QSDP, .150", .025" LEAD PITCH

APPROVAL	DOCUMENT CONTROL NO	REV	1/1
	21-0055	B	

# 1セル、ステップアップ 双方向ページャシステムIC

---

MAX847

NOTES