

MAX77801

高効率バックブーストレギュレータ

概要

MAX77801は、リチウムイオンバッテリーまたは類似のバッテリーを使用するモバイルアプリケーション向けの大電流、高効率バックブーストです。MAX77801は、4スイッチHブリッジ構成を採用してバック/ブースト動作モードをサポートしています。バックブーストは、2.60V~4.1875Vの出力電圧範囲と最大2Aの出力電流を供給します。

独自の制御アルゴリズムによって、高効率、優れたライン/負荷過渡応答性能、およびバックとブーストモード間のシームレスな遷移を実現します。

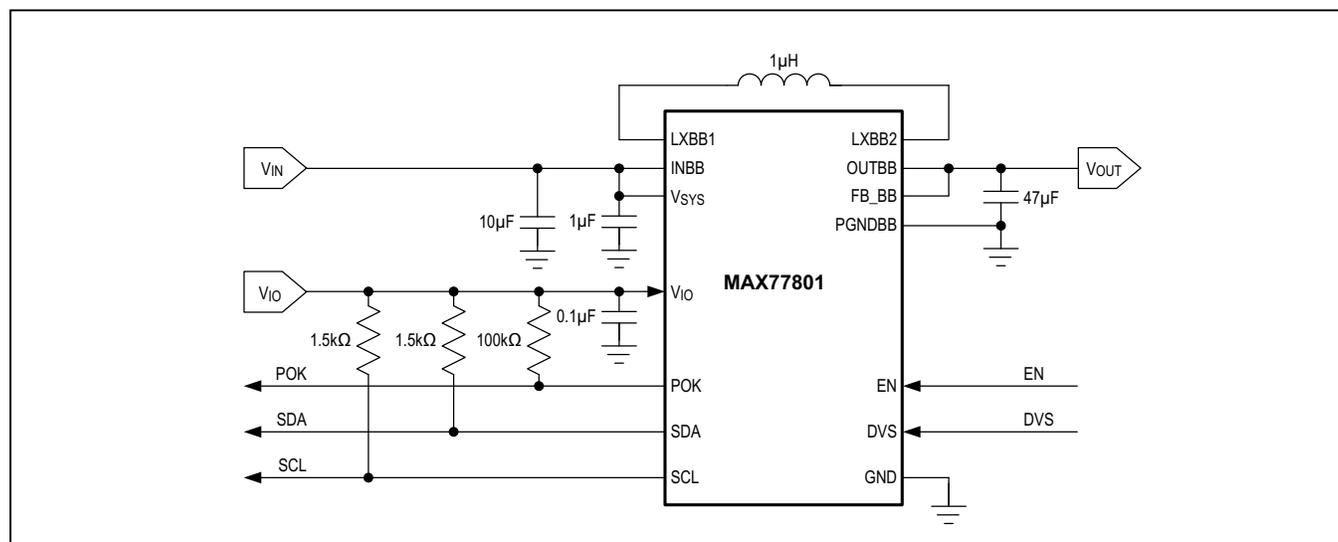
DVS (ダイナミック電圧スケーリング)入力によって、ホストプロセッサは2つのプリプログラムされた出力電圧間で切り替えることができます。この機能は、特定の負荷状態での電力損失を最小限に抑えます。ランプアップ/ランプダウンスルーレートは、I²Cを介して設定可能です。

MAX77801は、双方向シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成されるI²C対応の2線式シリアルインタフェースを備えています。このデバイスは、最大3.4MHzのSCLクロックレートをサポートします。

アプリケーション/用途

- スマートフォンおよびタブレット
- バッテリー駆動アプリケーション

標準アプリケーション回路



型番はデータシートの最後に記載されています。

True ShutdownはMaxim Integrated Products, Inc.の商標です。



19-7515; Rev 3; 3/18

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト (www.maximintegrated.com/jp)をご覧ください。

利点と特長

- バック/ブーストモード間のシームレスな遷移を備えた2A高効率バック/ブースト動作
- 高い柔軟性によって様々な設計に対応
 - V_{OUT}範囲：2.60V~4.1875V (12.5mVステップ)
 - ハイスピード(最大3.4MHz) I²Cシリアルインタフェース
- 低自己消費電流、高効率、およびダイナミック電圧スケーリングによってシステム効率を向上
 - DVS入力
 - ピーク効率：最大97%
 - 自己消費電流：55µA
- 高いスイッチング周波数と小型パッケージによってソリューションサイズを削減
 - スwitching周波数：2.5MHz
 - WLPおよびTQFN/パッケージで提供
- セーフティ機能によってデバイスとシステムの信頼性を向上
 - POK出力
 - ソフトスタート
 - True Shutdown™
 - サーマルシャットダウンおよび短絡保護

Absolute Maximum Ratings

SYS, V _{IO} to GND	-0.3V to +6.0V	LXBB2 to PGNDDB	-0.3V to (V _{OUTBB} + 0.3V)
INBB, OUTBB to PGNDDB	-0.3V to +6.0V	LXBB1/LXBB2 Continuous RMS Current (Note 1)	3.3A
PGNDDB to GND	-0.3V to +0.3V	Operating Temperature Range	-40°C to +85°C
SCL, SDA to GND	-0.3V to (V _{IO} + 0.3V)	Junction Temperature	+150°C
EN, DVS, POK to GND	-0.3V to (V _{SYS} + 0.3V)	Storage Temperature Range	-65°C to +150°C
FB_BB to GND	-0.3V to (V _{OUTBB} + 0.3V)	Soldering Temperature (reflow)	+260°C
LXBB1 to PGNDDB	-0.3V to (V _{INBB} + 0.3V)		

Note 1: LXBB1/LXBB2 node has internal clamp diodes to PGNDDB and INBB. Applications that give forward bias to these diodes should ensure that the total power loss does not exceed the power dissipation limit of IC package.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 2)

Junction-to-Ambient Thermal Resistance (θ_{JA})

20-Bump WLP	55.49°C/W
20-Pin TQFN	39°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Buck-Boost Electrical Characteristics

(V_{SYS} = V_{INBB} = +3.8V, V_{FB_BB} = V_{OUTBB} = +3.3V, T_A = -40°C to +85°C, typical values are at T_A = +25°C, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL						
Input Voltage Range	V _{INBB}		2.3		5.5	V
Shutdown Supply Current	I _{SHDN_25C}	EN = low, T _A = +25°C		0.1		μA
	I _{SHDN_85C}	EN = low, T _A = +85°C		1		
Input Supply Current	I _{Q_SKIP}	SKIP mode, no switching		55	70	μA
	I _{Q_PWM}	FPWM mode, no load		6		
Active Discharge Resistance	R _{DISCHG}			100		Ω
Thermal Shutdown	T _{SHDN}	Rising, 20°C hysteresis		+165		°C
H-BRIDGE						
Output Voltage Range	V _{OUT}	I ² C programmable (12.5mV step)	2.60		4.1875	V
Default Output Voltage		VOUT_DVS_L[6:0] = 0x38		3.3		V
		VOUT_DVS_H[6:0] = 0x40, MAX77801EWP only		3.4		
		VOUT_DVS_H[6:0] = 0x5C, MAX77801ETP only		3.75		
Output Voltage Accuracy	V _{OUT_ACC1}	PWM mode, BB_VOUT_DVS_x[6:0] = 0x40, no load	-1.0		+1.0	%
	V _{OUT_ACC2}	SKIP mode, BB_VOUT_DVS_x[6:0] = 0x40, no load, T _A = +25°C	-1.0		+4.5	

Buck-Boost Electrical Characteristics (continued)

($V_{SYS} = V_{INBB} = +3.8V$, $V_{FB_BB} = V_{OUTBB} = +3.3V$, $T_A = -40^\circ C$ to $+85^\circ C$, typical values are at $T_A = +25^\circ C$, unless otherwise noted.)
(Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Line Regulation		$V_{INBB} = 2.3V$ to $5.5V$		0.200		%/V
Load Regulation		(Note 4)		0.125		%/A
Line Transient Response	V_{OS1} V_{US1}	$I_{OUT} = 1.5A$, V_{INB} changes from $3.4V$ to $2.9V$ in $25\mu s$ ($20mV/\mu s$), $L = 1\mu H$, $C_{OUT_NOM} = 47\mu F$ (Note 4)		50		mV
Load Transient Response	V_{OS2} V_{US2}	$V_{INBB} = 3.4V$, I_{OUT} changes from $10mA$ to $1.5A$ in $15\mu s$, $L = 1\mu H$, $C_{OUT_NOM} = 47\mu F$ (Note 4)		50		mV
Output Voltage Ramp-Up Slew Rate		$BB_RU_SR = 0$		12.5		mV/ μs
		$BB_RU_SR = 1$		25		
Output Voltage Ramp-down Slew Rate		$BB_RD_SR = 0$		3.125		mV/ μs
		$BB_RD_SR = 1$		6.25		
Typical Load Efficiency	η_{IOUT_TYP}	$I_{OUT} = 100mA$, $V_{INBB} = 3.6V$ (Note 4)		95		%
Peak Efficiency	η_{PK}	(Note 4)		97		%
Maximum Output Current	$I_{OUT(MAX)}$	$2.8V \leq V_{INBB} \leq 5.5V$		2000		mA
	$I_{OUT(MAX)}$	$2.3V \leq V_{INBB} < 2.8V$		1000		
LXBB1/2 Current Limit	I_{LIM_LXBB}		3.70	4.70	5.70	A
High-Side PMOS ON Resistance	R_{DSON} (PMOS)	$I_{LXBB} = 100mA$ per switch, WLP		40		m Ω
		$I_{LXBB} = 100mA$ per switch, TQFN		50		
Low-Side NMOS ON Resistance	R_{DSON} (NMOS)	$I_{LXBB} = 100mA$ per switch, WLP		55		m Ω
		$I_{LXBB} = 100mA$ per switch, TQFN		65		
Switching Frequency	f_{SW}	PWM mode, $T_A = +25^\circ C$	2.25	2.50	2.75	MHz
Turn-On Delay Time	t_{ON_DLY}	From EN asserting to LXBB switching with bias ON		100		μs
Soft-Start Time	t_{SS}	$I_{OUT} = 10mA$		120		μs
Minimum Effective Output Capacitance	$C_{EFF(MIN)}$	$0A < I_{OUT} < 2000mA$		16		μF
LXBB1, LXBB2 Leakage Current	I_{LK_25}	$V_{LXBB1/2} = 0V$ or $5.5V$, $V_{OUTBB} = 5.5V$, $V_{SYS} = V_{INBB} = 5.5V$, $T_A = +25^\circ C$		0.1	1	μA
	I_{LK_85}	$V_{LXBB1/2} = 0V$ or $5.5V$, $V_{OUTBB} = 5.5V$, $V_{SYS} = V_{INBB} = 5.5V$, $T_A = +85^\circ C$		0.2		
POWER-OK COMPARATOR						
Output POK Trip Level		Rising threshold		80		%
		Falling threshold		75		%

Buck-Boost Electrical Characteristics (continued)

($V_{SYS} = V_{INBB} = +3.8V$, $V_{FB_BB} = V_{OUTBB} = +3.3V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, typical values are at $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{SYS} UNDERVOLTAGE LOCKOUT						
V _{SYS} Undervoltage Lockout Threshold	V _{UVLO_R}	V _{SYS} rising	2.375	2.50	2.625	V
	V _{UVLO_F}	V _{SYS} falling (default)		2.05		V
LOGIC AND CONTROL INPUTS						
Input Low Level	V _{IL}	EN, DVS, V _{SYS} ≤ 4.5V, T _A = +25°C			0.4	V
Input High Level	V _{IH}	EN, DVS, V _{SYS} ≤ 4.5V, T _A = +25°C	1.2			V
POK Output Low Voltage	V _{OL}	I _{SINK} = 1mA			0.4	V
POK Output High Leakage	I _{OZH_25C}	T _A = +25°C	-1		+1	μA
	I _{OZH_85C}	T _A = +85°C		0.1		μA
INTERNAL PULLDOWN RESISTANCE						
EN, DVS	RPD	Pulldown resistor to GND	400	800	1600	kΩ

I²C Electrical Characteristics

(V_{SYS} = 3.8V, V_{IO} = 1.8V, T_A = -40°C to +85°C, typical values are at T_A = +25°C, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
V _{IO} Voltage Range	V _{IO}		1.7		3.6	V
SDA AND SCL I/O STAGES						
SCL, SDA Input High Voltage	V _{IH}		0.7 × V _{IO}			V
SCL, SDA Input Low Voltage	V _{IL}			0.3 × V _{IO}		V
SCL, SDA Input Hysteresis	V _{HYS}			0.05 × V _{IO}		V
SCL, SDA Input Current	I _I	V _{IO} = 3.8V	-10		+10	μA
SDA Output low Voltage	V _{OL}	I _{SINK} = 20mA			0.4	V
SCL, SDA Input Capacitance	C _I			10		pF
Output Fall Time from V _{IO} to 0.3 × V _{IO}	t _{OF}				120	ns
I²C-COMPATIBLE INTERFACE TIMING (STANDARD, FAST, AND FAST MODE PLUS) (Note 4)						
Clock Frequency	f _{SCL}				1000	kHz
Hold Time (REPEATED) START Condition	t _{HD;STA}		0.26			μs
SCL low Period	t _{low}		0.5			μs
SCL high Period	t _{high}		0.26			μs
Setup Time REPEATED START Condition	t _{SU_STA}		0.26			μs

I²C Electrical Characteristics (continued)(V_{sys} = 3.8V, V_{IO} = 1.8V, T_A = -40°C to +85°C, typical values are at T_A = +25°C, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DATA Hold Time	t _{HD_DAT}		0			μs
DATA Setup Time	t _{SU_DAT}		50			ns
Setup Time for STOP Condition	t _{SU_STO}		0.26			μs
Bus-Free Time Between STOP and START	t _{BUF}		0.5			μs
Capacitive Load for Each Bus Line	C _B				550	pF
Maximum Pulse Width of Spikes That Must Be Suppressed by the Input Filter				50		ns
I²C-COMPATIBLE INTERFACE TIMING (HIGH-SPEED MODE, C_B = 100pF) (Note 4)						
Clock Frequency	f _{SCL}				3.4	MHz
Set-Up Time REPEATED START Condition	t _{SU_STA}		160			ns
Hold Time (REPEATED) START Condition	t _{HD_STA}		160			ns
CLK Low Period	t _{low}		160			ns
CLK High Period	t _{high}		60			ns
DATA Setup Time	t _{SU_DAT}		10			ns
DATA Hold Time	t _{HD_DAT}			35		ns
SCL Rise Time (Note 4)	t _{RCL}	T _A = +25°C	10		40	ns
Rise Time of SCL Signal After REPEATED START Condition and After Acknowledge Bit	t _{RCL1}	T _A = +25°C	10		80	ns
SCL Fall Time	t _{FCL}	T _A = +25°C	10		40	ns
SDA Rise Time	t _{RDA}	T _A = +25°C			80	ns
SDA Fall Time	t _{FDA}	T _A = +25°C			80	ns
Setup Time for STOP Condition	t _{SU_STO}		160			ns
Bus Capacitance	C _B				100	pF
Maximum Pulse Width of Spikes That Must Be Suppressed by the Input Filter				10		ns

I²C Electrical Characteristics (continued)(V_{SYS} = 3.8V, V_{IO} = 1.8V, T_A = -40°C to +85°C, typical values are at T_A = +25°C, unless otherwise noted.) (Note 3)

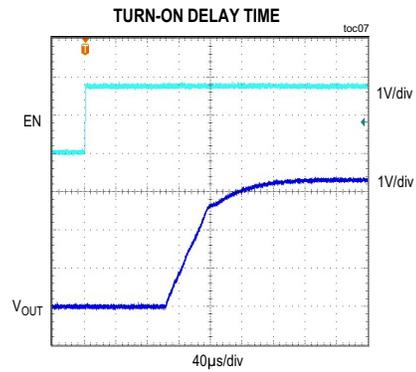
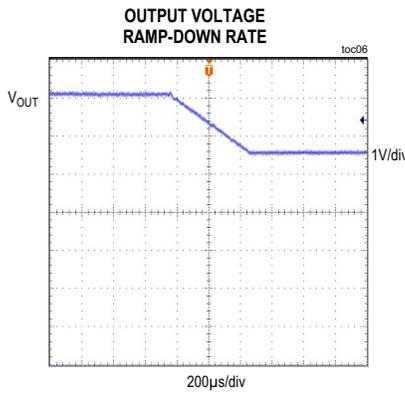
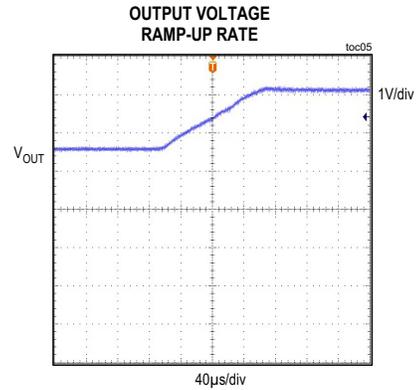
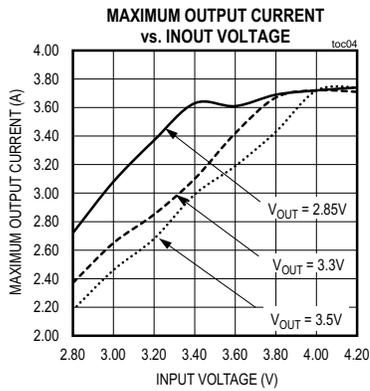
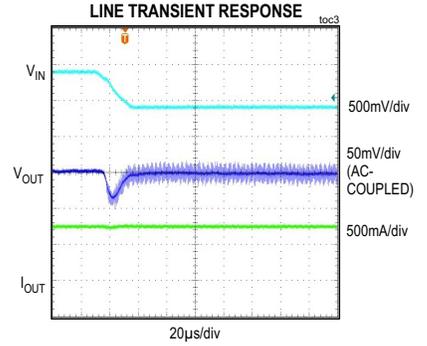
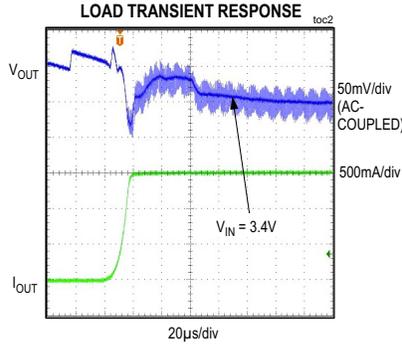
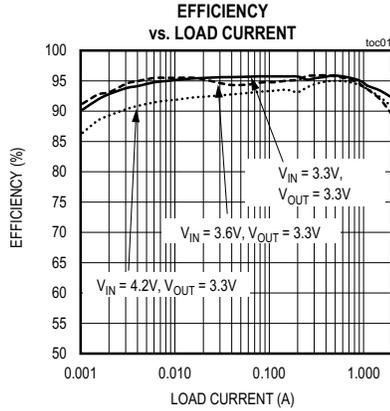
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I²C-COMPATIBLE INTERFACE TIMING (HIGH-SPEED MODE, C_B = 400pF) (Note 4)						
Clock Frequency	f _{SCL}				1.7	MHz
Setup Time REPEATED START Condition	t _{SU_STA}		160			ns
Hold Time (REPEATED) START Condition	t _{HD_STA}		160			ns
SCL Low Period	t _{low}		320			ns
SCL High Period	t _{high}		120			ns
DATA Setup Time	t _{SU_DAT}		10			ns
DATA Hold Time	t _{HD_DAT}			75		ns
SCL Rise Time	t _{RCL}	T _A = +25°C	20		80	ns
Rise Time of SCL Signal After REPEATED START Condition and After Acknowledge Bit	t _{RCL1}	T _A = +25°C	20		160	ns
SCL Fall Time	t _{FCL}	T _A = +25°C	20		80	ns
SDA Rise Time	t _{RDA}	T _A = +25°C			160	ns
SDA Fall Time	t _{FDA}	T _A = +25°C			160	ns
Setup Time for STOP Condition	t _{SU_STO}		160			ns
Bus Capacitance	C _B				400	pF
Maximum Pulse Width of Spikes That Must Be Suppressed by the Input Filter	t _{SP}			10		ns

Note 3: Limits are 100% production tested at T_A = +25°C. Limits over the operating temperature range are guaranteed through correlation using statistical quality control methods.

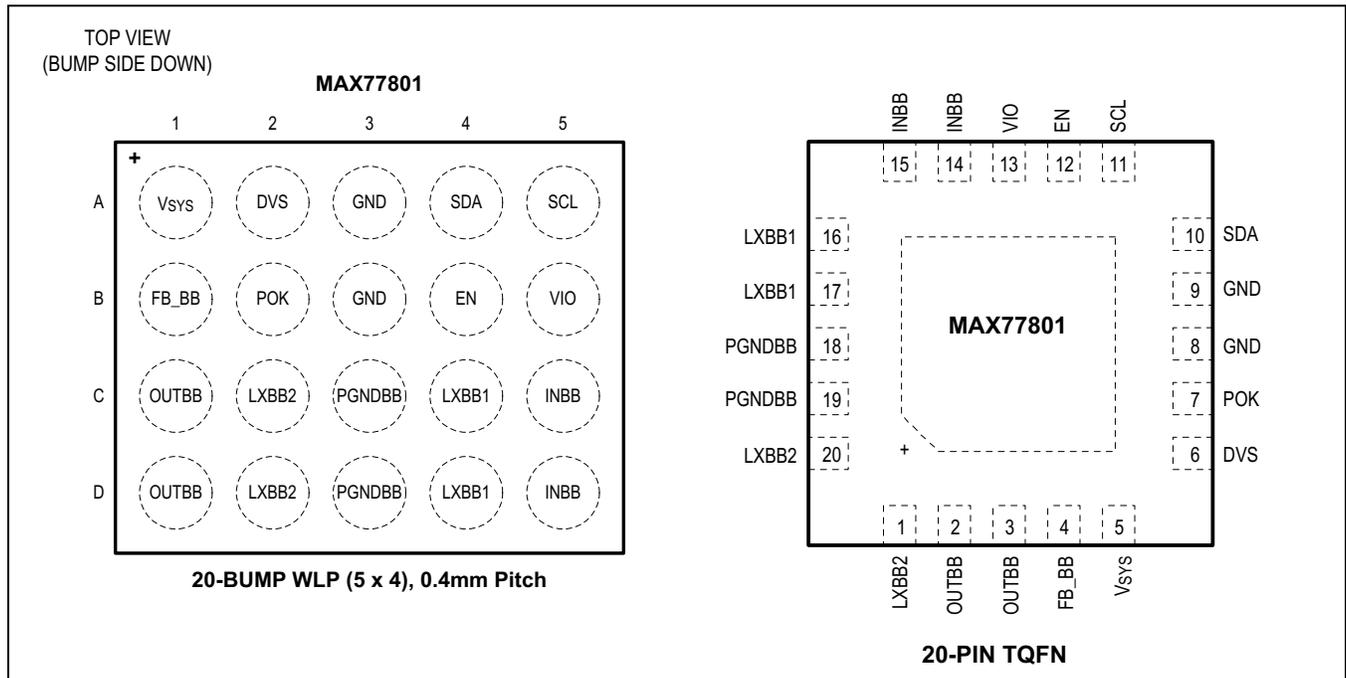
Note 4: Guaranteed by design. Not production tested.

標準動作特性

($V_{SYS} = V_{INBB} = +3.8V$, $V_{FB_BB} = V_{OUTBB} = +3.3V$, $T_A = +25^{\circ}C$.)



ピン配置



端子説明

20ピン WLP	20ピン TQFN	名称	機能
A1	5	V _{SYS}	システム(バッテリー)電圧入力。1μFのコンデンサでGNDに接続します。
A2	6	DVS	動的電圧スケールリング(DVS)ロジック入力。未使用の場合、GNDに接続する必要があります。
A3, B3	8, 9	GND	グラウンド。システムGNDへのスターグラウンド接続です。
A4	10	SDA	I ² Cデータ入出力(オフ状態時はハイインピーダンス)。V _{IO} への1.5kΩ~2.2kΩのプルアップ抵抗が必要です。
A5	11	SCL	I ² Cクロック入力(オフ状態時はハイインピーダンス)。V _{IO} への1.5kΩ~2.2kΩのプルアップ抵抗が必要です。
B1	4	FB_BB	バックブースト出力電圧フィードバック
B2	7	POK	パワーOK。オープンドレイン出力で、バックブースト出力が出力電圧の80%に達した後にアサートされます。極性は出荷時選択可能オプションです。デフォルトではアクティブハイです。
B4	12	EN	アクティブハイ、バックブースト外部イネーブル入力。800kΩの内部プルダウン抵抗でGNDに接続されています。この端子が未使用の場合、フローティングのままにしてください。
B5	13	V _{IO}	I ² C電源電圧入力。0.1μFのコンデンサでGNDに接続します。未使用の場合、GNDに接続します。
C1, D1	2, 3	OUTBB	バックブースト出力
C2, D2	1, 20	LXBB2	バックブーストスイッチングノード2
C3, D3	18, 19	PGNDDBB	バックブースト電源グラウンド。システムGNDへのスターグラウンド接続です。
C4, D4	16, 17	LXBB1	バックブーストスイッチングノード1
C5, D5	14, 15	INBB	バックブースト入力。10μFのコンデンサでPGNDDBBに接続します。

詳細

チップイネーブル(EN)

EN端子がハイになると、MAX77801は内部バイアス回路をオンにし、それが安定するのに85 μ s (typ)かかります。バイアスの準備が整い次第、バックブーストレギュレータがイネーブルされます。V_{IO}が給電されると、全ユーザーレジスタがI²Cを介してアクセス可能になります。EN端子がローに引き下げられると、MAX77801はシャットダウンモードに移行します。このイベントによって、全タイプOレジスタもそれぞれのPORデフォルト値にリセットされます。

即時ターンオフイベント

以下のイベントは、即時ターンオフを開始します。

- サーマル保護(T_J > +165°C)
- V_{sys} < V_{sys UVLO} 立下りスレッショルド(V_{UVLO_F})
- 過電流保護

このカテゴリのイベントは、危険な状態が通常の状態に戻るまでバックブーストをディセーブルします。

レギュレータイネーブル制御

バックブーストはGPIOイネーブル端子ENおよびI²Cイネーブルビットを備えています。表1に示すように、ENによってレギュレータをイネーブルした後、ENがハイの間は、I²C制御ビット(ANDロジック)によってイネーブルまたはディセーブルすることができます。

動的電圧スケーリング(DVS)

バックブーストは出力電圧の動的な変更が可能なDVS機能を内蔵しています。バックブースト出力電圧はDVSによって選択されます。EN端子がアサートされると、DVS端子の状態はソフトスタートの完了までラッチされ、DVS上の

表1. イネーブル制御ロジックの真理値表

EN	BB_EN BIT	OPERATING MODE
low	x	Device off
high	0	Disable output
high	1 (default)	Enable output

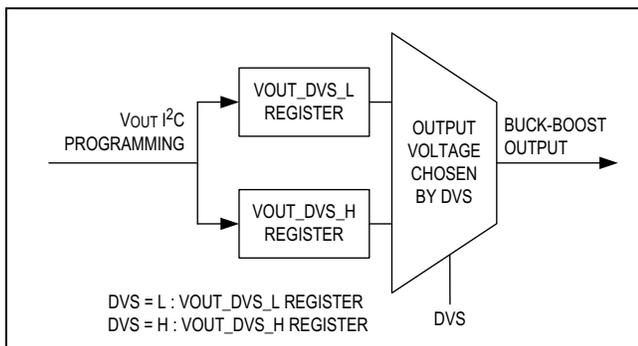


図1. DVSのファンクションブロックダイアグラム

変化は無視されます。ソフトスタート完了後、内部ロジックはDVS入力に基づいてV_{OUT}を設定します。

バックブーストレギュレータは、出力電圧の増大および減少時に設定可能なスルーレート制御機能をサポートします。ランプアップスルーレートはBB_RU_SRビットを介して12.5mV/ μ sまたは25mV/ μ sに設定することができます。また、ランプダウンスルーレートはBB_RD_SRビットを介して3.125mV/ μ sまたは6.25mV/ μ sに設定することができます。

パワーOK (POK)インジケータ

バックブーストは出力電圧が90%に達した後にアサートされるオープンドレイン出力を備えています。POK出力の極性は出荷時選択可能オプションです。デフォルトではアクティブハイです。

バックブーストレギュレータ

EN端子がハイになると、MAX77801は内部バイアス回路をオンにし、それが安定するのに85 μ s (typ)かかります。バイアスの準備が整い次第、バックブーストレギュレータがイネーブルされます。V_{IO}が給電されると、全ユーザーレジスタがI²Cを介してアクセス可能になります。EN端子がローに引き下げられると、MAX77801はシャットダウンモードに移行します。このイベントによって、全タイプOレジスタもそれぞれのPORデフォルト値にリセットされます。

Hブリッジコントローラ

Hブリッジアーキテクチャは2.5MHzの固定周波数で動作し、パルス幅変調(PWM)、電流モード制御方式を備えています。このトポロジはブーストレギュレータおよびバックレギュレータの後に1つのインダクタと出力コンデンサを使って配置されます。バック、バックブースト、およびブースト段は100%同期しており、ポータブルアプリケーションで最高の効率を実現します。

Hブリッジスイッチトポロジでは、図3に示すように3つのフェーズが実装されます。

- Φ 1スイッチ期間(フェーズ1: HS1 = ON, LS2 = ON)は、エネルギーをインダクタに蓄積し、入力電圧をインダクタンスで割った値(V_{INBB}/L)に比例するレートでインダクタ電流をランプアップします。
- Φ 2スイッチ期間(フェーズ2: HS1 = ON, HS2 = ON)は、インダクタ両端の差動電圧をインダクタンスで割った値($\pm(V_{INBB} - V_{OUTBB})/L$)に応じて、インダクタ電流をランプアップまたはダウンします。
- Φ 3スイッチ期間(フェーズ3: LS1 = ON, HS2 = ON)は、出力電圧をインダクタンスで割った値(-V_{OUTBB}/L)に比例するレートでインダクタ電流をランプダウンします。

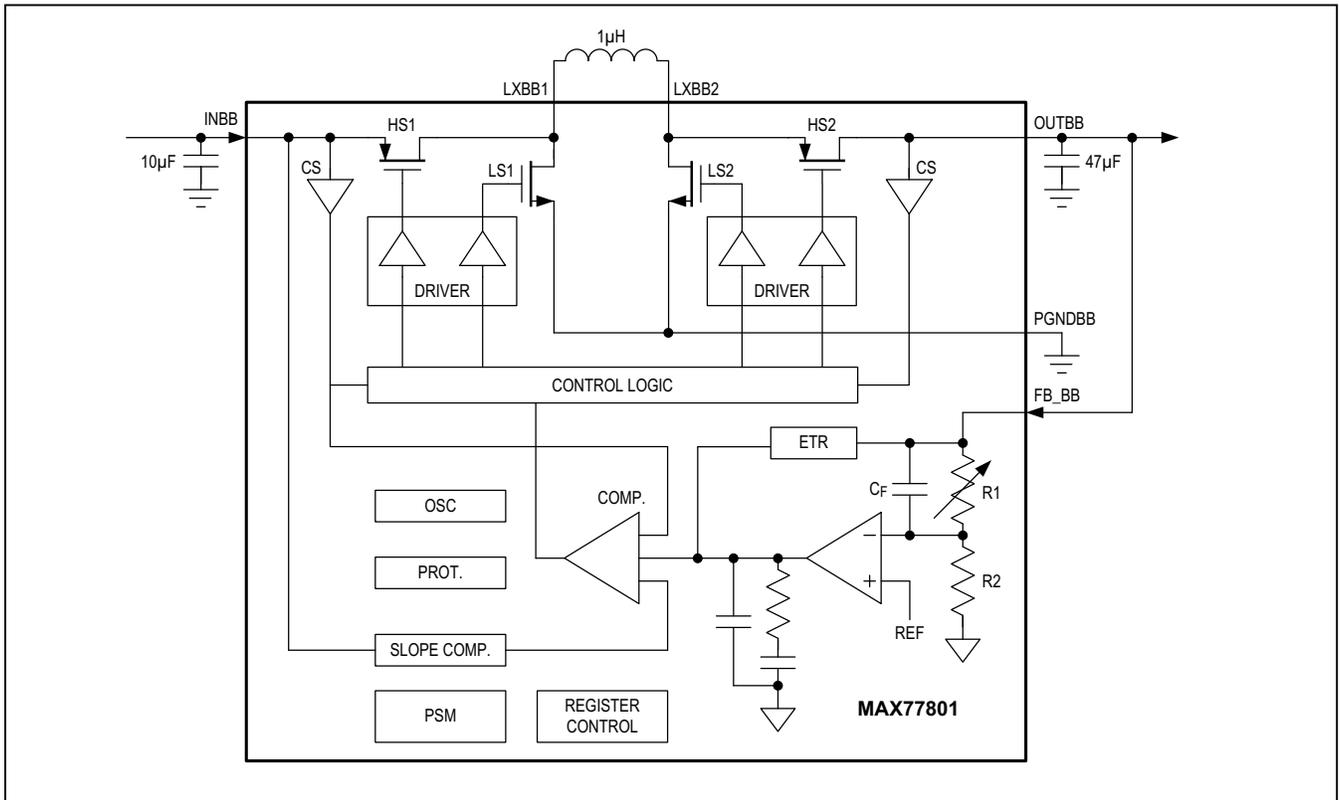


図2. バックブーストのブロック図

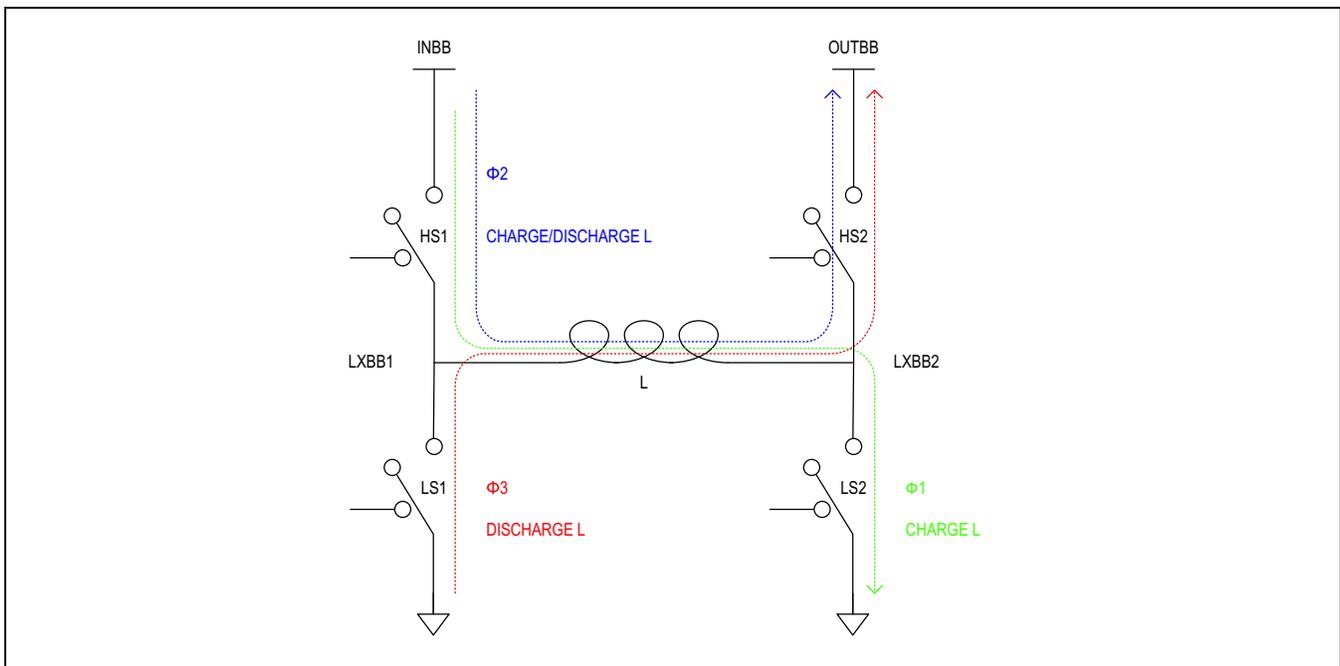


図3. バックブーストのスイッチング間隔

$V_{INBB} > V_{OUTBB}$ の場合は、2フェーズのバックモードのスイッチング電流波形が利用されます。スイッチングサイクルは1クロック期間で完了します。スイッチ期間 $\Phi 2$ のあとにスイッチ期間 $\Phi 3$ が続き、インダクタ電流波形は図4のようになります。

$V_{INBB} < V_{OUTBB}$ の場合は、2フェーズのブーストモードのスイッチング電流波形が利用されます。スイッチングサイクルは1クロック期間で完了します。スイッチ期間 $\Phi 1$ のあとにスイッチ期間 $\Phi 2$ が続き、インダクタ電流波形は図5のようになります。

出力電圧スルーレイト制御

バックブーストレギュレータは、出力電圧の増大および減少時に設定可能なスルーレイト制御機能をサポートします。ランプアップスルーレイトはBB_RU_SRビットを介して12.5mV/ μ sまたは25mV/ μ sに設定することが可能です。一方ランプダウンスルーレイトはBB_RD_SRビットを介して3.125mV/ μ sまたは6.25mV/ μ sに設定可能です。

出力アクティブ放電

バックブーストは、出力アクティブ放電機能用に内部100 Ω 抵抗を提供します。アクティブ放電機能がイネーブル(BB_AD = 1)の場合、レギュレータのディセーブル時にはこの内部抵抗が出力コンデンサに蓄積されたエネルギーをPGNDに放電します。

レギュレータがイネーブルのまま、またはアクティブ放電機能がディセーブル(BB_AD = 0)の場合、内部抵抗は出力から切り離されます。アクティブ放電機能がディセーブルの場合、出力電圧はレギュレータがオフになったときの出力容量と負荷電流によって決定されるレートで減衰します。

インダクタの選択

バックブーストは1 μ Hのインダクタ用に最適化されています。インダクタのDCRが低いほど、バックブーストの効率は高くなります。ユーザーはインダクタのサイズとDCR値のトレードオフを検討し、バックブースト用の適切なインダクタを選択する必要があります。

入力コンデンサの選択

入力コンデンサ(C_{IN})は、バッテリーまたは入力電源からの電流ピークを低下させ、デバイスのスイッチングノイズを低減します。スイッチング周波数での C_{IN} のインピーダンスは非常に低く抑えてください。小型サイズ、低ESR、および温度係数が小さいことから、X5RまたはX7R誘電体のセラミックコンデンサが強く推奨されます。ほとんどのアプリケーションでは10 μ Fのコンデンサで十分です。

出力コンデンサの選択

出力コンデンサ(C_{OUT})は、出力電圧リップルを低く抑え、レギュレーションループの安定性を確保するために必要です。 C_{OUT} はスイッチング周波数においてローインピーダンスである必要があります。小型サイズ、低ESR、および温度係数が小さいことから、X5RまたはX7R誘電体のセラミックコンデンサが強く推奨されます。安定動作のために、バックブーストは16 μ F (min)の実効出力容量を必要とします。セラミックコンデンサのDCバイアス特性を考慮すると、ほとんどのアプリケーションでは47 μ F 6.3Vのコンデンサが推奨されます。

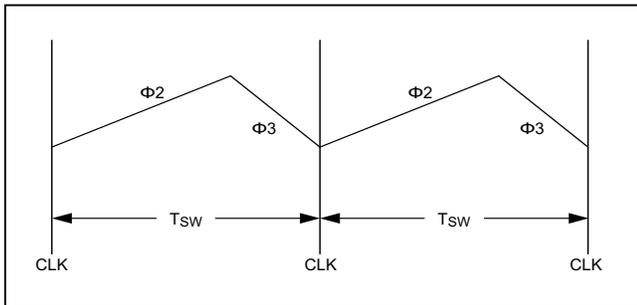


図4. 2フェーズのバックモードのスイッチング電流波形

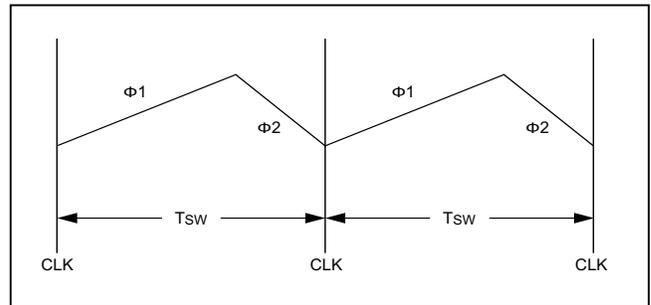


図5. 2フェーズのブーストモードのスイッチング電流波形

表2. バックブースト用の推奨インダクタ

MANUFACTURER	SERIES	NOMINAL INDUCTANCE (μ H)	DC RESISTANCE (typ) (m Ω)	CURRENT RATING (A) -30% (Δ L/L)	CURRENT RATING (A) Δ T = -40°C RISE	DIMENSIONS L x W x H (mm)
TDK	TFM201610GHM-1R0MTAA	1.0	50	3.8	3.0	2.0 x 1.6 x 1.0
Coilcraft	XAL4020-102MEB	1.0	13	8.7	9.6	4.0 x 4.0 x 2.1

シリアルインタフェース

I²C対応2線式シリアルインタフェースは、レギュレータのオン/オフ制御、出力電圧の設定、およびその他の機能に使用されます。詳細については、「Register Map (レジスタマップ)」の項を参照してください。

I²Cシリアルバスは、双方向シリアルデータライン(SDA)とシリアルクロック(SCL)で構成されます。I²Cはオープンドレインバスです。SDAおよびSCLにはプルアップ抵抗(500Ωまたはそれ以上)が必要です。オプションの24Ω抵抗をSDAおよびSCLと直列に接続すると、バスライン上の高電圧スパイクからデバイスの入力を保護するために役立ちます。また、直列抵抗はバスライン上のクロストークおよびアンダーシュートも最小限に抑えます。

システム構成

I²Cバスは、マルチマスターバスです。バスに接続可能なデバイスの最大数は、バス容量によってのみ制限されます。

上の図は、標準的なI²Cシステムの例を示しています。I²Cバスにデータを送信するバス上のデバイスは、トランスミッタと呼ばれます。バスからデータを受信するデバイスはレシーバと呼ばれます。データ転送を開始し、データ転送を制御するためのSCLクロック信号を生成するデバイスは、

マスターです。マスターによってアドレス指定されるデバイスは、すべてスレーブとみなされます。MAX77801のI²C対応インタフェースが動作しているとき、MAX77801はI²Cバス上のスレーブですが、トランスミッタおよびレシーバの両方になることもできます。

ビット転送

各SCLクロックサイクルで、1つのデータビットが転送されます。SDAのデータは、SCLのクロックパルスがハイの間は安定している必要があります。SCLがハイの間にSDAが変化した場合は、制御信号になります(STARTおよびSTOP条件)。

STARTおよびSTOP条件

I²Cシリアルインタフェースが非アクティブのとき、SDAおよびSCLはハイのアイドル状態になります。マスターデバイスは、START (S)条件を発行することによって通信を開始します。START条件は、SCLがハイの状態でのSDAのハイからローへの遷移です。STOP (P)条件とは、SCLがハイの状態でSDAがローからハイに遷移することです。

マスターからのSTART条件は、MAX77801への送信の開始を知らせます。マスターは、非アクノリッジ(nA)のあとにSTOP条件を発行することによって転送を終了します。

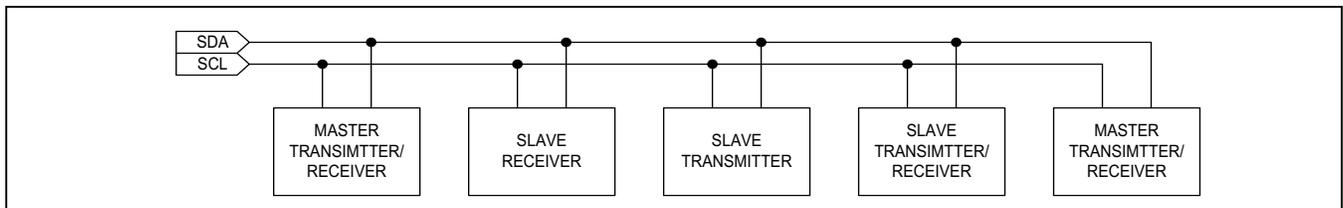


図6. 通信コントローラのファンクションロジックダイアグラム

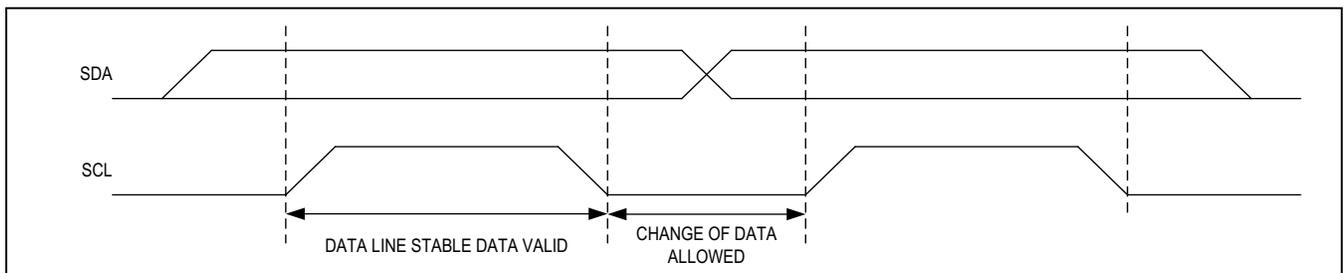


図7. I²Cのビット転送

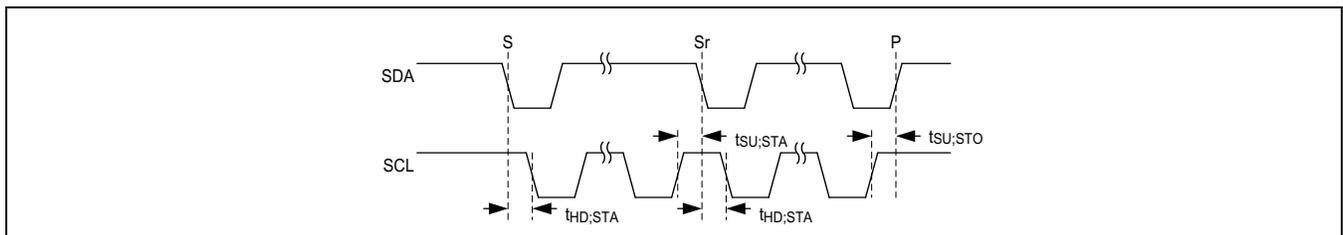


図8. STARTおよびSTOP条件

STOP条件はバスを解放します。一連のコマンドをスレーブに送信する場合、マスターはバスの制御を維持するためにREPEATED START (Sr)コマンドをSTOPコマンドの代わりに送信することができます。一般に、REPEATED STARTコマンドは機能的には通常のSTARTコマンドと同等です。

STOP条件または不正なアドレスが検出された場合、MAX77801は次のSTART条件まで内部でSCLをI²Cシリアルインタフェースから切り離し、デジタルノイズおよびフィードスルーを最小限に抑えます。

アクノリッジ

I²CバスマスターとMAX77801 (スレーブ)の両方が、データを受信するときにアクノリッジを生成します。アクノリッジビットは、各9ビットデータパケットの最後のビットです。アクノリッジ(A)を生成する場合は、アクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前に受信側デバイスがSDAをローに駆動して、そのクロックパルスがハイの間SDAをローに維持する必要があります。非アクノリッジを生成する場合は、アクノリッジ関連のクロックパルスの立上りエッジより前に受信側デバイスはSDAがハイに駆動されるのを許容し、そのクロックパルスがハイの間SDAをハイのままにします。

アクノリッジを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーの場合やシステム障害が発生した場合に起こります。データ転送に失敗した場合、バスマスターは後で通信を再試行する必要があります。

スレーブアドレス

MAX77801のI²Cスレーブアドレスを表3に示します。

クロックストレッチング

I²Cバスのクロック信号生成は、通常、マスターデバイスによって行われます。I²Cの仕様では、低速なスレーブデバイスがクロックラインをローレベルに維持することによってクロック信号を変更可能です。スレーブデバイスがクロックラインをローに維持するプロセスは、クロックストレッチングと呼ばれます。MAX77801は、クロックラインを

ローに維持するクロックストレッチングをいかなる形でも使用しません。

ジェネラルコールアドレス

MAX77801は、ジェネラルコールアドレスと呼ばれるI²C仕様を実装していません。ジェネラルコールアドレス(00000000b)を受け取った場合、MAX77801はアクノリッジを発行しません。

通信速度

MAX77801は、I²C 3.0対応(3.4MHz)シリアルインタフェースを提供します。

- I²Cリビジョン3対応シリアル通信チャンネル
 - 0Hz~100kHz (標準モード)
 - 0Hz~400kHz (ファーストモード)
 - 0Hz~1MHz (ファーストモードプラス)
 - 0Hz~3.4MHz (高速モード)
- I²Cのクロックストレッチングは使用しない

標準モード、ファーストモード、およびファーストモードプラスの動作には、特別なプロトコルは不要です。この範囲にわたってバス速度を変える場合の主な考慮事項は、バス容量とプルアップ抵抗の組み合わせです。バス容量とプルアップ抵抗によって生じる時定数(C x R)が大きいほど、バスの動作が低速になります。そのため、バス速度を高めるには、プルアップ抵抗を小さくして妥当な時定数を維持する必要があります。プルアップ抵抗の選択の詳細なガイダンスについては、I²Cリビジョン3.0仕様の「Pullup Resistor Sizing (プルアップ抵抗の値の設定)」の項を参照してください。一般に、バス容量が200pFの場合、100kHzのバスには5.6kΩのプルアップ抵抗、400kHzのバスには約1.5kΩのプルアップ抵抗、1MHzのバスには680Ωのプルアップ抵抗が必要です。オープンドレインのバスがローのとき、プルアップ抵抗は電力を消費することに注意してください。プルアップ抵抗の値が小さいほど、消費電力は大きくなります(V²/R)。

表3. I²Cスレーブアドレス

SLAVE ADDRESS (7 bit)	SLAVE ADDRESS (Write)	SLAVE ADDRESS (Read)
001 1000	0x30 (0011 0000)	0x31 (0011 0001)

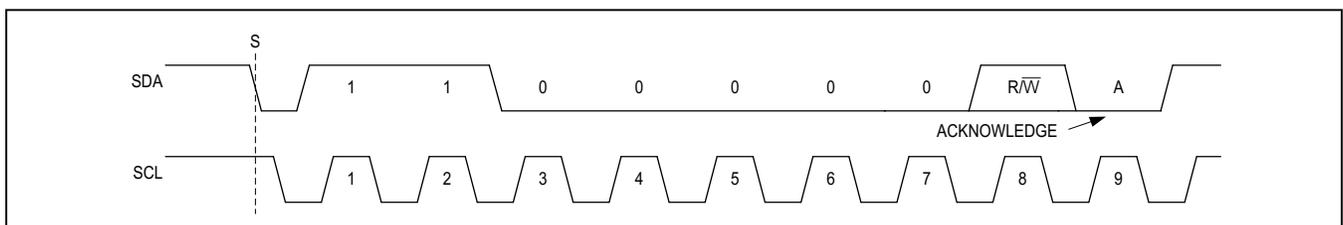


図9. スレーブアドレスバイトの例

高速モードでの動作には、特別な考慮事項が要求されます。考慮事項の完全なリストについては、I²C 3.0仕様を参照してください。MAX77801に関する主な考慮事項は、以下のとおりです。

- I²Cバスマスターは電流ソースプルアップを使用して信号の立上り時間を短縮する。
- I²Cスレーブはより高いバス速度に対応するためにSDAおよびSCLライン上で各種の入力フィルタ式を使用する必要がある。
- 通信プロトコルはハイスピードマスターコードを利用する必要がある。

起動時および各STOP条件の後、MAX77801の入力フィルタは標準モード、ファーストモード、またはファーストモードプラス(つまり、0Hz~1MHz)に設定されます。入力フィルタを高速モード用に切り替えるには、「通信プロトコル」の項で説明するハイスピードマスターコードプロトコルを使用します。

通信プロトコル

MAX77801は、レジスタの書き込みと読取りの両方に対応しています。以下の各項では、各ファンクションブロックのI²C通信プロトコルを示します。電源ブロックも同じ通信プロトコルを使用します。

単一レジスタへの書き込み

図10は、I²Cマスターデバイスが1バイトのデータをMAX77801に書き込むためのプロトコルを示しています。このプロトコルは、SMBus仕様のバイト書き込みプロトコルと同じです。

バイト書き込みプロトコルは、以下のとおりです。

1. マスターがSTARTコマンドを送信します。
2. マスターが、7ビットのスレーブアドレスに続けて書き込みビット(R/W = 0)を送信します。
3. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
4. マスターが8ビットのレジスタポインタを送信します。
5. スレーブがレジスタポインタをアクノリッジします。
6. マスターがデータバイトを送信します。

7. スレーブがデータバイトをアクノリッジします。SCLの立上りエッジで、データバイトはターゲットレジスタにロードされ、データがアクティブになります。
8. マスターがSTOP条件またはREPEATED START条件を送信します。STOPを発行すると、バス入力フィルタは1MHzまたはそれ以下の動作用に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままになります。

連続したレジスタへの書き込み

図11は、連続したレジスタへの書き込みのプロトコルを示しています。このプロトコルはバイト書き込みプロトコルに似ていますが、マスターが最初のデータバイトを受信した後に書き込みを続ける点が異なります。書き込みが完了すると、マスターはSTOPまたはREPEATED STARTを発行します。連続したレジスタへの書き込みプロトコルは、以下のとおりです。

1. マスターがSTARTコマンドを送信します。
2. マスターが7ビットのスレーブアドレスに続けて書き込みビット(R/W = 0)を送信します。
3. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
4. マスターが8ビットのレジスタポインタを送信します。
5. スレーブがレジスタポインタをアクノリッジします。
6. マスターがデータバイトを送信します。
7. スレーブがデータバイトをアクノリッジします。SCLの立上りエッジで、データバイトはターゲットレジスタにロードされ、データがアクティブになります。
8. マスターが必要とする回数だけステップ6~7が繰り返されます。最後のアクノリッジ関連のクロックパルスの際に、スレーブはアクノリッジを発行することができます。
9. マスターがSTOP条件またはREPEATED START条件を送信します。STOPを発行すると、バス入力フィルタは1MHzまたはそれ以下の動作用に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままになります。

レジスタ-データのペアを使用した複数バイトの書き込み

図12は、I²Cマスターデバイスがレジスタ-データのペアを使用して複数のバイトをMAX77801に書き込むためのプロトコルを示しています。このプロトコルによって、I²Cマスターデバイスはスレーブを1回のみアドレス指定した後、データを複数のレジスタに任意の順序で送信することができます。マスターがSTOP条件を発行するまで、継続的にレジスタの書き込みを行うことが可能です。

複数バイトのレジスタ-データのペアのプロトコルは、以下のとおりです。

1. マスターがSTARTコマンドを送信します。
2. マスターが7ビットのスレーブアドレスに続けて書き込みビットを送信します。
3. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
4. マスターが8ビットのレジスタポインタを送信します。
5. スレーブがレジスタポインタをアクノリッジします。
6. マスターがデータバイトを送信します。
7. スレーブがデータバイトをアクノリッジします。SCLの立上りエッジで、データバイトはターゲットレジスタにロードされ、データがアクティブになります。
8. マスターが必要とする回数だけステップ4~7が繰り返されます。
9. マスターはSTOP条件を送信します。

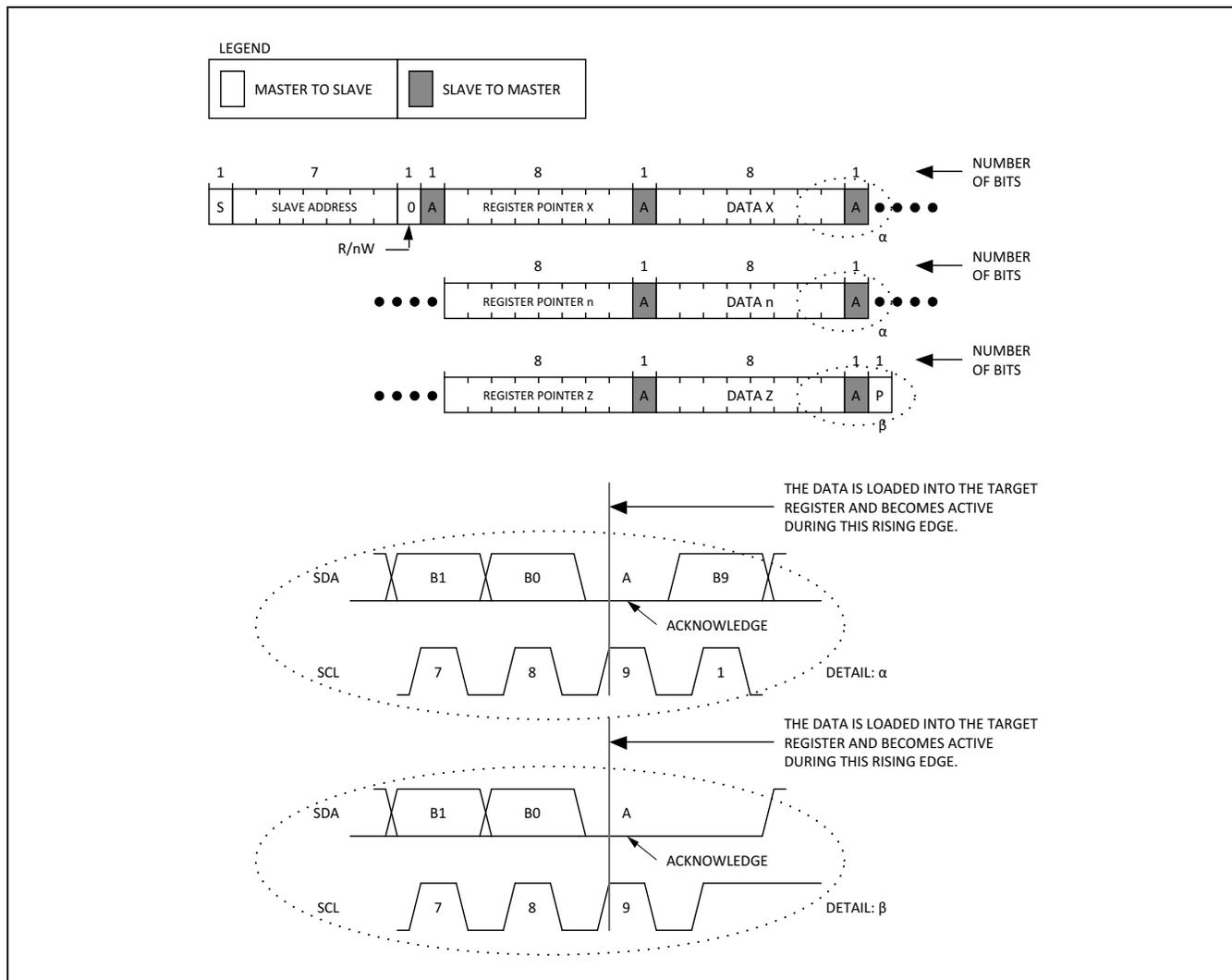


図12. 複数バイトのレジスタ-データのペアのプロトコルによる複数レジスタへの書き込み

単一レジスタからの読取り

I²Cマスターデバイスは1バイトのデータをMAX77801から読み取ります。このプロトコルは、SMBus仕様のバイト読取りプロトコルと同じです。

バイト読取りプロトコルは、以下のとおりです。

1. マスターがSTARTコマンドを送信します。
2. マスターが7ビットのスレーブアドレスに続けて書込みビット(R/W = 0)を送信します。
3. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
4. マスターが8ビットのレジスタポインタを送信します。
5. スレーブがレジスタポインタをアクノリッジします。
6. マスターがREPEATED STARTコマンドを送信します。
7. マスターは7ビットのスレーブアドレスに続けて読取りビット(R/W = 1)を送信します。
8. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
9. アドレス指定されたスレーブはレジスタポインタによって指定された位置から8ビットのデータをバス上に配置します。
10. マスターが非アクノリッジを発行します。
11. マスターがSTOP条件またはREPEATED START条件を送信します。STOPを発行すると、バス入力フィルタは1MHzまたはそれ以下の動作に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままになります。

連続したレジスタからの読取り

図13は、連続したレジスタからの読取りのプロトコルを示しています。このプロトコルはバイト読取りプロトコルに似ていますが、マスターがアクノリッジを発行してさらにデータが必要であることをスレーブに通知する点が異なります。

必要なすべてのデータを取得すると、マスターは非アクノリッジおよびSTOPを発行して転送を終了します。

連続したレジスタからの継続的読取りのプロトコルは、以下のとおりです。

1. マスターがSTARTコマンドを送信します。
2. マスターが7ビットのスレーブアドレスに続けて書込みビット(R/W = 0)を送信します。
3. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
4. マスターが8ビットのレジスタポインタを送信します。
5. スレーブがレジスタポインタをアクノリッジします。
6. マスターがREPEATED STARTコマンドを送信します。
7. マスターは7ビットのスレーブアドレスに続けて読取りビット(R/W = 1)を送信します。
8. アドレス指定されたスレーブはSDAをローに駆動することによってアクノリッジをアサートします。
9. アドレス指定されたスレーブはレジスタポインタによって指定された位置から8ビットのデータをバス上に配置します。
10. マスターはアクノリッジを発行して、さらにデータを受信したいことをスレーブに通知します。
11. マスターが必要とする回数だけステップ9~10が繰り返されます。最後のデータバイトのあとに、マスターは非アクノリッジを発行してデータの受信を終了したいことを通知する必要があります。
12. マスターがSTOP条件またはREPEATED START条件を送信します。STOPを発行すると、バス入力フィルタは1MHzまたはそれ以下の動作に設定されます。REPEATED STARTを発行した場合、バス入力フィルタは現在の状態のままになります。

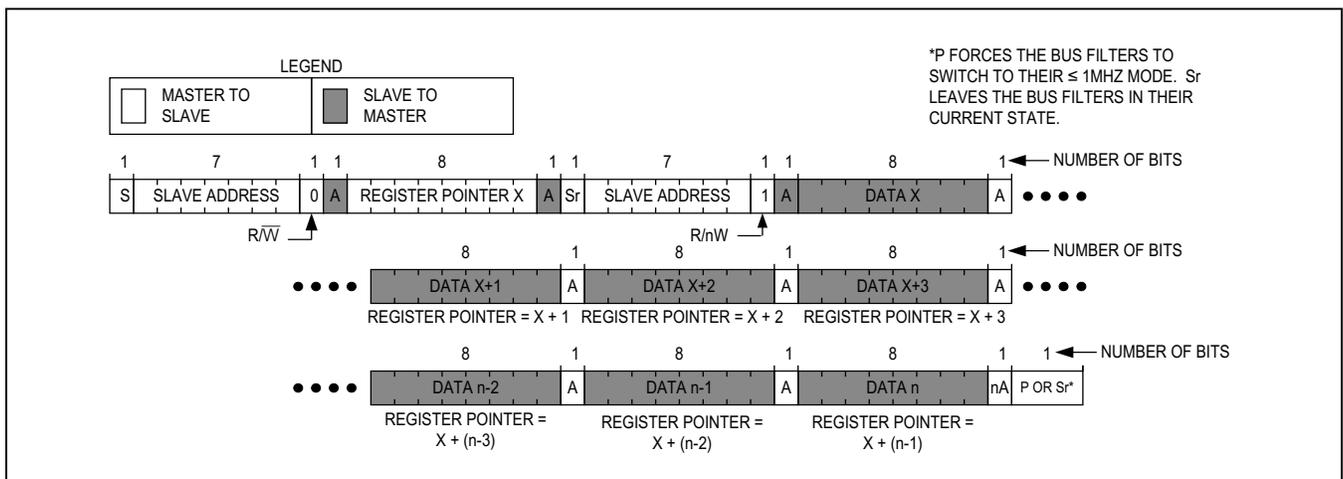


図13. 連続したレジスタX~Nからの継続的読取り

HSモード動作開始による最大3.4MHzの動作

図14は、HSモード動作開始のプロトコルを示しています。HSモード動作では、最大3.4MHzのバス動作速度が可能です。

HSモード動作開始のプロトコルは、以下のとおりです。

- 1MHzまたはそれ以下のバス速度で動作している時にプロトコルを開始します。
- マスターがSTARTコマンドを送信します。
- マスターが8ビットのマスターコード00001xxx_b (xxx_bは任意ビット)を送信します。
- アドレス指定されたスレーブは非アクノリッジを発行します。

5. マスターはバス速度を最大3.4MHzに高め、任意の読取り/書込み処理を発行することができます。

マスターはSTOPが発行されるまで、高速な読取り/書込み処理の発行を続けることができます。STOP (P)を発行すると、バス入力フィルタが1MHz以下の動作用に設定されます。

レジスタ

レジスタのリセット条件

- タイプ0：レジスタは $V_{SYS} < V = \text{ロー}$ のときリセットされます。

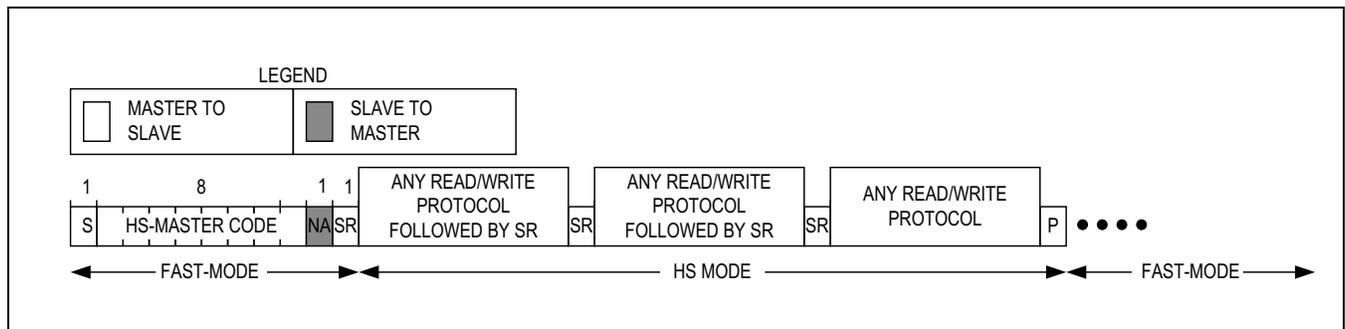


図14. HSモード動作開始

Register Map
I²C Slave Address (W/R): 0x30/0x31 (default)

ADDRESS	REGISTER NAME	RESET TYPE	R/W	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	RESET VALUE
0x00	DEVICE_ID	Type0	R	RESERVED	VERSION[3:0]			CHIP_REV[2:0]			—	—
0x01	STATUS	Type0	R	RESERVED	RESERVED	RESERVED	RESERVED	TSHDN	BB_POKn	BB_OVP	BB_OCP	—
0x02	CONFIG1	Type0	R/W	RESERVED	RESERVED	BB_RU_SR	BB_RD_SR	BB_OVP_TH[1:0]	RESERVED	BB_AD	BB_FPWM	0x0E
0x03	CONFIG2	Type0	R/W	RESERVED	BB_EN	EN_PD	POK_POL	RESERVED	RESERVED	RESERVED	RESERVED	0x70
0x04	VOUT_DVS_L	Type0	R/W	RESERVED	VOUT_DVS_L[6:0]							0x38
0x05	VOUT_DVS_H	Type0	R/W	RESERVED	VOUT_DVS_H[6:0]							0x40 0x5C
0x09-0xFF	RESERVED											

DEVICE_ID

Device ID Register

ADDRESS	MODE		TYPE: O	RESET VALUE: N/A
0x00	R			
BIT	NAME	POR	DESCRIPTION	
7	RESERVED	0		
6:3	VERSION[3:0]	—	Version 0000b: Plain 0001b: -1Z 0010b: -2Z	
2:0	CHIP_REV[2:0]	—	Chip revision history 001b: PASS1 010b: PASS2 011b: PASS3 and so on	

STATUS

Status Register

ADDRESS	MODE		TYPE: O	RESET VALUE: N/A
0x01	R			
BIT	NAME	POR	DESCRIPTION	
7:4	RESERVED	—		
3	TSHDN	—	0: Junction Temperature (TJCT) ≤ 165°C 1: Junction Temperature (TJCT) > 165°C	
2	BB_POKn	—	Buck-boost $\overline{\text{POK}}$ Status	
1	BB_OVP	—	Buck-boost OVP Status	
0	BB_OCP	—	Buck-boost OCP Status	

CONFIG1

Configuration Register1

ADDRESS	MODE		TYPE: O	RESET VALUE: 0x0E
0x02	R/W			
BIT	NAME	POR	DESCRIPTION	
7:6	RESERVED	00		
5	BB_RU_SR	0	Rising Ramp-Rate Control 0: 12.5mV/μs 1: 25mV/μs	
4	BB_RD_SR	0	Ramp-Down Slew Rate Control 0: 3.125mV/μs 1: 6.25mV/μs	
3:2	BB_OVP_TH[1:0]	11	Output OVP Threshold 00b: No OVP 01b: 110% of VOUT 10b: 115% of VOUT 11b: 120% of VOUT	
1	BB_AD	1	Output Active Discharge 0: Disable Active Discharge 1: Enable Active Discharge	
0	BB_FPWM	0	Forced PWM Enable 0: SKIP Mode 1: Forced PWM	

CONFIG2

Configuration Register2

ADDRESS	MODE		TYPE: O	RESET VALUE: 0x70
0x03	R/W			
BIT	NAME	POR	DESCRIPTION	
7	RESERVED	0		
6	BB_EN	1	0: Disable buck-boost output 1: Enable buck-boost output	
5	EN_PD	1	EN Input Pulldown Resistor Enable Setting 0: Disable 1: Enable	
4	POK_POL	1	0: Active low 1: Active high	
3:0	RESERVED	0000		

VOUT_DVS_L

Output Voltage Setting Register when DVS = low

ADDRESS	MODE		TYPE: O	RESET VALUE: 0x38			
0x04	R/W						
BIT	NAME	POR	DESCRIPTION				
7	RESERVED	0					
6:0	VOUT_DVS_L[6:0]	011 1000	Buck-Boost Output Voltage				
			0x00 = 2.6000V	0x20 = 3.0000V	0x40 = 3.4000V	0x60 = 3.8000V	
			0x01 = 2.6125V	0x21 = 3.0125V	0x41 = 3.4125V	0x61 = 3.8125V	
			0x02 = 2.6250V	0x22 = 3.0250V	0x42 = 3.4250V	0x62 = 3.8250V	
			0x03 = 2.6375V	0x23 = 3.0375V	0x43 = 3.4375V	0x63 = 3.8375V	
			0x04 = 2.6500V	0x24 = 3.0500V	0x44 = 3.4500V	0x64 = 3.8500V	
			0x05 = 2.6625V	0x25 = 3.0625V	0x45 = 3.4625V	0x65 = 3.8625V	
			0x06 = 2.6750V	0x26 = 3.0750V	0x46 = 3.4750V	0x66 = 3.8750V	
			0x07 = 2.6875V	0x27 = 3.0875V	0x47 = 3.4875V	0x67 = 3.8875V	
			0x08 = 2.7000V	0x28 = 3.1000V	0x48 = 3.5000V	0x68 = 3.9000V	
			0x09 = 2.7125V	0x29 = 3.1125V	0x49 = 3.5125V	0x69 = 3.9125V	
			0x0A = 2.7250V	0x2A = 3.1250V	0x4A = 3.5250V	0x6A = 3.9250V	
			0x0B = 2.7375V	0x2B = 3.1375V	0x4B = 3.5375V	0x6B = 3.9375V	
			0x0C = 2.7500V	0x2C = 3.1500V	0x4C = 3.5500V	0x6C = 3.9500V	
			0x0D = 2.7625V	0x2D = 3.1625V	0x4D = 3.5625V	0x6D = 3.9625V	
			0x0E = 2.7750V	0x2E = 3.1750V	0x4E = 3.5750V	0x6E = 3.9750V	
			0x0F = 2.7875V	0x2F = 3.1875V	0x4F = 3.5875V	0x6F = 3.9875V	
			0x10 = 2.8000V	0x30 = 3.2000V	0x50 = 3.6000V	0x70 = 4.0000V	
			0x11 = 2.8125V	0x31 = 3.2125V	0x51 = 3.6125V	0x71 = 4.0125V	
			0x12 = 2.8250V	0x32 = 3.2250V	0x52 = 3.6250V	0x72 = 4.0250V	
0x13 = 2.8375V	0x33 = 3.2375V	0x53 = 3.6375V	0x73 = 4.0375V				
0x14 = 2.8500V	0x34 = 3.2500V	0x54 = 3.6500V	0x74 = 4.0500V				
0x15 = 2.8625V	0x35 = 3.2625V	0x55 = 3.6625V	0x75 = 4.0625V				
0x16 = 2.8750V	0x36 = 3.2750V	0x56 = 3.6750V	0x76 = 4.0750V				
0x17 = 2.8875V	0x37 = 3.2875V	0x57 = 3.6875V	0x77 = 4.0875V				
0x18 = 2.9000V	0x38 = 3.3000V	0x58 = 3.7000V	0x78 = 4.1000V				
0x19 = 2.9125V	0x39 = 3.3125V	0x59 = 3.7125V	0x79 = 4.1125V				
0x1A = 2.9250V	0x3A = 3.3250V	0x5A = 3.7250V	0x7A = 4.1250V				
0x1B = 2.9375V	0x3B = 3.3375V	0x5B = 3.7375V	0x7B = 4.1375V				
0x1C = 2.9500V	0x3C = 3.3500V	0x5C = 3.7500V	0x7C = 4.1500V				
0x1D = 2.9625V	0x3D = 3.3625V	0x5D = 3.7625V	0x7D = 4.1625V				
0x1E = 2.9750V	0x3E = 3.3750V	0x5E = 3.7750V	0x7E = 4.1750V				
0x1F = 2.9875V	0x3F = 3.3875V	0x5F = 3.7875V	0x7F = 4.1875V				

VOUT_DVS_H

Output Voltage Setting Register when DVS = high

ADDRESS	MODE		TYPE: O	RESET VALUE: 0x40 (WLP) 0x5C (TQFN)			
0x05	R/W						
BIT	NAME	POR	DESCRIPTION				
7	RESERVED	0					
6:0	VOUT_DVS_H[6:0]	011 1000	Buck-Boost Output Voltage				
			0x00 = 2.6000V	0x20 = 3.0000V	0x40 = 3.4000V	0x60 = 3.8000V	
			0x01 = 2.6125V	0x21 = 3.0125V	0x41 = 3.4125V	0x61 = 3.8125V	
			0x02 = 2.6250V	0x22 = 3.0250V	0x42 = 3.4250V	0x62 = 3.8250V	
			0x03 = 2.6375V	0x23 = 3.0375V	0x43 = 3.4375V	0x63 = 3.8375V	
			0x04 = 2.6500V	0x24 = 3.0500V	0x44 = 3.4500V	0x64 = 3.8500V	
			0x05 = 2.6625V	0x25 = 3.0625V	0x45 = 3.4625V	0x65 = 3.8625V	
			0x06 = 2.6750V	0x26 = 3.0750V	0x46 = 3.4750V	0x66 = 3.8750V	
			0x07 = 2.6875V	0x27 = 3.0875V	0x47 = 3.4875V	0x67 = 3.8875V	
			0x08 = 2.7000V	0x28 = 3.1000V	0x48 = 3.5000V	0x68 = 3.9000V	
			0x09 = 2.7125V	0x29 = 3.1125V	0x49 = 3.5125V	0x69 = 3.9125V	
			0x0A = 2.7250V	0x2A = 3.1250V	0x4A = 3.5250V	0x6A = 3.9250V	
			0x0B = 2.7375V	0x2B = 3.1375V	0x4B = 3.5375V	0x6B = 3.9375V	
			0x0C = 2.7500V	0x2C = 3.1500V	0x4C = 3.5500V	0x6C = 3.9500V	
			0x0D = 2.7625V	0x2D = 3.1625V	0x4D = 3.5625V	0x6D = 3.9625V	
			0x0E = 2.7750V	0x2E = 3.1750V	0x4E = 3.5750V	0x6E = 3.9750V	
			0x0F = 2.7875V	0x2F = 3.1875V	0x4F = 3.5875V	0x6F = 3.9875V	
			0x10 = 2.8000V	0x30 = 3.2000V	0x50 = 3.6000V	0x70 = 4.0000V	
			0x11 = 2.8125V	0x31 = 3.2125V	0x51 = 3.6125V	0x71 = 4.0125V	
			0x12 = 2.8250V	0x32 = 3.2250V	0x52 = 3.6250V	0x72 = 4.0250V	
0x13 = 2.8375V	0x33 = 3.2375V	0x53 = 3.6375V	0x73 = 4.0375V				
0x14 = 2.8500V	0x34 = 3.2500V	0x54 = 3.6500V	0x74 = 4.0500V				
0x15 = 2.8625V	0x35 = 3.2625V	0x55 = 3.6625V	0x75 = 4.0625V				
0x16 = 2.8750V	0x36 = 3.2750V	0x56 = 3.6750V	0x76 = 4.0750V				
0x17 = 2.8875V	0x37 = 3.2875V	0x57 = 3.6875V	0x77 = 4.0875V				
0x18 = 2.9000V	0x38 = 3.3000V	0x58 = 3.7000V	0x78 = 4.1000V				
0x19 = 2.9125V	0x39 = 3.3125V	0x59 = 3.7125V	0x79 = 4.1125V				
0x1A = 2.9250V	0x3A = 3.3250V	0x5A = 3.7250V	0x7A = 4.1250V				
0x1B = 2.9375V	0x3B = 3.3375V	0x5B = 3.7375V	0x7B = 4.1375V				
0x1C = 2.9500V	0x3C = 3.3500V	0x5C = 3.7500V	0x7C = 4.1500V				
0x1D = 2.9625V	0x3D = 3.3625V	0x5D = 3.7625V	0x7D = 4.1625V				
0x1E = 2.9750V	0x3E = 3.3750V	0x5E = 3.7750V	0x7E = 4.1750V				
0x1F = 2.9875V	0x3F = 3.3875V	0x5F = 3.7875V	0x7F = 4.1875V				

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX77801EWP+T	-40°C to +85°C	20 WLP
MAX77801ETP+T	-40°C to +85°C	20 TQFN

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール。

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packaging を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo.
20 WLP	W201F2+1	21-0771	アプリケーションノート 1891 を参照
20 TQFN	T2044-3C	21-0139	90-0037

改訂履歴

版数	改訂日	説明	改訂ページ
0	2/15	初版	—
1	4/17	MAX77801ETP TQFNパッケージ情報を追加、「利点と特長」の項を更新、「通信プロトコル」の項を更新、図10~12を更新、「Package Thermal Characteristics (パッケージの熱特性)」、「Buck-Boost Electrical Characteristics (バックブーストの電気的特性)」、「Register Map (レジスタマップ)」、「VOUT_DVS_H」、「型番」、および「パッケージ」の各表を更新	1-3, 8, 14-19, 23, 24
2	2/18	図5の誤記を修正	11
3	3/18	「Electrical Characteristics (電気的特性)」表にMAX77801ETPデフォルトV _{OUT} を追加	2



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。