

デジタル可変LCDバイアス電源

概要

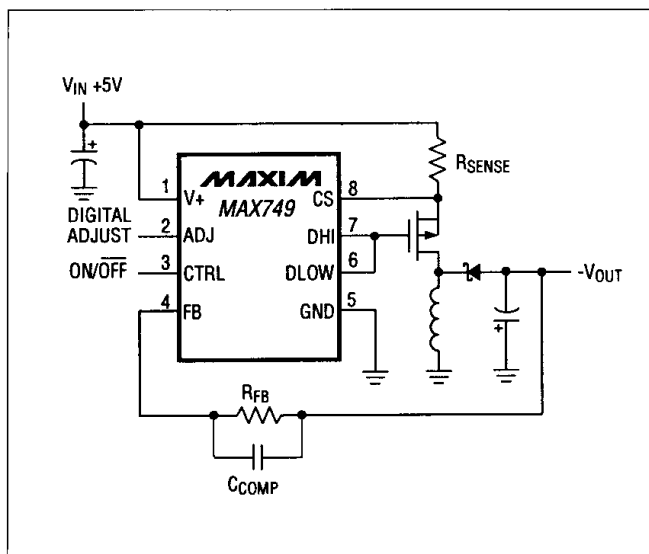
MAX749は、2V～6Vの入力電源から負のLCDバイアスコンラスト電圧を発生します。フルスケール出力電圧は-100V以上に設定可能で、内部デジタル/アナログ(DAC)コンバータによって64段階にデジタル調整できます。また、僅か7個の小型表面実装型の外付け部品の使用で完全な電源が構成でき、出力電圧はPWM信号またはポテンショメータによって調整可能です。

MAX749は、ユニークな電流制限制御方式を採用しており、消費電流の低減、高効率化が可能で、また、高スイッチング周波数(500kHzまで)により、外付け部品の小型化が可能です。自己消費電流は僅か60 μ A(max)で、シャットダウン時は15 μ A以下に低下します。またシャットダウン時でも、電圧設定ポイントを維持するため、ソフトウェアの制御が容易に行えます。MAX749は、外付けPチャネルMOSFETあるいはPNPトランジスタを駆動します。

アプリケーション

ノートブックコンピュータ
ラップトップコンピュータ
パームトップコンピュータ
パーソナルデジタルアシスタント
通信コンピュータ
ポータブルデータコレクション端末

標準動作回路



特長

- ◆入力電圧範囲：+2.0V～+6.0V
- ◆出力電圧制御：
 - デジタル制御
 - ポテンショメータ調整
 - PWM制御
- ◆1個の抵抗によって出力電圧範囲を設定
- ◆低自己消費電流：60 μ A(max)
- ◆シャットダウンモード：15 μ A(max)
- ◆小型8ピンSOPとDIP

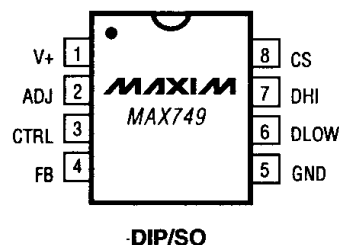
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX749CPA	0°C to +70°C	8 Plastic DIP
MAX749CSA	0°C to +70°C	8 SO
MAX749C/D	0°C to +70°C	Dice*
MAX749EPA	-40°C to +85°C	8 Plastic DIP
MAX749ESA	-40°C to +85°C	8 SO

* Contact factory for dice specifications.

ピン配置

TOP VIEW



デジタル可変LCDバイアス電源

MAX749

ABSOLUTE MAXIMUM RATINGS

V+-0.3V, +7V
CTRL, ADJ, FB, DLOW, DHI, CS-0.3V, (V+ + 0.3V)
Continuous Power Dissipation (T_A = +70°C)
Plastic DIP (derate 9.09mW/°C above +70°C)727mW
SO (derate 5.88mW/°C above +70°C)471mW

Operating Temperature Ranges:

MAX749C_A0°C to +70°C
MAX749E_A-40°C to +85°C
Storage Temperature Range-65°C to +160°C
Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(2V < V+ < 6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V+ Voltage			2		6	V
FB Source Current	I _{FBS}	On power-up or reset, V _{FB} = 0V (Note 1)	12.80	13.33	13.86	μA
Zero-Count FB Current		V _{FB} = 0V	0.45		0.55	I _{FBS}
Full-Count FB Current		V _{FB} = 0V	1.43		1.53	I _{FBS}
FB Offset Voltage					±15	mV
DAC Step Size (Note 2)		Monotonicity guaranteed, V _{FB} = 0V	1.00	1.56	2.12	%I _{FBS}
DAC Linearity (Note 2)		V _{FB} = 0V			±1	%I _{FBS}
Supply Rejection		V+ = 2V to 6V, full-count current			1.5	%I _{FBS}
Switching Frequency				100 to 500		kHz
Logic Input Current		0V < V _{IN} < V+, CTRL, ADJ			±100	nA
Logic High Threshold (Note 3)	V _{IH}	CTRL, ADJ	1.6			V
Logic Low Threshold (Note 3)	V _{IL}	CTRL, ADJ			0.4	V
Quiescent Current					60	μA
Shutdown Current					15	μA
V+ to CS Voltage		Current-limit trip voltage	110	140	180	mV
DHI Source Current		V+ = 2V, V _{DHI} = 1V	24	50		mA
DHI Drive Level		No load	V+ - 50mV	V+		V
DLOW On Resistance		V+ = 2V, V _{DLOW} = 0.5V		5	10	Ω

Note 1: The device is in regulation when V_{FB} = 0V (see Figures 3 - 6).

Note 2: These tests performed at V+ = 3.3V. Operation over supply range is guaranteed by supply rejection test of full-count current.

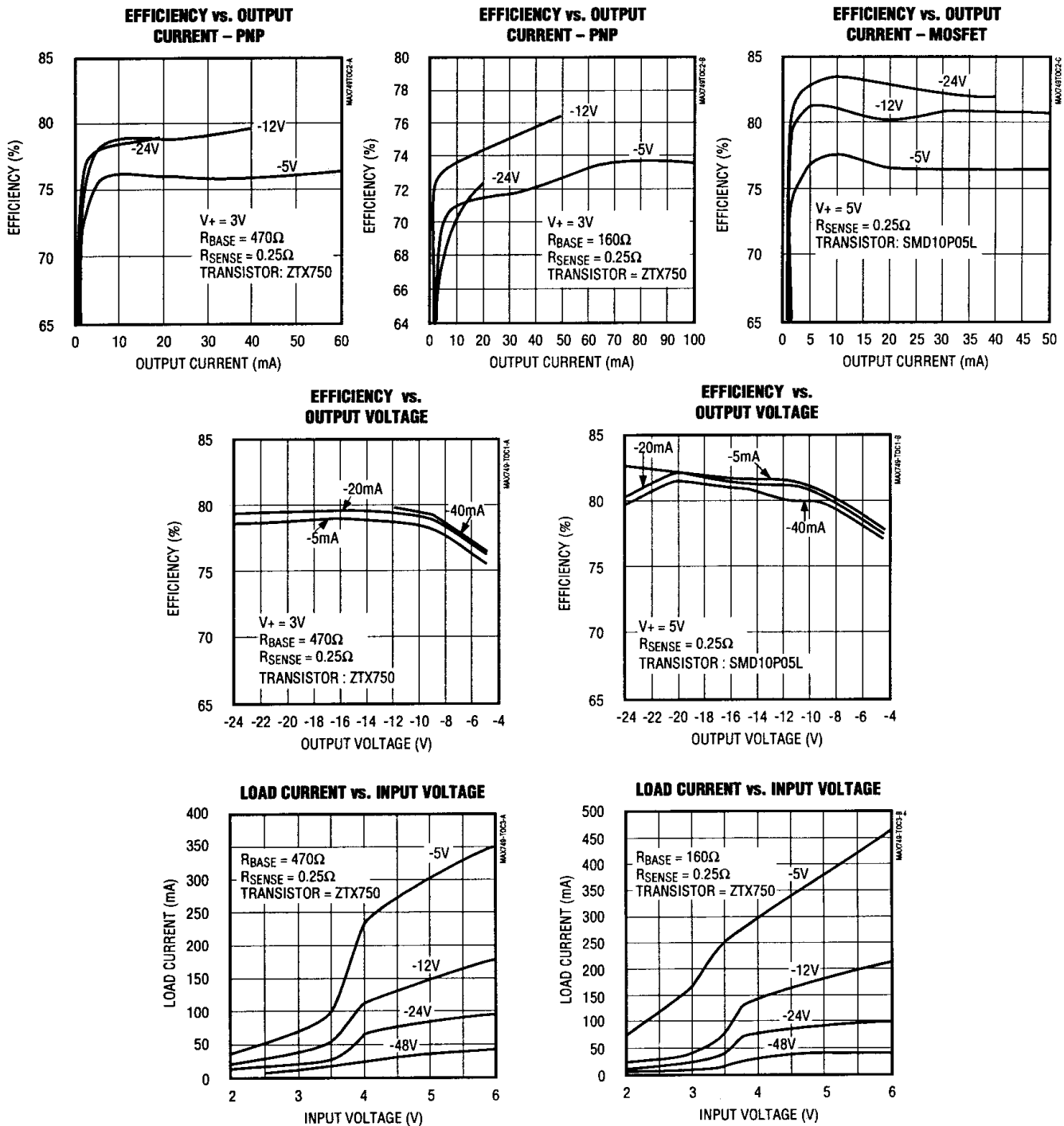
Note 3: V_{IH} is guaranteed by design to be 1.8V min for V+ = 2V to 6V for T_A = T_{MIN} to T_{MAX}. V_{IL} is guaranteed by design from T_A = T_{MIN} to T_{MAX}.

TIMING CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	T _A = +25°C			T _A = T _{MIN} to T _{MAX}		UNITS
			MIN	TYP	MAX	MIN	MAX	
Minimum Reset Pulse Width	t _R	V+ = 2V		125	300		400	ns
		V+ = 5V		25	85		100	
Minimum Reset Setup	t _{RS}	Not tested	0			0		ns
Minimum Reset Hold	t _{RH}	Not tested	0			0		ns
Minimum ADJ High Pulse Width	t _{SH}	V+ = 2V		15	85		100	ns
		V+ = 5V		10	85		100	
Minimum ADJ Low Pulse Width	t _{SL}	V+ = 2V		170	400		500	ns
		V+ = 5V		60	150		200	
Minimum ADJ Low to CTRL Low	t _{SD}	V+ = 2V		70	200		250	ns
		V+ = 5V		20	85		100	

標準動作特性

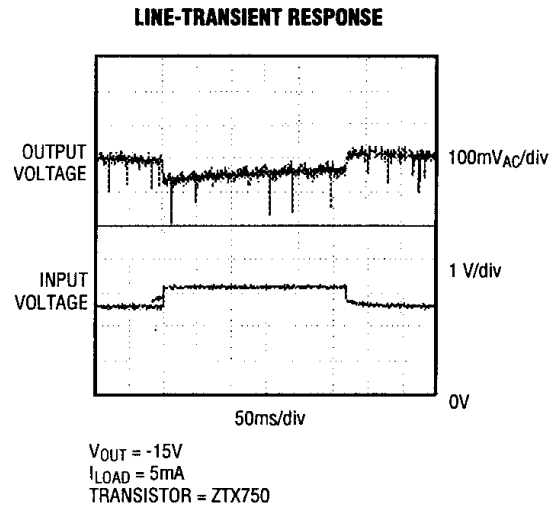
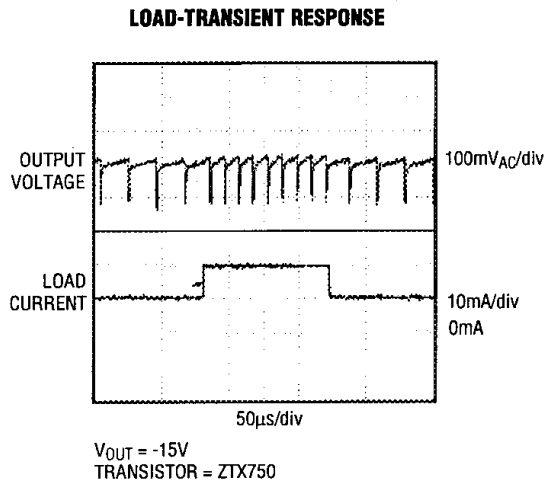
($T_A = +25^\circ\text{C}$, $L = 47\mu\text{H}$, unless otherwise noted.)



デジタル可変LCDバイアス電源

標準動作特性(続き)

($T_A = +25^\circ\text{C}$, $L = 47\mu\text{H}$, unless otherwise noted.)



端子説明

端子	名称	機能
1	V_+	+2V~+6Vの入力電圧。MAX749及び外部素子を駆動。外付けPチャネルMOSFETを使用する場合は、 V_+ はMOSFETのゲート電圧以上にします。
2	ADJ	ロジック入力。CTRLが“ハイ”の時は、ADJの立上がりエッジによって内部カウンタが増加し、CTRLが“ロー”でADJが“ハイ”の時、カウンタは中間点にリセットされます。ADJが“ロー”の時は(CTRLの状態に関係無く)、 V_+ が印加されている間はカウンタは静止状態です。
3	CTRL	ロジック入力。CTRLとADJが“ロー”の場合、MAX749はシャットダウンされますが、カウンタはリセットされません。CTRLが“ロー”でADJが“ハイ”の時、カウンタは中間点にリセットされます。CTRLが“ハイ”の場合、この素子は常にオン状態です。
4	FB	出力フルスケール電圧設定のためのフィードバック入力。 $-V_{OUT(MAX)} = R_{FB} \times 20\mu\text{A}$ 、但し R_{FB} はFBピンと $-V_{OUT}$ 間に接続。 $V_{FB} = 0\text{V}$ の場合、この素子は安定状態。
5	GND	グランド。
6	DLOW	出力ドライバの“ロー”出力。外部PチャネルMOSFETを使用する場合は、DHIに接続します。外付けPNPトランジスタを使用する場合は、抵抗 R_{BASE} をDLOWとPNPのベース間に接続し、最大ベースドライブ電流を設定します。
7	DHI	出力ドライバの“ハイ”出力。外付けPチャネルトランジスタのゲート、または外部PNPトランジスタのベースに接続します。
8	CS	電流検出入力。検出抵抗(R_{SENSE})に流れる電流により、CSが V_+ より140mV(typ)低くなった時に、外部トランジスタはターンオフされます。

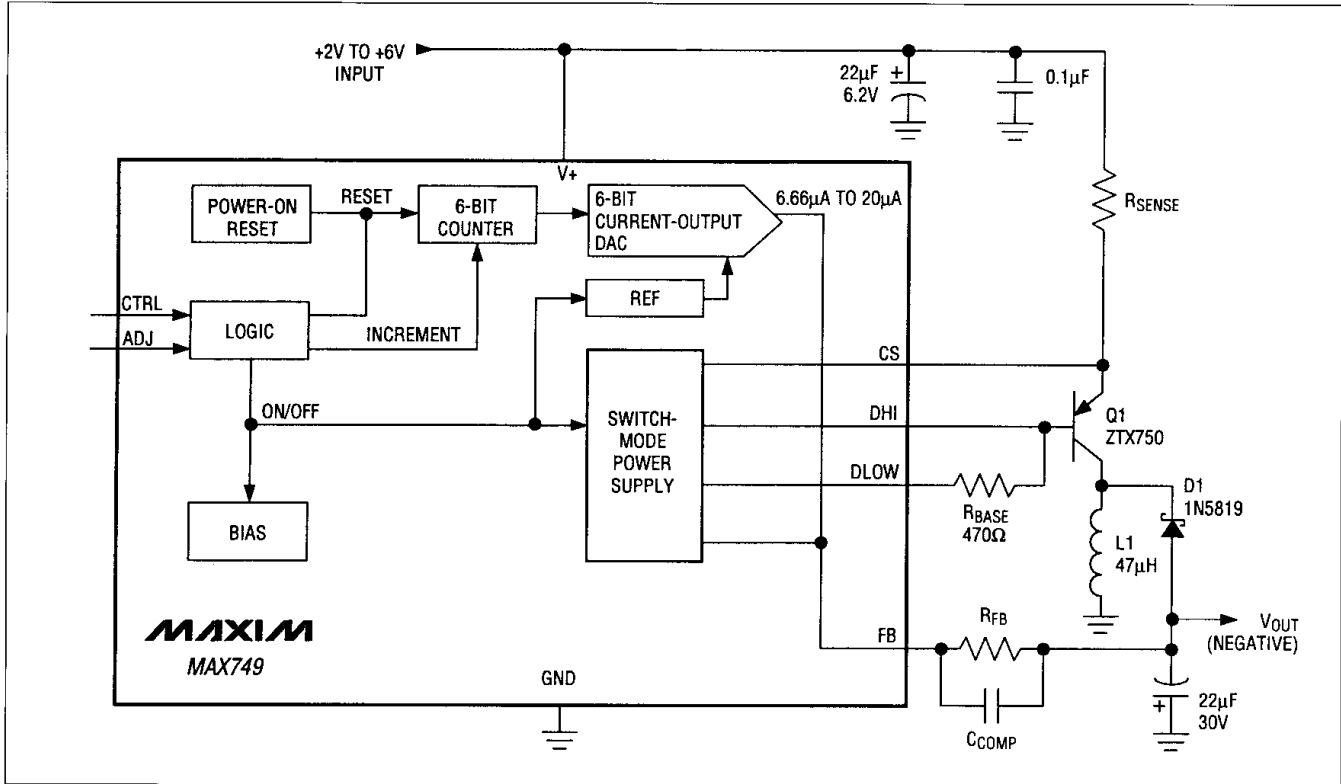


図1. PNPトランジスタを使用した外付回路のブロック図

詳細

MAX749は外付けPNPトランジスタあるいはPチャネルMOSFETを駆動する負の出力反転パワーコントローラで、外付け抵抗と内部DACにより出力電圧が制御されます(図1)。

MAX749は2V~6Vの入力電源用に設計されており、低電圧バッテリー用の動作に適しています。ノートブックコンピュータ等の高電圧バッテリー動作のシステムにおいては、安定化された+5V電源からも動作します。MAX749の電源には、MAX782等の高効率+5Vレギュレータが適しています。この場合の総合的な効率は、MAX749の効率(80%)と、MAX782の効率(95%)とを合わせたものですが、それでも高い効率が得られます(80%×95%=76%)。

動作原理

“標準動作回路”の図に示されているよう、MAX749と外付け部品でフライバックコンバータが構成できます。外付けトランジスタがオンの時、電流は、電流検出抵抗、トランジスタ、コイルを通して流れます。この間、エネルギーがコイルのコアに蓄えられ、ダイオードに電流は流れません。トランジスタがオフの場合、電流は出力からダイオード、コイルを通して流れ、出力電圧は負になります。フィード

バック制御により外付けトランジスタのタイミングが調整され、安定化された負の出力電圧が供給されます。

MAX749は、超低消費電流が可能なパルススキッピング方式、及び、全負荷においてもパルス幅変調(PWM)の高効率特性を備えたパルス周波数変調(PFM)方式を兼ね備えており、ユニークな制御方式が実現されています。この制御方式により、広範囲の負荷において高効率が得られます。また、電流検出機能が内蔵されており、動作周波数が高いため、小型の外付け部品を使用することができます。

スイッチング制御は、スイッチの電流制限とオン/オフのタイムリミットの組み合わせにより行われます(図2)。

トランジスタは一度ターンオンすると、次のどちらかが発生するまでオンのままです。

- ・最大オンタイムのワンショットがターンオフするまで(8μs後)
- ・スイッチ電流が制限値に達するまで(電流検出抵抗と電流コンパレータによって決められます。)

一度ターンオフされると、ワンショットは最低1μsの間スイッチオフのままで、その後は出力が安定であればオフのまま、また出力が安定でない場合は再びターンオンします。

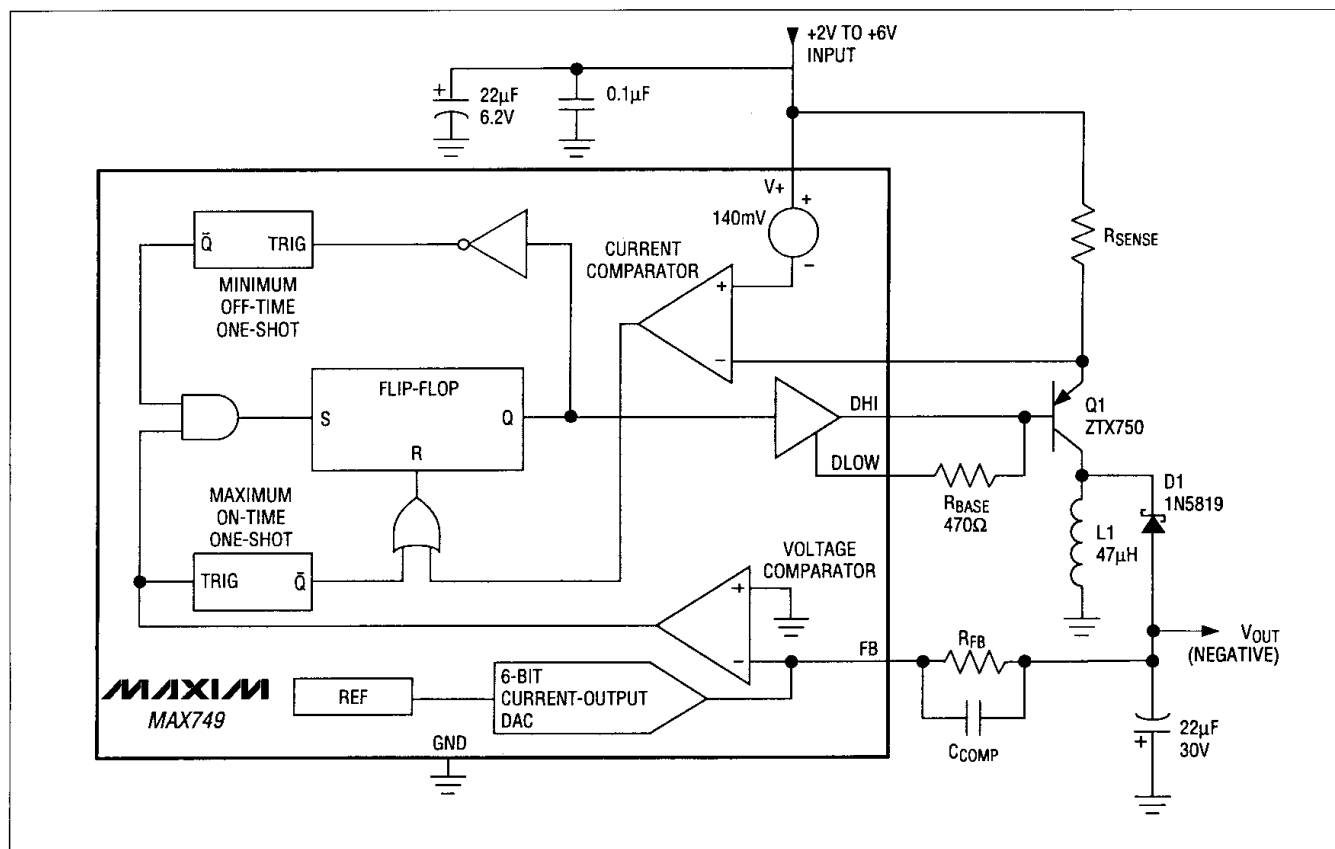


図2. スイッチモード電源セクションのブロック図

軽負荷時は、従来のPFMコンバータと同じようにトランジスタは1サイクル以上の間オンのままで、それからオフされます。重負荷時は、スイッチ電流が電流制限に達するまでトランジスタはオンのままで、それから1μsの間シャットオフされます。その後再びすぐターンオンされ、次にスイッチ電流が制限に達するまでオンのままです。このサイクルは出力が安定化するまで繰り返されます。

出力電圧制御

出力電圧は、1個の外付け抵抗と内部電流出力DACにより設定され(図1)、フルスケールの出力電圧はフィードバック抵抗 R_{FB} を選択することによって設定されます。出力電圧の可変範囲はフルスケールの33%~100%で、内部DACによって64段階に設定できます。

パワーアップ時またはリセット後、このカウンタはDAC出力を中間点に設定します。ADJの各立上がりエッジによりDAC出力が増加します。フルスケールを越えて増加した時、このカウンタは元に戻り、最小値にDACを設定します。このようにADJに1個のパルスを加えることによりDACの設定点を1ステップ増加させ、また63個のパルスにより1ステップ設定点を低下させます。

表1に、内部DACとカウンタを制御するCTRLとADJの入力ロ

ジック表を示します。図3~図7には、タイミング特性、DACの増加の方法と再設定の方法、ローパワースタンバイモードに入る様子が示してあります。ADJとCTRLのタイミング特性が守られる限り、どんな連続動作も実行可能です。

図3に、MAX749がシャットダウン状態から解除され、リセットに入り、出力が中間点に設定される様子が示されています。図4には、カウンタの増加の方法が示されています。図5には、素子がシャットダウンされることなくリセットされる場合が示されています。

図7は、連続動作の例を示しています。シャットダウンから始まって、素子がターンオンされ、出力が増加し、シャットダウンされずに中間点にリセットされ、再び増加し、最後にシャットダウンします。

表1. 入力真理値表

ADJ	CTRL	結 果
ロー	ロー	シャットダウン
ハイ	ロー	中間点へカウンタをリセット。 素子はシャットダウンされません。
×	ハイ	オン
↑	ハイ	カウンタを増加

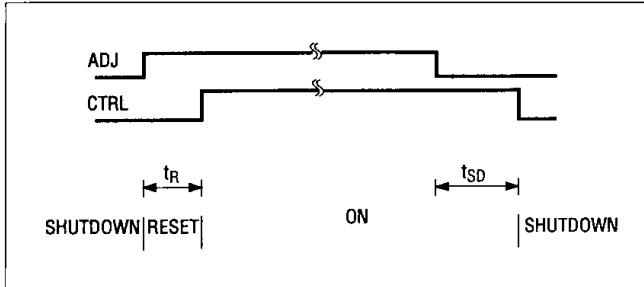


図3. シャットダウン-リセット-オン-シャットダウンの連続動作。素子はリセットの間シャットダウンされません。

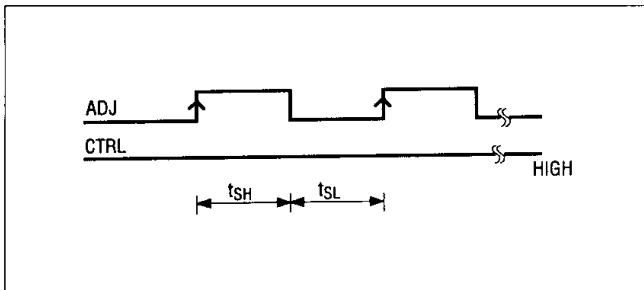


図4. カウントアップ動作

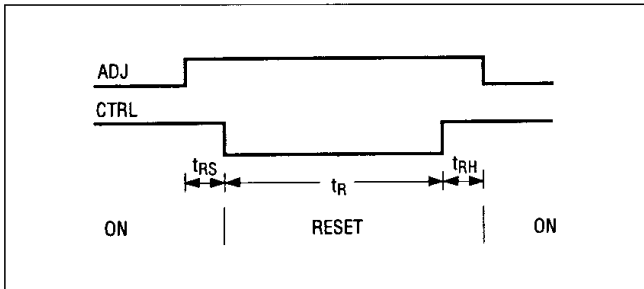


図5. シャットダウン無しの連続リセット。素子はリセットの間シャットダウンされません。

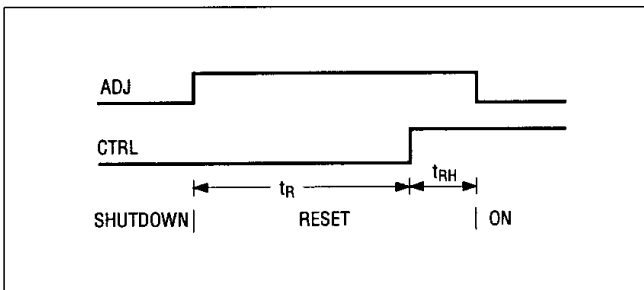


図6. シャットダウンのある連続リセット

シャットダウンモード

CTRL及びADJが“ロー”の場合、MAX749はシャットダウンされます(表1)。内部リファレンスとバイアス回路がターンオフされ、出力電圧はゼロに低下、消費電流は15μAに低下します。この時MAX749はDACの設定を保持するため、ソフトウェア制御が容易です。

リセットモード

CTRLが“ロー”でADJが“ハイ”の場合、DACの設定点は中間点にリセットされ、MAX749はシャットダウンされません。中間点とは最小値から32ステップ上、最大値から31ステップ下です。

設計手順と部品選択

出力電圧の設定

MAX749の出力電圧は、外付け抵抗及び内部電流出力DACにより設定されます。フルスケールの出力電圧は、フィードバック抵抗(R_{FB})を選択することにより次式に基づいて設定されます。

$$-V_{OUT(MAX)} = R_{FB} \times 20\mu A \text{ (図1)}$$

$V_{FB} = 0V$ の時、この素子は安定状態を保ちます。

DACによる調整

パワーアップ時またはリセット後、このカウンタはDAC出力を中間点に設定し、 $-V_{OUT} = R_{FB} \times 13.33\mu A$ になります。ADJの各立上がりエッジによりカウンタ(従ってDAC出力)が $-V_{OUT(MAX)}$ の方向に1カウント増加します。 $-V_{OUT(MAX)}$ を越えた場合、このカウンタは元に戻り、DACは $-V_{OUT(MIN)}$ に設定されます($-V_{OUT(MIN)} = R_{FB} \times 6.66\mu A$)。すなわちADJの立上がりエッジ1つによりDAC出力を1つ増加させ、63個のADJの立上がりエッジによりDAC出力が1つ低下します。

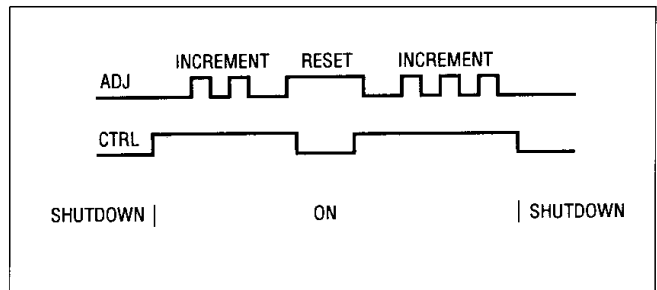


図7. 連続制御の例(出力電圧制御の項を参照)

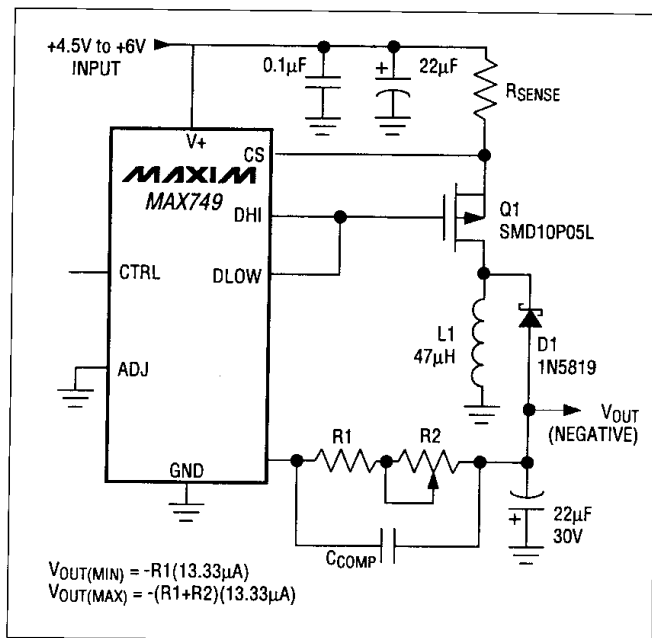


図8. ポテンショメータによる出力電圧調整

ポテンショメータによる調整

内部DACの代りにポテンショメータを使って出力電圧を調整することも可能です(図8)。パワーアップ時(V_+ が加えられた時)、内部電流ソースは中間点($13.33\mu\text{A}$)に設定されます。次の式により $R1$ と $R2$ を選択して下さい。

$$R1 = -V_{OUT(MIN)} / 13.33\mu\text{A}$$

$$R2 = -V_{OUT(MAX)} / 13.33\mu\text{A} - R1$$

ここでポテンショメータは $0(V_{OUT(MIN)})$ を発生)から $R2\Omega$ ($V_{OUT(MAX)}$ を発生)の間を変化します。ADJはグラウンドに接続されており、素子をシャットダウンすることが可能だということに注意して下さい。

PWMによる調整

正のパルス幅変調(PWM)ロジック信号(例: マイクロコントローラから)により、MAX749の出力電圧が制御できます。PWM信号を使用し、適当な抵抗でFB端子をプルアップして下さい。PWM出力のRCネットワークも必要となります。この構成では、PWM信号の「ハイ」期間が長くなる程、MAX749はより低い負の電圧を出力します。

電流検出抵抗

電流検出抵抗により、ピークスイッチ電流は $140\text{mV}/R_{\text{SENSE}}$ に制限されます(R_{SENSE} : 電流検出抵抗値、 140mV : 電流検

出コンパレータの標準スレッショルド値。電気的特性の V_+ ~CS間電圧を参照)。

効率を上げ、外付け部品のサイズ及びコストを減らすために、ピーク電流を最小限に抑えて下さい。しかし、出力電流はピーク電流の関数のため(図9a~図9e)、低く制限しすぎないようにして下さい。

電流検出抵抗を選択するにあたっては計算は必要ありません。次の2ステップの手順に従って下さい。

1. 次の値を決める。

最小入力電圧: $V_{IN(MIN)}$

最大出力電圧: $V_{OUT(MAX)}$

最大出力電流: $I_{OUT(MAX)}$

例えば電源電圧範囲が $4.75\text{V} \sim 6\text{V}$ ($V_{IN(MIN)} = 4.75\text{V}$)、出力電流が -30mA ($I_{OUT(MAX)} = 30\text{mA}$)で、出力電圧が -24V ($V_{OUT(MAX)} = -24\text{V}$)に調整されなければならないと仮定して下さい。

2. 適当な出力電圧を図9a~9eから選んで下さい(調整したい出力電圧か、あるいはそれが無い場合は調整したい出力より負でそれに最も近い電圧)。そしてそのグラフの中で、最小の入力電圧における適当な出力電流の中で一番高い抵抗(最小電流制限)を見つけて下さい。

この例では、図9dの -24V 出力のグラフを選びます。次に 4.75V 入力、 $I_{OUT} \geq 30\text{mA}$ の所を探します。 $R_{\text{SENSE}} = 0.3\Omega$ では 4.75V の入力電圧において 25mA の出力電流を示しているのので、次に $R_{\text{SENSE}} = 0.25\Omega$ のグラフを見て下さい。 $V_{IN} = 4.75\text{V}$ 、 $V_{OUT} = -24\text{V}$ で $I_{OUT} = 30\text{mA}$ となっています。従って $R_{\text{SENSE}} = 0.25\Omega$ を選んで下さい。ピーク電流制限は $440\text{mA} \sim 720\text{mA}$ の範囲になります。

ここで 0.2Ω の検出抵抗も使用することができます。これにより、ピーク電流制限範囲が $550\text{mA} \sim 900\text{mA}$ になります。ただし 4.5V の入力電圧、 -24V 出力で 40mA 以上も可能です。 0.2Ω の抵抗の方が 0.25Ω の抵抗より入手するのが容易です。

図9a~9eに示されているグラフは、電流制限コンパレータのスレッショルドの最小値(最悪条件)を用いています。選択された電流検出抵抗を使用すると、最大ピーク電流制限値は $180\text{mV}/R_{\text{SENSE}}$ で与えられます。トランジスタやコイル、ダイオードを選ぶ場合は、最大電流制限値を使用して下さい。

IRC社(表2参照)により、 0.1Ω 、 0.2Ω 、 0.3Ω 、 0.5Ω 、 1.0Ω を含め、任意の値に表面実装抵抗を設定できます。

インダクタの選択

使用可能なインダクタ値の範囲は、 $22\mu\text{H}$ ～ $100\mu\text{H}$ ですが、通常は $47\mu\text{H}$ を用います。フェライトコア付き、あるいは同等のインダクタを推奨します。インダクタの飽和電流定格(コアが飽和し始め、インダクタンスが公称値の80%か90%に低下する電流)は、ピーク電流制限と等しくなければなりません(電流検出抵抗の項を参照)。しかし、電流はMAX749によって制限されるため、インダクタは僅かに効率が変化するだけで飽和状態でも安全に動作します。

高い効率を得るためには、低抵抗の($300\text{m}\Omega$ 以下)コイルを使用し、また輻射ノイズを最小限に抑えるためには、トロイダル、ポットコア、またはシールドインダクタを使用して下さい。

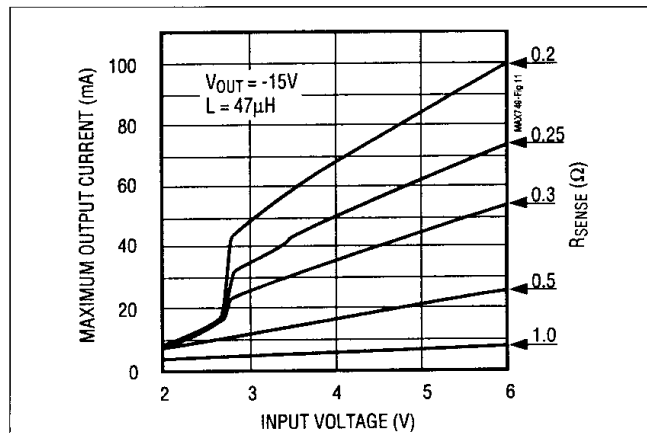


図9c. 最大出力電流vs. 入力電圧、 $V_{\text{OUT}} = -15\text{V}$

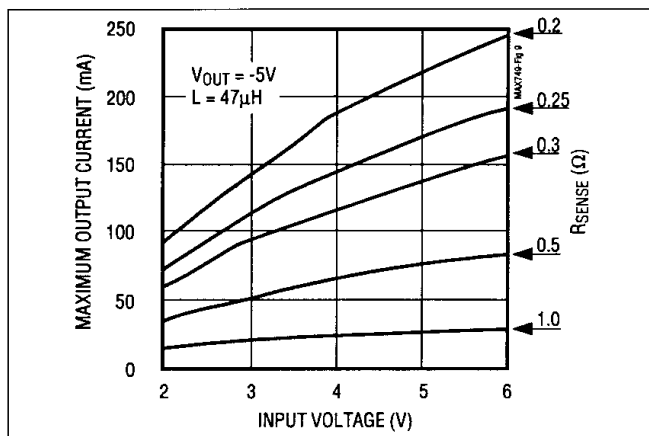


図9a. 最大出力電流vs. 入力電圧、 $V_{\text{OUT}} = -5\text{V}$

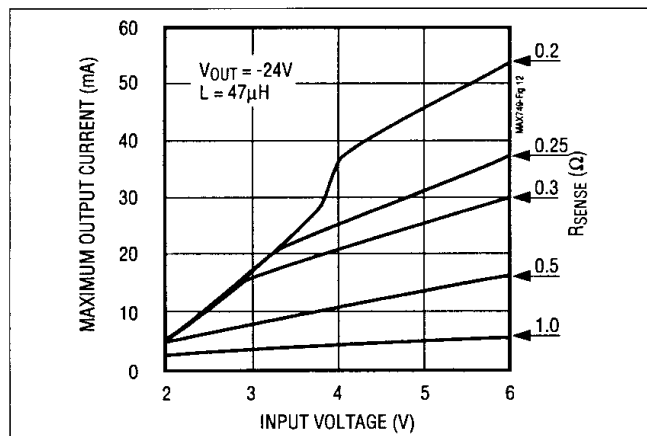


図9d. 最大出力電流vs. 入力電圧、 $V_{\text{OUT}} = -24\text{V}$

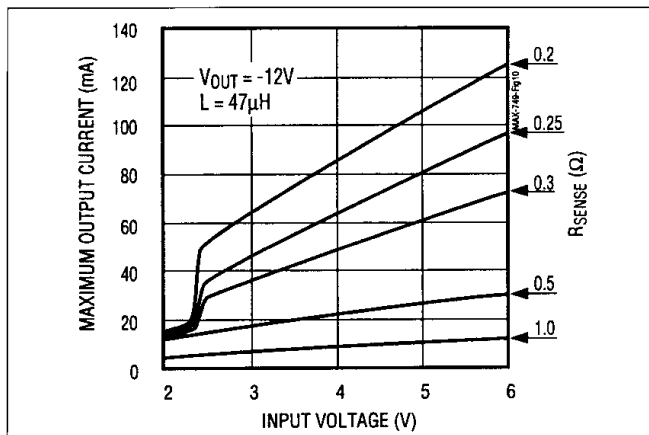


図9b. 最大出力電流vs. 入力電圧、 $V_{\text{OUT}} = -12\text{V}$

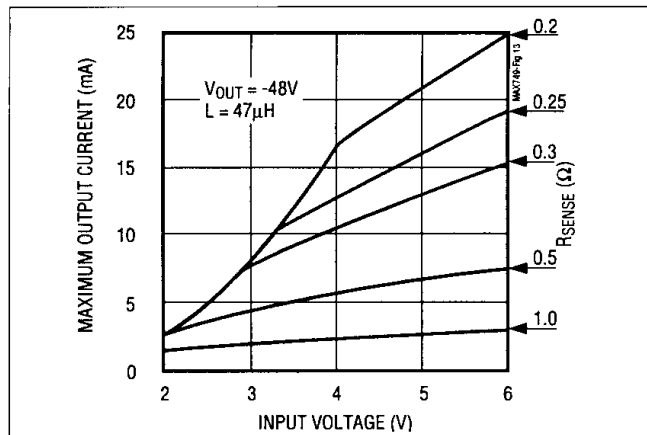


図9e. 最大出力電流vs. 入力電圧、 $V_{\text{OUT}} = -48\text{V}$

デジタル可変LCDバイアス電源

スミダ電機社のCD54-470N (47 μ H、720mA、370m Ω)は広範囲のアプリケーションに適しており、大きいCD105-470N (47 μ H、1.17A、170m Ω)を使用すると高電流、高効率を得られます。

ダイオードの選択

MAX749は、スイッチング周波数が高いため高速のダイオードが必要です。1N5817~1N5822等のショットキーダイオードが推奨されます。180mV/ R_{SENSE} のピーク電流とほぼ等しい平均電流定格と、 $V_{+} + | -V_{OUT(MAX)} |$ 以上のブレイクダウン電圧を備えたダイオードを選んで下さい。

外付けスイッチングトランジスタ

MAX749はPNPトランジスタあるいはPチャネルロジックレベルのMOSFETをドライブできます。パワースイッチの選択は、入力電圧範囲、コスト、効率によって決められます。

MOSFETは、DCゲートドライブ電流が流れないため、高効率を得られます(標準動作特性のグラフ参照)。しかし数Vのゲートソース間電圧がMOSFETをターンオンするのに必要です。従って、5V以上の入力電源が必要です(この制限はスレッシュホールド値の低いPチャネルMOSFETが使用できる場合は異なります)。一方、PNPトランジスタは、MAX749の全動作電圧範囲2V~6Vで使用することができます。

MOSFETを使用する場合、DHIとDLOWをゲートに接続して下さい(標準動作回路参照)。PNPトランジスタを使用する場合、DHIをベースに接続し、抵抗(R_{BASE})をベースとDLOWの間に接続して下さい(図1参照)。PNPトランジスタはDHIに直接プルアップされることによって素速くターンオフされ、 R_{BASE} を通して供給されるベース電流によりターンオンされます。この抵抗によりトランジスタのベースドライブ電流が $(V_{IN} - 140mV - V_{BE}) / R_{BASE}$ に制限されます(V_{IN} は入力電圧、140mVは R_{SENSE} のドロップ電圧、 V_{BE} はトランジスタのベース-エミッタ電圧、 R_{BASE} は電流制限抵抗)。最高の効率を得るために、 R_{BASE} をできる限り大きくして下さい。しかし、トランジスタが常に飽和状態で動作できる程度には充分小さくして下さい。

PNPトランジスタでの高効率化は、コレクターエミッタの低飽和電圧、及び高電流ゲインの素子を使用することにより実現できます。高速スイッチングのタイプを使用して下さい。例えば、Zetex社のZTX792Aのスイッチングスピードは40ns(t_{ON})、500ns(t_{OFF})です。

トランジスタのコレクターエミッタ(PNP)またはドレイン-ソース(MOSFET)の電圧定格は入出力電圧差($V_{IN} - V_{OUT}$)以上でなければなりません。また、どちらの場合も電流検出抵抗によって設定されたピーク電流を越える電流定格を備えていなければなりません。

表2. 部品メーカー

SUPPLIER	PHONE	FAX
INDUCTORS		
Coiltronics		
Gowanda	(716) 532-2234	(716) 532-2702
Sumida USA	(708) 956-0666	(708) 956-0702
Sumida Japan	81-3-3607-511	81-3-3607-5428
CAPACITORS		
Kemet	(803) 963-6300	(803) 963-6322
Matsuo	(714) 969-2491	(714) 960-6492
Nichicon	(708) 843-7500	(708) 843-2798
Sprague	(603) 224-1961	(603) 224-1430
Sanyo USA	(619) 661-6322	
Sanyo Japan	81-3-3837-6242	
United Chemi-Con	(714) 255-9500	(714) 255-9400
DIODES		
Motorola	(800) 521-6274	
Nihon USA	(805) 867-2555	(805) 867-2698
Nihon Japan	81-3-3494-7411	81-3-3494-7414
POWER TRANSISTORS - MOSFETS		
Harris	(407) 724-3739	(407) 724-3937
International Rectifier	(213) 772-2000	(213) 772-9028
Siliconix	(408) 988-8000	(408) 727-5414
POWER TRANSISTORS - PNP TRANSISTORS		
Zetex USA	(516) 543-7100	(516) 864-7630
Zetex UK	44 (61) 727 5105	44 (61) 627 5467
CURRENT-SENSE RESISTORS		

一般的にPNPトランジスタはPチャネルMOSFETより安価です。表2に、MAX749との使用に適したスイッチングトランジスタの供給メーカーが記載されています。

ベース抵抗

図1のベース抵抗 R_{BASE} は、PNPトランジスタのベース電流を制御します。 R_{BASE} が低いとベースドライブが増加し、それにより高出力電流が供給され、低入力電圧における補償が行われますが、効率が低下します。逆に R_{BASE} が高いと効率が高くなりますが、出力、特に低電圧で出力能力を低下させます。Zetex社のZTX750かZTX792等の高利得のトランジスタを使用する場合、 R_{BASE} の標準値は、150 Ω ~510 Ω の範囲にありますが、必要とされる入力電圧範囲と出力電流に関係します(標準動作特性の項参照)。低利得のトランジスタは低い R_{BASE} を必要とするので、効率は低くなります。大きい R_{BASE} の値は、出力電力が低い場合に適しています。

コンデンサ

出力フィルタコンデンサ

22 μ F、30Vの表面実装(SMT)タンタル出力フィルタコンデンサは、5V入力、40mA/−24V出力時、100mV_{P-P}の出力リップルを維持します。10 μ Fまでの小容量のコンデンサを、高い出力リップルを許容できる軽負荷のアプリケーションに使うことができます。一般的に表面実装コンデンサの方が好まれますが、これはスルーホール部品の場合のリード線のインダクタンスと抵抗が無いからです。

入力バイパスコンデンサ

0.1 μ Fセラミックコンデンサと並列に22 μ Fタンタルコンデンサを接続することにより、十分なバイパスを行うことができます。電源がハイインピーダンスの場合、より大容量のコンデンサが必要です。回路がローインピーダンス電源で動作する場合は、より小容量のバイパスコンデンサを使用できます。プロトタイプを作る際、大容量のバイパスコンデンサから始めて下さい。そして回路を動作させて良い結果が得られる最小の値にバイパスの値を低減して下さい。通常DC電源はDCにおいてローインピーダンスですが、スイッチングDC-DCコンバータで使用される周波数においてはハイインピーダンスです。

バイパス及びフィルタコンデンサのESR(等価直列抵抗)は効率に影響を与えます。フィルタコンデンサを2倍にすることによって、または低いESRタイプを使用することによって最良の性能が得られます。

現在入手可能な小型の低ESR SMTコンデンサは、Sprague社の595Dシリーズで、競合製品の約半分のサイズです。サンヨーのスルーホールコンデンサOS-CON(有機半導体)も低いESR値を備えており、0°C以下での動作が要求される場合、特に有効です。表2にメーカーの連絡先が載っています。

補償コンデンサ

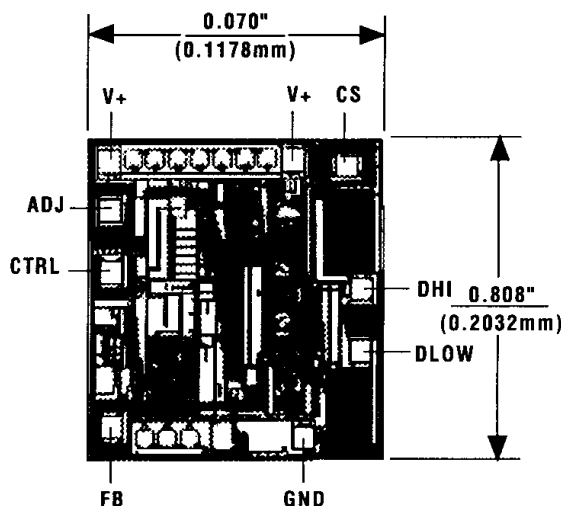
寄生容量がFB端子にあった場合、フィードバック抵抗が高くと、フィードバックループの位相遅れに影響します。これを補償するには、コンデンサC_{COMP}をR_{FB}と並列に接続することが必要です。C_{COMP}の値はR_{FB}の値及び個々の回路レイアウトに関係します(通常は100pF〜10000pF)。

PCのレイアウトとグランド

電流レベルが高く、スイッチング波形が速いため、適切なPCボードのレイアウトが重要です。実際には全リード線を短くし、特にFB端子に接続されているリード線とQ1、L1、D1に接続されているリード線を短くして下さい。

スターグランド構成を行って下さい。入力バイパスコンデンサ、出力コンデンサ、インダクタのグランドリード線をMAX749のGND端子に隣接するコモンポイントに接続して下さい。さらに入力バイパスコンデンサの正のリード線を素子のV₊端子のできるだけ近くに接続して下さい。

チップ構造図

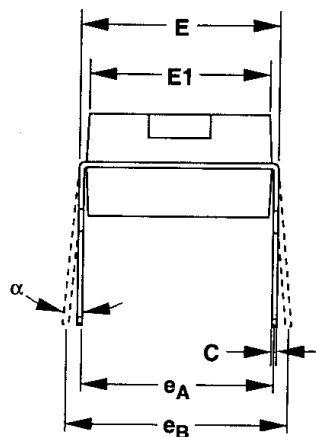
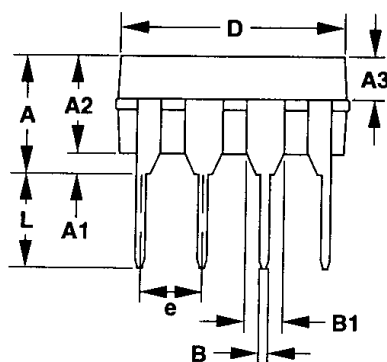
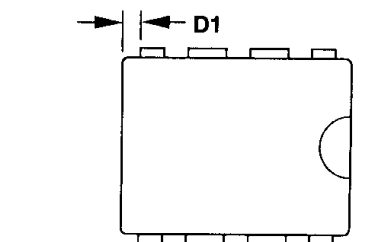


TRANSISTOR COUNT: 521;
SUBSTRATE CONNECTED TO GND.

デジタル可変LCDバイアス電源

パッケージ

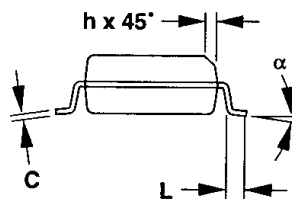
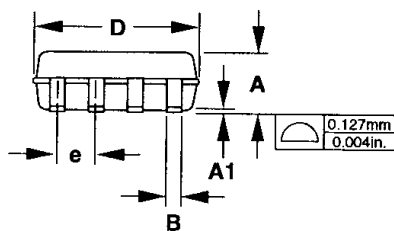
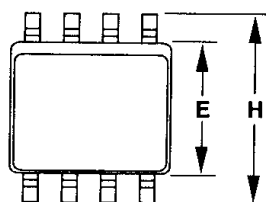
MAX749



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	—	0.200	—	5.08
A1	0.015	—	0.38	—
A2	0.125	0.175	3.18	4.45
A3	0.055	0.080	1.40	2.03
B	0.016	0.022	0.41	0.56
B1	0.050	0.065	1.27	1.65
C	0.008	0.012	0.20	0.30
D	0.348	0.390	8.84	9.91
D1	0.005	0.035	0.13	0.89
E	0.300	0.325	7.62	8.26
E1	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
eA	0.300 BSC		7.62 BSC	
eB	—	0.400	—	10.16
L	0.115	0.150	2.92	3.81
α	0°	15°	0°	15°

21-324A

**8-PIN PLASTIC
DUAL-IN-LINE
PACKAGE**



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
D	0.189	0.197	4.80	5.00
E	0.150	0.157	3.80	4.00
e	0.050 BSC		1.27 BSC	
H	0.228	0.244	5.80	6.20
h	0.010	0.020	0.25	0.50
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

21-325A

**8-PIN PLASTIC
SMALL-OUTLINE
PACKAGE**