

MAXIM

300MSPSの12ビットDAC コンプリメンタリ電圧出力付

MAX555

概要

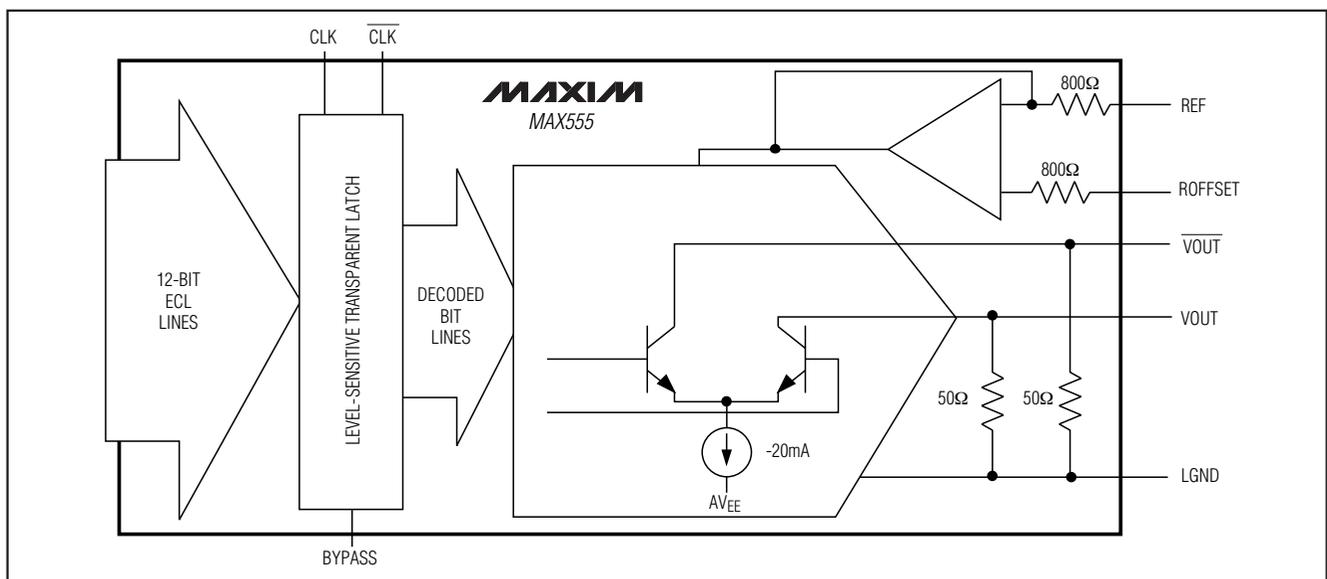
MAX555は、50Ωのコンプリメンタリ出力を備えた最新のモノリシック12ビットD/Aコンバータ(DAC)です。オキサイド絶縁のバイポーラプロセスで製造されたMAX555は、出力更新速度300MSPSの信号再生アプリケーション用に設計され、入力帯域幅10MHzでのアナログ乗算機能を備えています。電圧出力DACは、精密レーザートリミングを採用し、 $\pm 1/2$ LSBの積分・微分直線性を備え、12ビット精度($\pm 0.012\%$ FS)を実現しています。絶対ゲインエラーは、フルスケールの1%と低く抑えられています。フルスケール遷移は、0.5ns以内に完了します。内部レジスタ及び独自のデコーダの採用によりグリッチが低減し、スプリアスフリーのダイナミックレンジは、 $f_{OUT} = 3.1$ MHz、50MSPSでは73dBc以上、 $f_{OUT} = 18.6$ MHz、300MSPSでは62dBc以上の高精度のRF性能を実現します。

MAX555は、-5.2V単一電源で動作し、消費電力は980mW(公称)です。放熱用露出パドル付64ピンTQFPパッケージで提供されています。

アプリケーション

ダイレクトデジタル合成(DDS)
任意波形生成
HDTV/高解像度グラフィックス
計測器
通信局発振器
自動テスタ

概略ブロック図



特長

- ◆ 分解能：12ビット
- ◆ 積分・微分非直線性： $\pm 1/2$ LSB
- ◆ 更新速度：300MSPS(Min)
- ◆ コンプリメンタリ出力：50Ω
- ◆ 乗算リファレンス入力
- ◆ 低グリッチ(5.6pVs)
- ◆ 単一電源：-5.2V
- ◆ データレジスタ内蔵
- ◆ 差動クロック付ECLコンパチブル入力

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX555CCB	0°C to +70°C	64 TQFP-EP*

*EP = Exposed pad.

ピン配置はデータシートの最後に記載されています。

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

ABSOLUTE MAXIMUM RATINGS

Analog Supply Voltage (AV_{EE})-7V to +0.3V
 Digital Supply Voltage (DV_{EE})-7V to +0.3V
 Digital Input Voltage (D0–D11)-5.5V to 0V
 Reference Input Voltage (V_{IN})0V to +1.25V
 Reference Input Current0mA to +1.56mA
 Output Compliance Voltage (V_{OC})-1.25V to +1.0V
 Output Common-Mode Voltage (V_{CM})-0.25V to +1.0V

Continuous Power Dissipation (T_A = +70°C)
 (without additional heatsink)1.3W
 Operating Temperature Range0°C to +70°C
 Junction Temperature Range (Note 1)0°C to +150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Note 1: Typical thermal resistance, junction-to-case R_{θJC} = 25°C/W. See *Package Information*.

Stresses beyond those listed under “Absolute Maximum Ratings” may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{EE} = DV_{EE} = -5.2V, V_{REF} = 1.000V, T_{MIN} to T_{MAX} = 0°C to +70°C, unless otherwise noted.) (Note 2.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DC ACCURACY							
Differential Linearity Error	DLE1	V _{REF} = 1.000V, current out, into virtual ground, end-point linearity	$\overline{V_{OUT}}$	-0.012	±0.003	0.012	% FS
	DLE2		V _{OUT}	-0.05	±0.01	0.05	
Integral Linearity Error	ILE1	V _{REF} = 1.000V, current out, into virtual ground, end-point linearity	$\overline{V_{OUT}}$	-0.012	±0.006	0.012	% FS
	ILE2		V _{OUT}	-0.05	±0.01	0.05	
Absolute Gain Error	GE	V _{REF} = 1.000V, voltage out, $\overline{V_{OUT}}/V_{IN}$ (Note 3)	-1.0	±0.2	+1.0	% FS	
12-Bit Monotonicity			Guaranteed				
Output Offset Current	I _{OS}	D0–D11 = logic 1, V _{REF} = 1.000V, measured at $\overline{V_{OUT}}$		40	100	μA	
Output Leakage Current	I _{LEAK}	D0–D11 = logic 0, V _{REF} = 0V, measured at $\overline{V_{OUT}}$		3	50	μA	
TIME-DOMAIN PERFORMANCE (Note 4)							
Fall Time	t _{FALL}	90% to 10%, T _A = +25°C		410		ps	
Rise Time	t _{RISE}	10% to 90%, T _A = +25°C		570		ps	
Glitch Energy		Major carry, T _A = +25°C		5.6		pVs	
Settling Time		±0.1% FS		4		ns	
		±0.024% FS, 1LSB change		15			
DYNAMIC PERFORMANCE (Notes 4, 5)							
Spurious-Free Dynamic Range	SFDR	f _{OUT} = 5MHz, f _{CLK} = 50MHz		72		dBc	
		f _{OUT} = 10MHz, f _{CLK} = 50MHz		68			
		f _{OUT} = 20MHz, f _{CLK} = 100MHz		63			
		f _{OUT} = 30MHz, f _{CLK} = 100MHz		58			
		f _{OUT} = 30MHz, f _{CLK} = 200MHz		57			
		f _{OUT} = 40MHz, f _{CLK} = 200MHz		54			
		f _{OUT} = 40MHz, f _{CLK} = 250MHz		53			
		f _{OUT} = 50MHz, f _{CLK} = 250MHz		51			
		f _{OUT} = 40MHz, f _{CLK} = 300MHz		54			
		f _{OUT} = 50MHz, f _{CLK} = 300MHz		51			
Output Noise		Bits 0–11 high, T _A = +25°C		10.6		$\frac{nV}{\sqrt{Hz}}$	

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

ELECTRICAL CHARACTERISTICS (continued)

($A_{VEE} = DV_{EE} = -5.2V$, $V_{REF} = 1.000V$, T_{MIN} to $T_{MAX} = 0^{\circ}C$ to $+70^{\circ}C$, unless otherwise noted.) (Note 2.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS						
Input Current, Logic High	I_{IH}	$V_{IH} = -0.75V$		10	200	μA
Input Current, Logic Low	I_{IL}	$V_{IL} = -1.95V$		1	2	μA
Logic "1" Voltage	V_{IH}		-1.1	-0.75	0	V
Logic "0" Voltage	V_{IL}		-2.0	-1.95	-1.48	V
DIGITAL TIMING						
Data Update Rate	f_D	Minimum data rate = DC (Note 6)	300			MHz
Data-to-Clock Setup Time	t_{SU}	Bypass = 0, clocked mode (Notes 4, 7)		1		ns
Data-to-Clock Hold Time	t_{HOLD}	Bypass = 0, clocked mode (Notes 4, 7)		0.8		ns
Clock-to-VO \overline{O} T Propagation Delay	t_{PD3}	Bypass = 0, clocked mode (Notes 4, 7)		2.8		ns
LSBs Data-to-VO \overline{O} T Propagation Delay	t_{PD2}	Bypass = 1, transparent mode (Notes 4, 7)		2		ns
MSBs Data-to-VO \overline{O} T Propagation Delay	t_{PD1}	Bypass = 1, transparent mode (Notes 4, 7)		2.9		ns
MSBs Decode Delay	t_{DD}	Bypass = 1, transparent mode (Notes 4, 7)		900		ps
CONTROL AMPLIFIER						
Amplifier Input Resistance	R_{IN}	$V_{REF} = 1.000V$	775	800	825	Ω
Multiplying Input Bandwidth	BW	-3dB		10		MHz
Open-Loop Gain	A_{VOL}	$T_A = +25^{\circ}C$	3	20		kV/V
Input Offset Voltage	V_{OS}	$T_A = +25^{\circ}C$	-250	0	+250	μV
OUTPUT PERFORMANCE						
Full-Scale Output Current	I_{OUT}	$V_{REF} = 1.000V$, $R_L = 0\Omega$	19.0	20.0	21.0	mA
Output Resistance	R_{OUT}	V_{OUT} , $\overline{V_{OUT}}$	49.5	50.0	50.5	Ω
Output Capacitance	C_{OUT}	V_{OUT} , $\overline{V_{OUT}}$		15		pF
POWER SUPPLIES						
Analog Power-Supply Current	A_{IEE}	$A_{VEE} = DV_{EE} = -5.2V$	30	46	60	mA
Digital Power-Supply Current	D_{IEE}	$A_{VEE} = DV_{EE} = -5.2V$	110	150	190	mA
Power Dissipation	P_{DISS}			0.98	1.3	W
Package Thermal Resistance, Junction to Ambient	T_{JA}			25		$^{\circ}C/W$

Note 2: All devices are 100% production tested at $+25^{\circ}C$ and are guaranteed by design for $T_A = T_{MIN}$ to T_{MAX} as specified.

Note 3: The gain-error method of calculation is shown below:

Definition:

$$GE(\%) = \frac{[V_{MEASURE(FS)} - V_{IDEAL(FS)}] \times 100}{V_{IDEAL(FS)}}$$

where FS indicates full-scale measurements.

GE Method:

$$GE(\%) = \frac{[(4096 / 4095) V_{MEASURE} - 16(V_{REF} / R_{IN}) (R_{OUT})] \times 100}{16(V_{REF} / R_{IN}) (R_{OUT}) - [(4096 / 4095) V_{MEASURE} - 1] \times 100}$$

where: $V_{REF} = 1.000V$, $R_{IN} = 800\Omega$, $R_{OUT} = 50\Omega$, $V_{MEASURE} = \overline{V_{OUT}}$ (FS).

Note 4: Dynamic and timing specifications are obtained from device characterization and simulation testing and are not production tested.

Note 5: Spurious-free dynamic range is measured from the fundamental frequency to any harmonic or nonharmonic spurs within the bandwidth $f_{CLK}/2$, unless otherwise specified.

Note 6: Guaranteed by design.

Note 7: Timing definitions are detailed in Figure 2.

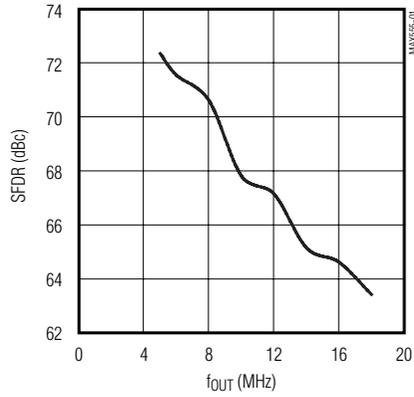
300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

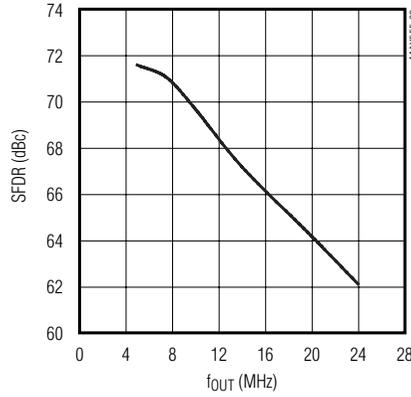
標準動作特性

($V_{EE} = D_{VEE} = -5.2V$, $V_{REF} = 0.75V$, $T_A = +25^\circ C$, unless otherwise noted.)

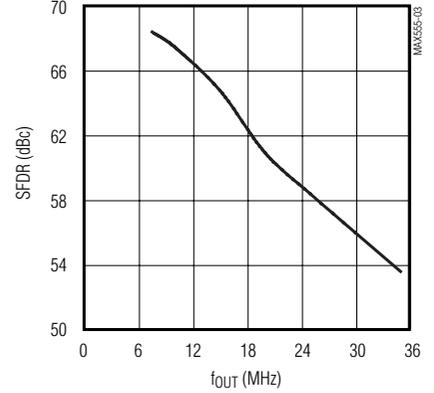
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 50MHz$)



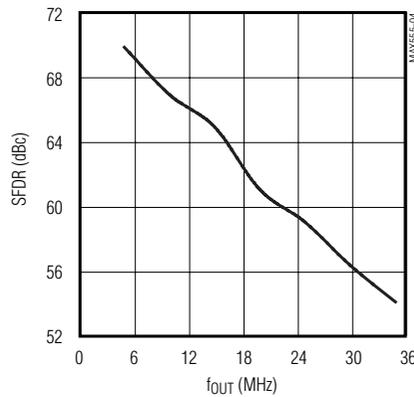
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 100MHz$)



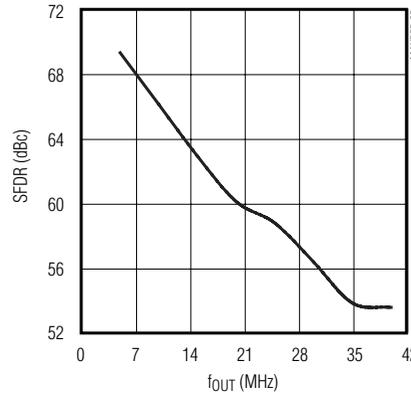
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 150MHz$)



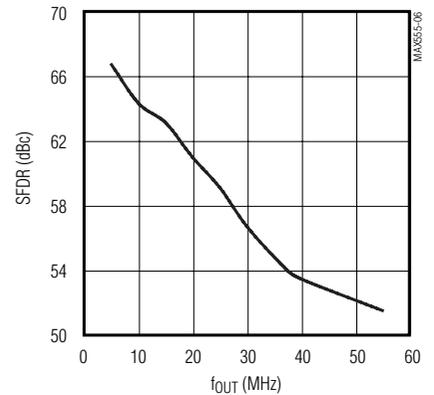
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 200MHz$)



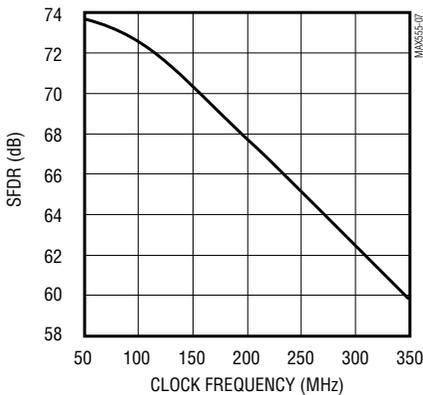
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 250MHz$)



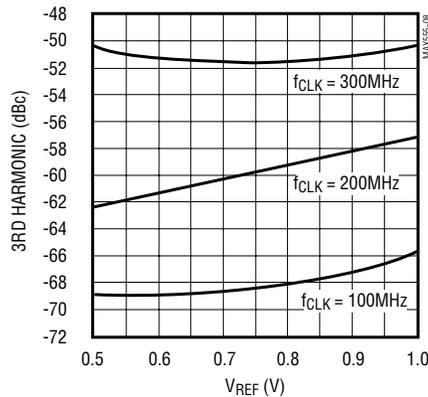
SPURIOUS-FREE DYNAMIC RANGE vs. f_{OUT} ($f_{CLK} = 300MHz$)



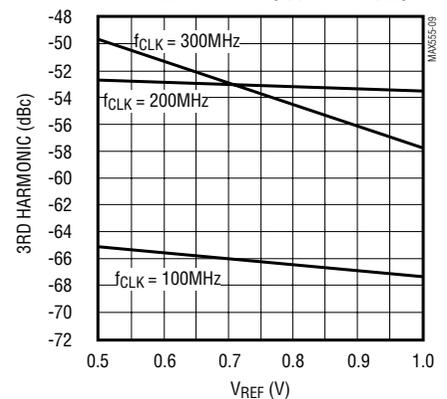
SPURIOUS-FREE DYNAMIC RANGE vs. f_{CLK} ($f_{OUT} \sim 1/16 f_{CLK}$)



3RD HARMONIC DISTORTION vs. V_{REF} VOLTAGE ($f_{OUT} \sim 1/5 f_{CLK}$)



2ND HARMONIC DISTORTION vs. V_{REF} VOLTAGE ($f_{OUT} \sim 1/5 f_{CLK}$)



300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

端子説明

端子	名称	機能
1, 14, 16-19, 27, 28, 29, 31-38, 48, 49, 64	AGND	アナロググランド。注記：パッケージ裏面のエクスポーズドパッドは必ずAGNDに接続して下さい。
2, 6, 54, 60	DGND	デジタルグランド
3	D8	データビット8(ECL入力)
4	D9	データビット9(ECL入力)
5	D10	データビット10(ECL入力)
7, 53	DVEE	-5.2Vデジタル電源
8	D11	データビット11(ECL入力)—MSB
9, 10, 11, 13, 39, 46, 58	N.C.	無接続
12	LBIAS	ラダーバイアス交互補償出力。バイパスコンデンサをAV _{EE} に接続して下さい。
15	ALTCOMPC	制御アンプPTATリファレンス補償入力。バイパスコンデンサをAV _{EE} に接続して下さい。
20	ROFFSET	オフセット補償入力
21, 22	REF	アナログ基準電圧入力(ケルビン接続)
23	REF/2	アナログ基準電圧の中間タップ入力
24, 25	AVEE	-5.2Vアナログ電源
26	LOOPCRNT	テストノード。AGNDに接続する必要があります。
30	ALTCOMPIB	PTAT-IBリファレンス補償出力。バイパスコンデンサをAV _{EE} に接続して下さい。
40, 41	V _{OUT}	コンプリメンタリDAC出力
42, 43	LGND	ラダーグランド
44, 45	V _{OUT}	DAC出力
47	D0	データビット0(ECL入力)—LSB
50	D1	データビット1(ECL入力)
51	D2	データビット2(ECL入力)
52	D3	データビット3(ECL入力)
55	CLK	コンプリメンタリクロック入力(ECL入力)
56	CLK	クロック入力(ECL入力)
57	BYPASS	ハイの時、データのラッチをディセーブル(ECL入力)
59	D4	データビット4(ECL入力)
61	D5	データビット5(ECL入力)
62	D6	データビット6(ECL入力)
63	D7	データビット7(ECL入力)

詳細

図1の機能図は、MAX555の3つの主要部であるデジタル部、制御アンプ部及び抵抗ディバイダネットワークを示しています。デジタル部は、マスター/スレーブレジスタ、デコードロジック、及び電流スイッチから構成されています。制御アンプ部には、制御アンプ及び3つのグループに分類された23個の電流ソースアレーが含まれています。出力で正確なバイナリの重み付けを行うために、これらのグループからの電流は抵抗ディバイダによって基準化されます。抵抗ディバイダネットワークの出力は、50Ωにレーザトリミングされ、これ

は制御されたインピーダンスの伝送ライン駆動での主要な特長となっています。

電流ソースの第1グループは、(15の同一電流及び2つのバイナリの重み付け電流となる)6個のMSB(D11~D6)から成り、この電流は出力の抵抗ディバイダネットワークに直接供給されます。第2グループは、D5~D3(3つのバイナリ重み付け電流)で構成され、ディバイダネットワークの中間部へ供給されます。ネットワークの中間部では、電流を8分の1に分割します。第3グループを構成するD2~D0(3つのバイナリ重み付け電流ソース)は、抵抗ネットワークの入力に供給され、電流は64分の1に分割されます。

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

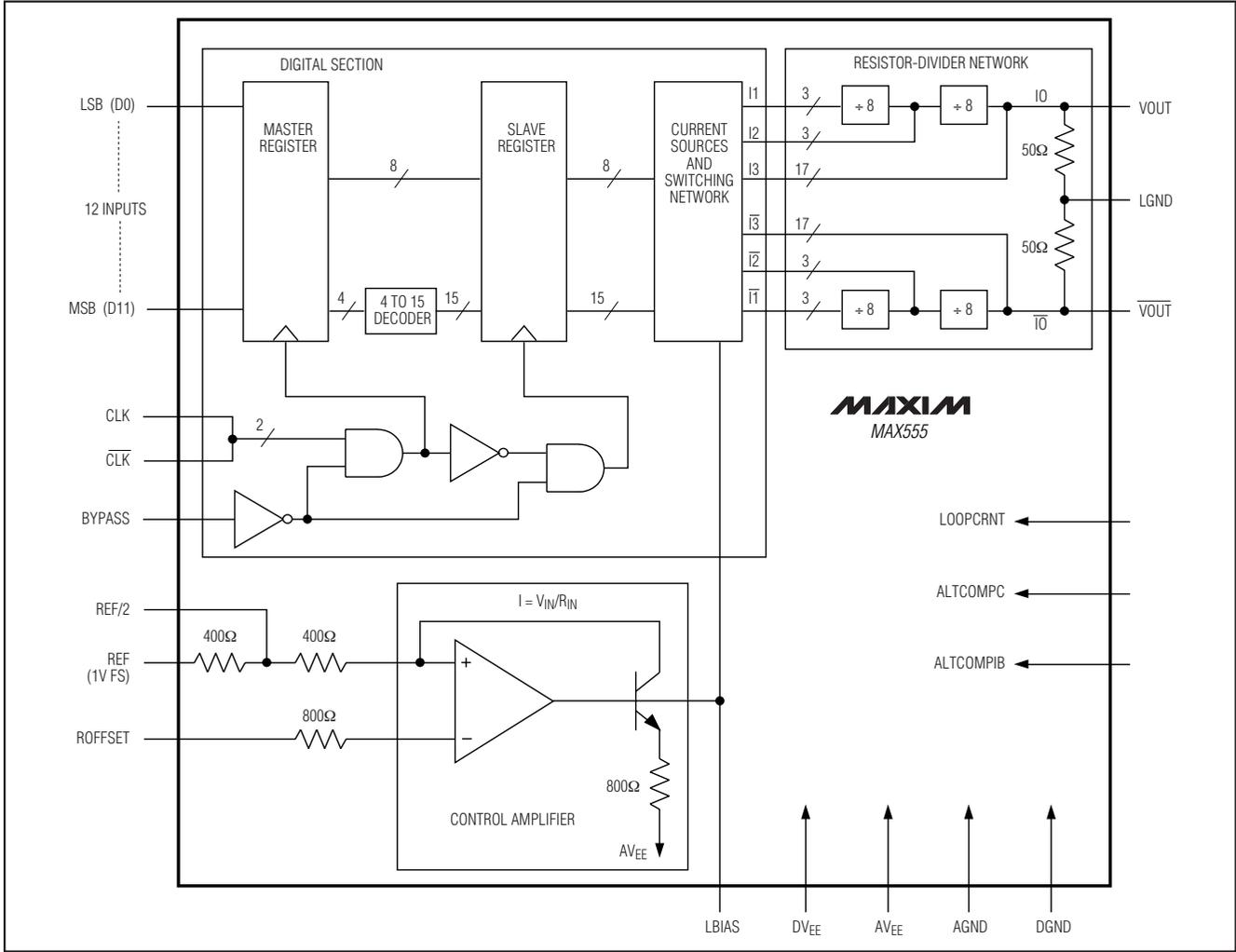


図1. 機能図

4つのMSBを15の同一電流ソースへデコードし、データをマスター/スレーブレジスタで各電流スイッチ毎に同期化することによって、低グリッチを実現しています。BYPASS入力があるローの時、データビットはクロックの立上りエッジで出力側へ転送されます。BYPASS入力があるハイのときは非同期モードであり、ラッチがトランスペアレントとなるため、データはクロックの状態に関係なく出力側へ転送されます。デジタル入力は全てECLコンパチブルです。クロックは差動入力になっています。制御アンプは、電流ソースで複製されるリファレンス電流を制御します。このリファレンス電流の公称値は1.25mAです。この電流は、外部電流ソースまたはREF入りに印可される1.000Vの外部電圧ソースから供給されます。

リファレンス入力 $V_{REF} = 1.000V$ 時に生成されるフルスケール出力電圧は $V_{FS} = -1.000V$ です。ここで、 $\overline{V_{OUT}}$ 出力に対して以下の通りとなります。

$$V_{FS} = 4096/4095 \times \overline{V_{OUT}} \quad (\text{コード}0)$$

出力コーディングの概要を表1に示します。

DACの制御アンプの開ループ電圧利得は85dB(typ)で、利得振幅帯域幅は10MHzまで平坦です。制御アンプを高速乗算アプリケーションで使用していない時は、制御アンプの安定性を増大させ、電流ソースのノイズを低下させるためにLBIASとAV_{EE}間に0.4μFのコンデンサを接続することをお勧めします。

表1. 出力コーディング

DIGITAL CODE (D11-D0)	V _{OUT} (V)	V _{OUT} (V)
000000000000	-0.999756	0
000000000001	-0.999512	-0.000244
011111111111	-0.500000	-0.499756
100000000000	-0.499756	-0.500000
111111111111	0	-0.999756

タイミング情報

MAX555の特長は、トランスペアレント動作(BYPASS = 1)の選択が可能なECL差動クロック入力です。MAX555のクロックは、CLK入力を-1.3V(ECL V_{BB})の外部電圧に固定し、シングルエンドで駆動することも可能ですが、差動クロックを利用することによりノイズ耐性とダイナミック性能を大幅に向上させることができます。

クロックモード(BYPASS = 0)では、クロックラインがローになるとスレーブレジスタがロック状態となり、デジタル入力の情報がマスターレジスタへ送られます。クロックがローからハイへ遷移すると、マスターレジスタはその時の状態でロックされ、それ以降のデジタル入力の変化は無視されます。この遷移と同時に、マスターレジスタの内容がスレーブレジスタへ転送され、DACの出力が変化します。

MAX555のクロックモードでのタイミングを図2に示します。トランスペアレントモード(BYPASS = 1)では、マスターレジスタ及びスレーブレジスタの両方がトランスペアレントとなり、入力データの変化が直接出力へ現れます。4個のMSBは15の同一電流にデコードされるため、これらのビットで発生するデコード遅延は8個のLSBで発生するものよりも大きくなります。フルスケール遷移

では、4個のMSBが完全にデコードされるまで、フルスケールの1/16の中間出力が発生します。このようなデコード遅延は、デバイスのスプリアス性能を大幅に低下させます。また、入力データのタイミングスキューも直接DACの出力に現れるため、高速性能をさらに悪化させます。

差動クロックを使用したクロックモード(BYPASS = 0)で動作するMAX555は、このような問題を回避するため、高速動作には欠かせません。入力データはクロックがローの時(つまり、スレーブレジスタがロック状態の時)のみ、マスターレジスタへ送られるため、データバスのタイミングスキューと内部MSBデコード遅延がDAC出力に現れることはありません。DACの電流は、内部データが安定した後、クロックのローからハイへの遷移時のみ切り換わります。

レイアウトと電源

MAX555は、アナログ用とデジタル用の別々の電源端子を備えています。AV_{EE}とDV_{EE}はICのサブストレートを通じて互いに接続されています。サブストレート電流やラッチアップの原因となりうる、電圧の不整合性を最小限に抑えるために、これらの電位は同一電源から得る必要があります。デジタル部の電流スパイクがアナログ部に影響しないように、適切なデカップリングが必要です(図4)。

この場合、固体グラウンドと電源面を有する多層プリント基板の使用が勧められます。アナログ及びデジタルグラウンド端子は全てMAX555のアナロググラウンドプレーンへ直接接続しなければならず、できればLGND端子(15と16)でスター結線となるようにして下さい。

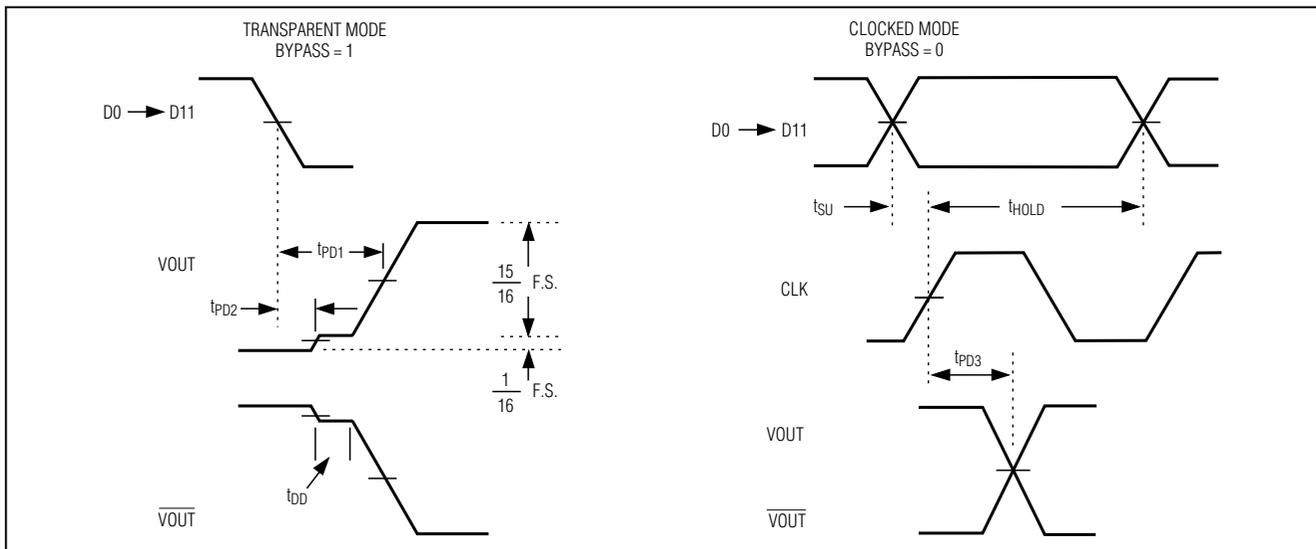


図2. タイミング図

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

高速ECL入力及びMAX555の出力には、デバイス端子付近で終端となるような伝送路技術を適用することが必要です。一般的に、アナログ電源とデジタル電源には個別の電源バスを使用することが勧められています。高品質のセラミックチップコンデンサを端子付近に接続し、デバイス端子をバイパスすることにより、最良の結果が得られます。

アプリケーション情報

リファレンス入力

MAX555は、リファレンス電流をバッファリングするために、内部オペアンプ回路を使用しています。オペアンプへの入力は、1.25mAの外部電流ソースまたは1Vの外部電圧リファレンスによって得ることができます。ここでは、REF端子がリファレンス入力となっています。オペアンプへの入力インピーダンスは800Ωです。図1に示す通り、REF/2は、オペアンプへの400Ωのインピーダンスを通して外部へ出力されています。これらのリファレンス入力は、高速乗算アプリケーションにおいて、フルスケール出力を変化させる場合に使用することができます。ROFFSETは、アナロググランドへ接続する必要があります。さらに、リファレンス電流ノイズを低減するためには、0.1μFのコンデンサをREF/2からアナロググランドに接続する必要があります。

出力

アナログ出力は、50Ωにレーザトリミングされています。この出力は、50Ωのインピーダンスを備えた電圧ドライバとして、またはトランスインピーダンスアンプを用いた仮想ヌルを駆動するために用いることができます。50Ω負荷を駆動することにより高速化が実現できます。またMAX555の差動出力は、シングルエンド出力への変換用バランの駆動に使用することができ、同時に出力の第二高調波成分を大幅に低減させることができます。

ダイナミック性能

標準動作特性グラフは、RFサイン波を発生させるダイレクトデジタル合成(DDS)アプリケーションにMAX555を適用した時の性能を示します。最初の6つのグラフは、50MHz~300MHzのクロック周波数でのスプリアスフリー・ダイナミックレンジ(SFDR)をいくつか異なった出力周波数に対して示しています。7番目のグラフは、クロック周波数の約1/16の出力周波数が発生する場合の50MHz~350MHzのクロック周波数でのSFDRを示しています。

最後2つのグラフでは、100MHz~300MHzのクロック周波数で f_{CLK} の約1/5の出力周波数を発生している場合の、リファレンス電圧の関数として第三高調波及び第二

高調波歪みを示しています。リファレンス電圧を1.000V(公称値)以下に設定し、クロック周波数を200MHz以下にすることによって、出力の第三高調波成分を低減させることができます。クロック周波数が約200MHz以上の時、出力の第三高調波成分は高速デジタル入力から出力へのカップリングに支配されています。このような高クロックレートでリファレンス電圧を下げると、キャリヤ振幅は降下しても第三高調波は比較的一定のレベルを維持するため、出力側での第三高調波歪みがかえって増大します。

出力の第二高調波歪みは、クロック周波数及びリファレンス電圧が原因となって発生しています。クロック周波数が200MHz以下の時は、 V_{REF} 値にかかわらず比較的一定しています。第三高調波歪みの場合と同様に、クロック周波数が200MHzを超えると、 V_{REF} 値が低くなるに従って第二高調波歪みも増大します。また、入力ロジックレベルのスイングを低減させるか、デジタル信号の立上り時間を短くさせることによって、出力の高調波成分を改善することができます。これらの方法を組み合わせることによって最良の結果が得られます。ただし、MAX555の性能を特定のアプリケーションに最適化するためには、多少の実験が必要な場合もあります。

MAX555をDDSアプリケーションに使用した時の、スペクトルアナライザのプロットを図3に示します。これらのプロット図は、50MHz~300MHzのクロック周波数でのMAX555の出力スペクトルをいくつか異なった出力周波数に対して示しています。出力スペクトルを観察しながら、リファレンス電圧やロジックレベルを調整することにより、MAX555の性能を最適化することができます。ここで示したプロット図は、ECLロジックスイングが500mVで+0.75Vの電圧リファレンスから得たものです。

標準アプリケーション

標準的な接続を図4に示します。 \overline{VOUT} を用いて50Ωラインを駆動する場合は、使用されていないコンプリメンタリ出力(VOUT)も50Ωで終端する必要があります。REFでのリファレンス電圧が1Vの時、(出力側を50Ωでダブル終端すれば) \overline{VOUT} では-0.5Vのフルスケール電圧が得られます。負荷によっては複合インピーダンスになることがあるため、必ず負荷と出力インピーダンスを整合させる必要があります。インピーダンスの不整合は、反射を引き起こし、AC性能のパラメータに影響を与えます。LOOPCRNT端子は、アプリケーションにかかわらず常にAGNDに接続し、また、補償コンデンサはALTCOMPC端子、ALTCOMPIB端子、及びLBIAS端子に接続します。乗算以外のアプリケーションでは、LBIAS補償をお勧めします。

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

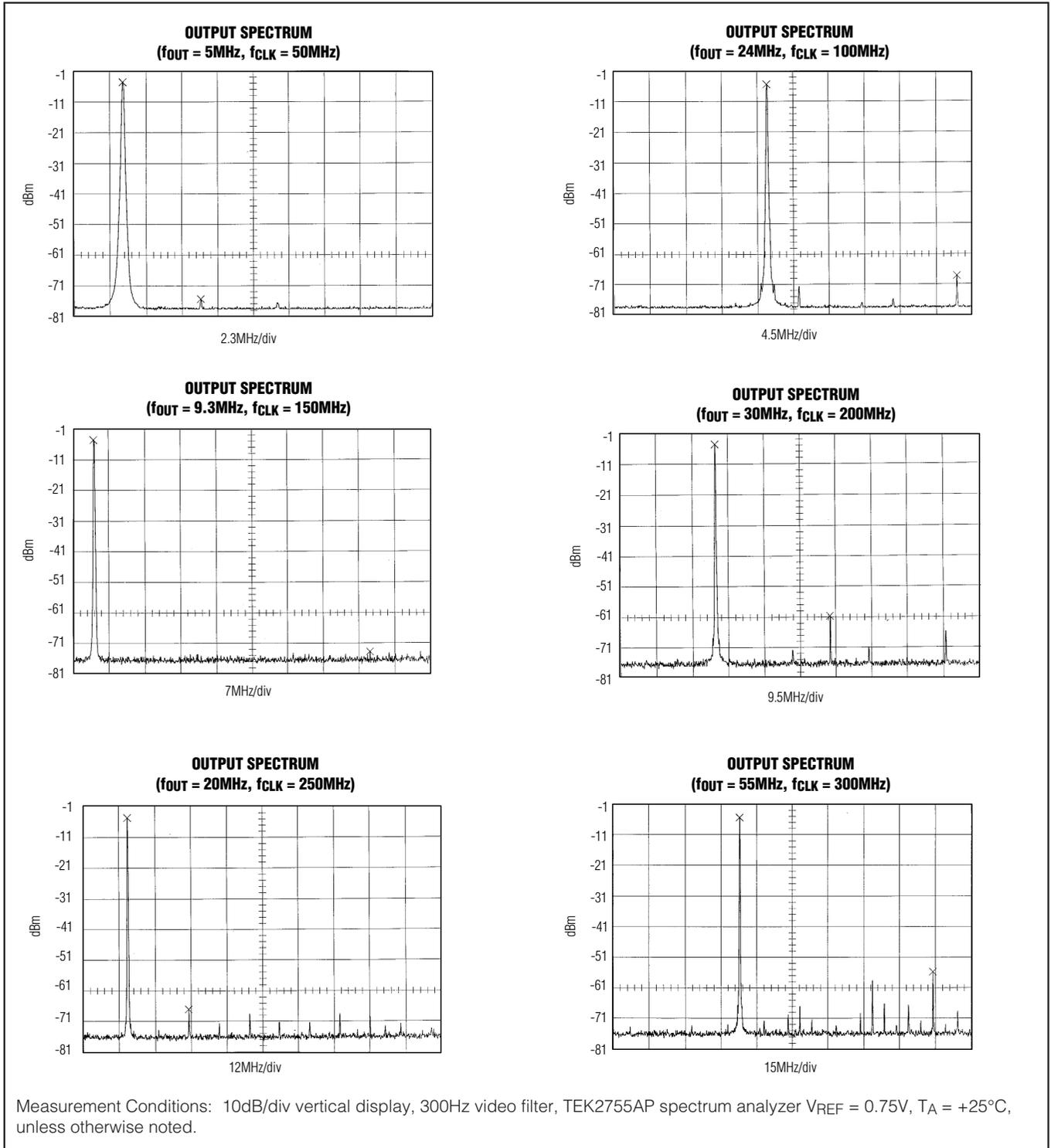


図3. スペクトルアナライザのプロット図

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

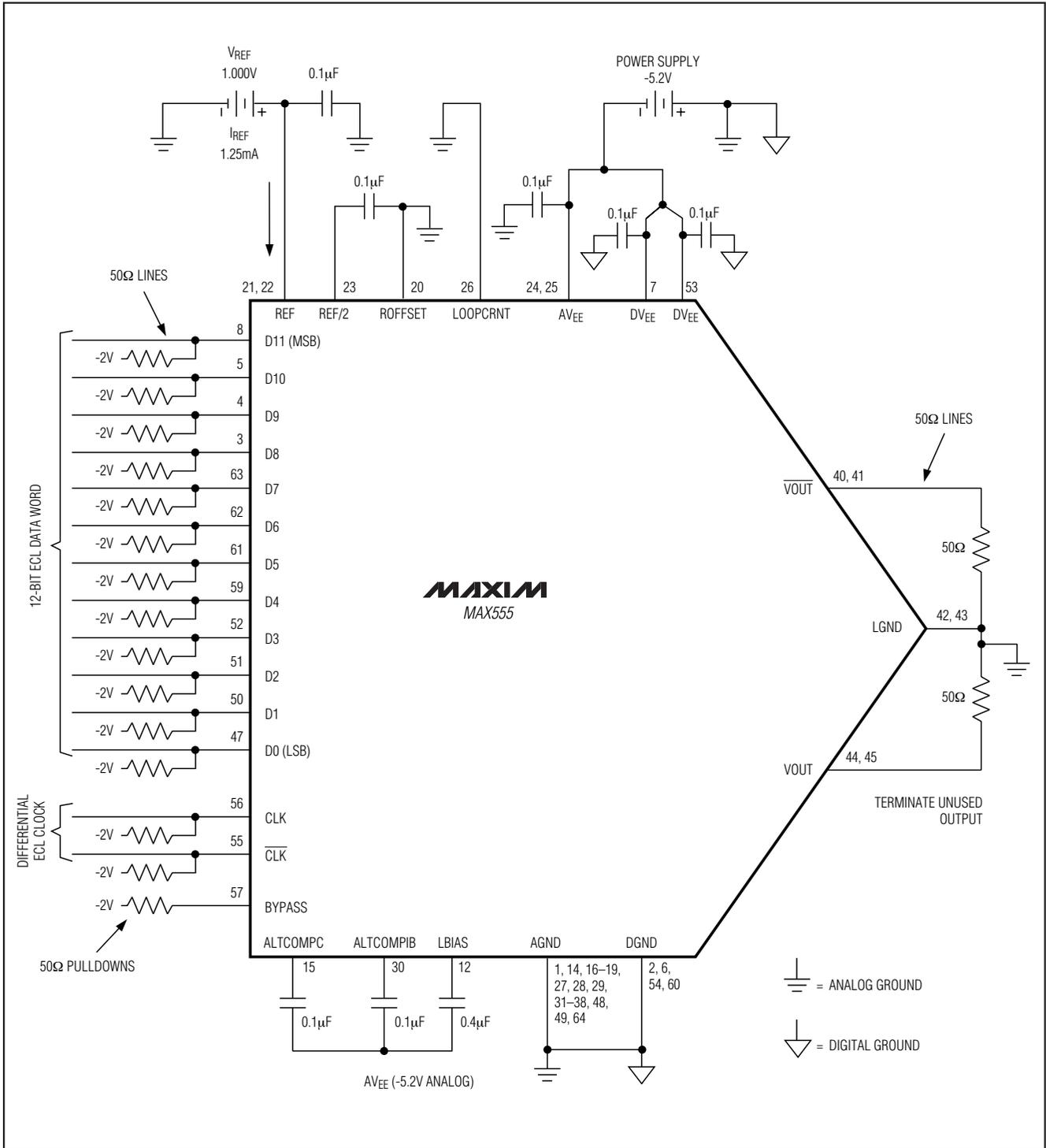
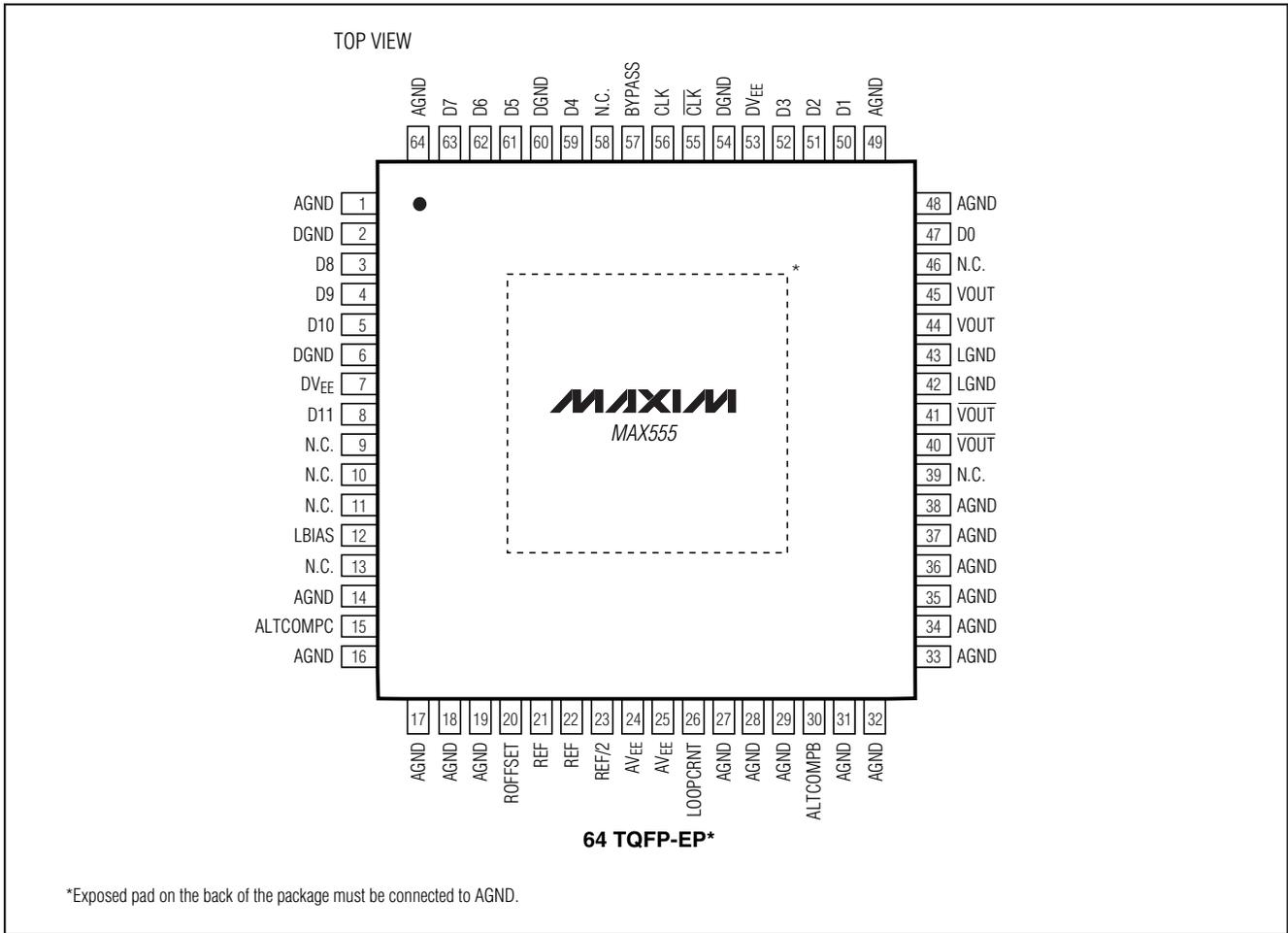


図4. 標準アプリケーション

300Mspsの12ビットDAC コンプリメンタリ電圧出力付

MAX555

ピン配置

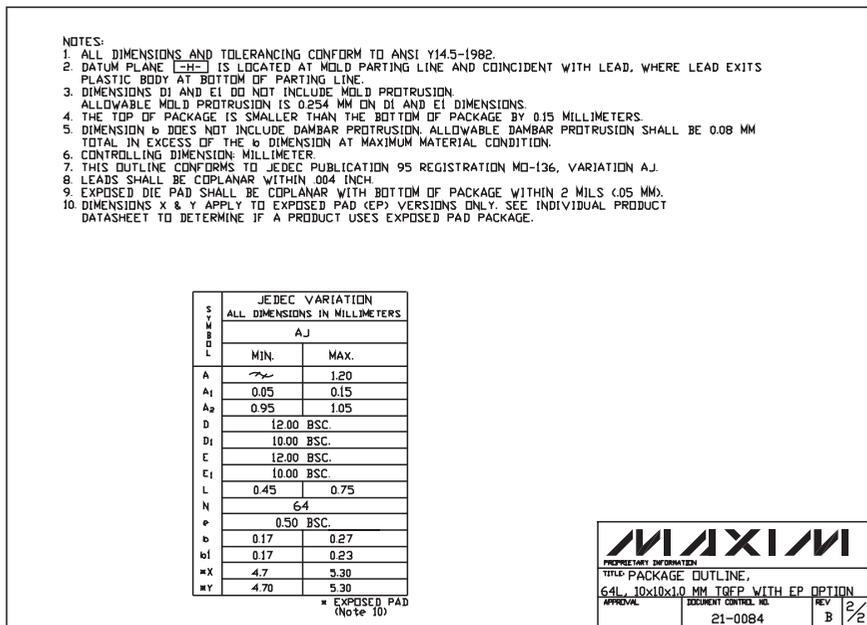
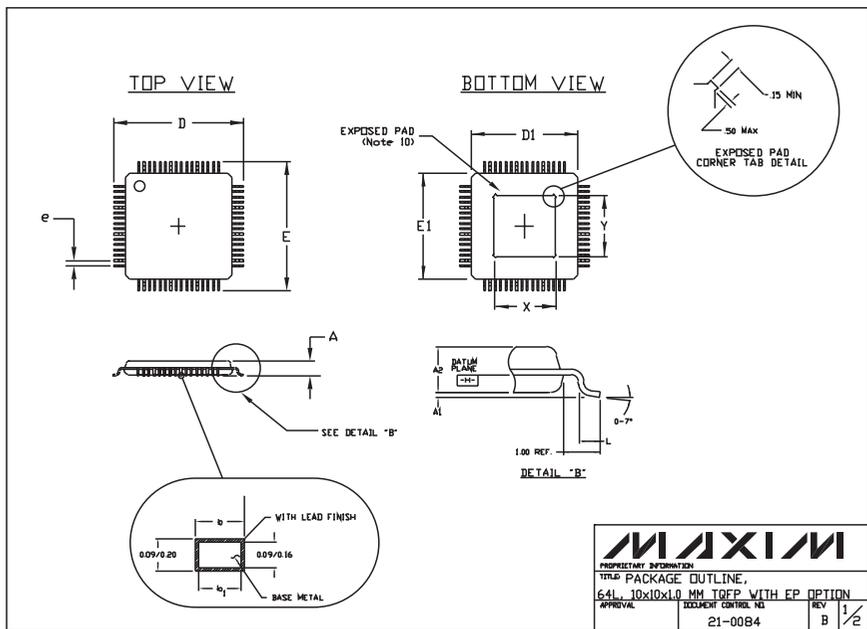


300MSPSの12ビットDAC コンプリメンタリ電圧出力付

MAX555

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600