

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

概要

MAX547は8個の13ビット電圧出力型デジタル・アナログ・コンバータ(DAC)を内蔵しています。精密出力アンプを内蔵することで電圧出力を提供します。この製品は $\pm 5V$ 電源で動作し、外付け部品無しでバイポーラ出力電圧は最高 $\pm 4.5V$ までスイングできます。さらにMAX547は4個の独立したリファレンス入力を用意しています。各リファレンスは2個のDACに接続されており、このため各DACペアに対し異なるフルスケール出力電圧を設定することができます。

MAX547は13ビットのパラレルデータバスを備え、ダブルバッファのインタフェース・ロジックを特徴としています。各DACは入力ラッチ及びDACラッチを備えています。DACラッチのデータにより出力電圧が設定されます。8個の入力ラッチは3個のアドレスラインによってアドレスされ、データは1個の書込み命令によって入力ラッチにロードされます。非同期ロード(LD₀)入力により入力ラッチからDACラッチにデータが転送されます。4個の各LD₀入力は2個のDACを制御し、全DACラッチは全LD₀を実行することにより同時にアップデートされます。非同期クリア(CLR)入力は8個の全DAC出力をAGND₀にリセットします。CLRを実行することによりDACラッチ及び入力ラッチがバイポーラゼロ(1000hex)にリセットされます。パワーアップ時、リセット回路はCLRと同じ機能を実行します。全ロジック入力はTTL/CMOSコンパチです。

MAX547は44ピンプラスチックQFP及び44ピンPLCCパッケージで供給されています。

アプリケーション

部品数が最小のアナログ・システム
デジタルオフセット/ゲイン調整
任意波形発生器 自動テスト機器
産業用プロセス制御 アビオニクス機器

特長

- ◆フル13ビット性能(調整無し)
- ◆DAC 8回路内蔵
- ◆バッファード電圧出力
- ◆キャリブレートされたリニアリティ
- ◆13ビットのモノトニック保証
- ◆ $\pm 5V$ 電源動作
- ◆ユニポーラまたはバイポーラ出力スイング： $\pm 4.5V$
- ◆高速出力セトリング時間： $5\mu s(\pm 1/2LSB)$
- ◆ダブルバッファードデジタル入力
- ◆非同期ロード入力によるDACラッチ・ペアのロード
- ◆非同期CLR入力によるDACのアナロググラウンドへのリセット
- ◆パワーオンリセット回路によるDACのアナロググラウンドへのリセット
- ◆マイクロプロセッサ及びTTL/CMOSコンパチ

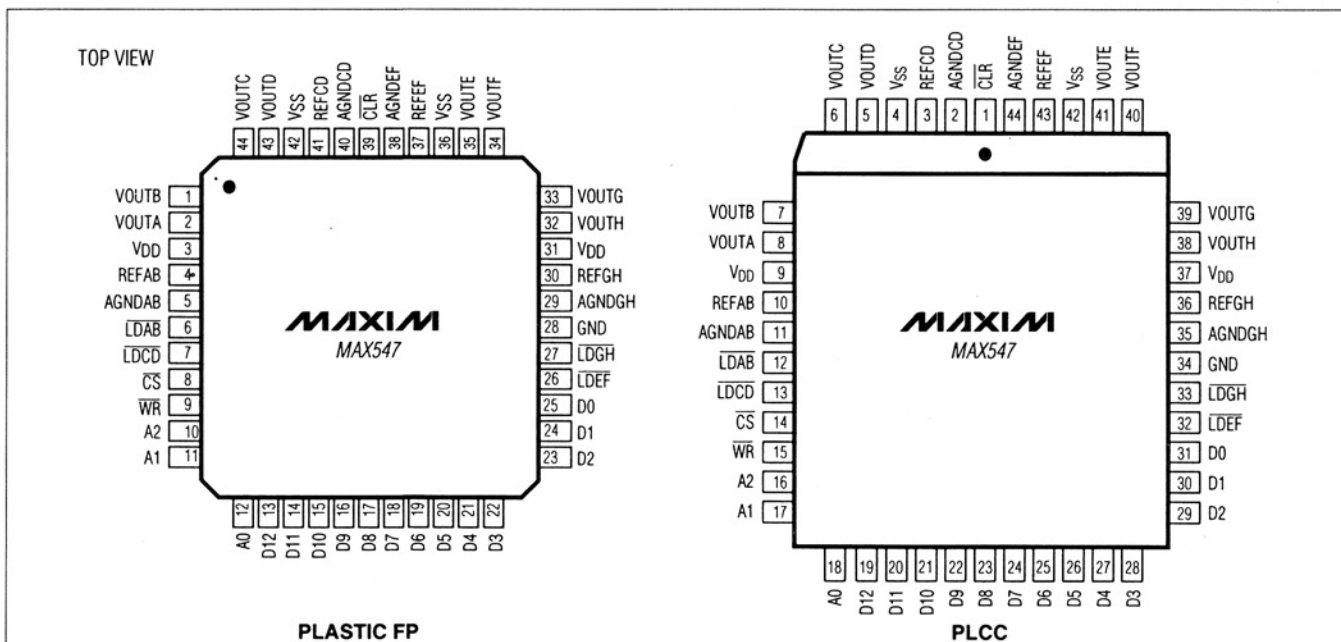
型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSBs)
MAX547ACQH	0°C to +70°C	44 PLCC	± 2
MAX547BCQH	0°C to +70°C	44 PLCC	± 4
MAX547ACMH	0°C to +70°C	44 Plastic FP	± 2
MAX547BCMH	0°C to +70°C	44 Plastic FP	± 4
MAX547BC/D	0°C to +70°C	Dice*	± 4

Ordering Information continued at end of data sheet.

*Contact factory for dice specifications.

ピン配置



オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND	-0.3V to +6V
V_{SS} to GND	-6V to +0.3V
Digital Input Voltage to GND	-0.3V to ($V_{DD} + 0.3V$)
REF ₋	(AGND ₋ - 0.3V) to ($V_{DD} + 0.3V$)
AGND ₋	($V_{SS} - 0.3V$) to ($V_{DD} + 0.3V$)
VOUT ₋	V_{DD} to V_{SS}
Maximum Current into REF ₋ Pin	±10mA
Maximum Current into Any Other Signal Pin	±50mA

Continuous Power Dissipation ($T_A = +70^{\circ}\text{C}$)	
PLCC (derate 13.33mW/ $^{\circ}\text{C}$ above $+70^{\circ}\text{C}$)	1067mW
Plastic FP (derate 11.11mW/ $^{\circ}\text{C}$ above $+70^{\circ}\text{C}$)	889mW
Operating Temperature Ranges	
MAX547_C_H	0°C to $+70^{\circ}\text{C}$
MAX547_E_H	-40°C to $+85^{\circ}\text{C}$
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Lead Temperature (soldering, 10sec)	$+300^{\circ}\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{DD} = +5V$, $V_{SS} = -5V$, REF₋ = 4.096V, AGND₋ = GND = 0V, $R_L = 10k\Omega$, $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^{\circ}\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION						
Resolution	N		13			Bits
Relative Accuracy	INL	MAX547A		±0.5	±2	LSB
		MAX547B		±0.5	±4	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Bipolar Zero-Code Error				±5	±20	LSB
Gain Error				±1	±8	LSB
Power-Supply Rejection Ratio	PSRR	$\Delta\text{Gain}/\Delta V_{DD}$ (Note 1)			±0.0025	%/%
		$\Delta\text{Gain}/\Delta V_{SS}$ (Note 1)			±0.0025	
Load Regulation		$R_L = \infty$ to $10k\Omega$		0.3		LSB
REFERENCE INPUT (Note 2)						
Reference Input Range	REF	(Notes 2, 3)	AGND ₋		V_{DD}	V
Reference Input Resistance	RREF	Each REF ₋ pin (Note 3)	5			k Ω
ANALOG OUTPUT						
Maximum Output Voltage				$V_{DD} - 0.5$		V
Minimum Output Voltage				$V_{SS} + 0.5$		V
DYNAMIC PERFORMANCE—ANALOG SECTION						
Voltage-Output Slew Rate				3		V/ μs
Output Settling Time		To $\pm 1/2$ LSB of full scale (Note 4)		5		μs
Digital Feedthrough				5		nV-s
Digital Crosstalk				5		nV-s
DIGITAL INPUTS ($V_{DD} = 5V \pm 5\%$)						
Input Voltage High	V_{IH}		2.4			V
Input Voltage Low	V_{IL}				0.8	V
Input Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			1.0	μA
Input Capacitance	C_{IN}	(Note 5)			10	pF

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V$, $V_{SS} = -5V$, $REF_- = 4.096V$, $AGND_- = GND = 0V$, $R_L = 10k\Omega$, $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Positive Supply Range	V_{DD}	(Note 6)	4.75		5.25	V
Negative Supply Range	V_{SS}	(Note 6)	-5.25		-4.75	V
Positive Supply Current	I_{DD}	$T_A = T_{MIN}$ to T_{MAX}		14	44	mA
Negative Supply Current	I_{SS}	$T_A = T_{MIN}$ to T_{MAX}		11	40	mA

Note 1: PSRR is tested by changing the respective supply voltage by $\pm 5\%$.

Note 2: For best performance, REF_- should be greater than $AGND_- + 2V$ and less than $V_{DD} - 0.6V$. The device operates with reference inputs outside this range, but performance may degrade. For further information on the reference, see the *Reference and Analog-Ground Inputs* section in the *Detailed Description*.

Note 3: Reference input resistance is code dependent. See *Reference and Analog-Ground Inputs* section in the *Detailed Description*.

Note 4: Typical settling time with 1000pF capacitive load is 10 μs .

Note 5: Guaranteed by design. Not production tested.

Note 6: Guaranteed by supply-rejection test.

TIMING CHARACTERISTICS

($V_{DD} = +5V$, $V_{SS} = -5V$, $REF_- = 4.096V$, $AGND_- = GND = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

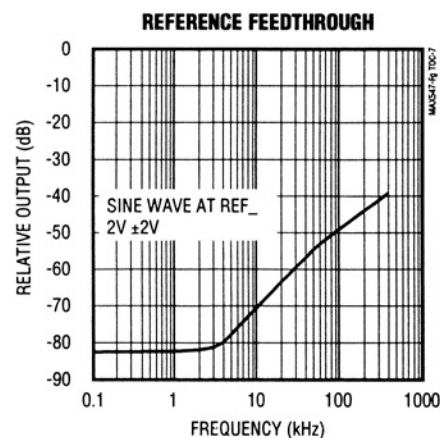
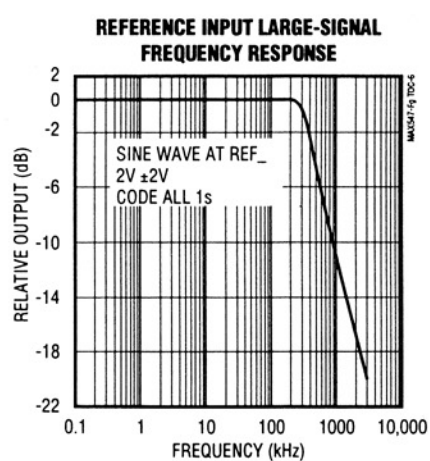
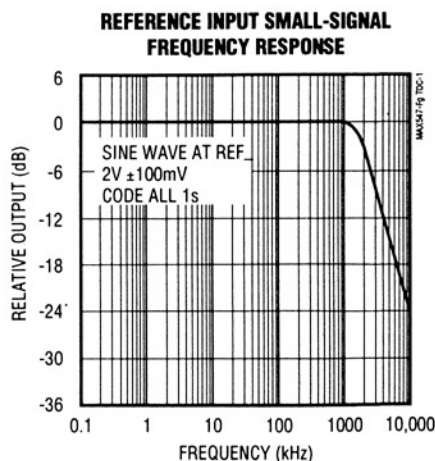
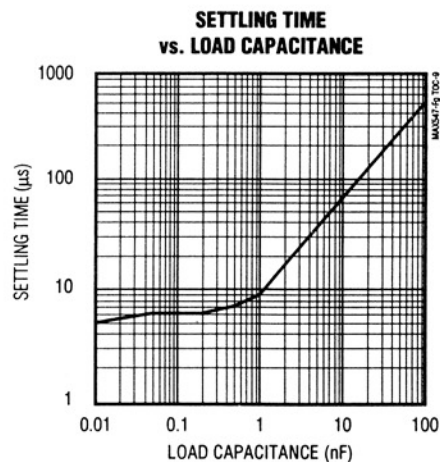
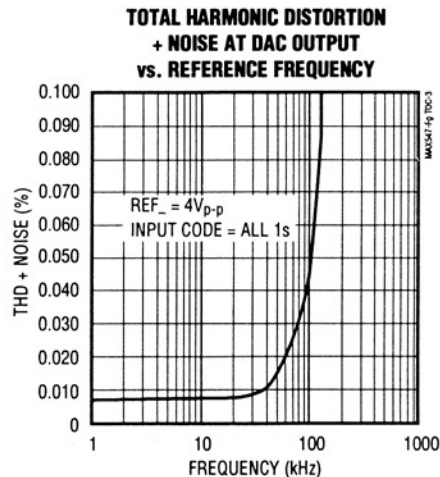
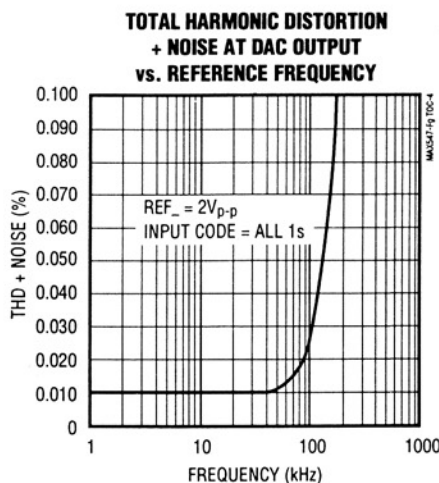
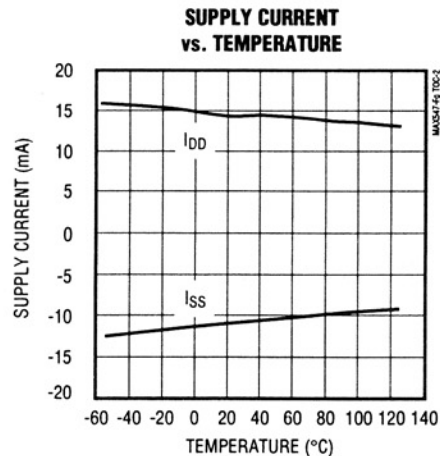
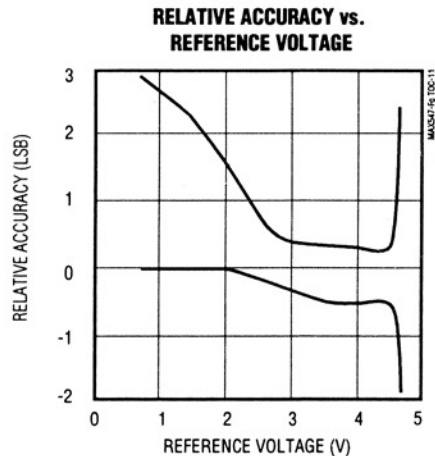
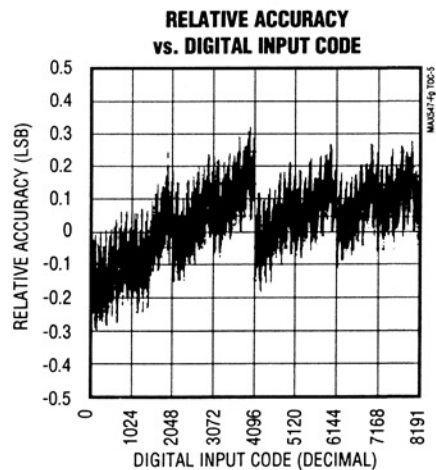
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ Pulse Width Low	t_1		50			ns
$\overline{WR}$ Pulse Width Low	t_2		50			ns
$\overline{LD_-}$ Pulse Width Low	t_3		50			ns
$\overline{CLR}$ Pulse Width Low	t_4		100			ns
$\overline{CS}$ Low to $\overline{WR}$ Low	t_5		0			ns
$\overline{CS}$ High to $\overline{WR}$ High	t_6		0			ns
Data Valid to $\overline{WR}$ Setup	t_7		50			ns
Data Valid to $\overline{WR}$ Hold	t_8		0			ns
Address Valid to $\overline{WR}$ Setup	t_9		10			ns
Address Valid to $\overline{WR}$ Hold	t_{10}		0			ns

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

標準動作特性

($V_{DD} = 5V$, $V_{SS} = -5V$, $REF_- = 4.096V$, $AGND_- = GND = 0V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX547

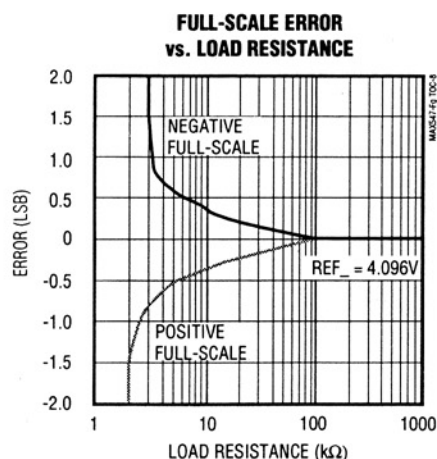
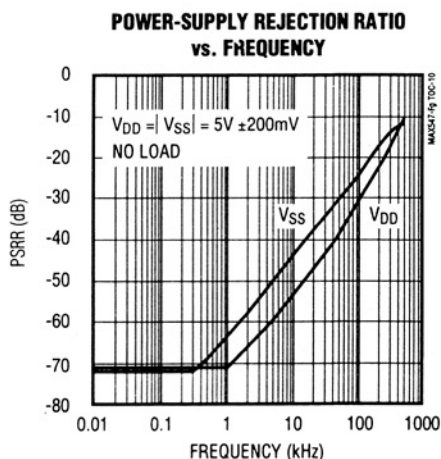


オクタル、13ビット、電圧出力型DAC パラレルインタフェース

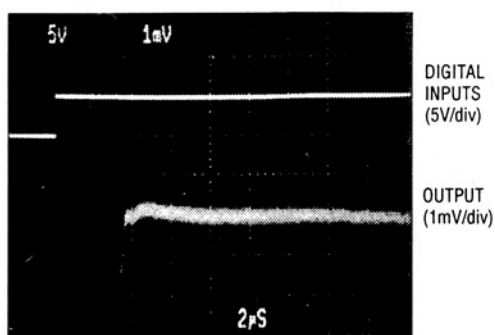
MAX547

標準動作特性 (続き)

($V_{DD} = 5V$, $V_{SS} = -5V$, $REF_- = 4.096V$, $AGND_- = GND = 0V$, $T_A = +25^\circ C$, unless otherwise noted.)

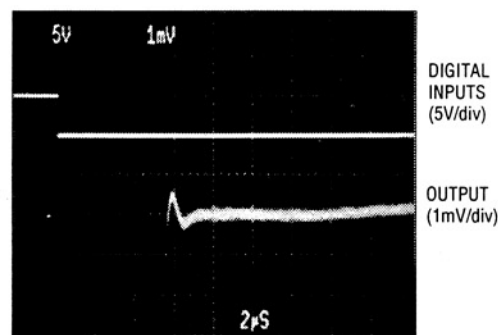


**POSITIVE SETTLING TIME TO FULL-SCALE STEP
(ALL BITS OFF TO ALL BITS ON)**



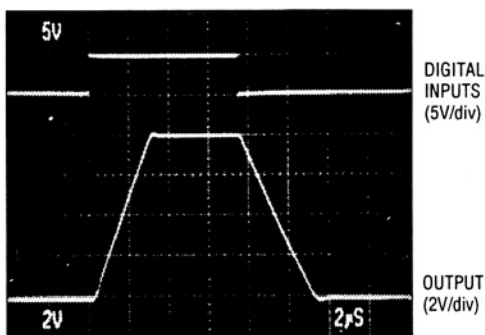
$REF_- = 4.096V$, $C_L = 100pF$, $R_L = 5k\Omega$

**NEGATIVE SETTLING TIME TO FULL-SCALE STEP
(ALL BITS ON TO ALL BITS OFF)**



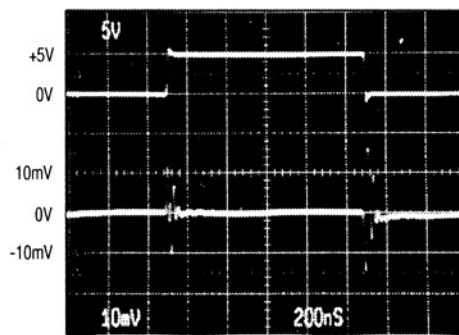
$REF_- = 4.096V$, $C_L = 100pF$, $R_L = 5k\Omega$

**DYNAMIC RESPONSE
(ALL BITS OFF, ON, OFF)**



$REF_- = 4.096V$, $C_L = 100pF$, $R_L = 5k\Omega$

**DIGITAL FEEDTHROUGH
(GLITCH IMPULSE)**



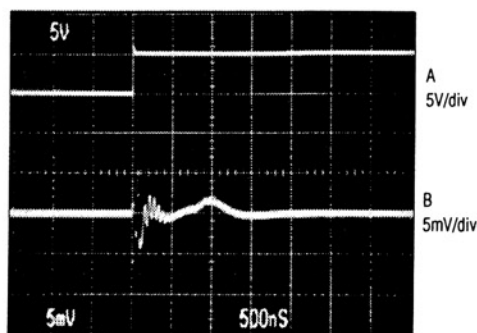
TOP: DIGITAL TRANSITION ON ALL DATA BITS
BOTTOM: DAC OUTPUT WITH $\overline{WR}$ HIGH 10mV/div

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

標準動作特性(続き)

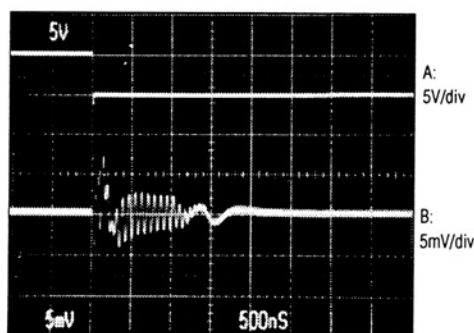
($V_{DD} = 5V$, $V_{SS} = -5V$, $REF_- = 4.096V$, $AGND_- = GND = 0V$, $T_A = +25^\circ C$, unless otherwise noted.)

ADJACENT-CHANNEL CROSSTALK



500ns/div
 $REF_- = 4.096V$, $C_L = 50pF$, $R_L = 10k\Omega$
 A: DIGITAL INPUTS, DAC A, DATA BITS from ALL 0s to 0AAAhex
 B: OUTPUT, DAC B

ADJACENT-CHANNEL CROSSTALK



500ns/div
 $REF_- = 4.096V$, $C_L = 50pF$, $R_L = 10k\Omega$
 A: DIGITAL INPUTS, DAC A, DATA BITS from 0AAAhex to ALL 0s
 B: OUTPUT, DAC B

端子説明

端 子	端 子	名 称	機 能
PLCC	FLAT PACK		
1	39	$\overline{CLR}$	クリア入力(アクティブロー)。この非同期入力をローにすると、全ラッチは1000hexにセットされ、全DAC出力はAGND ₋ にリセットされます。
2	40	AGNDCD	DAC C及びDAC Dのアナログ・グラウンド
3	41	REFCD	DAC C及びDAC Dのリファレンス電圧入力。0.1 μF ~1 μF コンデンサでAGNDCDにバイパスします。
4, 42	42, 36	V_{SS}	負の電源電圧、-5V(2端子)。両端子を電源に接続。0.1 μF ~1 μF コンデンサでシステムのアナロググラウンドに各端子をバイパスします。
5	43	VOUTD	DAC D出力電圧
6	44	VOUTC	DAC C出力電圧
7	1	VOUTB	DAC B出力電圧
8	2	VOUTA	DAC A出力電圧
9, 37	3, 31	V_{DD}	正の電源電圧、5V(2端子)。両端子を電源に接続。0.1 μF ~1 μF コンデンサでシステムのアナロググラウンドに各端子をバイパスします。
10	4	REFAB	DAC A 及びDAC Bのリファレンス電圧入力。0.1 μF ~1 μF コンデンサでAGNDABにバイパスします。
11	5	AGNDAB	DAC A及びDAC Bのアナログ・グラウンド
12	6	$\overline{LDAB}$	ロード入力(アクティブロー)。この非同期入力をローにすると入力ラッチA及びBのデータが各DACラッチに転送されます。
13	7	$\overline{LDCD}$	ロード入力(アクティブロー)。この非同期入力をローにすると入力ラッチC及びDのデータが各DACラッチに転送されます。
14	8	$\overline{CS}$	チップセレクト(アクティブロー)。
15	9	$\overline{WR}$	ライト入力(アクティブロー)。 $\overline{CS}$ と共に用いて、A0~A2によって選択されるDAC入力ラッチにデータをロードします。

端子説明(続き)

端 子		名 称	機 能
PLCC	FLAT PACK		
16	10	A2	アドレスビット2
17	11	A1	アドレスビット1
18	12	A0	アドレスビット0
19-31	13-25	D12-D0	データビット12-0
32	26	$\overline{\text{LDEF}}$	ロード入力(アクティブロー)。この非同期入力をローにすると入力ラッチE及びFのデータが各DACラッチに転送されます。
33	27	$\overline{\text{LDGH}}$	ロード入力(アクティブロー)。この非同期入力をローにすると入力ラッチG及びHのデータが各DACラッチに転送されます。
34	28	GND	デジタルグラウンド
35	29	AGNDGH	DAC G及びDAC Hのアナログ・グラウンド
36	30	REFCD	DAC G及びDAC Hのリファレンス電圧入力。0.1 μ F~1 μ FコンデンサでAGNDGHにバイパスします。
38	32	VOUTH	DAC H出力電圧
39	33	VOUTG	DAC G出力電圧
40	34	VOUTF	DAC F出力電圧
41	35	VOUTE	DAC E出力電圧
43	37	REFEF	DAC E及びDAC Fのリファレンス電圧入力。0.1 μ F~1 μ FコンデンサでAGNDEFにバイパスします。
44	38	AGNDEF	DAC E及びDAC Fのアナログ・グラウンド

詳細

アナログセクション

MAX547は8個の13ビット電圧出力DACを内蔵しています。これらのDACは、リファレンス電圧に応じて、13ビットのデジタル入力を等価アナログ出力電圧に変換する“反転”R-2Rラダーネットワークで構成されています。MAX547はDACの各ペアに対して1個のリファレンス入力(REF_)と1個のアナロググラウンド入力(AGND_)を備えています。4個のREF_入力は各DACペアに対して異なるフルスケールの出力電圧を出力し、4個のAGND_入力は各DACペアに対して異なるオフセット電圧を提供します。

DACラダー出力はゲイン2で動作するオペアンプでバッファされます。アンプの反転ノードは各リファレンス入力に接続され、バイポーラ出力電圧は-REF_から4095/4096 REF_になります。図1にDAC回路の概略図を示します。

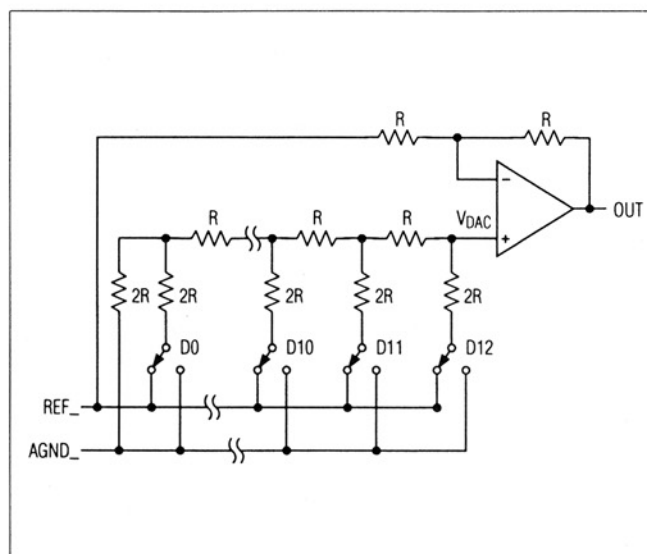


図1. DAC回路の概略図

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

リファレンス及びアナロググランド入力

REF₋の入力範囲はAGND₋~V_{DD}ですが、DACの出力範囲は出力アンプの電圧スイング制限によりV_{DD}-0.6V~V_{SS}+0.6Vです。AGND₋入力は電源電圧範囲内のいかなる電圧にもオフセットすることができます。オフセット電圧はリファレンス電圧より低くして下さい。詳しくはアプリケーション情報の“デジタルコードとアナログ出力電圧”の項を参照して下さい。

REF₋入力の入力インピーダンスはコードに依存し、DACペアの入力コードが0 1010 1010 (0AAhex)の時、最小値(5kΩ min)をとります。またコードが0000hexの時最大値(50kΩ typ)をとります。全リファレンス入力と同じ電源で駆動される場合、最小負荷インピーダンスは1.25kΩです。REF₋での入力インピーダンスが、コードに依存するため、使用されるリファレンスのロードレギュレーションは重要です。詳しくはアプリケーション情報の“リファレンスの選択”の項を参照して下さい。

REF₋の入力容量もコードに依存し125pF~300pF(typ)間を変化します。DACペアのコードが全て0に設定された時最小値をとります。両DACが全て1の場合最大値をとります。

出力バッファアンプ

MAX547の電圧出力は、スルーレート3V/μs(typ)、ゲイン2の精密アンプによって内部でバッファされています。出力でのフルスケール変化に対して、±1/2LSBまでの標準セトリング時間は、10kΩ/50pF負荷の場合5μsで、10kΩ/100pF負荷の場合6μsです。

デジタル入力及びインタフェースロジック

全デジタル入力はTTL及びCMOSロジック・コンパチです。MAX547は最小13ビット幅のデータバスのマイクロプロセッサとインタフェースできます。インタフェースはダブルバッファードで全DACを同時にアップデートできます。各DACに対して2個のラッチがあり(ファンクションダイアグラム参照)、1つはデータをデータバスから受け取る入力ラッチ、もう1つはデータを入力ラッチから受け取るDACラッチです。表1に示されるように、アドレスラインA0、A1、A2によりデータバスからデータを受け取るDACの入力ラッチが選択されます。非同期LD₋信号を実行することにより入力ラッチからDACラッチにデータを転送します。各DACのアナログ出力はDACラッチに保持されているデータを反映します。全制御入力はレベルトリガです。

データはラッチまたはDACに直接転送されます。CS及びWRは入力ラッチを制御し、LD₋により入力ラッチからDACラッチへ情報が転送されます。入力ラッチはCS及びWRが“ロー”の時トランスペアレントで、DACラッチは

表1. MAX547 DAC アドレッシング

A2	A1	A0	機 能
0	0	0	DAC A 入力ラッチ
0	0	1	DAC B 入力ラッチ
0	1	0	DAC C 入力ラッチ
0	1	1	DAC D 入力ラッチ
1	0	0	DAC E 入力ラッチ
1	0	1	DAC F 入力ラッチ
1	1	0	DAC G 入力ラッチ
1	1	1	DAC H 入力ラッチ

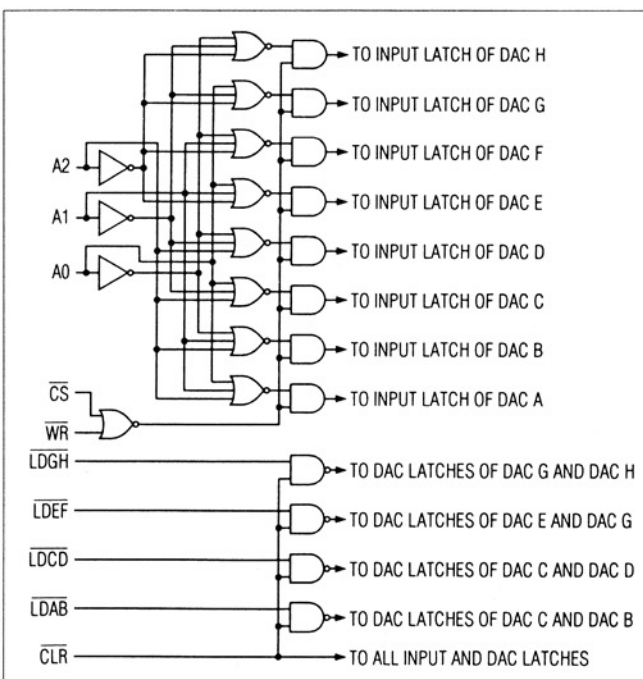


図2. 入力制御ロジック

LD₋が“ロー”の時トランスペアレントです。アドレスライン(A0, A1, A2)はCSとWRがローの間じゅう、有効でなくてはなりません(図3)。さもなければデータは間違ったDACに書き込まれてしまいます。データはCSまたはWRのどちらかが“ハイ”の時入力ラッチにラッチされます。LD₋を“ハイ”にすることでデータをDACラッチにラッチします。

WR及びCSが“ロー”の時LD₋を“ロー”にする場合、LD₋はWR及びCSが“ハイ”になった後t₃以上の間“ロー”に維持します(図3)。

非同期CLR入力を“ロー”にすることにより、CS、WR及びLD₋の状態とは無関係に全DAC出力が公称0Vに設定され、CLRを“ハイ”にすることにより1000hexが全入力ラッチ及びDACラッチにラッチされます。

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

表2. インタフェースの真理値表

CLR	LD	WR	CS	機 能
1	0	0	0	両ラッチともトランスペアレント
1	1	1	×	両ラッチともラッチ状態
1	1	×	1	両ラッチともラッチ状態
1	×	0	0	入力ラッチがトランスペアレント
1	×	1	×	入力ラッチがラッチ状態
1	×	×	1	入力ラッチがラッチ状態
1	0	×	×	DACラッチがトランスペアレント
0	×	×	×	全入力及びDACが1000hexでラッチされ、出力はAGND ₋

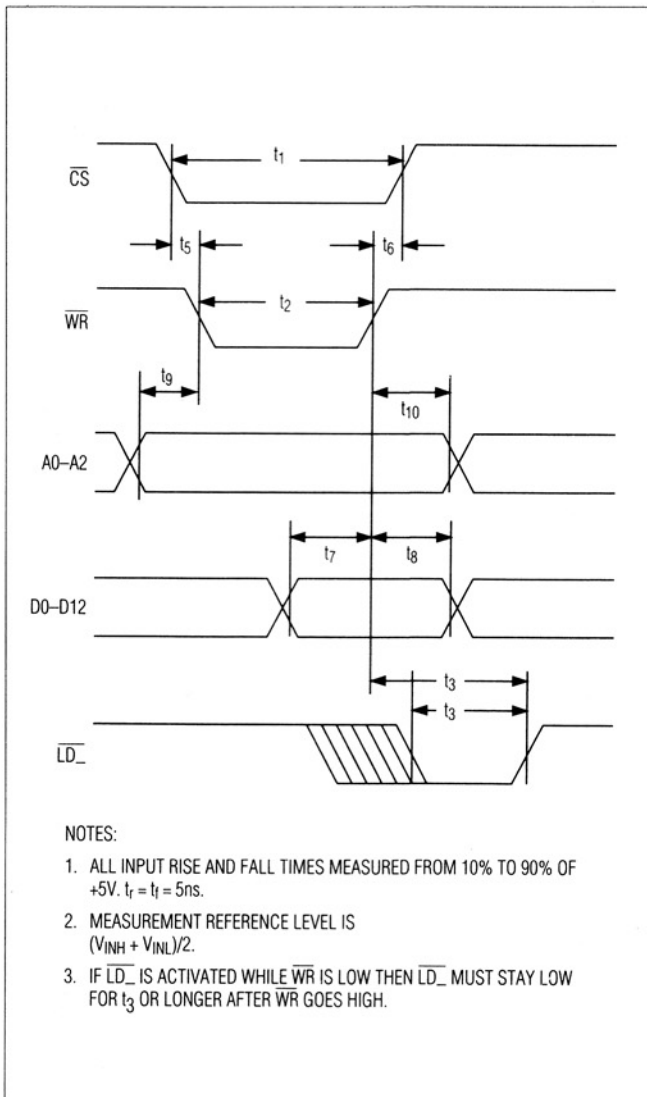


図3. ライトサイクルタイミング

アプリケーション情報

乗算動作

MAX547は乗算型アプリケーションで使用でき、リファレンスは両DC及びAC信号を許容します。各REF₋入力の電圧により、各DACに対してフルスケールの出力電圧が設定されます。リファレンス入力は正の電圧のみ許容するため、乗算動作は2象限に制限されます。AC信号を印加する場合、リファレンス入力をバイパスしないで下さい。DAC及び出力バッファのダイナミック特性については“標準動作特性”のグラフを参照して下さい。

デジタルコード及びアナログ出力電圧

MAX547はオフセットバイナリコードを使用します。13ビットの2の補数コードは $2^{12}=4096$ を加えることによって13ビットオフセットバイナリコードに変換されます。

バイポーラ出力電圧範囲 (AGND₋=0V)

対称的なバイポーラ動作するには、AGND₋をシステムグランドに接続して下さい。表3にデジタルコードと出力電圧の関係を示します。次の項目にはこのモードについての詳細が記載されています。

DACラダー出力電圧(V_{DAC})は2倍され、内部的に出力アンプに接続されているリファレンス電圧によりレベルシフトされます(図1)。フィードバック抵抗が同じ値のため、アンプの出力電圧は非反転入力の電圧を2倍したもののからリファレンス電圧を引いた電圧になります。

$$V_{OUT} = 2(V_{DAC}) - REF_{-}$$

ここで V_{DAC} はアンプの非反転入力(DACラダー出力電圧)の電圧で、REF₋はDACのリファレンス入力に印加される電圧です。

AGND₋がシステムグランドに接続される場合、DACのラダー出力電圧は

$$V_{DAC} = \frac{D}{2^n} (REF_{-}) = \frac{D}{2^{13}} (REF_{-})$$

ここでDはDACのバイナリ入力コードの数値表現で、nはDACの分解能(13ビット)です。式の V_{DAC} を置き換え、出力電圧を計算して下さい。

$$\begin{aligned} V_{OUT} &= 2 \left(\frac{D}{2^{13}} \right) (REF_{-}) - REF_{-} \\ &= REF_{-} \left(\frac{D}{2^{12}} - 1 \right) = REF_{-} \left(\frac{D}{4096} - 1 \right) \end{aligned}$$

Dは $0(2^0)$ から8191($2^{13}-1$)です。

$$1 \text{ LSB} = REF_{-} \left(\frac{D}{4096} \right)$$

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

表3. MAX547バイポーラコード表 (AGND_ = 0V)

INPUT	OUTPUT
1 1111 1111 1111	$+REF_- \left(\frac{4095}{4096} \right)$
1 0000 0000 0001	$+REF_- \left(\frac{1}{4096} \right)$
1 0000 0000 0000	0V
0 1111 1111 1111	$-REF_- \left(\frac{1}{4096} \right)$
0 0000 0000 0001	$-REF_- \left(\frac{4095}{4096} \right)$
0 0000 0000 0000	$-REF_-$

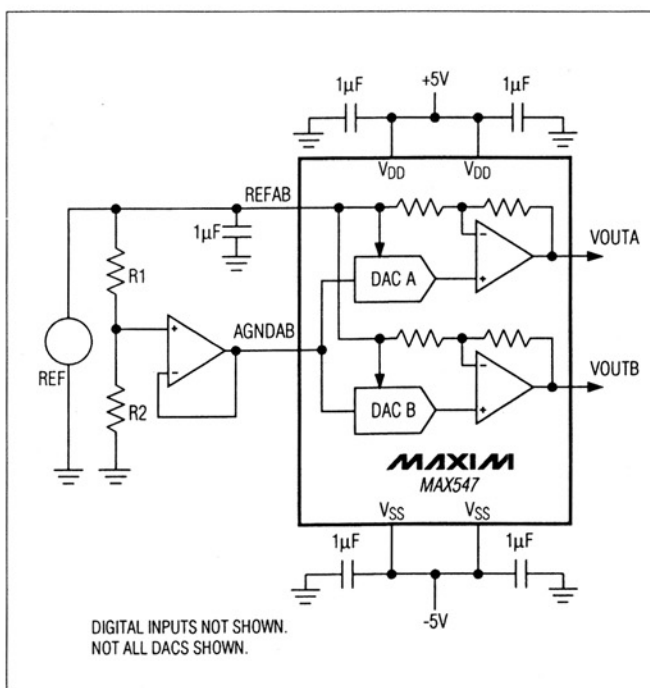


図4. AGND_のオフセット方法

正のユニポーラ出力電圧範囲 (AGND_ = REF_/2)

正のユニポーラ出力動作には、AGND_を(REF_/2)に設定して下さい。例えば、図4の回路を4.096Vリファレンスと共に使用し、マッチングされた抵抗(R1=R2)とオペアンプによりAGND_を2.048Vにオフセットした場合、ユニポーラ出力電圧は0V~4.0955V(公称)になります。ここで1LSB=500μVです。一般にAGND端子からの最大電流は次式によって示されます。

$$I_{AGND_} = \left(\frac{REF_- - AGND_}{5k\Omega} \right)$$

表4. MAX547正のユニポーラコード表 (AGND_ = $\frac{REF_-}{2}$)

INPUT	OUTPUT
1 1111 1111 1111	$+REF_- \left(\frac{8191}{8192} \right)$
1 0000 0000 0000	$+REF_- / 2$
0 0000 0000 0000	0V

出力電圧範囲のカスタマイズ

REF_入力の電圧がAGND_入力の電圧より高い場合、AGND_入力は電源電圧範囲の電圧によってオフセットすることができます。出力電圧が電源電圧の±0.6V以内にならないようにリファレンス電圧とAGND_の電圧を選択して下さい。図4の回路は正のオフセット電圧をAGND_に加える1つの方法が示されています。使用するオペアンプは、AGND_電流を扱うだけの十分な電流シンク能力を備えていなければなりません。

$$I_{AGND_} = \left(\frac{REF_- - AGND_}{5k\Omega} \right)$$

もう一つの方法は、1個のDAC出力を1個又は複数のAGND_入りに接続することによってAGND_をデジタル的にオフセットする方法です。DAC出力をそれ自身のAGND_入力には接続しないで下さい。

表5にはリファレンス、AGND_及び差動モードの出力電圧の関係が示されています。

電源シーケンス

電源電圧を印加する順序は重要ではありませんが、V_{SS}が最初で、次にV_{DD}、次にリファレンス電圧という順序をお勧めします。他の方法を使用する場合は、リファレンス端子への電流を10mAに制限して下さい。また、V_{SS}がグランドより300mV以上にならないようにして下さい。もしパワーアップ時にこの状態が起これる場合は、図5に示されるようにV_{SS}とGNDの間にショットキーダイオードを接続して下さい。電源電圧を投入する前にロジック入力端子に電圧を印加しないで下さい。もしこれが不可能でデジタルラインが10mA以上をドライブする場合、電流制限抵抗(例えば470Ω)をロジック端子と直列に接続して下さい。

リファレンスの選択

±2.5Vのフルスケール出力電圧を得たい場合、MAX873リファレンスを使用して下さい。この製品は5V単一電源で動作し、最高10mAまで駆動できます。従って、4個のリファレンス入力を全て同時にドライブできます。最大負

表5. リファレンス、AGND_、出力の関係

PARAMETER	BIPOLAR OPERATION (AGND_ = 0V)	POSITIVE UNIPOLAR OPERATION (AGND_ = REF_/2)	CUSTOM OPERATION
Bipolar Zero Level, or Unipolar Mid-scale, (Code = 1000000000000)	AGND_ (=0V)	$AGND_ \left(= \frac{REF_-}{2} \right)$	AGND_
Differential Reference Voltage (VDR)	REF_-	REF_/2	REF_- - AGND_
Negative Full-scale Output (Code = All 0s)	-REF_-	0V	AGND_ - VDR
Positive Full-Scale Output (Code = All 1s)	$\left(\frac{4095}{4096} \right) (REF_-)$	$\left(\frac{8191}{8192} \right) (REF_-)$	$AGND_ + \left(\frac{4095}{4096} \right) (VDR)$
LSB Weight	$\frac{REF_-}{4096}$	$\left(\frac{REF_-}{8192} \right)$	$\frac{VDR}{4096}$
VOUT_ as a Function of Digital Code (D, 0 to 8191)	$\left(\frac{D}{4096} - 1 \right) (REF_-)$	$\left(\frac{D}{8192} \right) (REF_-)$	$AGND_ + \left(\frac{D}{4096} - 1 \right) (VDR)$

荷インピーダンスが1.25kΩ～12.5kΩ間(4個並列のリファレンス入力)を変化するため、リファレンスの負荷電流範囲は2mA～0.2mA(最大1.8mAの負荷変動)です。MAX873のロードレギュレーションは、全温度範囲で20ppm/mA(max)に規定されており、最大エラーは36ppm(90μV)になります。これは全温度範囲で僅か0.147LSB [0.147LSB=90μV/(5V/8192)LSB] のリファレンスロードレギュレーションによって起こる最大エラーに相当します。

±4.096Vのフルスケール出力シングを得たい場合(1LSB=1mV)、キャリブレートされた、ロードリフト、ロードロップアウトのMAX676を使用できます。これは5V電源で動作し、全温度範囲での最大負荷変動によるエラーが60.4μV以下(0.0604LSB)にて2個のREF_入力を駆動できます。

リファレンスバッファ

他に高精度を得る方法としては、オペアンプでリファレンスをバッファすることが挙げられます。全リファレンス入力を同時にドライブする時、オペアンプの閉ループ出力インピーダンスを0.03Ω以下に抑え、エラーを0.1LSB以下にします。このオペアンプは容量負荷(標準500pF～1200pF)もドライブできなければなりません。

各リファレンス入力は図6の回路を使用することにより独立してバッファできます。デジタル変化によって起こるリファレンスの負荷変動は、コード変化が起こったDACペアに影響を与えるだけです。またドライブ能力の小さいリファレンスも使用できます。各オペアンプの閉ループ

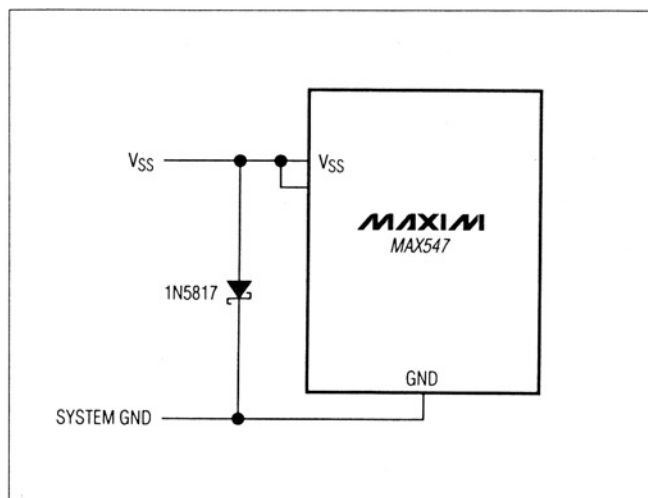


図5. VssとGND間のショットキダイオードによる保護

ブ出力インピーダンスを0.12Ω以下に抑え、エラーを0.1LSB以下にします。図6では、オペアンプの反転入力がMAX547のリファレンス端子に直接接続されています。この回路はリファレンス入力において低電流検出ラインを用いて直接電圧を検出することによって、基板の配線抵抗の影響を無くしています。

個々のリファレンスバッファアンプにフィードバック抵抗を加えることにより、1個のリファレンスから異なるリファレンス電圧を発生できます。

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

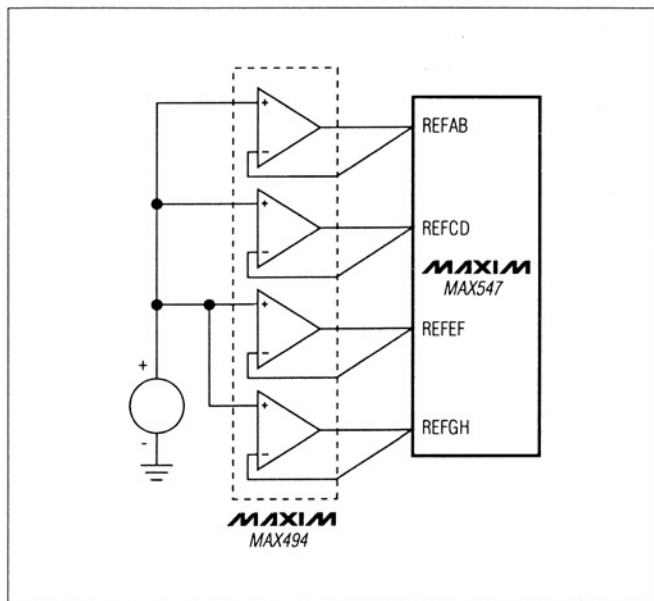


図6. リファレンスバッファ

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSBs)
MAX547AEQH	-40°C to +85°C	44 PLCC	±2
MAX547BEQH	-40°C to +85°C	44 PLCC	±4
MAX547AEMH	-40°C to +85°C	44 Plastic FP	±2
MAX547BEMH	-40°C to +85°C	44 Plastic FP	±4

電源のバイパス処理とグランド管理

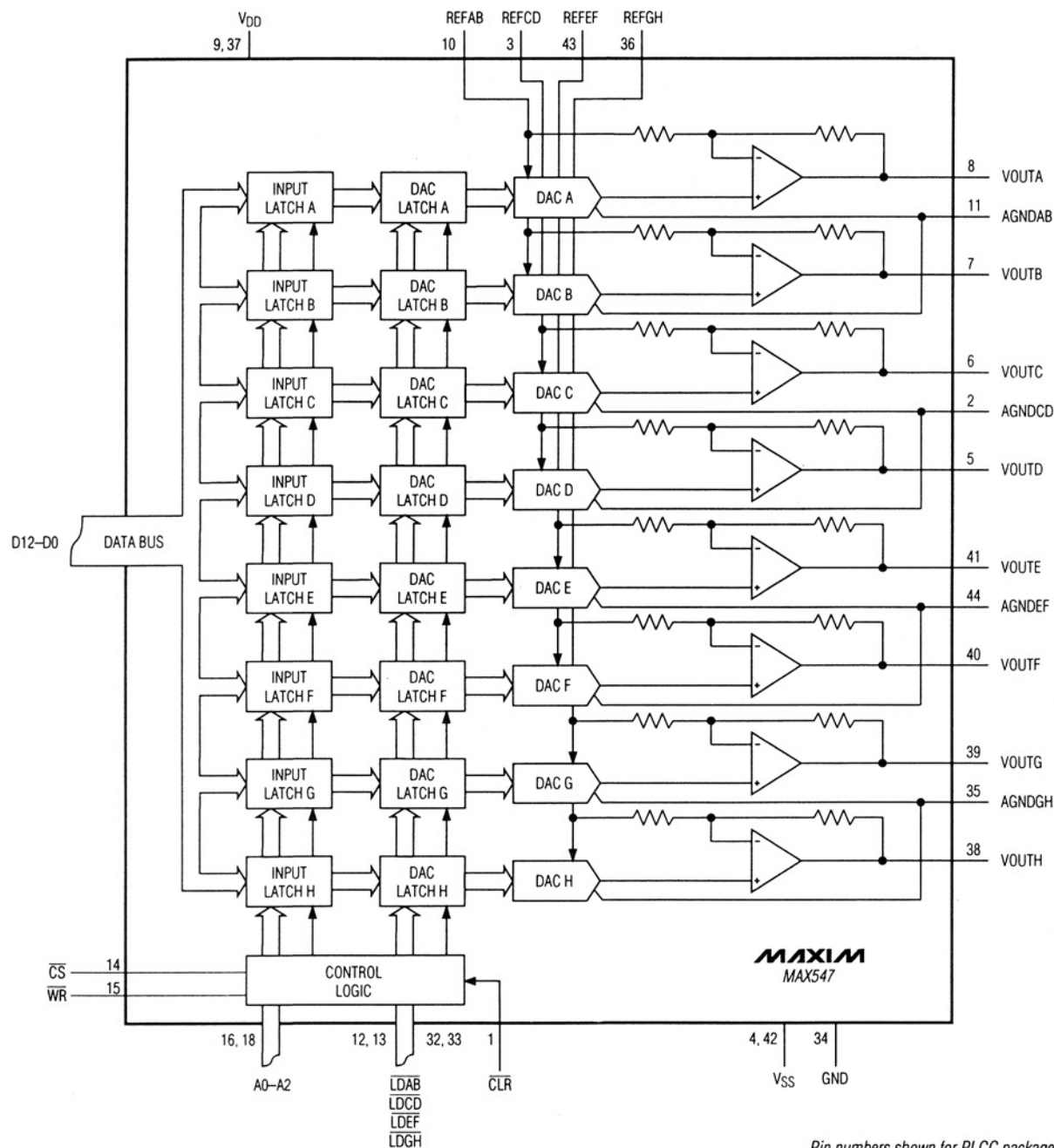
最良のシステム性能は、一面のアナロググランドを備えた多層PCボードを使用することによって得られます。全AGND端子が同電位の通常動作には、4個のAGND端子をグランドプレーンに直接接続するか、スター構成で接続して下さい。このスターポイントの中心はデジタルシステムグランドとアナロググランドを接続するのに適当な場所です。

1個の共通リファレンス電圧を使用する場合、スター構成を使用してリファレンス入力を全て接続して下さい。DCリファレンス電圧を使用する場合は、 $0.1\mu\text{F}$ ~ $1\mu\text{F}$ のコンデンサで各リファレンス入力をAGND₁にバイパスして下さい。

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

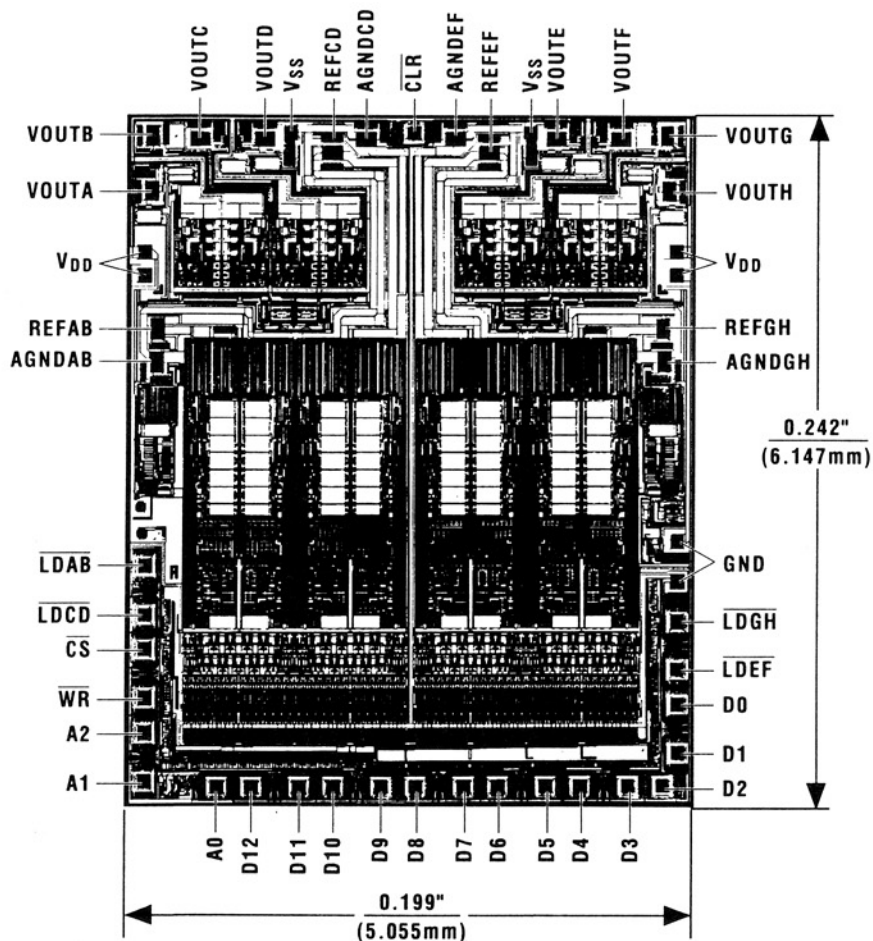
ファンクションダイアグラム



Pin numbers shown for PLCC package.

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

チップ構造図



TRANSISTOR COUNT: 8987
SUBSTRATE CONNECTED TO VDD

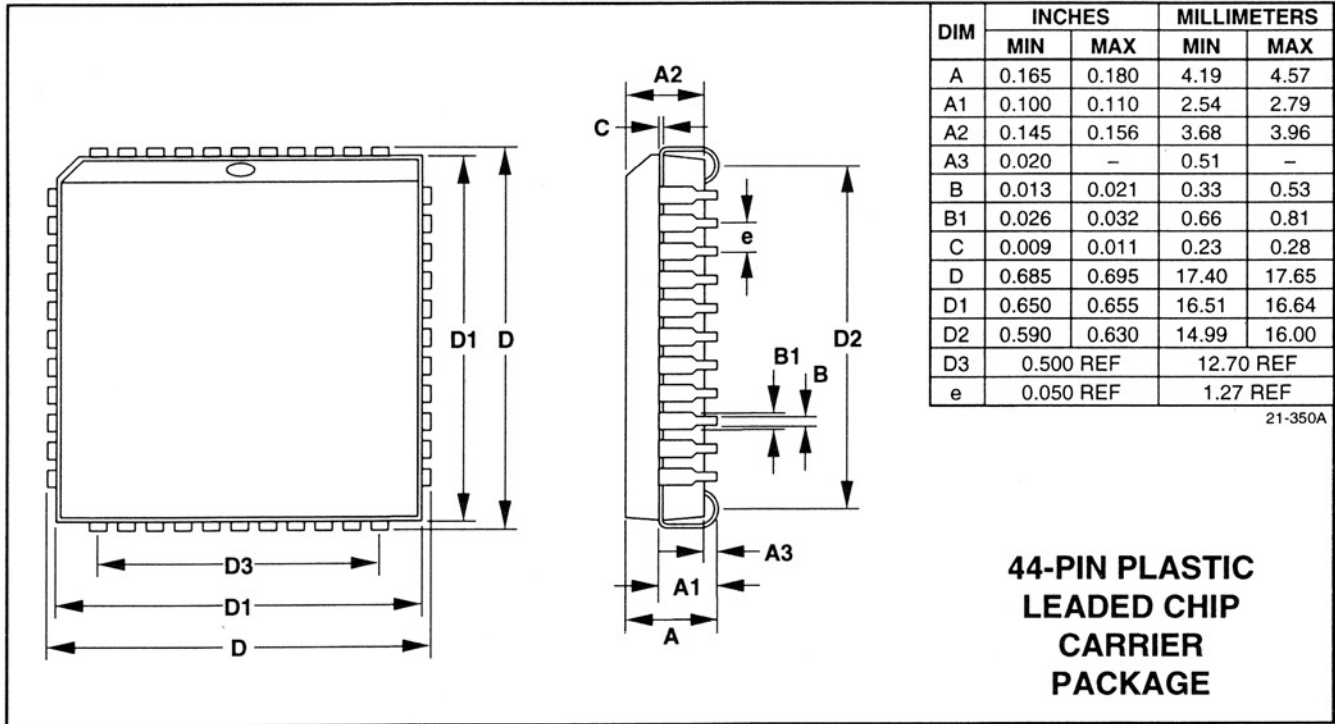
MAX547

オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



オクタル、13ビット、電圧出力型DAC パラレルインタフェース

MAX547

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03) 3232-6141 FAX. (03) 3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086(408)737-7600