

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

概要

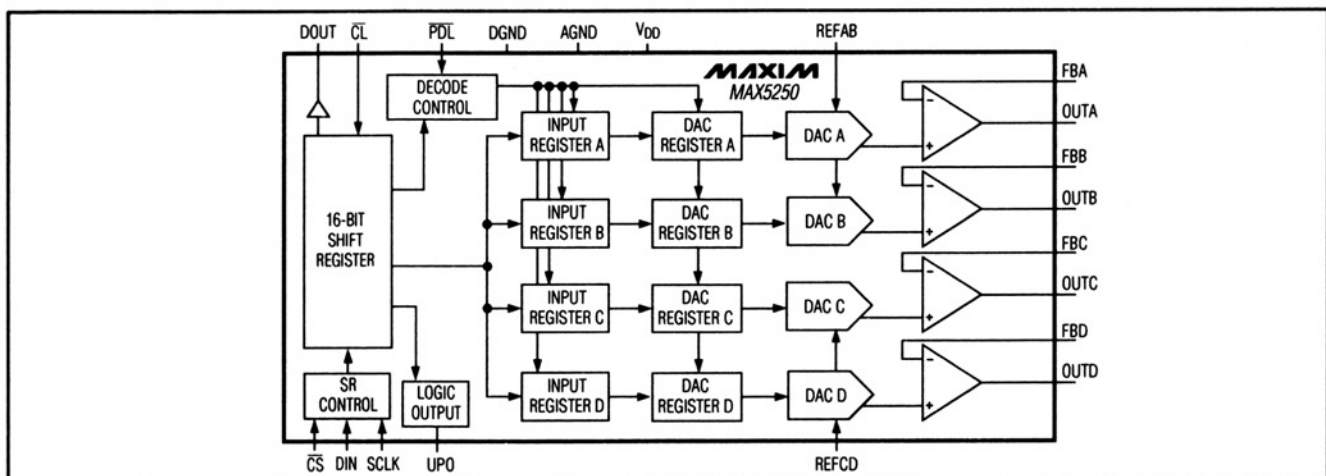
+5V駆動のMAX5250は、4個の低電力の電圧出力10ビットディジタルアナログコンバータ(DAC)及び4個の高精度出力アンプを省スペースの20ピンパッケージに収めています。4個の電圧出力の他に、各アンプの負入力も使用できるようになっています。これにより、特定の利得設定、リモートセンシング及び大出力駆動が容易に実現できるため、MAX5250は工業用プロセス制御アプリケーションに最適です。その他の特長としては、ソフトウェアシャットダウン、ハードウェアシャットダウンロックアウト、全てのレジスタ及びDACをゼロにクリアするアクティブローリセット、ユーザプログラマブルロジック出力及びシリアルデータ出力等が挙げられます。

各DACは、入力レジスタにDACレジスタが続く構成のダブルバッファ付入力を備えています。16ビットのシリアルワードにより、データが各入力/DACレジスタにロードされます。シリアルインタフェースは、SPI™/QSPI™及びMicrowire™とコンパチブルです。入力及びDACレジスタは、単一のソフトウェアコマンドでそれぞれ独立あるいは同時に更新できます。全てのロジック入力は、TTL/CMOSロジックコンパチブルです。

アプリケーション

ディジタルオフセット及び利得調節
マイクロプロセッサ制御のシステム
工業用プロセス制御
自動試験機器
遠隔工業用制御
モーションコントロール

ファンクションダイアグラム



SPI及びQSPIはMotorola Inc.の商標です。MicrowireはNational Semiconductor Corp.の商標です。

特長

- ◆ 設定可能な出力アンプ付の4個の10ビットDAC
- ◆ 電源：+5V単一
- ◆ 低消費電流：0.85mA (通常動作)
10µA (シャットダウンモード)
- ◆ パッケージ：20ピンSSOP及びDIP
- ◆ パワーオンリセットで全てのレジスタ及びDACをゼロにクリア
- ◆ SPI/QSPI及びMicrowireコンパチブル
- ◆ 3線シリアルインタフェースを通じてDACを同時又は独立に制御
- ◆ ユーザプログラマブルディジタル出力
- ◆ 直接フォトカプラインタフェース用のシュミットトリガ入力
- ◆ 12ビットのグレードアップ：MAX525

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5250ACPP	0°C to +70°C	20 Plastic DIP	±1/2
MAX5250BCPP	0°C to +70°C	20 Plastic DIP	±1
MAX5250ACAP	0°C to +70°C	20 SSOP	±1/2
MAX5250BCAP	0°C to +70°C	20 SSOP	±1

Ordering Information continued on last page.

Pin Configuration appears at end of data sheet.

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

ABSOLUTE MAXIMUM RATINGS

V _{DD} to AGND	-0.3V to +6V
V _{DD} to DGND	-0.3V to +6V
AGND to DGND	±0.3V
REFAB, REFCD to AGND	-0.3V to (V _{DD} + 0.3V)
OUT ₋ , FB ₋ to AGND	-0.3V to (V _{DD} + 0.3V)
Digital Inputs to DGND	-0.3V to +6V
DOUT, UPO to DGND	-0.3V to (V _{DD} + 0.3V)
Continuous Current into Any Pin	±20mA

Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 8.00mW/°C above +70°C)	640mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
CERDIP (derate 11.11mW/°C above +70°C)	889mW
Operating Temperature Ranges	
MAX5250_C_P	0°C to +70°C
MAX5250_E_P	-40°C to +85°C
MAX5250BMJP	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V ±10%, AGND = DGND = 0V, REFAB = REFCD = 2.5V, R_L = 5kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION						
Resolution	N		10			Bits
Integral Nonlinearity (Note 1)	INL	MAX5250A		±0.25	±0.5	LSB
		MAX5250B			±1.0	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1.0	LSB
Offset Error	V _{OS}				±6.0	mV
Offset-Error Tempco				6		ppm/°C
Gain Error (Note 1)	GE				±1.0	LSB
Gain-Error Tempco				1		ppm/°C
Power-Supply Rejection Ratio	PSRR	4.5V ≤ V _{DD} ≤ 5.5V		100	800	μV/V
REFERENCE INPUT						
Reference Input Range	V _{REF}		0		V _{DD} - 1.4	V
Reference Input Resistance	R _{REF}	Code dependent, minimum at code 554 hex	10			kΩ
MULTIPLYING-MODE PERFORMANCE						
Reference -3dB Bandwidth		V _{REF} = 0.67Vp-p		650		kHz
Reference Feedthrough		Input code = all 0s, V _{REF} = 3.6Vp-p at 1kHz		-84		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	V _{REF} = 1Vp-p at 25kHz, code = full scale		72		dB

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND = 0V$, $REFAB = REFCD = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS						
Input High Voltage	V_{IH}		2.4			V
Input Low Voltage	V_{IL}				0.8	V
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}		0.01	± 1.0	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$		0.13	0.4	V
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate	SR			0.6		V/ μs
Output Settling Time		To $\pm 1/2LSB$, $V_{STEP} = 2.5V$		10		μs
Output Voltage Swing		Rail-to-rail (Note 2)		0 to V_{DD}		V
Current into FB_-				0	0.1	μA
OUT_ Leakage Current in Shutdown		$R_L = \infty$		0.01	± 1	μA
Start-Up Time Exiting Shutdown Mode				15		μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $DIN = 100kHz$		5		nV-s
Digital Crosstalk				5		nV-s
POWER SUPPLIES						
Supply Voltage	V_{DD}		4.5		5.5	V
Supply Current	I_{DD}	(Note 3)		0.85	0.98	mA
Supply Current in Shutdown		(Note 3)		10	20	μA
Reference Current in Shutdown				0.01	± 1	μA

Note 1: Guaranteed from code 3 to code 1023 in unity-gain configuration.

Note 2: Accuracy is better than 1LSB for $V_{OUT} = 6mV$ to $V_{DD} - 60mV$, guaranteed by a power-supply rejection test at the end points.

Note 3: $R_L = \infty$, digital inputs at DGND or V_{DD} .

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

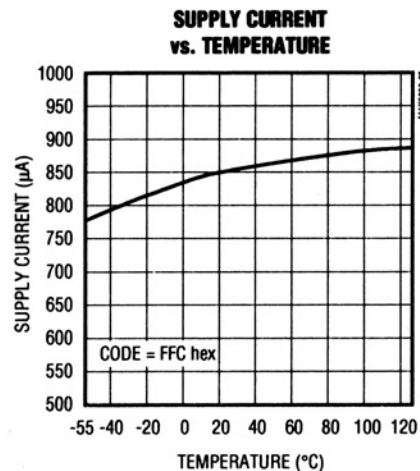
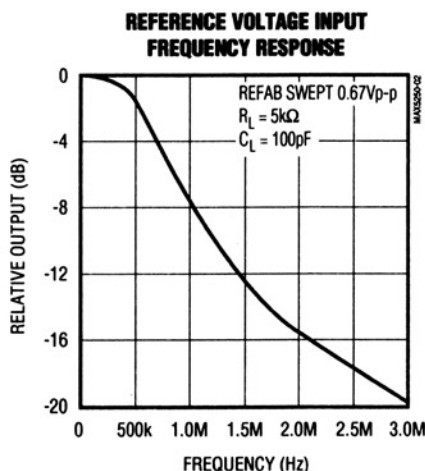
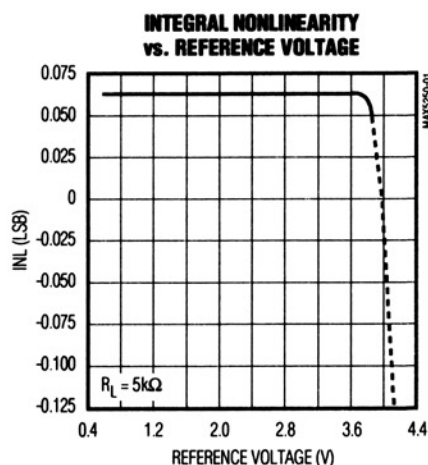
ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND = 0V$, $REFAB = REFCD = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$. Output buffer connected in unity-gain configuration (Figure 9).)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING CHARACTERISTICS (Figure 6)						
SCLK Clock Period	tCP		100			ns
SCLK Pulse Width High	tCH		40			ns
SCLK Pulse Width Low	tCL		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	tCSS		40			ns
SCLK Raise to $\overline{CS}$ Rise Hold Time	tCSH		0			ns
DIN Setup Time	tDS		40			ns
DIN Hold Time	tDH		0			ns
SCLK Rise to DOUT Valid Propagation Delay	tD01	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	tD02	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to $\overline{CS}$ Fall Delay	tCS0		40			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	tCS1		40			ns
$\overline{CS}$ Pulse Width High	tCSW		100			ns

標準動作特性

($V_{DD} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)

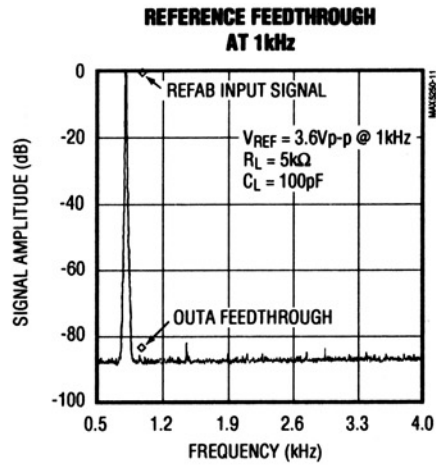
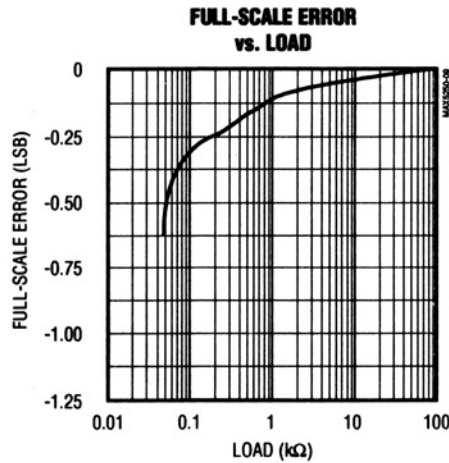
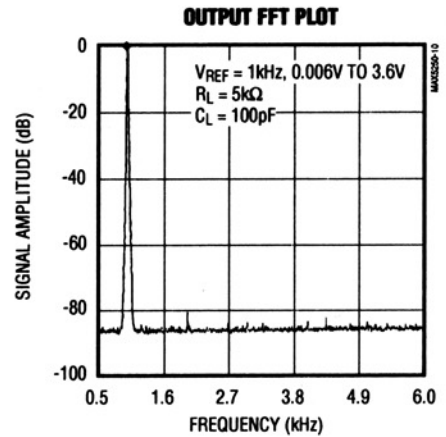
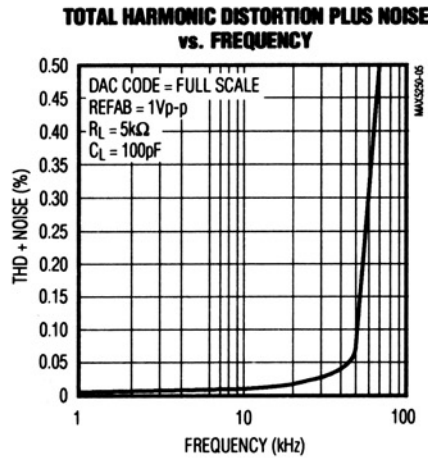
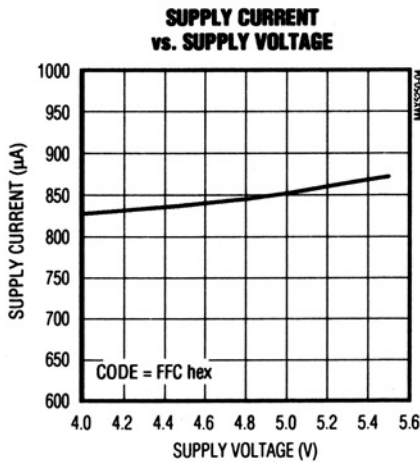


低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

標準動作特性(続き)

(VDD = +5V, TA = +25°C, unless otherwise noted.)



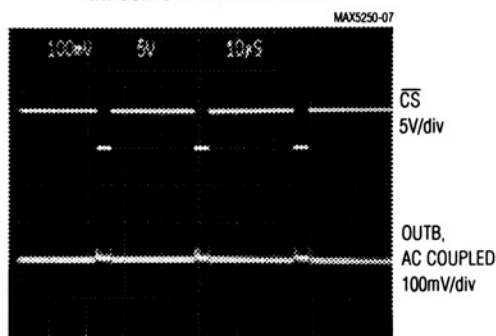
低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

標準動作特性(続き)

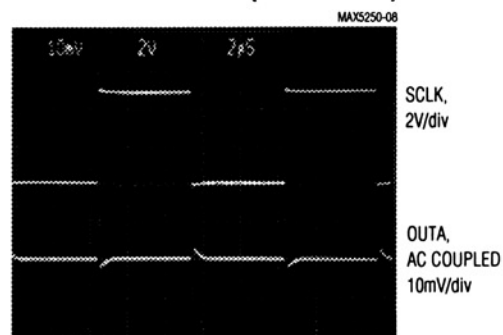
($V_{DD} = +5V$, $V_{REF} = 2.5V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = +25^\circ C$, unless otherwise noted.)

MAJOR-CARRY TRANSITION



10µs/div

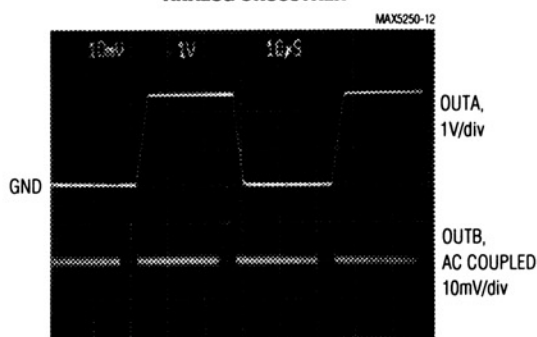
DIGITAL FEEDTHROUGH (SCLK = 100kHz)



2µs/div

$\overline{CS} = \overline{PDL} = \overline{CL} = 5V$, $DIN = 0V$
DAC A CODE SET TO 800 hex

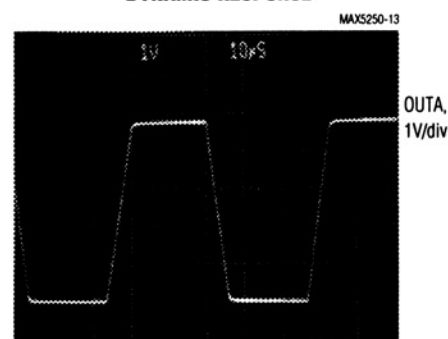
ANALOG CROSSTALK



10µs/div

DAC A CODE SWITCHING FROM 00C hex TO FFC hex
DAC B CODE SET TO 800 hex

DYNAMIC RESPONSE



10µs/div

SWITCHING FROM CODE 000 hex TO FB4 hex
OUTPUT AMPLIFIER GAIN = +2

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

端子説明

端子	名称	機能
1	AGND	アナロググランド
2	FBA	DAC A出力アンプフィードバック
3	OUTA	DAC A出力電圧
4	OUTB	DAC B出力電圧
5	FBB	DAC B出力アンプフィードバック
6	REFAB	DAC A及びDAC Bのリファレンス電圧入力
7	$\overline{CL}$	全てのDAC及びレジスタをクリア。全ての出力(OUT ₋ 、UPO、DOUT)を0にリセット(アクティブロー)。
8	$\overline{CS}$	チップセレクト入力。アクティブロー。
9	DIN	シリアルデータ入力
10	SCLK	シリアルクロック入力
11	DGND	ディジタルグランド
12	DOUT	シリアルデータ出力
13	UPO	ユーザプログラマブルロジック出力
14	$\overline{PDL}$	パワーダウンロックアウト。アクティブロー。ローの時、ソフトウェアシャットダウンがロックアウトされます。
15	REFCD	DAC C及びDAC Dのリファレンス電圧入力
16	FBC	DAC C出力アンプフィードバック
17	OUTC	DAC C出力電圧
18	OUTD	DAC D出力電圧
19	FBD	DAC D出力アンプフィードバック
20	V _{DD}	正電源

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

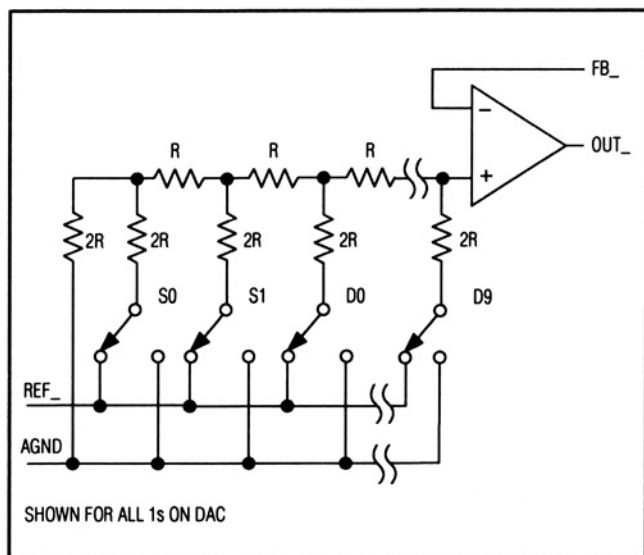


図1. DACの概略回路図

詳細

MAX5250は、シンプルな3線シリアルインタフェースで簡単にアドレス指定できる10ビット電圧出力ディジタルアナログコンバータ(DAC)を4個内蔵しています。16ビットデータイン/データアウトシフトレジスタを備え、各DACは入力レジスタとDACレジスタから構成されるダブルバッファ付入力を備えています(ファンクションダイアグラムを参照)。ユーザは、4個の電圧出力の他に、各アンプの負入力を使用できます。

DACは、ディジタル入力(データビット10個及びサブビット2個)を、印加されたリファレンス電圧入力に比例する等価アナログ出力電圧に変換する反転R-2Rラダーネットワークです。DAC AとBはREFABリファレンス入力を共有し、DAC CとDはREFCDリファレンス入力を共有します。2個のリファレンス入力があるため、各DACペアは異なるフルスケール出力電圧で動作できます。図1に、4個のDACの内の1個の概略回路図を示します。

リファレンス入力

2個のリファレンス入力は、正のDC及びAC信号を受け入れます。各リファレンスにおける電圧により、対応する2個のDACのフルスケール出力電圧が設定されます。リファレンス入力電圧範囲は、0V~($V_{DD} - 1.4V$)です。出力電圧($V_{OUT_}$)は、次式に示すディジタル的に設定可能な電圧ソースとなります。

$$V_{OUT_} = (V_{REF} \times NB/1024) \times \text{利得}$$

ここで、NBはDACの入力コードの数値(0~1023)、 V_{REF} はリファレンス電圧、利得は外部で設定された電圧利得です。

各リファレンス入力でのインピーダンスはコードに依存し、そのリファレンスに接続されている両方のDACの入力コードが16進の554の時に最小値の10k Ω となり、入力コードが16進の000の時に最大値(リーク電流に起因し、数G Ω 以上)となります。リファレンスピンの入力インピーダンスがコードに依存するため、リファレンスソースの負荷レギュレーションが重要です。

REFAB及びREFCDリファレンス入力は、最小入力インピーダンス10k Ω を保証しています。2個のリファレンス入力と同じソースで駆動されている場合、実効最小インピーダンスは5k Ω です。負荷レギュレーションが6ppm/mAの電圧リファレンス(例えばMAX873)がMAX5250の両方のリファレンス入力を同時に2.5Vで駆動する場合の偏差は、0.006LSB(ワーストケースで0.015LSB)です。REFABピン及びREFCDピンを個別に駆動するとリファレンス精度が向上します。

シャットダウンモードにおけるMAX5250のREFAB及びREFCD入力はハイインピーダンス状態になり、入力リーク電流は0.01 μ A(typ)となります。

リファレンス入力容量もやはりコードに依存し、入力コードが全て0の時に20pF、入力コードが全て1の時に100pF(typ)となります。

出力アンプ

MAX5250 DACの全ての出力は、内部の高精度アンプ(標準スルーレート0.6V/ μ s)によってバッファされています。各出力アンプの反転入力へのアクセスが可能であるため、ユーザによる出力利得設定/信号調節の自由度が高くなっています(「アプリケーション情報」の項を参照)。

MAX5250の出力でフルスケール遷移があった場合、 $\pm 1/2$ LSBへの標準セトリング時間は、負荷が5k Ω と100pFの並列の時に10 μ sです(負荷が2k Ω 以下になると性能が劣化します)。

MAX5250の出力アンプの出力ダイナミック応答及びセトリング性能は「標準動作特性」に示されています。

パワーダウンモード

MAX5250はソフトウェアでプログラムできるシャットダウンモードを備えており、この時の消費電流は10 μ A(typ)まで低減します。シャットダウンモードをイネーブルするには、パワーダウンロックアウト(PDL)ピンがハイであることが必要です。入力制御ワードに1100XXXXXXXXXXXXを書き込むとMAX5250はパワーダウンモードになります(表1)。

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

パワーダウンモードにおけるMAX5250の出力アンプ及びリファレンス入力は、ハイインピーダンス状態になります。シリアルインタフェースは、アクティブのままです。入力レジスタ内のデータはパワーダウン中も保持されるため、MAX5250はシャットダウンに入る前の出力状態を呼び起こすことができます。パワーダウン状態から起動するには、以前の設定を呼び起こすか新しいデータを使用してDACを更新してください。本製品をパワーアップする時やシャットダウン状態から回復させる時は、出力安定時間として15 μ s待ってください。

シリアルインタフェースの構成

MAX5250の3線シリアルインタフェースは、Microwire(図2)及びSPI/QSPI(図3)のいずれともコンパチブルです。シリアル入力ワードは、アドレスビット2つと制御ビット2つの後に10+2個のデータビット(MSBが先頭)が続く構成になっています(図4)。この4ビットのアドレス/制御コードにより、表1に示すMAX5250の応答が決定されます。DOUTとシリアルインタフェースポートの間の接続は必要ありませんが、データエコーに使用することができます。MAX5250のシフトレジスタに保存されているデータは、DOUTからシフトアウトしてマイクロプロセッサ(μ P)に戻し、データを検証できます。

MAX5250のデジタル入力は、ダブルバッファ付です。シリアルインタフェースから発行されたコマンドに従って、DACレジスタに影響を与えずに入力レジスタにロードするか、DACレジスタに直接ロードするか、あるいは入力レジスタによって4個のDACレジスタを同時に更新できます(表1)。

シリアルインタフェースの内容

MAX5250は、16ビットのシリアルデータを必要とします。表1は、シリアルインタフェースプログラミングコマンドのリストです。コマンドによっては、10+2個のデータビットが「ドントケア(任意)」となっています。データはMSBを先頭にして送られ、2つの8ビット/パケットあるいは1つの16ビットワードとして送ることができます(16ビットが転送されるまで $\overline{CS}$ がローに保持されることが必要です)。シリアルデータは、2つのDACアドレスビット(A1、A0)及び2つの制御ビット(C1、C0)に10+2個のデータビットD11...D0、S1、S0が続く構成になっています(図4)。サブビット(S1、S0)は、両方ともゼロに設定してください。4ビットのアドレス/制御コードによって下記が決まります。

- 更新すべきレジスタ
- データがシリアルデータ出力(DOUT)からクロックアウトされるクロックエッジ

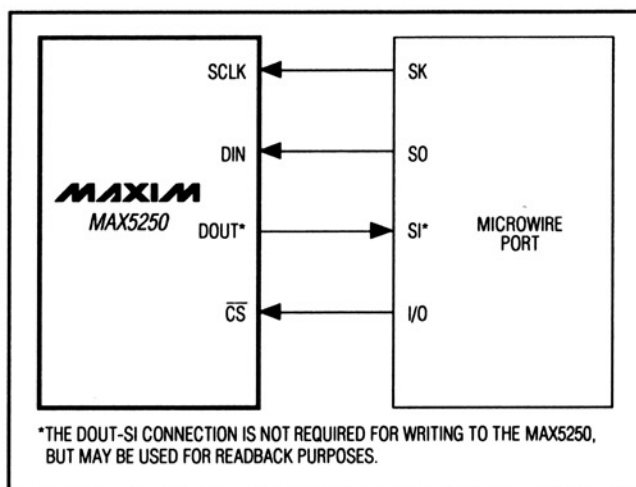


図2. Microwire用の接続

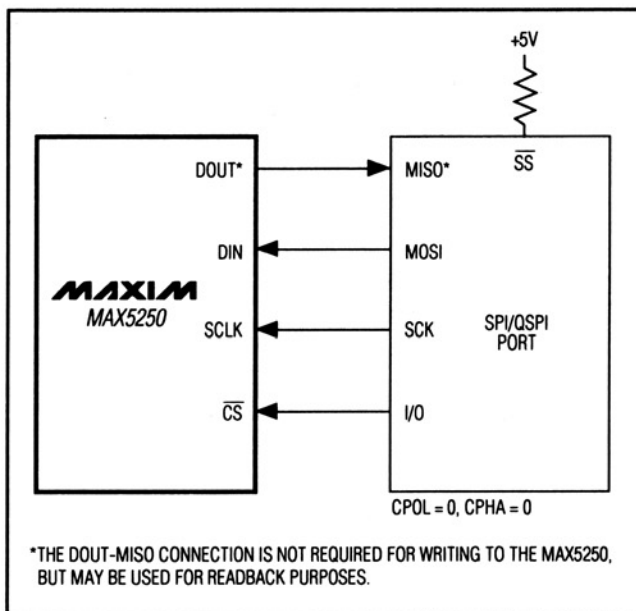


図3. SPI/QSPI用の接続

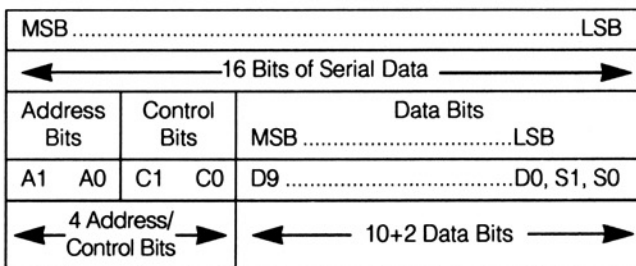


図4. シリアルデータフォーマット

- ユーザプログラマブルロジック出力(UPO)の状態
- デバイスがシャットダウンモードに入るかどうか($\overline{PDL}$ がハイであると仮定)
- シャットダウンモードから復帰した時のデバイスの設定

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

表1. シリアルインタフェースのプログラミングコマンド

16ビットシリアルワード						機 能
A1	A0	C1	C0	D9.....D0 MSB.....LSB	S1 S0	
0	0	0	1	10-bit DAC data	0 0	入力レジスタAにロード; DACレジスタは不変。
0	1	0	1	10-bit DAC data	0 0	入力レジスタBにロード; DACレジスタは不変。
1	0	0	1	10-bit DAC data	0 0	入力レジスタCにロード; DACレジスタは不変。
1	1	0	1	10-bit DAC data	0 0	入力レジスタDにロード; DACレジスタは不変。
0	0	1	1	10-bit DAC data	0 0	入力レジスタAにロード; DACレジスタを全て更新。
0	1	1	1	10-bit DAC data	0 0	入力レジスタBにロード; DACレジスタを全て更新。
1	0	1	1	10-bit DAC data	0 0	入力レジスタCにロード; DACレジスタを全て更新。
1	1	1	1	10-bit DAC data	0 0	入力レジスタDにロード; DACレジスタを全て更新。
0	1	0	0	XXXXXXXXXX	X X	全てのDACを対応する入力レジスタによって更新します。 また、シャットダウンモードを解除します。
1	0	0	0	10-bit DAC data	0 0	全てのDACにシフトレジスタデータをロードします。また、シャットダウンモードを解除します。
1	1	0	0	XXXXXXXXXX	X X	シャットダウンモードに入ります(PDL = 1が条件)
0	0	1	0	XXXXXXXXXX	X X	UPOがローになります(デフォルト)。
0	1	1	0	XXXXXXXXXX	X X	UPOがハイになります。
0	0	0	0	XXXXXXXXXX	X X	DACレジスタに対する空動作(NOP)
1	1	1	0	XXXXXXXXXX	X X	モード1。DOUTはSCLKの立上りエッジでクロックアウトされます。 全てのDACが更新されます。
1	0	1	0	XXXXXXXXXX	X X	モード0。DOUTはSCLKの立下がりエッジでクロックアウトされます。 全てのDACが更新されます(デフォルト)。

"X" = 任意

図5に、シリアルインタフェースのタイミングの必要条件を示します。DACのシリアルインタフェースをイネーブルするためには、チップセレクトピン($\overline{CS}$)がローである必要があります。 $\overline{CS}$ がハイの時は、インタフェース制御回路がディセーブルされます。最初のビットを正しくクロックインするには、 $\overline{CS}$ がシリアルクロック(SCLK)の立上りエッジよりも少なくとも t_{CSS} 以前にローになっている必要があります。 $\overline{CS}$ がローの時には、データがSCLKの立上りエッジでシリアルデータ入力ピン(DIN)を通じて内部シフトレジスタにクロックインされます。最大保証クロック周波数は、10MHzです。データは、 $\overline{CS}$ の立上りエッジで該当するMAX5250入力/DACレジスタにラッチインされます。

プログラミングコマンド「Load-All-DACs-From-Shift-Register (全てのDACをシフトレジスタからロード)」を使用すると、入力シフトレジスタの同じデジタルコードで同時に全ての入力及びDACレジスタにロードできます。空動作(NOP)コマンドはレジスタの内容に影響を与えないため、MAX5250をデジタイゼーション接続する場合に便利です(「デバイスのデジタイゼーション接続」の項を参照)。どのクロックエッジでシリアルデータを

DOUTからシフトアウトするかを変更するコマンドは、全ての入力レジスタのデータを、対応するDACレジスタにロードする動作も行います。

シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。MAX5250は、データをDOUTからクロックアウトするタイミングをSCLKの立上りエッジ(モード1)と立下がりエッジ(モード0)のどちらにするかプログラムできます。モード0では、DOUTの出力データはDINの入力データから16.5クロックサイクル遅れるため、Microwire、SPI/QSPI及びその他のシリアルインタフェースとのコンパチビリティが保持されます。モード1の出力データは、入力データから16クロックサイクル遅れます。パワーアップ時のDOUTは、デフォルトでモード0のタイミングになります。

ユーザープログラマブルロジック出力(UPO)

ユーザープログラマブルロジック出力(UPO)を使用すると、MAX5250のシリアルインタフェースを通じて外部デバイスを制御できます(表1)。

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

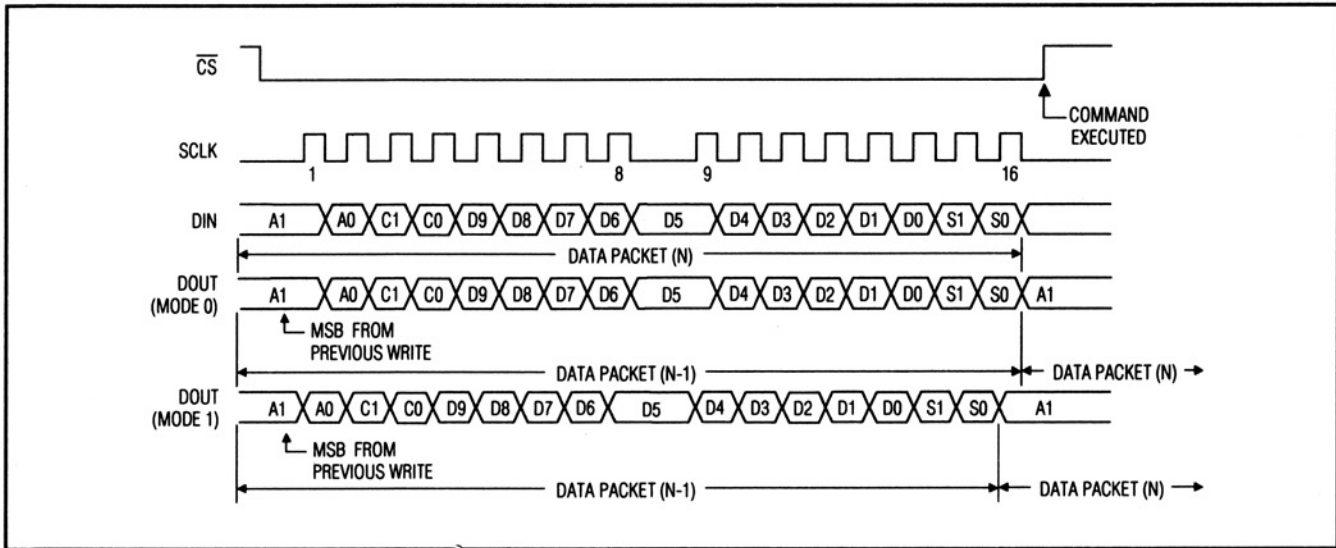


図5. シリアルインタフェースタイミング図

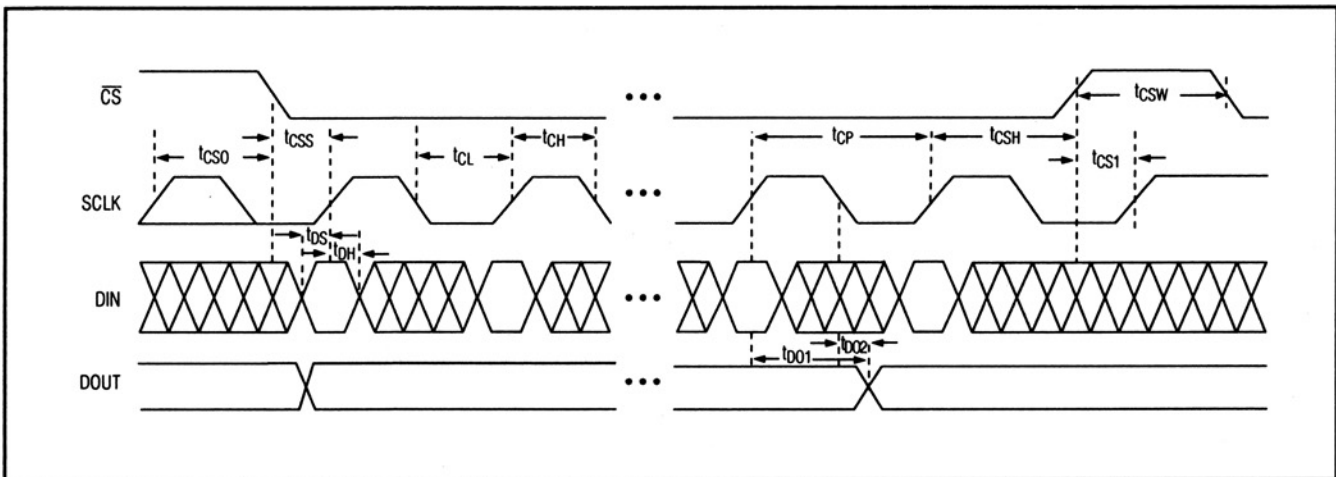


図6. シリアルインタフェースタイミング詳細図

パワーダウン(PDL)

パワーダウンロックアウトピン $\overline{\text{PDL}}$ がローの時、ソフトウェアシャットダウンがディセーブルされます。シャットダウン時に $\overline{\text{PDL}}$ がハイからローに遷移すると、デバイスはウェイクアップしてシャットダウン前の出力状態になります。 $\overline{\text{PDL}}$ は、デバイスを非同期でウェイクアップするために使用することもできます。

デジチェーン接続

任意の数のMAX5250をデジチェーン接続できます。そのためには、チェーンの中の1個のデバイスのDOUTピンを次のデバイスのDINピンに接続します(図7)。

MAX5250のDOUTピンは内部にアクティブなプルアップを備えているため、DOUTのシンク/ソース能力が容量性負荷の放電/充電に必要な時間を決定します。「電気的特性」のシリアルデータ出力 V_{OH} 及び V_{OL} の仕様を参照してください。

図8に、複数のMAX5250を接続するための別方法を示します。この構成では、データバスは全てのデバイスに共通になっており、デジチェーンを通じてデータをシフトするわけではありません。この構成では、各ICについて専用のチップセレクト入力($\overline{\text{CS}}$)が必要なことから、必要なI/Oラインの数が増えます。

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

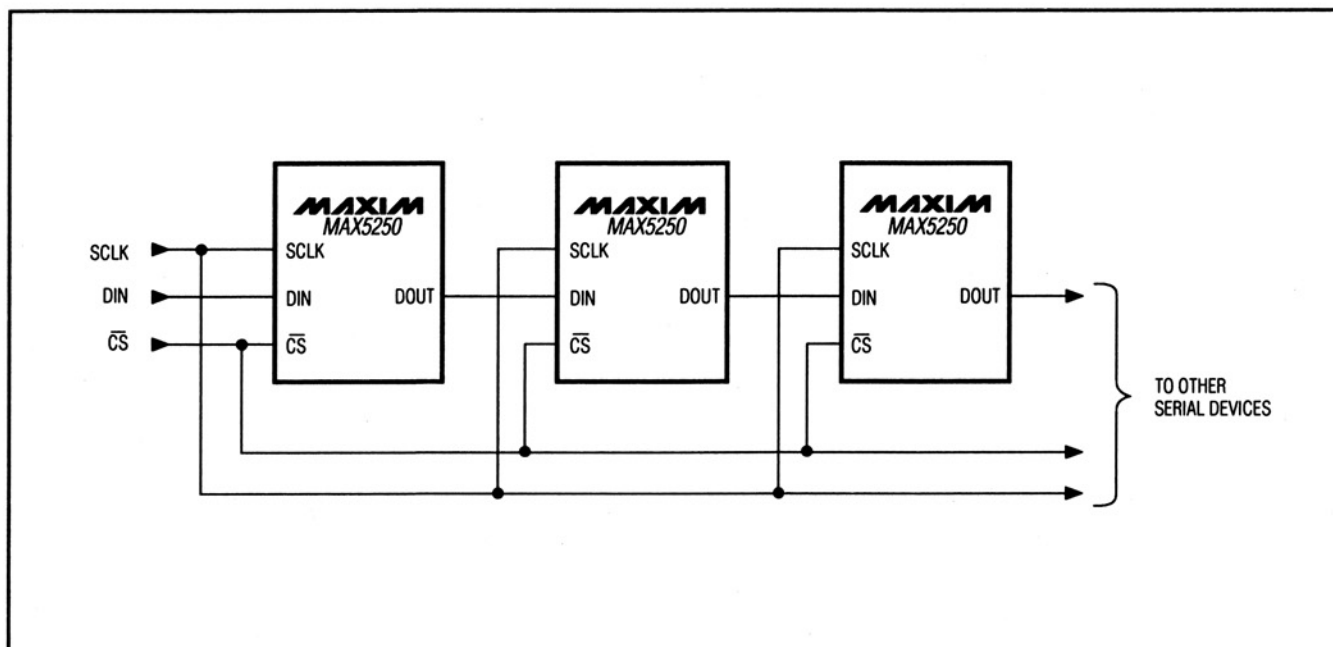


図7. MAX5250のデジチェーン接続

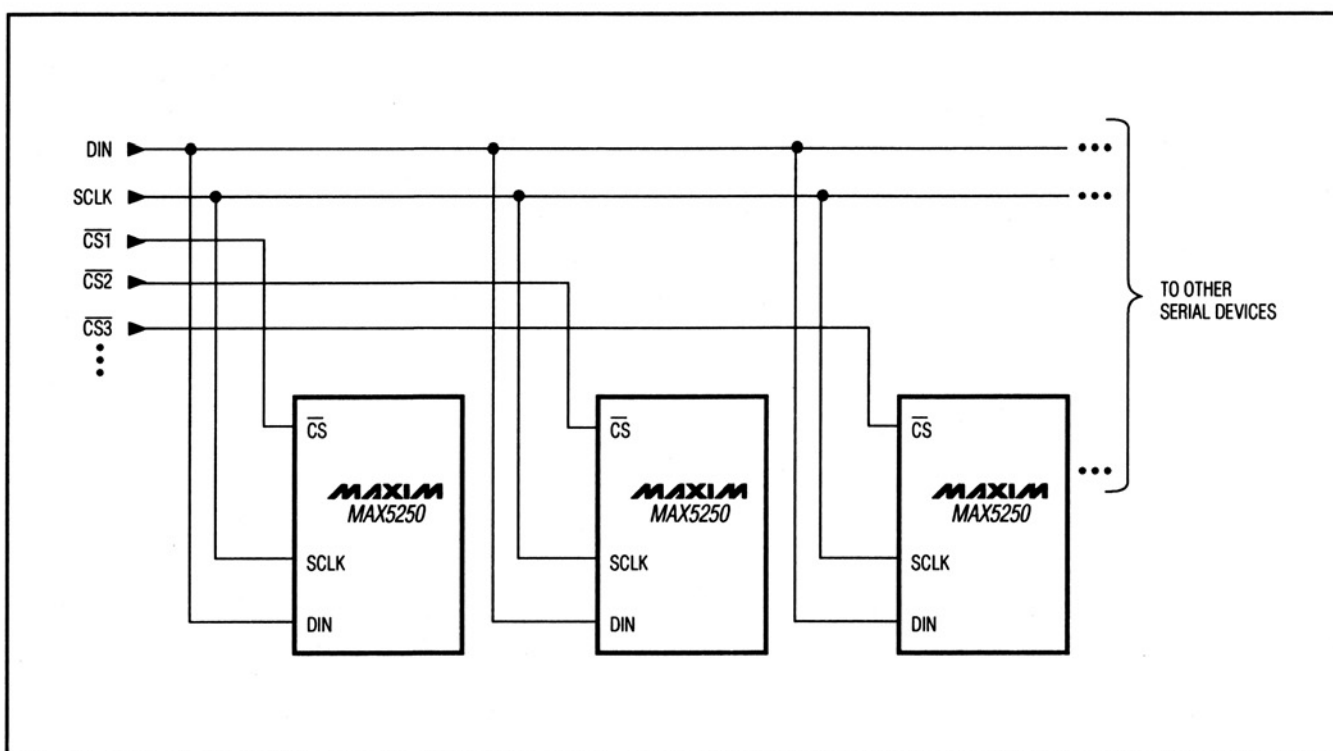


図8. 複数のMAX5250がコモンDINラインを共有

低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

アプリケーション情報

ユニポーラ出力

ユニポーラ出力の場合、出力電圧とリファレンス入力
は同じ極性を持っています。図9に、MAX5250のユニ
ポーラ出力回路を示します(これが標準動作回路になっ
ています)。表2に、ユニポーラ出力コードを示します。
レイルトゥレイルの出力については、図10を参照して
ください。この回路はMAX5250の出力アンプが閉ループ
利得+2に設定されており、2.5Vのリファレンスを使用
した場合に0V~5Vのフルスケール電圧範囲を提供し
ます。

表2. ユニポーラコード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	11(00)	$+V_{REF} \left(\frac{1023}{1024} \right)$
1000	0000	01(00)	$+V_{REF} \left(\frac{513}{1024} \right)$
1000	0000	00(00)	$+V_{REF} \left(\frac{512}{1024} \right) = \frac{+V_{REF}}{2}$
0111	1111	11(00)	$+V_{REF} \left(\frac{511}{1024} \right)$
0000	0000	01(00)	$+V_{REF} \left(\frac{1}{1024} \right)$
0000	0000	00(00)	0V

表3. バイポーラコード表

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	11(00)	$+V_{REF} \left(\frac{511}{512} \right)$
1000	0000	01(00)	$+V_{REF} \left(\frac{1}{512} \right)$
1000	0000	00(00)	0V
0111	1111	11(00)	$-V_{REF} \left(\frac{1}{512} \right)$
0000	0000	01(00)	$-V_{REF} \left(\frac{511}{512} \right)$
0000	0000	00(00)	$-V_{REF} \left(\frac{512}{512} \right) = -V_{REF}$

() Sub-bits

バイポーラ出力

MAX5250の出力は、図11の回路を使用してバイポーラ
動作用に構成できます。

$$V_{OUT} = V_{REF} \left[\left(\frac{2NB}{1024} \right) - 1 \right]$$

ここで、NBはDACのバイナリ入力コードの数値です。
表3に、図11の回路のデジタルコード(オフセット
バイナリ)及び対応する出力電圧を示します。

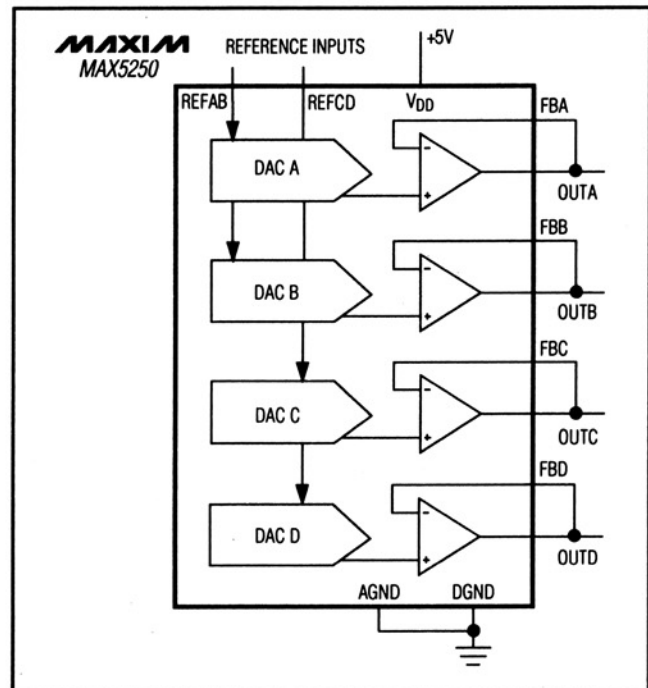
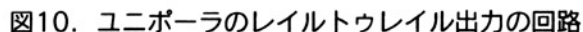


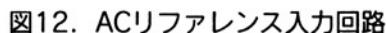
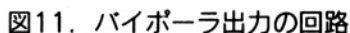
図9. ユニポーラ出力回路

レイルトゥレイルは日本モトローラの登録商標です。

MAX5250



ここで、NBはDACのバイナリ入力コードの数値、Rは図13に示されている検出抵抗です。



低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

MAX5250

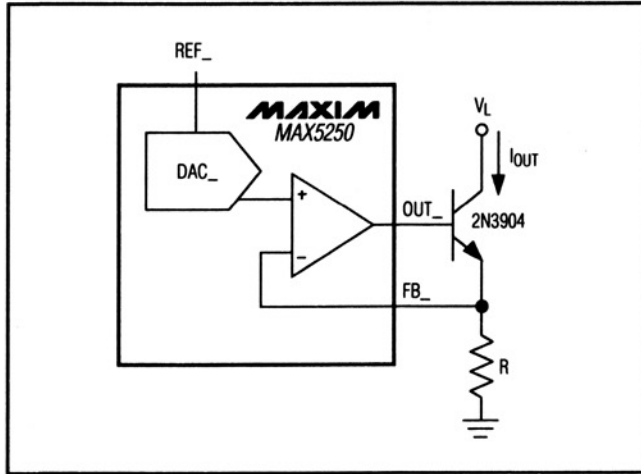


図13. デジタルプログラマブル電流ソース

電源に関する考慮

パワーアップ時に、全ての入力及びDACレジスタはクリア(ゼロコードに設定)され、DOUTはモード0になります(シリアルデータはクロックの立下がりエッジでDOUTからシフトアウト)。

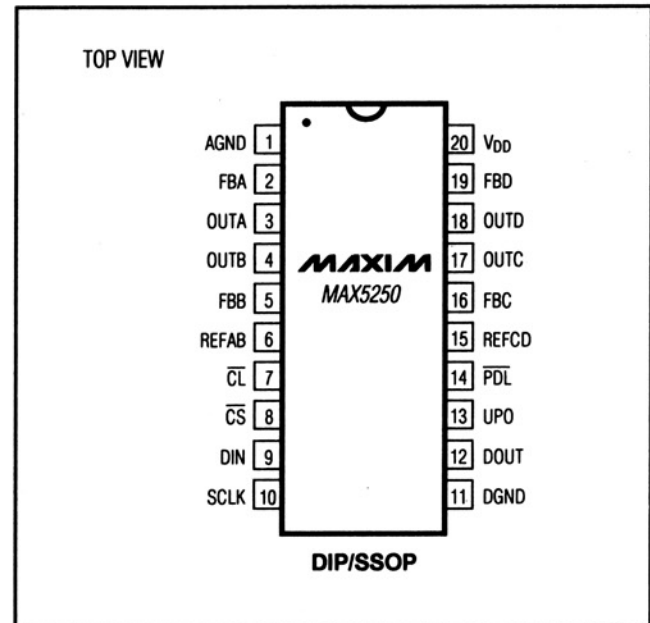
MAX5250に定格通りの性能を発揮させるためには、REFAB/REFCDを($V_{DD} - 1.4V$)よりも低くしてください。 V_{DD} は、 $4.7\mu F$ コンデンサと $0.1\mu F$ コンデンサを並列に使用してAGNDにバイパスしてください。リード線は短くし、バイパスコンデンサは電源ピンのできるだけ近くに取り付けてください。

接地及びレイアウト

AGNDとDGNDの間のデジタル又はACトランジェント信号が原因となり、アナログ出力にノイズが発生することがあります。AGNDとDGNDをDACのところできちんと接続し、それをできるだけ良質のグラウンドに接続してください。

プリント基板のグラウンドレイアウトを良くすることにより、DAC出力、リファレンス入力及びデジタル入力の間のクロストークを最小限に抑えることができます。アナログラインをデジタルラインから遠ざけてクロストークを低減してください。ワイヤラッピングボードはお勧めできません。

ピン配置



低電力、クワッド、10ビット電圧出力DAC シリアルインタフェース付

型番(続き) _____

チップ情報 _____

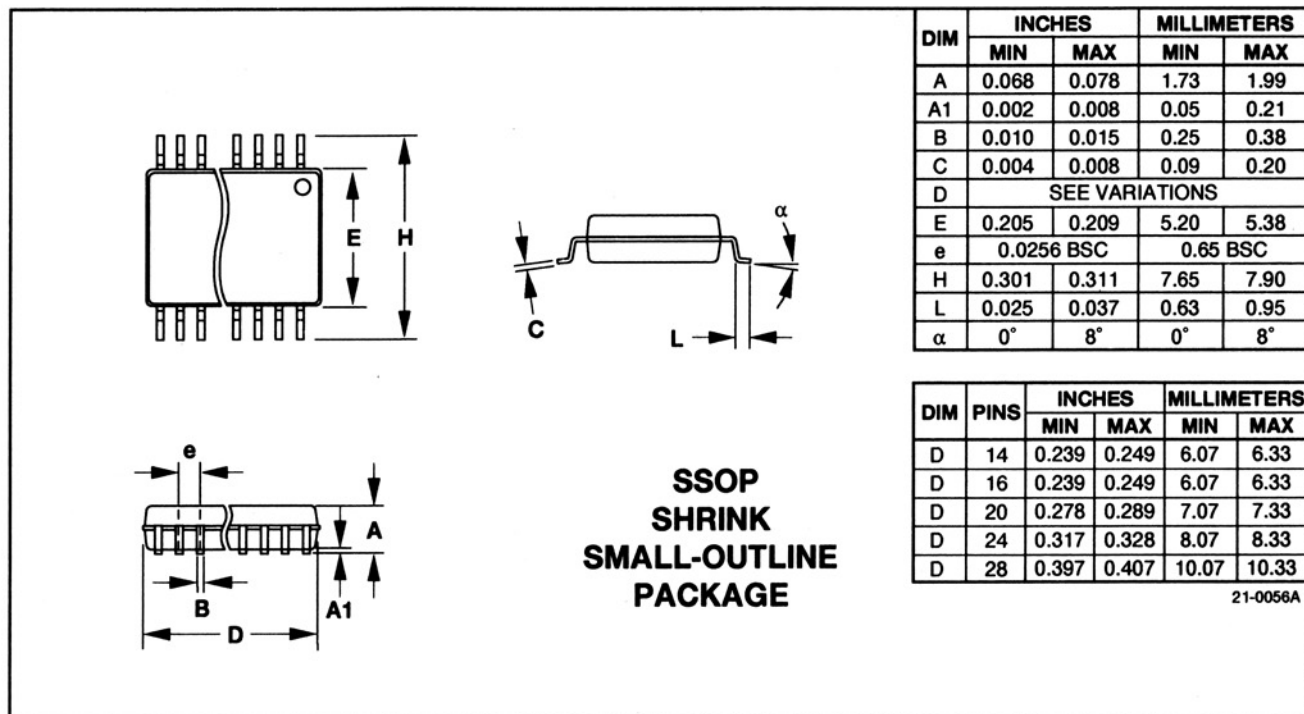
TRANSISTOR COUNT: 4337

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5250AEPP	-40°C to +85°C	20 Plastic DIP	±1/2
MAX5250BEPP	-40°C to +85°C	20 Plastic DIP	±1
MAX5250AEAP	-40°C to +85°C	20 SSOP	±1/2
MAX5250BEAP	-40°C to +85°C	20 SSOP	±1
MAX5250BMJP	-55°C to +125°C	20 CERDIP*	±1

*Contact factory for availability and processing to MIL-STD-883.

パッケージ _____

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**