

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

概要

MAX5232/MAX5233低電力、デュアル10ビット電圧出力デジタル-アナログコンバータ(DAC)は、10ppm/°C高精度バンドギャップ電圧リファレンス内蔵、および高精度出力アンプを特徴としています。MAX5233は内部2.465Vリファレンスで5Vの単一電源で動作し、4.092Vのフルスケール出力範囲を特徴としています。MAX5232は内部1.234Vリファレンスで3Vの単一電源で動作し、2.046Vのフルスケール出力範囲を特徴としています。MAX5233はわずか470μA、MAX5232はわずか420μAの消費電流となっています。両デバイスは低電力(2μA)ソフトウェアおよびハードウェアによるシャットダウンモードを特徴としています。

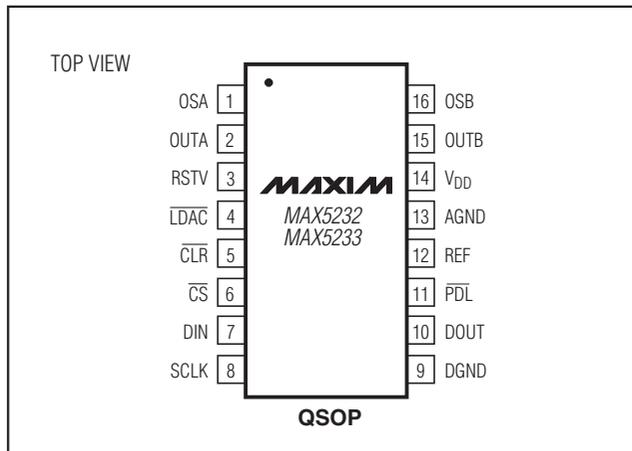
MAX5232/MAX5233は、SPI™/QSPI™/MICROWIRE™とコンパチブルな13.5MHz、3線シリアルインタフェースの特長を備えています。追加のデータ出力(DOUT)はデジタイゼーションおよびリードバックを可能にしています。各DACはダブルバッファデジタル入力を備えています。MAX5232/MAX5233は2つのソフトウェア選択可能シャットダウン出力インピーダンス(1kΩまたは200kΩ)を特徴としています。パワーアップリセット機能はDAC出力をグランド、または中間スケールDACコードで設定します。

MAX5232/MAX5233は工業用拡張温度範囲(-40°C ~ +85°C)の完全仕様となっており、16ピンQSOPパッケージで提供されています。

アプリケーション

産業プロセス制御
自動試験機器
デジタルオフセットおよび利得調整
モーション制御
マイクロプロセッサ制御システム

ピン配置



特長

- ◆ 内部10ppm/°C高精度バンドギャップリファレンス
2.465V (MAX5233)
1.234V (MAX5232)
- ◆ 単一電源動作
5V (MAX5233)
3V (MAX5232)
- ◆ 低消費電流
470μA (MAX5233)
420μA (MAX5232)
- ◆ 13.5MHz SPI/QSPI/MICROWIREコンパチブル
3線シリアルインタフェース
- ◆ ピン設定可能パワーアップリセット状態をゼロ
またはミッドスケール出力電圧に設定
- ◆ 設定可能なシャットダウンモード、
1kΩまたは200kΩ内部負荷付
- ◆ シャットダウンまたはリセット前に出力ステートを
リコール
- ◆ バッファ出力で5kΩ || 100pFの負荷を駆動
- ◆ パッケージ：省スペース16ピンQSOP

型番

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX5232EEE+	-40°C to +85°C	16 QSOP	±0.5
MAX5233EEE+	-40°C to +85°C	16 QSOP	±0.5

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

注：有鉛品についてはお問い合わせください。

ファンクションダイアグラムはデータシートの最後に記載されています。

SPIおよびQSPIは、Motorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

ABSOLUTE MAXIMUM RATINGS

V_{DD} to AGND, DGND-0.3V to +6V
 AGND to DGND-0.3V to +0.3V
 Digital Inputs to DGND-0.3V to +6V
 Digital Output (DOUT) to DGND-0.3V to V_{DD} + 0.3V
 OUT₋ to AGND-0.3V to V_{DD} + 0.3V
 OS₋ to AGND-4V to V_{DD} + 0.3V

Maximum Current into Any Pin50mA
 Continuous Power Dissipation (T_A = +70°C)
 16-Pin QSOP (derate 8.3mW/°C above +70°C)667mW
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5233

(V_{DD} = +4.5V to +5.5V, V_{OS-} = V_{AGND} = V_{DGND} = 0V, R_L = 5kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		10			Bits
Integral Nonlinearity (Note 1)	INL				±0.5	LSB
Differential Nonlinearity	DNL				±1	LSB
Offset Error (Note 2)	V _{OS}				±3	mV
Offset-Temperature Coefficient (Note 3)	TCV _{OS}			8		μV/°C
Full-Scale Voltage	V _{FS}	Code = 3FF hex, T _A = +25°C	4.067	4.092	4.117	V
Full-Scale Temperature Coefficient (Notes 3 and 6)	TCV _{FS}			10	55	ppm/°C
Power-Supply Rejection	PSR	4.5V ≤ V _{DD} ≤ 5.5V		175	500	μV
DC Crosstalk (Note 4)					100	μV
REFERENCE						
Output-Voltage	V _{REF}			2.465		V
Output Voltage Temperature Coefficient (Note 3)	TCV _{REF}			10		ppm/°C
Reference External Load Regulation	V _{OUT} /I _{OUT}	0 ≤ I _{OUT} ≤ 100μA (sourcing)		0.1	2	μV/μA
Reference Short-Circuit Current				4		mA
DIGITAL INPUTS						
Input High Voltage	V _{IH}		0.7 × V _{DD}			V
Input Low Voltage	V _{IL}				0.3 × V _{DD}	V
Input Hysteresis	V _{HYS}			200		mV
Input Leakage Current	I _{IN}	Digital inputs = 0 or V _{DD}			±1	μA
Input Capacitance	C _{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V _{OH}	I _{SOURCE} = 2mA	4.25			V
Output Low Voltage	V _{OL}	I _{SINK} = 2mA			0.2	V

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

ELECTRICAL CHARACTERISTICS—MAX5233 (continued)

($V_{DD} = +4.5V$ to $+5.5V$, $V_{OS_} = V_{AGND} = V_{DGND} = 0V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.6		V/ μs
Voltage-Output Settling Time		To $\pm 0.5LSB$, $V_{STEP} = \pm 4V$ ($V_{DD} - 0.25V$) $\geq V_{OUT} \geq 0.25V$		10		μs
Output-Voltage Swing (Note 5)				0 to V_{DD}		V
OS_ Input Resistance	ROS		83	121		k Ω
Time Required for Output to Settle After Turning on V_{DD} (Note 6)				95	400	μs
Time Required for Output to Settle After Exiting Full Power-Down (Note 6)				95	400	μs
Time Required for Output to Settle After Exiting DAC Power-Down (Note 6)				12	160	μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 5V_{P-P}$		5		nV-s
Major-Carry Glitch Energy				90		nV-s
POWER SUPPLIES						
Power-Supply Voltage	V_{DD}		4.5		5.5	V
Power-Supply Current (Note 7)	I_{DD}			470	525	μA
Power-Supply Current in Power-Down and Shutdown Modes (Note 7)		Full power-down mode		1.4	5	μA
		One DAC shutdown mode		350	390	
		Both DACs shutdown mode		235	260	

ELECTRICAL CHARACTERISTICS—MAX5232

($V_{DD} = +2.7V$ to $+3.6V$, $V_{OS_} = V_{AGND} = V_{DGND} = 0V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution	N		10			Bits
Integral Nonlinearity (Note 1)	INL				± 0.5	LSB
Differential Nonlinearity	DNL				± 1	LSB
Offset Error (Note 2)	V_{OS}				± 3	mV
Offset-Temperature Coefficient (Note 3)	TCV_{OS}			8		$\mu V/^\circ C$
Full-Scale Voltage	V_{FS}	Code = 3FF hex, $T_A = +25^\circ C$	2.0335	2.0460	2.0585	V
Full-Scale Temperature Coefficient (Notes 3 and 6)	TCV_{FS}			10	55	ppm/ $^\circ C$
Power-Supply Rejection	PSR	$2.7V \leq V_{DD} \leq 3.6V$		175	500	μV
DC Crosstalk (Note 4)					100	μV

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

ELECTRICAL CHARACTERISTICS—MAX5232 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{OS_} = V_{AGND} = V_{DGND} = 0V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE						
Output Voltage	V_{REF}			1.234		V
Output-Voltage Temperature Coefficient (Note 3)	TCV_{REF}			10		ppm/ $^\circ C$
Reference External Load Regulation	V_{OUT}/I_{OUT}	$0 \leq I_{OUT} \leq 100\mu A$ (sourcing)		0.1	2	$\mu V/\mu A$
Reference Short-Circuit Current				4		mA
DIGITAL INPUTS						
Input High Voltage	V_{IH}		$0.7 \times V_{DD}$			V
Input Low Voltage	V_{IL}				$0.3 \times V_{DD}$	V
Input Hysteresis	V_{HYS}			200		mV
Input Leakage Current	I_{IN}	Digital inputs = 0 or V_{DD}			± 1	μA
Input Capacitance	C_{IN}			8		pF
DIGITAL OUTPUTS						
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$	2.3			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$			0.25	V
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR			0.6		V/ μs
Voltage-Output Settling Time		To ± 0.5 LSB, $V_{STEP} = \pm 2V$ ($V_{DD} - 0.25V$) $\geq V_{OUT} \geq 0.25V$		10		μs
Output-Voltage Swing (Note 5)				0 to V_{DD}		V
OS_ Input Resistance	R_{OS}		83	121		$k\Omega$
Time Required for Output to Settle After Turning on V_{DD} (Note 6)				95	400	μs
Time Required for Output to Settle After Exiting Full Power-Down (Note 6)				95	400	μs
Time Required for Output to Settle After Exiting DAC Power-Down (Note 6)				12	160	μs
Digital Feedthrough		$\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3VP-P$		5		nV-s
Major-Carry Glitch Energy				90		nV-s

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

ELECTRICAL CHARACTERISTICS—MAX5232 (continued)

($V_{DD} = +2.7V$ to $+3.6V$, $V_{OS_} = V_{AGND} = V_{DGND} = 0V$, $R_L = 5k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Power-Supply Voltage	V_{DD}		2.7		3.6	V
Power-Supply Current (Note 7)	I_{DD}			420	475	μA
Power-Supply Current in Power-Down and Shutdown Modes (Note 7)		Full power-down mode		0.9	5	μA
		One DAC shutdown mode		320	360	
		Both DACs shutdown mode		220	245	

Note 1: Accuracy is guaranteed as shown in the following table:

V_{DD} (V)	ACCURACY GUARANTEED	
	FROM CODE	TO CODE
3	6	1023
5	3	1023

Note 2: Offset is measured at the code closest to 12mV.

Note 3: Temperature coefficient is determined by the box method in which the maximum ΔV_{OUT} over the temperature range is divided by ΔT .

Note 4: DC crosstalk is measured as follows: set DAC A to midscale, and DAC B to zero, and measure DAC A output; then change DAC B to full scale, and measure ΔV_{OUT} for DAC A. Repeat the same measurement with DAC A and DAC B interchanged. DC crosstalk is the maximum ΔV_{OUT} measured.

Note 5: Accuracy is better than 1LSB for $V_{OUT_} = 12mV$ to $V_{DD} - 180mV$.

Note 6: Guaranteed by design, not production tested.

Note 7: $R_{LOAD} = \infty$ and digital inputs are at either V_{DD} or $DGND$.

TIMING CHARACTERISTICS—MAX5233

($V_{DD} = +4.5V$ to $+5.5V$, $V_{AGND} = V_{DGND} = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Figures 1 and 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t_{CP}		74			ns
SCLK Pulse Width High	t_{CH}		30			ns
SCLK Pulse Width Low	t_{CL}		30			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		30			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		0			ns
DIN Setup Time	t_{DS}		30			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay Time	t_{DO1}	$C_{LOAD} = 200pF$		45	100	ns
		$C_{LOAD} = 100pF$		30		
SCLK Fall to DOUT Valid Propagation Delay Time	t_{DO2}	$C_{LOAD} = 200pF$		45	100	ns
		$C_{LOAD} = 100pF$		30		
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		30			ns
\overline{CS} Pulse Width High	t_{CSW}		75			ns
\overline{LDAC} Pulse Width Low	t_{LDL}		30			ns
\overline{CS} Rise to \overline{LDAC} Rise Hold Time	t_{CSLD}	(Note 8)	40			ns

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

TIMING CHARACTERISTICS—MAX5232

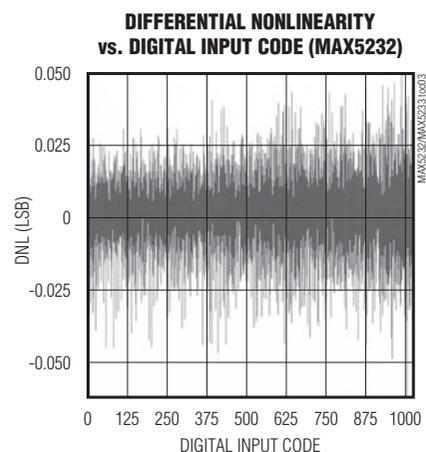
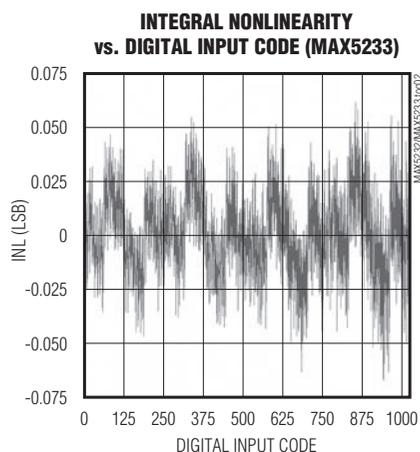
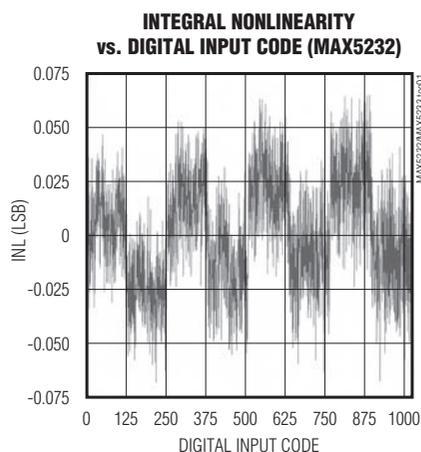
($V_{DD} = +2.7V$ to $+3.6V$, $V_{AGND} = V_{DGND} = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)
(Figures 1 and 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t _{CP}		74			ns
SCLK Pulse Width High	t _{CH}		30			ns
SCLK Pulse Width Low	t _{CL}		30			ns
\overline{CS} Fall to SCLK Rise Setup Time	t _{CSS}		30			ns
SCLK Rise to \overline{CS} Rise Hold Time	t _{CSH}		0			ns
DIN Setup Time	t _{DS}		30			ns
DIN Hold Time	t _{DH}		0			ns
SCLK Rise to DOUT Valid Propagation Delay Time	t _{DO1}	C _{LOAD} = 200pF		60	200	ns
		C _{LOAD} = 100pF		45		
SCLK Fall to DOUT Valid Propagation Delay Time	t _{DO2}	C _{LOAD} = 200pF		60	200	ns
		C _{LOAD} = 100pF		45		
SCLK Rise to \overline{CS} Fall Delay	t _{CS0}		10			ns
\overline{CS} Rise to SCLK Rise Hold Time	t _{CS1}		30			ns
\overline{CS} Pulse Width High	t _{CSW}		75			ns
\overline{LDAC} Pulse Width Low	t _{LDL}		30			ns
\overline{CS} Rise to \overline{LDAC} Rise Hold Time	t _{CSLD}	(Note 8)	75			ns

Note 8: This timing requirement applies only to \overline{CS} rising edges, which execute commands modifying the DAC input register contents.

標準動作特性

($V_{DD} = +3V$ (MAX5232), $V_{DD} = +5V$ (MAX5233), $R_L = 5k\Omega$, $C_L = 100pF$, $OS_{-} = AGND$, both DACs enabled with full-scale output code, $T_A = +25^\circ C$, unless otherwise noted.)

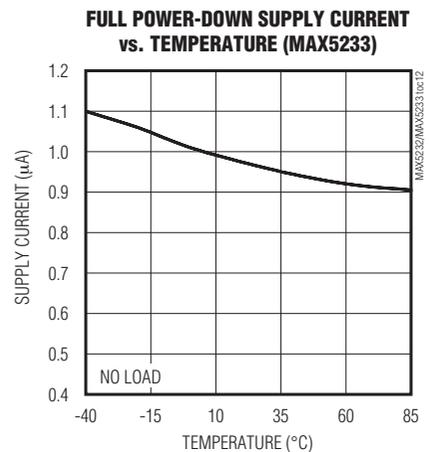
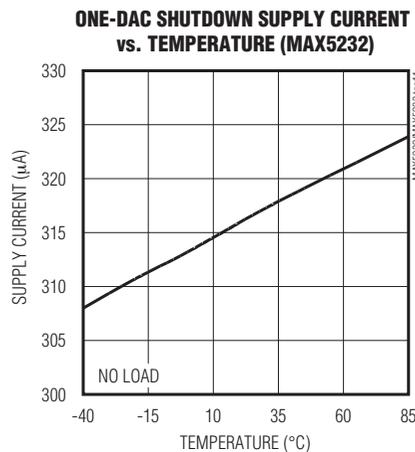
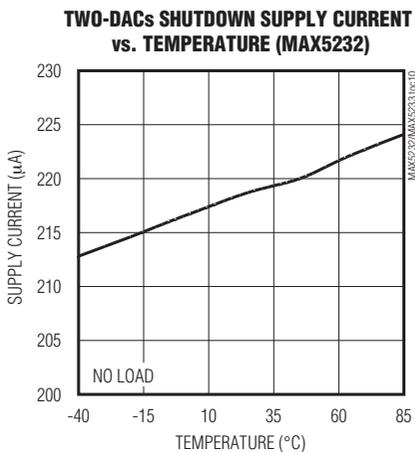
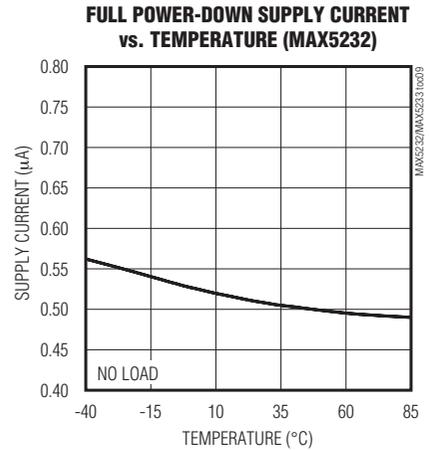
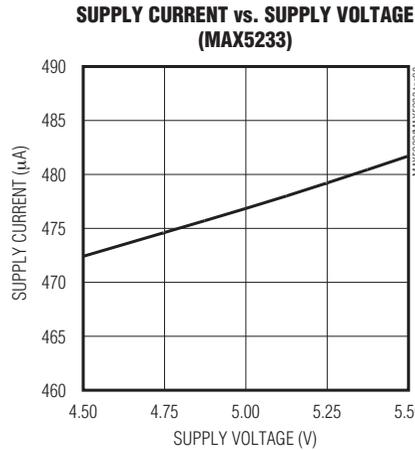
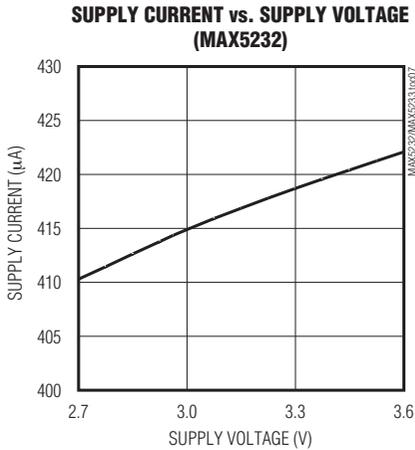
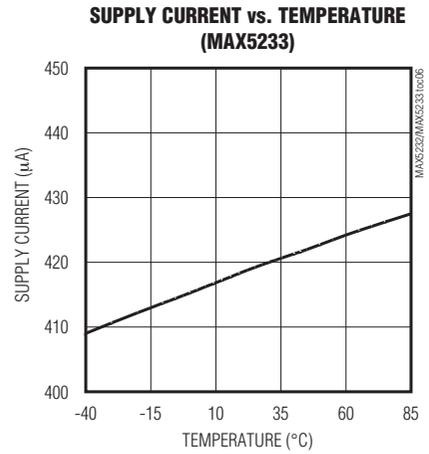
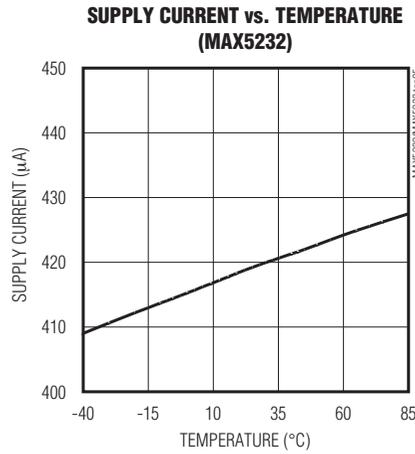
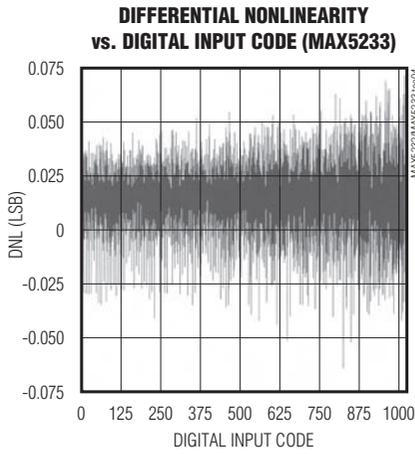


3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

標準動作特性(続き)

($V_{DD} = +3V$ (MAX5232), $V_{DD} = +5V$ (MAX5233), $R_L = 5k\Omega$, $C_L = 100pF$, $OS_{-} = AGND$, both DACs enabled with full-scale output code, $T_A = +25^{\circ}C$, unless otherwise noted.)



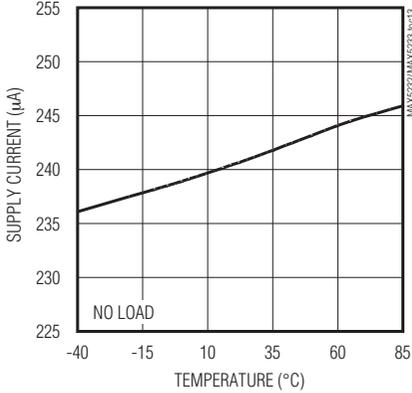
3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

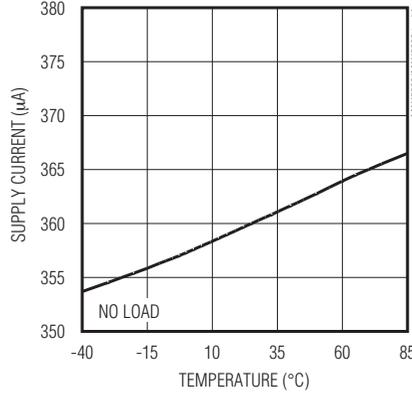
標準動作特性(続き)

($V_{DD} = +3V$ (MAX5232), $V_{DD} = +5V$ (MAX5233), $R_L = 5k\Omega$, $C_L = 100pF$, $OS_{-} = AGND$, both DACs enabled with full-scale output code, $T_A = +25^{\circ}C$, unless otherwise noted.)

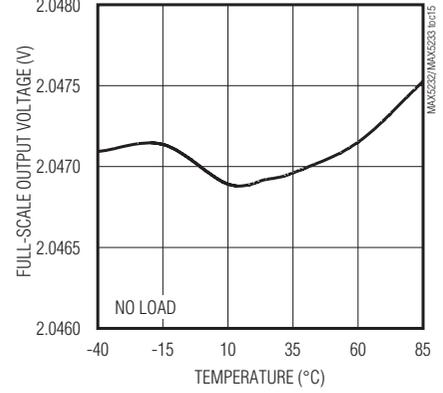
TWO-DACs SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE (MAX5233)



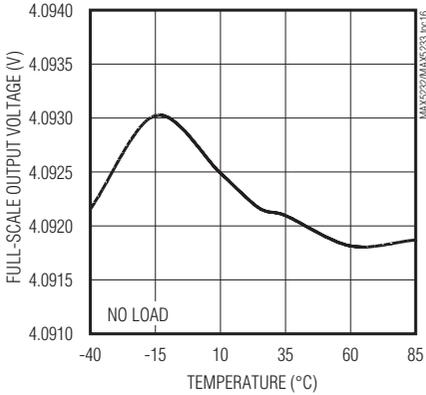
ONE-DAC SHUTDOWN SUPPLY CURRENT vs. TEMPERATURE (MAX5233)



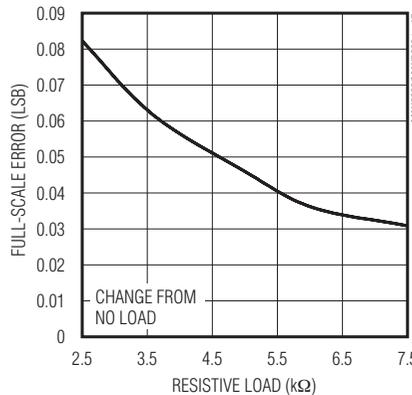
FULL-SCALE OUTPUT VOLTAGE vs. TEMPERATURE (MAX5232)



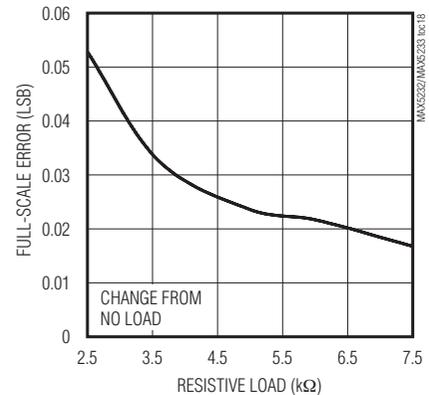
FULL-SCALE OUTPUT VOLTAGE vs. TEMPERATURE (MAX5233)



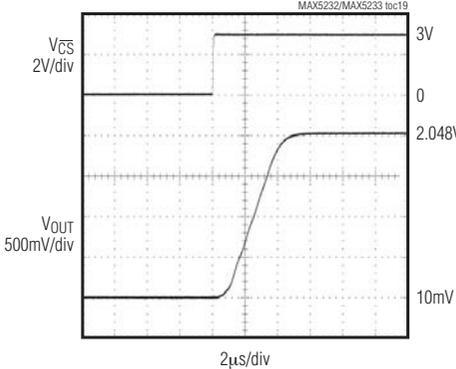
FULL-SCALE ERROR vs. RESISTIVE LOAD (MAX5232)



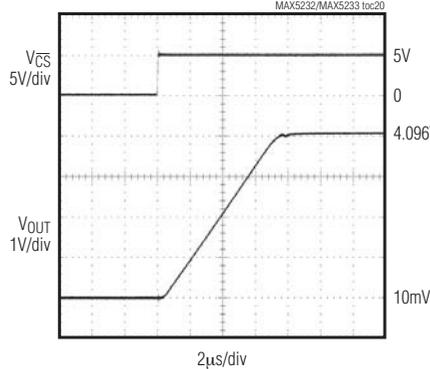
FULL-SCALE ERROR vs. RESISTIVE LOAD (MAX5233)



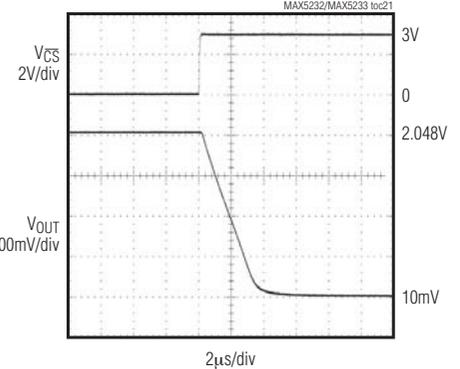
DYNAMIC RESPONSE RISE TIME (MAX5232)



DYNAMIC RESPONSE RISE TIME (MAX5233)



DYNAMIC RESPONSE FALL TIME (MAX5232)



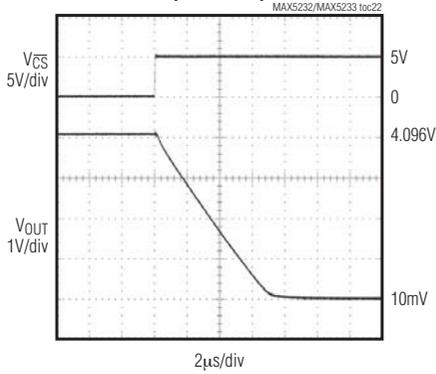
3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

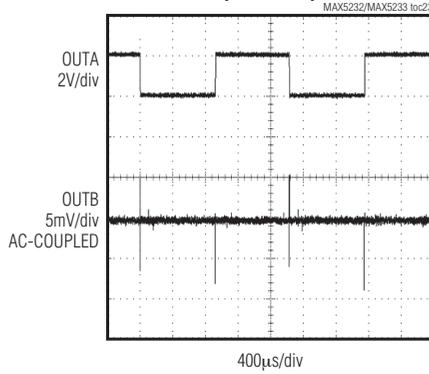
標準動作特性(続き)

($V_{DD} = +3V$ (MAX5232), $V_{DD} = +5V$ (MAX5233), $R_L = 5k\Omega$, $C_L = 100pF$, $OS_- = AGND$, both DACs enabled with full-scale output code, $T_A = +25^\circ C$, unless otherwise noted.)

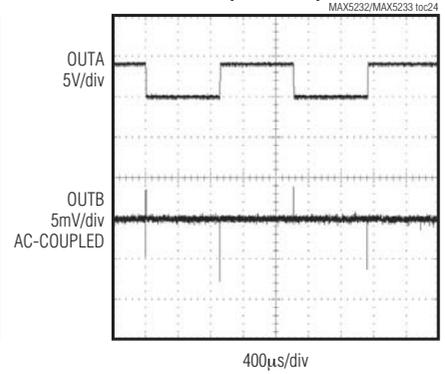
**DYNAMIC RESPONSE FALL TIME
(MAX5233)**



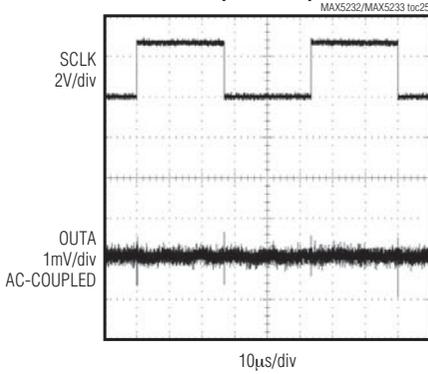
**ANALOG CROSSTALK
(MAX5232)**



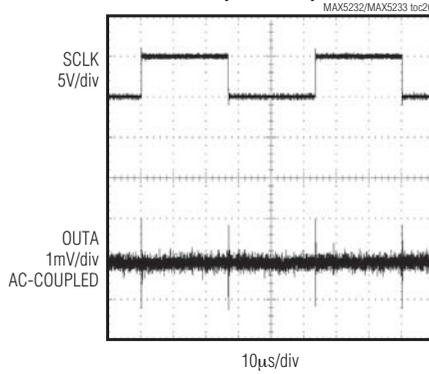
**ANALOG CROSSTALK
(MAX5233)**



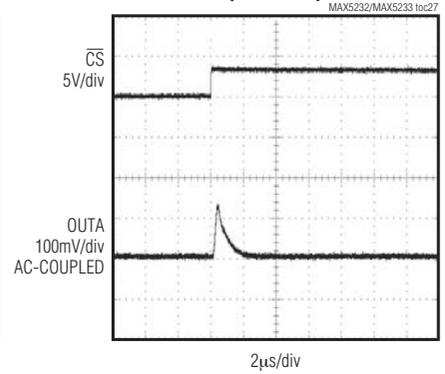
**DIGITAL FEEDTHROUGH
(MAX5232)**



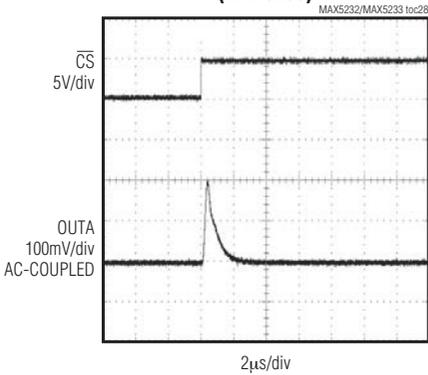
**DIGITAL FEEDTHROUGH
(MAX5233)**



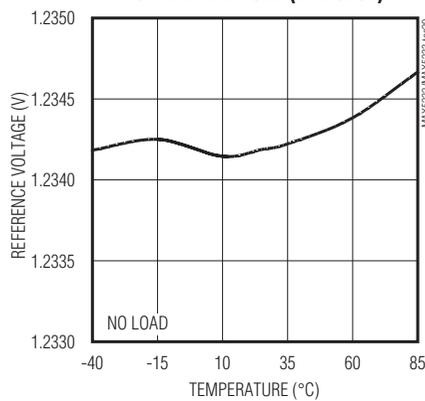
**MAJOR-CARRY TRANSITION
(MAX5232)**



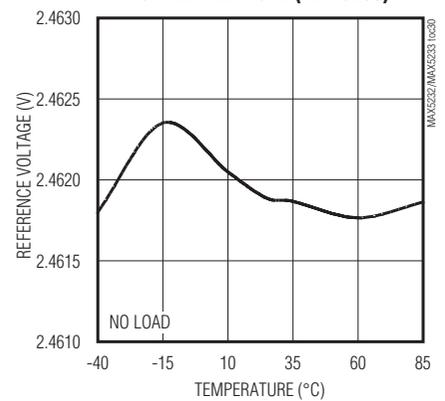
**MAJOR-CARRY TRANSITION
(MAX5233)**



**REFERENCE VOLTAGE
vs. TEMPERATURE (MAX5232)**



**REFERENCE VOLTAGE
vs. TEMPERATURE (MAX5233)**



3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

端子説明

端子	名称	機能
1	OSA	DAC Aオフセット調整
2	OUTA	DAC Aの出力
3	RSTV	リセット値入力 1: リセット値としてミッドスケールを選択するためにはV _{DD} に接続 0: リセット値としてゼロを選択するためにはDGNDに接続
4	$\overline{\text{LDAC}}$	ロードDAC AおよびB
5	$\overline{\text{CLR}}$	入力をクリア。両DAC出力はゼロまたはミッドスケールに設定。両方のDAC内部レジスタ(入力レジスタとDACレジスタ)を所定の(RSTV)ステートにクリア。
6	$\overline{\text{CS}}$	チップ選択入力
7	DIN	シリアルデータ入力。データはSCLKの立上りエッジでクロック入力されます。
8	SCLK	シリアルクロック入力
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	$\overline{\text{PDL}}$	パワーダウンロックアウト。ローの時、両DACのシャットダウンをディセーブル。
12	REF	リファレンス出力。リファレンスは2.465V (MAX5233)または1.234V (MAX5232)公称出力を提供
13	AGND	アナロググランド
14	V _{DD}	正電源電圧。V _{DD} は4.7 μ Fのコンデンサと並列に0.1 μ Fのコンデンサを使用してAGNDへバイパスし、さらにV _{DD} は0.1 μ Fのコンデンサを使用してDGNDにバイパスします。
15	OUTB	DAC B出力
16	OSB	DAC Bオフセット調整

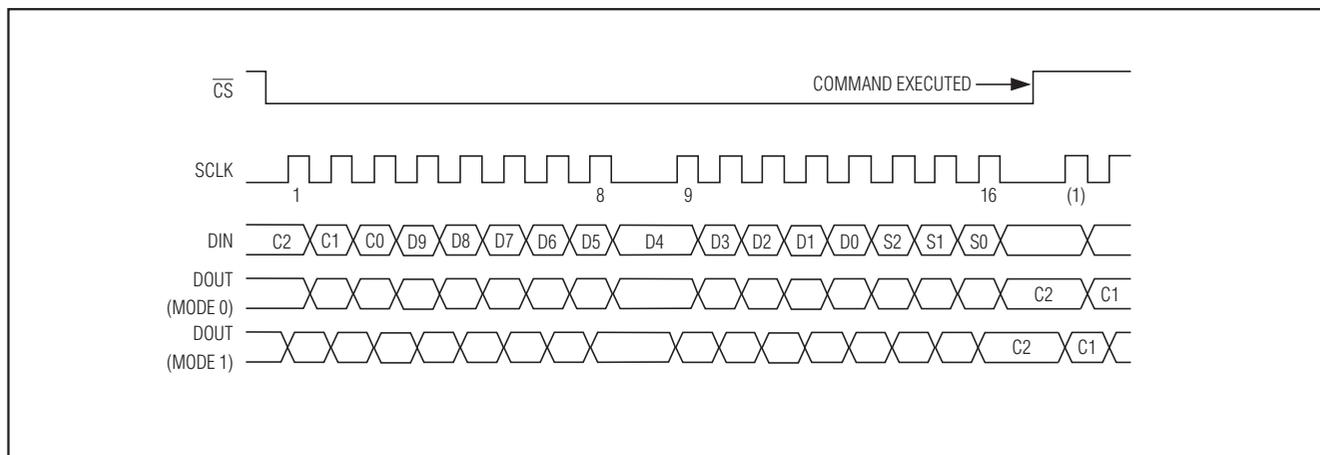


図1. シリアルインタフェースタイミング図

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

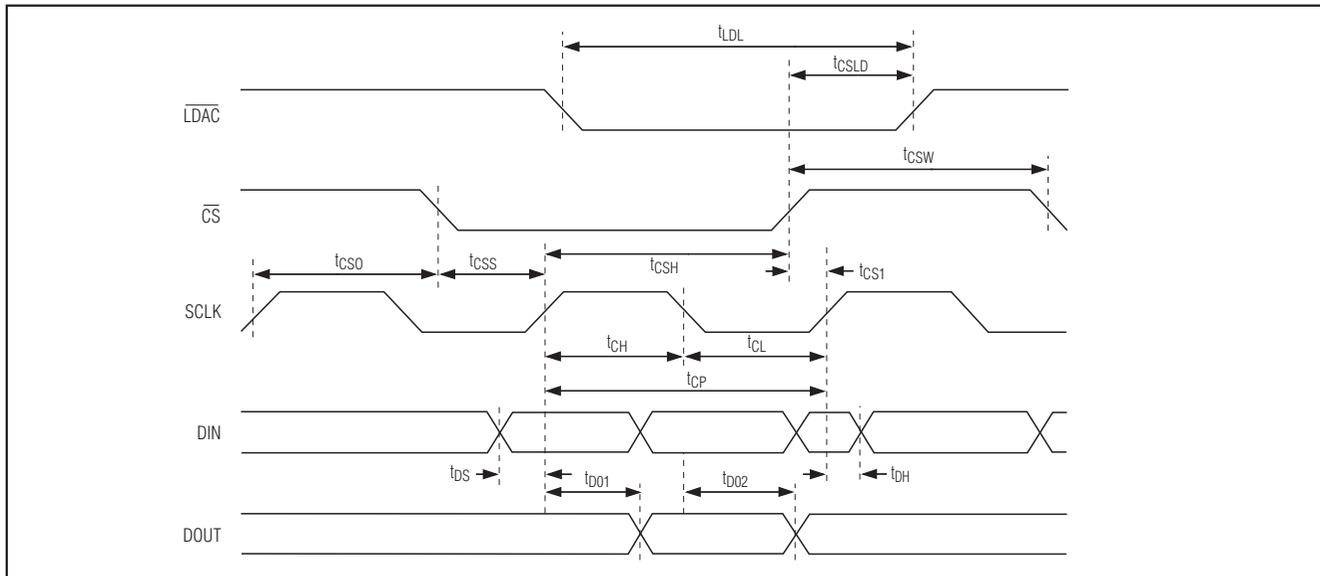


図2. シリアルインタフェースタイミング詳細図

詳細

MAX5232/MAX5233の10ビット電圧出力DACは3線SPI/QSPI/MICROWIRE対応シリアルインタフェースで容易に設定が可能です。デバイスは16ビットデータイン/データアウトシフトレジスタおよび入力レジスタおよびDACレジスタからなる入力を備えています。更に、これらのデバイスは出力電圧スイングを最大にするための1.6384V/Vの利得を生成する高精度にトリミングされた内部抵抗、および1kΩまたは200kΩの設定可能なシャットダウン出力インピーダンスを起用しています。フルスケール出力電圧はMAX5233では4.092V、およびMAX5232では2.046Vとなっています。これらのデバイスは反転レイルトゥレイルラダーネットワークでデジタル入力コードに比例した重み付き出力電圧を生成します(図3)。

内部リファレンス

MAX5232/MAX5233は1.234V (MAX5232)または2.465V (MAX5233)の出力電圧を生成するために内蔵高精度バンドギャップリファレンスを使用しています。わずか10ppm/°Cの低温度係数でREFは最大100μAの電源を取り出し、200pF以下の容量負荷に対して安定しています。

出力アンプ

出力アンプはOS₋がAGNDに接続されている時、1.6384V/Vの利得を提供する内部抵抗器を備えて

います。出力アンプは標準スルーレート0.6V/μsで、100pFと並列の負荷5kΩの場合10μs以内で1/2LSBに安定します。アンプのシャットダウン出力インピーダンスを1kΩまたは200kΩに設定するためにはシリアルインタフェースを使用して下さい。

OS₋は出力においてオフセット電圧を生成するために使用されます。たとえば、1Vオフセットを達成するために1V~(1V + V_{FS}/V_{REF})の出力範囲を生成するためには-1VをOS₋に加えて下さい。未だにDACの出力範囲は最大出力電圧仕様で制約されていることに留意して下さい。

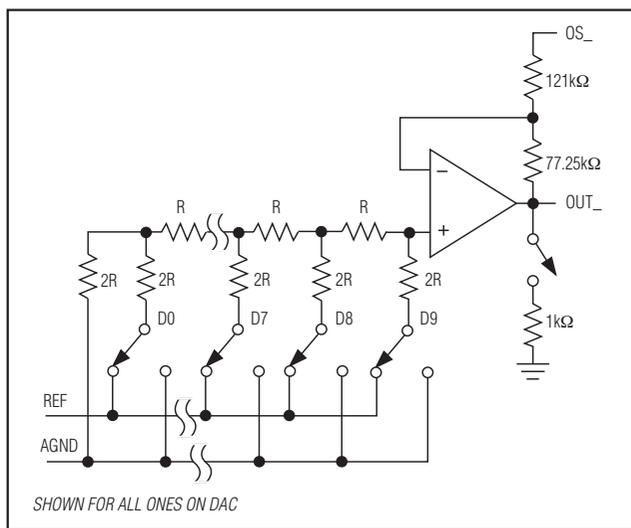


図3. DAC回路簡略図

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

表1. シリアルデータフォーマット

MSB <-----16-bits of serial data-----> LSB		
3 Control Bits	MSB .. 10 Data Bits... LSB	Sub-Bit
C2...C0	D9D0	S2, S1, S0

シリアルインタフェース

MAX5232/MAX5233で使用されている3線シリアルインタフェース(SPI/QSPIおよびMICROWIREコンパチブル)は完全なDAC動作制御が可能です(図4および図5)。図1および図2はシリアルインタフェースのタイミングを示しています。シリアルワードは図1、2、および3に示されているように10個のデータビット(MSBが最初)と1個のサブビットが後続する3つの制御ビットからなっています。3つの制御ビットがすべて0または1の時、D9~D6は追加制御ビットとして使用され、より大きなDAC機能を可能にしています。

デジタル入力は次のいずれをも可能にします: DACレジスタを更新せずに入力レジスタをロードしたり、入力レジスタからDACレジスタを更新したり、または入力およびDACレジスタを同時に更新することができます。

まず、制御ビットおよびD9~D6はDACを独立して動作させることができます。

16ビットデータを(QSPIでは)16ビットワードの1つとして、または(SPIおよびMICROWIREでは)2つの8ビットパケットとしてこの期間中はCSローで送信して下さい。制御ビットおよびD9~D6がどのレジスタを更新するか、およびシャットダウンから出る時のレジスタの状況を決定します。3ビット制御およびD9~D6は以下を決定します。

- 更新されるレジスタ
- パワーダウンおよびシャットダウンモードの選択

図1の一般タイミング図はデータ収集を表しています。CSをローで駆動するとデバイスはデータの受信ができます。さもないければインタフェース制御回路はディセーブルされています。CSをローでDINにおけるデータがSCLKの立上りエッジでレジスタにクロックされます。CSがハイになると、データは制御ビットおよびD9~D6によって、入力および/またはDACレジスタにラッチされます。適正な動作に保証されている最大クロック周波数は13.5MHzです。図2はシリアルインタフェースのより詳細なタイミング図を示したものです。

表2. シリアルインタフェースプログラミングコマンド

16-BIT SERIAL WORD					FUNCTION
C2	C1	C0	D9.....D0	S2-S0	
0	0	1	10-bit DAC data	000	Load input register A; DAC registers are unchanged.
0	1	0	10-bit DAC data	000	Load input register A; all DAC registers are updated.
0	1	1	10-bit DAC data	000	Load all DAC registers from the shift register (start up both DACs with new data, and load the input registers).
1	0	0	X X X X X X X X X X	000	Update both DAC registers from their respective input registers (start up both DACs with data previously stored in the input registers).
1	0	1	10-bit DAC data	000	Load input register B; DAC registers are unchanged.
1	1	0	10-bit DAC data	000	Load input register B; all DAC registers are updated.
1	1	1	P1A P1B X X X X X X X X	000	Shut down both DACs, respectively, according to bits P1A and P1B (see Table 3). Internal bias and reference remain active.
0	0	0	0 0 1 X X X X X X X	000	Update DAC register A from input register A (start up DAC A with data previously stored in input register A).
0	0	0	0 1 1 P1A P1B X X X X X X	000	Full Power-Down. Power down the main bias generator and shut down both DACs, respectively, according to bits P1A and P1B (see Table 3).
0	0	0	1 0 1 X X X X X X X	000	Update DAC register B from input register B (start up DAC B with data previously stored in input register B).
0	0	0	1 1 0 P1A X X X X X X	000	Shut down DAC A according to bit P1A (see Table 3).
0	0	0	1 1 1 P1B X X X X X X	000	Shut down DAC B according to bit P1B (see Table 3).
0	0	0	1 0 0 0 X X X X X X	000	Mode 0. DOUT clocked out on SCLK falling edge (default).
0	0	0	1 0 0 1 X X X X X X	000	Mode 1. DOUT clocked out on SCLK rising edge.

X = 任意

*適切な動作をするためにS0はゼロでなければなりません。

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

パワーダウンおよびシャットダウンモード

表2および3に示されているように、いくつかのシリアルインタフェースコマンドが1つまたは両方のDACをシャットダウンモードにします。シャットダウンモードは完全に各DACで独立しています。シャットダウンにおいてアンプ出力がハイインピーダンスになり、OUT₋は200kΩ (typ)利得抵抗器を介してグラウンドに終端します。オプションとして(表2および3を参照)、OUT₋はAGNDへ追加の1kΩの終端が可能です。

フルパワーダウンモードはメインバイアスジェネレータ、リファレンスおよび両方のDACをシャットダウンします。DAC出力のシャットダウンインピーダンスは表2および3に示されているように独立制御が可能です。

シリアルインタフェースコマンドでシャットダウンモードから出て、DACレジスタを更新します。各DACは同時、または別々にシャットダウンから出ることができます(表2および3を参照)。例えば、両方のDACがシャットダウンした場合、DAC Aレジスタを更新するとDAC Aが起動しますが、DAC Bはシャットダウンのままです。フルパワーダウンモードにおいてはどちらかのDACに電源を投入するとメインバイアスジェネレータにも電源が投入されます。フルパワーダウンから両方のDACをシャットダウンモードに変更するにはステータスの少なくとも1つのDACをウェイクする必要があります。

MAX5232/MAX5233をパワーアップ(V_{DD}をパワーアップ)する際、出力を安定させるのに400μs必要です。フルパワーダウンモードから出る際は、出力を安定させるのにやはり400μs (max)必要になります。DACシャットダウンモードから出る際は、出力を安定させるのに160μs (max)必要となります。

リセット値(RSTV)およびクリア(CLR)入力

非同期でCLRをローに駆動すると、両DAC出力および両DACの全ての内部レジスタ(入力レジスタおよびDACレジスタ)をRSTVのレベルによって、ゼロまたはミッドスケールに強制します。RSTV = DGNDはゼロ値を設定し、RSTV = V_{DD}はミッドスケール値を設定します。

内部パワーオンリセット回路は、電源が最初にデバイスに加えられた時にDAC出力および内部レジスタを前述のようにRSTVのレベルによってゼロまたはミッドスケール

表3. P1シャットダウンモード

P1 (A/B)	SHUTDOWN MODE
0	Shut down with internal 1kΩ load to GND
1	Shut down with internal 200kΩ load to GND

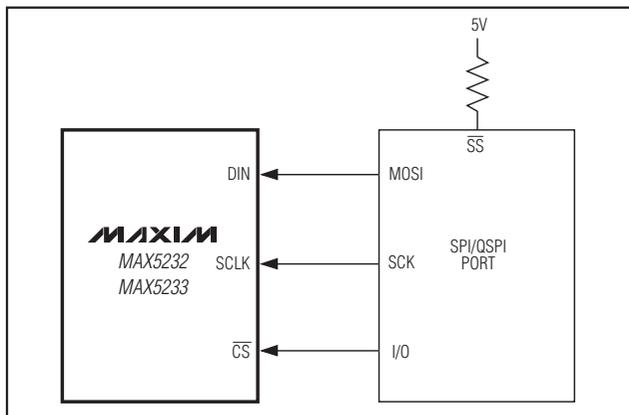


図4. SPI/QSPIインタフェース接続

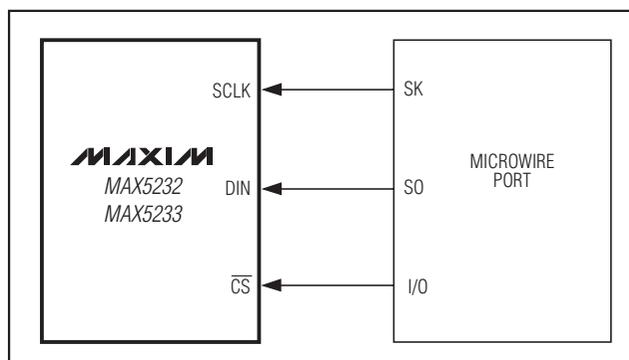


図5. MICROWIREの接続

に設定します。DAC出力は電源が最初に加えられるとイネーブルになります。パワーアップ(RSTV = V_{DD})時にミッドスケール値を得るにはRSTVの電圧がV_{DD}電源と同時に昇圧しなければなりません。

ロードDAC入力(LDAC)

LDACにすると、対応する入力レジスタからDACレジスタに非同期でロードされます(シャットダウンされているDACはシャットダウンの状態を維持)。LDAC入力は完全に非同期的で、有効となるために、CS、SCLK、またはDIN上のいかなる動作も必要としません。いずれかのDAC入力レジスタの値を変更するシリアルコマンドを実行するCSの立上りエッジと同時にLDACが実行された場合、LDACはCSの立上りエッジに続いて少なくとも30nsの間確定された状態にいる必要があります。この条件はDAC入力レジスタの値を変更するシリアルコマンドのみに適用します。

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

パワーダウンロックアウト入力(PDL)

PDLをローで駆動することによって、いずれかのDACのシャットダウンをディセーブルします。PDLがローの時、いずれかのDACをシャットダウンするシリアルコマンドは無視されます。いずれかのDACがシャットダウンモードの時、PDL上のハイからローへの遷移はDAC出力をシャットダウン以前の状況に設定して、DACとリファレンスをシャットダウンから引き出します。

アプリケーション情報

定義

積分非直線性(INL)

積分非直線性(図6a)とは直線からの実際の伝達関数上の偏差値です。直線は最もフィットするベスト・ストレート・ライン(実際の伝達曲線へ一番近い)あるいは、いったんオフセットと利得誤差が調整された後の伝達関数の終了点間にひかれた線になります。DACでは、偏差はステップごとに測定されています。

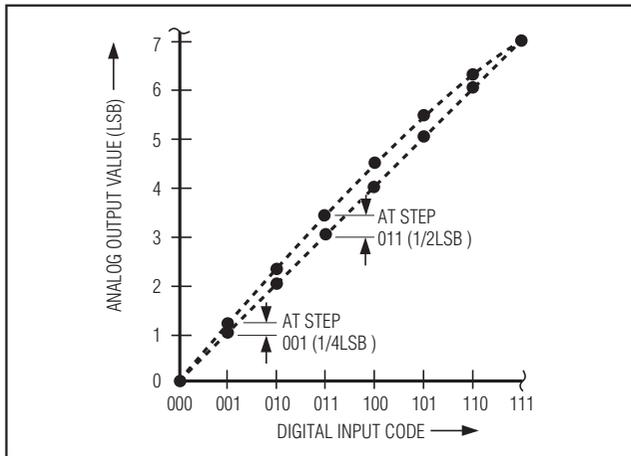


図6a. 積分非直線性

微分非直線性(DNL)

微分非直線性(図6b)は実際のステップ高の値と1LSB理想値の差になります。DNLの大きさが1LSB以下であれば、DACはミッシングコードがないことおよび単調性を保証します。

オフセット誤差

オフセット誤差(図6c)はオフセットポイント実数値と理想値の差です。DACにとってオフセットポイントはデジタル入力ゼロの時のステップ値です。この誤差は同じ量で全てのコードに影響し、通常トリミングによって補正することが可能です。

利得誤差

利得誤差(図6d)とはオフセット誤差を無効にした後の、伝達曲線上の理想と実際のフルスケール電圧出力間の差です。この誤差は伝達関数のスロープを変え、各ステップで同じ割合の誤差になっています。

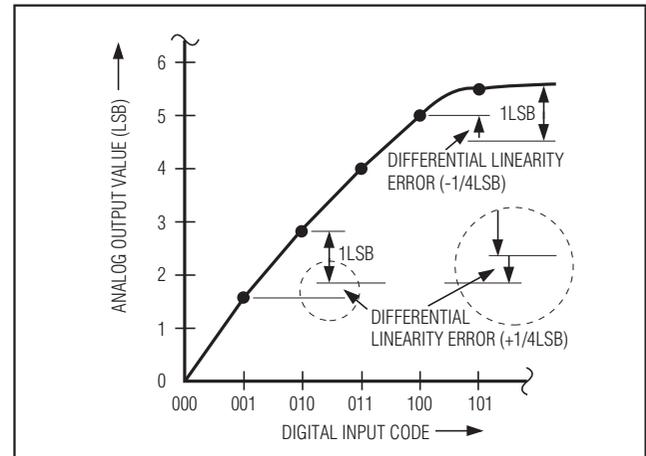


図6b. 微分非直線性

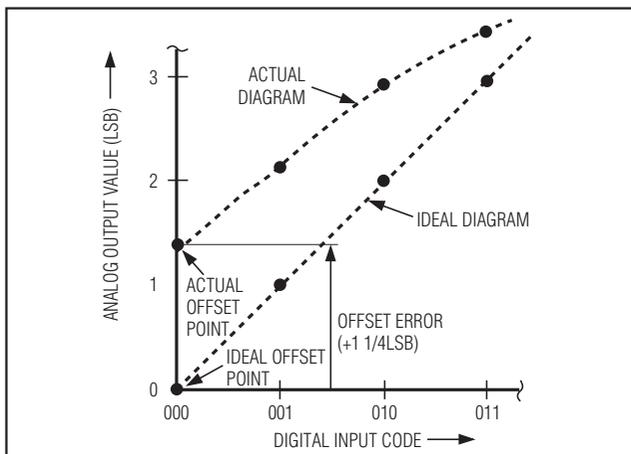


図6c. オフセット誤差

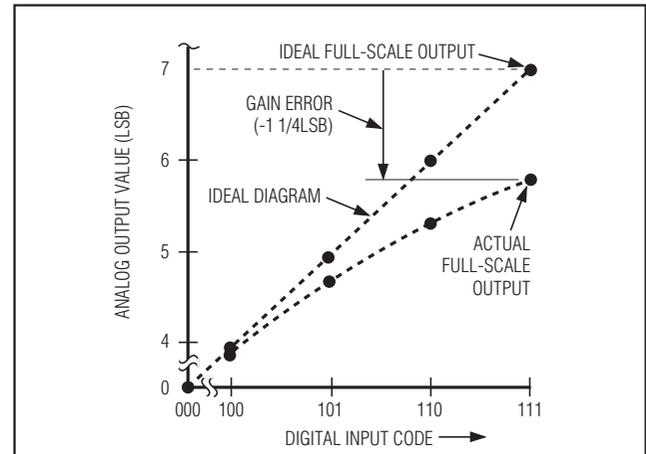


図6d. 利得誤差

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

表4. ユニポーラコード表

DAC CONTENTS		ANALOG OUTPUT (V)	
MSB	LSB	MAX5232	MAX5233
1111 1111 11	(000)	2.046	4.092
1000 0000 01	(000)	1.025	2.050
1000 0000 00	(000)	1.023	2.046
0111 1111 11	(000)	1.021	2.042
0000 0000 01	(000)	0.002	0.004
0000 0000 00	(000)	0	0

セトリングタイム

セトリングタイムとはコンバータの規定精度の範囲内で遷移の開始点からDAC出力が新しい出力値にセトリングするまで必要とされる時間です。

デジタルフィードスルー

デジタルフィードスルーはいかなるデジタル入力が増加する際のDACの出力で発生したノイズです。適正なボードレイアウトおよびグラウンドを行えばこのノイズは大きく低減できますが、DAC自身によって発生するフィードスルーが常にいくらかあります。

ユニポーラ出力

図7はMAX5232/MAX5233が単極用、レイルトゥレイル動作に構成されたものを示しています。MAX5233は

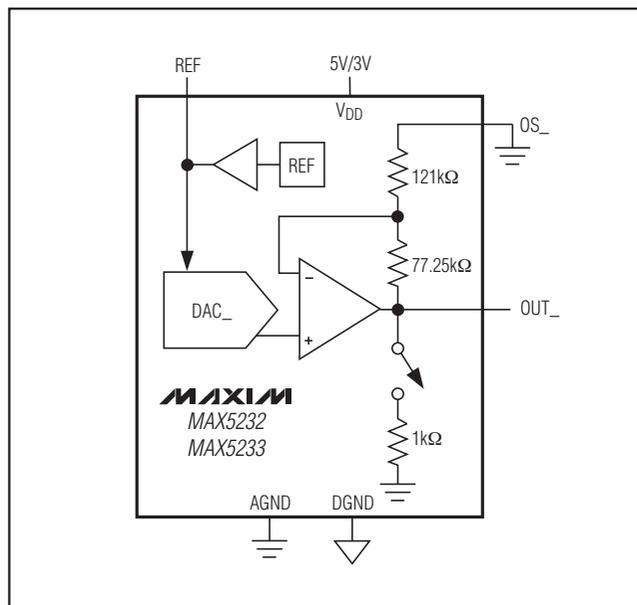


図7. ユニポーラ出力回路(レイルトゥレイル)

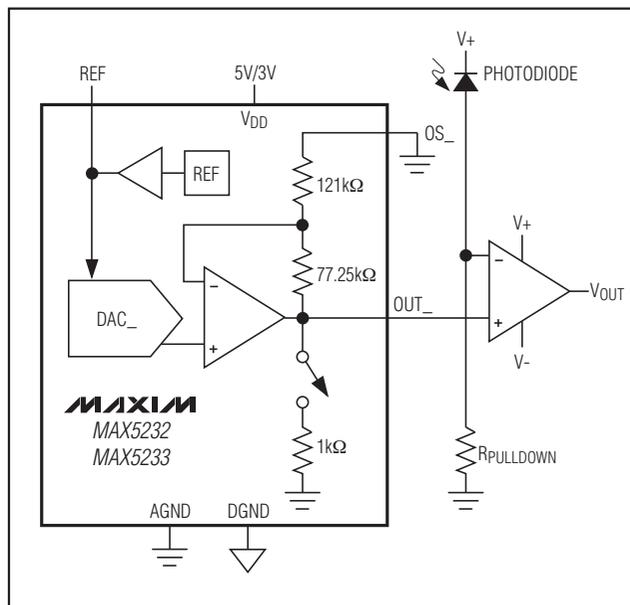


図8. デジタルキャリブレーション

0~4.092Vの出力を生成し、一方MAX5232は0~2.046Vの出力を生成します。表4はユニポーラ出力コードを示したものです。

デジタルキャリブレーションおよびスレッシュホールドの選択

図8はMAX5232/MAX5233のデジタルキャリブレーションアプリケーションを示しています。フォトダイオードに高輝度の光信号値を適用(オン)すると、DACはデジタル的にコンバータが始動するまでランプされます。マイクロプロセッサ(μP)はこの「高」キャリブレーション値を保存します。暗電流キャリブレーションは減光(オフ)にしてプロセスを繰返して下さい。μPはここで2つのキャリブレーション値の中間点で出力電圧を設定するようDACをプログラムします。アプリケーションにはタコメータ、モーションセンサ、自動読み取り装置、および液体透明度分析が含まれます。

共通DINラインの共有

いくつかのMAX5232/MAX5233は1つの共通DIN信号ラインを共有することができます(図9)。この構成において、データバスは全てのデバイスに共通です。データはデジチェーンを介してシフトされません。SCLKおよびDINラインは全てのデバイスによって共有されていますが、各ICは独自の専用CSラインが必要です。

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

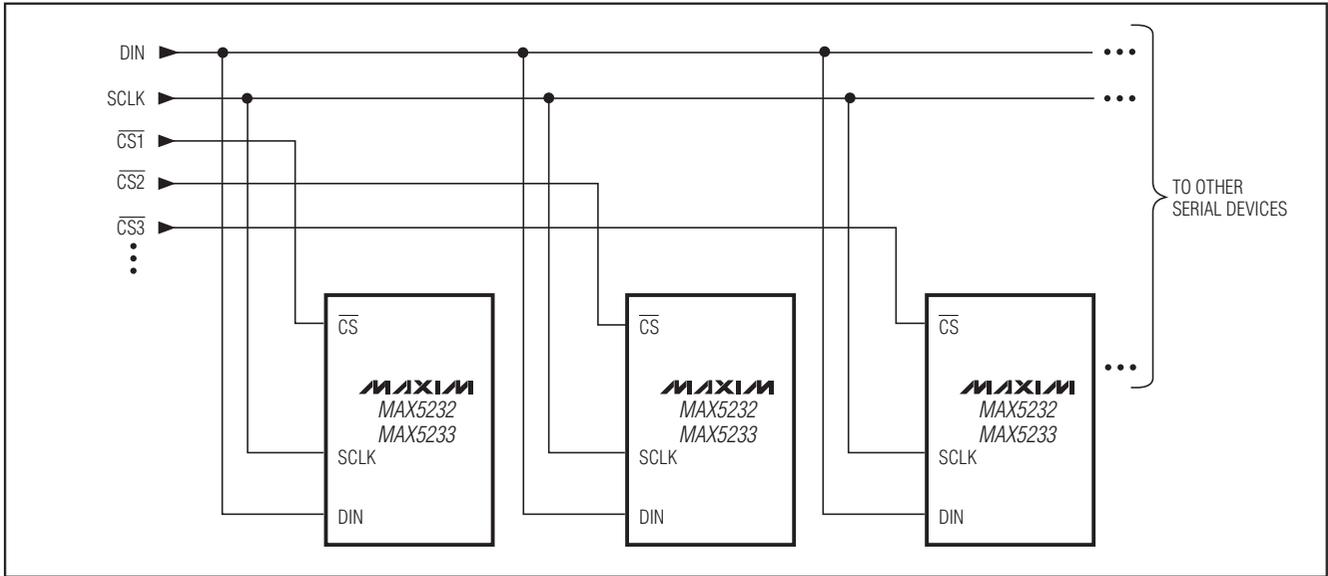


図9. 複数のMAX5232/MAX5233が共通のDINラインを共用

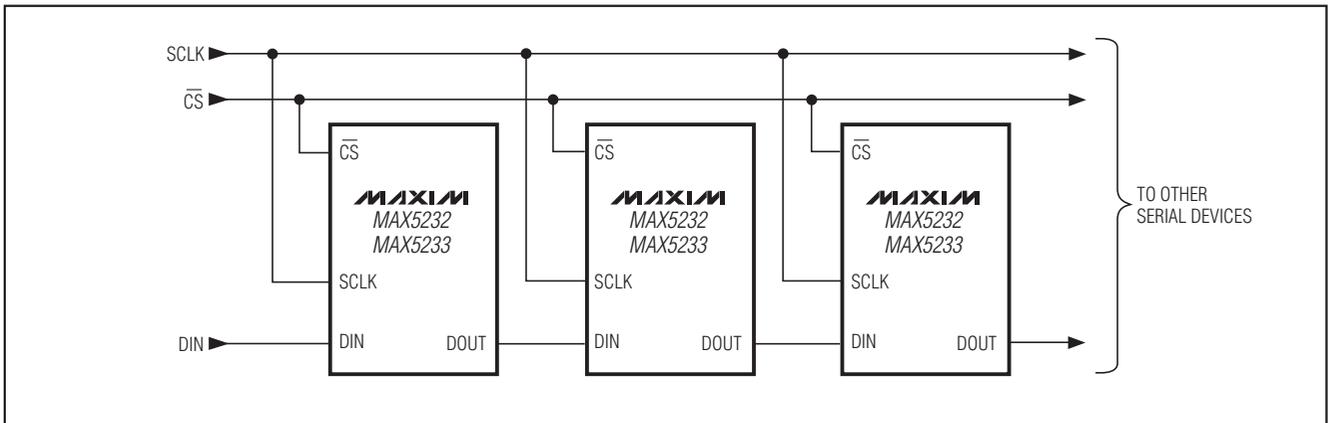


図10. MAX5232/MAX5233デバイスをデジーチェーン接続

デバイスのデジーチェーン接続

MAX5232/MAX5233は、デバイスのデジタル入力 (DIN) を次に続くデバイスのシリアルデータ出力の (DOUT) に接続することによって、いくつでもデジーチェーン接続が可能です(図10)。

電源およびバイパスの考慮

パワー投入時、入力およびDACレジスタはゼロ(RSTV = DGND)にクリアまたはミッドスケール(RSTV = V_{DD})にします。0.1μFのコンデンサと並列に4.7μFのコンデンサを使用してV_{DD}をAGNDにバイパスして下さい。そしてV_{DD}を0.1μFコンデンサを使ってDGNDへバイパスして下さい。リード線のインダクタンスを低減するためにリード線の長さを最短にします。

グラウンドおよびレイアウトの考慮

AGNDまたはDGNDのデジタルおよびAC遷移信号は出力でノイズを発生する可能性があります。AGNDまたはDGNDをできる限り品質の高いグラウンドに接続します。低インダクタンスグラウンドプレーンの多層基板、または全てのグラウンドリターン経路をMAX5232/MAX5233のAGNDにスター接続するなどの適正なグラウンド技法を使用します。ACクロス結合およびクロストークを低減するためにチャネル間のトレースを注意深くレイアウトします。ワイヤ巻きのボードおよびソケットは推奨しません。ノイズが問題になる場合は、シールドが必要になる場合があります。

チップ情報

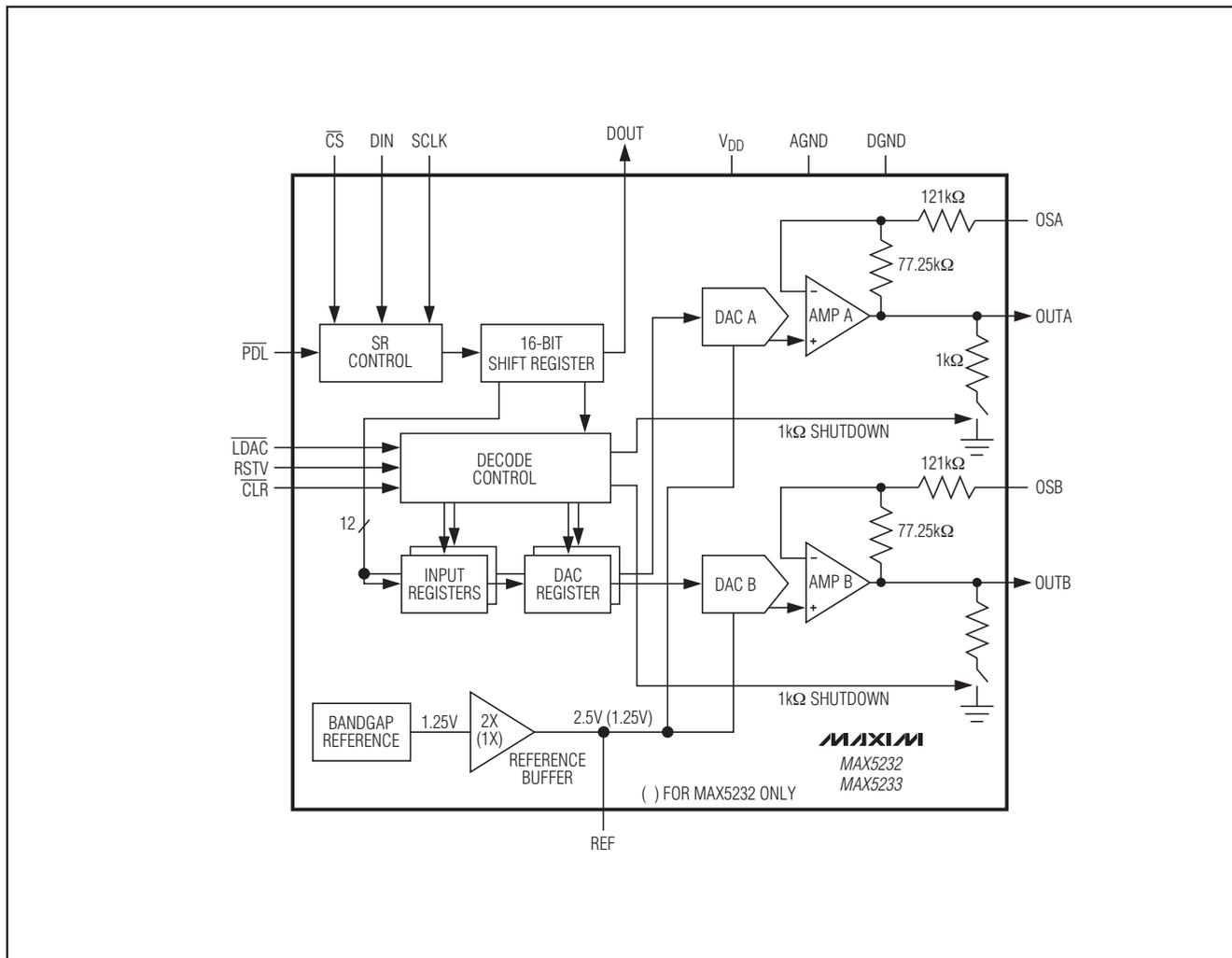
TRANSISTOR COUNT: 4745

PROCESS: BiCMOS

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

MAX5232/MAX5233

ファンクションダイアグラム



パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
16 QSOP	E16+5	21-0055

3V/5V、10ビット、シリアル電圧出力デュアルDAC リファレンス内蔵

改訂履歴

版数	改訂日	説明	改訂ページ
0	1/02	初版	—
2	5/09	鉛フリーパッケージを追加し、仕様を変更	1, 2, 3

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**