

デュアル8ビット40MHz、電流/電圧同時出力DAC

概要

MAX5186は、低歪み及び低電力動作のアナログ信号再構築を必要とする通信機器において高性能を発揮するために設計された2つの8ビット同時更新電流出力デジタルアナログコンバータ(DAC)を含んでいます。MAX5189は同じ仕様ですが、電圧出力動作用にオンチップ高精度抵抗を備えています。MAX5186/MAX5189は、出力において望ましくないスプリアス信号成分を最小限に抑えるために10pV-sグリッチ動作設計になっています。内蔵+1.2Vバンドギャップ回路はよく安定化された低ノイズリファレンスを提供します。外部リファレンス動作にこのリファレンスをディセーブルすることもできます。

MAX5186/MAX5189は、最小の消費電力で高レベルの信号完全性を提供するように設計されています。いずれのDACも+2.7V ~ +3.3Vの単一電源で動作します。さらに、これらのDACは3つの動作モード(通常、低電力スタンバイ及び完全シャットダウン)を備えています。完全シャットダウンにおいてはシャットダウン電流が1 μ A(max)となり、可能な最も低い電力消費を実現します。スタンバイモードからフルDAC動作までのウェイクアップ時間が0.5 μ sと短いため、必要なときにだけDACを起動して電力を節約できます。

MAX5186/MAX5189は28ピンQSOPパッケージに収められており、拡張(-40 ~ +85)温度範囲のものが用意されています。高分解能のデュアル10ビットバージョンについては、MAX5180/MAX5183のデータシートを参照して下さい。

アプリケーション

I&Q送信信号の信号再構築

デジタル信号処理

任意波形の発生(AWG)

イメージングアプリケーション

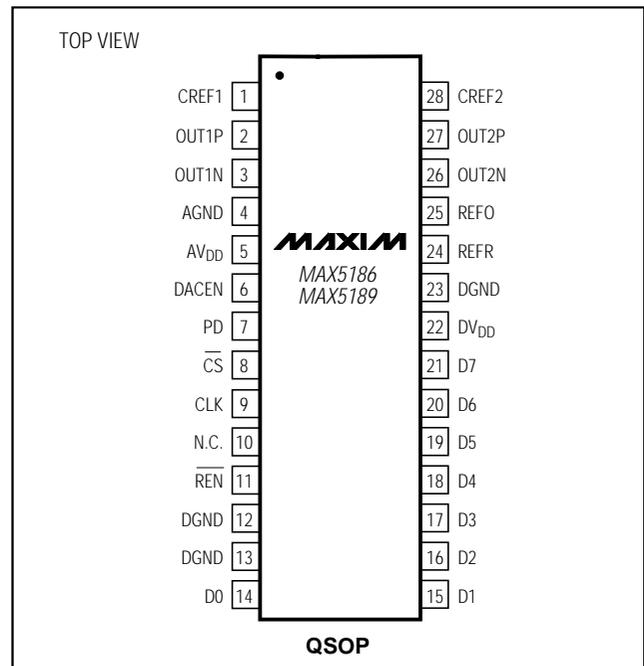
特長

- ◆ 電源：+2.7V ~ +3.3V単一
- ◆ 広スプリアスフリーダイナミックレンジ：70dB ($f_{OUT} = 2.2$ MHz)
- ◆ 各DACが完全差動出力を装備
- ◆ FSR利得ミスマッチ： $\pm 0.5\%$ ($f_{OUT} = 2.2$ MHz)
- ◆ 位相ミスマッチ： $\pm 0.15^\circ$ ($f_{OUT} = 2.2$ MHz)
- ◆ 低電流スタンバイ又はフルシャットダウンモード
- ◆ 内部+1.2V、低ノイズバンドギャップリファレンス
- ◆ パッケージ：小型28ピンQSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5186BEEI	-40°C to +85°C	28 QSOP
MAX5189BEEI	-40°C to +85°C	28 QSOP

ピン配置



デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

ABSOLUTE MAXIMUM RATINGS

AV _{DD} , DV _{DD} to AGND, DGND	-0.3V to +6V
Digital Input to DGND.....	-0.3V to +6V
OUT1P, OUT1N, OUT2P, OUT2N, CREF1, CREF2 to AGND	-0.3V to +6V
REF0, REFR to AGND.....	-0.3V to +6V
AGND to DGND.....	-0.3V to +0.3V
AV _{DD} to DV _{DD}	±3.3V
Maximum Current into Any Pin.....	50mA

Continuous Power Dissipation (T _A = +70°C)	
28-Pin QSOP (derate 10.8mW/°C above +70°C)	860.2mW
Operating Temperature Ranges	
MAX518_BEE1.....	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = 3V, AGND = DGND = 0, f_{CLK} = 40MHz, I_{FS} = 1mA, 400Ω differential output, C_L = 5pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. ≥ +25°C guaranteed by production test, < +25°C guaranteed by design and characterization. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Resolution	N		8			Bits
Integral Nonlinearity	INL		-1	±0.25	+1	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic	-1	±0.25	+1	LSB
Offset Error		MAX5186	-1		+1	LSB
		MAX5189	-4		+4	
Gain Error		(Note 1)	-20	±4	+20	LSB
DYNAMIC PERFORMANCE						
Output Settling Time		To ±0.5LSB error band		25		ns
Glitch Impulse				10		pV-s
Spurious-Free Dynamic Range to Nyquist	SFDR	f _{CLK} = 40MHz	f _{OUT} = 550kHz		72	dBc
			f _{OUT} = 2.2MHz, T _A = +25°C	57	70	
Total Harmonic Distortion to Nyquist	THD	f _{CLK} = 40MHz	f _{OUT} = 550kHz		-70	dBc
			f _{OUT} = 2.2MHz, T _A = +25°C		-68	
Signal-to-Noise-Ratio to Nyquist	SNR	f _{CLK} = 40MHz	f _{OUT} = 550kHz		52	dB
			f _{OUT} = 2.2MHz, T _A = +25°C	46	52	
DAC-to-DAC Output Isolation		f _{OUT} = 2.2MHz		-60		dB
Clock and Data Feedthrough		All 0s to all 1s		50		pV-s
Output Noise				10		pA/√Hz
Gain Mismatch Between DAC Outputs		f _{OUT} = 2.2MHz, T _A = +25°C		±0.5	±1	% FSR
Phase Mismatch Between DAC Outputs		f _{OUT} = 2.2MHz		±0.15		degrees

デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = DV_{DD} = 3V$, $AGND = DGND = 0$, $f_{CLK} = 40MHz$, $I_{FS} = 1mA$, 400 Ω differential output, $C_L = 5pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $\geq +25^{\circ}C$ guaranteed by production test, $< +25^{\circ}C$ guaranteed by design and characterization. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG OUTPUT						
Differential Full-Scale Output Voltage	V_{FS}			400		mV
Voltage Compliance Range			-0.3		0.8	V
Output Leakage Current		DACEN = 0, MAX5186 only	-1		1	μA
Full-Scale Output Current	I_{FS}	MAX5186 only	0.5	1	1.5	mA
DAC External Output Resistor Load	R_L	MAX5186 only		400		Ω
REFERENCE						
Output Voltage Range	V_{REFO}		1.12	1.2	1.28	V
Output Voltage Temperature Drift	TCV_{REFO}			50		ppm/ $^{\circ}C$
Reference Output Drive Capability	I_{REFO}			10		μA
Reference Supply Rejection				0.5		mV/V
Current Gain (I_{FS}/I_{REF})				8		mA/mA
POWER REQUIREMENTS						
Analog Power-Supply Voltage	AV_{DD}		2.7		3.3	V
Analog Supply Current	$I_{AV_{DD}}$	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		2.7	5.0	mA
Digital Power-Supply Voltage	DV_{DD}		2.7		3.3	V
Digital Supply Current	IDV_{DD}	PD = 0, DACEN = 1, digital inputs at 0 or DV_{DD}		4.2	5.0	mA
Standby Current	$I_{STANDBY}$	PD = 0, DACEN = 0, digital inputs at 0 or DV_{DD}		1.0	1.5	mA
Shutdown Current	I_{SHDN}	PD = 1, DACEN = X, digital inputs at 0 or DV_{DD} (X = don't care)		0.5	1	μA
LOGIC INPUTS AND OUTPUTS						
Digital Input Voltage High	V_{IH}		2			V
Digital Input Voltage Low	V_{IL}				0.8	V
Digital Input Current	I_{IN}	$V_{IN} = 0$ or DV_{DD}			± 1	μA
Digital Input Capacitance	C_{IN}			10		pF
TIMING CHARACTERISTICS						
DAC1 DATA to CLK Rise Setup Time	t_{DS1}			10		ns
DAC2 DATA to CLK Fall Setup Time	t_{DS2}			10		ns
DAC1 CLK Rise to DATA Hold Time	t_{DH1}			0		ns
DAC2 CLK Fall to DATA Hold Time	t_{DH2}			0		ns

デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

ELECTRICAL CHARACTERISTICS (continued)

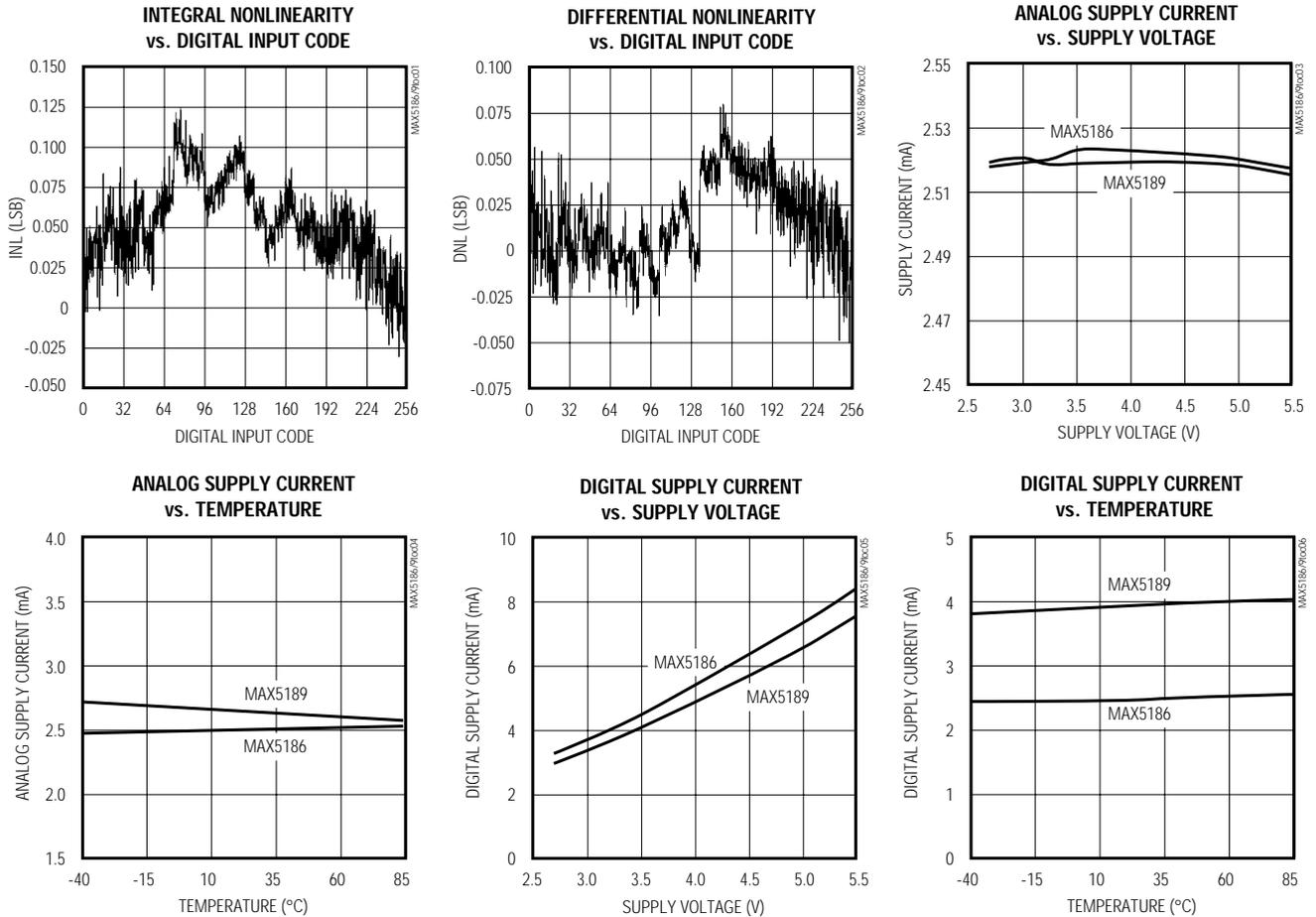
($V_{DD} = DV_{DD} = 3V$, $AGND = DGND = 0$, $f_{CLK} = 40MHz$, $I_{FS} = 1mA$, 400Ω differential output, $C_L = 5pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. $\geq +25^\circ C$ guaranteed by production test, $< +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Fall to CLK Rise Time				5		ns
\overline{CS} Fall to CLK Fall Time				5		ns
DACEN Rise Time to V_{OUT}				0.5		μs
PD Fall Time to V_{OUT}				50		μs
Clock Period	t_{CLK}		25			ns
Clock High Time	t_{CH}		10			ns
Clock Low Time	t_{CL}		10			ns

Note 1: Excludes reference and reference resistor (MAX5189) tolerance.

標準動作特性

($V_{DD} = DV_{DD} = 3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)

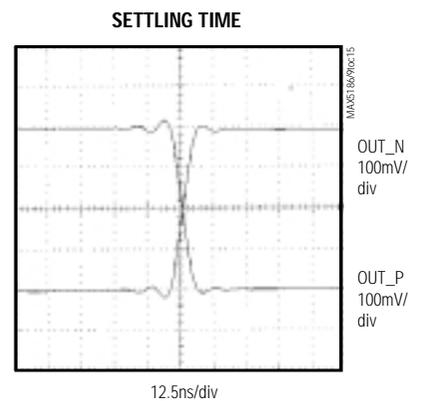
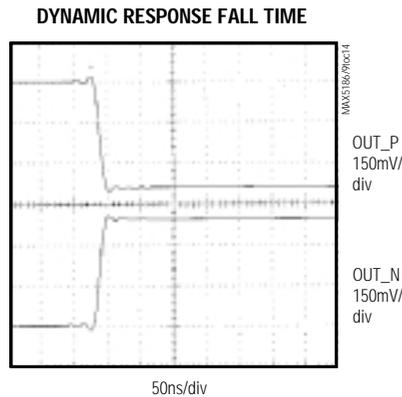
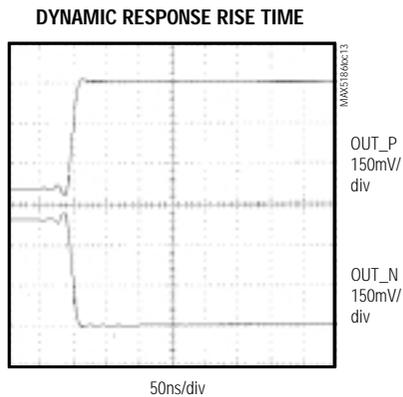
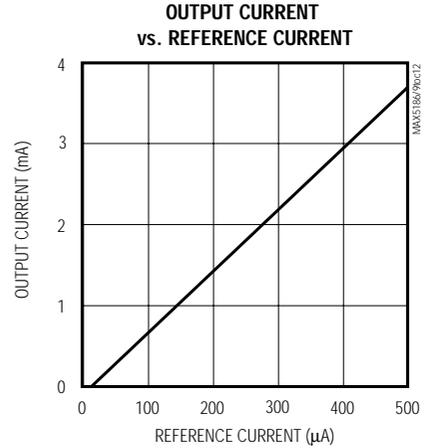
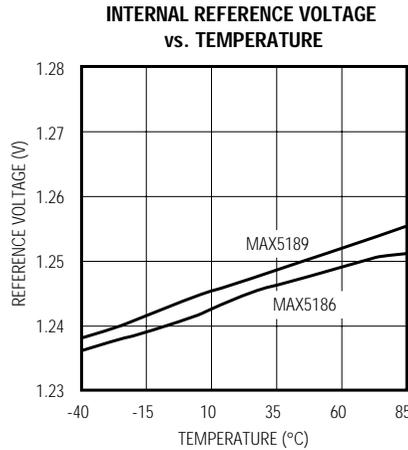
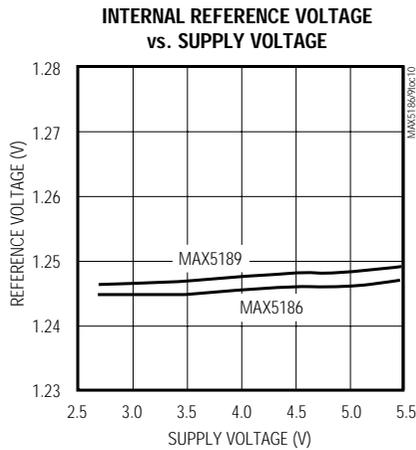
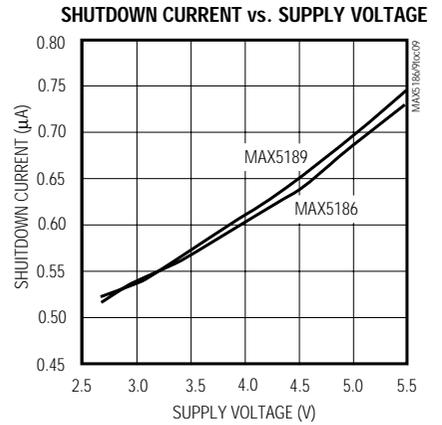
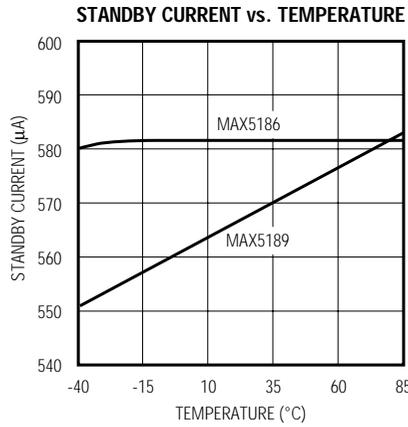
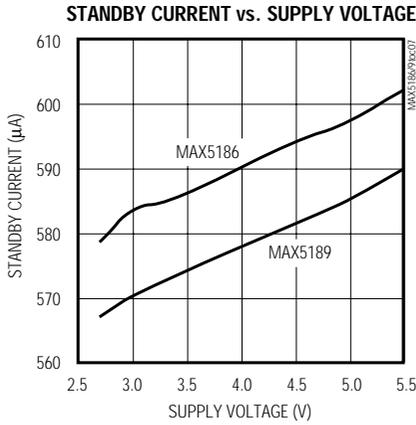


デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

標準動作特性(続き)

($V_{DD} = DV_{DD} = 3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)

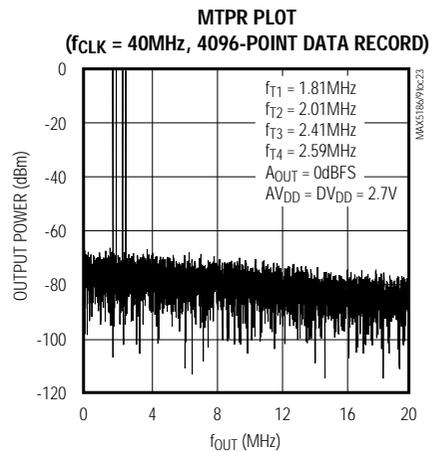
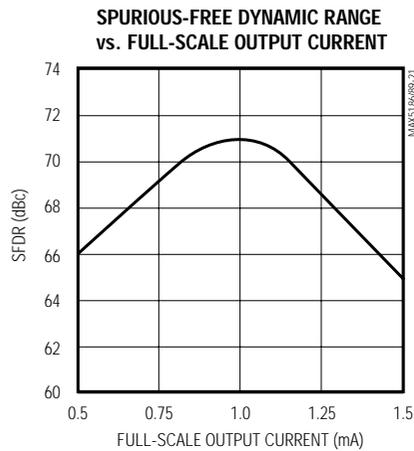
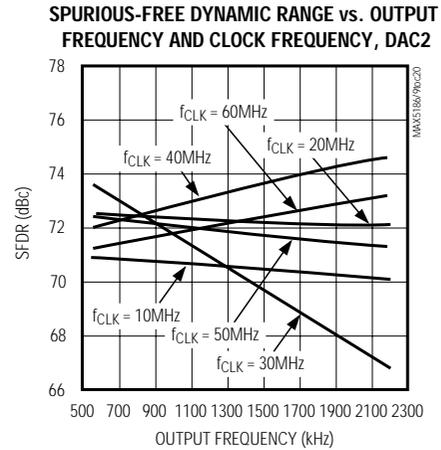
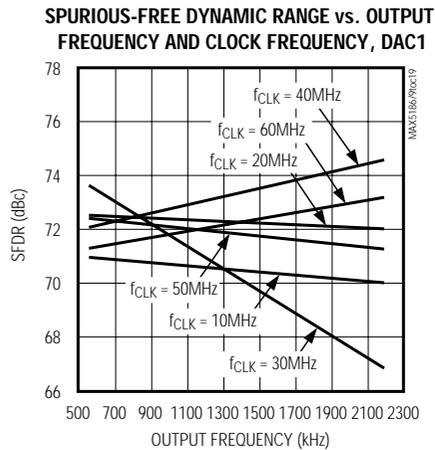
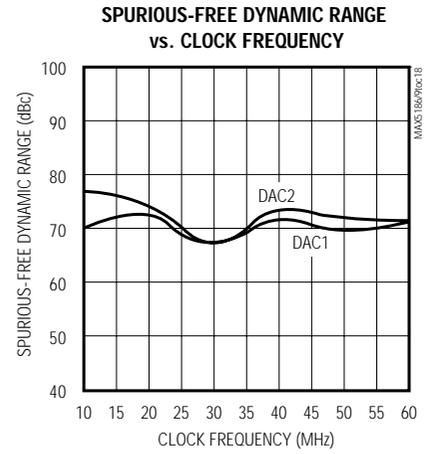
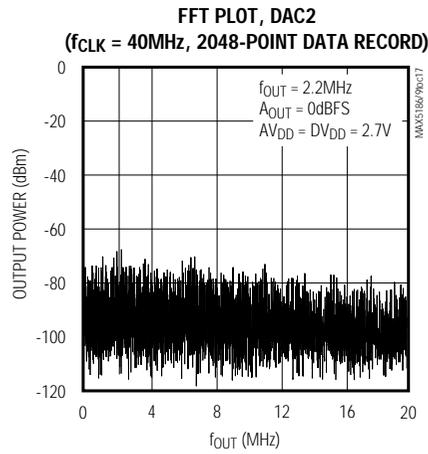
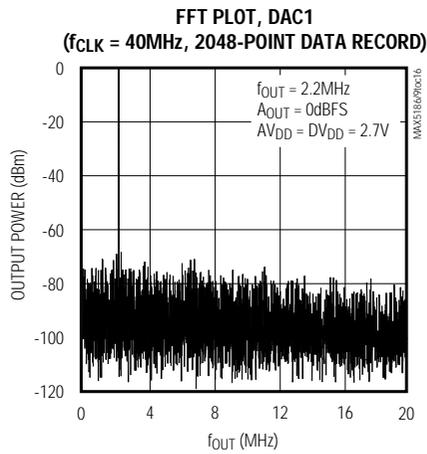


デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

標準動作特性(続き)

($AV_{DD} = DV_{DD} = 3V$, $AGND = DGND = 0$, 400Ω differential output, $I_{FS} = 1mA$, $C_L = 5pF$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

端子説明

端子	名称	機能
1	CREF1	リファレンスバイアスバイパス(DAC1)
2	OUT1P	正アナログ出力(DAC1)。MAX5186の場合は電流出力。MAX5189の場合は電圧出力。
3	OUT1N	負アナログ出力(DAC1)。MAX5186の場合は電流出力。MAX5189の場合は電圧出力。
4	AGND	アナロググランド
5	AVDD	アナログ正電源(+2.7V ~ +3.3V)
6	DACEN	DACイネーブル、デジタル入力 0 : DACスタンバイモードに入ります(PD = DGND)。 1 : DACがパワーアップします(PD = DGND)。 X : PD = DV _{DD} の時にシャットダウンモードに入ります(X = 任意)。
7	PD	パワーダウンセレクト 0 : DACスタンバイモードに入るか(DACEN = DGND)、あるいはDACがパワーアップします(DACEN = DV _{DD})。 1 : シャットダウンモードに入ります。
8	\overline{CS}	アクティブローチップセレクト
9	CLK	クロック入力
10	N.C.	無接続。このピンには接続しないで下さい。
11	\overline{REN}	アクティブローリファレンスイネーブル。DGNDに接続するとオンチップ+1.2Vリファレンスが起動します。
12	DGND	デジタルグランド
13	DGND	デジタルグランド
14	D0	データビットD0(LSB)
15-20	D1-D6	データビットD1 ~ D6
21	D7	データビットD7(MSB)
22	DVDD	デジタル電源(+2.7V ~ +3.3V)
23	DGND	デジタルグランド
24	REFR	リファレンス入力
25	REFO	リファレンス出力
26	OUT2N	負アナログ出力(DAC2)。MAX5186の場合は電流出力。MAX5189の場合は電圧出力。
27	OUT2P	正アナログ出力(DAC2)。MAX5186の場合は電流出力。MAX5189の場合は電圧出力。
28	CREF2	リファレンスバイアスバイパス(DAC2)

デュアル8ビット40MHz、電流/電圧同時出力DAC

詳細

MAX5186/MAX5189は、40MHzまでのクロック速度で動作可能なデュアル8ビットデジタルアナログコンバータ(DAC)です。これらのデュアルコンバータの各々は、独立の入力及びDACレジスタとそれに続く電流ソースアレイ(最大1.5mAのフルスケール出力電流能力)からなっています(図1)。内蔵+1.2V電圧リファレンス及び制御アンプがデータコンバータのフルスケール出力電流/電圧を決定します。慎重に行うリファレンス設計によって、正確な利得マッチング及び優れたドリフト特性が保証されます。MAX5189の電圧出力動作においては、マッチングされた400 のオンチップ抵抗が電流アレイの電流を電圧に変換します。

内部リファレンス及び制御アンプ

MAX5186/MAX5189は、内蔵50ppm/、+1.2V低ノイズバンドギャップリファレンスを提供しています。このリファレンスは、外部リファレンス電圧によってディセーブル/オーバーライドできます。REFOは、外部リファレンス入力又は内蔵リファレンス出力の役割を果たします。RENがDGNDに接続されていると、内部リファレンス出力が選択され、REFOが+1.2Vの出力を供給します。出力駆動能力が10µAに制限されているため、負荷が大きい時はREFOを外部アンプでバッファする必要があります。

また、MAX5186/MAX5189は、素子の両方の出力のフルスケール出力電流(I_{FS})を同時に制御するように設計された制御アンプを採用しています。出力電流は次式で計算できます。

$$I_{FS} = 8 \times I_{REF}$$

ここで、I_{REF}はリファレンス出力電流(I_{REF}=V_{REFO}/R_{SET})、I_{FS}はフルスケール出力電流です。R_{SET}はMAX5186のアンプの出力を決定するリファレンス抵抗です(図2)。この電流は電流ソースアレイに反映(ミラー)されて、そこでマッチングされた電流セグメント間に平等に分配され、加算されてDACの有効な出力電流読取り値を生成します。

MAX5189は、2つのグランド基準の内部400 負荷抵抗を使用することにより、各出力電流(DAC1及びDAC2)を出力電圧(V_{OUT1}、V_{OUT2})に変換します。MAX5189の内部リファレンス出力電流抵抗(R_{SET}=9.6k)は内部+1.2Vリファレンス電圧を使用することにより、I_{REF}を125µAに、I_{FS}を1mAに設定します。

外部リファレンス

MAX5186/MAX5189の内部リファレンスをディセーブルするには、RENをDV_{DD}に接続して下さい。これで、

温度安定性の良い外部リファレンスを印加してREFOピンを駆動し、フルスケール出力を設定できます(図3)。電流アレイのカスケード電流を生成するバイアス回路を駆動するために少なくとも150µAを供給できるリファレンスを選択して下さい。精度とドリフト性能を改善するため、+1.2V、25ppm/ のMAX6520バンドギャップリファレンス等の固定出力電圧リファレンスを選択して下さい。

スタンバイモード

低電力スタンバイモードに入るには、デジタル入力PD及びDACENをDGNDに接続して下さい。スタンバイモードにおいては、リファレンスと制御アンプの両方がアクティブで、電流アレイはインアクティブです。この状態を解除するには、PDがDGNDに保持された状態でDACENをハイに引き上げる必要があります。MAX5186/MAX5189は、いずれもウェイクアップして出力とリファレンスの両方がセトリングするまでに50µs(typ)を要します。

シャットダウンモード

消費電力を最も小さくする手段として、MAX5186/MAX5189はパワーダウンモードを提供しています。このモードにおいては、リファレンス、制御アンプ及び電流アレイがインアクティブで、DACの消費電流は1µAまで低減します。このモードに入るには、PDをDV_{DD}に接続して下さい。アクティブモードに戻るには、PDをDGNDに接続して、DACENをDV_{DD}に接続して下さい。素子がシャットダウンモードを解除してシャットダウン前の出力値にセトリングするのに約50µsを要します。表1に、パワーダウンモードの選択表を示します。

タイミング情報

MAX5186/MAX5189デュアルDACは出力を同時に書き込みます(図4)。クロックの立下りエッジで、DAC2の入力データはラッチにプリロードされます。クロックの立上りエッジではDAC1の入力データはDAC1レジスタにロードされ、ラッチにあるプリロードされたDAC2データはDAC2レジスタにロードされます。

出力

MAX5186の出力は、並列な400 負荷と5pFの容量性負荷に1mAのフルスケール電流を供給するように設計されています。MAX5189は、アレイ電流を比例する差動電圧400mVに回復する内部400 抵抗を備えています。これらの差動出力電圧を使用して平衡不平衡変成器又は低歪み高速オペアンプを駆動し、差動電圧をシングルエンド電圧に変換できます。

デュアル8ビット40MHz、電流/電圧同時出力DAC

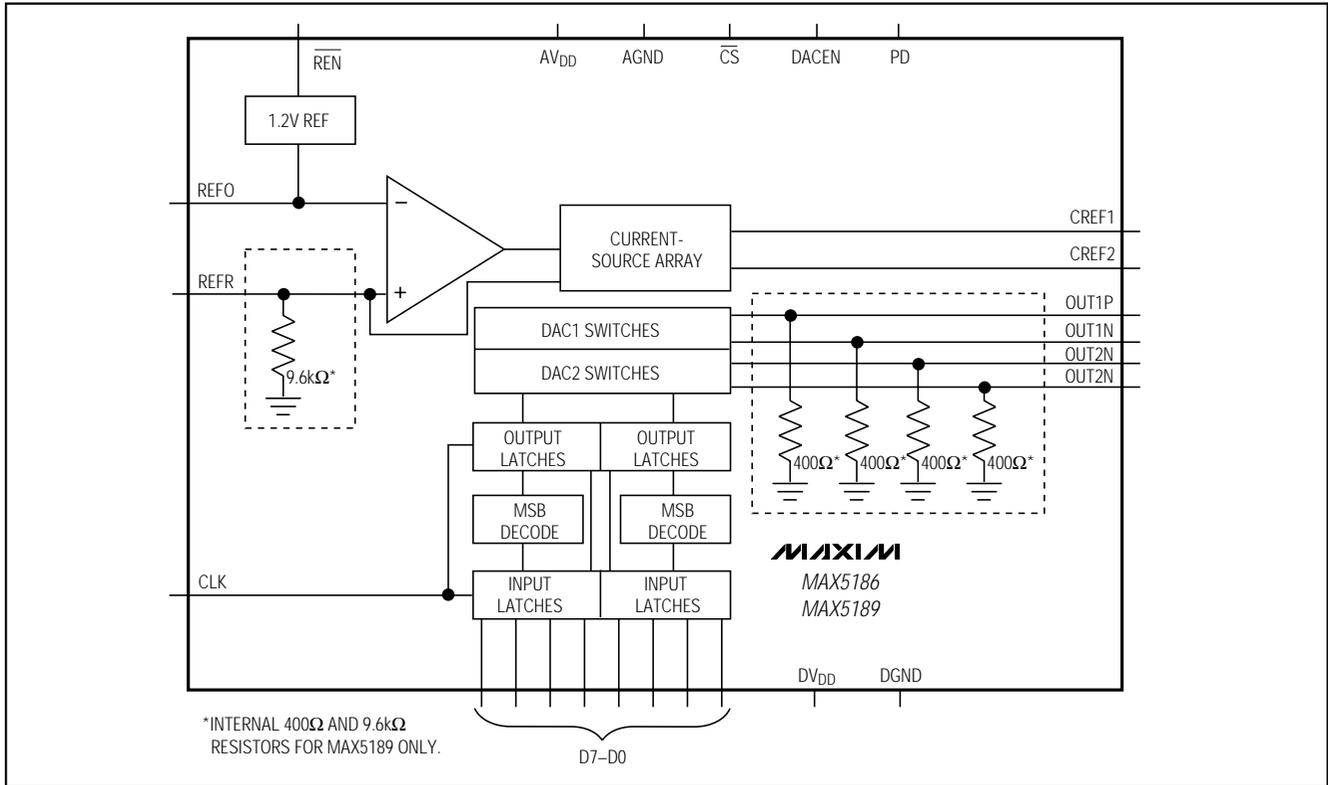


図1. ファンクションダイアグラム

アプリケーション情報

静的及び動的性能の定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィット(実際の伝達曲線に最も近い近似)、あるいはオフセット及び利得誤差を nul(ゼロ)にした後に伝達関数のエンドポイント間を結んだ線です。MAX5186/MAX5189は、INL (及びDNL)にエンドポイント間を結ぶ直線を使用し、偏差は各ステップで測定されます。

微分非直線性(DNL)

微分非直線性は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの誤差が-1LSB以下であることによって、単調的な伝達関数が保証されます。

オフセット誤差

オフセット誤差は、理想的なオフセット電流/電圧と実際のオフセット電流/電圧の間の差です。MAX5186/MAX5189の場合、オフセット誤差はエンドポイント間

を結ぶ直線により得られる伝達関数の中間値です。この誤差はすべてのコードに対して同量の影響を与えます。

利得誤差

利得誤差は理想的な出力値と実際の出力値間の差です。この範囲は、すべてのデジタル入力が1に設定された時の出力からすべてのデジタル入力が0に設定された時の出力を引いたものです。

グリッチインパルス

グリッチは、DACが2コード間で切替わる際に生じます。最大グリッチは通常、入力パターンが011...111から100...000へ遷移するときミッドスケール遷移の際に生じます。これはビット間のタイミング変化によるものです。グリッチインパルスはミッドスケール遷移時にグリッチ電圧を集積することにより生じます。グリッチインパルスは一般的にpV-sで表わされます。

セトリング時間

セトリング時間は、遷移の開始からDAC出力値がコンパータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

デュアル8ビット40MHz、電流/電圧同時出力DAC

MAX5186/MAX5189

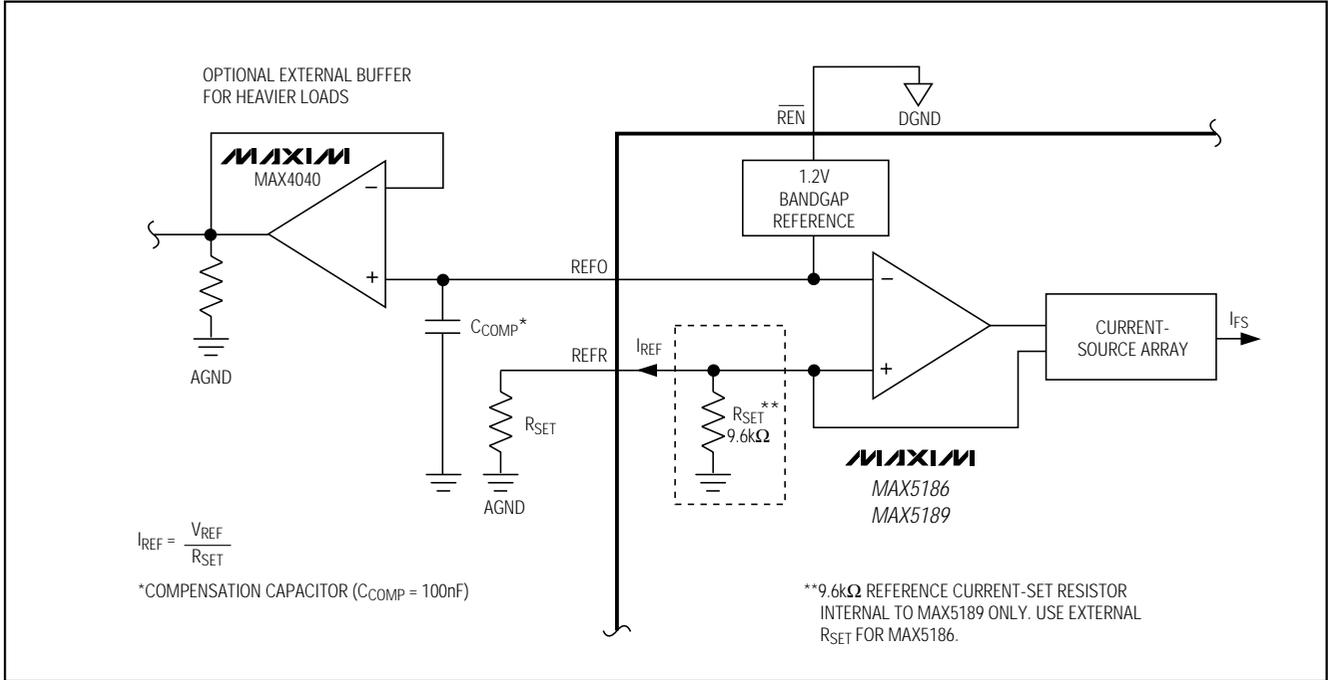


図2. 内部+1.2Vリファレンス及び制御アンプで I_{FS} を設定

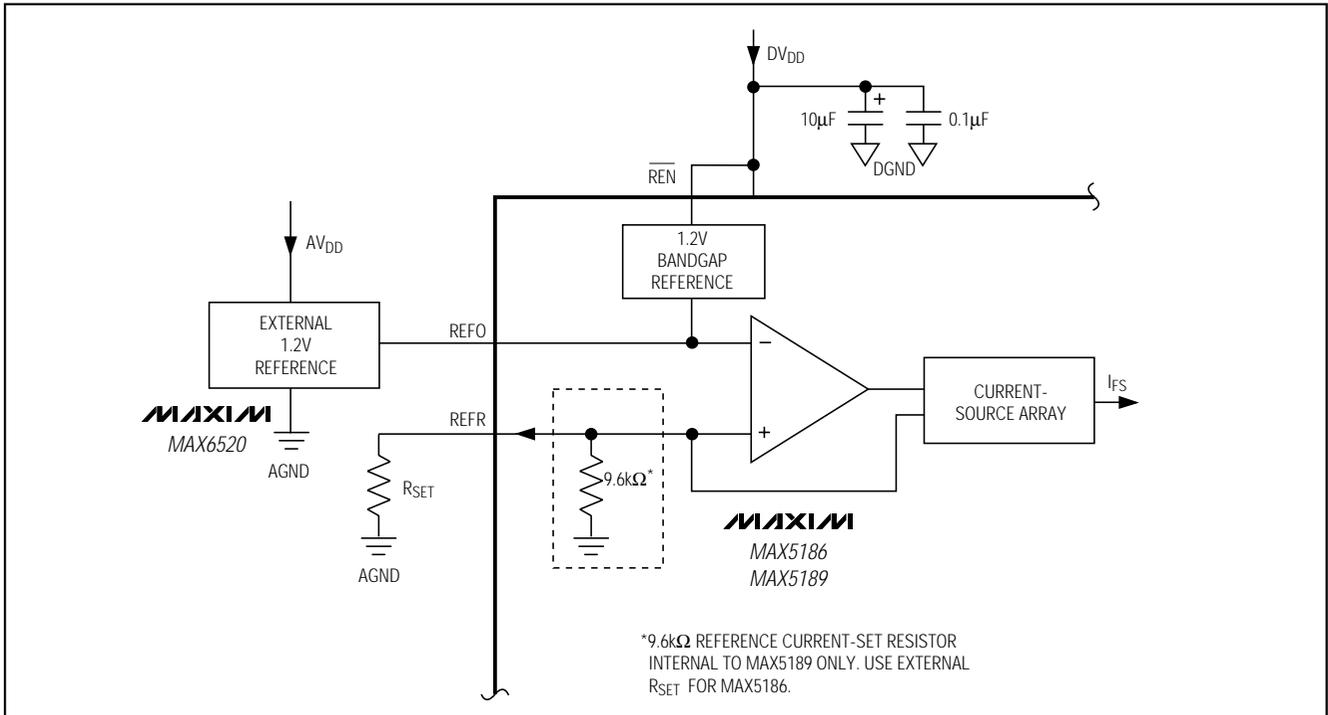


図3. MAX5186/MAX5189で外部リファレンスを使用した場合

デュアル8ビット40MHz、電流/電圧同時出力DAC

表1. パワーダウンモードの選択表

PD (POWER-DOWN SELECT)	DACEN (DAC ENABLE)	POWER-DOWN MODE	OUTPUT STATE	
0	0	Standby	MAX5186	High-Z
			MAX5189	AGND
0	1	Wake-Up	Last state prior to standby mode	
1	X	Shutdown	MAX5186	High-Z
			MAX5189	AGND

X = Don't care

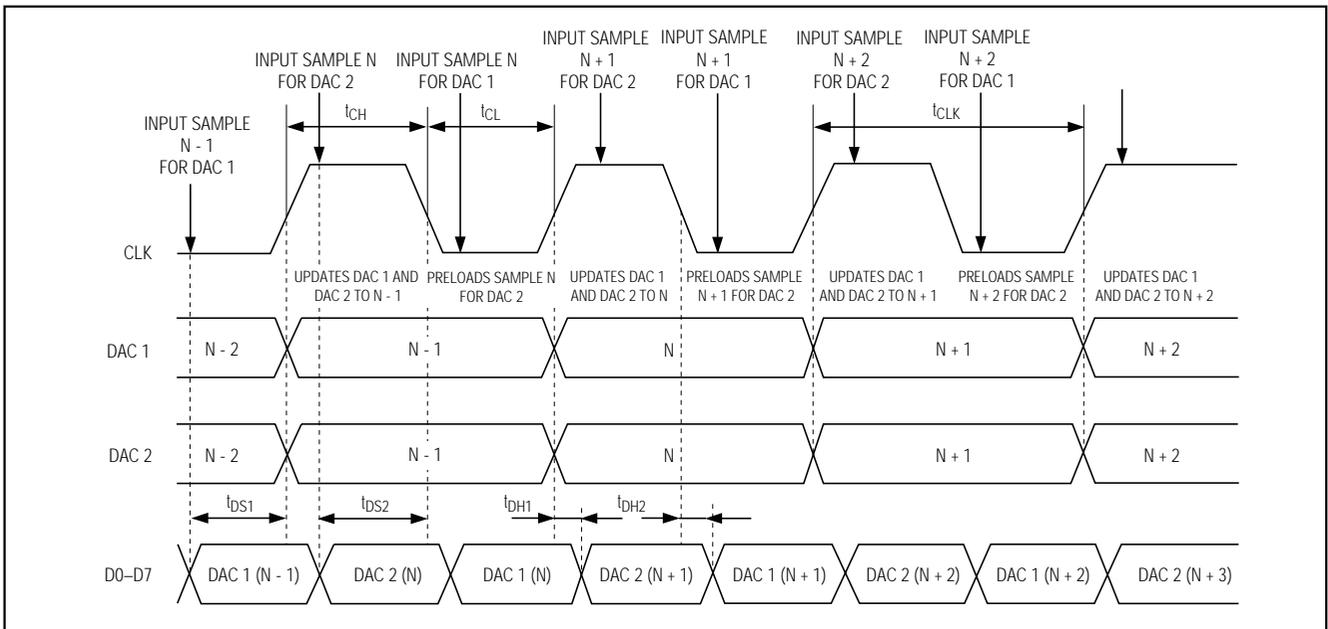


図4. タイミング図

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力で生じるノイズです。このノイズは、適正な基板レイアウト及びグランドングによってかなり削減できますが、DACそのものに起因するフィードスルーはある程度常に存在します。

全高調波歪み

全高調波歪み(THD)は、入力信号のN個の高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 \dots + V_N^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_N$ は2次～N次高調波の振幅です。

スプリアスフリーダイナミックレンジ(SFDR)

SFDRは搬送周波数(最大信号成分)と、次に大きなノイズまたは高調波歪み成分のRMS値との比です。SFDRは一般的に搬送周波数振幅についてはdBcで、DACのフルスケールレンジについてはdBFSで測定されます。テスト条件によりSFDRは前もって定義されたウィンドウ、またはナイキスト周波数内でみられます。MAX5186/MAX5189の場合、SFDR性能は0dBFS出力振幅で測定され、ナイキストウィンドウ内で分析されます。

デュアル8ビット40MHz、電流/電圧同時出力DAC

差動からシングルエンドの変換

MAX4108低歪み高入力帯域幅アンプを使用すると、MAX5186のアレイ電流出力から電圧を生成できます。適切なオペアンプ構成を設計することにより、OUT1P(またはOUT2P)とOUT1N(またはOUT2N)の間の差動電圧がシングルエンド電圧に変換されます(図5)。

QAMアプリケーションにおけるI/Q再構築

MAX5186/MAX5189は低歪みであるため、QAM(直交振幅変調)構造で通常使用される同相(I)及び直交(Q)キャリア成分のアナログ再構築をサポートします。QAM構造においては、IとQデータが共通のデータバス上でインターリーブされます。QAM信号は、キャリア周波数

の振幅と位相の両方が変調されています。これは、周波数が同じで位相が異なる(位相差が90度)2つの独立して変調されたキャリアを加算することによって生成されます。

標準的なQAMアプリケーション(図6)においては、変調はデジタルドメインで起こり、MAX5186/MAX5189のデュアルDACを使用してアナログI&Q成分を再構築できます。

I/Q再構築システムは、再構築されたI&Q成分を同相及び直交位相のキャリア周波数と結合し、両方の出力を加算してQAM信号を提供する直交変調器を加えることによって完成します。

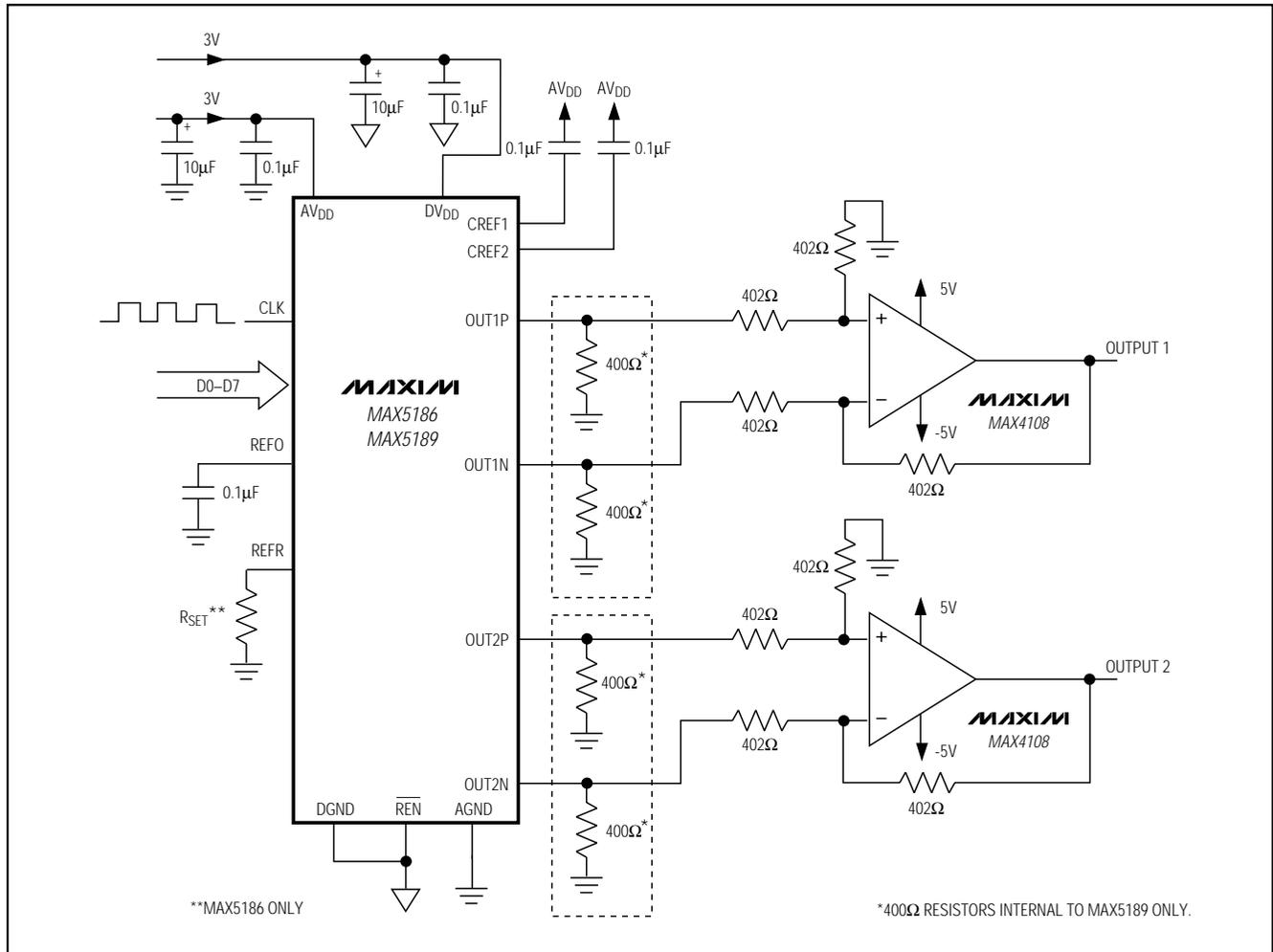


図5. 低歪みアンプを使用した差動からシングルエンドへの変換

デュアル8ビット40MHz、電流/電圧同時出力DAC

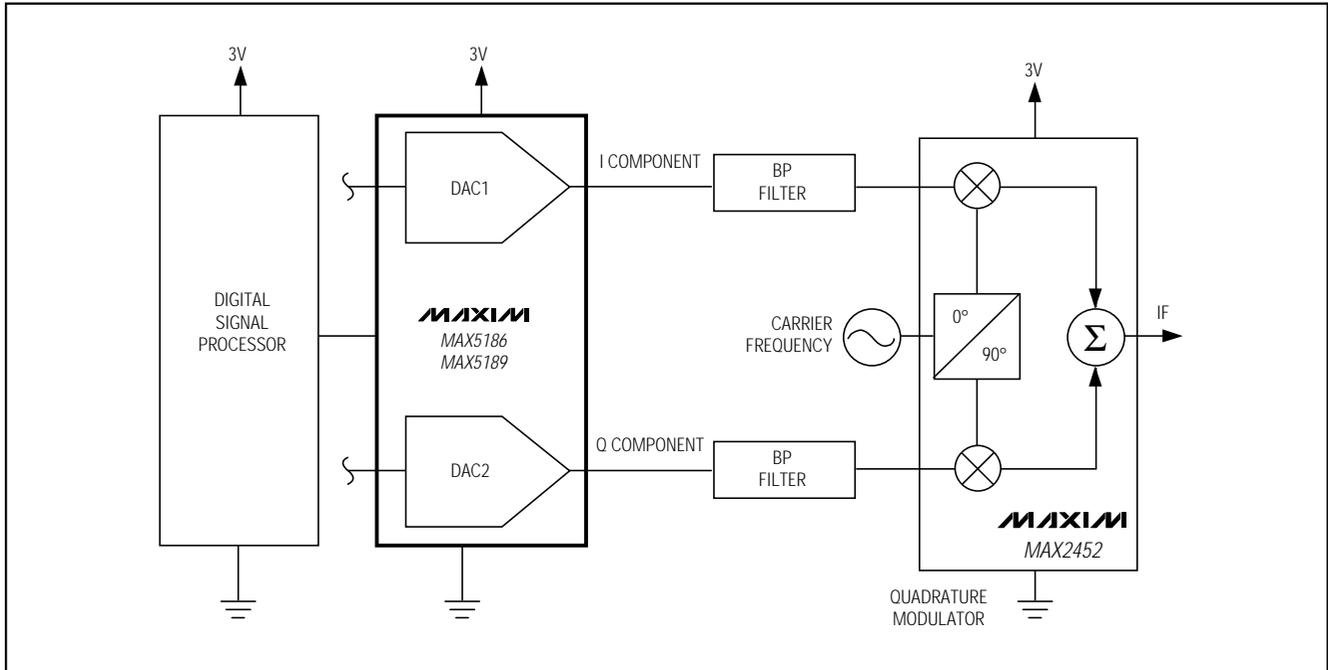


図6. MAX5186/MAX5189を使用したI/Q信号再構築

グラウンディング及び電源デカップリング

グラウンディング及び電源デカップリングがMAX5186/MAX5189の性能に強い影響を与えます。望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、信号雑音比又はSFDR等の動的性能に悪影響を与える可能性があります。さらに、電磁妨害(EMI)がMAX5186/MAX5189にカップリングして入ってくるか、MAX5186/MAX5189で発生することがあります。このため、グラウンディング及び電源デカップリングの際には高速高周波数アプリケーション用のガイドラインに忠実に従って下さい。

まず、独立のグランド及び電源プレーンを備えた多層プリント基板を推奨します。高速信号は、グランドプレーンのすぐ上のインピーダンスが調節されたラインに通して下さい。MAX5186/MAX5189はアナログとデジタルのグランドバス(それぞれAGND及びDGND)が別々になっているため、プリント基板の方もアナログとデジタルのグランド部がそれぞれ別々になっており、一点でだけ接続されている(スターグランド)構成が好適です。デジタル信号はデジタルグランドの上に、アナログ信号はアナログ信号の上に引いて下さい。デジタル信号は、敏感なアナログリファレンス及びクロック入力から遠ざけて下さい。

MAX5186/MAX5189はいずれも2つの電源入力を持っています。即ち、アナログ V_{DD} (AV_{DD})とデジタル V_{DD} (DV_{DD})です。各 AV_{DD} 入力は $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列のセラミックチップコンデンサでデカップリングして下さい。その際、これらのコンデンサをピンのできるだけ近くに配置し、グランドプレーンへの接続もできるだけ短くして下さい。 DV_{DD} ピンにも独立の $10\mu\text{F}$ と $0.1\mu\text{F}$ コンデンサをそれぞれのピンの近くに接続して下さい。適正な動作のためには、アナログ負荷容量を最小限に抑えて下さい。最高の性能を得るには、CREF1とCREF2を低ESRの $0.1\mu\text{F}$ のコンデンサで AV_{DD} にバイパスして下さい。

電源電圧は、大きなタンタル又は電解コンデンサを使用してプリント基板に入るところでデカップリングして下さい。フェライトビーズにデカップリングコンデンサを追加してパイ・ネットワークを形成したものを使用すると、さらに性能が向上します。

チップ情報

TRANSISTOR COUNT: 9464

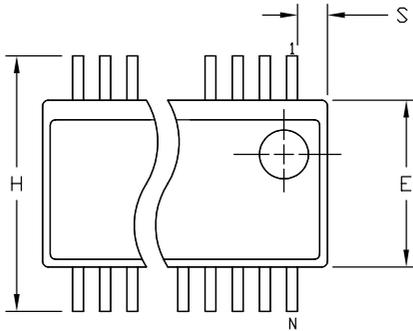
SUBSTRATE CONNECTED TO AGND

デュアル8ビット40MHz、電流/電圧同時出力DAC

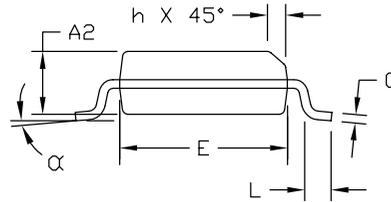
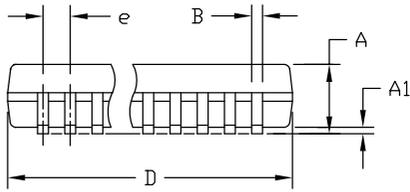
MAX5186/MAX5189

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°



VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

DALLAS SEMICONDUCTOR **MAXIM**
 PROPRIETARY INFORMATION
 TITLE:
 PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL NO. 21-0055 REV. E 1/1

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600