

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

## 概要

MAX5180は、低歪み及び低電力動作でのアナログ信号再構築を必要とする通信機器において高性能を発揮するために設計された2つの10ビット同時更新、電流出力デジタルアナログコンバータ(DAC)を含んでいます。MAX5183は同じ仕様ですが、電圧出力動作用にオンチップ高精度抵抗を備えています。どちらの素子も、出力において望ましくないスプリアス信号成分を最小限に抑えるために10pVsグリッチ動作設計になっています。内蔵+1.2Vバンドギャップ回路は、よく安定化された低ノイズリファレンスを提供します。外部リファレンス動作にこのリファレンスをディセーブルすることもできます。

MAX5180/MAX5183は、最小の消費電力で高レベルの信号完全性を提供するように設計されています。いずれのDACも+2.7V ~ +3.3Vの単一電源で動作します。さらに、これらのDACは3つの動作モード(通常、低電力スタンバイ及び完全シャットダウン)を備えています。完全シャットダウンにおいてはシャットダウン電流が1 $\mu$ A(max)となり、可能な最も低い電力消費を実現します。スタンバイモードからフルDAC動作までのウェイクアップ時間が0.5 $\mu$ sと短いため、必要なときにだけDACを起動して電力を節約できます。

MAX5180/MAX5183は28ピンQSOPパッケージに収められており、拡張(-40 ~ +85 )温度範囲のものが用意されています。低分解能のデュアル8ビットバージョンについては、MAX5186/MAX5189のデータシートを参照して下さい。

## アプリケーション

- I&Q送信信号の信号再構築
- デジタル信号処理
- 任意波形の発生(AWG)
- イメージング

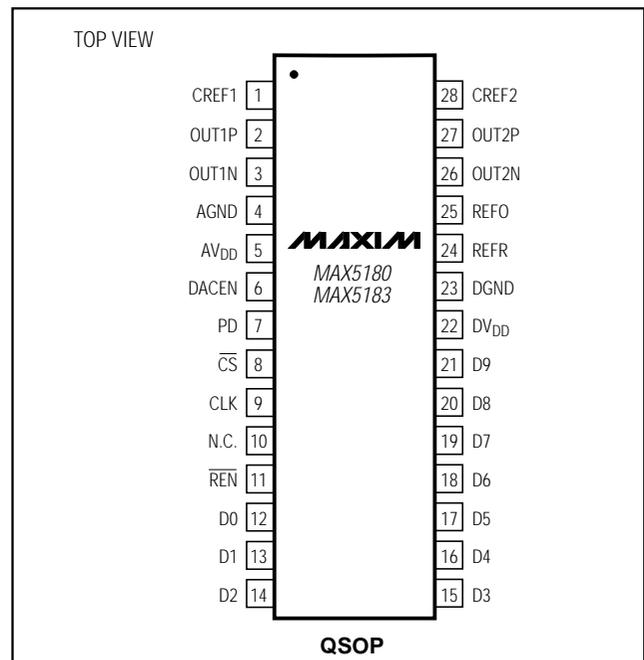
## 特長

- ◆ 単一電源：+2.7V ~ +3.3V
- ◆ 広スプリアスフリーダイナミックレンジ：70dB( $f_{OUT} = 2.2$ MHz)
- ◆ 各DACが完全差動出力を装備
- ◆ FSR利得ミスマッチ： $\pm 0.5\%$
- ◆ 位相ミスマッチ： $\pm 0.2^\circ$
- ◆ 低電流スタンバイ又はフルシャットダウンモード
- ◆ 内部+1.2V低ノイズバンドギャップリファレンス
- ◆ パッケージ：28ピンQSOP

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX5180BEEI	-40°C to +85°C	28 QSOP
MAX5183BEEI	-40°C to +85°C	28 QSOP

## ピン配置



# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## ABSOLUTE MAXIMUM RATINGS

AV <sub>DD</sub> , DV <sub>DD</sub> to AGND, DGND .....	-0.3V to +6V	Maximum Current into Any Pin.....	50mA
Digital Inputs to DGND.....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
OUT1P, OUT1N, OUT2P, OUT2N, CREF1, CREF2 to AGND .....	-0.3V to +6V	28-Pin QSOP (derate 9.00mW/°C above +70°C).....	725mW
V <sub>REF</sub> to AGND .....	-0.3V to +6V	Operating Temperature Range	
AGND to DGND.....	-0.3V to +0.3V	MAX518_BEEI.....	-40°C to +85°C
AV <sub>DD</sub> to DV <sub>DD</sub> .....	±3.3V	Storage Temperature Range .....	-65°C to +150°C
		Lead Temperature (soldering, 10s) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AV<sub>DD</sub> = DV<sub>DD</sub> = +3V ±10%, AGND = DGND = 0, f<sub>CLK</sub> = 40MHz, I<sub>FS</sub> = 1mA, 400Ω differential output, C<sub>L</sub> = 5pF, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution	N			10			Bits
Integral Nonlinearity	INL			-2	±0.5	+2	LSB
Differential Nonlinearity	DNL	Guaranteed monotonic		-1	±0.5	+1	LSB
Zero-Scale Error		MAX5180		-2		+2	LSB
		MAX5183		-8		+8	
Full-Scale Error		(Note 1)		-40	±15	+40	LSB
<b>DYNAMIC PERFORMANCE</b>							
Output Settling Time		To ±0.5LSB error band			25		ns
Glitch Impulse					10		pVs
Spurious-Free Dynamic Range to Nyquist	SFDR	f <sub>CLK</sub> = 40MHz	f <sub>OUT</sub> = 550kHz		72		dBc
			f <sub>OUT</sub> = 2.2MHz, T <sub>A</sub> = +25°C	57	70		
Total Harmonic Distortion to Nyquist	THD	f <sub>CLK</sub> = 40MHz	f <sub>OUT</sub> = 550kHz		-70		dB
			f <sub>OUT</sub> = 2.2MHz, T <sub>A</sub> = +25°C		-68	-63	
Signal-to-Noise Ratio to Nyquist	SNR	f <sub>CLK</sub> = 40MHz	f <sub>OUT</sub> = 550kHz		61		dB
			f <sub>OUT</sub> = 2.2MHz, T <sub>A</sub> = +25°C		59		
DAC-to-DAC Output Isolation		f <sub>OUT</sub> = 2.2MHz			-60		dB
Clock and Data Feedthrough		All 0s to all 1s			50		nVs
Output Noise					10		pA/√Hz
Gain Mismatch Between DAC Outputs		f <sub>OUT</sub> = 2.2MHz, T <sub>A</sub> = +25°C			±0.5	±1	%FSR
Phase Mismatch Between DAC Outputs		f <sub>OUT</sub> = 2.2MHz			±0.15		degrees
<b>ANALOG OUTPUT</b>							
Full-Scale Output Voltage	V <sub>FS</sub>				400		mV
Voltage Compliance of Output				-0.3		0.8	V
Output Leakage Current		DACEN = 0, MAX5180 only		-1		1	μA
Full-Scale Output Current	I <sub>FS</sub>	MAX5180 only		0.5	1	1.5	mA
DAC External Output Resistor Load	R <sub>L</sub>	MAX5180 only			400		Ω

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = DV_{DD} = +3V \pm 10\%$ ,  $AGND = DGND = 0$ ,  $f_{CLK} = 40MHz$ ,  $I_{FS} = 1mA$ ,  $400\Omega$  differential output,  $C_L = 5pF$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

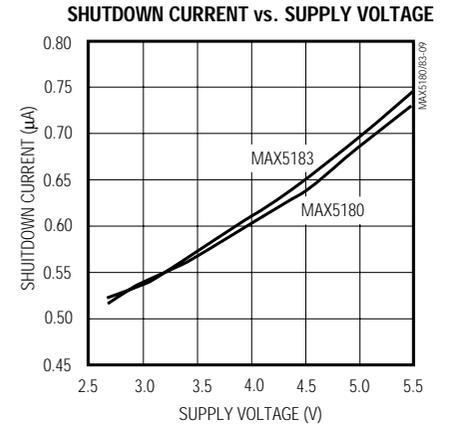
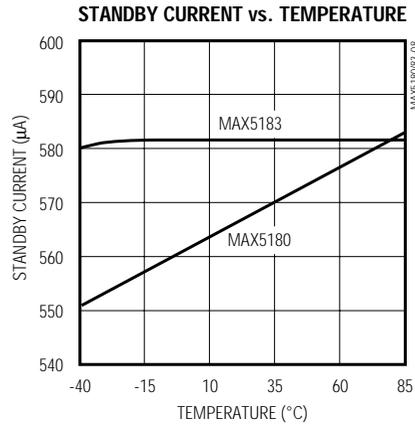
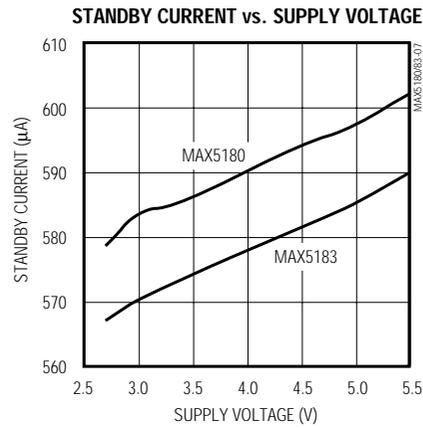
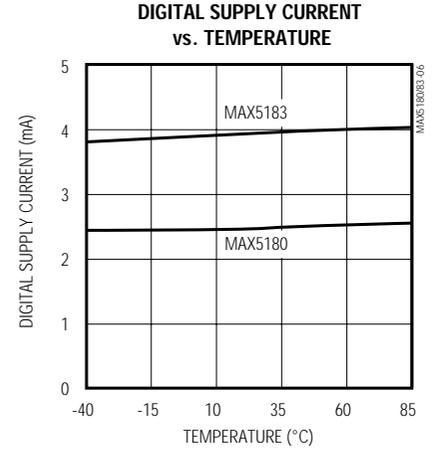
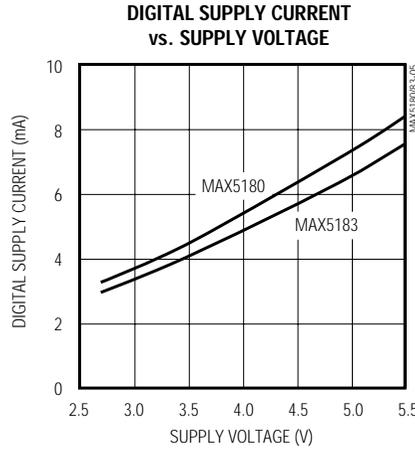
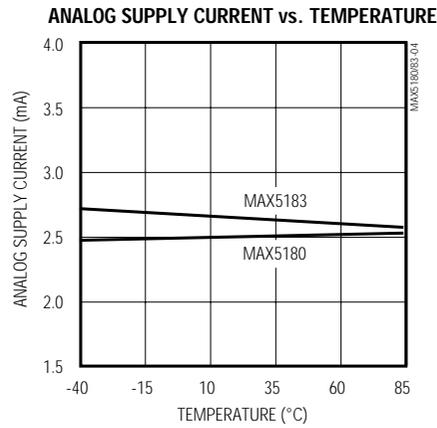
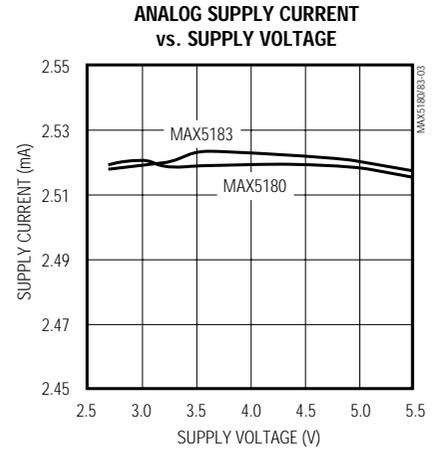
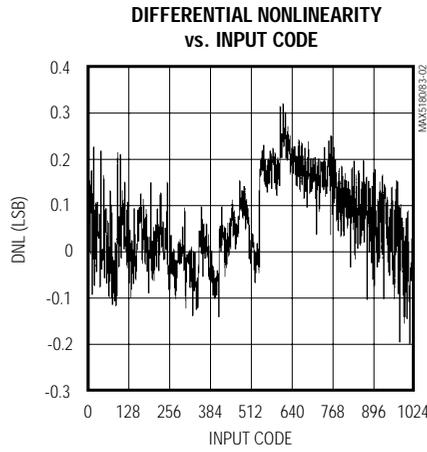
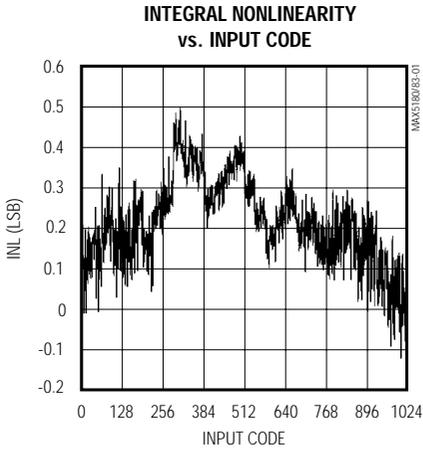
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>REFERENCE</b>						
Output Voltage Range	$V_{REF}$		1.12	1.2	1.28	V
Output Voltage Temperature Drift	$TCV_{REF}$			50		ppm/ $^\circ C$
Reference Output Drive Capability	$I_{REFOUT}$			10		$\mu A$
Reference Supply Rejection				0.5		mV/V
Current Gain ( $I_{FS} / I_{REF}$ )				8		mA/mA
<b>POWER REQUIREMENTS</b>						
Analog Power-Supply Voltage	$AV_{DD}$		2.7		3.3	V
Analog Supply Current	$I_{AVDD}$	PD = 0, DACEN = 1, digital inputs at 0 or $DV_{DD}$		2.7	5.0	mA
Digital Power-Supply Voltage	$DV_{DD}$		2.7		3.3	V
Digital Supply Current	$IDVDD$	PD = 0, DACEN = 1, digital inputs at 0 or $DV_{DD}$		4.2	5.0	mA
Standby Current	$I_{STANDBY}$	PD = 0, DACEN = 0, digital inputs at 0 or $DV_{DD}$		1.0	1.5	mA
Shutdown Current	$I_{SHDN}$	PD = 1, DACEN = X, digital inputs at 0 or $DV_{DD}$ (X = don't care)		0.5	1.0	$\mu A$
<b>LOGIC INPUTS AND OUTPUTS</b>						
Digital Input Voltage High	$V_{IH}$		2			V
Digital Input Voltage Low	$V_{IL}$				0.8	V
Digital Input Current	$I_{IN}$	$V_{IN} = 0$ or $DV_{DD}$			$\pm 1$	$\mu A$
Digital Input Capacitance	$C_{IN}$			10		pF
<b>TIMING CHARACTERISTICS</b>						
DAC1 DATA to CLK Rise Setup Time	$t_{DS1}$		10			ns
DAC2 DATA to CLK Fall Setup Time	$t_{DS2}$		10			ns
DAC1 CLK Rise to DATA Hold Time	$t_{DH1}$		0			ns
DAC2 CLK Fall to DATA Hold Time	$t_{DH2}$		0			ns
$\overline{CS}$ Fall to CLK Rise Time				5		ns
$\overline{CS}$ Fall to CLK Fall Time				5		ns
DACEN Rise Time to $V_{OUT\_}$				0.5		$\mu s$
PD Fall Time to $V_{OUT\_}$				50		$\mu s$
Clock Period	$t_{CP}$		25			ns
Clock High Time	$t_{CH}$		10			ns
Clock Low Time	$t_{CL}$		10			ns

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## 標準動作特性

( $V_{DD} = DV_{DD} = +3V$ ,  $AGND = DGND = 0$ ,  $400\Omega$  differential output,  $I_{FS} = 1mA$ ,  $C_L = 5pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

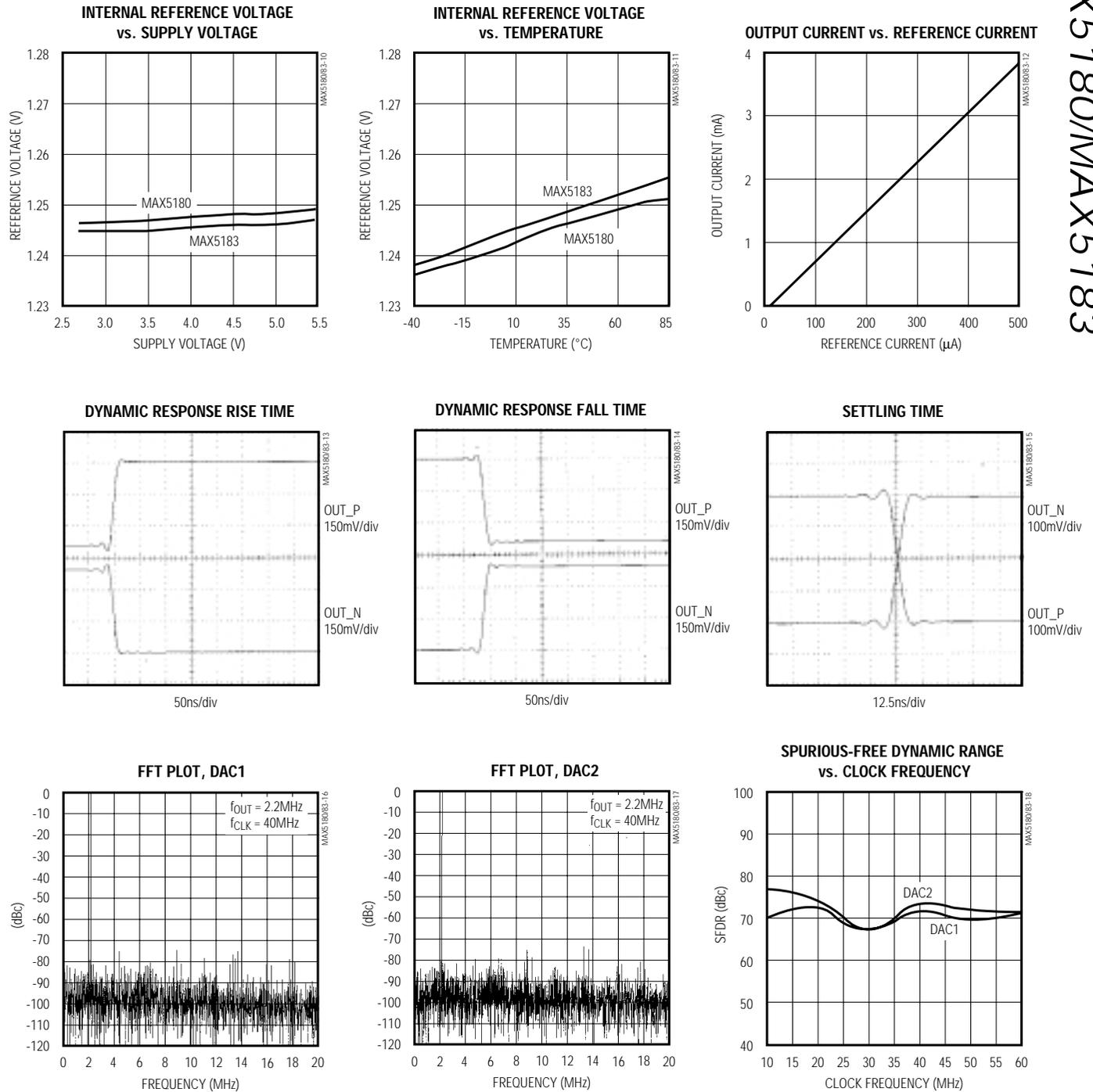


# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## 標準動作特性(続き)

( $V_{DD} = DV_{DD} = +3V$ ,  $AGND = DGND = 0$ ,  $400\Omega$  differential output,  $I_{FS} = 1mA$ ,  $C_L = 5pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



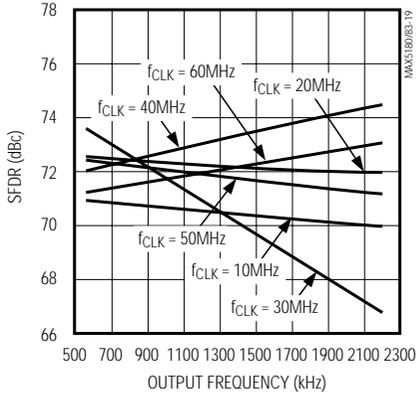
# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

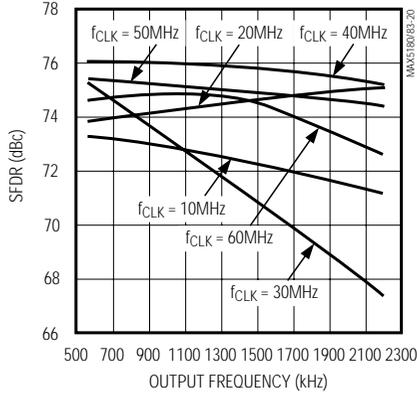
## 標準動作特性(続き)

( $V_{DD} = DV_{DD} = +3V$ ,  $AGND = DGND = 0$ ,  $400\Omega$  differential output,  $I_{FS} = 1mA$ ,  $C_L = 5pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

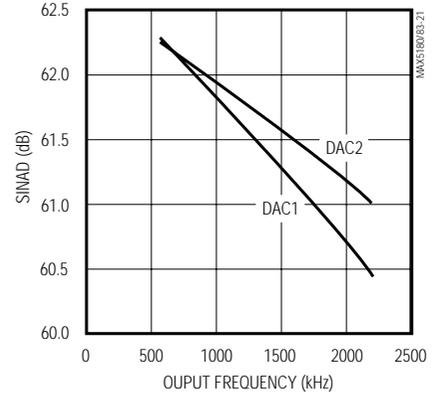
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY AND CLOCK FREQUENCY, DAC1



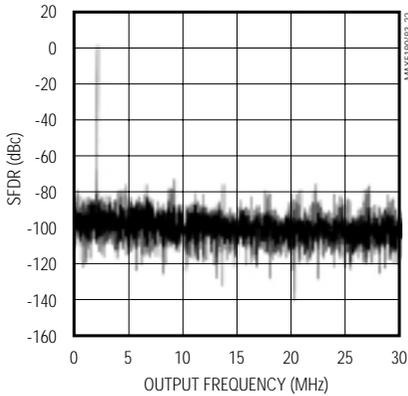
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY AND CLOCK FREQUENCY, DAC2



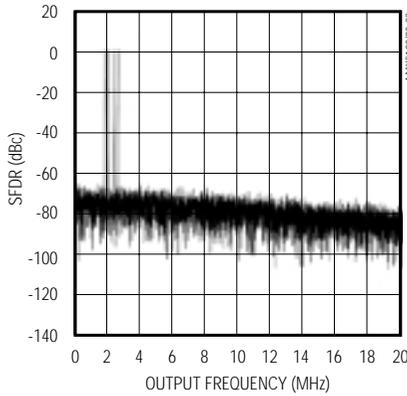
SIGNAL-TO-NOISE PLUS DISTORTION vs. OUTPUT FREQUENCY



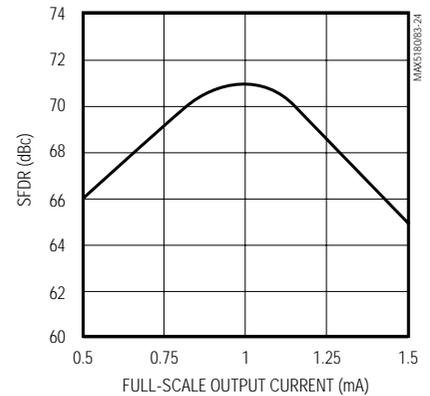
SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY



MULTITONE SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY



SPURIOUS-FREE DYNAMIC RANGE vs. FULL-SCALE OUTPUT CURRENT



# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## 端子説明

端子	名称	機能
1	CREF1	リファレンスバイアスバイパス(DAC1)
2	OUT1P	正アナログ出力(DAC1)。MAX5180の場合は電流出力。MAX5183の場合は電圧出力。
3	OUT1N	負アナログ出力(DAC1)。MAX5180の場合は電流出力。MAX5183の場合は電圧出力。
4	AGND	アナロググランド
5	AV <sub>DD</sub>	アナログ正電源(+2.7V ~ +3.3V)
6	DACEN	DACイネーブル、デジタル入力 0 : DACスタンバイモードに入ります(PD = DGND)。 1 : DACがパワーアップします(PD = DGND)。 X : PD = DV <sub>DD</sub> の時にシャットダウンモードに入ります(X = 任意)。
7	PD	パワーダウンセレクト 0 : DACスタンバイモードに入るか(DACEN = DGND)、あるいはDACがパワーアップします(DACEN = DV <sub>DD</sub> )。 1 : シャットダウンモードに入ります。
8	$\overline{CS}$	アクティブローチップセレクト
9	CLK	クロック入力
10	N.C.	無接続。このピンには接続しないで下さい。
11	$\overline{REN}$	アクティブローリファレンスイネーブル。DGNDに接続するとオンチップ+1.2Vリファレンスが起動します。
12	D0	データビットD0(LSB)
13-20	D1-D8	データビットD1 ~ D8
21	D9	データビットD9(MSB)
22	DV <sub>DD</sub>	デジタル電源(+2.7V ~ +3.3V)
23	DGND	デジタルグランド
24	REFR	リファレンス入力
25	REFO	リファレンス出力
26	OUT2N	負アナログ出力(DAC2)。MAX5180の場合は電流出力。MAX5183の場合は電圧出力。
27	OUT2P	正アナログ出力(DAC2)。MAX5180の場合は電流出力。MAX5183の場合は電圧出力。
28	CREF2	リファレンスバイアスバイパス(DAC2)

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

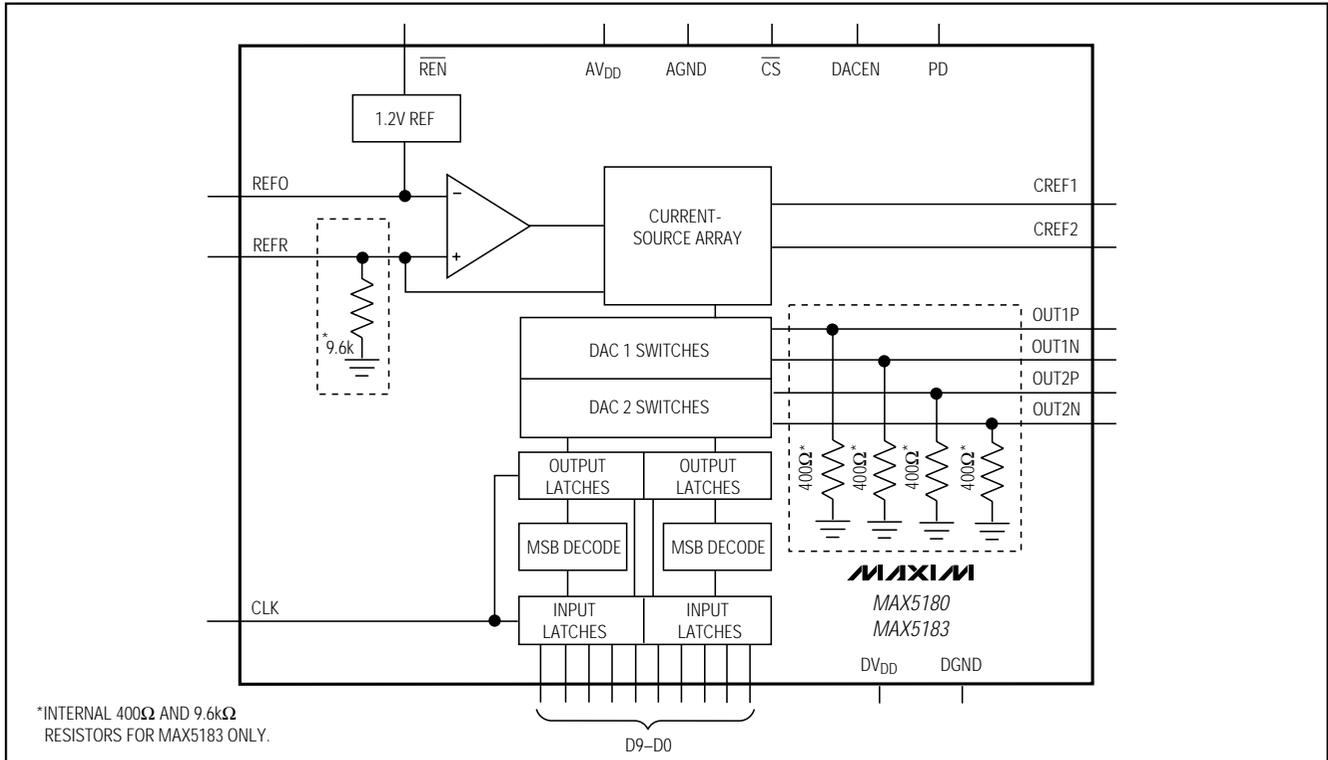


図1. ファンクションダイアグラム

## 詳細

MAX5180/MAX5183は、40MHzまでのクロック速度で動作可能なデュアル10ビットデジタルアナログコンバータ(DAC)です。これらのデュアルコンバータは、それぞれ独立の入力及びDACレジスタとそれに続く電流ソースアレイ(最大1.5mAのフルスケール出力電流能力)からなっています(図1)。内蔵+1.2V電圧リファレンス及び制御アンプがデータコンバータのフルスケール出力電流/電圧を決定します。リファレンス設計を注意深く行うことにより、正確な利得マッチングと優れたドリフト特性が保証されます。MAX5183の電圧出力動作においては、マッチングされた400 のオンチップ抵抗が電流アレイの電流を電圧に変換します。

### 内部リファレンス及び制御アンプ

MAX5180/MAX5183は内蔵50ppm/、+1.2V低ノイズバンドギャブリファレンスを提供しています。このリファレンスは、外部リファレンス電圧によってディセーブル/オーバーライドできます。REFOは外部リファレンス入力又は内蔵リファレンス出力の役割を果たします。 $\overline{REN}$ がAGNDに接続されていると、内部リファレンス出力が選択され、REFOが+1.2Vの出力を

供給します。出力駆動能力が10 $\mu$ Aに制限されているため、負荷が大きいときはREFOを外部アンプでバッファする必要があります。

また、MAX5180/MAX5183は、素子の両方の出力のフルスケール出力電流( $I_{FS}$ )を同時に制御するように設計された制御アンプを採用しています。出力電流は次式で計算できます。

$$I_{FS} = 8 \times I_{REF}$$

ここで、 $I_{REF}$ はリファレンス出力電流( $I_{REF} = V_{REF}/R_{SET}$ )、 $I_{FS}$ はフルスケール出力電流です。 $R_{SET}$ は、MAX5180のアンプの出力を決定するリファレンス抵抗です(図2)。この電流は電流ソースアレイに反映(ミラー)されて、そこでマッチングされた電流セグメント間に平等に分配され、加算されてDACの有効な出力電流読取り値を生成します。

MAX5183は、2つのグランド基準の内部400 負荷抵抗を使用して各出力電流(DAC1及びDAC2)を出力電圧( $V_{OUT1}$ 、 $V_{OUT2}$ )に変換します。MAX5183の内部リファレンス出力電流抵抗( $R_{SET} = 9.6k$ )は、内部+1.2Vリファレンス電圧を使用して $I_{REF}$ を125 $\mu$ Aに、 $I_{FS}$ を1mAに設定します。



# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## 外部リファレンス

MAX5180/MAX5183の内部リファレンスをディセーブルするには、 $\overline{\text{REN}}$ を $\text{AV}_{\text{DD}}$ に接続して下さい。これで、温度安定性の良い外部リファレンスを印加してREFOピンを駆動し、フルスケール出力を設定できます(図3)。電流アレイのカスケード電流を生成するバイアス回路を駆動するために、少なくとも $150\mu\text{A}$ を供給できるリファレンスを選択して下さい。精度及びドリフト性能を改善するため、 $+1.2\text{V}$ 、 $25\text{ppm/}$ のMAX6520バンドギャップリファレンス等の固定出力電圧リファレンスを選択して下さい。

## スタンバイモード

低電力スタンバイモードに入るには、デジタル入力PD及びDACENをDGNDに接続して下さい。スタンバイモードにおいては、リファレンスと制御アンプの両方がアクティブで、電流アレイはインアクティブです。この状態を解除するには、PDがDGNDに保持された状態でDACENをハイに引き上げる必要があります。MAX5180及びMAX5183は、いずれもウェイクアップして出力とリファレンスの両方がセトリングするまでに $50\mu\text{s}(\text{typ})$ を要します。

## シャットダウンモード

消費電力を最も小さくする手段として、MAX5180/MAX5183はパワーダウンモードを提供しています。このモードにおいては、リファレンス、制御アンプ及び電流アレイがインアクティブで、DACの消費電流は $1\mu\text{A}$ まで低減します。このモードに入るには、PDを $\text{DV}_{\text{DD}}$ に接続して下さい。アクティブモードに戻るには、PDをDGNDに接続して、DACENを $\text{DV}_{\text{DD}}$ に接続して下さい。表1に、パワーダウンモードの選択表を示します。素子がシャットダウンモードを解除して、シャットダウン前の出力値に安定するまでに約 $50\mu\text{s}$ を要します。

## タイミング情報

MAX5180/MAX5183の両方のDACセルが同時に出力に書き込みます(図4)。第1のDAC(DAC1)の入力ラッチは、クロック信号がハイに遷移した後でロードされます。クロック信号がローに遷移すると、第2のDAC(DAC2)の入力ラッチがロードされます。次のクロックの立上りエッジで、両方の入力ラッチの内容が同時にDACレジスタにシフトされ、出力が更新されます。

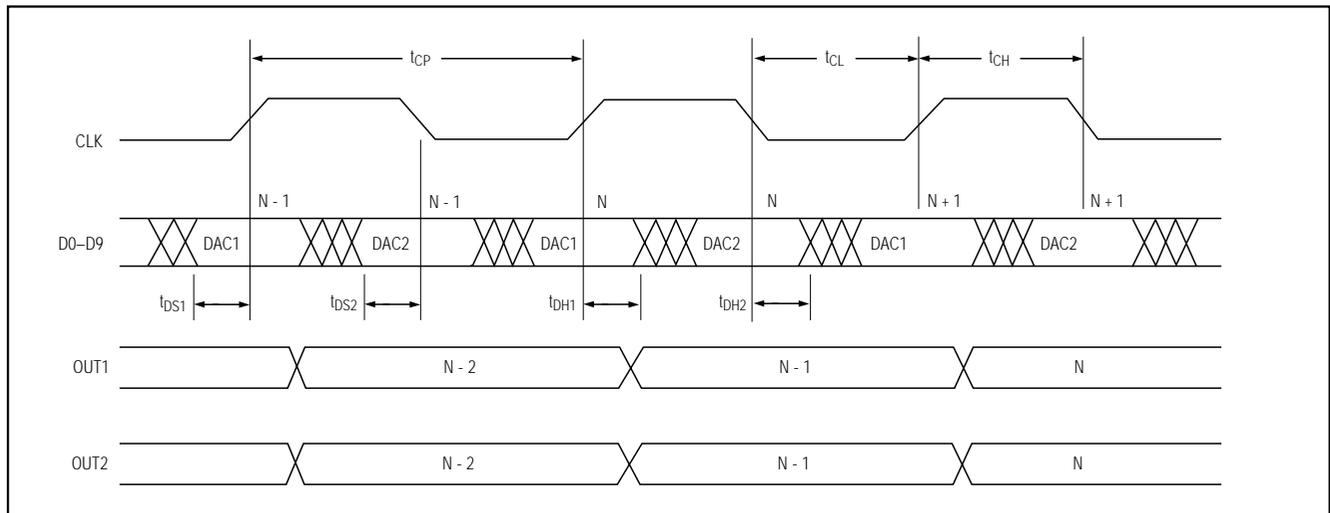


図4. タイミング図

表1. パワーダウンモードの選択表

PD (POWER-DOWN SELECT)	DACEN (DAC ENABLE)	POWER-DOWN MODE	OUTPUT STATE	
0	0	Standby	MAX5180	High-Z
			MAX5183	AGND
0	1	Wake-Up	Last state prior to standby mode	
1	X	Shutdown	MAX5180	High-Z
			MAX5183	AGND

X = 任意

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## 出力

MAX5180の出力は、並列な400Ω負荷と5pFの容量性負荷に1mAのフルスケール電流を供給するように設計されています。MAX5183は、アレイ電流を比例する差動電圧400mVに回復する内部400Ω抵抗を備えています。これらの差動出力電圧を使用することにより、平衡不平衡変成器又は低歪み高速オペアンプを駆動し、差動電圧をシングルエンド電圧に変換できます。

## アプリケーション情報

### 静的及び動的性能の定義

#### 積分非直線性

積分非直線性(INL)(図5a)は、実際の伝達関数値の直線からの偏差です。この直線は、ベストストレートラインフィット(実際の伝達曲線に最も近い近似)あるいはオフ

セット及び利得誤差をヌル(ゼロ)にした後に、伝達関数のエンドポイント間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

#### 微分非直線性

微分非直線性(DNL)(図5b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと、及びコードは単調性であることが保証されます。

#### オフセット誤差

オフセット誤差(図5c)は、理想的なオフセットポイントと実際のオフセットポイント間の差です。DACの場合、オフセットポイントはデジタル入力力がゼロの時のステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償できます。

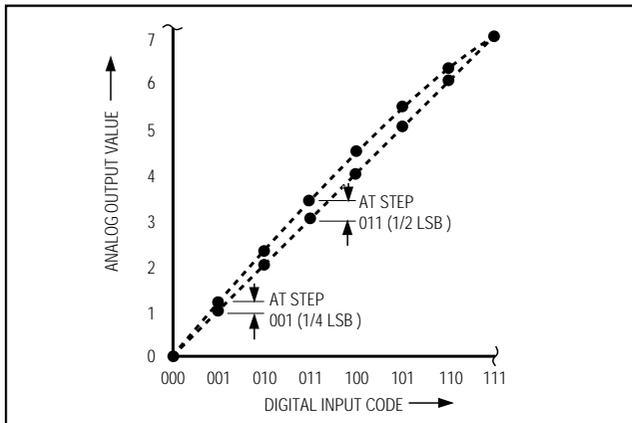


図5a. 積分非直線性

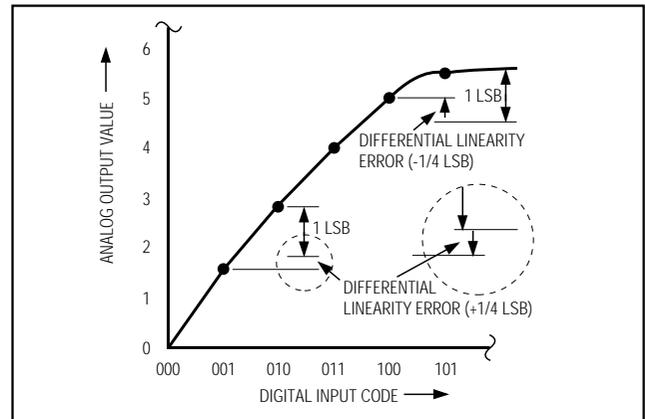


図5b. 微分非直線性

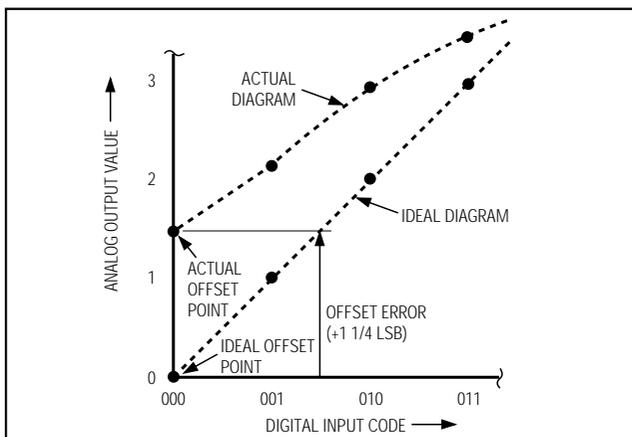


図5c. オフセット誤差

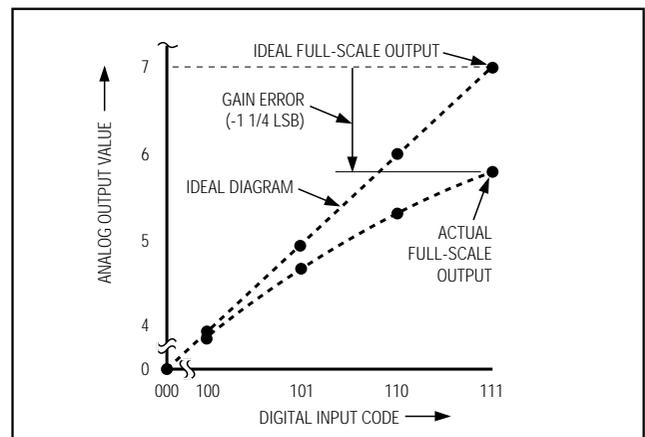


図5d. 利得誤差

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

## 利得誤差

利得誤差(図5d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際値の間の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同じ比率の誤差となります。

## セトリング時間

セトリング時間は、遷移の開始からDAC出力値がコンバータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

## デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の変移時にDACの出力で生じるノイズです。このノイズは、適正な基板レイアウト及びグラウンディングによってかなり削減できますが、DACそのものに起因するフィードスルーはある程度常に存在します。

## 全高調波歪み

全高調波歪み(THD)は、入力信号の最初の4つの高調波RMS和と基本波そのものの比です。これは次式で表されます。

$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は2次～5次高調波の振幅です。

## スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)と次に大きな歪み成分のRMS値の比です。

## 差動からシングルエンドの変換

MAX4108低歪み高入力帯域幅アンプを使用することにより、MAX5180のアレイ電流出力から電圧を生成できます。適切なオペアンプ構成を設計することにより、OUT1P(またはOUT2P)とOUT1N(またはOUT2N)の間の差動電圧がシングルエンド電圧に変換されます(図6)。

## QAMアプリケーションにおけるI/Q再構築

MAX5180/MAX5183は低歪みであるため、QAM(直交振幅変調)アーキテクチャで通常使用される同相(I)及び直交(Q)キャリア成分のアナログ再構築をサポートします。(QAMアーキテクチャにおいては、IとQデータが共通のデータバス上でインタリーブされます。)

QAM信号は、キャリア周波数の振幅及び位相の両方が変調されています。これは、周波数が同じで位相が異なる(位相差が90度)2つの独立に変調されたキャリアを加算することによって生成されます。

標準的なQAMアプリケーション(図7)においては、変調はデジタルドメインで起こり、MAX5180/MAX5183のデュアルDACを使用してアナログI&Q成分を再構築できます。

I/Q再構築システムは、再構築されたI&Q成分を同相及び直交位相のキャリア周波数と結合して、両方の出力を加算し、QAM信号を提供する直交変調器を加えることによって完成します。

## グラウンディング及び電源デカップリング

グラウンディング及び電源デカップリングは、MAX5180/MAX5183の性能に強い影響を与えます。望ましくないデジタルクロストークが入力、リファレンス、電源及びグランド接続部を通じてカップリングし、信号雑音比又はスプリアスフリーダイナミックレンジ等の動的性能に悪影響を与える可能性があります。さらに電磁的干渉(EMI)がMAX5180/MAX5183にカップリングして入ってきたり、MAX5180/MAX5183で発生することがあります。このため、グラウンディング及び電源デカップリングの際には高速高周波数アプリケーション用のガイドラインに忠実に従う必要があります。

まず、独立のグランド及び電源プレーンを備えた多層プリント基板を推奨します。高速信号は、グランドプレーンのすぐ上のインピーダンスが調整されたラインに通して下さい。MAX5180/MAX5183はアナログとデジタルのグランドバス(それぞれAGND及びDGND)が別々になっているため、プリント基板の方もアナログとデジタルのグランド部がそれぞれ別々になっていて一点でだけ接続されている(スターグランド)構成が好適です。デジタル信号はデジタルグランドの上に、アナログ信号はアナログ信号の上に引いて下さい。

MAX5180/MAX5183は、アナログ $V_{DD}$ ( $AV_{DD}$ )及びデジタル $V_{DD}$ ( $DV_{DD}$ )の2つの電源入力を持っています。各 $AV_{DD}$ 入力は、 $10\mu\text{F}$ と $0.1\mu\text{F}$ の並列なセラミックチップコンデンサでデカップリングして下さい。その際、これらのコンデンサをピンのできるだけ近くに配置し、グランドプレーンへの接続もできるだけ短くして下さい。 $DV_{DD}$ ピンにも独立の $10\mu\text{F}$ と $0.1\mu\text{F}$ コンデンサをそれぞれのピンの近くに接続して下さい。適正な動作のために、アナログ負荷容量を最小限に抑えて下さい。最高の性能を得るために、CREF1及びCREF2を低ESRの $0.1\mu\text{F}$ のコンデンサで $AV_{DD}$ にバイパスして下さい。

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

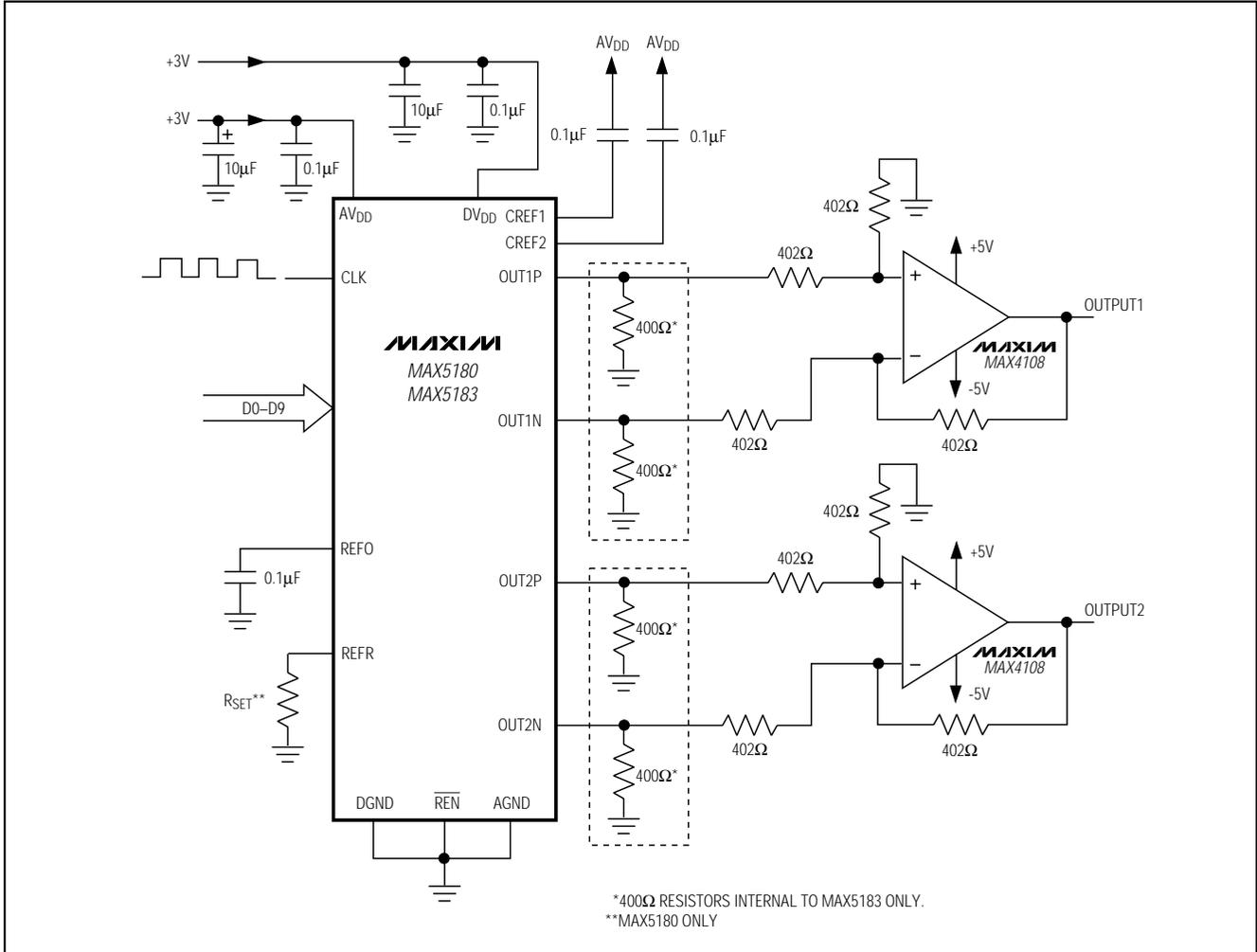


図6. 低歪みアンプを使用した差動からシングルエンドへの変換

電源電圧は、大きなタンタル又は電解コンデンサを使用してプリント基板に入るところでデカップリングして下さい。フェライトビーズにデカップリングコンデンサを追加してパイ・ネットワークを形成したものを使用すると、さらに性能が向上します。

## チップ情報

TRANSISTOR COUNT: 9464

SUBSTRATE CONNECTED TO AGND

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

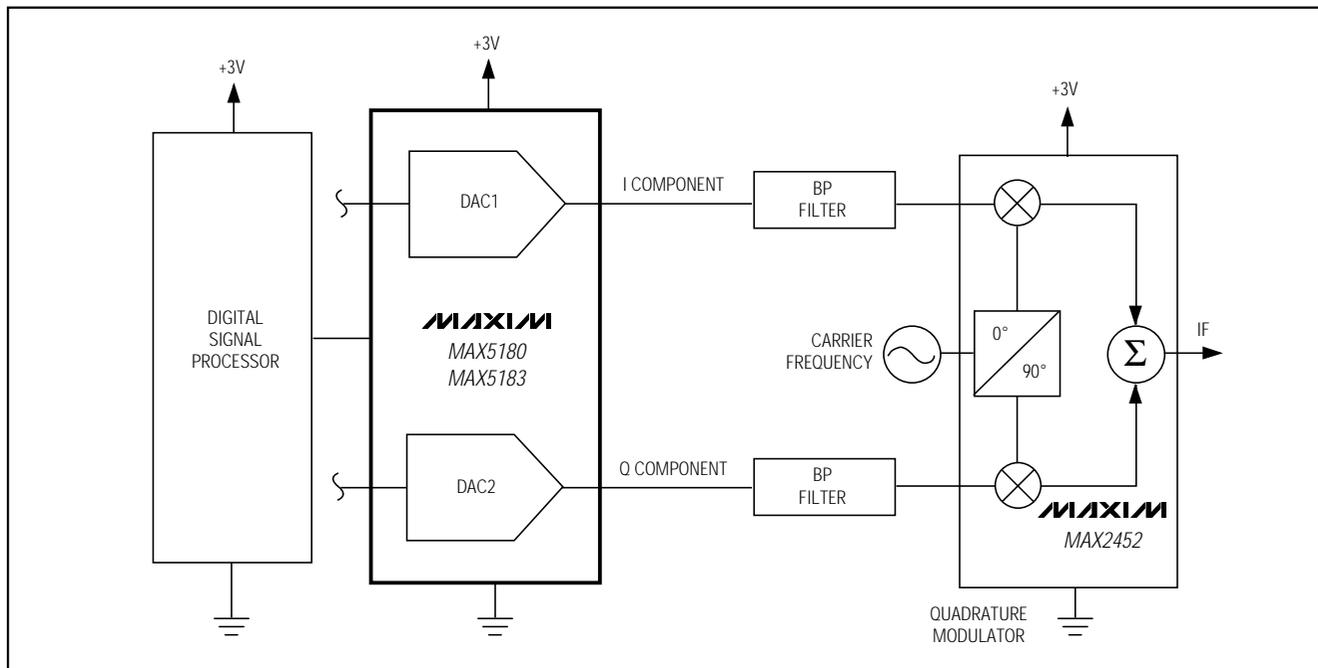


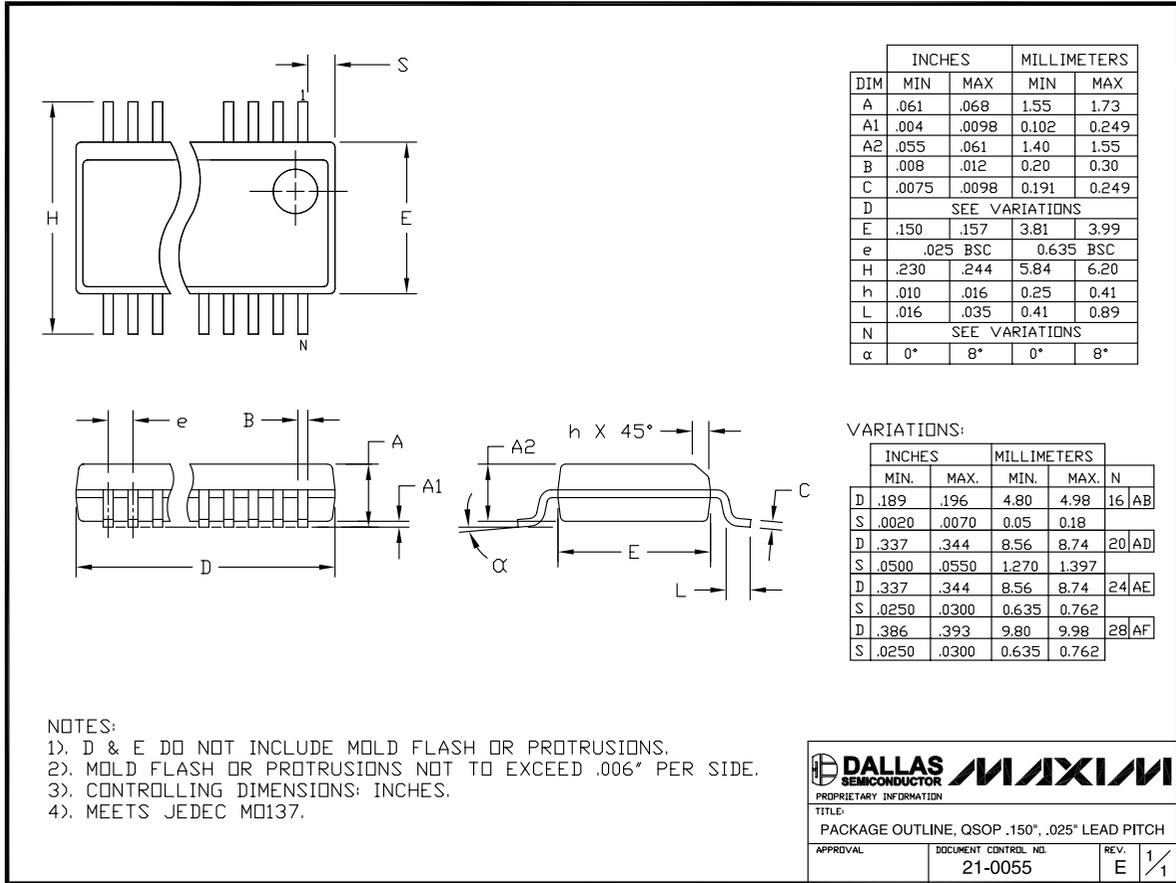
図7. MAX5180/MAX5183を使用したI/Q信号再構築

# デュアル、10ビット、40MHz、 電流/電圧同時出力DAC

MAX5180/MAX5183

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 15