

# 低電力シリアル14ビット電圧出力DAC

## 概要

MAX5170/MAX5172は、高精度出力アンプ付の低電力シリアル14ビット電圧出力D/Aコンバータ(DAC)を省スペースの16ピンQSOPパッケージに内蔵しています。MAX5170は+5V単一電源で動作し、MAX5172は+3V単一電源で動作します。いずれのデバイスも消費電流は僅か280 $\mu$ Aで、シャットダウンモードではさらに1 $\mu$ Aに低減します。さらに、設定可能なパワーアップリセット機能により、初期出力状態として0V又はミッドスケールを選択できます。

3線シリアルインタフェースは、SPI™、QSPI™及びMICROWIRE™規格とコンパチブルです。各DACは、入力レジスタにDACレジスタが続く形で構成されたダブルバッファ付入力を備えているため、16ビットシリアルワードによってDACレジスタを入力レジスタと同時に又は個別に更新できます。その他の特長としては、ソフトウェア及びハードウェアシャットダウン、シャットダウンロックアウト、ハードウェアクリアピン、そしてDC及びオフセットAC信号を許容するリファレンス入力等が挙げられます。これらのデバイスは、機能性を増すための設定可能なデジタル出力ピン及びディジーチェーン接続用のシリアルデータ出力ピンを備えています。全てのロジック入力はTTL/CMOSコンパチブルで、内部シュミットトリガでバッファされているため、フォトカプラと直接インタフェースすることが可能です。

MAX5170/MAX5172は独自の内蔵回路により、パワーアップ時のグリッチを数ミリボルトに抑えて出力電圧を実質的に「グリッチフリー」に保ちます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85 )のものが用意されています。ピンコンパチブルの内部リファレンス付DAC製品は、13ビットMAX5130/MAX5131及び12ビットMAX5120/MAX5121のデータシートを参照して下さい。

## アプリケーション

- 工業用プロセス制御
- デジタルオフセット及び利得調節
- モーションコントロール
- 自動試験機器(ATE)
- リモート工業用制御
- $\mu$ P制御機器

ファンクションダイアグラムは、データシートの最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。  
レイルトゥレイルは日本モトローラの登録商標です。

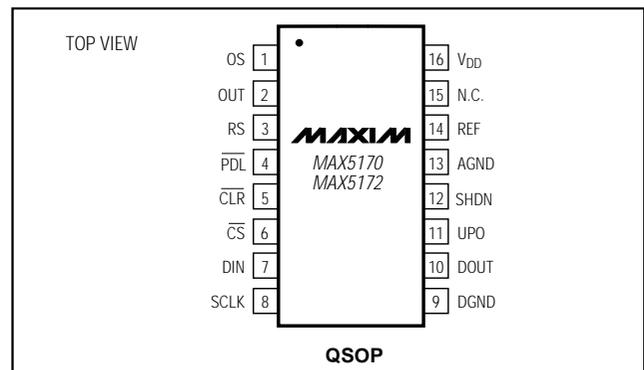
## 特長

- ◆ INL :  $\pm 1$ LSB
- ◆ シャットダウン電流 : 1 $\mu$ A
- ◆ パワーアップ時に出力がグリッチフリー
- ◆ 単一電源動作
  - +5V (MAX5170)
  - +3V (MAX5172)
- ◆ フルスケール出力範囲
  - +2.048V (MAX5172,  $V_{REF} = +1.25V$ )
  - +4.096V (MAX5170,  $V_{REF} = +2.5V$ )
- ◆ レイルトゥレイル®出力アンプ
- ◆ 出力オフセットは調節可能
- ◆ 乗算動作における低THD : -80dB
- ◆ 3線シリアルインタフェース : SPI/QSPI/MICROWIREコンパチブル
- ◆ ピン設定可能なシャットダウンモード及びパワーアップリセット(出力電圧を0V又はミッドスケールに設定)
- ◆ バッファ付出力 : 5k  $\Omega$  // 100pF負荷を駆動可能
- ◆ ユーザ設定可能なデジタル出力ピンを使用して外部部品のシリアル制御が可能
- ◆ 12ビットMAX5174/MAX5176のピンコンパチブルアップグレード製品

## 型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5170AEEE	-40°C to +85°C	16 QSOP	$\pm 1$
MAX5170BEEE	-40°C to +85°C	16 QSOP	$\pm 2$
MAX5172AEEE	-40°C to +85°C	16 QSOP	$\pm 2$
MAX5172BEEE	-40°C to +85°C	16 QSOP	$\pm 4$

## ピン配置



# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND, DGND.....	-0.3V to +6.0V
AGND to DGND.....	-0.3V to +0.3V
Digital Inputs to DGND.....	-0.3V to +6.0V
DOUT, UPO to DGND.....	-0.3V to (V <sub>DD</sub> + 0.3V)
OUT, REF to AGND.....	-0.3V to (V <sub>DD</sub> + 0.3V)
OS to AGND.....	(AGND - 4.0V) to (V <sub>DD</sub> + 0.3V)
Maximum Current into Any Pin.....	50mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
16-Pin QSOP (derate 8mW/°C above +70°C).....	667mW
Operating Temperature Range.....	-40°C to +85°C
Storage Temperature Range.....	-65°C to +150°C
Lead Temperature (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS—MAX5170

(V<sub>DD</sub> = +5V ±10%, V<sub>REF</sub> = 2.5V, OS = AGND = DGND, R<sub>L</sub> = 5kΩ, C<sub>L</sub> = 100pF referenced to ground, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution			14			Bits
Integral Nonlinearity (Note 1)	INL	MAX5170A			±1	LSB
		MAX5170B			±2	
Differential Nonlinearity	DNL				±1	LSB
Offset Error (Note 2)	V <sub>OS</sub>				±10	mV
Gain Error	GE	R <sub>L</sub> = ∞		-0.6	±4	LSB
		R <sub>L</sub> = 5kΩ		-1.6	±8	
Power-Supply Rejection Ratio	PSRR			10	120	μV/V
Output Noise Voltage		f = 100kHz		1		LSBp-p
Output Thermal Noise Density				80		nV/√Hz
<b>REFERENCE</b>						
Reference Input Range	V <sub>REF</sub>		0		V <sub>DD</sub> - 1.4	V
Reference Input Resistance	R <sub>REF</sub>		18			kΩ
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference -3dB Bandwidth		V <sub>REF</sub> = 0.5Vp-p + 1.5V <sub>DC</sub> , slew-rate limited		350		kHz
Reference Feedthrough		V <sub>REF</sub> = 3.6Vp-p + 1.8V <sub>DC</sub> , f = 1kHz, code = all 0s		-80		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	V <sub>REF</sub> = 1.5 Vp-p + 1.5V <sub>DC</sub> , f = 10kHz, code = 3FFF hex		82		dB
<b>DIGITAL INPUTS</b>						
Input High Voltage	V <sub>IH</sub>		3			V
Input Low Voltage	V <sub>IL</sub>				0.8	V
Input Hysteresis	V <sub>HYS</sub>			200		mV
Input Leakage Current	I <sub>IN</sub>	V <sub>IN</sub> = 0 or V <sub>DD</sub>		0.001	±1	μA
Input Capacitance	C <sub>IN</sub>			8		pF
<b>DIGITAL OUTPUTS</b>						
Output High Voltage	V <sub>OH</sub>	I <sub>SOURCE</sub> = 2mA		V <sub>DD</sub> - 0.5		V
Output Low Voltage	V <sub>OL</sub>	I <sub>SINK</sub> = 2mA		0.13	0.4	V

# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## ELECTRICAL CHARACTERISTICS—MAX5170 (continued)

( $V_{DD} = +5V \pm 10\%$ ,  $V_{REF} = 2.5V$ , OS = AGND = DGND,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.6		V/ $\mu$ s
Output Settling Time		To $\pm 0.5$ LSB, from 10mV to full-scale		18		$\mu$ s
Output Voltage Swing (Note 3)			0		$V_{DD}$	V
OS Pin Input Resistance			80	120		$k\Omega$
Time Required to Exit Shutdown				40		$\mu$ s
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{SCLK} = 100kHz$ , $V_{SCLK} = 5Vp-p$		1		nV-s
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		4.5		5.5	V
Power-Supply Current (Note 4)	$I_{DD}$			0.28	0.4	mA
Shutdown Current (Note 4)				1	10	$\mu$ A
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$		100			ns
SCLK Pulse Width High	$t_{CH}$		40			ns
SCLK Pulse Width Low	$t_{CL}$		40			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		40			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
DIN Setup Time	$t_{DS}$		40			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			80	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			80	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		40			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## ELECTRICAL CHARACTERISTICS—MAX5172

( $V_{DD} = +2.7V$  to  $+3.6V$ ,  $V_{REF} = 1.25V$ ,  $OS = AGND = DGND$ ,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ ).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>STATIC PERFORMANCE</b>						
Resolution			14			Bits
Integral Nonlinearity (Note 5)	INL	MAX5172A			±2	LSB
		MAX5172B			±4	
Differential Nonlinearity	DNL				±1	LSB
Offset Error (Note 2)	VOS				±10	mV
Gain Error	GE	$R_L = \infty$		-0.6	±4	LSB
		$R_L = 5k\Omega$		-1.6	±8	
Power-Supply Rejection Ratio	PSRR			10	120	$\mu V/V$
Output Noise Voltage		$f = 100kHz$		2		LSBp-p
Output Thermal Noise Density				80		$nV/\sqrt{Hz}$
<b>REFERENCE</b>						
Reference Input Range	$V_{REF}$		0		$V_{DD} - 1.4$	V
Reference Input Resistance	$R_{REF}$		18			$k\Omega$
<b>MULTIPLYING-MODE PERFORMANCE</b>						
Reference -3dB Bandwidth		$V_{REF} = 0.5V_{p-p} + 0.75V_{DC}$ , slew-rate limited		350		kHz
Reference Feedthrough		$V_{REF} = 1.6V_{p-p} + 0.8V_{DC}$ , $f = 1kHz$ , code = all 0s		-80		dB
Signal-to-Noise Plus Distortion Ratio	SINAD	$V_{REF} = 0.6V_{p-p} + 0.9V_{DC}$ , $f = 10kHz$ , code = 3FFF hex		78		dB
<b>DIGITAL INPUT</b>						
Input High Voltage	$V_{IH}$		2.2			V
Input Low Voltage	$V_{IL}$				0.8	V
Input Hysteresis	$V_{HYS}$			200		mV
Input Leakage Current	$I_{IN}$	$V_{IN} = 0$ or $V_{DD}$		0.001	±1	$\mu A$
Input Capacitance	$C_{IN}$			8		pF
<b>DIGITAL OUTPUT</b>						
Output High Voltage	$V_{OH}$	$I_{SOURCE} = 2mA$	$V_{DD} - 0.5$			V
Output Low Voltage	$V_{OL}$	$I_{SINK} = 2mA$		0.13	0.4	V

# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## ELECTRICAL CHARACTERISTICS—MAX5172 (continued)

( $V_{DD} = 2.7V$  to  $3.6V$ ,  $V_{REF} = 1.25V$ , OS = AGND = DGND,  $R_L = 5k\Omega$ ,  $C_L = 100pF$  referenced to ground,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ ).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DYNAMIC PERFORMANCE</b>						
Voltage Output Slew Rate	SR			0.6		V/ $\mu s$
Output Settling Time		To $\pm 0.5LSB$ from 10mV to full-scale		18		$\mu s$
Output Voltage Swing (Note 3)			0		$V_{DD}$	V
OS Pin Input Resistance			80	120		$k\Omega$
Time Required to Exit Shutdown				40		$\mu s$
Digital Feedthrough		$\overline{CS} = V_{DD}$ , $f_{SCLK} = 100kHz$ , $V_{SCLK} = 3Vp-p$		1		nV-s
<b>POWER SUPPLIES</b>						
Positive Supply Voltage	$V_{DD}$		2.7		3.6	V
Power-Supply Current (Note 4)	$I_{DD}$			0.28	0.4	mA
Shutdown Current (Note 4)				1	10	$\mu A$
<b>TIMING CHARACTERISTICS</b>						
SCLK Clock Period	$t_{CP}$		150			ns
SCLK Pulse Width High	$t_{CH}$		75			ns
SCLK Pulse Width Low	$t_{CL}$		75			ns
CSB Fall to SCLK Rise Setup Time	$t_{CSS}$		60			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
DIN Setup Time	$t_{DS}$		60			ns
DIN Hold Time	$t_{DH}$		0			ns
SCLK Rise to DOUT Valid Propagation Delay	$t_{DO1}$	$C_{LOAD} = 200pF$			200	ns
SCLK Fall to DOUT Valid Propagation Delay	$t_{DO2}$	$C_{LOAD} = 200pF$			200	ns
SCLK Rise to $\overline{CS}$ Fall Delay	$t_{CS0}$		10			ns
$\overline{CS}$ Rise to SCLK Rise Hold Time	$t_{CS1}$		75			ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		150			ns

**Note 1:** INL guaranteed between codes 40 and 16383.

**Note 2:** Offset is measured at the code that comes closest to 10mV.

**Note 3:** Accuracy is better than 1.0 LSB for  $V_{OUT} = 10mV$  to  $V_{DD} - 180mV$ . Guaranteed by PSR test on end points.

**Note 4:**  $R_L = \text{open}$  and digital inputs are either  $V_{DD}$  or DGND.

**Note 5:** INL guaranteed between codes 80 and 16383.

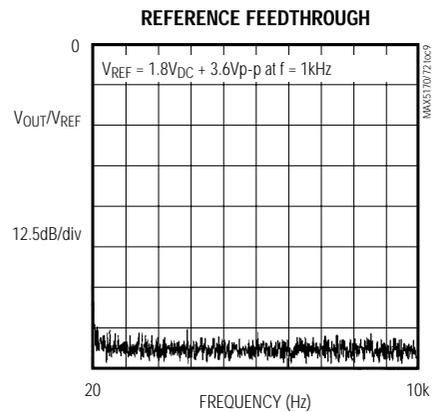
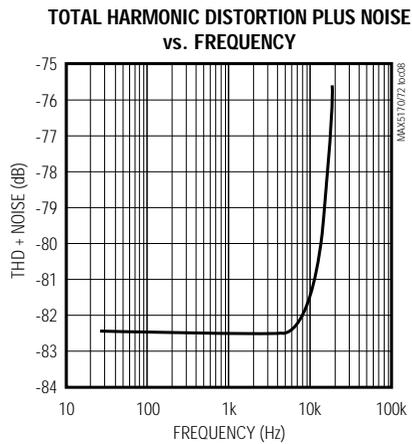
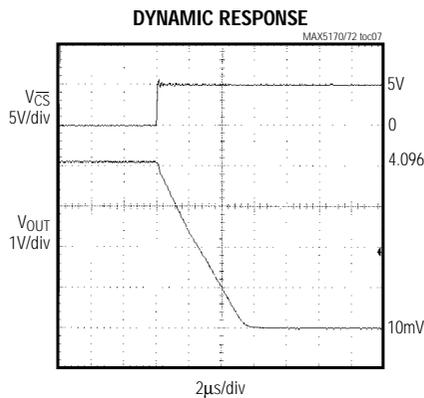
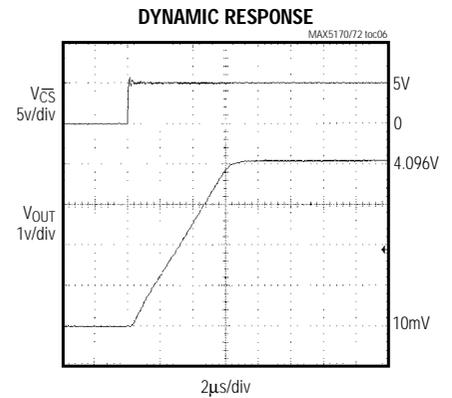
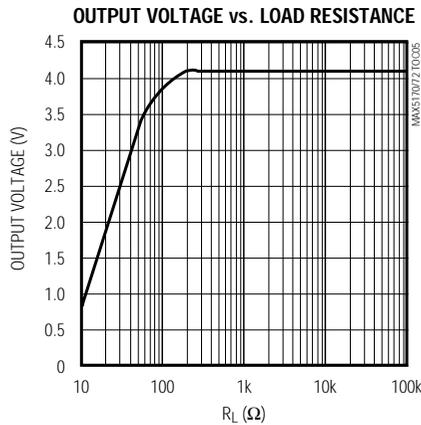
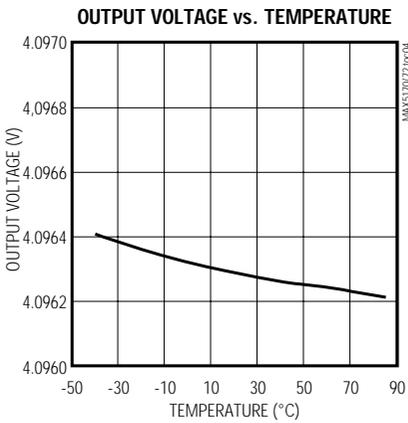
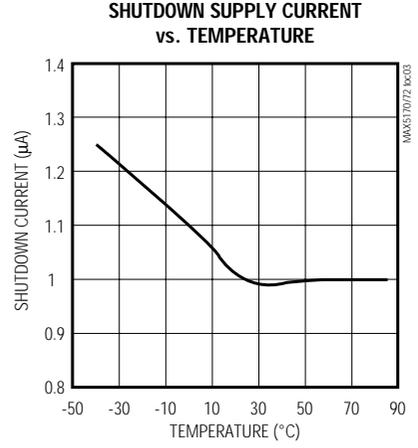
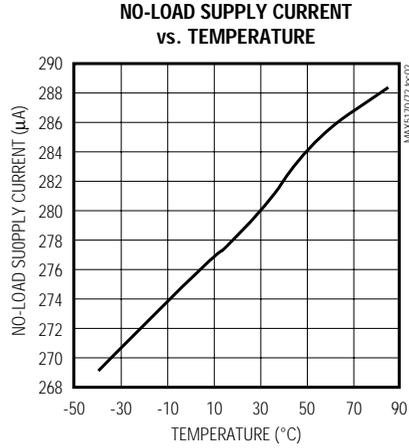
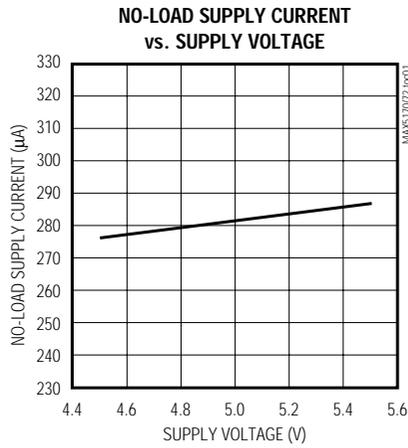
# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## 標準動作特性

(MAX5170:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5172:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ , OS = AGND, code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5170

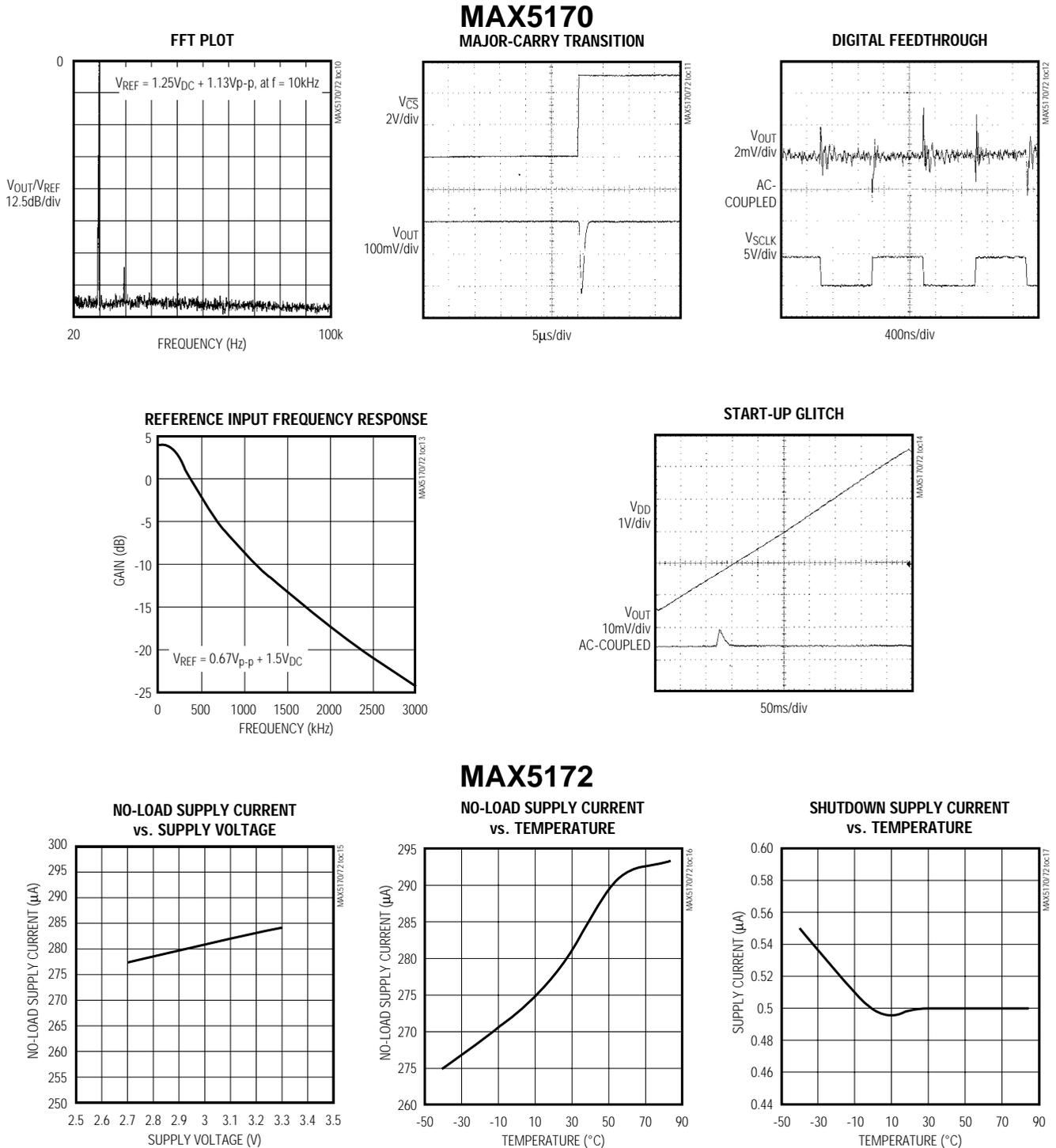


# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## 標準動作特性(続き)

(MAX5170:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5172:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ , OS = AGND, code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)



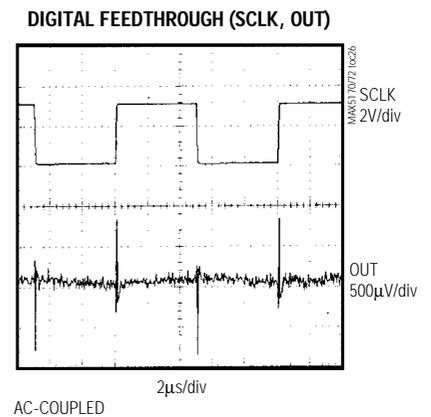
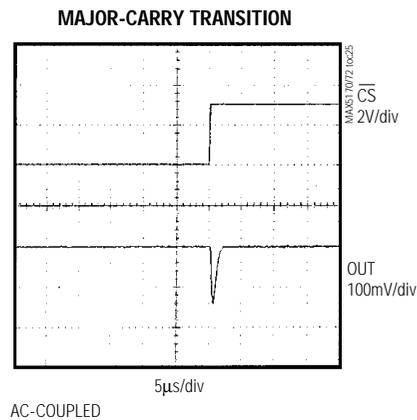
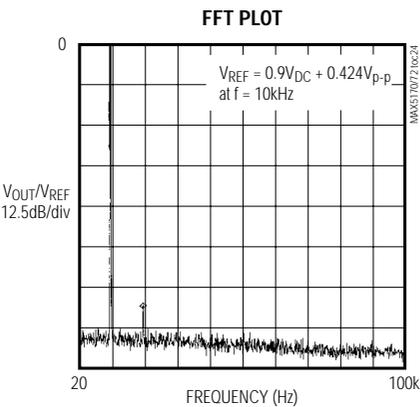
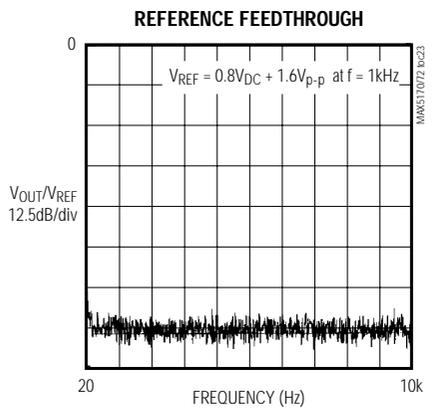
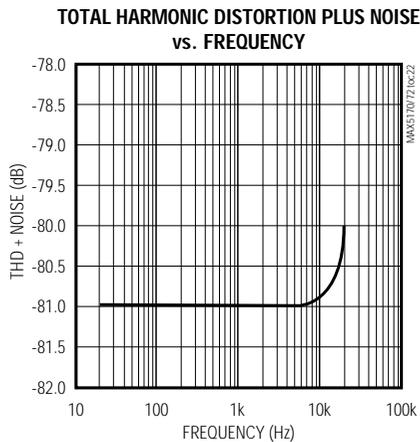
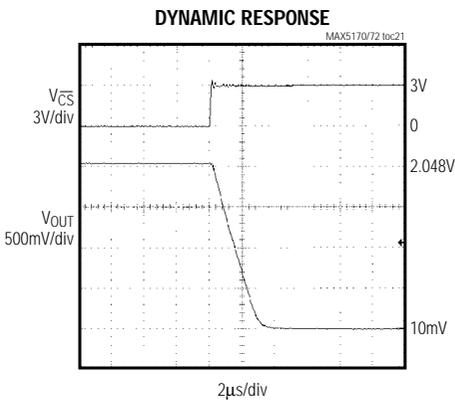
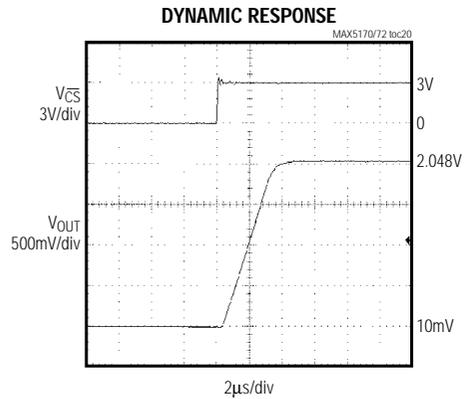
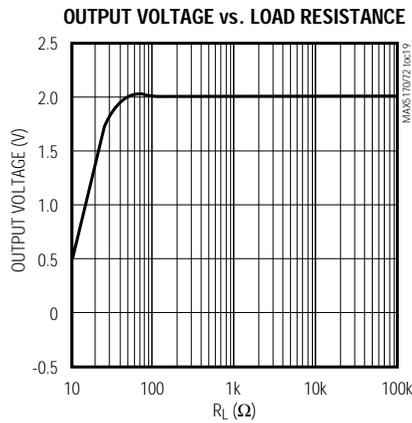
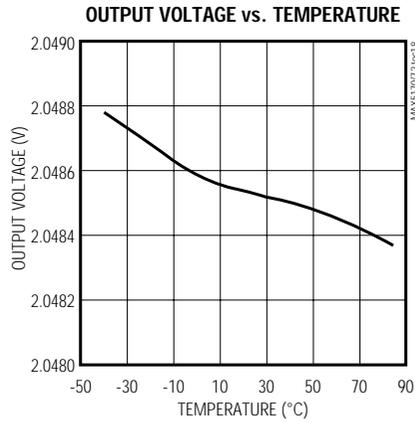
# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## 標準動作特性(続き)

(MAX5170:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5172:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $OS = AGND$ , code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5172

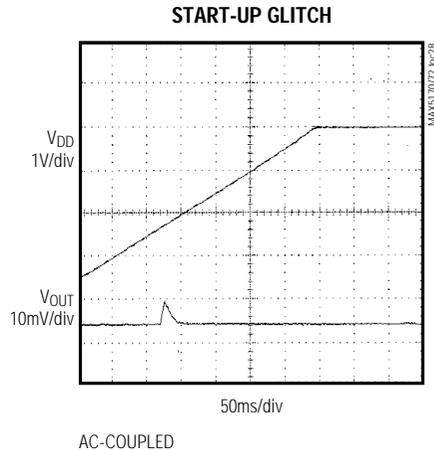
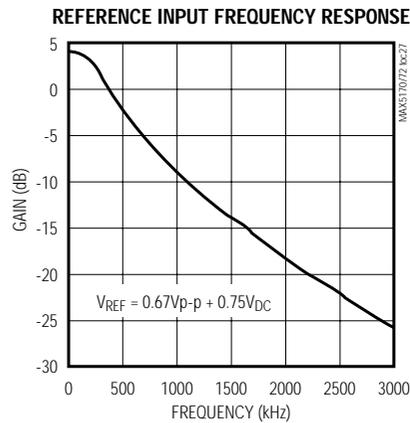


# 低電力シリアル14ビット電圧出力DAC

## 標準動作特性(続き)

(MAX5170:  $V_{DD} = +5V$ ,  $V_{REF} = 2.5V$ ; MAX5172:  $V_{DD} = +3V$ ,  $V_{REF} = 1.25V$ ;  $C_L = 100pF$ ,  $OS = GND$ , code = 3FFF hex,  $T_A = +25^\circ C$ , unless otherwise noted.)

### MAX5172



MAX5170/MAX5172

## 端子説明

端子	名称	機能
1	OS	オフセット調節。AGNDに接続するとオフセット無しになります。
2	OUT	出力電圧。シャットダウン中はハイインピーダンスです。出力電圧は $V_{DD}$ に制限されています。
3	RS	リセットモード選択(デジタル入力)。 $V_{DD}$ に接続するとミッドスケールがリセット出力電圧になります。DGNDに接続すると0Vがリセット出力電圧になります。
4	$\overline{PDL}$	パワーダウンロックアウト(デジタル入力)。 $V_{DD}$ に接続すると、シャットダウンが許容されます。DGNDに接続すると、ソフトウェア及びハードウェアのシャットダウンがディセーブルされます。
5	$\overline{CLR}$	DACクリア(デジタル入力)。DACをゼロ又はミッドスケールにクリアします(どちらになるかはRSで決まります)。
6	$\overline{CS}$	チップセレクト入力(デジタル入力)。 $\overline{CS}$ がハイの時はDINが無視されます。
7	DIN	シリアルデータ入力(デジタル入力)。データはSCLKの立上がりエッジで同期入力されます。
8	SCLK	シリアルクロック入力(デジタル入力)
9	DGND	デジタルグランド
10	DOUT	シリアルデータ出力
11	UPO	ユーザ設定出力。状態はシリアル入力によって設定されます。
12	SHDN	シャットダウン(デジタル入力)。 $\overline{PDL} = V_{DD}$ の時にSHDNをハイにすると、チップはシャットダウン状態になります。最大シャットダウン電流は $10\mu A$ です。
13	AGND	アナロググランド
14	REF	リファレンス入力。最大 $V_{REF}$ は $V_{DD} - 1.4V$ です。
15	N.C.	無接続
16	$V_{DD}$	正電源。4.7 $\mu F$ コンデンサと0.1 $\mu F$ コンデンサを並列にしてAGNDにバイパスして下さい。

# 低電力シリアル14ビット電圧出力DAC

## 詳細

MAX5170/MAX5172 14ビットシリアル電圧出力DACは、3線シリアルインタフェースで動作します。これらのデバイスは16ビットシフトレジスタを含み、又入力レジスタ及びDACレジスタからなるダブルバッファ付入力を備えています(「ファンクションダイアグラム」を参照)。さらに、レイルトゥレイル出力アンプ及びトリミングされた内部抵抗により、1.638V/Vの利得を実現して出力電圧スイングを最大限に広げています。MAX5170/MAX5172は、出力アンプのオフセット調節ピンの使用により、DAC出力のDCシフトが可能になっています。これらのDACは、デジタル入力コードに比例する重み付き出力電圧を生成する反転R-2Rラダーネットワーク(図1)を使用しています。

## リファレンス入力

リファレンス入力は、0 ~ (V<sub>DD</sub> - 1.4V)の範囲のAC及びDC値を受け付けます。出力電圧は次式で表されます。

$$V_{OUT} = \frac{V_{REF} \times N \times \text{ゲイン}}{16384}$$

ここで、NはMAX5170/MAX5172の入力コードの数値(0 ~ 16383)、V<sub>REF</sub>は外部リファレンス電圧、「ゲイン」は内部で設定された電圧利得(OS = AGNDの場合は1.638V/V)です。最大出力電圧は、V<sub>DD</sub>です。REFピンの入力抵抗は最小値が18kΩで、コードに依存します。

## 出力アンプ

OSがAGNDに接続されている場合、出力アンプはトリミングされた抵抗分圧器を使用して利得を+1.638V/Vに設定し、利得誤差を最小限に抑えています。出力アンプは、5kΩと100pFの並列負荷の場合に標準スループレートが0.6V/μsで、±0.5LSBへのセトリグ時間18μs以内です。負荷が2kΩ以下になると性能が劣化します。

出力アンプのセットアップの別方法については、「アプリケーション情報」を参照して下さい。

## シャットダウンモード

MAX5170/MAX5172は、ソフトウェア及びハードウェア・プログラマブル(PDピン)のシャットダウンモードを備えています。このモードでは標準消費電流が1μAに低減します。シャットダウンモードに入るには、表1に示すように該当する入力制御ワードを書き込むか、ハードウェアシャットダウンを使用して下さい。シャットダウンモード時のリファレンス入力及びアンプ出力はハイインピーダンスになり、シリアルインタフェースはアクティブ状態に留まります。入力レジスタ

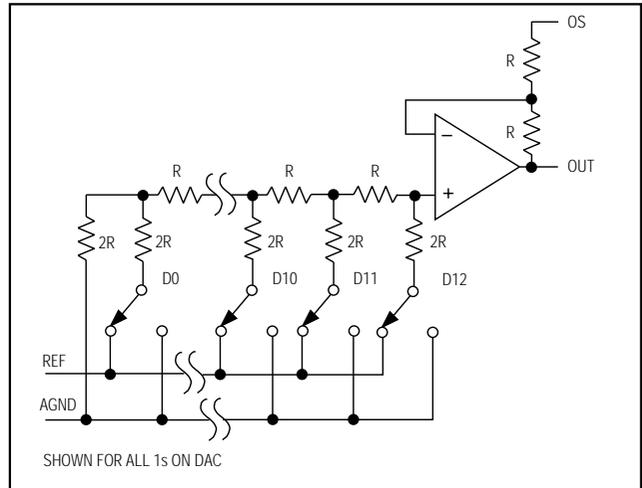


図1. 簡略DAC回路図

のデータは保存されるため、MAX5170/MAX5172は通常動作状態に戻った時に、シャットダウン以前の出力状態を呼び戻すことができます。シャットダウンモードを解除するには、DACレジスタにシフトレジスタのデータを再ロードするか、入力レジスタ及びDACレジスタに同時にロードするか、あるいはPDLをトグルして下さい。シャットダウンモードから戻った時は、リファレンスが落ち着くまで40μs待って下さい。

## パワーダウンロックアウト

パワーダウンロックアウトは、ソフトウェア/ハードウェアシャットダウンモードをディセーブルします。ハイからローに遷移すると、デバイスのシャットダウンが解除され、この時出力は、パワーダウン前の状態に戻ります。

## シャットダウン

PDLがハイの時にSHDNをハイに引き上げると、MAX5170/MAX5172はシャットダウンします。SHDNをローに引き下げてもデバイスは通常動作に戻りません。シャットダウンを解除するには、PDLのハイからローへの遷移、あるいはシリアルインタフェースを通じた適切なコマンドが必要です(コマンドについては表1を参照)。

## シリアルインタフェース

MAX5170/MAX5172の3線シリアルインタフェースは、SPI、QSPI、(図2)及びMICROWIRE(図3)とコンパチブルです。16ビットのシリアル入力ワードは、2つの制御ビットと14個のデータビット(MSBからLSBへ)からなっています。

制御ビットは、表1にしたがってMAX5170/MAX5172の動作を決定します。MAX5170/MAX5172のデジタル入力はダブルバッファ付であるため、ユーザは以下の作業を行うことができます。

# 低電力シリアル14ビット電圧出力DAC

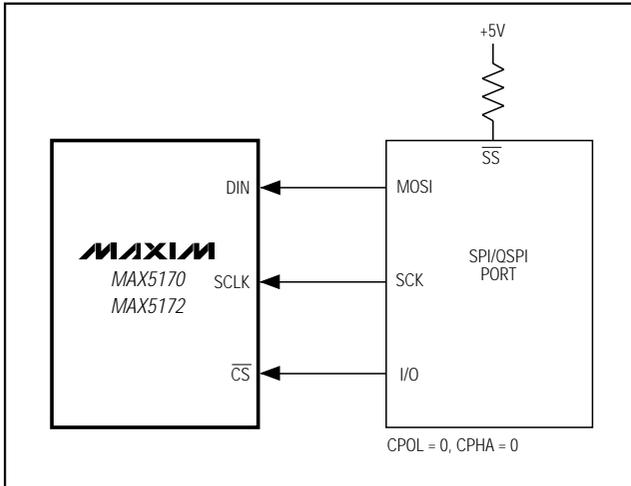


図2. SPI/QSPIインタフェースの接続

- DACレジスタを更新することなく入力レジスタにロードすること
- 入力レジスタからのデータでDACレジスタを更新すること
- 入力及びDACレジスタを同時に更新すること

$\overline{CS}$ がローの状態、MAX5170/MAX5172は送られてきた1つの16ビットパケットあるいは2つの8ビットパケットを受け付けます。MAX5170/MAX5172は、下記の構成が設定可能になっています。

- どのクロックエッジでデータ出力(DOUT)が同期出力されるか
- ユーザ設定可能なロジック出力の状態
- リセット状態の構成

表1に、これらの設定に必要なコマンドが記載されています。

図4の一般タイミング図に、MAX5170/MAX5172データ収集の方法が図解されています。 $\overline{CS}$ はシリアルクロック(SCLK)の立上がりエッジよりも少なくとも $t_{CSS}$ 前にローになる必要があります。 $\overline{CS}$ がローの状態、データがSCLKの立上がりエッジでレジスタに同期入力されます。適正動作が保証された最大シリアルクロック周波数は、MAX5170が10MHz、MAX5172が6MHzです。図5に、シリアルインタフェースの詳細タイミング図を示します。

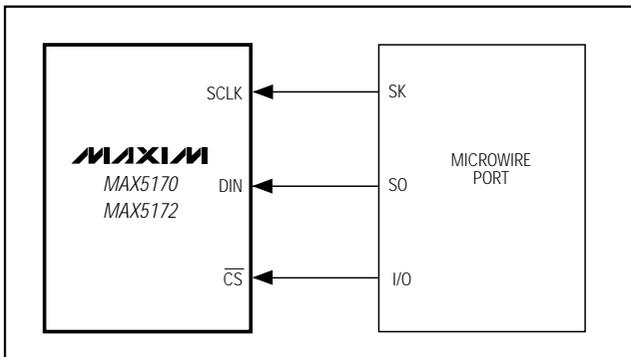


図3. MICROWIREインタフェースの接続

## シリアルデータ出力(DOUT)

シリアルデータ出力(DOUT)は、内部シフトレジスタの出力です。これにより、複数デバイスのデイジーチェーン接続及びデータの読み戻しが可能です(「アプリケーション情報」を参照)。スタートアップ時のデフォルト状態では、

表1. シリアルインタフェースのプログラミングコマンド

16-BIT SERIAL WORD			FUNCTION
C1	C0	D13.....D0	
0	0	14-bit DAC data	Load input register; DAC registers are unchanged.
0	1	14-bit DAC data	Load input register; DAC registers are updated (start-up DAC with new data).
1	0	x x x xxx xxxx xxxx	Update DAC register from input register (start-up DAC with data previously stored in the input registers).
1	1	0 0 x xxx xxxx xxxx	No operation (NOP).
1	1	0 1 x xxx xxxx xxxx	Shut down DAC (provided PDL = 1).
1	1	1 0 0 xxx xxxx xxxx	UPO goes low (default).
1	1	1 0 1 xxx xxxx xxxx	UPO goes high.
1	1	1 1 0 xxx xxxx xxxx	Mode 1, DOUT clocked out on SCLK's rising edge.
1	1	1 1 1 xxx xxxx xxxx	Mode 0, DOUT clocked out on SCLK's falling edge (default).

# 低電力シリアル14ビット電圧出力DAC

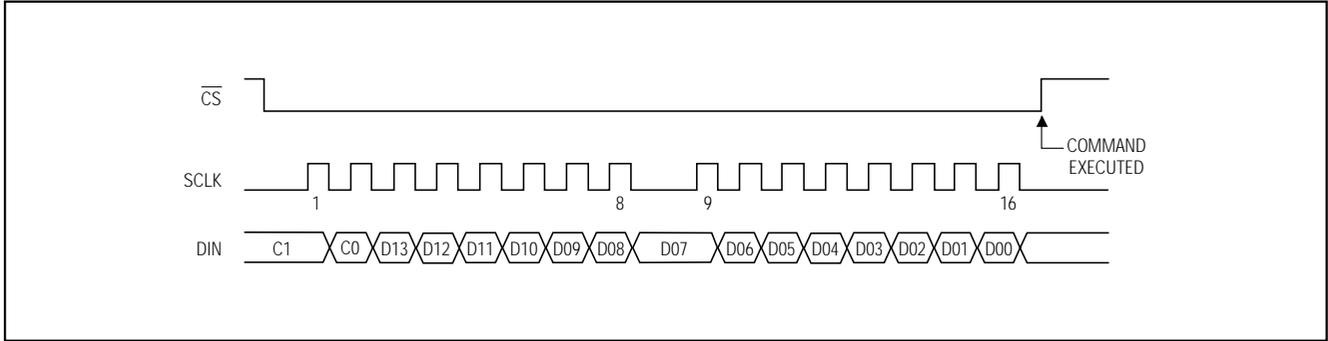


図4. シリアルインタフェースのタイミング

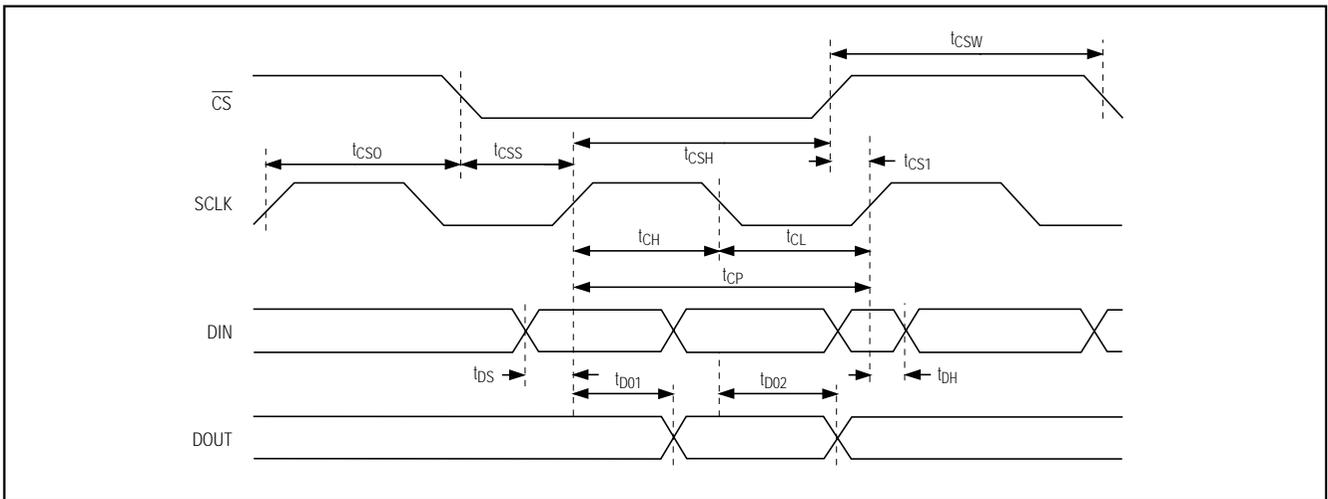


図5. シリアルインタフェースの詳細タイミング

データはシリアルクロックの立上がりエッジ(モード0)でDOUTからシフトアウトされるため、遅れが16クロックサイクルとなり、SPI、QSPI及びMICROWIREコンパチビリティが確保されます。しかし、デバイスがモード1に設定されていると、出力はDINから16.5クロックサイクル遅れ、シリアルクロックの立上がりエッジで同期出力されます。シャットダウン中、DOUTはシャットダウン前の最後のデジタル状態を保持します。

## ユーザ設定可能な出力(UPO)

UPO機能により、シリアルインタフェースを通じて外部デバイスを制御できます。このため、必要なマイクロコントローラI/Oポート数を減らすことができます。

パワーダウン中、この出力は、シャットダウン前の最後のデジタル状態を保持します。 $\overline{\text{CLR}}$ がローに引き下げられると、UPOはデフォルト状態にリセットされます。UPOを制御するための具体的なコマンドについては、表1を参照して下さい。

## リセット(RS)及びクリア( $\overline{\text{CLR}}$ )

MAX5170/MAX5172は、出力電圧をリセットするクリアピンを備えています。RS = DGNDの時、 $\overline{\text{CLR}}$ は出力電圧を最小電圧(OS = AGNDの場合は0)にリセットします。RS =  $V_{DD}$ の時には、 $\overline{\text{CLR}}$ は出力電圧をミッドスケールにリセットします。いずれの場合も、 $\overline{\text{CLR}}$ はUPOを設定されたデフォルト状態にリセットします。

# 低電力シリアル14ビット電圧出力DAC

## アプリケーション情報

### ユニポーラ出力

図6に、MAX5170/MAX5172を利得1.638V/Vのユニポーラ、レイルトゥレイル動作にセットアップした例を示します。表2に、ユニポーラ出力電圧のコードを示します。最大出力電圧はV<sub>DD</sub>に制限されています。図7に示すように、OSピンを使用して出力電圧にオフセットを付加できます(「オフセット及びバッファの構成」を参照)。

### バイポーラ出力

MAX5170/MAX5172は、図8に示す回路を使用してバイポーラ動作に設定できます。出力電圧V<sub>OUT</sub>は次式によって与えられます(OS = AGND)。

$$V_{OUT} = V_{REF} \left( \frac{2 \times N}{16,384} - 1 \right)$$

ここで、NはDACのバイナリ入力コードの数値、V<sub>REF</sub>は外部リファレンスの電圧です。表3に、図8の回路のデジタルコード及び対応する出力電圧を示します。

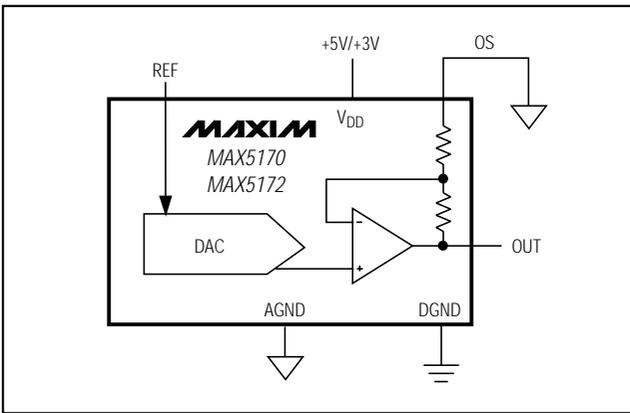


図6. ユニポーラ出力回路(レイルトゥレイル)

表2. ユニポーラコード表(図6の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11	1111 1111	+V <sub>REF</sub> (16383/16384) • 1.638
10	0000 0000	+V <sub>REF</sub> (8193/16384) • 1.638
10	0000 0000	+V <sub>REF</sub> (8192/16384) • 1.638
01	1111 1111	+V <sub>REF</sub> (8191/16384) • 1.638
00	0000 0000	+V <sub>REF</sub> (1/16384) • 1.638
00	0000 0000	0

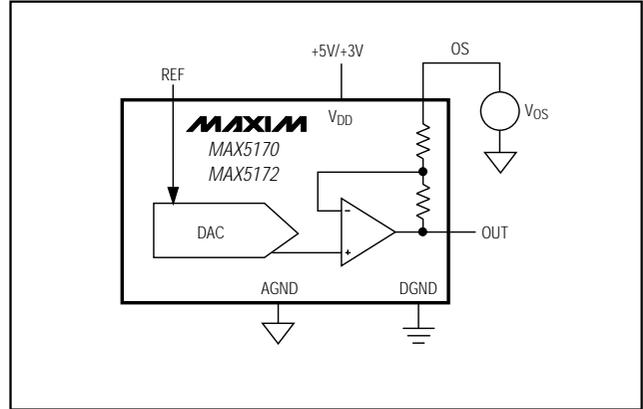


図7. OSを出力オフセット用に設定

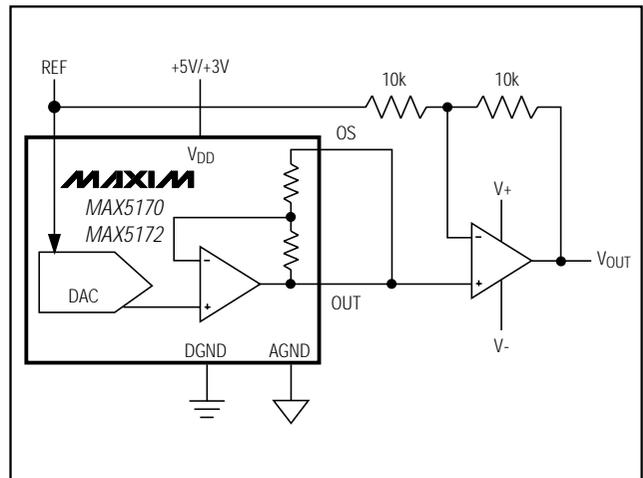


図8. バイポーラ出力回路

表3. バイポーラコード表(図8の回路)

DAC CONTENTS MSB	LSB	ANALOG OUTPUT
11	1111 1111	+V <sub>REF</sub> [(2 • 16383/16384) - 1]
10	0000 0000	+V <sub>REF</sub> [(2 • 8193/16384) - 1]
10	0000 0000	+V <sub>REF</sub> [(2 • 8192/16384) - 1]
01	1111 1111	+V <sub>REF</sub> [(2 • 8191/16384) - 1]
00	0000 0000	+V <sub>REF</sub> [(2 • 1/16384) - 1]
00	0000 0000	-V <sub>REF</sub>

# 低電力シリアル14ビット電圧出力DAC

## オフセット及びバッファの構成

図7に示すシンプルな回路によって、出力電圧にオフセットを付加できます。OSピンの電圧によって付加されるオフセットの量は、次式で与えられます。

$$V_{\text{OFFSET}} = V_{\text{OS}} \cdot (1 - \text{ゲイン})$$

ここで、ゲイン=1.638です。但し、デバイスの全出力電圧は、OSピンの電圧にかかわらず $V_{\text{DD}}$ 以下に制限されています。

出力アンプの利得を1に設定するには、OSをOUTに接続して下さい。

## デバイスのデジチェーン接続

シリアルデータ出力ピン(DOUT)を使用することによって、複数のMAX5170/MAX5172をデジチェーン接続できます(図9)。この方式の長所は、僅か2本のラインで、ライン上の全てのDACを制御できることにあります。但し、DACを設定するためにn個のコマンドが必要であるという短所があります。図10に、1本の共通なDIN信号ラインを共有するいくつかのMAX5170/MAX5172を示します。この構成においては、データバスは全てのデバイスの共通です。しかし、この構成は各デバイスが専用の $\overline{\text{CS}}$ ラインを必要とするため、必要なI/Oラインの数が多くなります。この構成の長所は、いずれのDACの設定にも僅か1つのコマンドしか必要としないことです。

## ACリファレンスの使用

MAX5170/MAX5172は、リファレンス電圧が0 ~ ( $V_{\text{DD}} - 1.4\text{V}$ )の範囲に収まっている限り、AC成分を含むリファレンスを許容します。図11は、REFにオフセットサイン波入力を印加する技法を示しています。リファレンス電圧は、AGNDよりも上に維持される必要があります。

## 電源及びレイアウト上の考慮

ワイヤラップ基板はお勧めできません。最高のシステム性能を得るには、アナログとデジタルのグランドプレーンが別々になったプリント基板を使用して下さい。2つのグランドプレーンは、低インピーダンス電源ソースのところで一緒にまとめて接続して下さい。DGNDとAGNDピンはICのところで一緒にまとめて接続して下さい。最善のグランドを得るには、DACのDGNDピンとAGNDピンを一緒にまとめて接続し、それをシステムアナロググランドプレーンに接続して下さい。この構成が有用な理由は、DACのDGNDがシステムデジタルグランドに接続されていると、デジタルノイズがDACのアナログ部分に漏れる可能性があるためです。

4.7 $\mu\text{F}$ コンデンサと0.1 $\mu\text{F}$ コンデンサを並列にして、電源をAGNDにバイパスして下さい。リードインダクタンスを小さくするために、リードはできるだけ短くして下さい。ノイズが問題になる場合は、シールド及び/又はフェライトビーズを使用して分離を改善して下さい。

利得ドリフト及びINLとDNL性能を維持するには、DACリファレンス入力ピンのところでリファレンス出力インピーダンスをできるだけ低くすることが非常に重要です。REFピンの直列抵抗が0.1  $\Omega$ を超えると、INLが劣化します。AGNDピンについても同様の配慮が必要です。

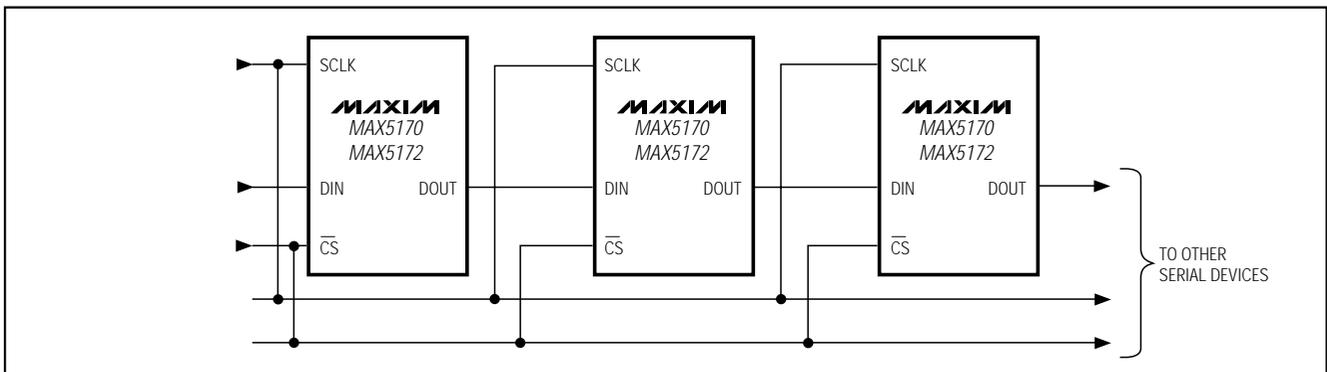


図9. 複数のMAX5170/MAX5172デバイスのデジチェーン接続

# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

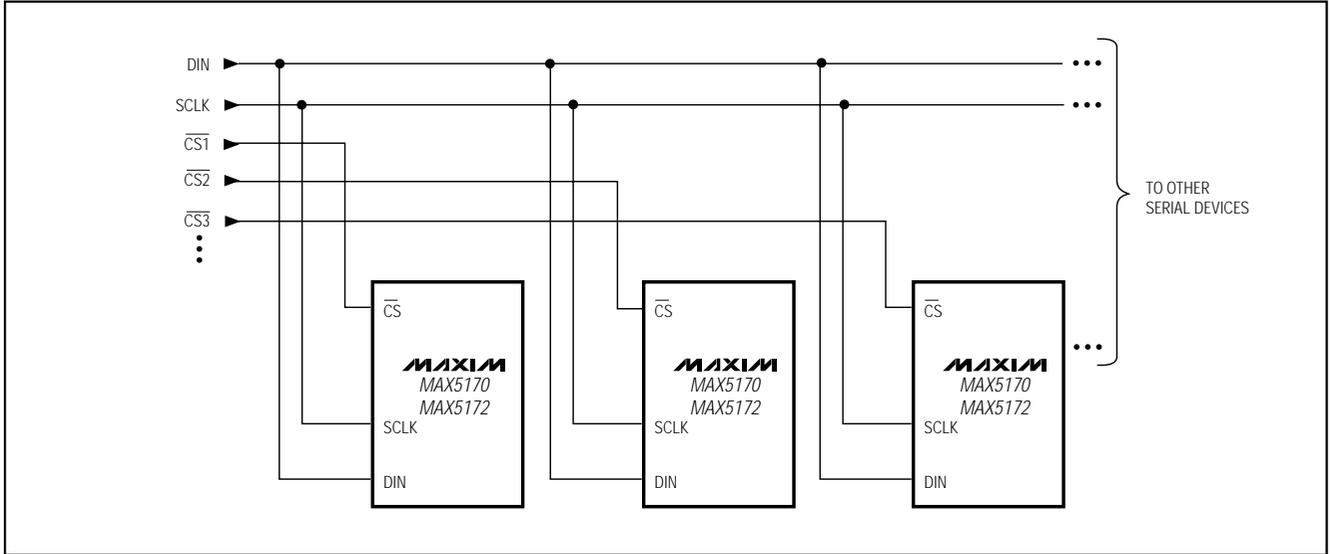


図10. 複数のMAX5170/MAX5172が1つの共通のDINとSCLKラインを共有する場合

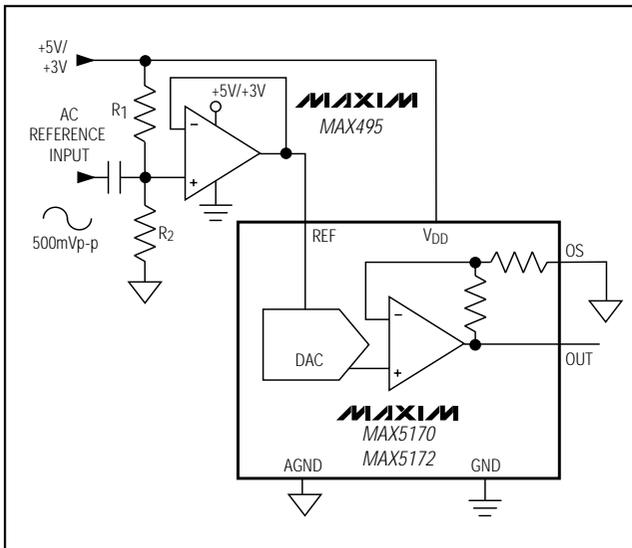


図11. ACリファレンス入力回路

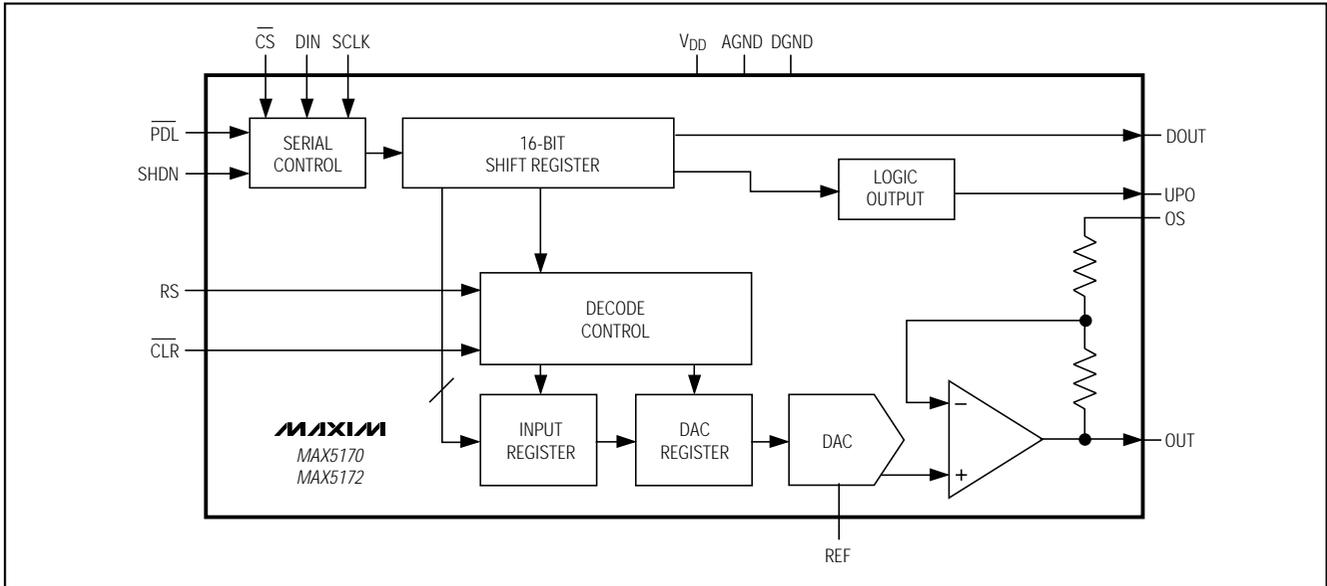
## チップ情報

TRANSISTOR COUNT: 3457

# 低電力シリアル14ビット電圧出力DAC

MAX5170/MAX5172

## ファンクションダイアグラム



## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025	BSC	0.635	BSC
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
alpha	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS	
	MIN.	MAX.	MIN.	MAX.
D	.189	.196	4.80	4.98
S	.0020	.0070	0.05	0.18
X	.107	.123	2.72	3.12

DIM	INCHES		MILLIMETERS	
	MIN.	MAX.	MIN.	MAX.
D	.337	.344	8.56	8.74
S	.0500	.0550	1.270	1.397
D	.337	.344	8.56	8.74
S	.0250	.0300	0.635	0.762
D	.386	.393	9.80	9.98
S	.0250	.0300	0.635	0.762
X	.271	.287	6.88	7.29

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.
5. MEETS JEDEC MO137.

PROPRIETARY INFORMATION  
 TITLE: PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH  
 APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0055 REV C 1/1

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600