

プログラマブル・スレッシュヨルド付き クワッド・コンパレータ

MAX516

概要

MAX516は、単一のCMOS IC上に4個のローパワー、プログラマブル・スレッシュヨルド・コンパレータを組み合わせています。独立した8ビット・デジタル・アナログ・コンバータ(DAC)によってコンパレータの反転(-)入力を駆動するため、個々のトリップ・スレッシュヨルドをデジタル設定可能です。すべてのコンパレータの非反転(+)入力はアナログ入力(AIN0~AIN3)として引き出されています。各コンパレータの出力は、アナログ入力にデジタル設定されたスレッシュヨルド値を越えたとき、「ハイ」となります。マッチングを最適化し外部調整を不要とするために、4つのDACは共通のリファレンス入力を共用しています。

デジタル入力とコンパレータ出力はTTLおよびCMOSロジックとコンパチブルです。独立したロジック電源(V_{CC})により、コンパレータの出力レベルを V_{DD} とは独立に設定することが可能です。 V_{DD} を V_{CC} に接続することによって、MAX516は単一電源においても良好に動作します。商用、拡張および軍用温度範囲品が、24ピンナローDIPおよびワイドSOPパッケージで提供可能です。

アプリケーション

ウィンド・コンパレータ	バッテリー充電器
電源モニタ	自動試験機器
警報リミット検出器	プロセス制御

特長

- ◆4個のコンパレータと4個のDAC
- ◆デジタル設定可能なスレッシュヨルド
- ◆全温度範囲にわたる単調増加性
- ◆パラレル・マイクロプロセッサ・インタフェース
- ◆+5~+15V電源動作

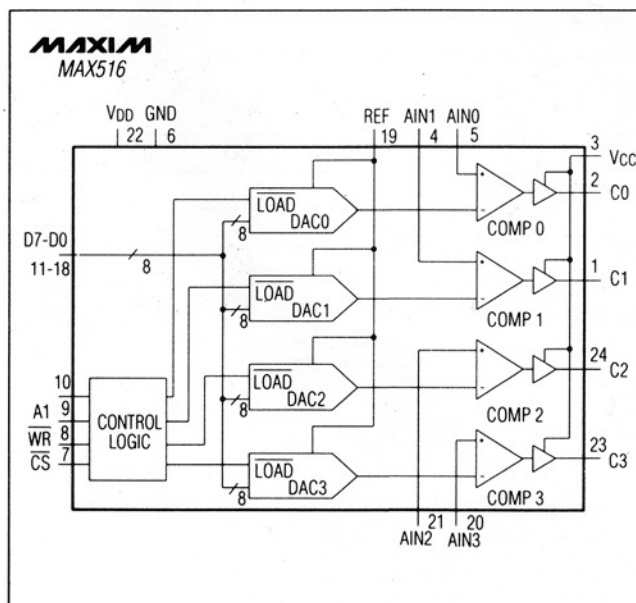
型番

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX516ACNG	0°C to +70°C	24 Narrow Plastic DIP	±1
MAX516BCNG	0°C to +70°C	24 Narrow Plastic DIP	±2
MAX516ACWG	0°C to +70°C	24 Wide SO	±1
MAX516BCWG	0°C to +70°C	24 Wide SO	±2
MAX516BC/D	0°C to +70°C	Dice*	±2
MAX516AENG	-40°C to +85°C	24 Narrow Plastic DIP	±1
MAX516BENG	-40°C to +85°C	24 Narrow Plastic DIP	±2
MAX516AEWG	-40°C to +85°C	24 Wide SO	±1
MAX516BEWG	-40°C to +85°C	24 Wide SO	±2
MAX516AMRG	-55°C to +125°C	24 Narrow CERDIP**	±1
MAX516BMRG	-55°C to +125°C	24 Narrow CERDIP**	±2

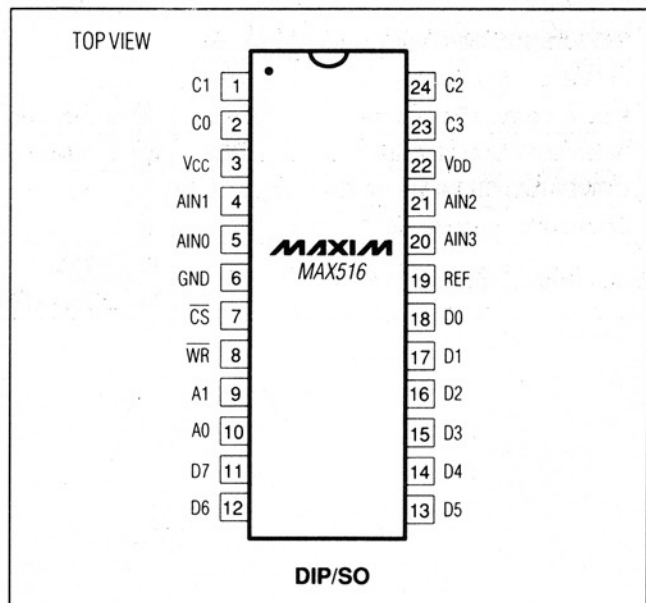
* Contact factory for dice specifications.

** Contact factory for availability and processing to MIL-STD-883.

ファンクションダイアグラム



ピン配置



ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V, +17V
V _{CC} to GND	-0.3V, V _{DD} + 0.3V
V _{DD} to V _{CC}	-0.3V, +17V
Digital Input Voltage to GND	-0.3V, V _{DD} + 0.3V
REF to GND	-0.3V, V _{DD} + 0.3V
Comparator Input to GND	-0.3V, V _{DD} + 0.3V
C0-C3 to GND (Note 1)	GND, V _{CC} + 0.3V
Continuous Power Dissipation (T _A = +70°C)	
Narrow Plastic DIP (derate 8.7mW/°C above +70°C)	480mW
Wide SO (derate 11.8mW/°C above +70°C)	650mW
Narrow CERDIP (derate 12.5mW/°C above +70°C)	690mW

Operating Temperature Ranges:

MAX516_C__	0°C to +70°C
MAX516_E__	-40°C to +85°C
MAX516_MRG	-55°C to +125°C
Storage Temperature Range	-65°C to +165°C
Lead Temperature (soldering, 10 sec)	+300°C

Note 1: The outputs may be shorted to GND or V_{DD}, provided the package's power dissipation is not exceeded.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{CC} = +4.75V, REF = +1.25V or V_{DD} = V_{CC} = +16.5V, REF = +10V; GND = 0V; T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		8			Bits
Total Unadjusted Error	TUE	MAX516A			±1	LSB
		MAX516B			±2	
Relative Accuracy	INL	MAX516A			±0.5	LSB
		MAX516B			±1	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Full-Scale Error		MAX516A			±0.5	LSB
		MAX516B			±1	
Full-Scale Temperature Coefficient		V _{DD} = 15V, REF = 10V		±5		ppm/°C
Zero-Code Error		T _A = +25°C	MAX516A		±5	mV
		T _A = T _{MIN} to T _{MAX}			±10	
		T _A = +25°C	MAX516B		±10	
		T _A = T _{MIN} to T _{MAX}			±15	
Zero-Code Temperature Coefficient				±30		μV/°C
REFERENCE INPUT (4.75V ≤ V _{DD} ≤ 16.5V)						
Reference Input Range	REF		1.25	V _{DD} - 3.50		V
Reference Input Resistance	RREF	Worst-case code	3.0	4.5		kΩ
Reference Input Capacitance	CREF	Worst-case code (Note 2)		100	250	pF
COMPARATOR INPUT (4.75V ≤ V _{DD} ≤ 16.5V)						
Comparator Input Range	V _{AIN}		0	V _{DD}		V
Comparator Input Bias Current	I _B	T _A = +25°C		50	300	nA
		T _A = T _{MIN} to T _{MAX}		100	400	

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = V_{CC} = +4.75V$, $REF = +1.25V$ or $V_{DD} = V_{CC} = +16.5V$, $REF = +10V$; $GND = 0V$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS D0-D7, $\overline{WR}$, $\overline{CS}$, ($4.75V \leq V_{DD} \leq 16.5V$)						
Input High Voltage	V_{INH}		2.4			V
Input Low Voltage	V_{INL}				0.8	V
Input Leakage Current	I_{IN}	$V_{IN} = 0V$ or V_{DD}			± 1	μA
Input Capacitance	C_{IN}	(Note 2)			10	pF
DIGITAL OUTPUTS C0-C3 ($V_{CC} = 5V$)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 200\mu A$	$V_{CC}-1$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 1.6mA$			0.4	V
DYNAMIC PERFORMANCE ($1.25V \leq REF \leq V_{DD} - 3.5V$, $0V \leq A_{IN} < V_{DD} - 2V$)						
Digital Input to Comparator Out Delay	t_{DCO}	(Note 3)		0.8	2.0	μs
Analog Input to Comparator Out Delay	t_{ACO}	(Note 4)		0.8	1.5	μs
TIMING CHARACTERISTICS						
$\overline{CS}$ to $\overline{WR}$ Setup Time	t_{CS}		0			ns
$\overline{CS}$ to $\overline{WR}$ Hold Time	t_{CH}		0			ns
Address to $\overline{WR}$ Setup Time	t_{AS}		50	30		ns
Address to $\overline{WR}$ Hold Time	t_{AH}		5	0		ns
Data Valid to $\overline{WR}$ Setup Time	t_{DS}		50	30		ns
Data Valid after $\overline{WR}$ Hold Time	t_{DH}		5	0		ns
WRITE Pulse Width	t_{WR}		120	50		ns
POWER SUPPLIES						
V_{DD} Range	V_{DD}		4.75		16.5	V
V_{CC} Range	V_{CC}		4.75		$V_{DD}+0.30$	V
Positive Supply Current	I_{DD}	Logic inputs $< V_{IL}$ or $> V_{IH}$			10	mA
Logic Supply	I_{CC}				10	μA

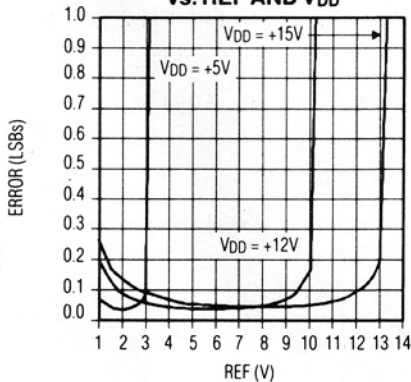
Note 2: Guaranteed by design. Not production tested.

Note 3: $V_{DD} = 5.00V$, differential comparator input voltage changes by 1.25V with 5mV overdrive. V_{IN} must be 3.5V less than V_{DD} , or longer propagation delays will result.

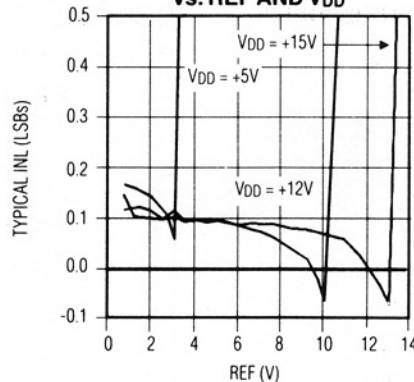
Note 4: Not tested, but guaranteed by correlation to t_{DCO} .

標準動作特性

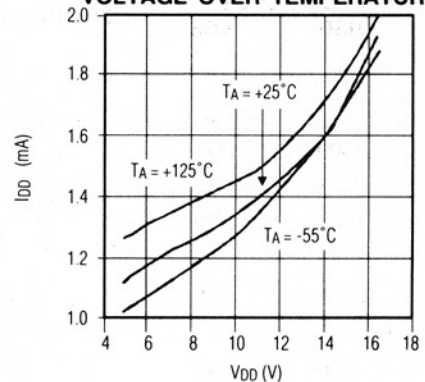
**COMPARATOR ERROR AT CODE 255
vs. REF AND V_{DD}**



**RELATIVE ACCURACY
vs. REF AND V_{DD}**



**SUPPLY CURRENT vs. SUPPLY
VOLTAGE OVER TEMPERATURE**



プログラマブル・スレッシュホールド付き クワッド・コンパレータ

MAX516

端子説明

端子	名称	機能
1, 2	C1, C0	コンパレータ出力
3	VCC	コンパレータ出力電源
4, 5	AIN1, AIN0	コンパレータ・アナログ入力
6	GND	グラウンド
7	$\overline{\text{CS}}$	チップ・セレクト
8	$\overline{\text{WR}}$	ライト
9, 10	A1, A0	DACアドレス入力
11-18	D7-D0	DACデータ入力、8ビット
19	REF	リファレンス入力
20, 21	AIN3, AIN2	コンパレータ・アナログ入力
22	VDD	正の電源電圧
23, 24	C3, C2	コンパレータ出力

詳細

MAX516は、4個のアナログ・コンパレータと4個のマッチングのとれた8ビット・デジタル・アナログ・コンバータ(DAC)を内蔵しています。各DACの出力電圧は次の式で表現されます。

$$V_{\text{DAC}} = \text{REF} \times N/256$$

ここで、Nは8ビットDAC入力コード(D7~D0)の数値表現です。Nの範囲は0~255であり、各DAC毎に異なるレベルに設定することができます(表1)。DAC出力の V_{DAC} は、MAX516の出力ピンには現れませんが、4個ある内蔵コンパレータのうちの1個においてアナログ入力と比較されます(「ファンクションダイアグラム」を参照してください)。コンパレータの出力は、コンパレータにデジタル設定されたスレッシュホールドよりもAINがより大きい場合、「ハイ」となります。

表1. コンパレータのスレッシュホールドとDAC入力コード

DAC CODE MSB	LSB	COMPARATOR THRESHOLD
1111	1111	$+\text{REF} \left(\frac{255}{256} \right)$
1000	0001	$+\text{REF} \left(\frac{129}{256} \right)$
1000	0000	$+\text{REF} \left(\frac{128}{256} \right) = + \frac{\text{REF}}{2}$
0111	1111	$+\text{REF} \left(\frac{127}{256} \right)$
0000	0001	$+\text{REF} \left(\frac{1}{256} \right)$
0000	0000	0V

NOTE: 1LSB = $(\text{REF}) (2^{-8}) = +\text{REF} \left(\frac{1}{256} \right)$

リファレンス入力

コンパレータのトリップ・スレッシュホールドは、デジタル的に0V~REF-1LSBの範囲で変化します。すべてのDACは同一のリファレンスを共用します。

REFの入力インピーダンスはコードに依存します。標準で2kΩのインピーダンスの最小値は、すべてのDACのD0~D7に0101 0101 (55H)がロードされた時に起こります。すべてのDACに0000 0000がロードされた時に、REFはオープン回路のように見えます。REFの入力抵抗はコードに依存するため、直線性を保つためにはリファレンス源の出力インピーダンスは4Ω以下である必要があります。REFの入力容量もまたコードに依存し、標準的には100~250pFの範囲で変化します。

コンパレータ入力

各コンパレータの“+”入力は、AIN0~AIN3として引き出されています。コンパレータの入力バイアス電流は、標準的に100nAです。アナログ・ソース抵抗が1.25kΩ以下の場合、バイアス電流によってコンパレータのオフセット誤差の要因となる250μV以下の電圧を発生します。

デジタル・インタフェース

デジタル入力(D0~D7、 $\overline{\text{CS}}$ 、 $\overline{\text{WR}}$)はTTLと5V CMOSロジックのいずれにもコンパチブルです。しかしながら、電源電流 I_{DD} は入力ロジック・レベルに依存します。電源電流は、TTLレベルのとき最大となります(テストリミットは、ロジック・レベルの最悪値です)。デジタル入力GNDの近傍または4V以上の場合、電源電流は低減されます。

アドレス・ラインのA0およびA1により、入力ポートからのデータを受け取るDACを選択します。 $\overline{\text{CS}}$ と $\overline{\text{WR}}$ は内部で論理和がとられているため、ライト・サイクルはこれらがいず

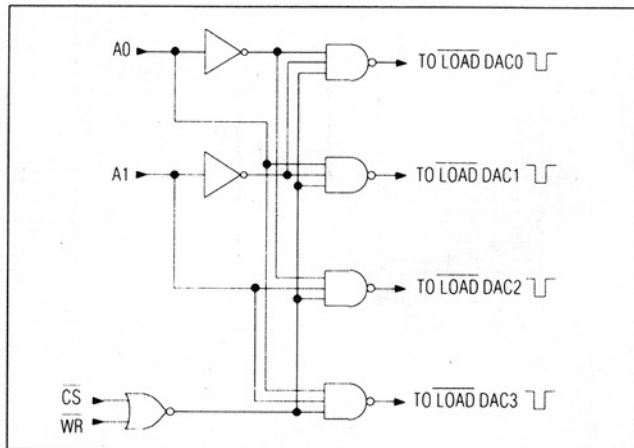


図1. 入力制御ロジック

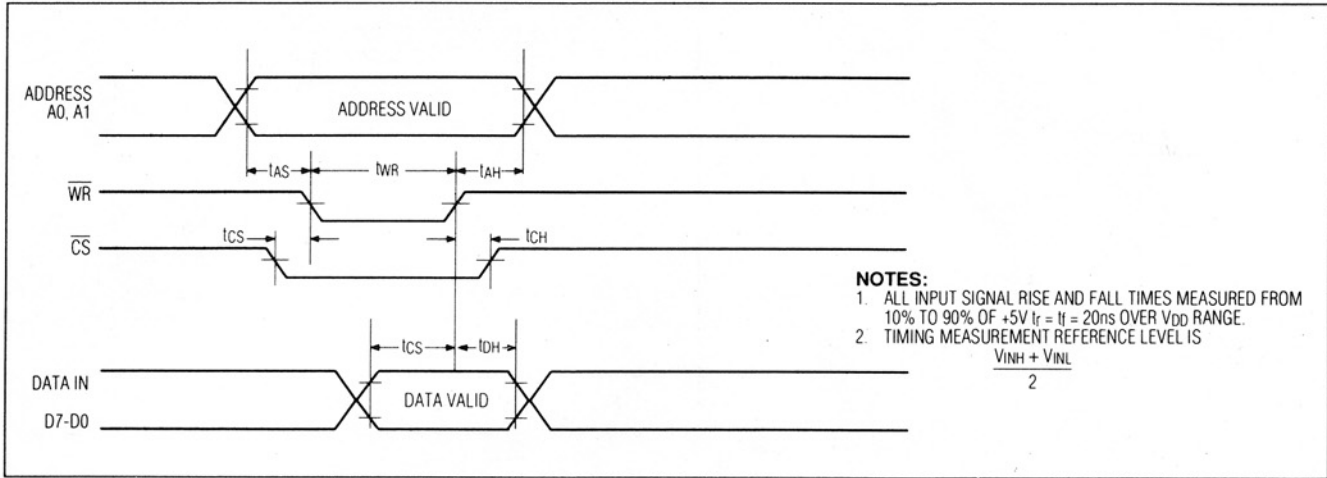


図2. ライト・サイクル・タイミング

表2. DACアドレス

A1	A0	選択DAC
0	0	DAC0入力レジスタ
0	1	DAC1入力レジスタ
1	0	DAC2入力レジスタ
1	1	DAC3入力レジスタ

表3. ライト・サイクルの真理値表

CS	WR	機能
1	X	ノーオペレーション。MAX516は非選択。レジスタの内容は変化せずに保持。
0	0	選択されたアドレスへDAC内容がロードされるが、WRが“ハイ”になるまでDACは更新されません。
0	↑	立ち上がりエッジによって、D0～D7が選択されたDACの入力レジスタにラッチされる。

NOTES: X = Don't Care, ↑ = Rising Edge

れも“ロー”になった後に始まり、データのラッチとDACへの転送は、いずれか1つの入力“ハイ”に戻ったときに起こります。図1に入力制御ロジックを示し、表2にDACのアドレスを示します。表3に、WRとCSの真理値表を示します。図2にライト・サイクルのタイミングを示します。

アプリケーション情報

電源およびリファレンスの動作レンジ

MAX516は、 V_{DD} 電圧については+4.75～+16.5Vの範囲で完全に動作が規定されており、リファレンス入力については+1.25V～ $V_{DD}-3.5\text{V}$ の範囲で動作が規定されています。

コンパレータ出力電源 V_{CC} は、+4.5V～($V_{DD}+0.3\text{V}$)のレンジを有しています。これによって、コンパレータのロジック

“ハイ”出力レベルを V_{DD} とは独立に設定することが可能です。多くの応用では、単純に V_{CC} と V_{DD} を相互に接続します。

コンパレータの出力は、CMOSロジック入力をロードされた場合、標準で電源電圧の200mV以内の範囲内でスイングします。

ヒステリシス

アナログ入力信号の動きが遅い場合やノイズを含む場合、スレッショルド・レベル付近でコンパレータの出力はチャターを起こします。出力がスイッチングしたとき電源電流が大きくなるため、電源バイパス・コンデンサを正しく配置してください(「グラウンドとバイパス」を参照)。

出力遷移における発振を防止するため、ほとんど全てのコンパレータにはヒステリシスを与えます。これは、図3に示す2本の抵抗によって実現します。ヒステリシスを与えると、 $R1$ と $R2$ によって形成される分圧器によりスレッショルド・ポイントがわずかにシフトします。シフト量は以下の式で表すことができます。

$$V_{TH} = V_T \left(\frac{R1}{R2} + 1 \right)$$

$$V_{TL} = V_T \left(\frac{R1}{R2} + 1 \right) - V_{CC} \left(\frac{R1}{R2} \right)$$

$$V_{HYST} = V_{TH} - V_{TL}$$

$$V_{HYST} = V_{CC} \left(\frac{R1}{R2} \right)$$

V_T は、ヒステリシスが与えられていないときに内部DACによって設定されているスレッショルド電圧です。 V_{TH} はヒステリシスの追加によって“ハイ”方向にシフトしたスレッショルドです。 V_{TL} は、ヒステリシスによって“ロー”方向にシフトしたスレッショルドです。 V_{HYST} は、全ヒステリシ

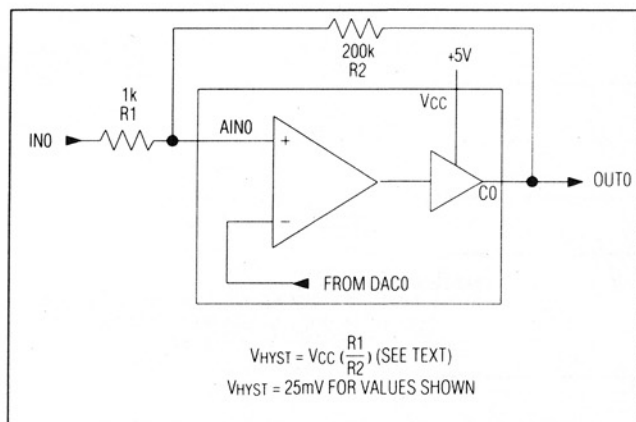


図3. 全てのコンパレータでのヒステリシス追加回路

スであり $V_{TH} - V_{TL}$ に等しい値です。 V_{TL} および V_{HYST} は V_{CC} によって変化することに注意してください。 $V_{CC} = 5\text{V}$ 、 $R1 = 1\text{k}\Omega$ 、 $R2 = 200\text{k}\Omega$ のとき $V_{HYST} = 25\text{mV}$ です。 $R1$ が相対的に小さい場合であっても、信号源からみたインピーダンスは $R1 + R2$ という大きな値になります。しかしながら、 $R1$ が大きい場合、入力バイアス電流(全温度範囲で 400nA Max)がオフセット誤差に加わります。バイアス電流により、 $1\text{k}\Omega \times 400\text{nA} = 0.4\text{mV}$ のオフセット誤差が加わります。

グラウンドとバイパス

PCボードのレイアウトに注意を払うことにより、リファレンス入力、コンパレータ出力およびデジタル入力間のクロストークを最小化することができます。デジタルとアナログ・ラインを分離し、可能であればグラウンド・トレースによってこれらの間を遮蔽してください。 $AIN0 \sim AIN3$ と REF は分離し、それらのピンの間にグラウンド・トレースを配置してください。

V_{DD} と V_{CC} は、 $0.1\mu\text{F}$ と低ESRの $4.7\mu\text{F}$ コンデンサの組合せを用いて素子の近くでGNDにバイパスしてください。 V_{DD} と V_{CC} を相互に接続している場合、1セットのバイパス・コンデンサが必要なだけです。 REF がAC入力でない場合、このピンも同様にバイパスしてください。電源ノイズ除去の効果を上げるために、バイパス・コンデンサのリード線はできる限り短くしてください。

アプリケーション

スレッシュホールドの検出は、多くの場合自動化されたテストアプリケーションにおいて便利です。4個の独立したスレッシュホールドは、ソフトウェア制御により個別に変更することが可能です。

図4に、ウィンド・コンパレータの接続図を示します。 $DAC0$ により上部トリップ・ポイントを設定し、 $DAC1$ によって下

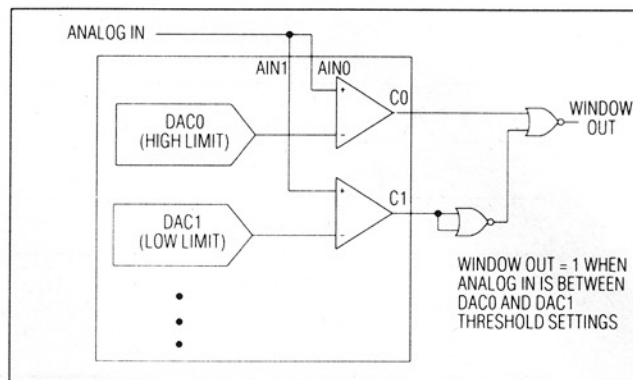


図4. ウィンド比較

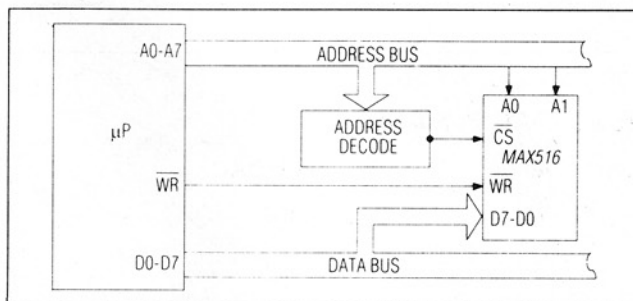
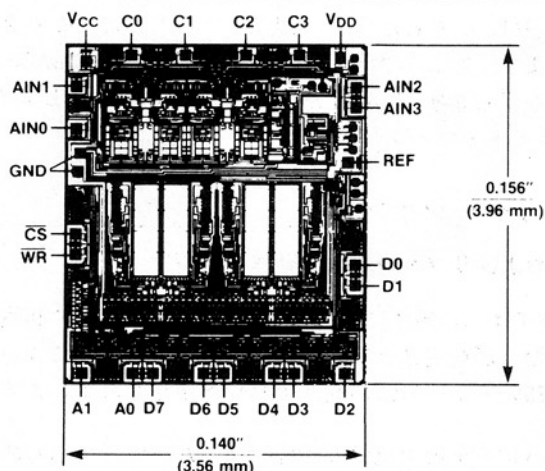


図5. マイクロプロセッサ・インタフェース

部トリップ・ポイントを設定します。トリップ・ポイント間の電位差がウィンド・サイズです。 $AIN0$ と $AIN1$ 入力相互に接続されています。ロジック出力の1つを反転し、非反転のコンパレータ出力と論理和をとっています。ウィンド出力は、アナログ入力 $DAC0$ と $DAC1$ で設定されるスレッシュホールド内にあるとき「ハイ」となります。図4内の外部回路はソフトウェアによってもシミュレート可能です。また、単一のコンパレータを用いてウィンド比較を行う際には、2つのスレッシュホールド限界値を連続的にロードし、コンパレータの各出力の否定をとります(図5)。

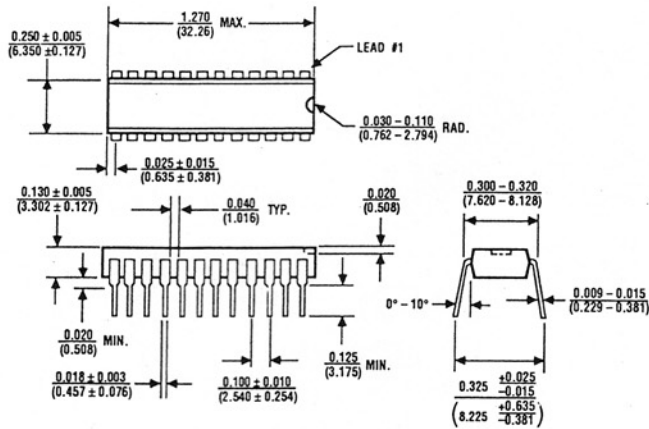
チップ構造図



NOTE: Substrate connected to V_{DD}

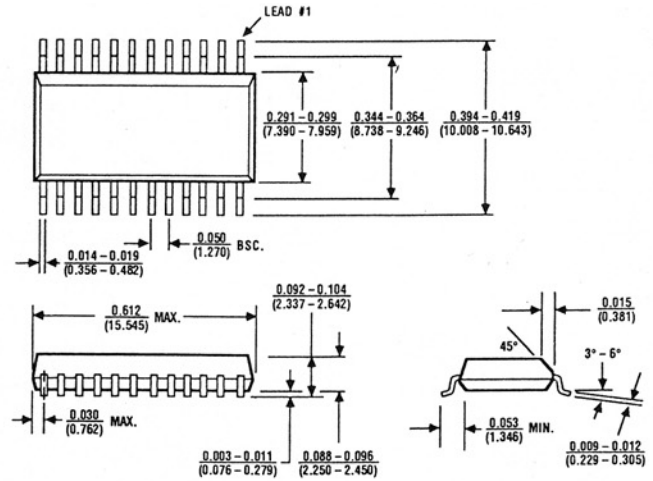
パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)



24 Lead Plastic Narrow DIP (NG)

$\theta_{JA} = 120^{\circ}\text{C/W}$
 $\theta_{JC} = 60^{\circ}\text{C/W}$



24 Lead Small Outline, Wide (WG)

$\theta_{JA} = 85^{\circ}\text{C/W}$
 $\theta_{JC} = 45^{\circ}\text{C/W}$

MAX516

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)

TEL.(03)3232-6141

FAX.(03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600