

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

概要

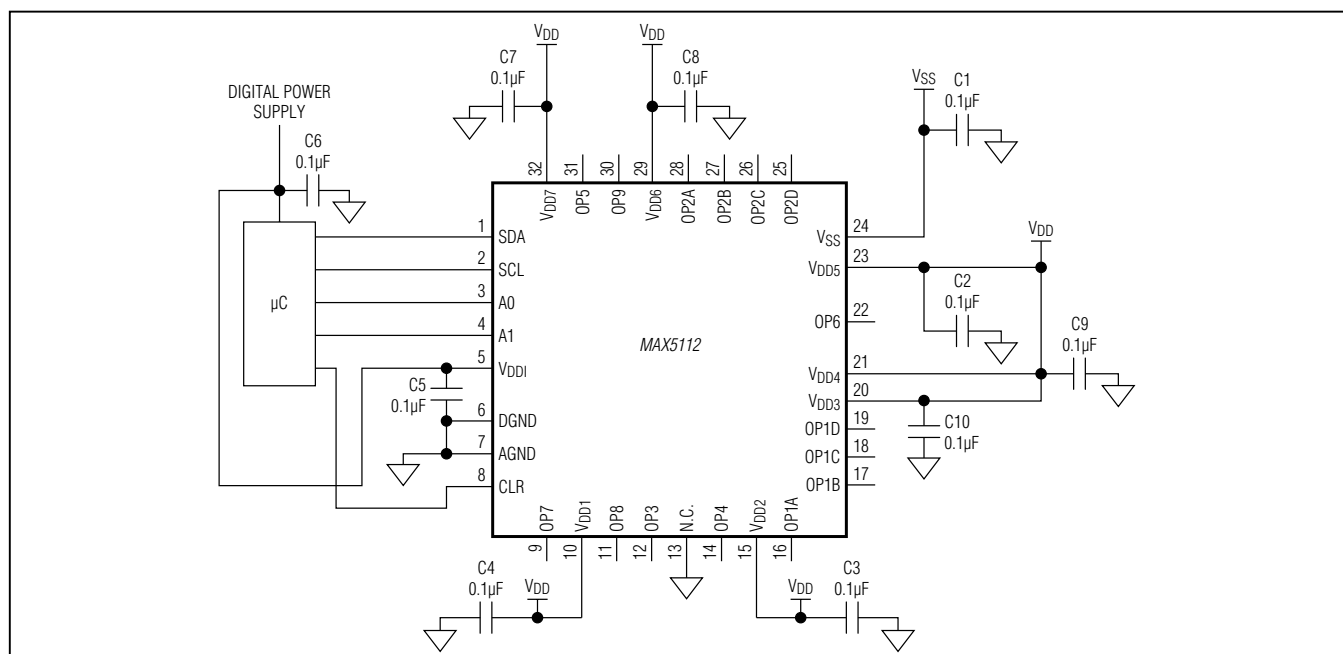
MAX5112は、14ビット、9チャンネル、電流出力デジタル-アナログコンバータ(DAC)です。このデバイスは+3.0Vという低い電源電圧で動作し、調整不要で14ビットの性能を提供します。

このデバイスの出力範囲は、高出力チューナブルレーザ光源のバイアス用に最適化されています。9つのチャンネルが個別に電流ソースを提供します。チャンネル1および2は10mA電流を提供します。内部マルチプレクサは、各チャンネルの出力を4つの外付けノードの1つに切り替えます。チャンネル3は2mAまたは20mAの選択可能な電流を提供します。チャンネル4は90mAを提供します。チャンネル5は180mAを提供します。チャンネル6は-60mAまたは+300mAの選択可能な電流を提供します。チャンネル7は90mAを提供します。チャンネル8および9は、15mAまたは35mAの選択可能な電流を提供します。より大きな電流またはより高い分解能を実現するには、DACの出力を並列に接続してください。このデバイスはリファレンスを内蔵しています。

I²C対応のインタフェースは、最高400kHzのクロックレートでデバイスを駆動します。アクティブハイの非同期CLR入力は、シリアルインタフェースとは無関係にDACコードをゼロにリセットします。このデバイスはインタフェースロジックを駆動するための独立した電源入力を備えています。

MAX5112は-40℃～+105℃の温度範囲での動作が保証されており、36ピン、ウェハレベルパッケージ(WLP) (3mm x 3mm)および32ピンTQFN (5mm x 5mm)パッケージで提供されます。

標準動作回路



本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト (japan.maximintegrated.com) をご覧ください。

特長

- ◆ 低電源電圧：3.0V
- ◆ 出力1と2にマルチプレクサ内蔵
- ◆ 出力の並列接続による電流または分解能の増大
- ◆ I²C対応シリアルインタフェース
- ◆ 内部リファレンス
- ◆ 過熱保護
- ◆ 温度範囲：-40℃～+105℃
- ◆ 36ピン、ウェハレベルパッケージ(WLP)または32ピンTQFNパッケージ

アプリケーション

調整可能なレーザダイオードバイアス

型番

PART	INTERFACE	PIN-PACKAGE
MAX5112GWX+T	I ² C	36 WLP
MAX5112GTJ+	I ² C	32 TQFN-EP*

注：すべてのデバイスは-40℃～+105℃の温度範囲での動作が保証されています。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

T = テープ&リール。

*EP = エキスポーズドパッド。

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ABSOLUTE MAXIMUM RATINGS

V_{DD} to AGND-0.3V to +4.0V
V_{SS} to AGND-6.0V to +0.3V
V_{DDI} to AGND-0.3V to +6.0V
OP6 to AGNDthe higher of (V_{DD} - 9V), (V_{SS} - 0.3V) and -6.0V
to the lower of (V_{DD} + 0.3V) and +4.0V
OP1 to OP5 and OP7, OP8,
OP9 to AGND...-0.3V to the lower of (V_{DD} + 0.3V) and +4.0V
A1 to DGND-0.3V to the lower of (V_{DDIO} + 0.3V) and +6.0V
N.C. to AGND-0.3V to the lower of (V_{DD} + 0.3V) and +4.0V
Digital I/Os to DGND-0.3V to +6.0V
AGND to DGND-0.3V to +0.3V

All Other Pins to AGND-0.3V to +4.0V
Continuous Power Dissipation (T_A = +70°C)
WLP (derate at 26.3mW/°C above +70°C) 2104mW
TQFN (derate at 34.5mW/°C above +70°C) 2758mW
Maximum Current Into Any Pin380mA
Operating Temperature Range-40°C to +105°C
Storage Temperature-65°C to +150°C
Junction Temperature+150°C
Lead Temperature (TQFN only, soldering 10s)+300°C
Soldering Temperature (reflow)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 1)

TQFN

Junction-to-Ambient Thermal Resistance (θ_{JA})29°C/W
Junction-to-Case Thermal Resistance (θ_{JC})1.7°C/W

WLP

Junction-to-Ambient Thermal Resistance (θ_{JA})38°C/W

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.6V to +3.3V, V_{SS} = -4.75V to -5.46V, V_{DDI} = +1.8V to +5.25V, AGND = DGND, T_A = -40°C to +105°C, V_{OP1}-V_{OP5} = V_{OP6} sourcing = V_{OP7}, V_{OP8}, and V_{OP9} = V_{DD} - 1V, V_{OP6} sinking = V_{SS} + 1V. Typical specifications at V_{DD} = 3.0V, V_{SS} = -5.2V, T_A = +25°C. Specifications apply to all DACs and outputs, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE						
Resolution	N		14			Bits
Differential Nonlinearity	DNL	Guaranteed monotonic		±0.5	±1.0	LSB
Integral Nonlinearity	INL	OP1 to OP6 source, OP7, OP8, OP9		±2	±8	LSB
		OP6 sink		±8		
Full-Scale Output	I _{MAX}	OP1 and OP2		10		mA
		OP3	2mA FS range	2		
			20mA FS range	20		
		OP4		90		
		OP5		180		
		OP6 current source		300		
		OP6 current sink		-60		
		OP7		90		
		OP8 and OP9	15mA FS range	15		
			35mA FS range	35		

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.6V to +3.3V, V_{SS} = -4.75V to -5.46V, V_{DDI} = +1.8V to +5.25V, AGND = DGND, T_A = -40°C to +105°C, V_{OP1}–V_{OP5} = V_{OP6} sourcing = V_{OP7}, V_{OP8}, and V_{OP9} = V_{DD} - 1V, V_{OP6} sinking = V_{SS} + 1V. Typical specifications at V_{DD} = 3.0V, V_{SS} = -5.2V, T_A = +25°C. Specifications apply to all DACs and outputs, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Offset Error (Note 3)	OE	OP1 and OP2		-120	-60	0	μA
		OP3	2mA FS range	-24	-12	0	
			20mA FS range	-240	-120	0	
		OP4		-1080	-540	0	
		OP5		-2160	-1080	0	
		OP6 current source		-3600	-1800	0	
		OP6 current sink		0	360	720	
		OP7		-1080	-540	0	
		OP8 and OP9	15mA FS range	-180	-90	0	
35mA FS range	-420		-210	0			
Offset Error Tempco (Note 4)	OETC	OP1 and OP2		±250			nA/°C
		OP3	2mA FS range	±50			
			20mA FS range	±500			
		OP4		±2250			
		OP5		±4500			
		OP6 current source		±7500			
		OP6 current sink		±1500			
		OP7		±2250			
		OP8 and OP9	15mA FS range	±375			
35mA FS range	±875						
Ideal Gain	IGAIN			IMAX /2 ¹⁴			mA/LSB
Gain Error (Note 3)	GE	All but OP3, 2mA and OP6 sink		±1.3			%FS
		OP3, 2mA		±1.5			
		OP6 sink		±5			
Gain Error Tempco (Note 4)	GETC	All but OP6 sink		±50			ppm/°C
		OP6 sink		±15			
Output Compliance Range	VOR	All but OP6 sink		VGND	VDD - 1		V
		OP6 sink		VSS + 1	VDD		
DYNAMIC PERFORMANCE							
Output Resistance	ROUT	OP1 and OP2		2			MΩ
		OP3	2mA FS range	10			
			20mA FS range	1			
		OP4		0.2			
		OP5		0.1			
		OP6 current source		0.06			
		OP6 current sink		0.04			
		OP7		0.2			
		OP8 and OP9	15mA FS range	1.3			
35mA FS range	0.56						

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.6V to +3.3V, V_{SS} = -4.75V to -5.46V, V_{DDI} = +1.8V to +5.25V, AGND = DGND, T_A = -40°C to +105°C, V_{OP1}–V_{OP5} = V_{OP6} sourcing = V_{OP7}, V_{OP8}, and V_{OP9} = V_{DD} - 1V, V_{OP6} sinking = V_{SS} + 1V. Typical specifications at V_{DD} = 3.0V, V_{SS} = -5.2V, T_A = +25°C. Specifications apply to all DACs and outputs, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Output Slew Rate	SR	OP1 and OP2		5		mA/μs
		OP3	2mA FS range	1		
				10		
		OP4		45		
		OP5		90		
		OP6 current source		150		
		OP6 current sink		30		
		OP7		45		
		OP8 and OP9	15mA FS range	7.5		
			35mA FS range	17.5		
Output Settling Time	t _{OS}	t _O ±0.1%		15		μs
Noise at Full Scale (10kHz)	INO	OP1 and OP2		1.6		nA/√Hz
		OP3	2mA FS range	0.4		
			20mA FS range	3.4		
		OP4		16		
		OP5		31		
		OP6 current source		56		
		OP6 current sink		11		
		OP7		16		
		OP8 and OP9	15mA FS range	2.8		
			35mA FS range	6.5		
DAC Glitch Impulse Major-Carry Transition	IOGE	OP1 and OP2		60		pC
		OP3, 20mA		120		
		OP4		540		
		OP5		1080		
		OP6 current source		1800		
		OP6 current sink		360		
		OP7		540		
		OP8 and OP9	15mA FS range	90		
			35mA FS range	210		
DAC Output GND Switch Resistance	R _{GSW}	At 0.7V			50	Ω
DAC Output GND Switch Current	I _{GSW}	At 0.7V	14			mA
OVERTEMPERATURE DETECTORS						
Overtemperature Disable Threshold	T _{OVRTD}			+160		°C
Overtemperature Warning Threshold	T _{OVRTW}			+150		°C

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +2.6V to +3.3V, V_{SS} = -4.75V to -5.46V, V_{DDI} = +1.8V to +5.25V, AGND = DGND, T_A = -40°C to +105°C, V_{OP1}–V_{OP5} = V_{OP6} sourcing = V_{OP7}, V_{OP8}, and V_{OP9} = V_{DD} - 1V, V_{OP6} sinking = V_{SS} + 1V. Typical specifications at V_{DD} = 3.0V, V_{SS} = -5.2V, T_A = +25°C. Specifications apply to all DACs and outputs, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Power-Supply Range	V _{DD}		2.6		3.3	V
Interface Power-Supply Range	V _{DDI}		1.8		5.25	V
Negative Supply Range	V _{SS}		-5.46	-5.2	-4.75	V
Supply Current	I _{DD}	No load, no input/output		500	600	μA
Negative Supply Current	I _{SS}		-20	-11		μA
POWER-ON RESET (POR)						
POR Threshold	V _{POR}			1.6		V
POR Threshold Hysteresis	V _{PORH}			0.025		V
DIGITAL INPUT CHARACTERISTICS (SDA, SCL, A1, A0)						
Input Low Voltage	V _{IL}	V _{DDI} = 2.2V to 5.25V		0.3 × V _{DDI}		V
		V _{DDI} = 1.8V to 2.2V		0.2 × V _{DDI}		
Input High Voltage	V _{IH}	V _{DDI} = 2.2V to 5.25V	0.7 × V _{DDI}			V
		V _{DDI} = 1.8V to 2.2V	0.8 × V _{DDI}			
Input Hysteresis	V _{HYS}			250		mV
Input Capacitance	C _{IN}			10		pF
Input Leakage Current	I _{IN}	Input = 0V or V _{DDI}			±10	μA
DIGITAL OUTPUT CHARACTERISTICS (SDA)						
SDA Output Low Voltage	V _{OL}	V _{DDI} = 2.2V to 5.5V, I _{SINK} = 3mA		0.4		V
		V _{DDI} = 1.8V to 2.2V, I _{SINK} = 3mA		0.2 × V _{DDI}		
TIMING CHARACTERISTICS (Note 5)						
SCL Clock Frequency	f _{SCL}		0		400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time for a Repeated START Condition	t _{HD:STA}		0.6			μs
SCL Pulse Width Low	t _{LOW}	V _{DDI} = 2.2V to 5.25V	1.3			μs
		V _{DDI} = 1.8V to 2.2V	1.9			
SCL Pulse Width High	t _{HIGH}	V _{DDI} = 2.2V to 5.25V	0.6			μs
		V _{DDI} = 1.8V to 2.2V	0.8			
Setup Time for Repeated Start Condition	t _{SU:STA}		0.6			μs
Data Hold Time	t _{HD:DAT}	V _{DDI} = 2.2V to 5.25V	0		900	ns
		V _{DDI} = 1.8V to 2.2V	0		1100	

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.6V$ to $+3.3V$, $V_{SS} = -4.75V$ to $-5.46V$, $V_{DDI} = +1.8V$ to $+5.25V$, $AGND = DGND$, $T_A = -40^{\circ}C$ to $+105^{\circ}C$, $V_{OP1}-V_{OP5} = V_{OP6}$ sourcing = V_{OP7} , V_{OP8} , and $V_{OP9} = V_{DD} - 1V$, V_{OP6} sinking = $V_{SS} + 1V$. Typical specifications at $V_{DD} = 3.0V$, $V_{SS} = -5.2V$, $T_A = +25^{\circ}C$. Specifications apply to all DACs and outputs, unless otherwise noted.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Setup Time	$t_{SU:DAT}$		100			ns
SDA and SCL Receiving Rise Time	t_R		$20 + (C_B/10)$		300	ns
SDA and SCL Receiving Fall Time	t_F		$20 + (C_B/10)$		300	ns
SDA Transmitting Fall Time	t_F		$20 + (C_B/10)$		250	ns
Setup Time for STOP Condition	$t_{SU:STO}$		0.6			μs
Bus Capacitance Allowed	C_B		10		400	pF
Pulse Width of Suppressed Spike	t_{SP}			50		ns
CLR Removal Time Prior to a Recognized START	t_{CLRSTA}	Applies to DACs in reset mode only	100			ns
CLR Pulse-Width High	t_{CLRPW}	No DAC is in shutter or gate mode	40			ns
		Any DAC is in shutter or gate mode (Note 6)	4			μs

Note 2: Specifications are 100% production tested at $T_A \geq +25^{\circ}C$. Specifications for $T_A < +25^{\circ}C$ are guaranteed by design.

Note 3: All gain and offset errors include the effect of the internal reference and are guaranteed over temperature. Gain error = (measured gain - I_{GAIN}/I_{GAIN}). Measured gain = (code 16383 DAC output - code 500 DAC output)/15883. Offset error = code 500 DAC output - (500 x measured gain).

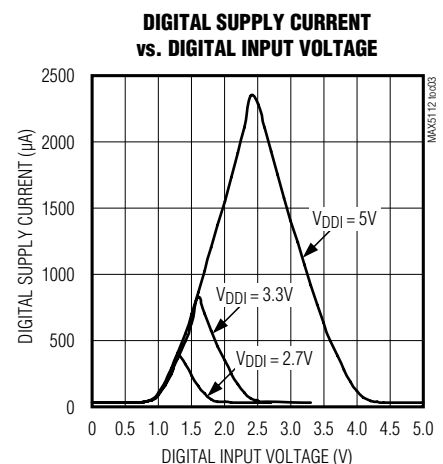
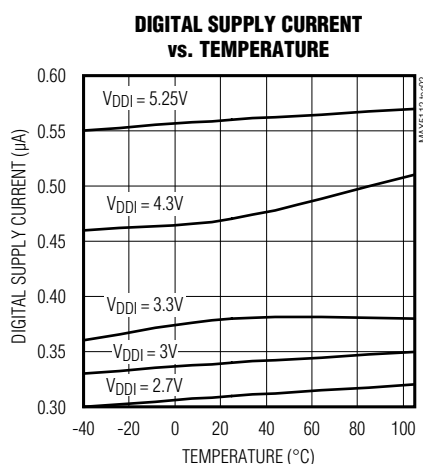
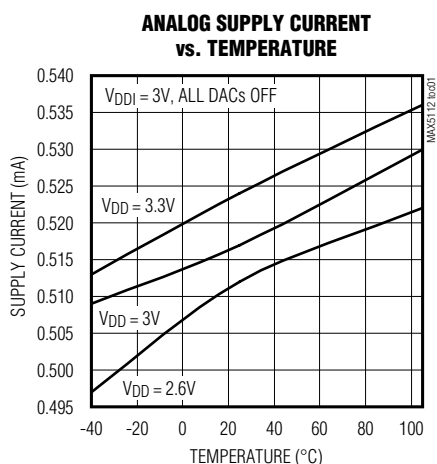
Note 4: Guaranteed by design and characterization. Not production tested. All gain and offset temperature coefficients include the effect of the internal reference. Temperature coefficients are calculated by the "box" method. Refer to Application Note 4300: *Calculating the Error Budget in Precision Digital-to-Analog Converter (DAC) Applications* for additional information.

Note 5: Timing characteristics are tested and guaranteed with digital input conditions at $V_{IH} = V_{DDI}$ and $V_{IL} = 0V$. For $V_{DDI} > 2.2V$, I²C fast-mode specifications are met. Reduced SCL clock rate for $V_{DDI} < 2.2V$.

Note 6: Minimum pulse width required to realize functionally useful DAC transitions. Not production tested. See the Shutter Mode Settling Time Down and Shutter Mode Settling Time Up graphs in the *Typical Operating Characteristics* section.

標準動作特性

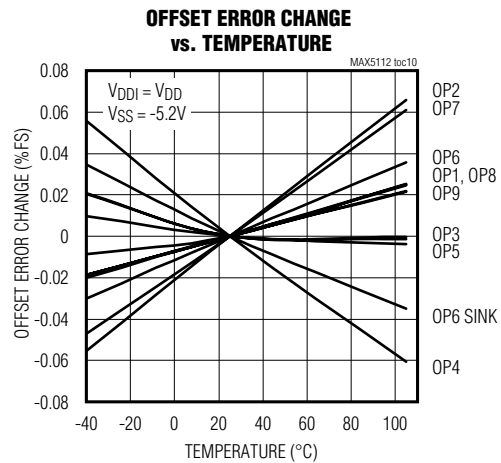
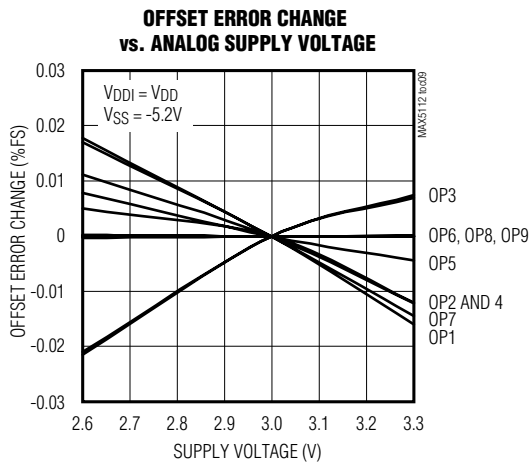
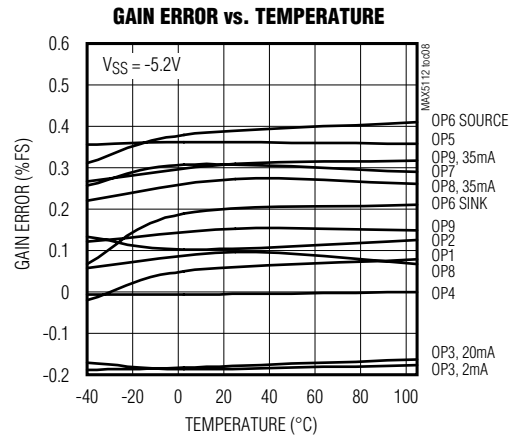
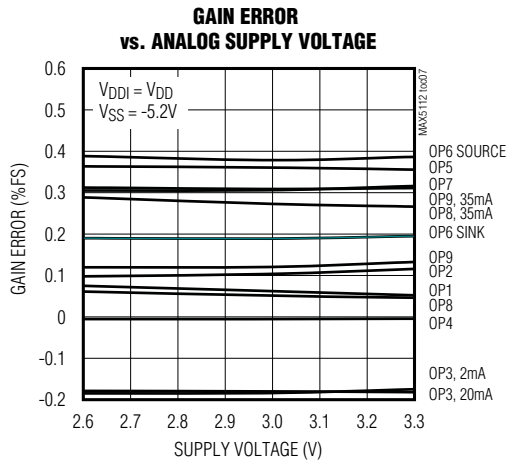
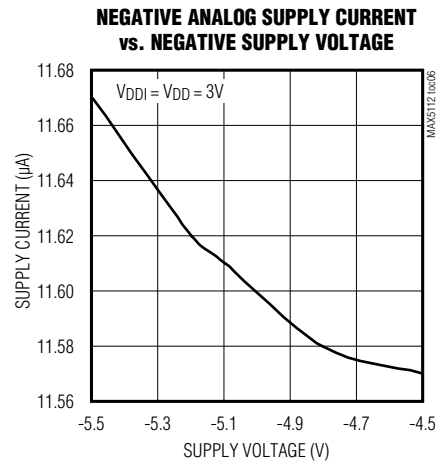
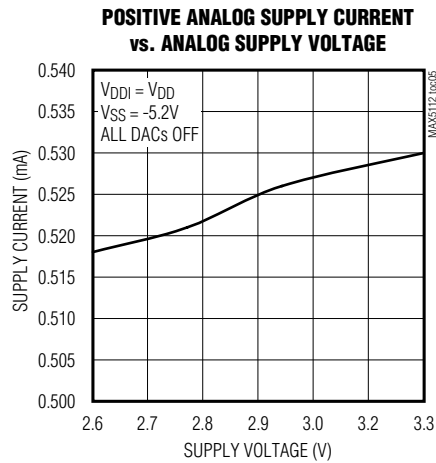
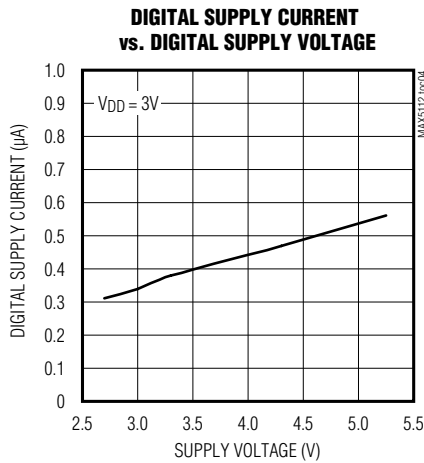
($V_{DD} = 3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

(V_{DD} = 3.0V, T_A = +25°C, unless otherwise noted.)

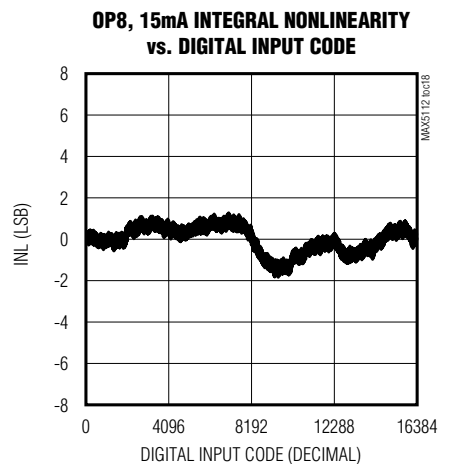
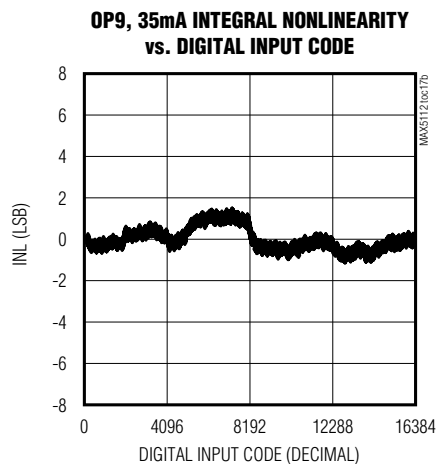
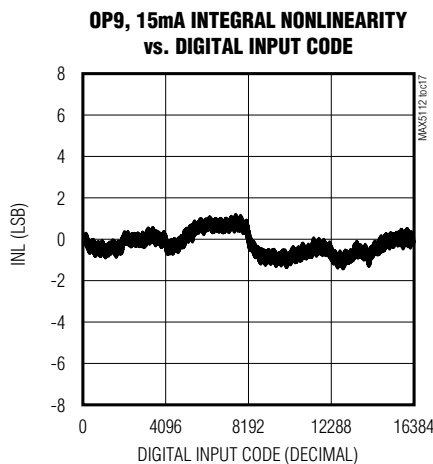
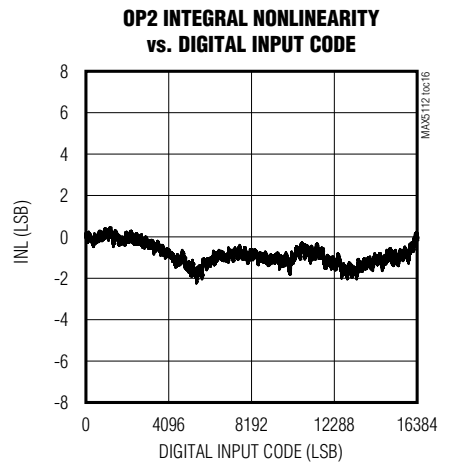
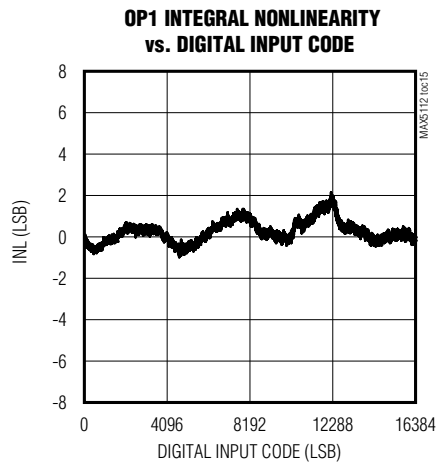
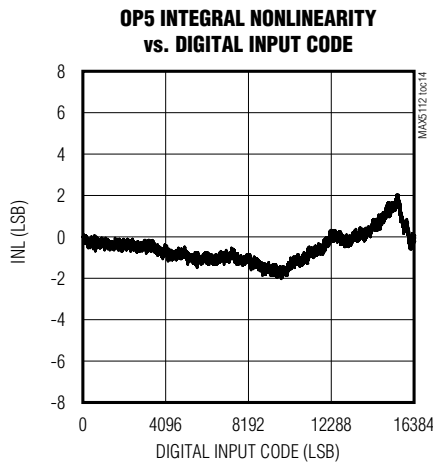
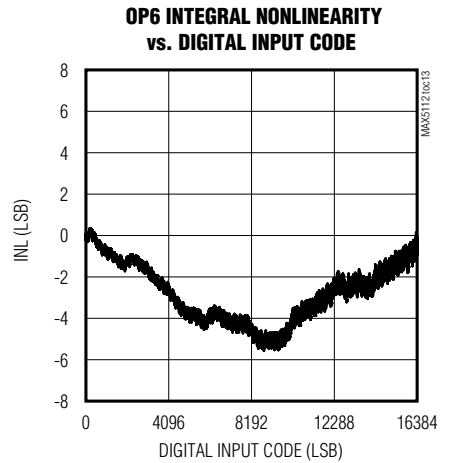
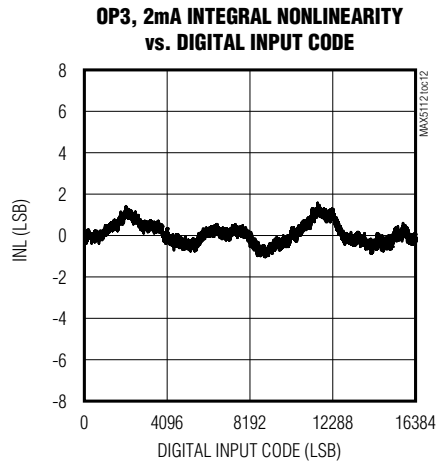
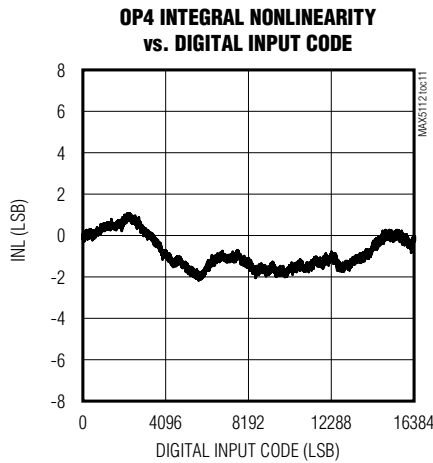


MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

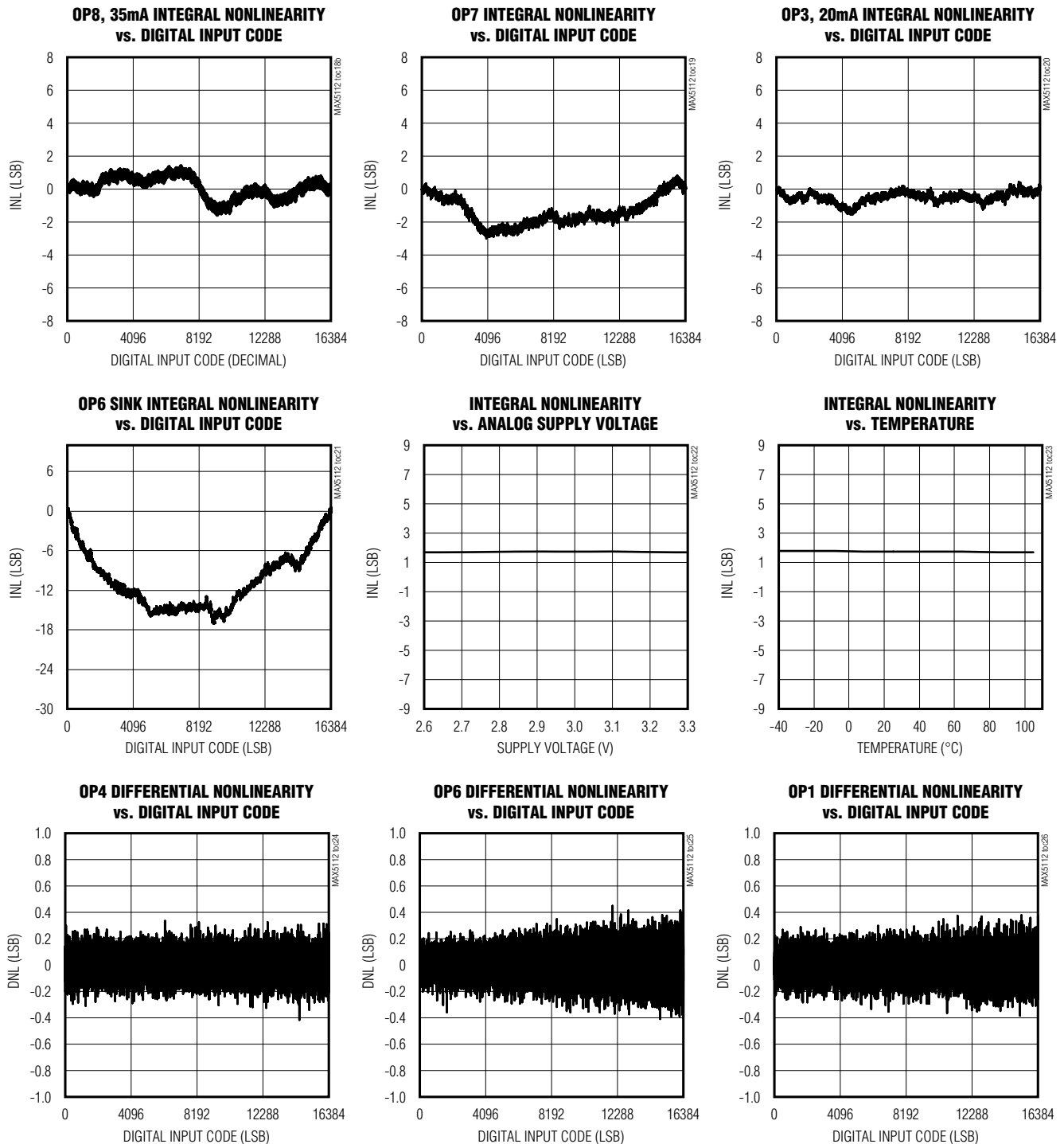
(V_{DD} = 3.0V, T_A = +25°C, unless otherwise noted.)



9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

(VDD = 3.0V, T_A = +25°C, unless otherwise noted.)

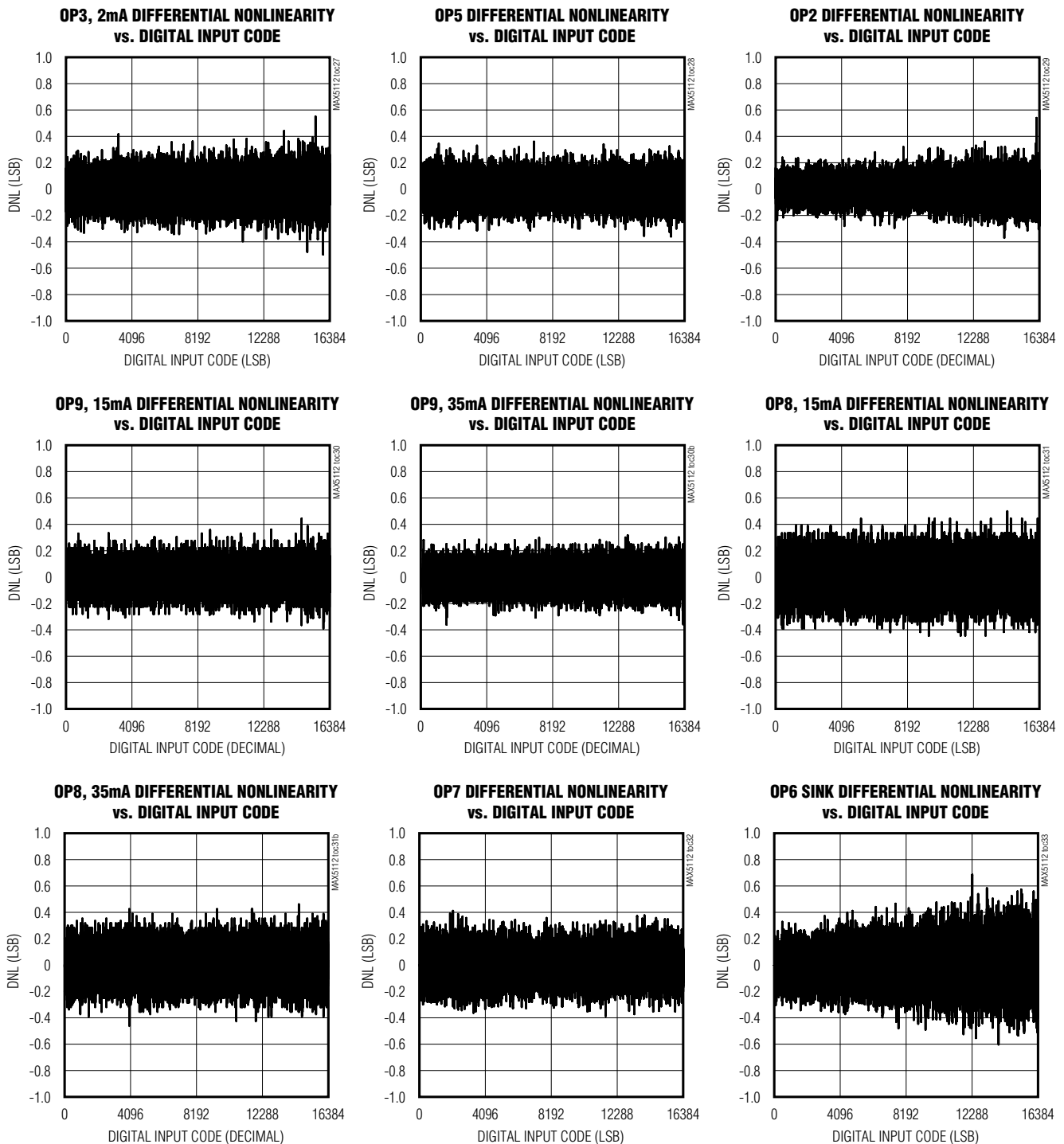


MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

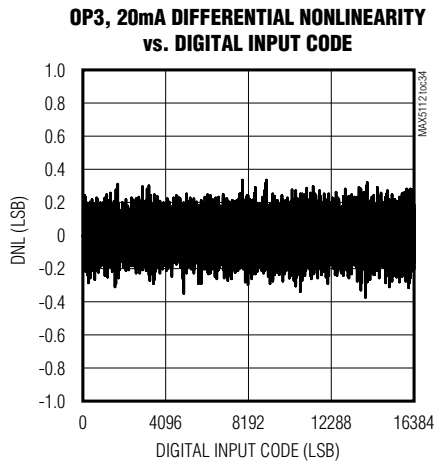
(VCC = 3.0V, T_A = +25°C, unless otherwise noted.)



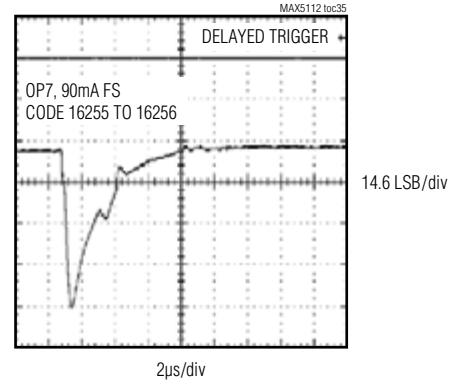
9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

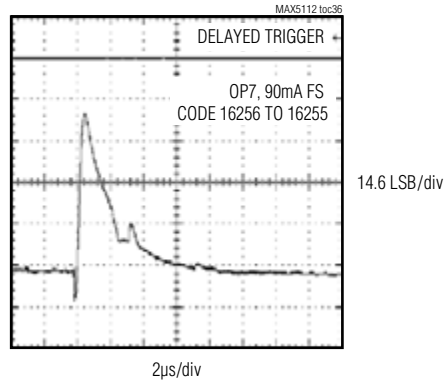
(VDD = 3.0V, T_A = +25°C, unless otherwise noted.)



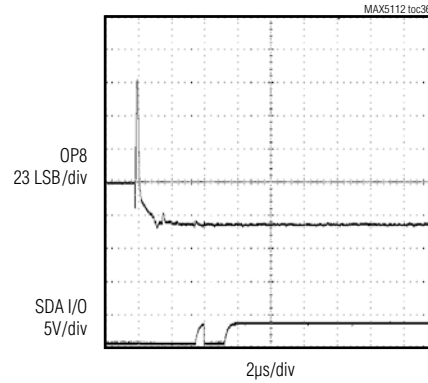
**LOW-TO-HIGH MAJOR CODE TRANSITION
OUTPUT TRANSIENT**



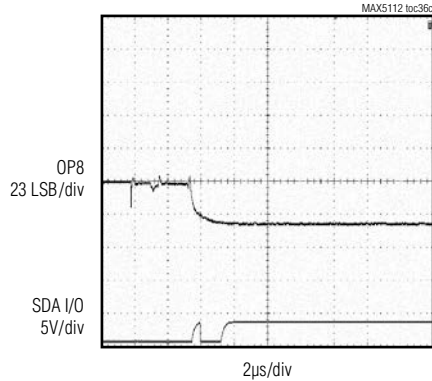
**HIGH-TO-LOW MAJOR CODE TRANSITION
OUTPUT TRANSIENT**



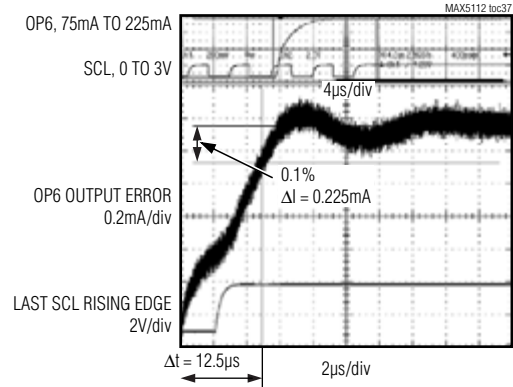
**MULTICODE TRANSITION TRANSIENT
OP8 CODE 9690 TO 9630 (T/H OFF)**



**MULTICODE TRANSITION TRANSIENT
OP8 CODE 9690 TO 9630 (T/H ON)**



**OUTPUT 6 LOW TO HIGH CODE
0.1% SETTLING TIME**

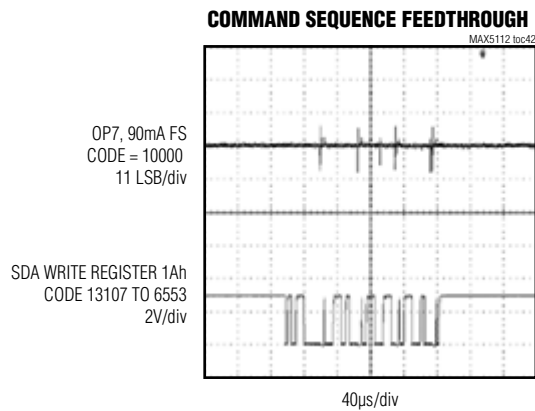
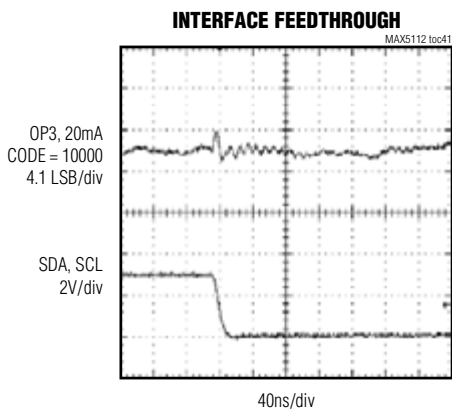
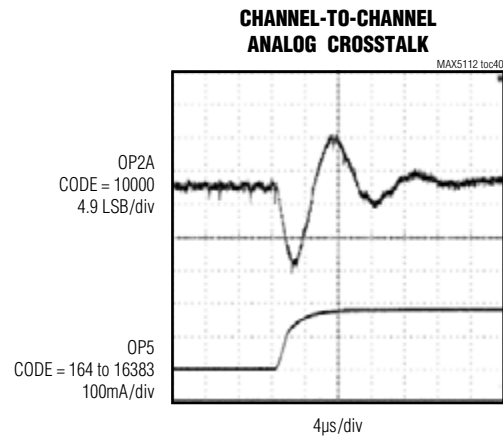
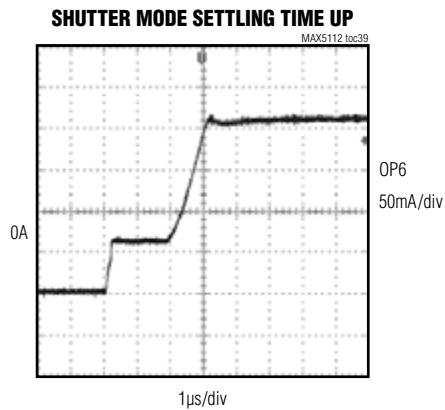
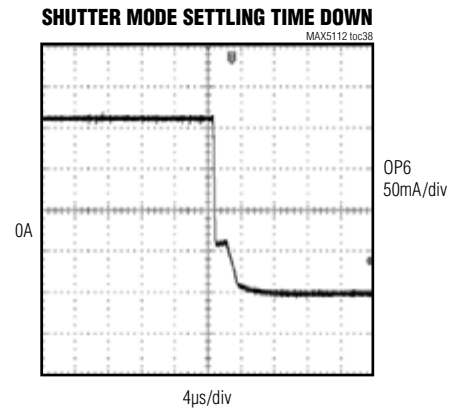
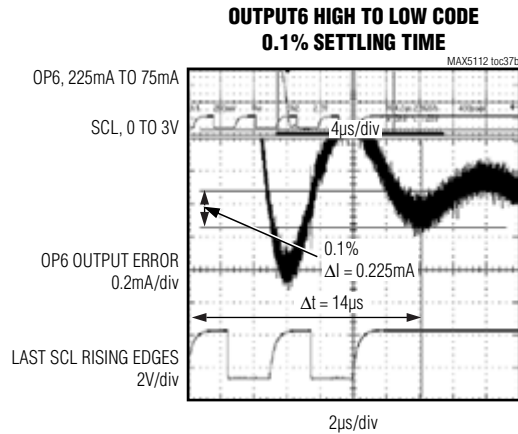


MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

標準動作特性(続き)

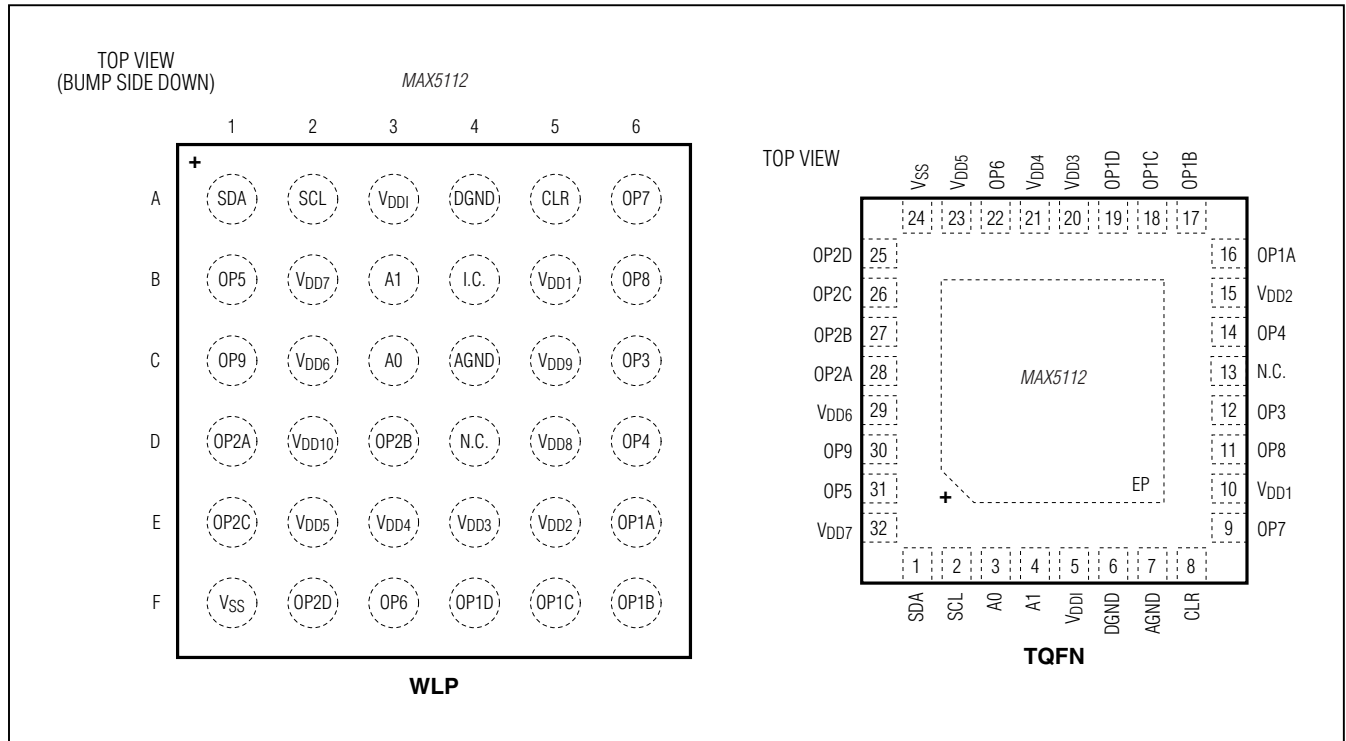
(VDD = 3.0V, TA = +25°C, unless otherwise noted.)



MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ピン配置



端子説明

端子		名称	機能
WLP	TQFN-EP		
A1	1	SDA	I ² C双方向シリアルデータ
B1	31	OP5	DAC 5出力、180mAフルスケール
C1	30	OP9	DAC 9出力、15mAまたは35mAフルスケール
D1	28	OP2A	DAC 2マルチプレクサ出力A、10mAフルスケール
E1	26	OP2C	DAC 2マルチプレクサ出力C、10mAフルスケール
F1	24	VSS	負の電源
A2	2	SCL	I ² Cクロック入力
B2	32	VDD7	DAC 5出力の正の電源。内部でVDD6およびVDD10に接続されています。
C2	29	VDD6	DAC 5出力の正の電源(WLP)。内部でVDD7およびVDD10に接続されています。
			DAC 5出力およびDAC 2出力の正の電源(TQFN)。内部でVDD7およびVDD10に接続されています。
D2	—	VDD10	DAC 2出力およびDAC 9出力の正の電源。内部でVDD6およびVDD7に接続されています。
E2	23	VDD5	DAC 6出力の正の電源。内部でVDD3およびVDD4に接続されています。
F2	25	OP2D	DAC 2マルチプレクサ出力D、10mAフルスケール

MAX5112

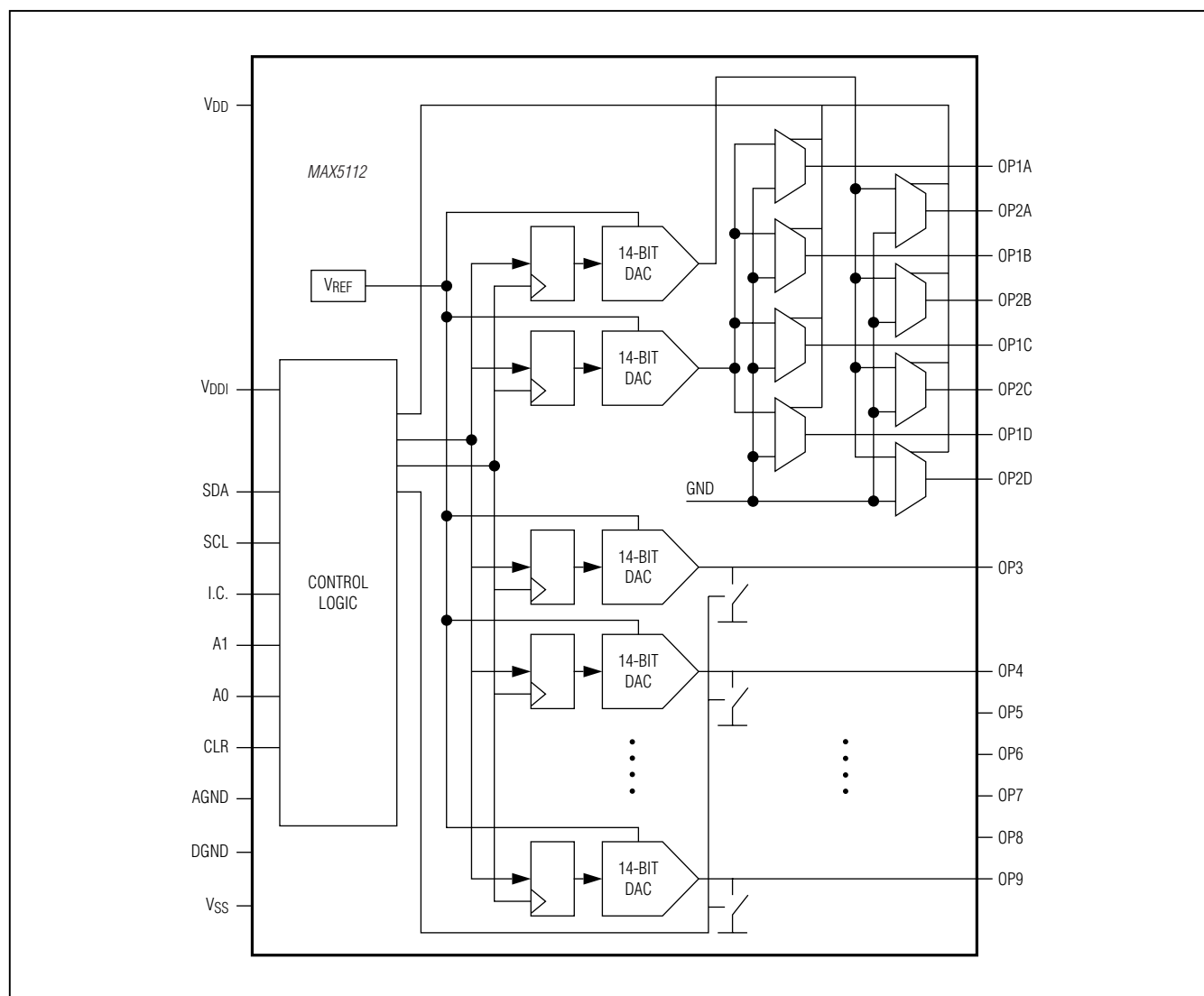
9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

端子説明(続き)

端子		名称	機能
WLP	TQFN-EP		
A3	5	V _{DDI}	インタフェース電源。V _{DD} に接続するか、または異なるインタフェース電源に対応させる場合は独立した電源に接続してください。
B3	4	A1	I ² Cアドレスビット1
C3	3	A0	I ² Cアドレスビット0
D3	27	OP2B	DAC 2マルチプレクサ出力B、10mAフルスケール
E3	21	V _{DD4}	DAC 6出力の正の電源。内部でV _{DD5} およびV _{DD3} に接続されています。
F3	22	OP6	DAC 6出力、-60mAまたは300mAフルスケール
A4	6	DGND	デジタルグランド
B4	—	I.C.	内部接続。V _{DDI} に接続してください。
C4	7	AGND	アナロググランド
D4	13	N.C.	内部接続なし。「Absolute Maximum Ratings (絶対最大定格)」の制限に従う必要があります。
E4	20	V _{DD3}	DAC 6出力の正の電源。内部でV _{DD5} およびV _{DD4} に接続されています。
F4	19	OP1D	DAC 1マルチプレクサ出力D、10mAフルスケール
A5	8	CLR	アクティブハイのクリア
B5	10	V _{DD1}	DAC 7出力の正の電源(WLP)
			DAC 3出力、DAC 7出力、およびDAC 8出力の正の電源(TQFN)
C5	—	V _{DD9}	DAC 3出力およびDAC 8出力の正の電源
D5	—	V _{DD8}	DAC 4出力の正の電源
E5	15	V _{DD2}	DAC 1出力の正の電源(WLP)
			DAC 1出力およびDAC 4出力の正の電源(TQFN)
F5	18	OP1C	DAC 1マルチプレクサ出力C、10mAフルスケール
A6	9	OP7	DAC 7出力、90mAフルスケール
B6	11	OP8	DAC 8出力、15mAまたは35mAフルスケール
C6	12	OP3	DAC 3出力、2mAまたは20mAフルスケール
D6	14	OP4	DAC 4出力、90mAフルスケール
E6	16	OP1A	DAC 1マルチプレクサ出力A、10mAフルスケール
F6	17	OP1B	DAC 1マルチプレクサ出力B、10mAフルスケール
—	—	EP	エクスポーズドパッド(TQFNのみ)。内部でAGNDに接続されています。放熱性を向上させるために、グランドプレーンに接続してください。

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ファンクションダイアグラム



MAX5112

9チャンネル、14ビット、電流DAC、I²Cインタフェース内蔵

詳細

MAX5112の出力範囲は、高出力チューナブルレーザ光源のバイアス用に最適化されています。各DAC出力で利用可能な出力電流範囲については、表1を参照してください。

各DACおよび非常に安定性の高い内部リファレンスは出荷時調整が行われ、出力が規定範囲内であることが保証されます。電流駆動または分解能を増大させるには、DACを並列に接続してください。

DAC出力

DAC Configurationレジスタ(01h~09h)で、各DACの設定を個別に制御します。DAC 1および2は、4つの2:1マルチプレクサを駆動します。これらのマルチプレクサによって、各DACの出力が4つの出力の1つに接続されます。未使用の出力はハイインピーダンスとして設定するか、またはAGNDに接続してください。DAC 3のフルスケール出力は、2mAまたは20mAを選択可能です。

DAC 6は、電流ソースとして選択された場合は300mAフルスケール出力を供給します。電流シンクとして選択された場合は、14ビット全体を0~-60mAの間で利用可能です。DAC 6の標準的なアプリケーションは、光アンプの駆動で、電流ソースの変化による利得の設定、または電流シンクの変化による減衰の設定を行います。

他のすべてのDACは、正の電流ソースDACです。DAC 8および9のフルスケール出力は、15mAまたは35mAを選択可能です。

DAC 3、8、および9の出力範囲は、Individual ConfigurationレジスタのRNGビットを使用して選択可能です。DAC 6の極性およびフルスケール出力は、DAC 6レジスタのSW_POLビットによって設定されます。

表1. 標準フルスケール出力電流

OUTPUT	OUTPUT-CURRENT RANGE CAPABILITY (mA)	
	LOW RANGE (DEFAULT)	HIGH RANGE
OP1	0 to 10	Reserved
OP2	0 to 10	Reserved
OP3	0 to 2	0 to 20
OP4	0 to 90	Reserved
OP5	0 to 180	Reserved
OP6	-60 to 0 or 0 to 300	Reserved
OP7	0 to 90	Reserved
OP8	0 to 15	0 to 35
OP9	0 to 15	0 to 35

出カトラック/ホールド

すべてのチャンネルは、グリッチ性能を向上させるトラック/ホールド回路を備えています。このタイプのすべてのDACと同様に、MAX5112のDACは1つのコードから別のコードへの遷移時にグリッチが発生します。グリッチの大きさは、遷移の大きさおよび範囲全体のどこで遷移が起きるかによって定義されます。一般に、小さい遷移では小さいグリッチが発生します。しかし、これは絶対ではありません。トラック/ホールド回路をイネーブルして、グリッチの大きさをゼロ近くに低減することができます。Individual DAC Configurationレジスタ(01h~09h)のビット12をセットすることにより、各チャンネルのトラック/ホールドを個別にイネーブルすることができます。

イネーブル時、トラック/ホールドはI²Cフレーム内の35番目のSCLの遷移後に作動して、図2に示す単一レジスタ書込みシーケンスで新しいDACコードを設定します。複数レジスタ書込みシーケンスの詳細については、図3を参照してください。これはDACセクションが安定するまで出力レベルを保持します。トラック/ホールドが作動している間は、出力レベルに約10 LSBのわずかなオフセットが現れます。トラック/ホールドは6μs (typ)にわたって作動します。その後解除され、チャンネルはグリッチなしで新しいレベルに遷移します。

DACグランドスイッチ

すべてのDACは、DACコードにゼロが設定された場合に出力をグランドに接続するための設定可能なスイッチを内蔵しています。設定ビットに0が設定された状態でコードにゼロが設定されたときは、スイッチはオープンです。この場合、出力ドライバはディセーブルされ、出力はハイインピーダンスに設定されます。DACスイッチの設定は、各DACについて個別に行います。「01h~09h: Individual DAC (1~9) Configurationレジスタ」の項を参照してください。General Configurationレジスタ(00h)内のグローバルDACスイッチオーバーライドビット(GSWG[1:0])を適用した場合は、すべてのスイッチ選択に優先されます。

クリア機能(CLR)

クリア機能は、1つのアクティブハイ入力(CLR)を介して動作モードにアクセスすることができます。CLRがアサートされた場合の各DACの動作は、個別に設定可能です。「CLR操作」の項を参照してください。

クリア機能は、Software Reset Commandレジスタ内のSW_CLRビットをセットすることによってソフトウェアでアサートすることも可能です。「0Fh: Software Reset Commandレジスタ」の項を参照してください。

各DACのクリア機能は、以下の例で示すように、Individual DAC Configurationレジスタ(01h~09h)内のCLR_CFG[1:0]ビットを介して設定します。

- 00 (イグノア): CLRのアサートはDACに影響しません。

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

- **01 (シャッター)**: シャッターモードはOP6のみに適用されます。他のすべてのDACの場合、シャッターモードはイグノアと同じ効果になります。OP6の場合、CLRがアサートされている間(レベル検出)、出力極性が負になります。電流シンクのレベルは、DAC 6 Shutter Mode Codeレジスタ(1Bh)によって定義されます。CLRが解除されると、DAC出力はDAC 6 Source Mode Codeレジスタ(16h)に設定されている以前の設定値に戻ります。
- **10 (ゲート)**: CLRがアサートされている間(レベル検出)、DACのコードがゼロに維持されます(グランドスイッチがイネーブルされている場合は接続状態になります)。CLRが解除されると、DAC出力はDAC 1~9 Codeレジスタ(10h~1Ah)に設定されている以前の設定値に戻ります。
- **11 (リセット)**: CLRがアサートされた場合DACのコードがゼロに設定され(グランドスイッチがイネーブルされている場合は接続状態になり)、CLRの解除(エッジ検出)後もコードがゼロのままになります。

クリア操作の実行中、イグノア、シャッター、またはゲートモードに設定されたDACチャンネルは引き続き新しいコードの設定を受け付けます。リセットモードに設定されたDACチャンネルは、クリア操作が終了するまでコードの変更を受け付けません。

ソフトウェアによるクリア操作

このデバイスは、ソフトウェアでアクセス可能なクリア機能(SW_CLR)を備えており、I²Cインタフェースを介してクリア機能に直接アクセスすることができます([0Fh: Software Reset Commandレジスタ]の項を参照)。コマンド0Fhを使用してクリア操作を開始すると、影響を受けるDAC出力はクリア設定の内容によって決定されるクリア位置に保持されます。この状態は、クリア操作を要求する0Fhコマンドが完了した時点から、クリア操作の解除を要求する第2の0Fhコマンドが完了するまで発生します。ソフトウェアに基づくクリア操作と端子に基づくクリア操作は個別に制御され、個別または両者を組み合わせて競合することなく使用することが可能です。このデバイスは論理OR回路を内蔵しています。

パワーオンリセット(POR)、電力ブラウンアウト

このデバイスは、スレッショルドが1.6V (typ)でヒステリシスが0.025V (typ)のPOR回路を内蔵しています。PORは、V_{DD}が上限PORスレッショルドを上回る時点でデバイスがすべてのレジスタをデフォルト状態にリセットすることを保証します。すべてのDACレジスタのデフォルト状態のコードはゼロで、グランドスイッチが接続されるため、最初の起動時の大きい出力電流過渡によって負荷が損傷しないことが保証されます。

V_{DD}ブラウンアウト状態の場合、V_{DD}が再び上昇したときにPORが発生するためには、その前にV_{DD}が下限PORスレッショルドを下回っている必要があります。V_{DD}の低下に伴って、デバイスは結局は安定化を失います。しかし、この

デバイスは負荷に損傷を与える可能性のある大きな出力電流過渡を防止するように設計されています。

ソフトウェアリセットおよびスタンバイ機能

このデバイスは、ソフトウェアリセット機能を内蔵しています。ソフトウェアリセット機能は、すべてのCodeおよびConfigurationレジスタをデフォルトの状態にリセットします。リセットを開始する場合は、Software Reset Commandレジスタ(0Fh)のRSTビットに1を書き込んでください。RSTビットには永続性がないため、0を書き込んでビットをリセットする必要はありません。

このデバイスはソフトウェアスタンバイ機能を内蔵しており、これを使用した場合すべてのDAC Codeレジスタ(10h~1Bh)にゼロのコードが設定されます。スタンバイ機能を開始する場合は、Software Reset Commandレジスタ(0Fh)のSTDBYビットに1を書き込んでください。STDBYビットには永続性がないため、0を書き込んでビットをリセットする必要はありません。

ソフトウェアスタンバイ機能は、ソフトウェアリセット機能のサブセットです。両方の機能が実行された場合、ソフトウェアリセット機能が有効になります。

過熱エラー処理

このデバイスは、すべてのDACが最大設定電流を出力する場合にデバイスのオーバーヒートを防止する温度保護回路を内蔵しています。チップ温度がスレッショルド温度の+160°Cを上回ると、Status/Revision Readback Commandレジスタ(0Eh)のPRO_TEMPビットがセットされ、デバイスは過熱シャットダウンモードに移行します。すべてのDACのコードがゼロに設定されますが、制御インタフェースはアクティブなままになり、ホストプロセッサはデバイスの状態を読み取ることができます。PRO_TEMPビットはラッチされるため、ソフトウェアリセットコマンド、ソフトウェアスタンバイコマンド、または電源のオフ/オンによってのみリセット可能です。

このデバイスは、過熱ステータスビット(OVR_TEMP)を備えています。OVR_TEMPビットはラッチされず、デバイスの温度が保護スレッショルドを上回った場合にセットされます。OVR_TEMPビットによって、ホストプロセッサはデバイスがリセットするには高温過ぎるかどうかを判断することができます。デバイスの温度が保護スレッショルドを上回っている状態でソフトウェアリセットを試みた場合、コマンドは無視されます。同様に、チップ温度がスレッショルドを上回っている状態で電源のオフ/オンを行った場合、デバイスは直ちにシャットダウンモードに移行します。

このデバイスは、警告ビット(HI_TEMP)を備えています。警告ビットはラッチされず、高温状態インジケータビットとして機能します。HI_TEMPビットは、チップ温度が過熱保護スレッショルドより10°C (typ)低いときにセットされます。

チップ温度の計算およびヒートシンクの要件の詳細については、「アプリケーション情報」の項を参照してください。

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

ユーザー設定レジスタ

表2にレジスタマップの概要を示します。

表2. ユーザーレジスタ/コマンドの概要

レジスタアドレス (16進)	アクセス	ペア可能	レジスタ名
00h	W	Y	General Configuration
01h	W	Y	DAC 1 Configuration
02h	W	Y	DAC 2 Configuration
03h	W	Y	DAC 3 Configuration
04h	W	Y	DAC 4 Configuration
05h	W	Y	DAC 5 Configuration
06h	W	Y	DAC 6 Configuration
07h	W	Y	DAC 7 Configuration
08h	W	Y	DAC 8 Configuration
09h	W	Y	DAC 9 Configuration
0Ah	—	—	予備
0Bh	—	—	予備
0Ch	—	—	予備
0Dh	—	—	予備
0Eh	R	N	Status Feedback and Part ID
0Fh	W	Y	Software Reset/Standby/Clear
10h	W	Y	DAC 1~9 Code
11h	W	Y	DAC 1 Code
12h	W	Y	DAC 2 Code
13h	W	Y	DAC 3 Code
14h	W	Y	DAC 4 Code
15h	W	Y	DAC 5 Code
16h	W	Y	DAC 6 Source Mode Code
17h	W	Y	DAC 7 Code
18h	W	Y	DAC 8 Code
19h	W	Y	DAC 9 Code
1Ah	W	Y	DAC 6 Sink Mode Code
1Bh	W	Y	DAC 6 Shutter Mode Code
1Ch	—	—	予備
1Dh	—	—	予備
1Eh	—	—	予備
1Fh	W	Y	DAC 6 Polarity Control

注：MAX5112は7ビットのコマンド(レジスタ)アドレスをサポートしています。上記の7ビットのレジスタアドレスは、I²Cのコマンドバイト内で左詰めにしてください。コマンドバイトのLSBは任意ビットです。例については、図2、3、および4を参照してください。

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

レジスタの詳細

00h : General Configurationレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	GSWG[1:0]		X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

BIT	7	6	5	4	3	2	1	0
NAME	X	X	X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15:14	GSWG[1:0]	グローバルGSW設定オーバーライド 00 : 各DACのGSW設定は変更されません 01 : 各DACのGSW設定に0が設定されます(グラウンドスイッチをディセーブル) 10 : 各DACのGSW設定に1が設定されます(グラウンドスイッチをイネーブル) 11 : 各DACのGSW設定は変更されません
13:0	X	予備

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

01h~09h : Individual DAC (1~9) Configurationレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	GSW	CLR_CFG[1:0]		T/H_EN	RNG	MUX[3:1]		
DEFAULT	1	0	0	0	1	1	1	0

BIT	7	6	5	4	3	2	1	0
NAME	MUX0	X	X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15	GSW	グラントスイッチ制御 0 : DACコード = 0000hのとき、出力はオープンのままになります 1 : DACコード = 0000hのとき、出力はグラントに接続されます DAC 1および2の場合、この設定はアクティブなマルチプレクサ出力に適用されます。
14:13	CLR_CFG[1:0]	クリア操作の設定(CLR端子が各DACに与える影響の定義) 00 (イグノア) : DACはCLR端子による影響を受けません(デフォルト) 01 (シャッター) : CLR端子がアサートされている限り、DAC出力の極性は負に維持されます(電流レベルは1Bhによって定義) (レベル検出、DAC 6のみに適用、それ以外ではイグノア機能を実行) 10 (ゲート) : CLR端子がアサートされている限り、DAC出力はゼロスケールに維持されます(グラントスイッチがイネーブルされている場合はグラントに接続) (レベル検出) 11 (リセット) : CLRがアサートされるとDAC出力はゼロスケールに設定され(グラントスイッチがイネーブルされている場合はグラントに接続)、CLRが解除された後も有効なままです(エッジ検出)
12	T/H_EN	トラック/ホールドイネーブル 0 : トラック/ホールドはディセーブルです 1 : トラック/ホールドはイネーブルです
11	RNG	範囲(DAC 3、8、および9) 0 : DACのフルスケール出力レベルは高い範囲に設定されます。 1 : DACのフルスケール出力レベルは低い範囲に設定されます。 注 : RNGの設定をサポートしていないすべてのDACでは、このビットは予備であり、1を設定してください(デフォルト)。
10:7	MUX[3:0]	DACの出力マルチプレクサの設定(マルチプレクサの設定はDAC 1およびDAC 2でのみサポートされます) 0000 : 出力Aはアクティブ、他はすべてハイインピーダンス 0001 : 出力Bはアクティブ、他はすべてハイインピーダンス 0010 : 出力Cはアクティブ、他はすべてハイインピーダンス 0011 : 出力Dはアクティブ、他はすべてハイインピーダンス 01xx : すべての出力はハイインピーダンス(オープン) 1000 : 出力Aはアクティブ、他はすべてGNDに接続 1001 : 出力Bはアクティブ、他はすべてGNDに接続 1010 : 出力Cはアクティブ、他はすべてGNDに接続 1011 : 出力Dはアクティブ、他はすべてGNDに接続 11xx : すべての出力はGNDに接続(デフォルト)
6:0	X	予備

注 : Individual DAC Configurationの設定に何らかの変更を加えた場合、影響を受けるDACのコードが0000hにリセットされます。

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

0Eh : Status/Revision Readback Commandレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	PRO_TEMP	OVR_TEMP	HI_TEMP	X	PART_ID[3:0]			
DEFAULT	0	0	0	0	0	0	0	1

BIT	7	6	5	4	3	2	1	0
NAME	REV_ID[3:0]				X	X	X	X
DEFAULT	0	1	0	0	0	0	0	0

ビット	名称	説明
15	PRO_TEMP	過熱保護インジケータ 0：通常動作 1：デバイスの過熱保護が作動中
14	OVR_TEMP	過熱警告インジケータ 0：通常動作 1：デバイスが非常に高温(保護制限を超過)
13	HI_TEMP	高温警告インジケータ 0：通常動作 1：デバイスが高温(保護制限に接近中)
12	X	予備
11:8	PART_ID[3:0]	製品IDコード(0001)
7:4	REV_ID[3:0]	リビジョンコード(0100)
3:0	X	予備

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

0Fh : Software Reset Commandレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	RST	STDBY	SW_CLR	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

BIT	7	6	5	4	3	2	1	0
NAME	X	X	X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15	RST	グローバルリセット(PORと同等) 0:動作なし 1:リセット:すべてのDACのモード、設計、およびコードがそれぞれのデフォルト設定に戻ります。 永続性なし:リセット動作はコマンド内に含まれています。第2の0Fhコマンドを送信してリセット状態を解除する必要はありません。
14	STDBY	グローバルスタンバイ(グローバルパワーダウンと同等) 0:動作なし 1:スタンバイ:すべてのDACのコードがゼロに設定されますが、すべての設定情報は維持されます。 永続性なし:スタンバイ動作はコマンド内に含まれています。第2の0Fhコマンドを送信してスタンバイ状態を解除する必要はありません。 排他性あり:RSTとSTDBYが要求された場合、STDBYは実行されません。
13	SW_CLR	ソフトウェアクリア 0:動作なし/SW_CLRの解除 1:SW_CLRのアサート 永続性あり:SW_CLRの状態は、後続の0Fhコマンドによって変更されるまで有効なままです。 排他性あり:SW_CLRとRSTおよび/またはSTDBYが要求された場合、SW_CLRは実行されません。
12:0	X	予備

注:過熱保護モードが作動した場合、それを終了するためにはソフトウェアリセットまたはスタンバイコマンドが必要になります(ソフトウェアによるクリアでは終了の対象になりません)。

10h : Group DAC (1~9) Code Commandレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	B13	B12	B11	B10	B9	B8	B7	B6
DEFAULT	0	0	0	0	0	0	0	0

BIT	7	6	5	4	3	2	1	0
NAME	B5	B4	B3	B2	B1	B0	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15:2	B[13:0]	ストレートバイナリ形式のグループDACコード設定。コマンドの完了時に、すべてのDAC出力がコードB[13:0]に更新されます。 このコマンドは主に試験および認定の迅速化に役立ちます。
1:0	X	予備

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

11h～1Bh : Individual DAC (1～9) Code Settingレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	B13	B12	B11	B10	B9	B8	B7	B6
DEFAULT	0	0	0	0	0	0	0	0

BIT	7	6	5	4	3	2	1	0
NAME	B5	B4	B3	B2	B1	B0	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15:2	B[13:0]	ストレートバイナリ形式のDACコード設定 3FFFh = フルスケール出力 0000h = ゼロスケール出力(GSW構成の設定が適用されます)
1:0	X	予備

注：11h～19hは、それぞれDAC 1～9のDACコードの設定です。1AhはDAC 6のシンクモードコードの設定です。1BhはDAC 6のシャッターモードの設定です。表2を参照してください。

1Fh : DAC 6 Polarity Commandレジスタ

BIT	15	14	13	12	11	10	9	8
NAME	SW_POL	X	X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

BIT	7	6	5	4	3	2	1	0
NAME	X	X	X	X	X	X	X	X
DEFAULT	0	0	0	0	0	0	0	0

ビット	名称	説明
15	SW_POL	ソフトウェア極性制御(DAC 6に対してのみ) 0 : ソースモード動作(0～300mAを16hのコードで決定、GSW動作あり) 1 : シンクモード動作(0～60mAを1Ahのコードで決定、GSW動作はディセーブル)
14:0	X	予備

DAC 6の極性操作

ソフトウェアコマンド1Fh (SW_POL)またはシャッター(01)モード時のCLR操作によって、DAC 6の極性を制御します。SW_POLがハイに設定されている場合、DAC 6は電流シンクモードで動作します(0～60mA、シンクモード時のレジスタ1Ahによって決定)。ソフトウェアコマンドを使用する場合、極性の変更を要求する1Fhコマンドが完了した時点から、極性の変更操作を要求する第2の1Fhコマンドが完了するまで、要求した極性の効果が維持されます。シャッターモードを使用する場合、CLRがハイに維持されている限りDAC 6はシャッターモードのままになります。ソフトウェアによる極性操作とCLRによる極性操作は個別に制御され、個別または両者を組み合わせて競合することなく使用することが可能です。このデバイスは論理OR操作を内蔵しています。シャッターによって、ソースモードまたはシンクモードのどちらからもレジスタ1Bhに基づく

設定可能な負のコードに短時間でアクセス可能で、解除時には制御された形で元の動作状態に戻ります。

ゲートモードは、CLRのアサートまたはSW_CLRビットを介してアクティブ化されます。DACがシンクモードに設定されている状態でゲートモードをアクティブ化すると、DACはシンクモードのままですが、ゲートイベントの期間にわたり電流が0mAに低減されます。

同様に、リセットモードを設定した場合、DACはシンクモードのままになりますが、電流はリセットイベントの間0mAに低減され、その後も0mAのままになります。この操作によって、ソースモード、シンクモード、およびシャッターモードのすべての電流設定がゼロにリセットされます。DAC 6がリセットに設定されている間、シャッターモードはアクセス不可になります。

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

DACが(CLRまたはSW_CLRを介して)リセットモードに保持されていない限り、極性/シャッターの設定に関係なく、DAC 6はSource Mode Code (16h)、Sink Mode Code (1Ah)、またはShutter Mode Code (1Bh)レジスタに対するコード設定の更新の受付を継続します。

I²Cインタフェース

このデバイスは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成されるI²C対応の2線式インタフェースを備えています。SDAおよびSCLラインによって、このICとマスターデバイス間で最大400kHzの速度での読み取りおよび書き込み通信が可能です。このICはスレーブデバイスで、SCL信号の生成をマスターに依存します。マスターはバス上でのデータ転送を開始し、SCLを生成して転送を可能にします。図1は、バスのタイミングを示します。バスが使用されていない状態では、2本のバスライン(SDAとSCL)がハイになっている必要があります。使用中はポートのビットがグルグルされ、SDAおよびSCL用の適切な信号を生成します。SDAの状態は、SCLがローの間のみ変化することができます。START (S)およびSTOP (P)条件以外は、SCLがハイの間はSDAの状態が安定している必要があります。データは8ビットのバイト単位で送信されます。データビットをデバイスに転送するためには9クロックサイクルが必要であり、9番目のクロックサイクルはアクノリッジパルスに使用されます。V_{DD}以外の電圧で動作するマイクロコントローラとのインタフェースを可能にするため、独立したV_{DDI}電源入力および内蔵の双方向レベルトランスレータが用意されています。SDAドライバはオープンドレイン出力のため、ロジックハイ電圧を生成するためのプルアップ抵抗が必要です。

STARTおよびSTOP条件

バスの使用中以外は、SCLとSDAの両方がハイである必要があります。バスマスターは、SCLがハイの間にSDAをハイからローに遷移させることによってSTART条件を送

信し、転送の開始を通知します(図1を参照)。マスターがスレーブとの通信を完了した時点で、SCLがハイの間にSDAをローからハイに遷移させることによって、マスターはSTOP条件を送信します。その後バスが開放され、次の転送が可能になります。

スレーブアドレス

このデバイスはバスを継続的に監視して、START条件の後にスレーブアドレスが続くのを待ちます。スレーブアドレスバイトの8番目のビットは、R/Wビットです。R/W = 1は読み取り操作を示し、R/W = 0は書き込み操作を示します。

このデバイスは、7ビット長のスレーブアドレスを備えています。スレーブアドレスの最初の5ビット(MSB)は、出荷時に10110に設定されます。表3に示すように、アドレス入力(A[1:0])のロジック状態によって、7ビットのスレーブアドレスの最下位2ビットが決定されます。アドレス入力をV_{DDI}またはDGNDに接続して、動作中はアドレス入力を固定に維持してください。MAX5112では合計4つのスレーブアドレスが可能であるため、一度に最大4つのMAX5112デバイスをバスに接続可能です。

Repeated START

Repeated START (Sr)によってデバイスへの送信を中断した場合、まだ出力ラッチに転送されていないデータは入力ラッチに残ります。未使用のデータは保存されません。I²Cシーケンスを中断した場合、すべての制御レジスタは無変更のままになります。

表3. I²Cアドレス

A1	A0	DEVICE ADDRESS
0	0	1011000
0	1	1011001
1	0	1011010
1	1	1011011

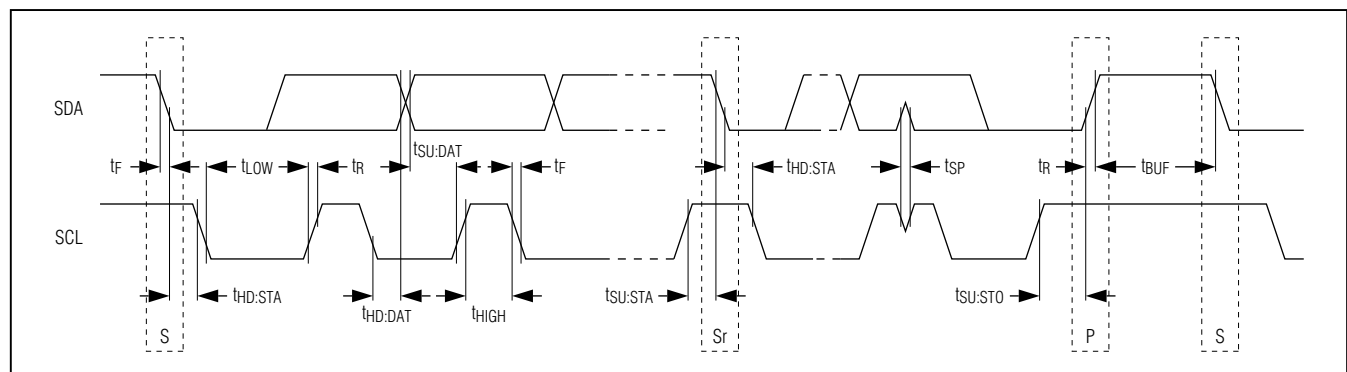


図 1. I²C のタイミング図

9チャネル、14ビット、電流DAC、 I²Cインタフェース内蔵

コマンドバイトとデータバイト

スレーブアドレスの後にコマンドバイトが続きます。読戻し操作のようにコマンドバイトが転送の最後のバイトになる場合を除いて、コマンドバイトの後に2バイトのデータバイトが続きます。コマンドバイトの後にデータバイトが続く場合、コマンドバイトは後に続く2つのデータバイトを受信するレジスタのアドレスを示します。データバイトは一時レジスタに格納された後、バイト間のACK期間に適切なレジスタに転送されます。これによって、インタフェースの作動中のグリッチやDACへのデジタルフィードスルーが防止されるとともに、単一のI²Cコマンド内での複数の書き込みがサポートされます。

MAX5112は7ビットのコマンド(レジスタ)アドレスをサポートしています。レジスタアドレスは、コマンドバイト内で左詰めにしてください。コマンドバイトのLSBは任意ビットで、図2、3、および4ではXで示しています。

早期STOP条件

このデバイスは、転送中の任意の時点でSTOP条件を認識します。書き込みモードのコマンドバイトまたはデータバイトの転送中にSTOPが発生した場合、中断されたコマンドと

出力バイトのペアは無視され、転送が終了します。読戻しバイトの途中でSTOPが発生した場合は、転送が終了し、その後の読取りモード要求では、要求されたレジスタデータの転送が最初から開始されます。

I²C書き込み操作

マスターデバイスは、適切なアドレスの後にコマンドおよびデータワードを送信することによってICとの通信を行います。各送信シーケンスは、STARTまたはRepeated START条件とSTOP条件によって区切られます。各ワードは8ビット長であり、図2に示すように、その後に常にアクノリッジクロック(ACK)パルスが続きます。最初のバイトにはICのアドレスと、書き込みを示すR/W = 0が格納されます。第2のバイトには書き込み対象のレジスタ(またはコマンド)が格納され、第3と第4のバイトに書き込むデータが格納されます。1つのI²Cコマンドシーケンスを使用して複数のレジスタ書き込みを行うには、レジスタアドレスとデータのペア(図2および3のバイト2~4)を繰り返してください。1つのコマンドで書き込み可能なレジスタ数の制限はありません。このデバイスは、ユーザーアクセス可能なすべての書き込みモードコマンドに対してこの機能をサポートしています。

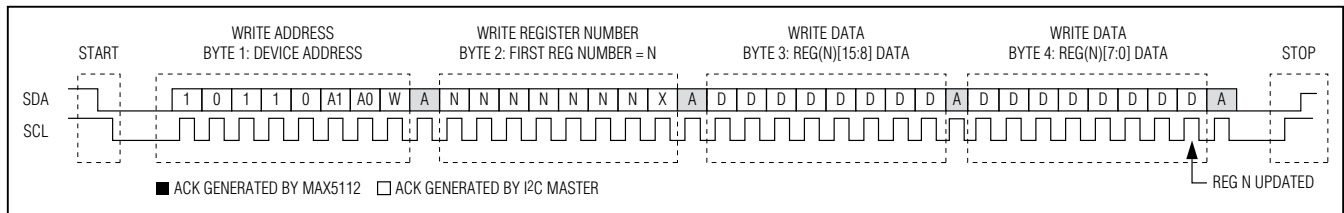


図 2. I²C 単一レジスタ書き込みシーケンス

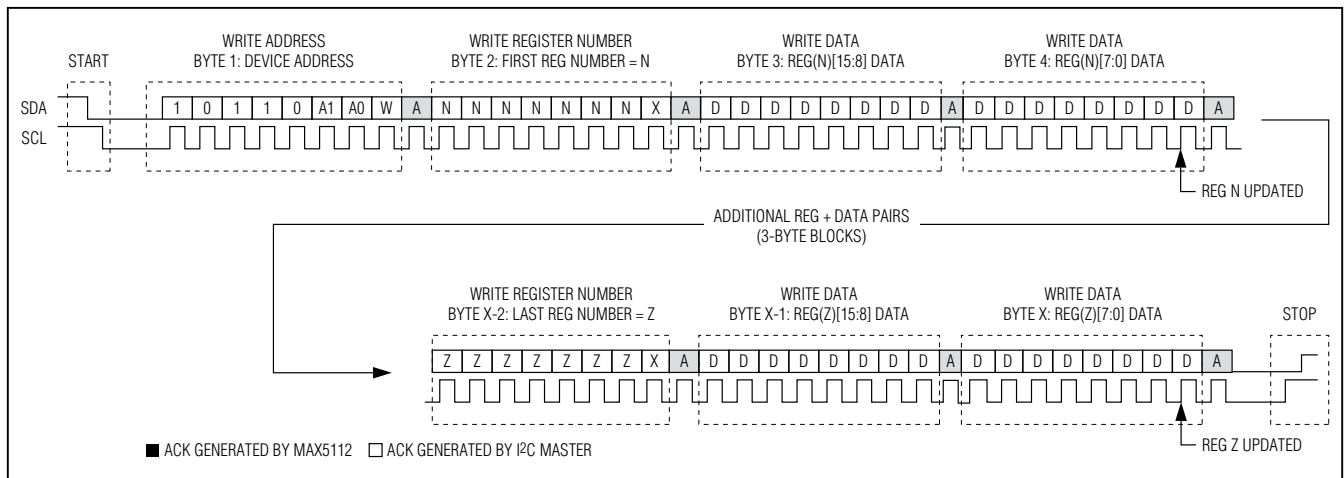


図 3. I²C 複数レジスタ書き込みシーケンス

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

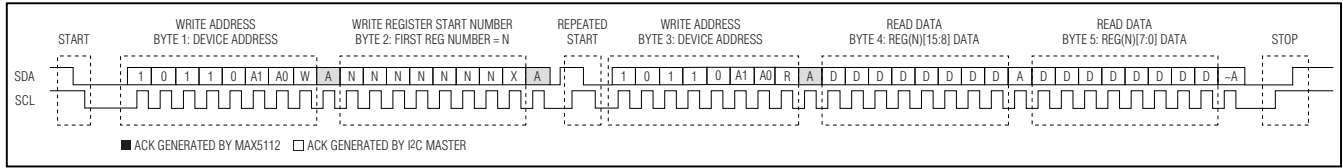


図 4. I²C レジスタ読み取りシーケンス

I²C 読戻し操作

図4に示すように、各受信シーケンスは、STARTまたはRepeated START条件とSTOP条件で区切られます。各ワードは8ビット長で、その後に常にアクノリッジクロックパルスが続きます。最初のバイトにはデバイスのアドレスと、書き込みを示す $R/\overline{W} = 0$ が格納されます。第2のバイトには読戻し対象のレジスタが格納されます。次に、Repeated START条件が発信され、その後に読み取りを示す $R/\overline{W} = 1$ がセットされたデバイスアドレスとアクノリッジクロックが続きます。SCLラインは引き続きマスターが制御しますが、SDAラインの制御はデバイスに移ります。フレームの最後の2バイトに、読み戻したレジスタデータが格納され、その後STOP条件が続きます。要求されたデータの読戻しに必要な数を超えるバイト数が供給された場合、デバイスはゼロの読戻しを継続することになります。

I²C 互換性

このデバイスは、既存のI²Cシステムとの完全な互換性を備えています。SCLおよびSDAは、ハイインピーダンス入力です。SDAはオープンドレイン出力も備えており、ACKパルスおよび読戻し操作で必要になるデータラインのローへのプルダウンが可能です。図5は、標準的なI²Cアプリケーションを示します。

CLR 操作

このデバイスのクリア機能は、1つの入力(CLR)を介した動作モードのアクセスが可能です。各DACのモードは、個別に設定可能です。CLR入力は、DACコードの設定のみに作用します。CLR入力は、設定や読戻し操作には干渉しません。実行中のI²C転送は、CLRがハイに駆動された場合も中断することなく続行されます。CLRの駆動による影響は、各DACチャンネルのクリア設定によって異なります。

イグノア(00)、シャッター(01)、またはゲート(10)モードに設定されたDACチャンネルに対するコード変更は、CLRの状態に関係なく認識されます。シャッターまたはゲートモードでは、CLRがアサートされている間DACはシャッターまたはオフ位置のままになります。CLRが解除されると、DACは直近に設定された出力値に戻ります。

I²Cコマンド中にCLRがアサートされた場合(またはそれ以前からアサートされていた場合)、リセット(11)モードに設定されたDACチャンネルは、そのコマンドに格納されているコード変更を無視します。リセットモードでは、

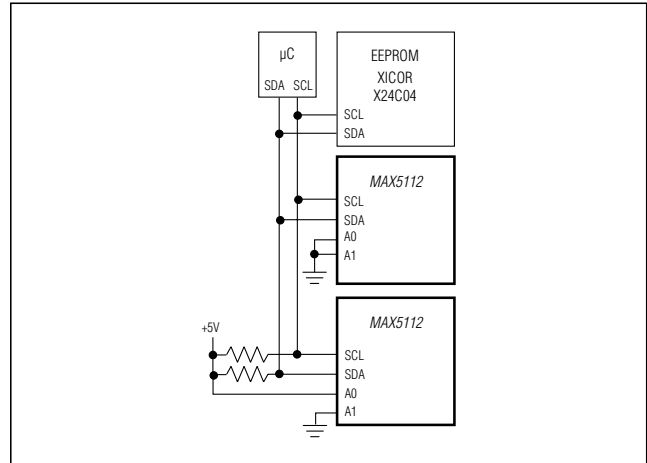


図 5. 標準 I²C アプリケーション回路

DACコードのメモリがゼロコード状態にリセットされ、後続のコマンドによって設定されるまでその状態のままになります。

アプリケーション情報

熱設計

熱抵抗を低減するために、V_{DD}プレーンおよびグランドプレーンをアプリケーションのPCBに挿入してください。TQFNのエクスポーズドパッドを、大型のビアを介してグランドプレーンに接続してください。複数のV_{DD}入力を、複数のビアを介してV_{DD}プレーンに接続してください。AGNDおよびDGNDは、一点結線を経由してグランドプレーンに接続してください。可能な場合は、V_{DDI}用に個別のトレースを使用し、これを一点結線で電源に接続してください。

ノイズ耐性

できる限り電源端子の近くに配置した個別の0.1μFのコンデンサで、各V_{DD}端子をグランドに接続してください。コンデンサのESR値に特に注意し、個々の100nFのコンデンサと並列に100pFのコンデンサを追加してください。ノイズはファイバーアプリケーションで特に重要となるため、100pFのコンデンサの追加による光電極とグランドのデカップリングが必要になる場合があります。これにより、PCBの寄生によるインタフェースとDAC出力間のクロストークが最小限に抑えられます。

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maximintegrated.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図 No.	ランド パターンNo.
36 WLP	W363A3+1	21-0024	アプリケーション ノート1891 を 参照
32 TQFN-EP	T3255+4	21-0140	90-0012

MAX5112

9チャンネル、14ビット、電流DAC、 I²Cインタフェース内蔵

改訂履歴

版数	改訂日	説明	改訂ページ
0	7/12	初版	—
1	10/12	TQFNパッケージを発売し、「Electrical Characteristics (電気的特性)」、「標準動作回路」、「Absolute Maximum Ratings」、「01h~09h : Individual DAC (1~9) Configurationレジスタ」の各項、および表1を改訂。	1, 2, 4, 16, 20, 26



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。