

EVALUATION KIT
AVAILABLEデュアル/クワッド、ユニポーラ/バイポーラ、
高電圧デジタルパルサ

MAX4940/MAX4940A

概要

集積回路のMAX4940/MAX4940Aは、低電圧ロジック入力から高電圧、高周波のユニポーラまたはバイポーラパルスを生成します。これらのクワッド/デュアルパルサは、別々のロジック入力、アクティブクランプを備えた別々の高電圧パルサ出力、および別々の高電圧電源入力を特長としています。

MAX4940/MAX4940Aは、高電圧出力については出力インピーダンスが8.5Ω、アクティブクランプについてはインピーダンスが21Ωのクワッド高電圧パルサを備えています。高電圧出力は、2.0A (typ)の出力電流を供給することができます。

すべてのデバイスは、チャンネルごとに2つのロジック入力を使用して、正および負のパルスを制御します。MAX4940/MAX4940Aは、アクティブクランプを制御するための専用入力を備えています。すべてのデバイスが独立したイネーブル入力ENを備えています。すべてのデジタル入力がCMOS互換です(「型番/選択ガイド」を参照)。

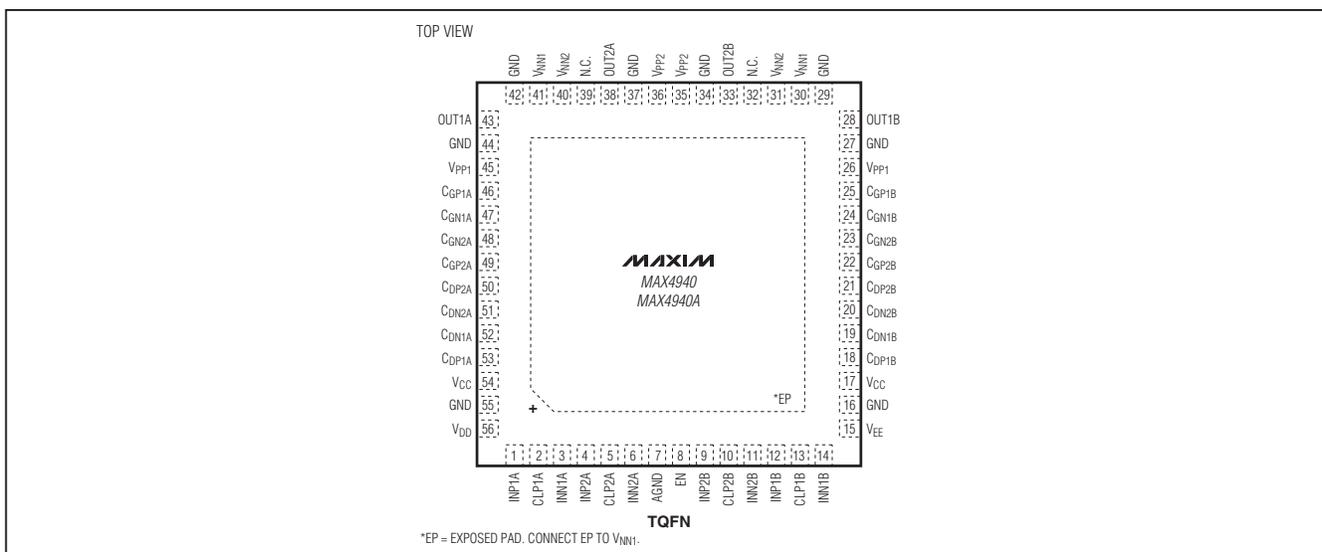
MAX4940/MAX4940Aは、エクスポーズドパッド付き8mm x 8mmの56ピンTQFNパッケージで提供されており、0°C ~ +70°Cの民生用温度範囲での動作が保証されています。

警告：MAX4940/MAX4940Aは、高電圧で動作するように設計されています。注意が必要です。

アプリケーション

超音波医療用画像処理	テスト装置
欠陥検出	清掃機器
圧電ドライバ	

ピン配置



特長

- ◆ 1パッケージ内に高密度のクワッドチャンネルパルサ
- ◆ 0 ~ +220Vのユニポーラ出力または±110Vのバイポーラ出力
- ◆ 8.5Ω (typ)の出カインピーダンスおよび2.0A (typ)の出力電流
- ◆ ブロッキングダイオードを内蔵した21Ω (typ)の常時オンアクティブクランプ
- ◆ 出力ダイオード内蔵(MAX4940Aのみ)
- ◆ 3レベルのアプリケーションでの特別な電源シーケンシングが不要
- ◆ 立上り/立下り時間の整合、および伝播遅延の整合
- ◆ CMOS互換のロジック入力
- ◆ 8mm x 8mmの56ピンTQFNパッケージ

型番/選択ガイド

PART	OUTPUT BLOCKING DIODE	OUTPUT CURRENT (A)	PIN-PACKAGE
MAX4940CTN+	None	2.0 (typ)	56 TQFN-EP*
MAX4940ACTN+	OUT2A, OUT2B	2.0 (typ)	56 TQFN-EP*

注：デバイスは、0°C ~ +70°Cの温度範囲で動作します。
+鉛(Pb)フリー/RoHS準拠のパッケージを表します。
*EP = エクスポーズドパッド

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A ABSOLUTE MAXIMUM RATINGS

(Voltages referenced to GND.)

VDD Logic Supply Voltage	-0.3V to +6V
VCC Output Driver Positive Supply Voltage	-0.3V to +15V
VEE Output Driver Negative Supply Voltage	-15V to +0.3V
VPP ₁ High-Positive Supply Voltage	-0.3V to (V _{NN1} + 220V)
V _{NN1} Low-Negative Supply Voltage	-220V to +0.3V
VPP ₁ - V _{NN1} , VPP ₂ - V _{NN2} Supply Voltage	-0.6V to +250V
INP ₋ , INN ₋ , CLP ₋ , EN Logic Input	-0.3V to (V _{DD} + 0.3V)
C _{GN} ₋ Voltage	(-0.3V + V _{NN1}) to (+15V + V _{NN1})
C _{GP} ₋ Voltage	(+0.3V + V _{PP1}) to (-15V + V _{PP1})

C _{DP} ₋ , C _{DN} ₋ Voltage	-0.3V to V _{CC}
Continuous Power Dissipation (T _A = +70°C)	56-Pin TQFN (derate 47.6mW/°C above +70°C).....3809mW
Thermal Resistance (Note 1)	
θ _{JA}	21°C/W
θ _{JC}	1°C/W
Operating Temperature Range	0°C to +70°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +3V, V_{CC} = +12V, V_{EE} = -12V, V_{PP1} = +100V, V_{NN1} = -100V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER SUPPLY (V_{DD}, V_{CC}, V_{EE}, V_{PP1}, V_{NN1})							
Logic Supply Voltage	V _{DD}		2.37	3	6	V	
Positive Drive Supply Voltage	V _{CC}		4.75	12	12.6	V	
Negative Drive Supply Voltage	V _{EE}		1.05 x (-V _{CC})	-V _{CC}	0.95 x (-V _{CC})	V	
High-Side Supply Voltage	V _{PP1}		0		+200	V	
Low-Side Supply Voltage	V _{NN1}		-200		0	V	
High-Side Supply Voltage	V _{PP2}		0		V _{PP1}	V	
Low-Side Supply Voltage	V _{NN2}		V _{NN1}		0	V	
V _{PP1} - V _{NN1} Supply Voltage			0		+200	V	
SUPPLY CURRENT (for single channel)							
V _{DD} Supply Current	I _{DD}	V _{INN1} /V _{INP1} /V _{CLP1} = 0 or V _{DD} , V _{EN} = 0			1	μA	
		V _{EN} = V _{DD} , V _{CLP1} = 0 or V _{DD} , V _{INN1} = V _{INP1} , f = 5MHz, one channel switching		100	200	μA	
V _{CC} Supply Current	I _{CC1}	V _{EN} = 0 (static)			1	μA	
		V _{EN} = V _{DD} (static)			10	μA	
		V _{EN} = V _{DD} , V _{CLP1} = 0 or V _{DD} , V _{INN1} = V _{INP1} , f = 5MHz, V _{CC} = +12V, V _{DD} = +3V, one channel switching		36			mA
		V _{EN} = V _{DD} , V _{CLP1} = 0 or V _{DD} , V _{INN1} = V _{INP1} , f = 5MHz, V _{CC} = +5V, V _{DD} = +3V, one channel switching		15			

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

ELECTRICAL CHARACTERISTICS (continued)

(VDD = +3V, VCC = +12V, VEE = -12V, VPP_ = +100V, VNN_ = -100V, TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
VEE_ Supply Current	IEE_	VEN = 0 or VDD (static)			1	μA
		VEE = -5V, VEN = VDD, VCLP_ = VDD, PRF = 10kHz, f = 5MHz, four pulses, no load, one channel switching			100	
		VEE = -12V, VEN = VDD, VCLP_ = VDD, PRF = 10kHz, f = 5MHz, four pulses, no load, one channel switching			200	
VPP_ Supply Current	IPP_	VEN = 0 or VDD (static)			1	μA
		VEN = VDD, VCLP_ = 0 or VDD, VINN_ = VINP_, f = 5MHz, VPP_ = +5V, VNN_ = -5V, no load, one channel switching		9		mA
		VEN = VDD, VCLP_ = 0 or VDD, VPP_ = +80V, VNN_ = -80V, PRF = 10kHz, f = 10MHz, four pulses, no load, one channel switching		0.6		
VNN_ Supply Current	INN_	VEN = 0 or VDD (static)			1	μA
		VEN = VDD, VCLP_ = 0 or VDD, VINN_ = VINP_, f = 5MHz, VPP_ = +5V, VNN_ = -5V, no load, one channel switching		9		mA
		VEN = VDD, VINC_ = 0 or VDD, VPP_ = +80V, VNN_ = -80V, PRF = 10kHz, f = 10MHz, four pulses, no load, one channel switching		0.6		
LOGIC INPUTS (EN, INN_, INP_, CLP_)						
Low-Level Input Voltage	VIL				0.25 x VDD	V
High-Level Input Voltage	VIH		0.75 x VDD			V
Logic-Input Capacitance	CIN			5		pF
Logic-Input Leakage	IIN	VIN = 0 or VDD		0	±1	μA
OUTPUT (OUT_)						
OUT_ Output-Voltage Range	VOUT_	No load at OUT_	VNN_		VPP_	V
		100mA load (MAX4940), VCC = +12V ±5%	VNN_ + 1.5		VPP_ - 1.5	V
		100mA load (MAX4940A), VCC = +12V ±5%	VNN_ + 2.5		VPP_ - 2.5	V
Low-Side Output Impedance (MAX4940)	ROLS	IOUT_ = -50mA	VCC = +12V ±5%	7.5	14	Ω
			VCC = +5V ±5%	8	18	
High-Side Output Impedance (MAX4940)	ROHS	IOUT_ = -50mA	VCC = +12V ±5%	9	14	Ω
			VCC = +5V ±5%	10.5	18	

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +3V, V_{CC} = +12V, V_{EE} = -12V, V_{PP} = +100V, V_{NN} = -100V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Low-Side Output Impedance (MAX4940A)	R _{OLS}	I _{OUT} = -50mA	V _{CC} = +12V ±5%	8.5	17	Ω
			V _{CC} = +5V ±5%	10.0	21	
High-Side Output Impedance (MAX4940A)	R _{OHS}	I _{OUT} = -50mA	V _{CC} = +12V ±5%	11.5	17	Ω
			V _{CC} = +5V ±5%	13.0	21	
Low-Side Signal CLAMP Output Impedance	R _{OLSC}	I _{OUT} = -50mA	V _{CC} = +12V ±5%	18.7	45	Ω
			V _{CC} = +5V ±5%	20	60	
High-Side Signal CLAMP Output Impedance	R _{OHS}	I _{OUT} = -50mA	V _{CC} = +12V ±5%	26.5	45	Ω
			V _{CC} = +5V ±5%	37.0	60	
PEAK CURRENT						
Low-Side Output Current	I _{OL}	V _{CC} = +12V ±5%, V _{OUT} - V _{NN} = 100V	1.3	2.0		A
High-Side Output Current	I _{OH}	V _{CC} = +12V ±5%, V _{OUT} - V _{PP} = 100V	1.3	2.0		A
Low-Side Output Current Clamp	I _{OLC}	V _{CC} = +12V ±5%, V _{OUT} = +40V	0.47	0.9		A
High-Side Output Current Clamp	I _{OHC}	V _{CC} = +12V ±5%, V _{OUT} = +40V	0.47	0.9		
Off-Output Capacitance	C _{O(OFF)}	MAX4940, MAX4940A (OUT1 ₊)		75		pF
		MAX4940A (OUT2 ₊)		45		
Off-Output Leakage Current	I _{LK}	V _{NN} = -100V, V _{PP} = +100V, V _{EN} = 0, V _{OUT} = -100V to +100V			±1	μA
GATE-SOURCE RESISTANCE						
Gate-Source Resistance	R _{GS}	V _{EN} = V _{DD}	5	7.5	10	kΩ
DYNAMIC CHARACTERISTICS (R_L = 100Ω, C_L = 100pF, unless otherwise noted)						
Logic Input-to-Output Rise Propagation Delay (Figure 1)	t _{PLH}	INN ₊ /INP ₊ at 50% to OUT ₊ 10/90%, V _{CC} = +12V, V _{PP} = +5V, V _{NN} = -5V		15		ns
Logic Input-to-Output Fall Propagation Delay (Figure 1)	t _{PHL}	INN ₊ /INP ₊ at 50% to OUT ₊ 10/90%, V _{CC} = +12V, V _{PP} = +5V, V _{NN} = -5V		15		ns
Logic Input-to-Output Rise Propagation Delay Clamp (Figure 1)	t _{PLO}	INN ₊ /INP ₊ at 50% to OUT ₊ 10/90%, V _{CC} = +12V, V _{PP} = +5V, V _{NN} = -5V		15		ns
Logic Input-to-Output Fall Propagation Delay Clamp (Figure 1)	t _{PHO}	INN ₊ /INP ₊ at 50% to OUT ₊ 10/90%, V _{CC} = +12V, V _{PP} = +5V, V _{NN} = -5V		15		ns
OUT ₊ Rise Time (GND to V _{PP}) (Figure 1)	t _{ROP}	V _{PP} = +100V, V _{NN} = -100V, 10% to 90%, V _{CC} = +12V ±5%, V _{EE} = -V _{CC}		9	20	ns
OUT ₊ Rise Time (V _{NN} to V _{PP}) (Figure 1)	t _{RNP}	V _{PP} = +100V, V _{NN} = -100V, 10% to 90%, V _{CC} = +12V ±5%, V _{EE} = -V _{CC}		10.5	35	ns
OUT ₊ Fall Time (GND to V _{NN}) (Figure 1)	t _{FON}	V _{PP} = +100V, V _{NN} = -100V, 10% to 90%, V _{CC} = +12V ±5%, V _{EE} = -V _{CC}		9	20	ns
OUT ₊ Fall Time (V _{PP} to V _{NN}) (Figure 1)	t _{FPN}	V _{PP} = +100V, V _{NN} = -100V, 10% to 90%, V _{CC} = +12V ±5%, V _{EE} = -V _{CC}		10.5	35	ns
OUT ₊ Rise Time (V _{NN} to GND) (Figure 1)	t _{RNO}	V _{PP} = +100V, V _{NN} = -100V, 10% to 90%, V _{CC} = +12V ±5%, V _{EE} = -V _{CC}		17	35	ns

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

ELECTRICAL CHARACTERISTICS (continued)

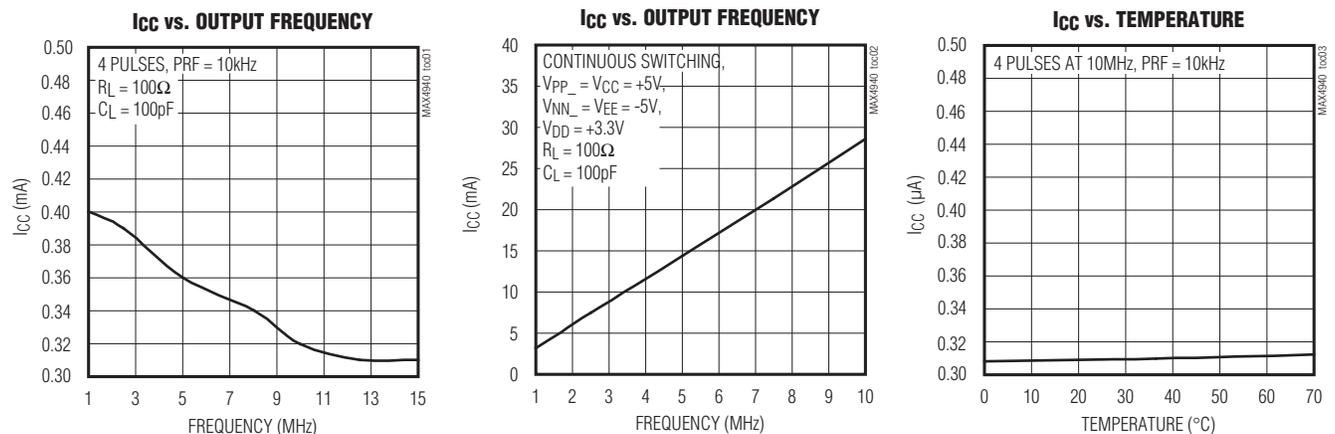
($V_{DD} = +3V$, $V_{CC} = +12V$, $V_{EE} = -12V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OUT_ Fall Time ($V_{PP_}$ to GND) (Figure 1)	t_{FPO}	$V_{PP_} = +100V$, $V_{NN_} = -100V$, 10% to 90%, $V_{CC} = +12V \pm 5\%$, $V_{EE_} = -V_{CC_}$		17	35	ns
Output Enable Time from EN (Figure 2)	t_{EN}	$V_{PP_} = +5V$, $V_{NN_} = -5V$			100	ns
Output Disable Time from EN (Figure 2)	t_{DI}	$V_{PP_} = +5V$, $V_{NN_} = -5V$			150	ns
2nd Harmonic Distortion LV	THD2_LV	$f_{OUT_} = 5MHz$, $V_{PP_} = -V_{NN_} = +5V$, $V_{CC} = +12V$		-40		dB
2nd Harmonic Distortion HV	THD2_HV	$f_{OUT_} = 5MHz$, $V_{PP_} = -V_{NN_} = +50V$, V_{CC} $= +12V$, 10 periods		-45		dB
Pulse Cancellation	2HD	$f_{OUT_} = 5MHz$, $V_{PP_} = -V_{NN_} = +50V$, $V_{CC} = +12V$, 10 periods, 1st harmonic cancellation		-43		dB
RMS Output Jitter	t_J			10		ps
Crosstalk	CT	Adjacent channels, $f = 5MHz$		-60		dB

Note 2: Specifications are guaranteed for the stated global conditions, unless otherwise noted. 100% production tested at $T_A = +70^\circ C$. Specifications at $T_A = 0^\circ C$ are guaranteed by design.

標準動作特性

($V_{DD} = +3.3V$, $V_{CC} = +12V$, $V_{EE} = -12V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $R_L = 100\Omega$, $C_L = 100pF$, $T_A = +25^\circ C$, unless otherwise noted.)

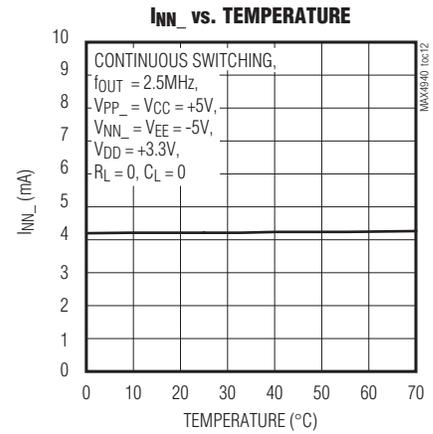
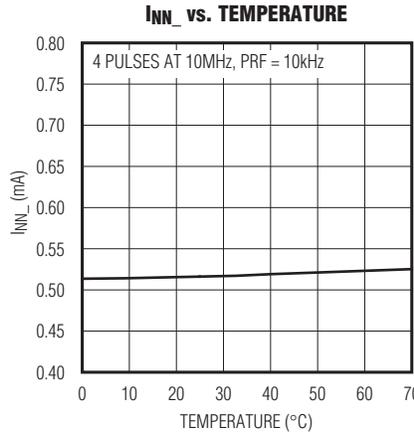
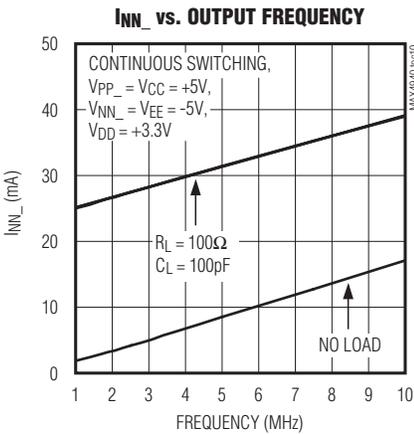
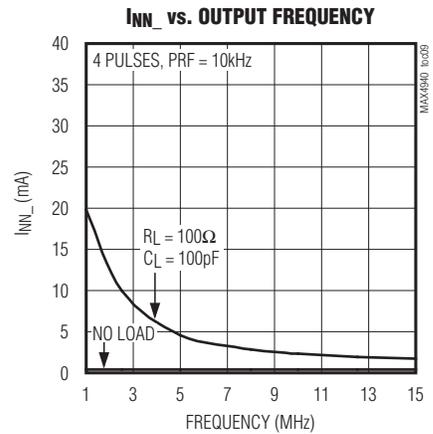
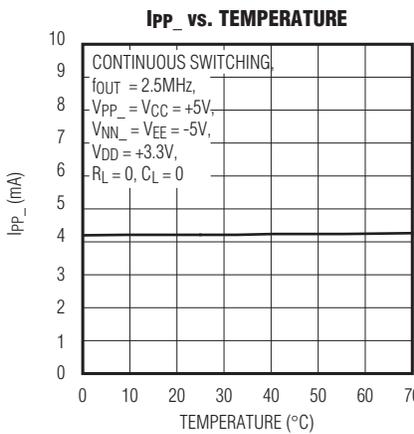
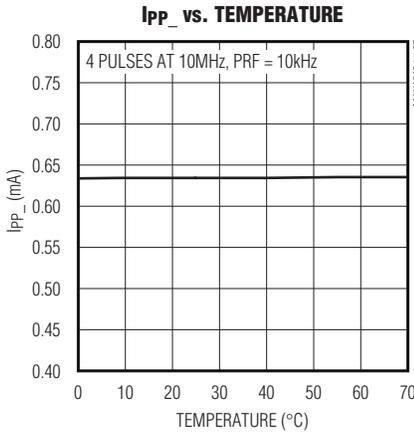
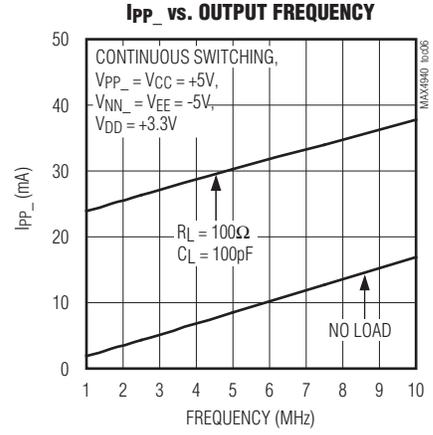
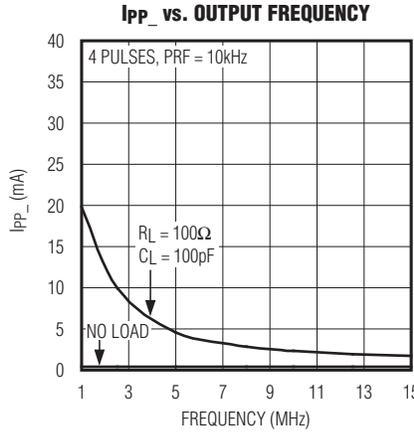
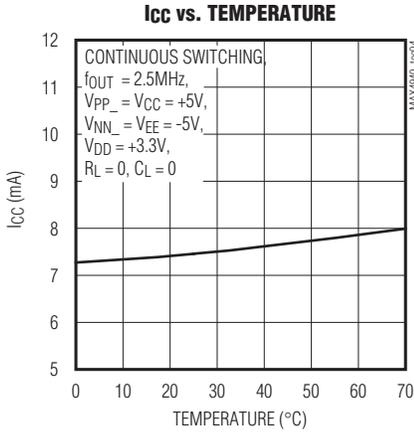


デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

標準動作特性(続き)

($V_{DD} = +3.3V$, $V_{CC} = +12V$, $V_{EE} = -12V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $R_L = 100\Omega$, $C_L = 100pF$, $T_A = +25^\circ C$, unless otherwise noted.)

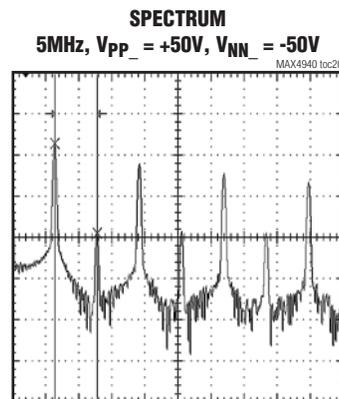
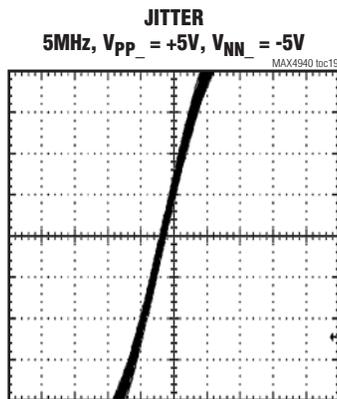
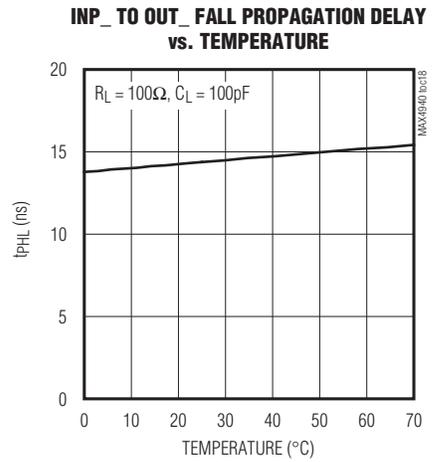
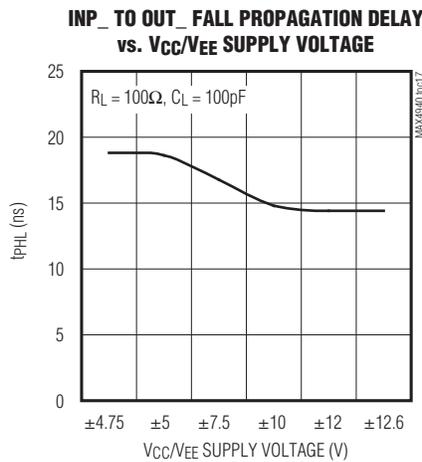
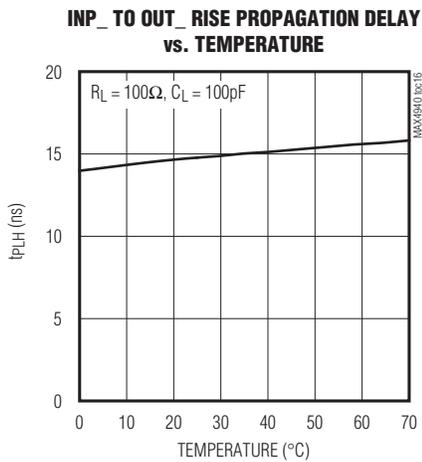
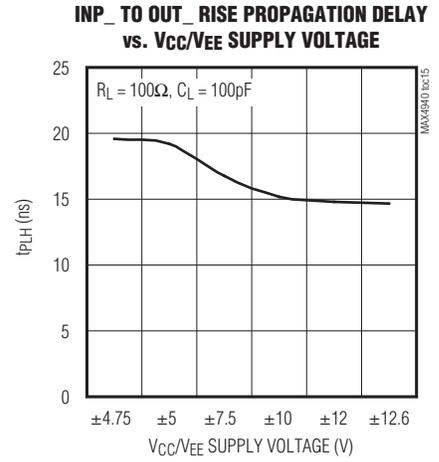
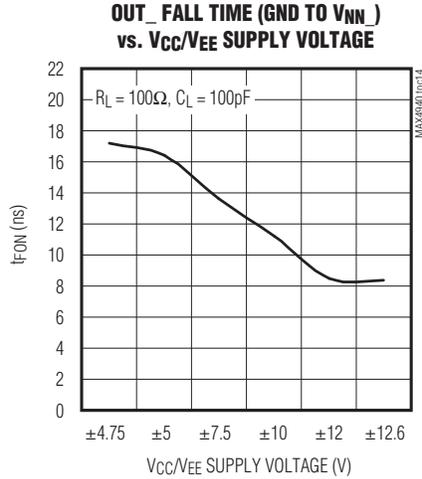
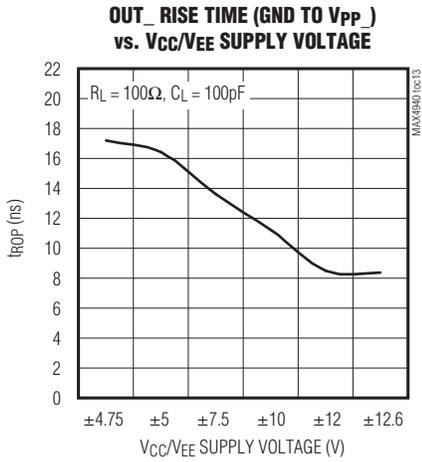


デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

標準動作特性(続き)

($V_{DD} = +3.3V$, $V_{CC} = +12V$, $V_{EE} = -12V$, $V_{PP_} = +100V$, $V_{NN_} = -100V$, $f_{OUT} = 5MHz$, $R_L = 100\Omega$, $C_L = 100pF$, $T_A = +25^\circ C$, unless otherwise noted.)



デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

端子説明

端子	名称	機能
1	INP1A	チャンネル1Aのハイサイドロジック入力。「真理値表」の項を参照してください。
2	CLP1A	チャンネル1Aのクランプロジック入力。クランプは、CLP1AがハイでINP1AとINN1Aがローのときにオンになります。「真理値表」の項を参照してください。
3	INN1A	チャンネル1Aのローサイドロジック入力。「真理値表」の項を参照してください。
4	INP2A	チャンネル2Aのハイサイドロジック入力。「真理値表」の項を参照してください。
5	CLP2A	チャンネル2Aのクランプロジック入力。クランプは、CLP2AがハイでINP2AとINN2Aがローのときにオンになります。「真理値表」の項を参照してください。
6	INN2A	チャンネル2Aのローサイドロジック入力。「真理値表」の項を参照してください。
7	AGND	アナロググランド。共通のGNDに接続する必要があります。
8	EN	イネーブルロジック入力。OUT1A、OUT1B、OUT2A、およびOUT2Bをイネーブルするには、ENをハイに駆動してください。
9	INP2B	チャンネル2Bのハイサイドロジック入力。「真理値表」の項を参照してください。
10	CLP2B	チャンネル2Bのクランプロジック入力。クランプは、CLP2BがハイでINP2BとINN2Bがローのときにオンになります。「真理値表」の項を参照してください。
11	INN2B	チャンネル2Bのローサイドロジック入力。「真理値表」の項を参照してください。
12	INP1B	チャンネル1Bのハイサイドロジック入力。「真理値表」の項を参照してください。
13	CLP1B	チャンネル1Bのクランプロジック入力。クランプは、CLP1BがハイでINP1BとINN1Bがローのときにオンになります。「真理値表」の項を参照してください。
14	INN1B	チャンネル1Bのローサイドロジック入力。「真理値表」の項を参照してください。
15	V _{EE}	負電源入力。クランプ用のゲートドライブ電源電圧。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{EE} をGNDにバイパスしてください。
16, 27, 29, 34, 37, 42, 44, 55	GND	グランド
17, 54	V _{CC}	ゲートドライブ電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{CC} をGNDにバイパスしてください。
18	C _{DP1B}	チャンネル1Bのハイサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP1B} とC _{GP1B} の間に接続してください。
19	C _{DN1B}	チャンネル1Bのローサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN1B} とC _{GN1B} の間に接続してください。
20	C _{DN2B}	チャンネル2Bのローサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN2B} とC _{GN2B} の間に接続してください。
21	C _{DP2B}	チャンネル2Bのハイサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP2B} とC _{GP2B} の間に接続してください。
22	C _{GP2B}	チャンネル2Bのハイサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP2B} とC _{GP2B} の間に接続してください。
23	C _{GN2B}	チャンネル2Bのローサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN2B} とC _{GN2B} の間に接続してください。
24	C _{GN1B}	チャンネル1Bのローサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN1B} とC _{GN1B} の間に接続してください。
25	C _{GP1B}	チャンネル1Bのハイサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP1B} とC _{GP1B} の間に接続してください。

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

端子説明(続き)

端子	名称	機能
26, 45	V _{PP1}	チャンネル1A、1Bのハイサイド正電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{PP1} をGNDにバイパスしてください。
28	OUT1B	チャンネル1Bの出力
30, 41	V _{NN1}	チャンネル1A、1Bのローサイド負電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{NN1} をGNDにバイパスしてください。
31, 40	V _{NN2}	チャンネル2A、2Bのローサイド負電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{NN2} をGNDにバイパスしてください。
32, 39	N.C.	接続なし。内部で接続されていません。
33	OUT2B	チャンネル2Bの出力
35, 36	V _{PP2}	チャンネル2A、2Bのハイサイド正電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{PP2} をGNDにバイパスしてください。
38	OUT2A	チャンネル2Aの出力
43	OUT1A	チャンネル1Aの出力
46	C _{GP1A}	チャンネル1Aのハイサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP1A} とC _{GP1A} の間に接続してください。
47	C _{GN1A}	チャンネル1Aのローサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN1A} とC _{GN1A} の間に接続してください。
48	C _{GN2A}	チャンネル2Aのローサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN2A} とC _{GN2A} の間に接続してください。
49	C _{GP2A}	チャンネル2Aのハイサイドゲート入力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP2A} とC _{GP2A} の間に接続してください。
50	C _{DP2A}	チャンネル2Aのハイサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP2A} とC _{GP2A} の間に接続してください。
51	C _{DN2A}	チャンネル2Aのローサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN2A} とC _{GN2A} の間に接続してください。
52	C _{DN1A}	チャンネル1Aのローサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DN1A} とC _{GN1A} の間に接続してください。
53	C _{DP1A}	チャンネル1Aのハイサイドドライバ出力。デバイスのできる限り近くで、3.3nFのコンデンサをC _{DP1A} とC _{GP1A} の間に接続してください。
56	V _{DD}	ロジック電源電圧入力。デバイスのできる限り近くで、0.1μFのコンデンサを用いてV _{DD} をGNDにバイパスしてください。
—	EP	エクスポーズパッド。EPIはV _{NN1} に接続する必要があります。

デュアル/クワッド、ユニポーラ/バイポーラ、高電圧デジタルパルサ

MAX4940/MAX4940A

詳細

MAX4940/MAX4940Aは高電圧で高速なクワッドパルサであり、ユニポーラ/バイポーラ/マルチレベルのいずれかのパルス出力用に個別に設定することができます(図5と図6を参照)。これらのデバイスは、完全なパルス制御が行えるように独立したロジック入力と、独立したアクティブクランプを備えています。デバイスが正または負の高電圧電源に対してパルス動作していないとき、クランプ入力CLP_をハイに設定してクランプを自動的に起動することができます。

ロジック入力(INP_、INN_、CLP_、EN)

INP_はハイサイドFETのオン/オフ状態を、INN_はローサイドFETのオン/オフ状態を、およびCLP_はアクティブクランプをそれぞれ制御します。グローバルなイネーブル入力(EN)を使用することで、すべてのチャンネルをイネーブル/ディセーブルすることができます。これらの信号は、各ドライバの出力段を完全に制御することができます(ロジックのすべての組み合わせについては、[真値表]の項を参照)。MAX4940/MAX4940Aのロジック入力はCMOSロジック互換であり、またロジックレベルはV_{DD}を基準としているため、極めて柔軟な対応が可能です。ロジック入力の入力容量は5pF (typ)と低いため、負荷が低減され、スイッチング速度が速くなります。

真値表

MAX4940

INPUTS				OUTPUTS	STATE
EN	INP_	INN_	CLP_	OUT_	
0	X	X	X	High impedance	Powered up, INP_/INN_ disabled.
1	0	0	0	High impedance	Powered up, all inputs enabled.
1	0	0	1	GND	Powered up, all inputs enabled.
1	0	1	X	V _{NN_}	Powered up, all inputs enabled.
1	1	0	X	V _{PP_}	Powered up, all inputs enabled.
1	1	1	X	Not allowed	Not allowed.

MAX4940A

INPUTS				OUTPUTS	STATE
EN	INP1A INP1B	INN1A INN1B	CLP1A CLP1B	OUT1A OUT1B	
0	X	X	X	High impedance	Powered up, INP_/INN_ disabled.
1	0	0	0	High impedance	Powered up, all inputs enabled.
1	0	0	1	GND	Powered up, all inputs enabled.
1	0	1	0	V _{NN_}	Powered up, all inputs enabled.
1	1	0	0	V _{PP_}	Powered up, all inputs enabled.
1	1	1	1	Not allowed	Not allowed.

INPUTS				OUTPUTS	STATE
EN	INP2A INP2B	INN2A INN2B	CLP2A CLP2B	OUT2A OUT2B	
0	X	X	X	High impedance	Powered up, INP_/INN_ disabled.
1	0	0	0	High impedance	Powered up, all inputs enabled.
1	0	0	1	GND	Powered up, all inputs enabled.
1	0	1	X	V _{NN_}	Powered up, all inputs enabled.
1	1	0	X	V _{PP_}	Powered up, all inputs enabled.
1	1	1	X	Not allowed	Not allowed.

X = 任意

0 = ロジックロー

1 = ロジックハイ

デュアル/クワッド、ユニポーラ/バイポーラ、高電圧デジタルパルサ

MAX4940/MAX4940A

アクティブクランプ

MAX4940/MAX4940Aは、パルスの品質を改善して2次高調波歪みを低減するアクティブクランプ回路を備えています。クランプ回路は、ロジッククランプ入力(CLP₊)によってオン/オフが切り替わる、nチャンネル(DC結合)とpチャンネル(DC結合)の高耐圧FETで構成されています。

MAX4940/MAX4940Aは保護クランプデバイスを備え、バイポーラパルス回路でクランプ回路を使用することができます(図3および図4を参照)。OUT₊出力と直列のダイオードは、GNDよりも低い電圧が存在するときにローサイドFETのボディダイオードがオンにならないようにしています。OUT₊出力と直列のもう1つのダイオードは、グランドよりも高い電圧が存在するときにハイサイドFETのボディダイオードがオンにならないようにしています。MAX4940/MAX4940Aは、すべての出力にアクティブクランプを備えています。

MAX4940の場合のみ、アクティブクランプ入力(CLP₊)をロジックハイ電圧に接続してINP₊とINN₊の入力のみを駆動することで、デバイスの駆動に使用する信号の数を最小限に抑えることができます。この場合、INP₊およびINN₊入力がどちらもロー、CLP₊入力がハイのときは必ず、アクティブクランプ回路は出力をGNDにプルダウンします(詳細については、「真実値表」を参照)。

内蔵ブロッキングダイオード (MAX4940Aのみ)

MAX4940Aの高電圧出力OUT2A/OUT2Bは、ブロッキングダイオードを内蔵しており、複数のパルス出力を並列に接続することによってマルチレベルのパルス化を実現することができます。OUT2A出力とOUT2B出力に直列の内蔵ダイオードは、V_{NN2}またはV_{PP2}よりも高い電圧が出力上に存在するときにハイサイドFETとローサイドFETのボディダイオードがオンに切り替わらないようにしています(図4参照)。

熱保護

標準スレッショルドが+155°Cのサーマルシャットダウン回路は、過剰な電力消費によって生じる損傷を防ぎます。接合部の温度がT_J = +155°Cを超えると、すべての出力はディセーブルになります。一般的に、ICの接合部の温度が+130°C未満に低下すれば、通常の動作が再開されます。

アプリケーション情報

ACカップリングコンデンサの選択

すべてのACカップリングコンデンサ(C_{DP}とC_{GP}の間、およびC_{DN}とC_{GN}の間)の値は、1nF~10nFにする必要があります。コンデンサの定格電圧は、V_{PP}およびV_{NN}より

も大きくする必要があります。コンデンサは、デバイスのできる限り近くに配置する必要があります。

電力消費

MAX4940/MAX4940Aの電力消費は、V_{CC}、V_{PP}、およびV_{NN}の電流消費によって生じる3つの主要な要素で構成されます。これらの要素(P_{VCC}、P_{VPP}、およびP_{VNN})の合計を電力消費の最大許容限度よりも低く抑える必要があります。標準電源電流対スイッチング周波数の詳細については、「標準動作特性」の項を参照してください。

デバイスは、V_{CC}電源の供給電流の大部分を、ハイサイドFET (C_P)とローサイドFET (C_N)のゲート容量などの内部ノードの充放電に消費します。少量の自己消費電流と内部ゲートクランプFETの容量の充放電で使用する少量の電流を無視すれば、消費電力は、次式で概算することができます。

$$P_{VCC} = \left[(C_N \times V_{CC}^2 \times f_{IN}) + (C_P \times V_{CC}^2 \times f_{IN}) \right] \times (BRF \times BTD)$$
$$f_{IN} = f_{INN} + f_{INP}$$

ここで、f_{INN}とf_{INP}は、それぞれINN₊とINP₊の入力スイッチング周波数、BRFはバースト繰り返し周波数、およびBTDはバースト継続時間です。ゲート容量の標準値は、C_N = 1.2μF、C_P = 0.4μFです。

V_{PP}とV_{NN}の消費電力については、「標準動作特性」の項を参照してください。

電源とバイパス処理

MAX4940/MAX4940Aは、独立した電源電圧セットで動作します(V_{DD}、V_{CC}、およびV_{EE}のみ、すべてのチャンネルに共通です)。V_{PP1}/V_{NN1}電源が2つのチャンネルに、V_{PP2}/V_{NN2}電源が他の2つのチャンネルに供給します。ロジック入力回路は、+2.37V~+6Vの単一電源(V_{DD})で動作します。レベルシフトドライバのデュアル電源V_{CC}/V_{EE}は、±4.75V~±12.6Vで動作します。

V_{PP}/V_{NN}のハイサイドとローサイドの電源は、最大+220Vの単一正電源、最大-220Vの単一負電源、または±110Vのデュアル電源で駆動されます。V_{PP}またはV_{NN}のいずれかを0に設定することができます。各電源入力には、デバイスのできる限り近くで、0.1μFのコンデンサでグランドにバイパスしてください。

出力遷移中のV_{NN}とV_{PP}の両方の入力を安定させるため、アプリケーションによっては、追加のバイパス処理が必要な場合があります。たとえば、C_{OUT} = 100pFおよびR_{OUT} = 100Ωの負荷では、10μF (typ)の電解コンデンサを追加することをお勧めします。

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

エキスポーズドパッドとレイアウトについて

MAX4940/MAX4940Aでは、放熱性能を改善するために、TQFNパッケージの底にエキスポーズドパッド(EP)が設けられています。EPは、内部で V_{NN1} に接続されています。外部でEPを V_{NN1} に接続してください。放熱を改善するため、PCBの部品側にあるほぼ同じサイズのパッドにEPを接続してください。デバイスから伝導で熱を取り除くために、このパッドは、半田面のメッキ処理された複数のホールを通じて、銅熱拡散用の広い銅領域に接続する必要があります。

MAX4940/MAX4940Aの高速パルサでは、電源入力への低インダクタンスのバイパスコンデンサが必要になります。

高速PCBの配線設計を実施することをお勧めします。インダクタンスを低減するため、配線長を最小限にし十分な配線幅を使用するよう特に注意してください。表面実装部品の使用をお勧めします。

電源シーケンシング

標準的な3レベルのアプリケーションにおいて、 V_{NN1} と V_{NN2} が外部で短絡されているとき($V_{NN1} = V_{NN2}$)、MAX4940/MAX4940Aはパワーシーケンシングを必要としません。通常、特にマルチレベルのアプリケーションでは、 V_{NN1} は、常に V_{NN2} 以下でなければなりません($V_{NN1} \leq V_{NN2}$)。MAX4940/MAX4940Aでは、その以外の電源シーケンシングは必要ありません。

タイミング図

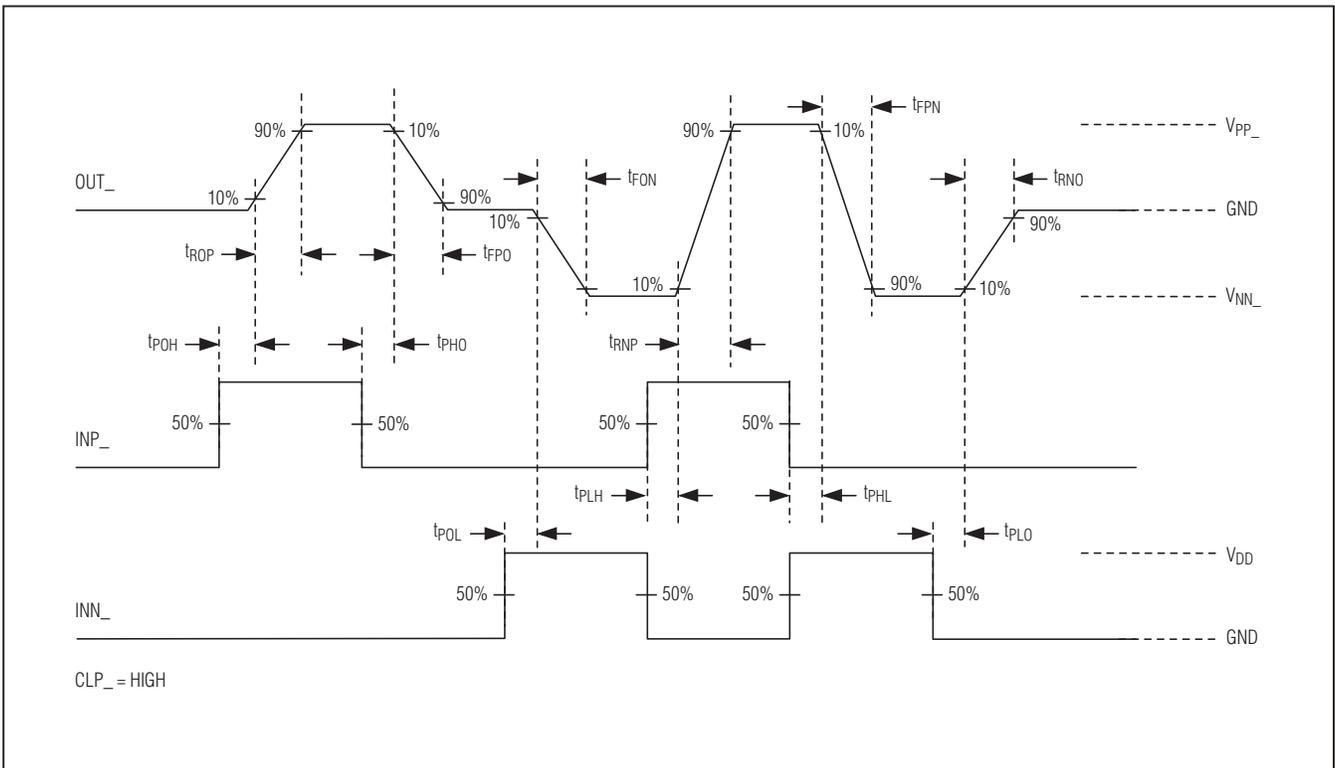


図1. 詳細なタイミング($R_L = 100\Omega$ 、 $C_L = 100pF$)

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

タイミング図(続き)

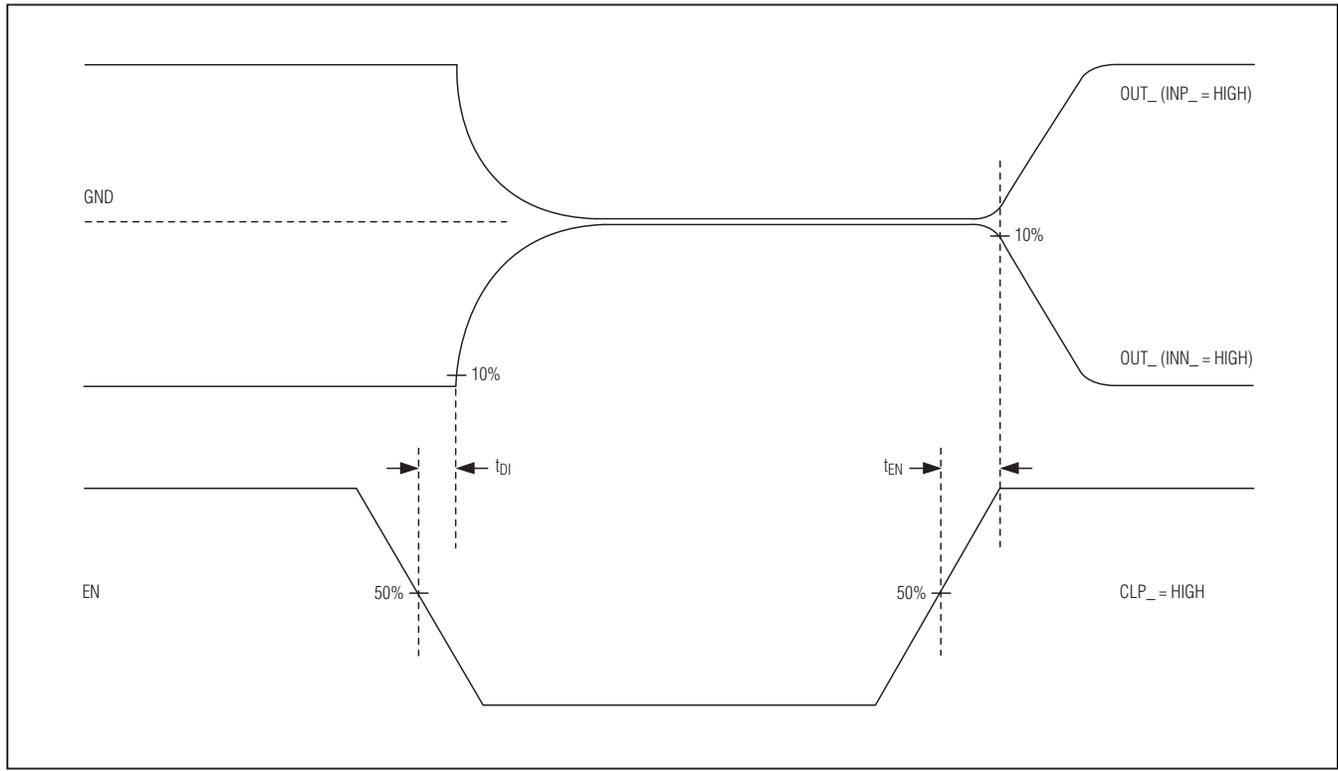


図2. イネーブルのタイミング($R_L = 100\Omega$ 、 $C_L = 100\text{pF}$)

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

ファンクションダイアグラム

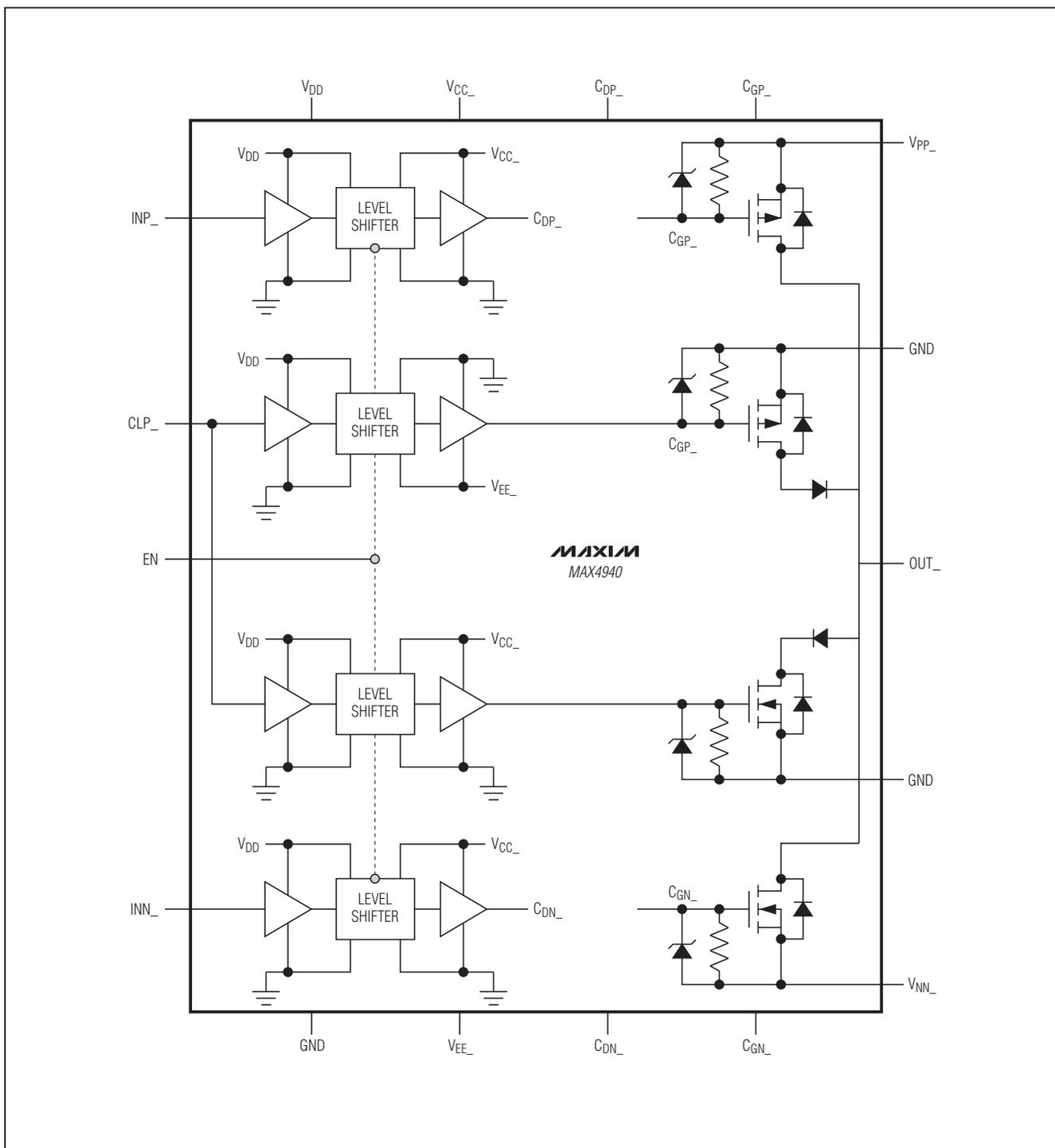


図3. MAX4940の簡略化ファンクションダイアグラム(1チャンネル)

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

ファンクションダイアグラム(続き)

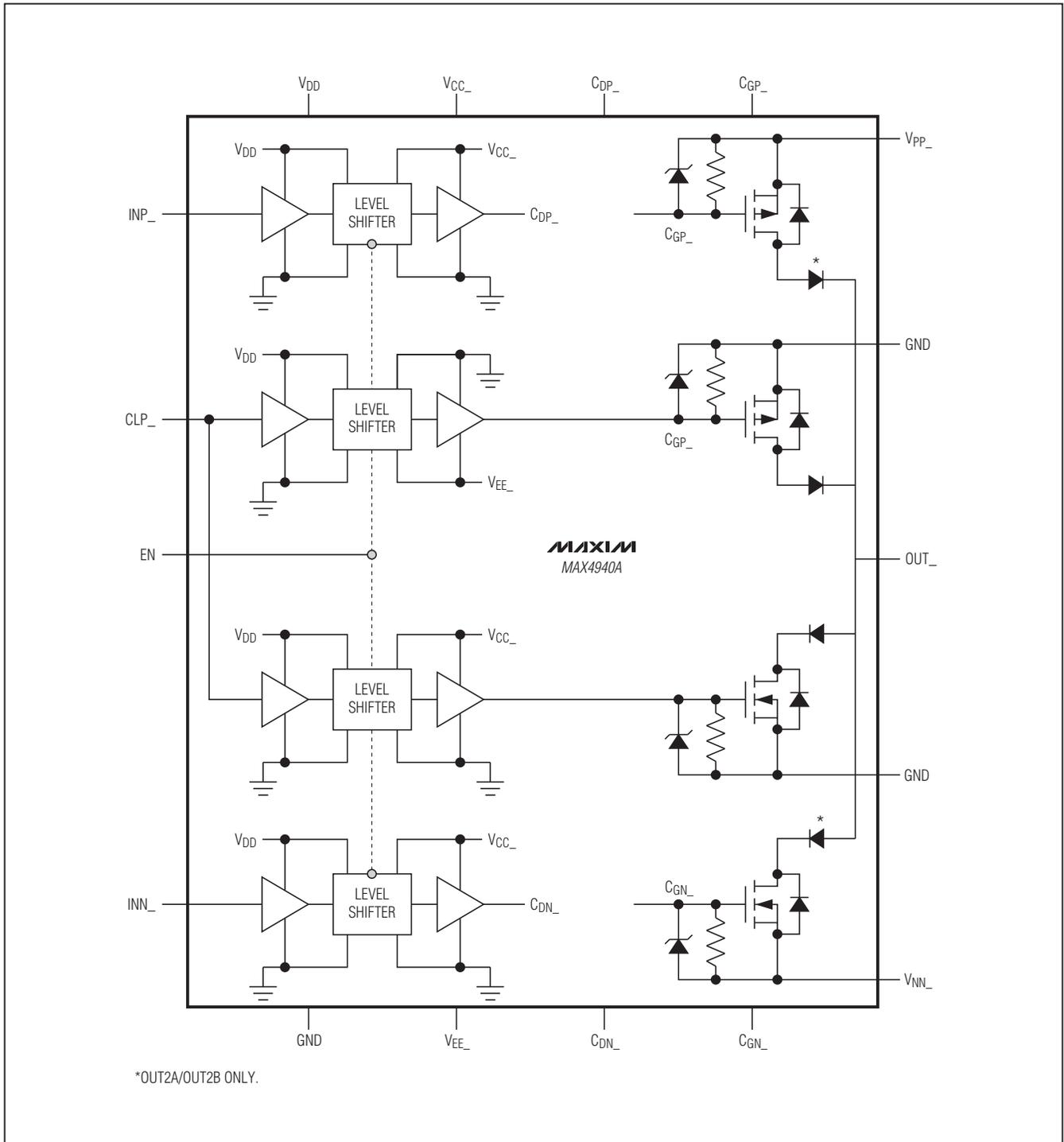


図4. MAX4940Aの簡略化ファンクションダイアグラム(1チャンネル)

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

標準アプリケーション回路

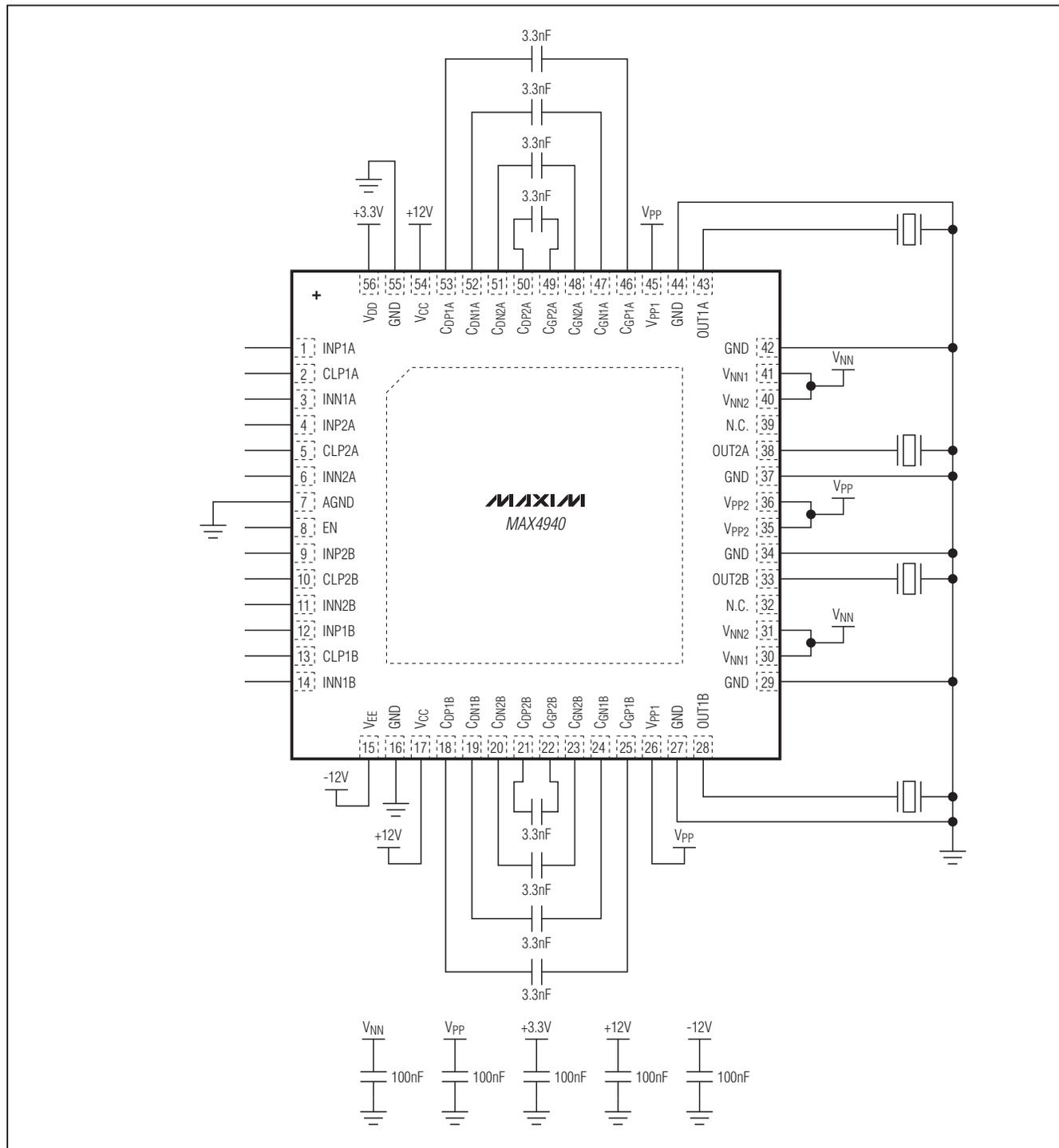


図5. 常時オンアクティブのリターントゥゼロを用いたMAX4940のクワッドパルス

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

標準アプリケーション回路(続き)

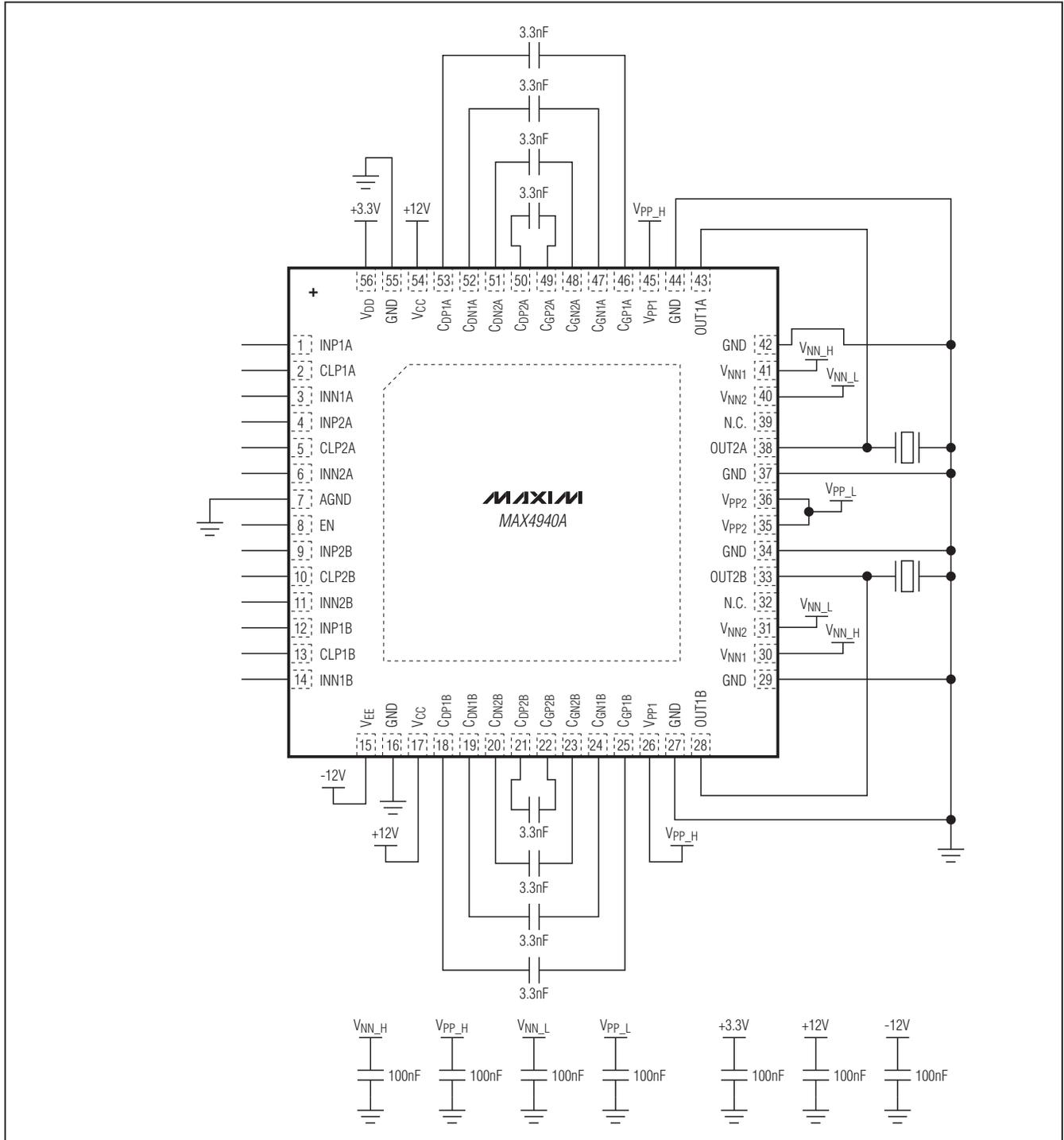


図6. MAX4940Aの5レベルのデュアルパルス

デュアル/クワッド、ユニポーラ/バイポーラ、 高電圧デジタルパルサ

MAX4940/MAX4940A

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報とランドパターンは、
japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
56 TQFN	T5688-3	21-0135

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

18 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2009 Maxim Integrated Products

Maxim is a registered trademark of Maxim Integrated Products, Inc.