

MAX44267

+15V単一電源、デュアルオペアンプ、 出力範囲±10V

概要

高精度、低ノイズ、低ドリフトデュアルオペアンプのMAX44267は、出力がゼロを通過することが可能な真のゼロ出力を提供し、ADCのダイナミックレンジを最大化して分解能を高めます。さらに、入力コモンモード範囲は+13.5Vから-12Vまで広がっています。MAX44267は、外付けコンデンサとの組合せで負の電圧レールを生成するチャージポンプ回路を内蔵しています。これによって、このアンプは+4.5V~+15Vの単一電源で動作可能ですが、通常の±4.5V~±15Vのデュアルレールアンプと同等の効率を備えています。このアーキテクチャは負の電源レールが不要なため、システムのコストとサイズが削減されます。

MAX44267は、5MHzの利得帯域幅積でユニティゲイン安定です。このデバイスは、50μV (max)の低オフセット電圧、0.4μV/°C (max)のドリフト、および200nV_{p-p} (0.1Hz~10Hz)のノイズを特長とします。低オフセット/低ノイズ仕様と広い入力コモンモード範囲によって、このデバイスはセンサートランスミッタおよびインタフェースに最適です。外付けチャージポンプコンデンサを変更することによって、チャージポンプのノイズを最小限に抑えることができます。

MAX44267は、アンプ、マルチプレクサ、およびADCを含むシグナルチェーンICファミリの一製品です。これらのICによって、マルチプレクサ、アンプ、およびADCへの負の電源が不要になり、スペースとコストが節約されます。詳細については、フルデータシートの「標準アプリケーション回路」および表1を参照してください。

MAX44267は14ピンTSSOPパッケージで提供され、-40°C~+125°Cの温度範囲での動作が保証されています。

型番はデータシートの最後に記載されています。

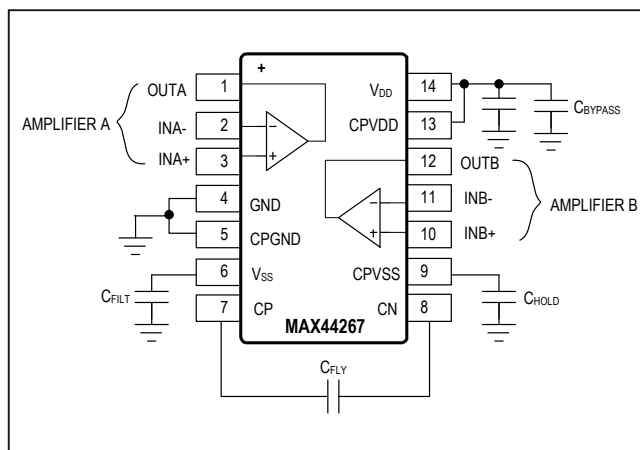
主な特長

- +15V単一電源で±10V以上の真のバイポーラ出力が可能なため負電源のスペースとコストが不要
 - 単一電源で真のゼロ出力が可能
- 全温度で高精度検出
 - 低入力V_{OS} : 50μV (max)
 - 低オフセットドリフト : 0.4μV/°C (max)
- 広いADCダイナミックレンジを提供する低入力ノイズ : 9nV/√Hz (1kHz時)
- 広い入力周波数範囲を提供する利得帯域幅積 : 5MHz
- 低消費電力と低発熱動作を可能にする低自己消費電流 : 2.4mA (max)
- 内蔵EMIフィルタによってモーターやその他の高周波数ノイズ発生源に対する感度を低減
- 外付けチャージポンプコンデンサを使用する14ピンTSSOPパッケージによってノイズの最適化を実現

アプリケーション

- PLCアナログI/Oモジュール
- センサインタフェース
- 圧力センサー
- ブリッジセンサー
- アナログレベルシフト/調整

ブロック図



Absolute Maximum Ratings

V_{DD} to GND -0.3V to +16.5V
 $CPVDD$ to GND -0.3V to +16.5V
 CP , CN , $CPVSS$, V_{SS} Input Current ± 20 mA
 Common-Mode Input Voltage.... ($-V_{DD} - 0.3V$) to ($+V_{DD} + 0.3V$)
 Differential Input Current ± 20 mA
 Differential Input Voltage (Note 1) $\pm 1V$
 $OUTA$, $OUTB$ to GND..... ($-V_{DD} - 0.3V$) to ($+V_{DD} + 0.3V$)
 Short-Circuit Duration, $OUTA$, $OUTB$ to either Supply Rail 1s

Continuous Power Dissipation ($T_A = +70^\circ C$)

14-Pin TSSOP (derate 10mW/ $^\circ C$ above $+70^\circ C$) 796.8mW
 Operating Temperature Range $-40^\circ C$ to $+125^\circ C$
 Junction Temperature $+150^\circ C$
 Storage Temperature Range $-65^\circ C$ to $+150^\circ C$
 Lead Temperature (soldering, 10s) $+300^\circ C$
 Soldering Temperature (reflow) $+260^\circ C$

Note 1: The amplifier inputs are connected by internal back-to-back clamp diodes. In order to minimize noise in the input stage, current-limiting resistors are not used. If differential input voltages exceeding $\pm 1V$ are applied, limit input current to ± 20 mA.

Package Thermal Characteristics (Note 2)

TSSOP

Junction-to-Ambient Thermal Resistance (θ_{JA}) $100.4^\circ C/W$

Junction-to-Case Thermal Resistance (θ_{JC}) $30^\circ C/W$

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/jp/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Electrical Characteristics

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = 0V$, $V_{CM} = GND$, $R_L = 5k\Omega$ to GND, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC SPECIFICATIONS						
Power-Supply Voltage Input Range	V_{DD}	Guaranteed by PSRR	4.5		15.5	V
Charge-Pump Supply Voltage Input Range (Note 4)	$CPVDD$		4.5		15.5	V
Charge-Pump Negative Supply Output	$CPVSS$	$V_{DD} = 15V$, $R_L = \infty$		-14.8		V
		$V_{DD} = 5V$, $R_L = \infty$		-4.8		
Filtered Negative Supply Output	V_{SS}	$V_{DD} = 15V$, $R_L = 5k\Omega$		-13		V
		$V_{DD} = 5V$, $R_L = 5k\Omega$		-3.6		
Power-Supply Rejection Ratio	PSRR	$T_A = +25^\circ C$	117	137		dB
		$+4.5V \leq V_{DD} \leq +15.5V$ $-40^\circ C \leq T_A \leq +125^\circ C$	112			
Total Quiescent Current	I_{DD}	$R_L = \infty$ $T_A = +25^\circ C$		2.4	3.6	mA
		$-40^\circ C \leq T_A \leq +125^\circ C$			4.0	
Input Common-Mode Range	V_{CM}	Guaranteed by CMRR test $V_{DD} = 15V$	-12.0		+13.5	V
		$V_{DD} = 5V$	-2.0		+3.5	
Common-Mode Rejection Ratio	CMRR	$V_{DD} = 15V$, $V_{CM} = -12V$ to $+13.5V$ $T_A = +25^\circ C$	138	150		dB
		$-40^\circ C \leq T_A \leq +125^\circ C$	122			
		$V_{DD} = 5V$, $V_{CM} = -2V$ to $+3.5V$ $T_A = +25^\circ C$	125	140		dB
		$-40^\circ C \leq T_A \leq +125^\circ C$	118			

Electrical Characteristics (continued)

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = 0V$, $V_{CM} = GND$, $R_L = 5k\Omega$ to GND, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $T_A = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Input Offset Voltage	V _{OS}	T _A = +25°C		4	45	μV	
		-40°C ≤ T _A ≤ +125°C		50			
Input Offset Voltage Drift (Note 5)	TCV _{OS}	-40°C ≤ T _A ≤ +125°C		0.1	0.4	μV/°C	
Input Bias Current	I _B	T _A = +25°C		0.5	1.5	nA	
		-40°C ≤ T _A ≤ +125°C		2.5			
Input Offset Current	I _{OS}	T _A = +25°C		0.3	1.0	nA	
		-40°C ≤ T _A ≤ +125°C		2.0			
Open-Loop Gain	A _{VOL}	V _{DD} = 15V, -11V ≤ V _{OUT} ≤ +13.5V	T _A = +25°C	136	145	dB	
			-40°C ≤ T _A ≤ +125°C	129			
		V _{DD} = 5V, -1.3V ≤ V _{OUT} ≤ +3.5V	T _A = +25°C	130	140		
			-40°C ≤ T _A ≤ +125°C	121			
Input Resistance	R _{IN}			50		MΩ	
Maximum Output Current	I _{OUT}	Sinking		17		mA	
		Sourcing		36			
Output Voltage Swing High (V _{OUT} to GND)	V _{OH}	V _{DD} = 15V, R _L = 5kΩ, both channels driven		13.8	14.8	V	
		V _{DD} = 5V, R _L = 5kΩ, both channels driven		3.8	4.9		
Output Voltage Swing Low (V _{OUT} to GND)	V _{OL}	V _{DD} = 15V, R _L = 5kΩ, both channels driven		-11.3	-12.7	V	
		V _{DD} = 5V, R _L = 5kΩ,both channels driven		-1.5	-3.5	V	
AC SPECIFICATIONS							
Input Voltage-Noise Density	e _N	f = 1kHz		9		nV/√Hz	
Input Voltage Noise		0.1Hz < f < 10Hz		200		nV _{P-P}	
Input Current-Noise Density	i _N	f = 1kHz		200		fA/√Hz	
Gain-Bandwidth Product	GBW			5		MHz	
Slew Rate	SR			3		V/μs	
Total Harmonic Distortion	THD	f = 1kHz, V _{OUT} = 2V _{P-P} , A _V = +1V/V		-100		dB	
Capacitive Loading	C _L	No sustained oscillation, A _V = +1V/V		300		pF	
Charge-Pump Frequency	f _{OSC}			500		kHz	
Charge-Pump Feedthrough				2		mV	
Crosstalk	X _{talk}	f = 1kHz		-100		dB	
Settling Time	t _S			1		μs	

Note 3: All devices are 100% production tested at $T_A = +25^\circ C$. Temperature limits are guaranteed by design.

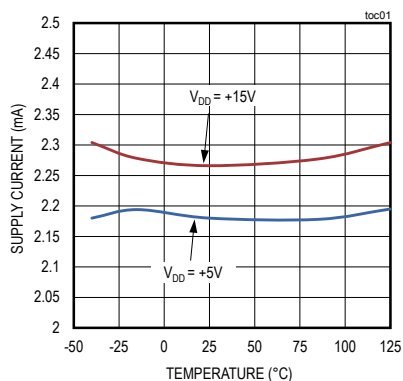
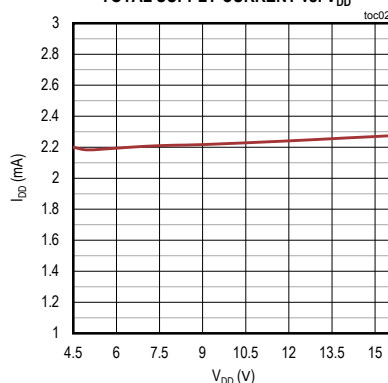
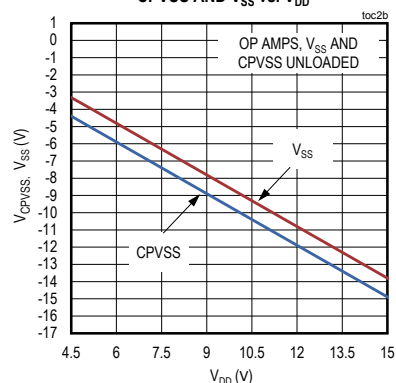
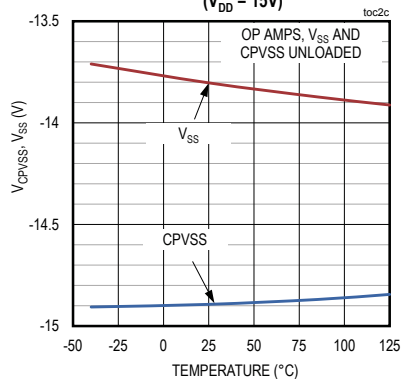
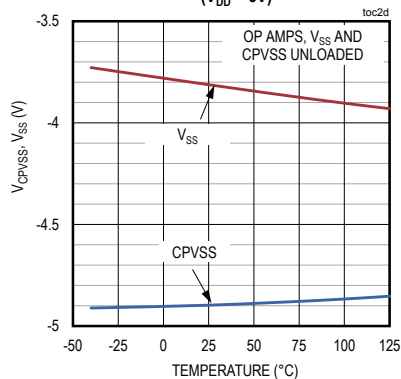
Note 4: CPVDD voltage must be equal to V_{DD} voltage. Connect CPVDD to V_{DD} .

Note 5: Parameter is guaranteed by design.

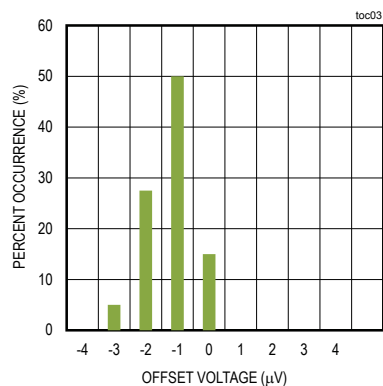
標準動作特性

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = V_{CPGND} = 0V$, $V_{CM} = 0V$, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $R_L = 5k\Omega$ and $C_L = 10pF$ to GND, $T_A = +25^\circ C$, unless otherwise noted.)

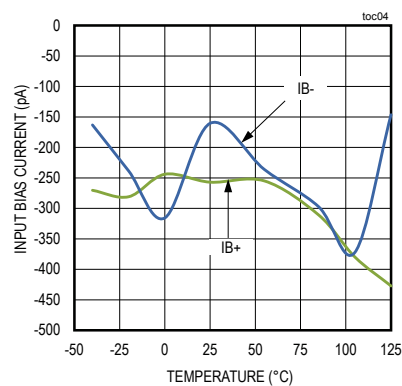
TOTAL SUPPLY CURRENT vs. TEMPERATURE

TOTAL SUPPLY CURRENT vs. V_{DD} CPVSS AND V_{SS} vs. V_{DD} CPVSS AND V_{SS} vs. TEMPERATURE
($V_{DD} = 15V$)CPVSS AND V_{SS} vs. TEMPERATURE
($V_{DD} = 5V$)

INPUT OFFSET VOLTAGE HISTOGRAM

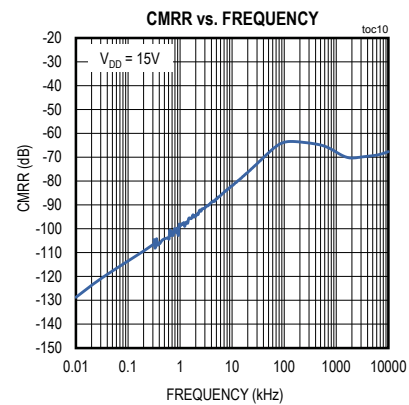
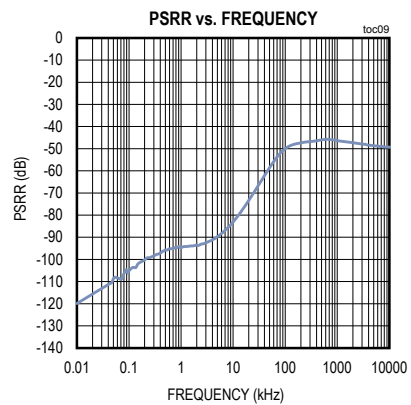
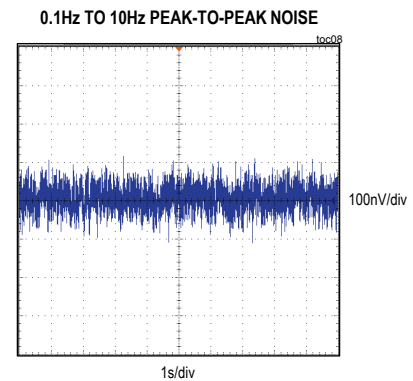
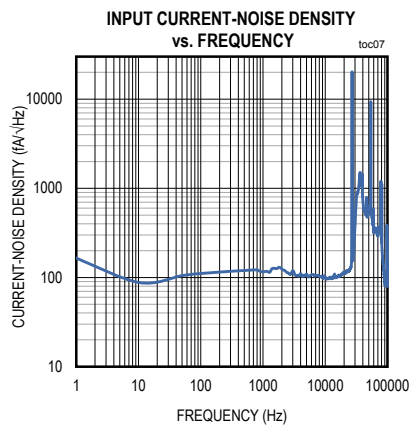
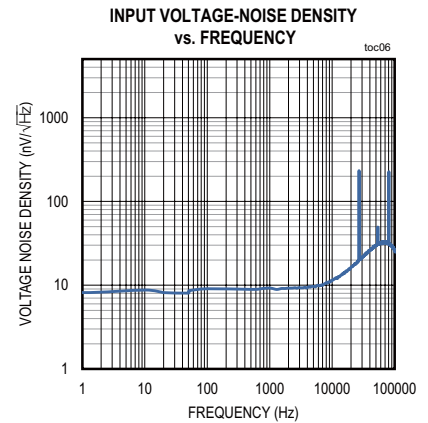
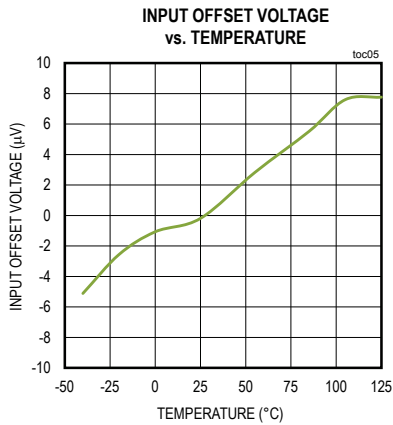
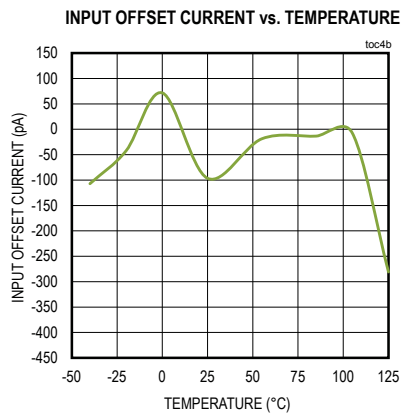


INPUT BIAS CURRENT vs. TEMPERATURE



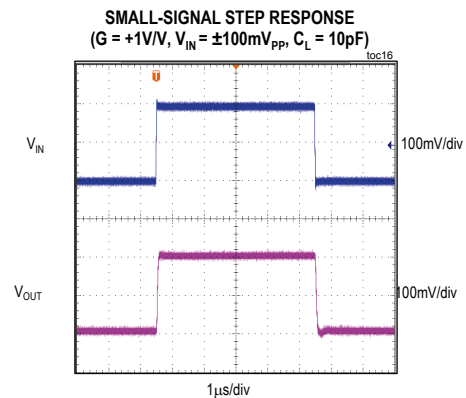
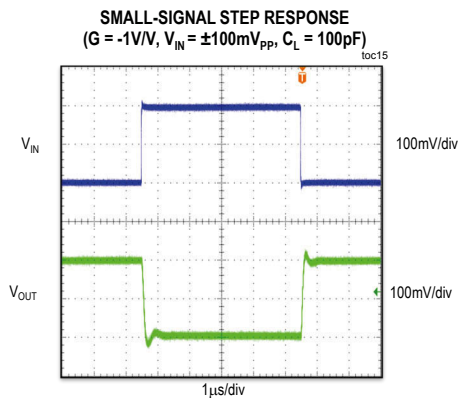
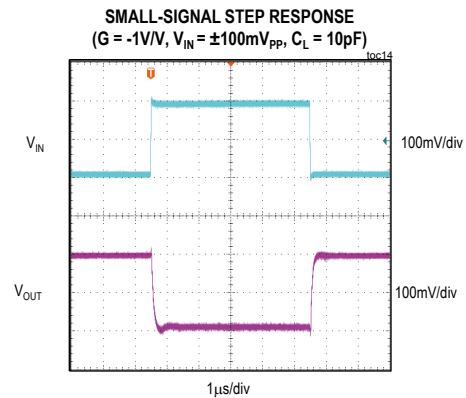
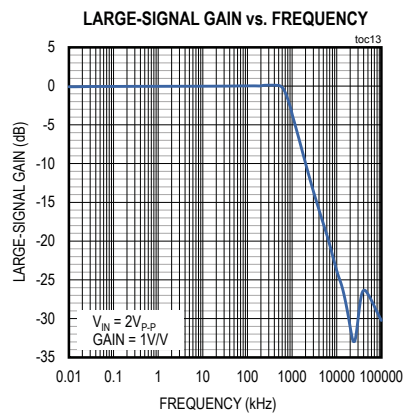
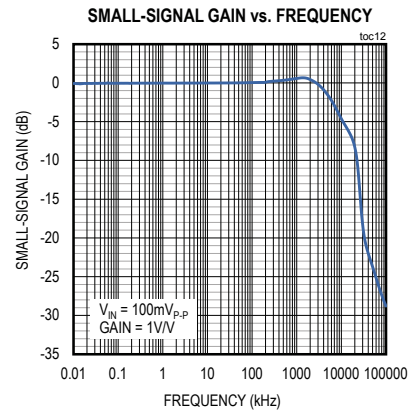
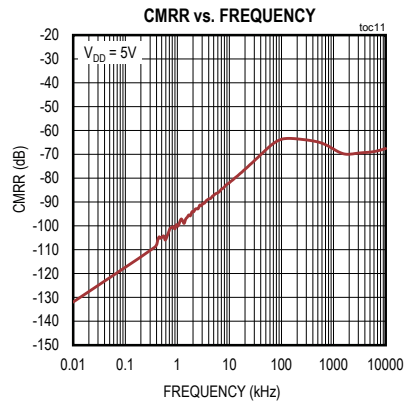
標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15\text{V}$, $V_{GND} = V_{CPGND} = 0\text{V}$, $V_{CM} = 0\text{V}$, $C_{FLY} = 0.022\mu\text{F}$, $C_{HOLD} = 0.1\mu\text{F}$, $C_{FILT} = 0.1\mu\text{F}$, $R_L = 5\text{k}\Omega$ and $C_L = 10\text{pF}$ to GND, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



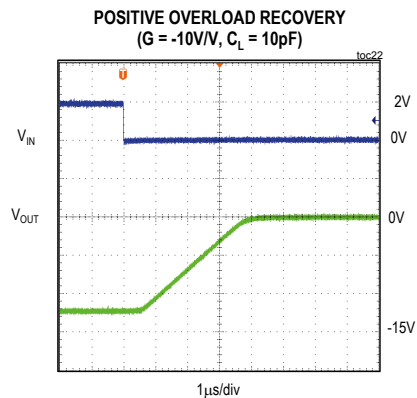
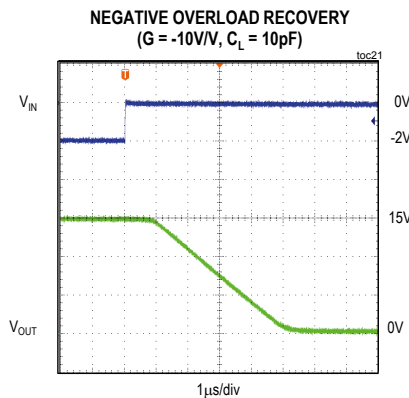
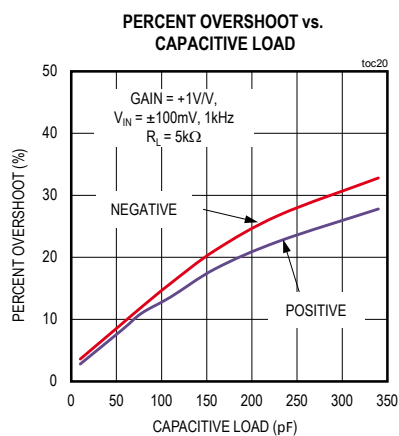
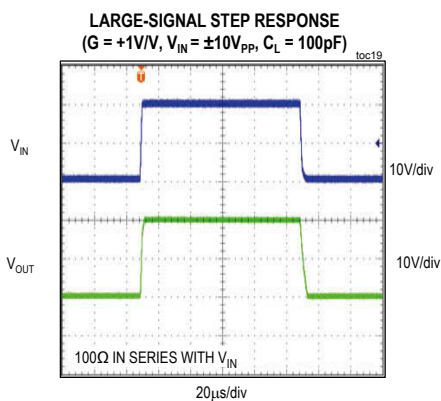
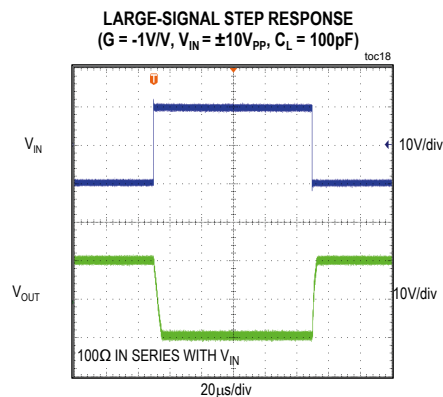
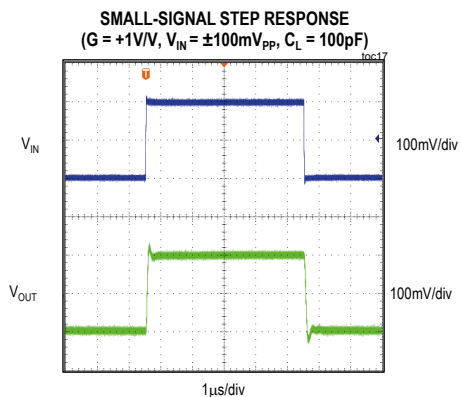
標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15\text{V}$, $V_{GND} = V_{CPGND} = 0\text{V}$, $V_{CM} = 0\text{V}$, $C_{FLY} = 0.022\mu\text{F}$, $C_{HOLD} = 0.1\mu\text{F}$, $C_{FILT} = 0.1\mu\text{F}$, $R_L = 5\text{k}\Omega$ and $C_L = 10\text{pF}$ to GND, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



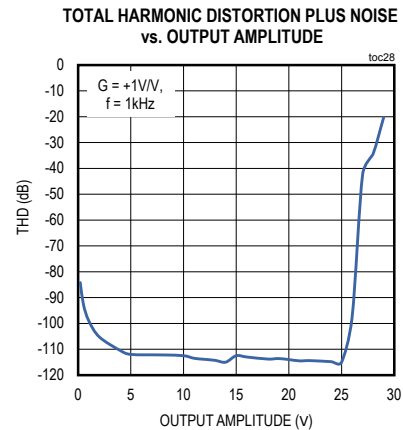
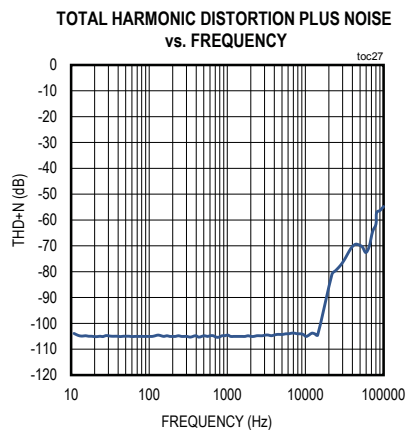
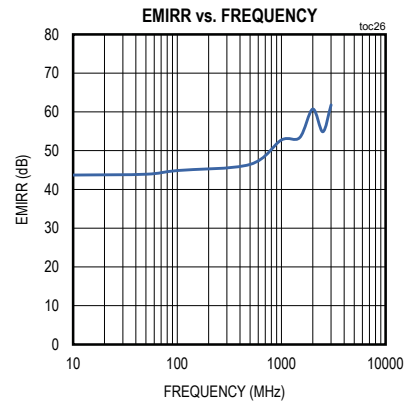
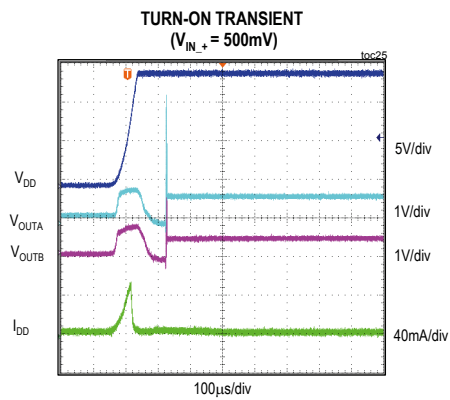
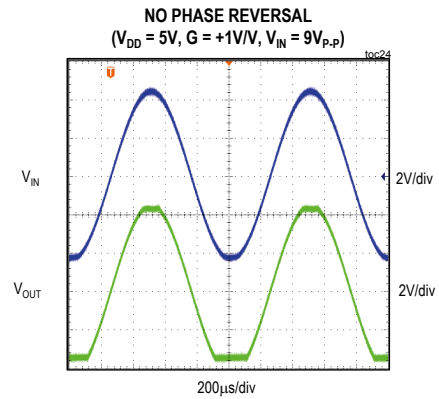
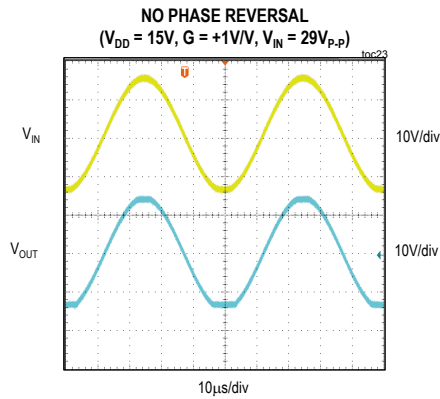
標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = V_{CPGND} = 0V$, $V_{CM} = 0V$, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $R_L = 5k\Omega$ and $C_L = 10pF$ to GND, $T_A = +25^\circ C$, unless otherwise noted.)



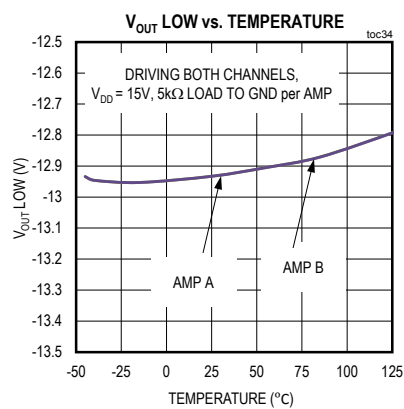
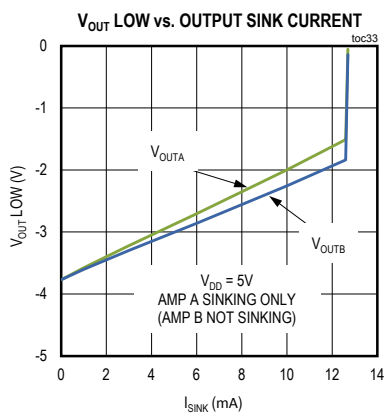
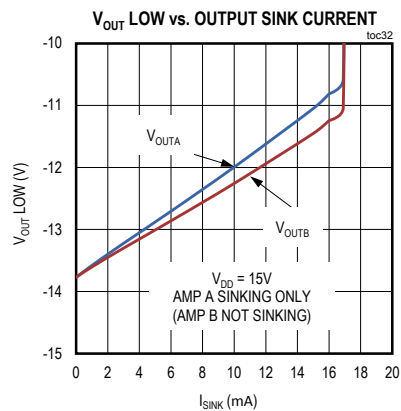
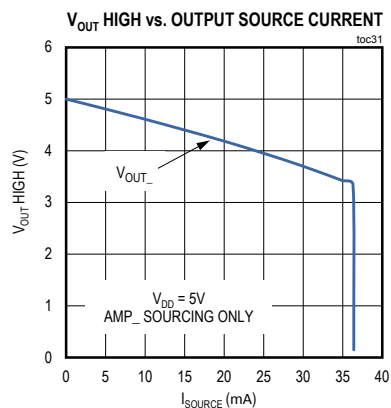
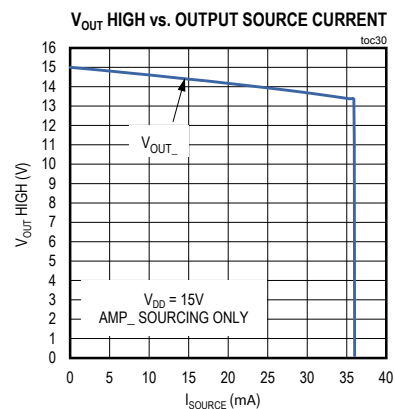
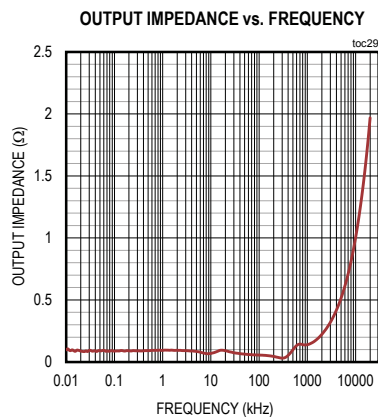
標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = V_{CPGND} = 0V$, $V_{CM} = 0V$, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $R_L = 5k\Omega$ and $C_L = 10pF$ to GND, $T_A = +25^\circ C$, unless otherwise noted.)



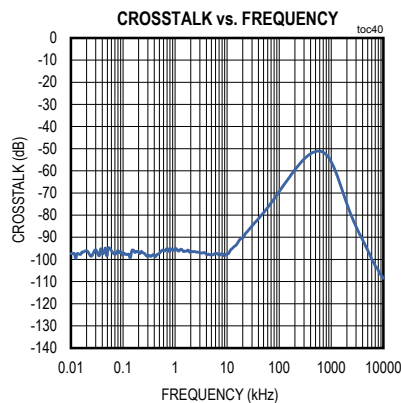
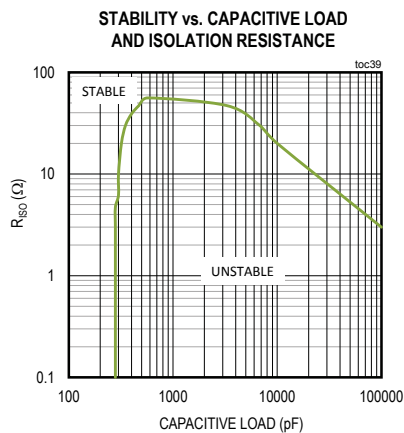
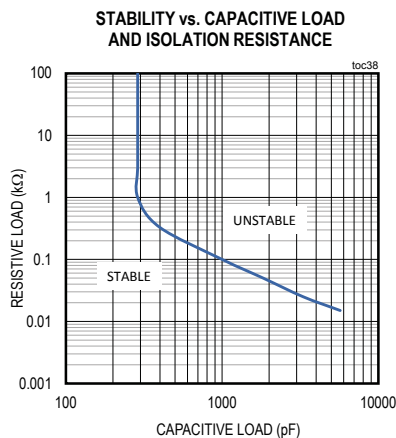
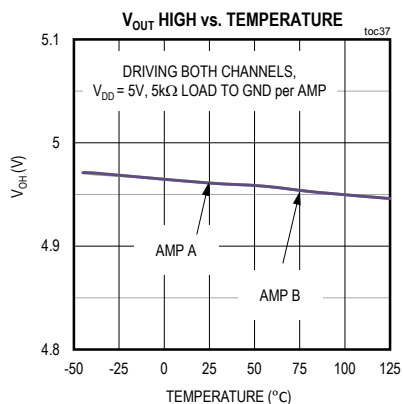
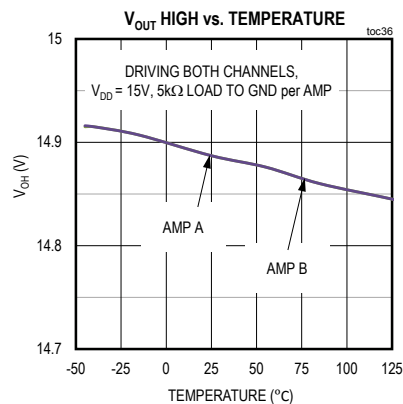
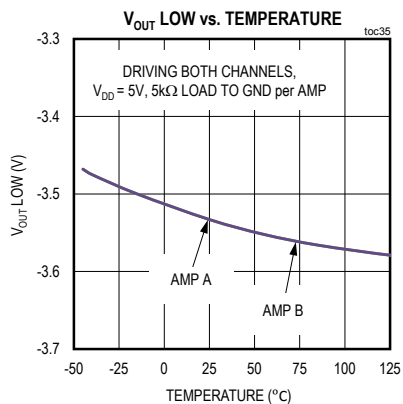
標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = V_{CPGND} = 0V$, $V_{CM} = 0V$, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $R_L = 5k\Omega$ and $C_L = 10pF$ to GND, $T_A = +25^\circ C$, unless otherwise noted.)

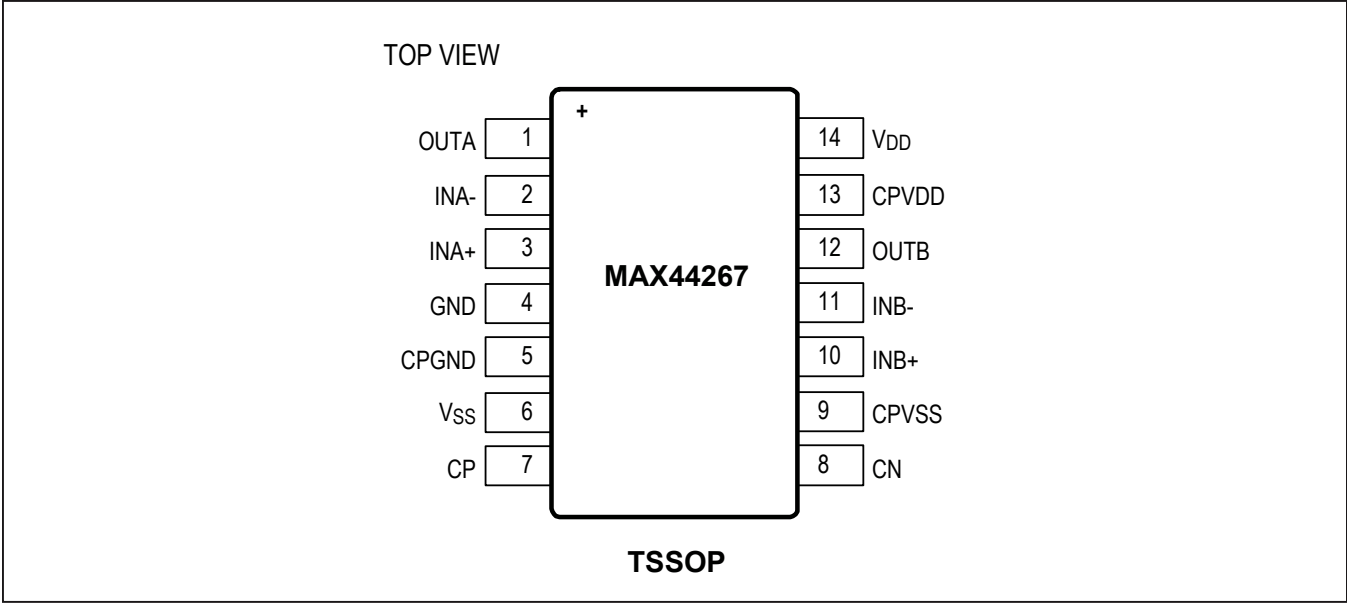


標準動作特性(続き)

($V_{DD} = V_{CPVDD} = 15V$, $V_{GND} = V_{CPGND} = 0V$, $V_{CM} = 0V$, $C_{FLY} = 0.022\mu F$, $C_{HOLD} = 0.1\mu F$, $C_{FILT} = 0.1\mu F$, $R_L = 5k\Omega$ and $C_L = 10pF$ to GND, $T_A = +25^\circ C$, unless otherwise noted.)



ピン配置



端子説明

端子	名称	機能
1	OUTA	チャネルAの出力
2	INA-	チャネルAの負の入力
3	INA+	チャネルAの正の入力
4	GND	グラウンド。GNDを安定したグラウンドプレーンに接続してください。
5	CPGND	チャージポンプのグラウンド。CPGNDをGNDに接続してください。
6	VSS	フィルタ内蔵の負の電源出力。低ESRのコンデンサ($C_{\text{FILT}} = 1\mu\text{F}$)で、VSSをGNDに接続してください。
7	CP	チャージポンプの正のコンデンサ接続。CNのみへのコンデンサ接続。いかなる電圧もCPまたはCNに接続しないでください。CPとCN間に低ESRのコンデンサ($C_{\text{FLY}} = 0.022\mu\text{F}$)を接続してください。
8	CN	チャージポンプの負のコンデンサ接続。CPのみへのコンデンサ接続。いかなる電圧もCNまたはCPに接続しないでください。CPとCN間に低ESRのコンデンサ($C_{\text{FLY}} = 0.022\mu\text{F}$)を接続してください。
9	CPVSS	チャージポンプの負の電源出力。0.1 μF のコンデンサでCPVSSをCPGNDに接続してください。
10	INB+	チャネルBの正の入力
11	INB-	チャネルBの負の入力
12	OUTB	チャネルBの出力
13	CPVDD	チャージポンプの電源電圧入力。CPVDDをVDDに接続してください。0.1 μF のコンデンサでCPVDDをGNDに接続してください。
14	VDD	デバイスの電源電圧入力。0.1 μF のコンデンサでVDDをGNDに接続してください。

詳細

MAX44267は、 $50\mu\text{V}$ 以下の最大入力基準オフセットと低 $1/f$ ノイズを提供する高精度アンプです。これらの特性は、独自のオートゼロ技法とチョツパ安定化技法の組合せを使用することによって実現されます。このオートゼロとチョツピングの組合せによって、これらのアンプはゼロドリフトアンプのすべての利点を提供しつつ、低ノイズを確保し、チョツパスパイクを最小限に抑え、広い帯域幅を提供することが保証されます。

共通の内蔵チャージポンプ

MAX44267の内蔵チャージポンプは、両方のアンプに共通の負の電圧レール(V_{SS})を生成します(外付けコンデンサの接続については、図1を参照してください)。このデバイスの総自己消費電流は、 4mA (max)です(両方のオペアンプとチャージポンプの動作を含む)。

V_{SS} 発生器はMAX44267の負の電源として機能し、限られたシンク電流能力を備えています。その能力を超えて負荷をかけようとすると、負の電源電圧が低下し、電流シン

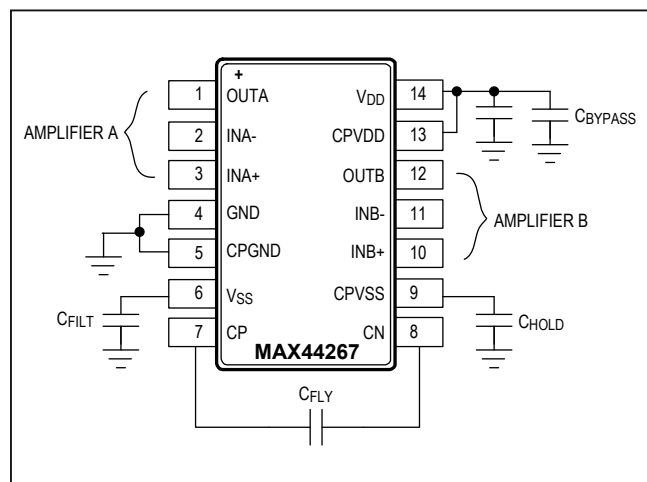


図1. 外付けコンデンサの接続

ク時の駆動能力に影響します。チャンネル当り 17mA (typ)を超えたシンクは、負方向の振幅の減少とリップルの増大につながり、両方の出力に影響を与えて、両方のアンプの出力精度と性能が低下します。

出力 V_{SS} 負電源は、両方のアンプチャンネルに共通です。1つのチャンネルの出力に推奨値を超える負荷をかけると、上記のように第2のアンプチャンネルに影響します。両方のチャンネルの総負荷を 17mA 以下に維持する必要があります。1つのチャンネルの負荷が非常に小さい場合、たとえば $100\mu\text{A}$ のみをシンクしているときは、もう一方のチャンネルは 16.9mA をシンク可能です。図2に示すように、 $+15\text{V}$ の V_{DD} を使用する場合、 V_{SS} 出力は無負荷時で約 -13.6V (typ)になります。アンプAのシンクによって V_{SS} レールが上昇し、それが V_{OUTB} に反映されます。

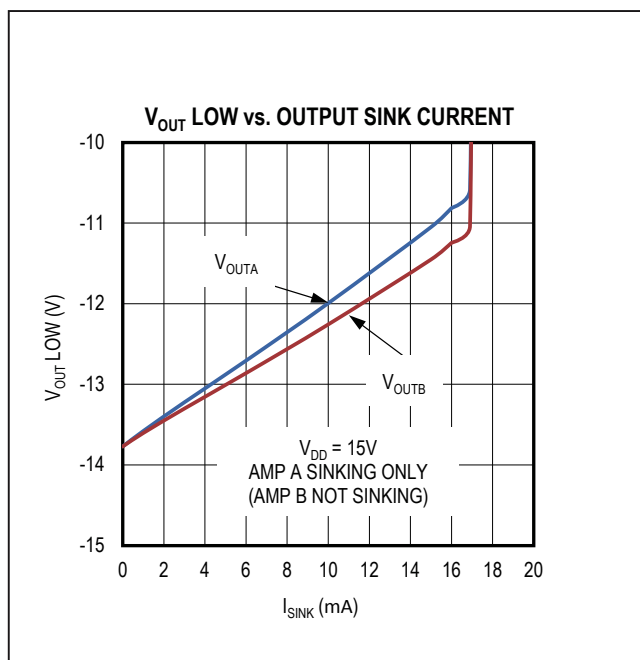


図2. $V_{OUT\ LOW}$ と出力シンク電流の関係

ESD回路

基板上の他のすべての回路は負の最大端が0Vでも、MAX44267の出力振幅は0Vを大幅に下回る可能性があります。最近のはほぼすべてのICは電源レールへのダイオードクランプ回路で入力を保護しているため、駆動されるICがMAX44267の出力をクランプしていることが明らかになる可能性があります(図3)。

Maxim Integratedでは、ADC、マルチプレクサ、および電流検出アンプなど、電源レールを超えた(Beyond the Rails)駆動が可能な入力を備えた多数の製品を提供しています。MAX44267の出力が他のICのESD回路によってクランプされないように他の回路を設計してください。この問題に対する一般的な解決策として、MAX44267による増幅または調整とともに、出力をレベルシフトする方法があります。MAX44267アンプの周囲のどのデバイスも絶対最大定格を超えないように注意してください。

コンデンサの選択

MAX44267は、 V_{SS} 負電源レールを生成するために3つの外付けコンデンサ(C_{FLY} 、 C_{HOLD} 、および C_{FILT})を必要とします。チャージポンプの出力抵抗は、 C_{FLY} 、 C_{HOLD} 、および C_{FILT} のESRの関数です。最小の出力抵抗を維持するために、低ESRのコンデンサを使用してください。

フライングコンデンサ(C_{FLY})

フライングコンデンサの値を大きくすると、出力抵抗が減少します。0.047 μF 以上では、内部スイッチの抵抗とコンデンサのESRが出力抵抗の大半を占めるため、 C_{FLY} の容量の増大による影響は非常にわずかとなります。

出力コンデンサ(C_{HOLD})

出力コンデンサの値を大きくすると、出力リップル電圧が低減します。出力コンデンサのESRを小さくすると、出力抵抗とリップルの両方が低減します。出力リップルの増大を許容することができる場合は、軽負荷時により小さい

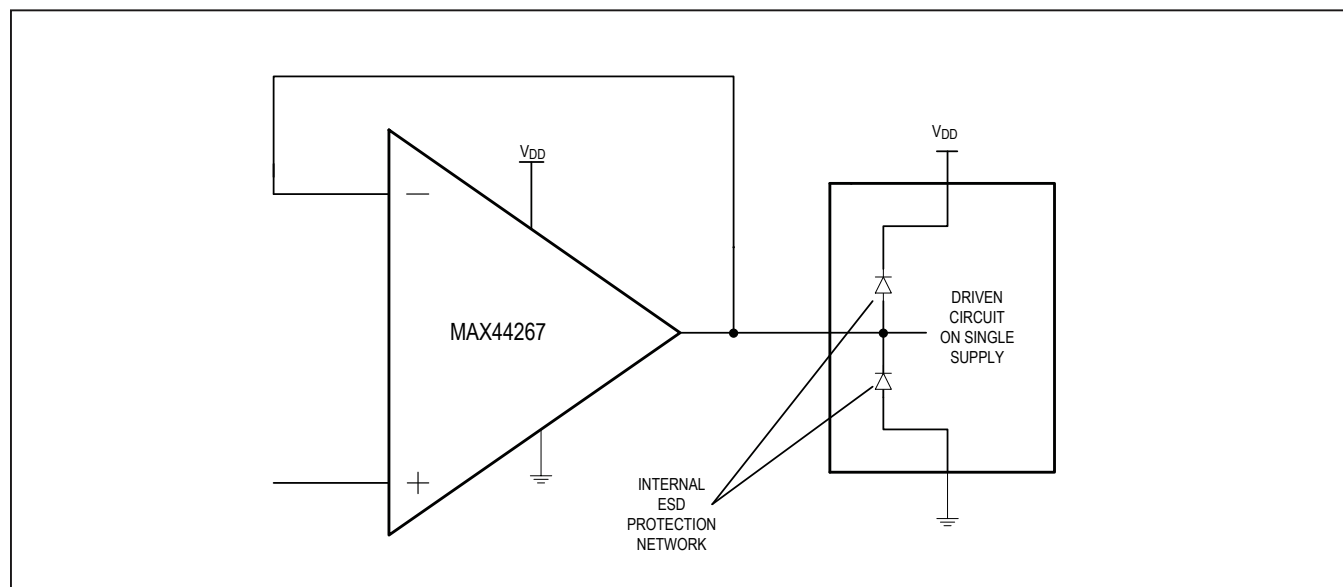


図3. 別の回路のESD回路によってMAX44267の出力がクランプされる可能性

容量値を使用することができます。下記のグラフを参照して、特定のシンク電流値に対するピーク間リップルを概算してください。

CPVSSのバイパスコンデンサ

入力電源(CPVSS)をグランドに接続して、そのACインピーダンスおよびチャージポンプのスイッチングノイズの影響を低減してください。できる限りICに近い位置で、CPVSSとCPGND間に $0.1\mu F$ (min)の低ESRコンデンサを接続してください。

ノイズ抑制

すべてのアクティブデバイスに固有の低周波数ノイズは、周波数に反比例します。酸化物およびPN接合によって捕捉/解放される酸化物シリコン界面の電荷は、より多くの場合に低周波数で発生します。MAX44267は内部で $1/f$ ノイズを除去するため、DCまたは低周波数、高精度アプリケーションに最適です。 $1/f$ ノイズは低速で変化するオフセット電圧の形で現れ、チョッピング技法の使用によって除去されます。

電磁干渉(EMI)ノイズはより高い周波数で発生し、電気機器の誤動作や性能低下を引き起こします。ICは、無線周波数干渉による出力への影響を防ぐための入力EMIフィルタを備えています。受動デバイスで構成されたEMIフィルタは、より高い周波数に対して大幅に高いインピーダンスを示します。

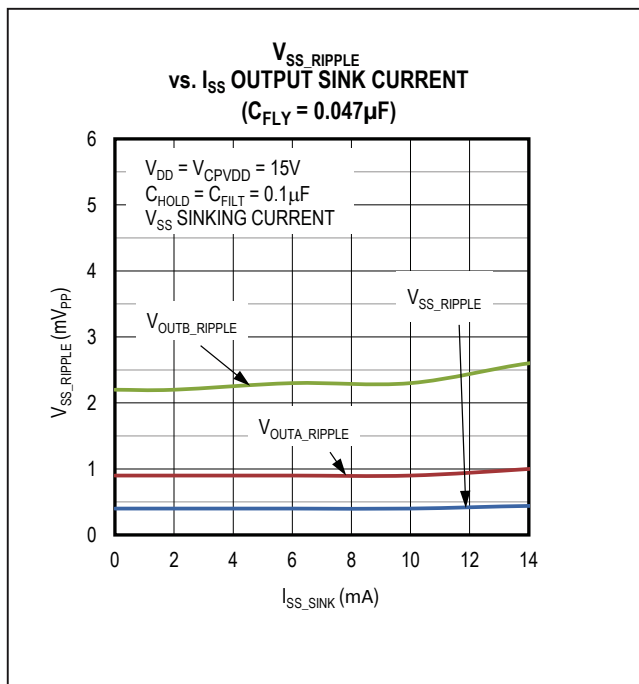


図5. I_{OUTSINK}とV_{SS_RIPPLE}の関係(C_{FLY} = 0.047μF、C_{HOLD} = C_{FILT} = 0.1μF)

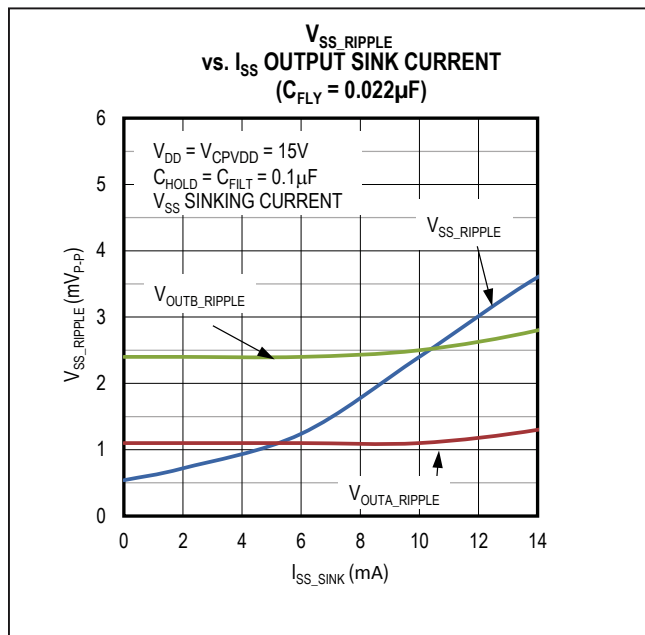


図4. I_{OUTSINK}とV_{SS_RIPPLE}の関係(C_{FLY} = 0.022μF、C_{HOLD} = C_{FILT} = 0.1μF)

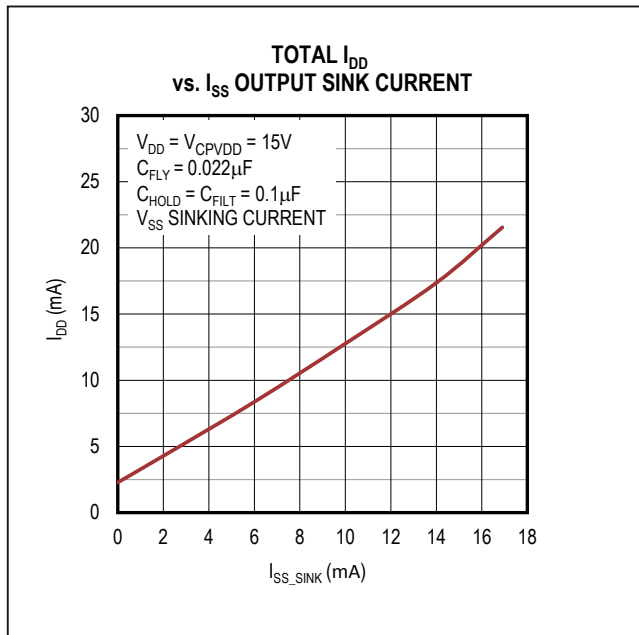


図6. 総消費電流とI_{SINK}の関係

真のゼロ出力アーキテクチャ

MAX44267は、大部分のオペアンプと比べて独自性があります。MAX44267は、両方のアンプに共通の負電圧レール(V_{SS})を生成するチャージポンプを内蔵しています。これによって、単一の正電源のみによる給電で、アンプの入力および出力範囲が0Vを大幅に下回ることが可能です。 V_{SS} 出力は、両方のアンプおよびその出力負荷電流に給電します。 V_{SS} を外部回路の給電に使用することができますが、追加の負荷電流はチャージポンプにとって追加の負荷となります。この内部で生成される負電源によって、想定外の経路に(特に最近のほぼすべてのICが備えている静電気放電保護回路を介して)電流が流れる可能性があります(図7)。

ほぼゼロのソースインピーダンス

負の電圧発生器は、有限の電流シンク能力を備えています($C_{FLY} = 0.022\mu F$ 、 $C_{HOLD} = C_{FILT} = 0.1\mu F$ の場合、約15mA (typ))。1つまたは両方のアンプの組合せの出力シンク電流によってデバイスに過負荷がかかった場合、

安定化が失われ、負方向の出力振幅が制限されます。さらに、安定化が失われた状態で、入力が強制的に負レールに向かって駆動されると、MAX44267はラッチアップ状態になります。このラッチアップは非破壊的で、障害状態が除去されるとデバイスは回復します。

MAX44267は、各出力チャンネルに対して5k Ω の負荷で仕様が規定されています。この場合、最大出力負荷電流はジェネレータの過負荷を大幅に下回るため、デバイスはラッチアップしません。さらに高い負荷を駆動することは可能ですが、総出力シンク電流(両方のチャンネルの組合せ)が15mAのピークを超えないようにしてください(詳細については、「標準動作特性」の「 $V_{OUT\ LOW}$ vs. Output Sink Current ($V_{OUT\ LOW}$ と出力シンク電流の関係)」のグラフを参照)。出力の限界に近づく可能性のある負荷を駆動する場合は、入力をハイインピーダンスソースとするか、または保護用の5k Ω 直列抵抗を追加することが推奨されます。

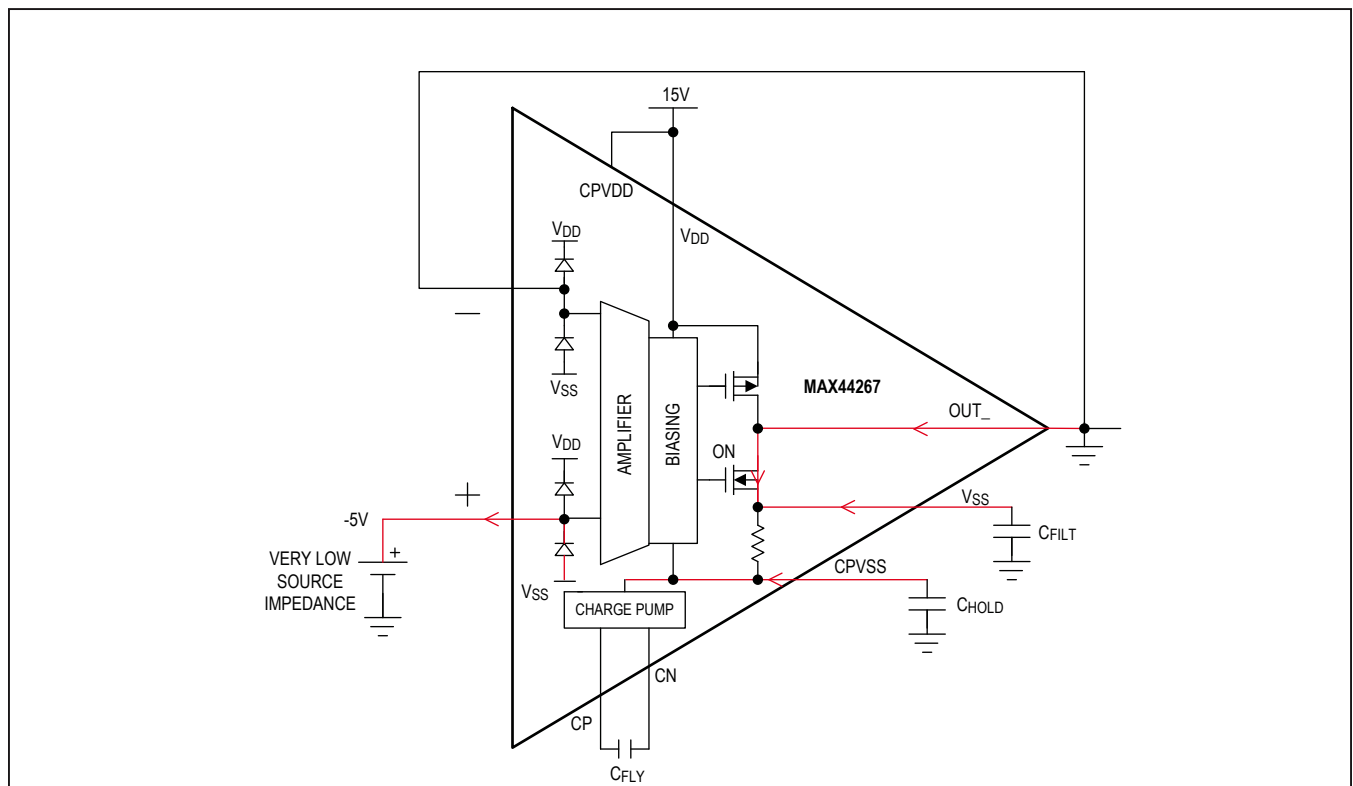


図7. MAX44267への過負荷によってラッチアップが発生する可能性

アプリケーション情報

計測アンプを使用しないブリッジ測定構成

MAX44267は低入力オフセット電圧と低ノイズを特長とするため、バイアス調整される歪みゲージに最適です(図8)。歪みゲージブリッジは基準ソースによるバイアスが最も一般的で、その場合ブリッジからの出力は基準電圧の約半分になります。グランド付近にバイアスする場合、負の電源が利用可能である必要があります。そのため、ブリッジを基準電圧の2倍でバイアスし、中央を0Vにします(アンプX1のオフセット電圧内)。ブリッジにかかる電圧を2倍にすると感度が2倍になりますが、もちろん、流れる電流も2倍になるという欠点があります。

この場合ブリッジの中央は強制的に0Vになるため、歪みが加えられていない場合、ノード[ip]も0Vになり、ブリッジのゼロ歪みの較正範囲内になります。ゼロバイアスポイントを制御した後、アプリケーションはデュアルMAX44267内の第2のアンプを使用して、コモンモード誤差による出力の飽和という通常のリスクなしに、非常に大きい、ダイレクト結合された利得を得ることができます。

図に示したフルブリッジは、通常はフルスケールがバイアス電圧の約0.1%の差動出力を生成します。バイアス電圧を2倍にすると、感度が2倍になり、高利得アンプのコモンモード誤差も除去されます。歪みの増大とともにRB3とRB2の抵抗値が減少し、RB1とRB4の抵抗値が増大するように設定されている場合、出力でのフルスケール出力は+819.2mVになります。コンデンサC1のサイズの選択によって、不要な帯域幅とそれに伴うノイズを排除することができます。ブリッジが各レッグに10k Ω の抵抗値を使用している場合、ノイズは約24nV $\sqrt{Hz}$ になり、それが信号と

ともに100倍に増幅されて2.4 μV になります。帯域幅を100Hzまでに維持した場合、これはわずか24 μV_{RMS} または約300 μV_{p-p} であり、SN比は68dBになります。もちろん、適切な長さの時間にわたって読み値を平均することによってこれを改善することが可能で、通常は60Hz (50Hz)のサイクルの整数倍にすることで分解能の向上と60Hzの電源系に対する感度の低下の両方が提供されます。

レイアウトのガイドライン

MAX44267は超低オフセット電圧およびノイズを特長とするため、ゼーベック効果による誤差が大きくなります。そのため、最高の性能を実現するには、以下のレイアウトのガイドラインに従ってください。

2つの異なる金属の接合部での温度勾配を避けてください。PCBで異なる金属が使用される最も一般的な場所は、はんだと部品のリード間およびはんだと基板トレース間です。異なる金属は局所的な熱電対を作ります。基板全体の温度にばらつきがあると、はんだ接合部でのゼーベック効果によって追加のオフセットが発生します。ゼーベック効果を最小限に抑えるため、可能な場合はアンプを基板上の潜在的熱源から遠ざけて配置してください。抵抗は両端が等しく加熱されるように向きを決めてください。熱電気接合部の種類と数が常に同じになるように入力信号経路を整合させるのは良い手法です。たとえば、ダミーの0 Ω 抵抗を使用して、信号経路の実際の抵抗による熱電気発生源を相殺する向きに配置することを検討してください。PCB全体にグランドプレーンを充填することが推奨されます。グランドプレーンは熱の均一な分散を確保し、ゼーベック効果によってオフセット電圧が劣化する可能性を低減します。

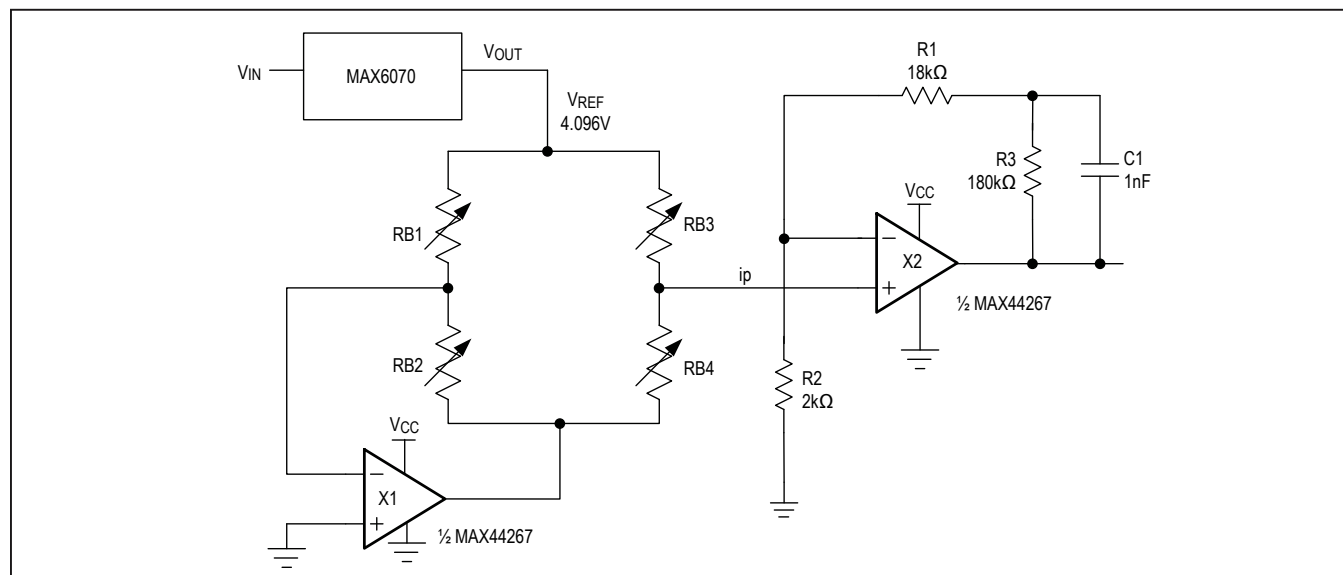


図8. 計測アンプを使用しないブリッジ測定構成

標準アプリケーション回路

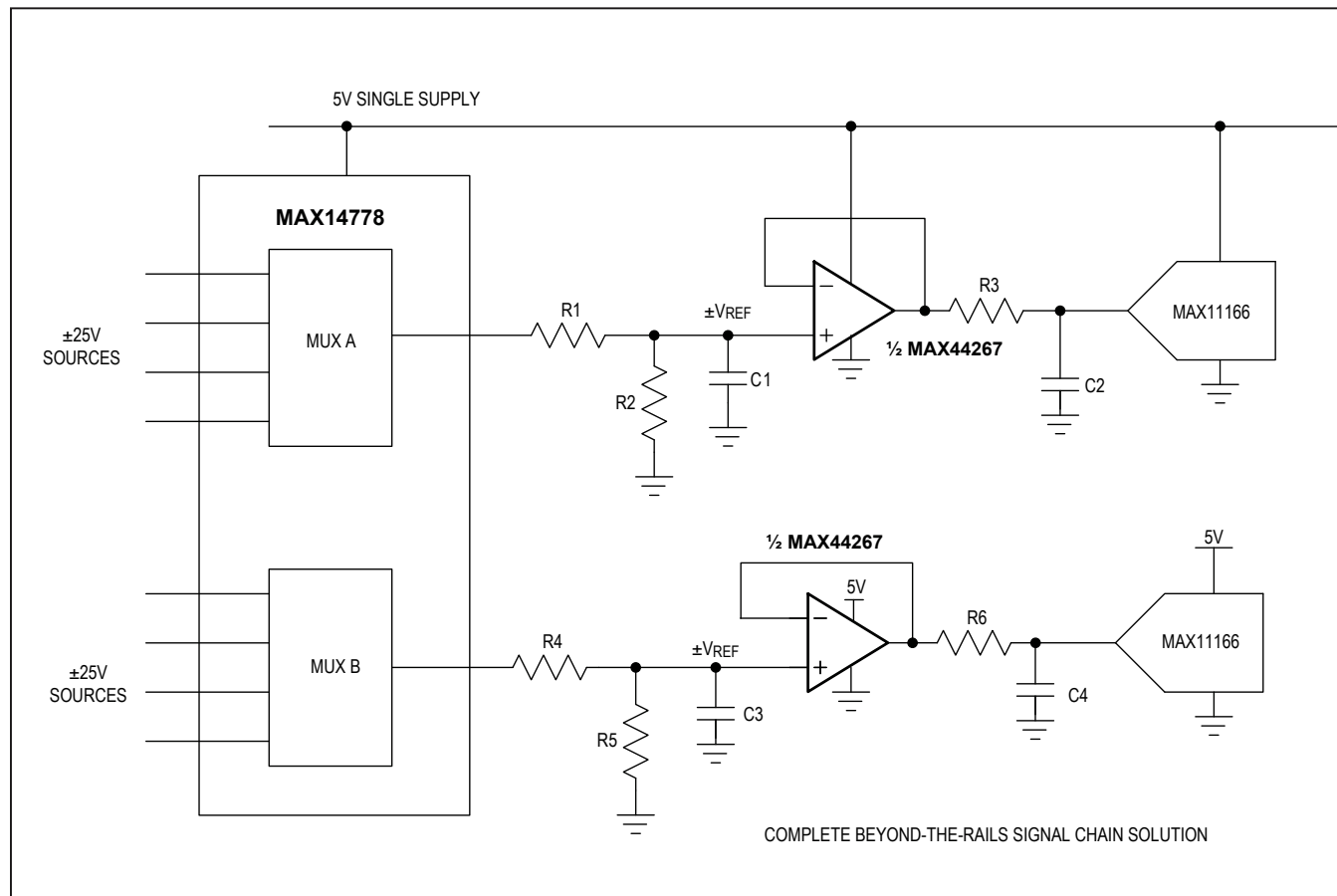


表1. 標準動作回路の選択ガイド

PART NO.	FUNCTION	VOLTAGE SUPPLY RANGE (V)	INPUT VOLTAGE RANGE (V)
MAX44267	Precision amplifier	+4.5 to +15.5	-12.0 to +13.5
MAX14778	4:1 mux	+3 to +5.5	± 25
MAX14762	2-channel switch	+3 to +5.5	± 25
MAX11167	16-bit ADC	+5	± 5

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX44267AUD+	-40°C to + 125°C	14 TSSOP

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は www.maximintegrated.com/jp/packaging を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージ タイプ	パッケージ コード	外形図No.	ランド パターンNo.
14 TSSOP	U14+1	21-0066	90-0113

改訂履歴

版数	改訂日	説明	改訂ページ
0	11/14	初版	—
1	2/15	「概要」を更新	1



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

19