

新規設計用に推奨されていません。

この製品は外部ファウンドリによって製造されたマキシム製品ですが、今後その入手ができなくなりました。新設計用に推奨されていません。データシートは既存ユーザ向けのみに提供されています。

マキシムの代替品または他社のセカンドソースが入手可能な場合があります。この製品のクイックビューデータシートを参照するか、質問がありましたらテクニカルサポートにお問い合わせください。

詳細については[マキシムのアプリケーションテクニカルサポートにお問い合わせください](#)。

広帯域トランスコンダクタンス・アンプ**MAX435/MAX436****概要**

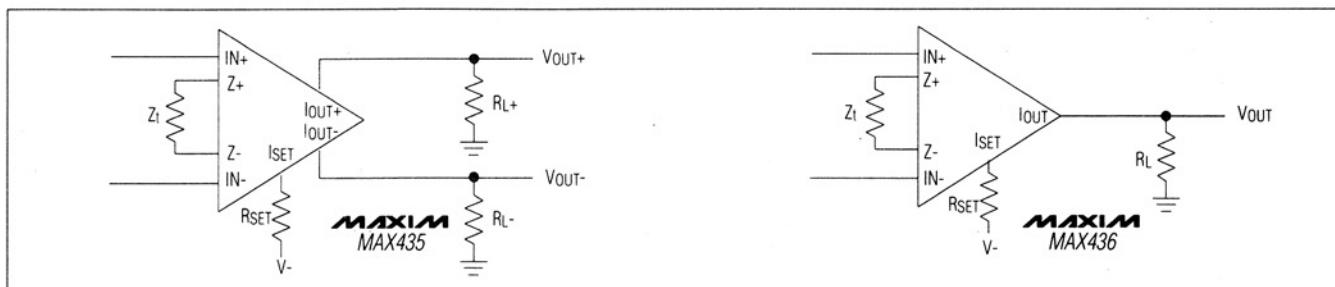
MAX435およびMAX436は、真の差動、高インピーダンス入力を備えた高速、広帯域のトランスコンダクタンス・アンプ(WTA)です。これらのデバイスは、独特な構造によってネガティブ・フィードバックを行うことなく正確なゲインを実現するため、通常の高速アンプにおいて回路が発振する第一の原因であったクローズドループ位相シフトが起りません。WTAの出力は、与えられた差動入力電圧に比例する電流であるため、出力回路の短絡に対する保護を本来的に備えています。回路ゲインは、2つのインピーダンスの比と、内部設定された電流ゲイン係数(K)で決まります。

差動出力のMAX435は、電流出力を備え、ネガティブ・フィードバックを持たないことから、275MHzの帯域幅、 $800V/\mu s$ のスルー・レート、0.5Vステップ入力において18nsの1%セトリング時間性能を有しています。シングルエンド出力のMAX436は、200MHzの帯域幅、 $850V/\mu s$ のスルー・レート、0.5Vステップ入力において18nsの1%セトリング時間性能を有しています。いずれのアンプも、10MHzにおいて53dBのCMRRという、優れた広帯域同相除去性能を備えています。 $300\mu V$ の入力オフセット電圧は、高速オペアンプでは稀なレベルのDC精度です。

電流フィードバック型アンプとは異なり、MAX435/MAX436は完全に対称で高インピーダンスの入力を備えています。このため、破損やアンプの飽和を起こすことなく広い差動入力電圧を許容し、過負荷に対するリカバリ時間も実質的に排除します。これらのWTAがもつ独特的な機能は、高速インスルメンテーション・アンプや広帯域、高利得・バンドパス・アンプなど、広範囲の用途に適合します。さらに、差動出力をもつMAX435は高速差動ライン・ドライバ/レシーバの用途に用いることができます。

アプリケーション

高速インスルメンテーション・アンプ
高速フィルタ
広帯域、高利得・バンドパス・アンプ
差動ライン・レシーバ
差動ライン・ドライバ

標準動作回路**特長**

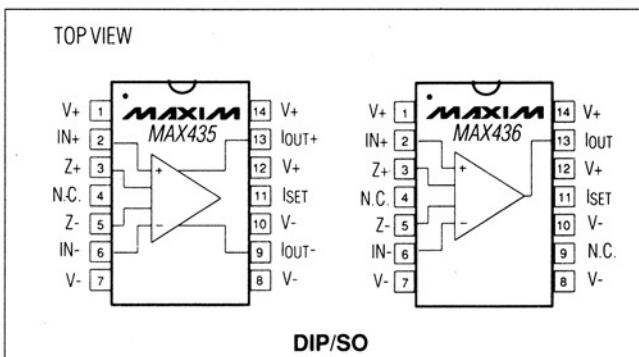
- ◆ 帯域幅：275MHz(MAX435)
- ◆ スルー・レート： $850V/\mu s$
- ◆ セトリング時間：18ns(1%まで)
- ◆ CMRR：53dB(10MHzにて)
- ◆ 低ノイズ： $7nV/\sqrt{Hz}$ (1kHzにて)
- ◆ フィードバック不要
- ◆ 真の差動ハイ・インピーダンス入力
- ◆ シャットダウン能力： $450\mu A$ (MAX435)

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX435CPD	0°C to +70°C	14 Plastic DIP
MAX435CSD	0°C to +70°C	14 SO
MAX435C/D	0°C to +70°C	Dice*
MAX435EPD	-40°C to +85°C	14 Plastic DIP
MAX435ESD	-40°C to +85°C	14 SO
MAX435MJD	-55°C to +125°C	14 CERDIP

Ordering Information continued on last page.

* Dice are specified at $T_A = +25^\circ C$, DC parameters only.

ピン配置

広帯域トランスコンダクタンス・アンプ

ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage (V+ to V-)	12V
Positive Supply Voltage (V+ to GND)	6.0V
Negative Supply Voltage (V- to GND)	-6.0V
Input Voltage	(V- - 0.3V) to (V+ + 0.3V)
Current Limit through Z+ or Z-	10mA
Output Short-Circuit Duration	Continuous
ISET Short-Circuit Duration (to GND or VEE)	1 sec
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
Plastic DIP (derate 10.00mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	800mW

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS – MAX435

($V_+ = 5\text{V}$, $V_- = -5\text{V}$, $-2.5\text{V} \leq \text{IN}+ \leq 2.5\text{V}$, $-2.5\text{V} \leq \text{IN}- \leq 2.5\text{V}$, $Z_{L+} = Z_{L-} = 50\Omega$, $Z_t = 400\Omega$, $R_{SET} = 5.9\text{k}\Omega$, $T_A = +25^\circ\text{C}$, $T_j = +25^\circ\text{C}$, unless otherwise noted. Specification is at $+25^\circ\text{C}$ junction temperature due to requirements of high-speed automatic testing. Actual values at operating temperatures may exceed the value at $T_j = +25^\circ\text{C}$. No-load operating junction temperature may rise 30°C to 50°C above ambient.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V_+, V_-	-55°C to +125°C	±4.75	±5.00	±5.25	V
Supply Current	I_S	-55°C to +125°C	30	35	41	mA
Input Voltage Range	$\text{IN}+, \text{IN}-$	-55°C to +125°C	-2.5		2.5	V
Input Offset Voltage	V_{OS}			0.3	3.0	mV
Input Offset-Voltage Drift	$\Delta V_{OS}/\Delta T$			3.5		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$T_A = +25^\circ\text{C}$		1.0	3.0	μA
		0°C to +70°C			5	
		-40°C to +85°C			10	
		-55°C to +125°			10	
Input Resistance	R_{IN}		200	800		$\text{k}\Omega$
DC Resistance Looking into Z+ or Z-	R_Z			0.15	1.50	Ω
Output Voltage Range	$V_{OUT}+, V_{OUT}-$	$Z_{L+} = Z_{L-} = 500\Omega$	-3.5		3.5	V
Output Impedance	R_{OUT}		2.0	3.5		$\text{k}\Omega$
Output Current	I_{OUT}		-10		10	mA
Differential Output Offset Current	$I_{OS, DIFF}$	Z+ and Z- are open, inputs are grounded	-140	0	140	μA
Output Offset Current (either side)	I_{OS}	Z+ and Z- are open, inputs are grounded	-100	-20	100	μA
Output Offset-Current Drift (either side)	$\Delta I_{OS}/\Delta T$	Z+ and Z- are open, inputs are grounded		2.3		$\mu\text{A}/^\circ\text{C}$
Current Gain Ratio	K	$T_A = +25^\circ\text{C}$	3.90	4.00	4.10	A/A
		0°C to +70°C	3.80		4.15	
		-40°C to +85°C	3.70		4.15	
		-55°C to +125°	3.60		4.20	
Common-Mode Rejection Ratio	$CMRR$	At DC	70	90		dB
		At 10MHz, $Z_t = 200\Omega$, $Z_{L+} = Z_{L-} = 25\Omega$		53		
Power-Supply Rejection Ratio	$PSRR$	At DC	50	77		dB
Settling Time to 1%	t_s	$Z_t = 200\Omega$, $Z_{L+} = Z_{L-} = 25\Omega$		18		ns
Slew Rate	SR	Z_t shorted		800		$\text{V}/\mu\text{s}$
		Z_t shorted, $Z_{L+} = Z_{L-} = 25\Omega$		550		
-3dB Bandwidth	BW	$Z_t = 200\Omega$, $Z_{L+} = Z_{L-} = 25\Omega$		275		MHz
Input Noise-Voltage Density	e_n	At 1kHz, single-ended input, $Z_t = 50\Omega$		7.0		$\text{nV}/\sqrt{\text{Hz}}$

SO (derate 8.33mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	667mW
CERDIP (derate 9.09mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$)	727mW
Operating Temperature Ranges:	
MAX43_C	0°C to $+70^\circ\text{C}$
MAX43_E	-40°C to $+85^\circ\text{C}$
MAX43_MJD	-55°C to $+125^\circ\text{C}$
Storage Temperature Range	-65°C to $+160^\circ\text{C}$
Lead Temperature (soldering, 10 sec)	+300°C

広帯域トランスコンダクタンス・アンプ

MAX435/MAX436

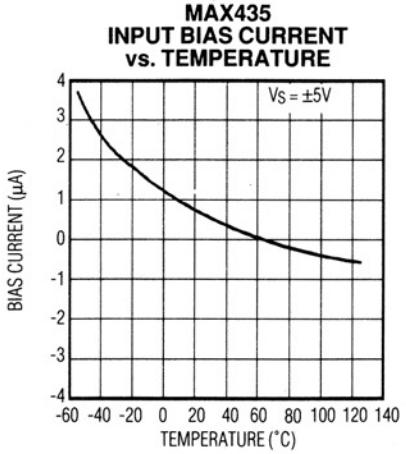
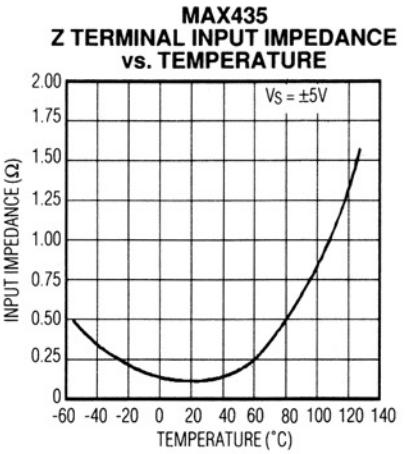
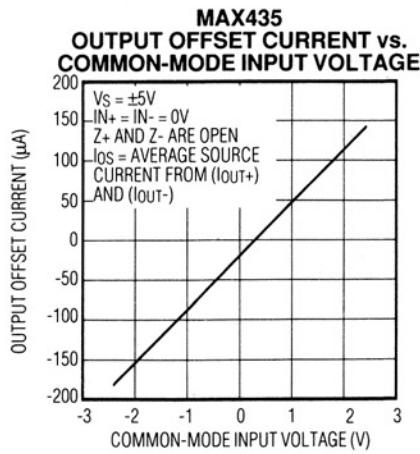
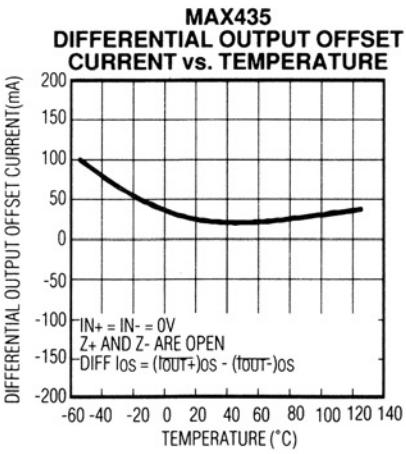
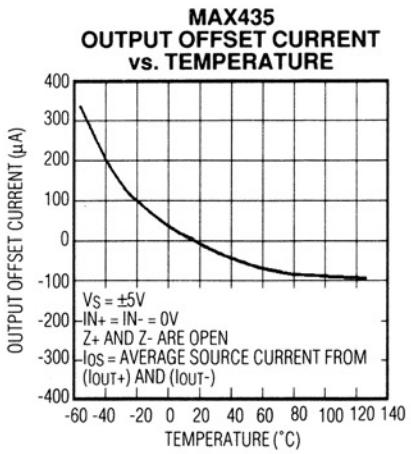
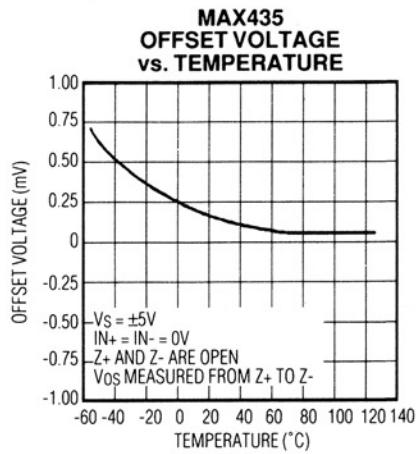
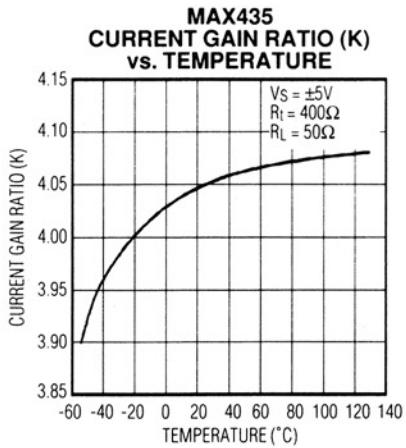
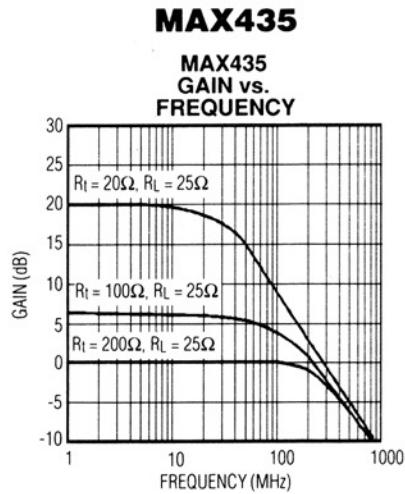
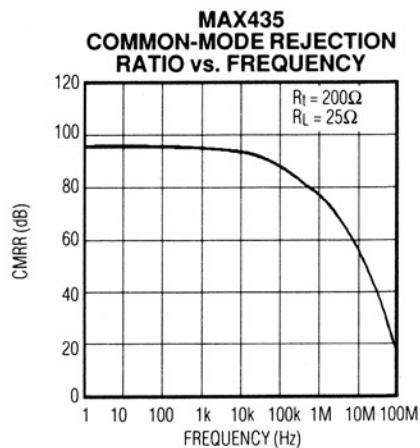
ELECTRICAL CHARACTERISTICS – MAX436

($V_+ = 5V$, $V_- = -5V$, $-2.5V \leq IN_+ \leq 2.5V$, $-2.5V \leq IN_- \leq 2.5V$, $Z_{L+} = 50\Omega$, $Z_t = 400\Omega$, $R_{SET} = 5.9k\Omega$, $T_A = +25^\circ C$, $T_j = +25^\circ C$, unless otherwise noted. Specification is at $+25^\circ C$ junction temperature due to requirements of high-speed automatic testing. Actual values at operating temperatures may exceed the value at $T_j = +25^\circ C$. No-load operating junction temperature may rise $30^\circ C$ to $50^\circ C$ above ambient.)

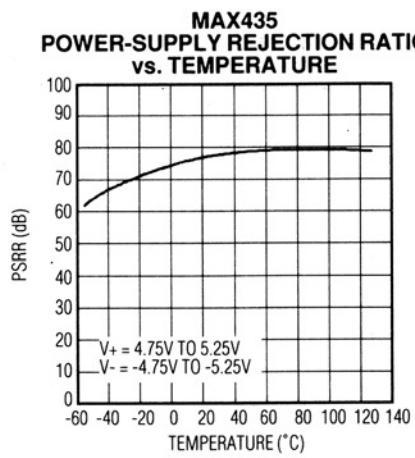
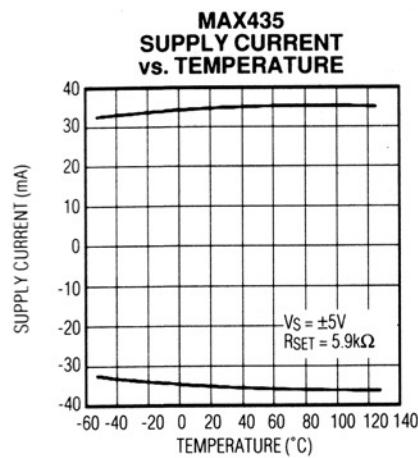
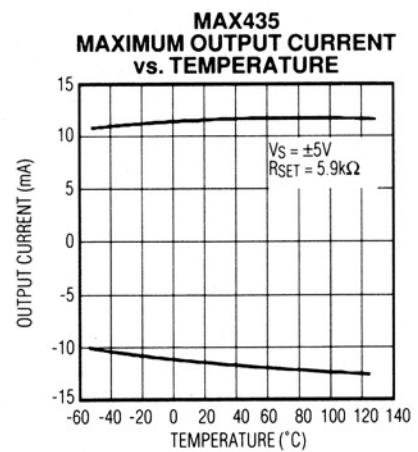
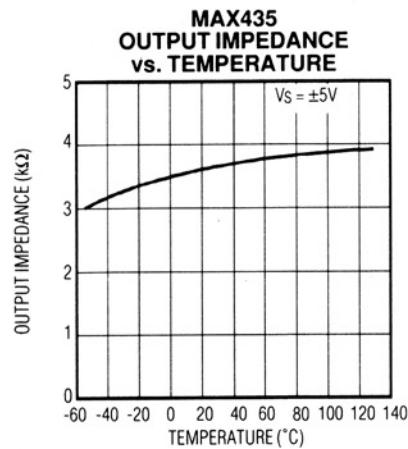
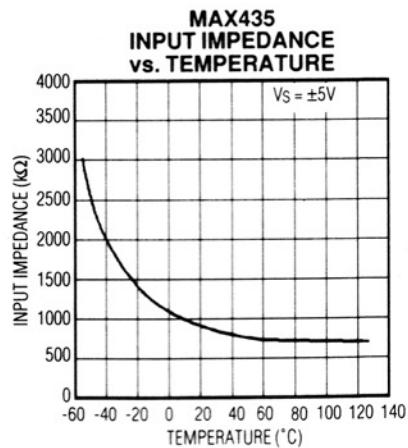
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V_+, V_-	$-55^\circ C$ to $+125^\circ C$	± 4.75	± 5.00	± 5.25	V
Supply Current	I_S	$-55^\circ C$ to $+125^\circ C$	30	35	41	mA
Input Voltage Range	IN_+, IN_-	$-55^\circ C$ to $+125^\circ C$	-2.5		2.5	V
Input Offset Voltage	V_{OS}			0.3	3.0	mV
Input Offset-Voltage Drift	$\Delta V_{OS}/\Delta T$			3.5		$\mu V/^\circ C$
Input Bias Current	I_B	$T_A = +25^\circ C$		1.0	3.0	
		$0^\circ C$ to $+70^\circ C$			5	
		$-40^\circ C$ to $+85^\circ C$			10	
		$-55^\circ C$ to $+125^\circ C$			10	
Input Resistance	R_{IN}		200	700		$k\Omega$
DC Resistance Looking into Z_+ or Z_-	R_Z			0.15	1.50	Ω
Output Voltage Range	V_{OUT+}, V_{OUT-}	$Z_{L+} = 500\Omega$	-3.5		3.5	V
Output Impedance	R_{OUT}		2.0	3.3		$k\Omega$
Output Current	I_{OUT}		-20		20	mA
Output Offset Current	I_{OS}	Z_+ and Z_- are open, inputs are grounded.	-100	6	100	μA
Output Offset-Current Drift	$\Delta I_{OS}/\Delta T$	Z_+ and Z_- are open, inputs are grounded.	0.75			$\mu A/^\circ C$
Current Gain Ratio	K	$T_A = +25^\circ C$	7.8	8.0	8.2	
		$0^\circ C$ to $+70^\circ C$	7.7		8.3	
		$-40^\circ C$ to $+85^\circ C$	7.6		8.3	
		$-55^\circ C$ to $+125^\circ C$	7.4		8.4	
Common-Mode Rejection Ratio	$CMRR$	At DC	70	84		
		At 10MHz, $Z_t = 200\Omega$, $Z_{L+} = 25\Omega$		53		dB
Power-Supply Rejection Ratio	$PSRR$	At DC	40	50		dB
Settling Time to 1%	t_s	$Z_t = 200\Omega$, $Z_{L+} = 25\Omega$		18		ns
Slew Rate	SR	Z_t shorted		850		
		Z_t shorted, $Z_{L+} = Z_{L-} = 25\Omega$		450		$V/\mu s$
-3dB Bandwidth	BW	$Z_t = 200\Omega$, $Z_{L+} = 25\Omega$		200		MHz
Input Noise-Voltage Density	e_n	At 1kHz, single-ended input, $Z_t = 50\Omega$		7.0		nV/\sqrt{Hz}

広帯域トランスコンダクタンス・アンプ

標準動作特性

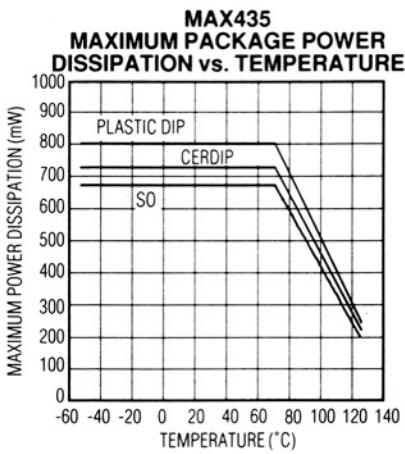
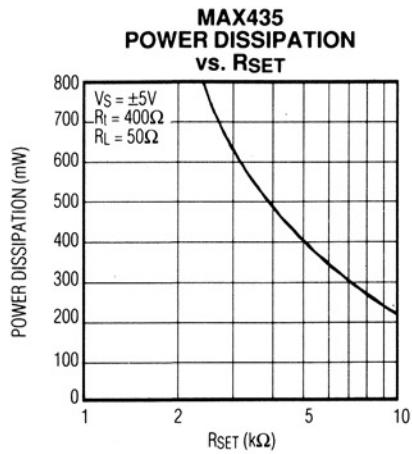
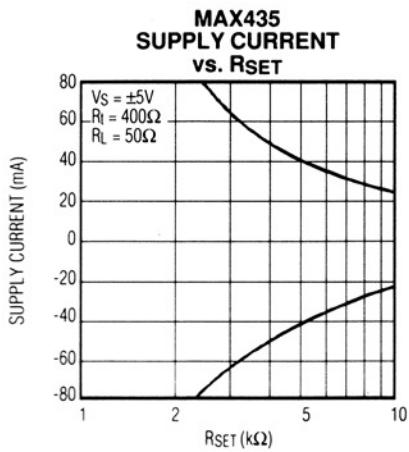
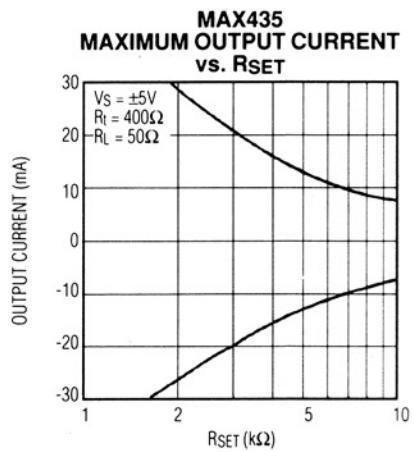
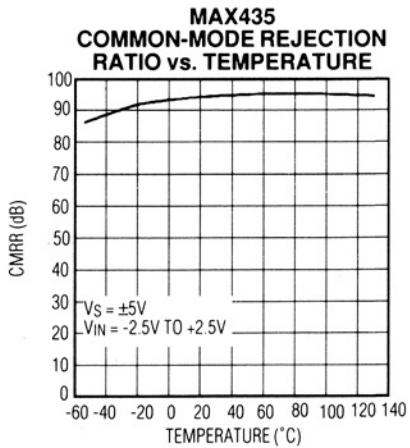


標準動作特性(続き)



広帯域トランスコンダクタンス・アンプ

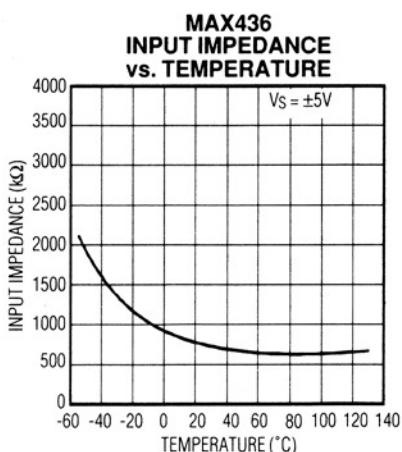
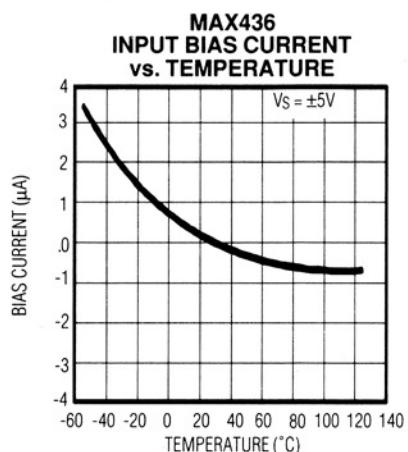
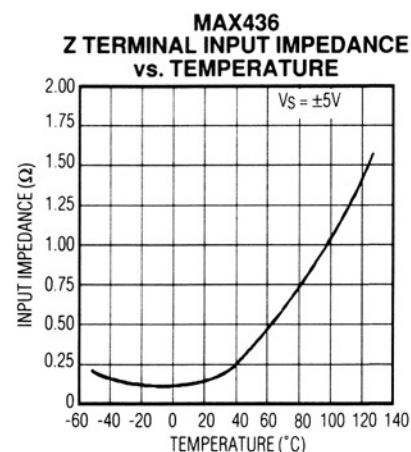
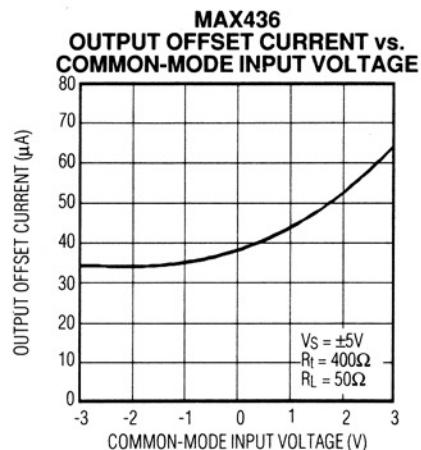
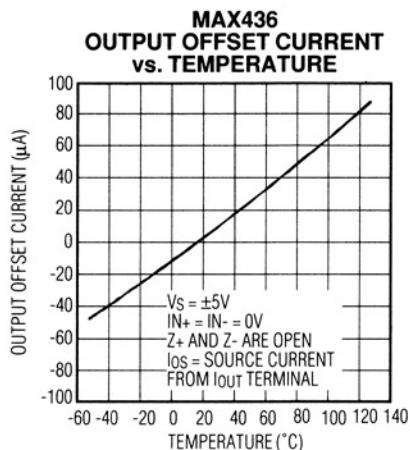
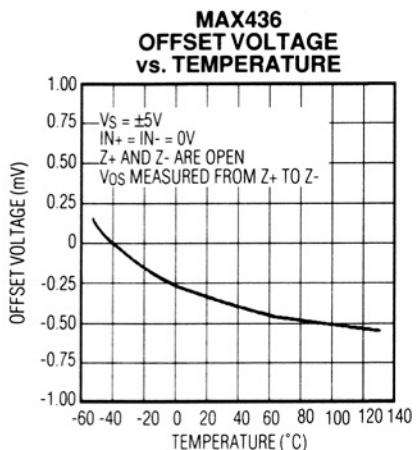
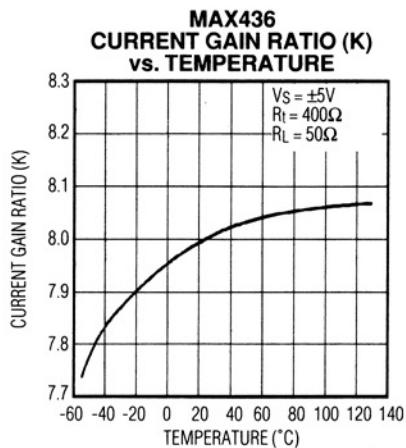
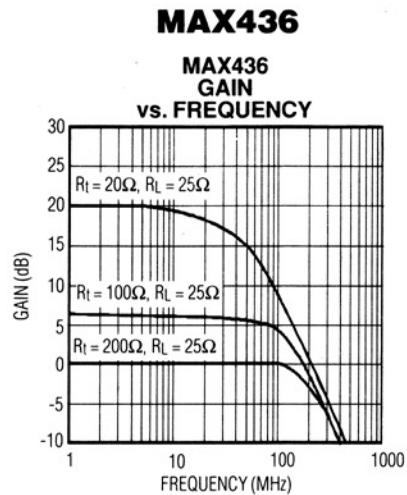
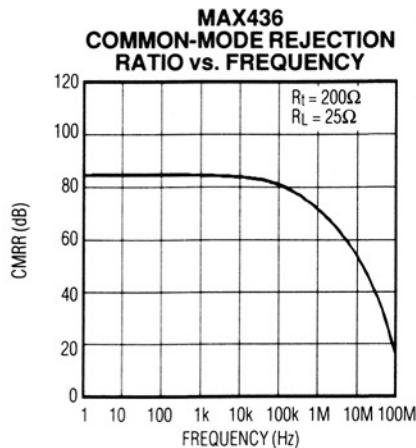
標準動作特性(続き)



広帯域トランスコンダクタンス・アンプ

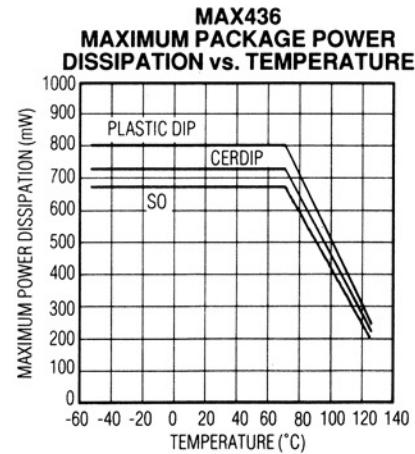
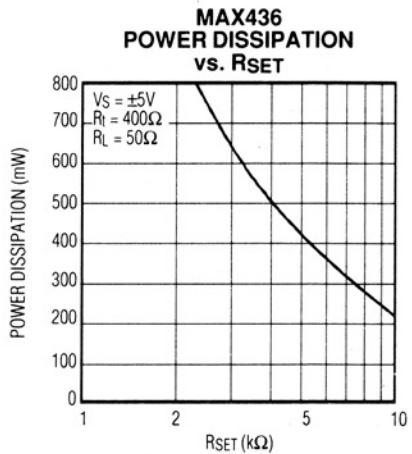
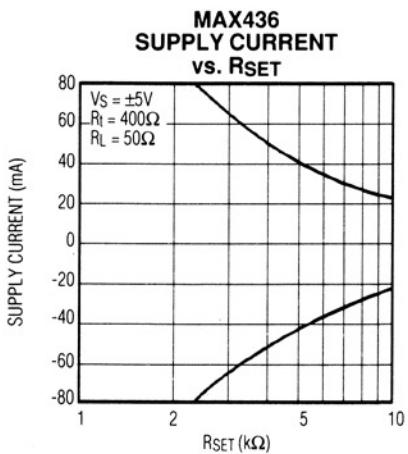
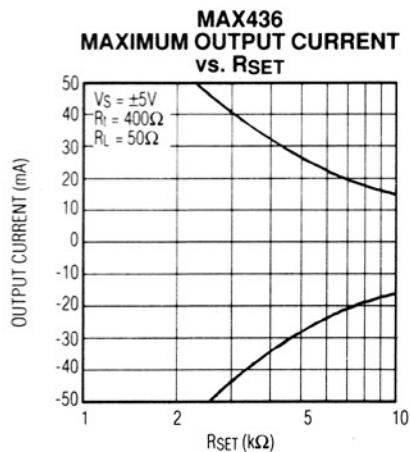
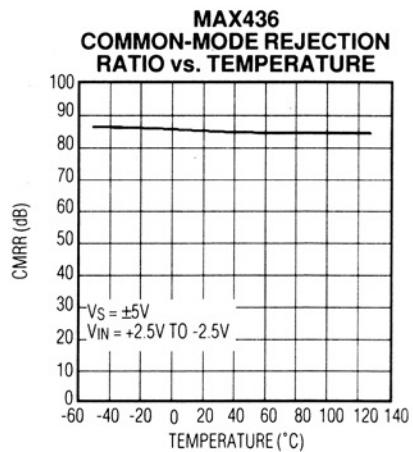
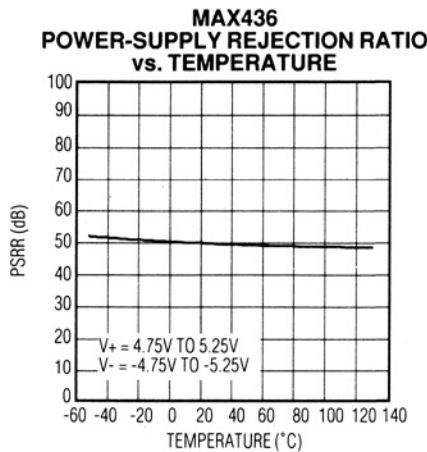
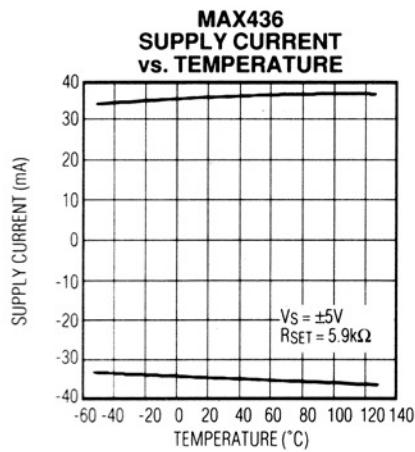
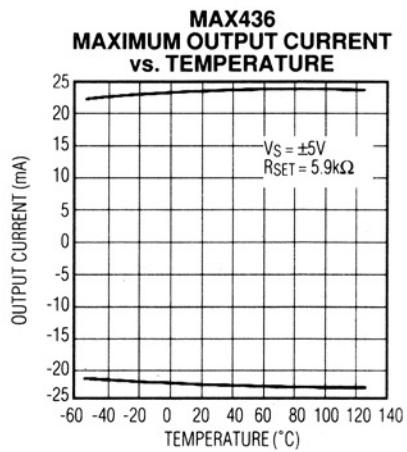
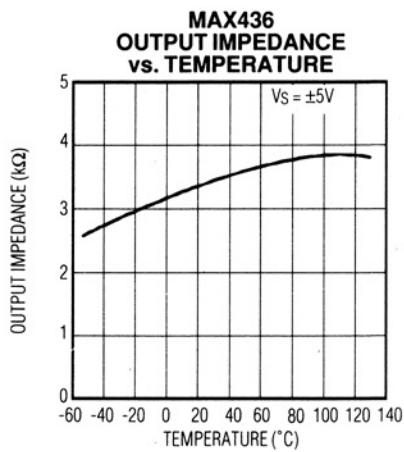
標準動作特性(続き)

MAX435/MAX436



広帯域トランスコンダクタンス・アンプ

標準動作特性(続き)



広帯域トランスコンダクタンス・アンプ

端子説明

端子	名 称	機 能
MAX435 1, 12, 14	MAX436 1, 12, 14	V ₊ 正電源電圧(+5V)
2	2	IN ₊ 非反転アンプ入力
3	3	Z ₊ 正トランスコンダクタンス・ピン
4	4, 9	N. C. 未接続。このピンはオープンにしてください。
5	5	Z ₋ 負トランスコンダクタンス・ピン
6	6	IN ₋ 反転アンプ入力
7, 8, 10	7, 8, 10	V ₋ 負電源電圧(-5V)
9	—	I _{OUT-} 反転差動出力
11	11	I _{SET} 電源電流設定ピン
13	—	I _{OUT+} 非反転差動出力
—	13	I _{OUT} アンプ出力ピン

動作原理

MAX435/MAX436は、広帯域トランスコンダクタンス・アンプ(WTA)で、フィードバック無しで動作します。これらのアンプは、クローズドループ位相シフトがアンプの安定性に影響しないため、きわめて安定です。通常の電圧モード・アンプとは異なり、WTAは内部的に設定される主ポールの補償を必要としません。電圧モード・アンプでは、オープンループ・ゲインのロールオフや高周波位相シフトを防ぐために、このポールが必要です。

MAX435/MAX436の独自の構造により、シングルエンド(MAX436)あるいは差動(MAX435)の信号ゲインを、ユーザ選択によるトランスコンダクタンス要素またはネットワーク(Z_t)と、出力負荷インピーダンス(Z_L)の、2つのインピーダンスの比によって設定することができます。図Iに示すように、WTAは基本的に電圧制御型の電流ソースです。

MAX435/MAX436の出力は、差動入力電圧に比例し、ユーザが選択したトランスコンダクタンスまたはネットワーク(Z_t)に逆比例する電流です。電流出力型であることから、出力ピンの短絡から本質的に保護されています。

入力ピン間に与えられる差動入力電圧(V_{IN})が、トランスコンダクタンス要素(Z_t)に電流が流れる原因となります。この電流は、 V_{IN}/Z_t に等しいです。トランスコンダクタンス要素に流れる電流はWTAの電流ゲイン(K)だけ乗じられ、出力ピンに($K \times (V_{IN})/Z_t$)に等しい電流として現れます。この電流が負荷インピーダンス内を流れ、次式に等しい出力電圧が発生します。

$$V_{OUT} = K(Z_L/Z_t)V_{IN}$$

ここで、

K = WTAの電流ゲイン比

Z_L = 出力負荷インピーダンス

Z_t = トランスコンダクタンス要素のインピーダンス

V_{IN} = 差動入力電圧

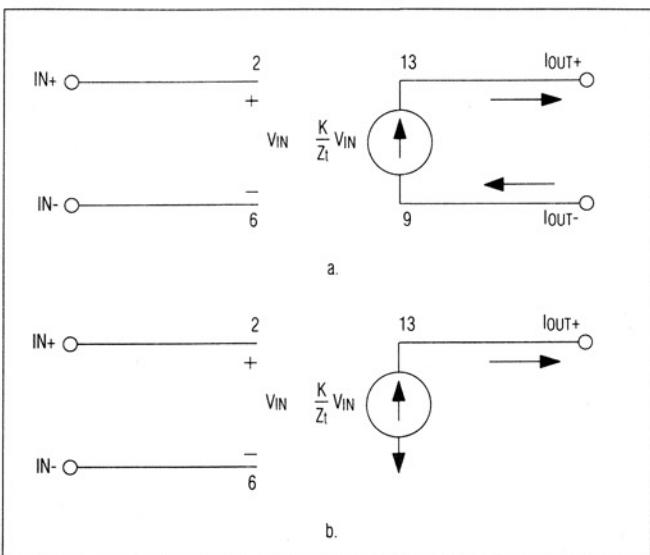
電流フィードバック型アンプとは異なり、MAX435/MAX436は入力インピーダンスが約750kΩの対称な入力を備えています。これにより、“標準動作回路構成”に示すような、真の差動入力応用を実現しています。さらに入力が対称であることから、入力ピンを入れ替えることにより、逆の信号極性を得ることも可能です。

正しい値の部品を選択することによって、WTAの入力電圧範囲の全域(-2.5V~+2.5V)にわたる差動入力電圧を、出力段に過負荷を発生することなく許容できるアンプ回路を実現することができます。この特性から、MAX435/MAX436は広帯域インスツルメンテーション・アンプ、差動レシーバ、および、セトリング時間測定回路での使用に最適です。

設計手順

回路ゲインの設定

MAX435/MAX436は、差動入力電圧 V_{IN} にトランスコンダクタンス K/Z_t を乗じることにより出力電流を発生します。電圧ゲイン(A_V)は、トランスコンダクタンス・ネットワークのインピーダンス(Z_t)と出力負荷インピーダンス(Z_L)から、次式によって設定されます。



図I. a)MAX435の動作モード。b)MAX436の動作モード

MAX435/MAX436

広帯域トランスコンダクタンス・アンプ

$$A_v = K(Z_L/Z_t)$$

このゲイン式内の係数Kは、 WTAの電流ゲインです。Kの値は、 WTAの応用時に低ドリフトで安定した回路ゲインを与えるよう、 内部設定されています。Kの値は、 MAX435では $4.0 \pm 2.5\%$ 、 MAX436では $8.0 \pm 2.5\%$ に設定されています。

ゲイン式内の Z_t は、ユーザが選択する2端子トランスコンダクタンス要素あるいはネットワークのインピーダンスです。このネットワークは、 Z_+ および Z_- という名称の、 WTAのトランスコンダクタンス・ピンの間に接続します。トランスコンダクタンス・ネットワークは、必要な回路ゲインと周波数形状を得るために、出力インピーダンスに応じて選択してください。また直線性を保つため、トランスコンダクタンス・ネットワークは、その中を流れる V_{IN}/Z_t に等しい電流が、最大入力電圧および最小トランスコンダクタンス要素インピーダンス(Z_t)の最悪条件下において $2.5mA$ を越えないような値を選択してください。出力電流は、 MAX435では出力毎に $\pm 10mA$ 、 MAX436では $\pm 20mA$ を越えないようにしてください。

消費電流(I_{SET})制御

外部電流ソースがWTAの内部電流を制御します。 I_{SET} ピンと負電源ピン(V_-)間に外部抵抗(R_{SET})を接続することで、電流ソースを制御します。この外部抵抗の標準値は $5.9k\Omega$ で、この値のとき、 MAX435では出力毎に $\pm 10mA$ 、 MAX436では $\pm 20mA$ の出力電流駆動能力が得られます。電流ソースをデカップルするために、 I_{SET} ピンと V_+ ピン間に $0.22\mu F$ のセラミック・コンデンサを接続してください。

より大きな値の抵抗を接続すると、デバイスの電源電流、消費電力、出力電流駆動能力が減少します。より小さな値の抵抗を接続することで、出力電流駆動能力は増加しますが、特定の回路動作条件における消費電力がデバイスの各パッケージ・タイプでの消費電力定格を越えないように注意してください。基本的には、最大負荷電流と回路の動作周囲温度について考慮することが重要です。さまざまな R_{SET} 値における負荷電流と消費電力の標準値については、「標準動作特性」内のグラフを参照してください。

シャットダウンモード

WTAの消費電流は R_{SET} の値によって変化しますが、差動入力電圧及び出力負荷には全く関係していません。WTAは内部トランジスタにおいて一定レベルの電流を維持し、差動入力電圧が印加された時に、この電流の一部を出力に流すことで、備えられた高速特性を充分に実現することができます。出力負荷がアクティブに駆動されない場合において消費電流を低減するために、 I_{SET} ピンを用いてWTAを低電力

のシャットダウンモードにすることができます。 I_{SET} ピンを R_{SET} 抵抗から切り離しオーブンになるとことで、消費電流はMAX435では約 $450\mu A$ に、 MAX436では約 $850\mu A$ に低減されます。WTAを再度アクティブにする場合には、単純に I_{SET} ピンを R_{SET} 抵抗に接続しなおします。

PIN	R_{SET}	Supply Current (μA Typ, +25°C)	
		MAX435	MAX436
I_{SET} (11)	Open (00)	450	850

DC精度

MAX435/MAX436を用いた回路のDC精度は、以下のような、さまざまな要因の影響を受けます。

- 1) 入力オフセット電圧
- 2) 出力オフセット電圧
- 3) WTA電流ゲイン係数(K)
- 4) 外部トランスコンダクタンスや負荷インピーダンスの許容誤差

WTAの入力オフセット電圧は、アンプの入力段を構成するトランジスタ間の V_{BE} 電圧のミスマッチによって生じます。通常のバイポーラ・アンプにおいても同様のメカニズムで入力オフセット電圧が生じます。入力オフセット電圧は、各入力(IN_+ と IN_-)をグランドに接続し、回路内にトランスコンダクタンス要素がないとき(Z_+ と Z_- がオープンのとき)に、トランスコンダクタンス・ピン間(Z_+ と Z_- 間)の電圧として測定されます。

実際の応用回路における入力オフセット電圧は、入力ピンに差動電圧が与えられていない際に、電流がトランスコンダクタンス要素に流れる原因となります。この電流がKと乗じられ、出力ピンにおける誤差電流となります。

2番目のDC誤差源は、出力オフセット電流です。このパラメータは、回路内にトランスコンダクタンス要素がなく(Z_+ と Z_- がオープン)、入力ピン(IN_+ と IN_-)をグランドに接続した状態で測定されます。出力オフセット電流は、このような条件下においてWTAの出力ピンから流れる電流です。出力オフセット電流は、WTA内の出力カレント・ミラーを構成する素子の、不完全なマッチングによって生じます。先に述べた入力オフセット電圧によって生じる出力電流は、全出力電流成分がトランスコンダクタンス要素の値によって変化するため、出力オフセット電流仕様には含まれていません。

入力オフセット電圧と出力オフセット電流に起因する、全DC出力電圧誤差(MAX435では、各出力ピン毎)は、次の式で算出します。

広帯域トランスコンダクタンス・アンプ

MAX435/MAX436

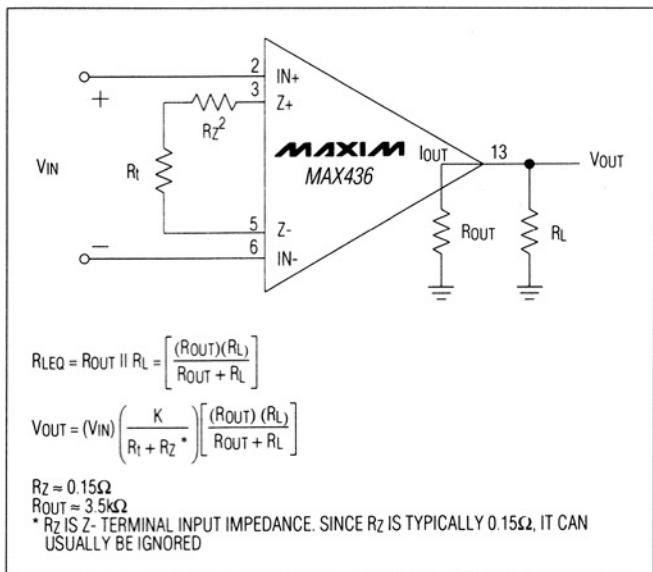


図2. WTAの有限出力インピーダンス

MAX435 :

$$\begin{aligned} V_{ERR+} &= (R_{L+}) [(I_{OS+}) + (K)(V_{OS}/R_t)] \\ V_{ERR-} &= (R_{L-}) [(I_{OS-}) - (K)(V_{OS}/R_t)] \\ V_{ERR(DIFF)} &= (V_{ERR+}) - (V_{ERR-}) \end{aligned}$$

MAX436 :

$$V_{ERR} = R_L [(I_{OS} + K(V_{OS}/R_t))]$$

ここで、

- V_{ERR} = 出力電圧誤差
- R_L = 出力負荷抵抗
- R_t = トランスコンダクタンス要素抵抗
- I_{OS} = 出力オフセット電流
- V_{OS} = 入力オフセット電圧($Z_+ \sim Z_-$)
- K = WTA電流ゲイン

デバイス相互間やさまざまな動作温度での電流ゲイン係数(K)のばらつきは、WTA応用におけるゲイン誤差源の一つです。各デバイスの K は、初期許容誤差 $\pm 2.5\%$ に内部設定されています。動作温度内での K のばらつきを、“電気的特性”内の表に示します。

また、有限な出力インピーダンスもアンプのゲインに影響を与えます。出力は、電圧制御の電流ソースです。理想的な電流ソースは無限大の出力インピーダンスをもつため、出力電流は負荷インピーダンスとは無関係です。しかし実際には、MAX435/MAX436の出力インピーダンスは約 $3.5k\Omega$ です。

図2に示すように、WTAの出力インピーダンス(R_{OUT})は回路の負荷インピーダンス(R_L)と並列に接続され、等価負荷インピーダンスを減少させています。WTAの有限な出力インピーダンス(R_{OUT})を加えた実際の回路ゲインは、次の式で算出することができます。

$$A_V = V_{OUT}/V_{IN} = (K/R_t) [(R_{OUT})(R_L)/(R_{OUT} + R_L)]$$

理論的なゲイン($A_V = K \times R_L/R_t$)を基準とした電圧ゲイン誤差(ΔA_V)は以下のようになります。

$$\Delta A_V/A_V = R_L/(R_L + R_{OUT})$$

電源のバイパスとボードレイアウト

WTAの構造によって回路の発振源となるクローズドループ位相シフトは排除されますが、WTA回路の性能を最適化するためには注意深い高周波回路の設計手法を用いる必要があります。

正しい電源のバイパス処理とボードのレイアウトに注意を払ってください。MAX435/MAX436には、グランド・プレーンを配してください。グランド・プレーンを用いる際は、特定の信号経路だけではなく、ボード全体に用いてください。

ソケットは、ピン-ピン間の容量を増し、広帯域性能を劣化させるため、ソケットを用いないでください。WTAの入力ピンに接続するトレースはできる限り短くし、信号の反射と、高周波信号のWTAとの誘導性結合を最小化してください。入力信号のトレースが数センチ以上になる場合、制御されたインピーダンス・ラインか同軸ケーブルを用い、すべての信号を正しく終端してください。入力コネクタのためのPCBパッド領域を最小化し、浮遊高周波信号の容量性結合を防いでください。

WTAと共に用いる受動部品はなるべく表面実装タイプのものを用い、浮遊インダクタンスを最小にしてください。表面実装タイプを用いない場合、各部品のリード線は可能な限り短くしてください。

各電源は、 $0.22\mu F$ のセラミック・コンデンサを用いてグランド・プレーンに直接バイパスし、このコンデンサはできる限り電源ピンの近くに配置してください。 I_{SET} ピンは $0.22\mu F$ のセラミック・コンデンサを用いて V_+ ピンにバイパスしてください。コンデンサのリード線は、直列インダクタンスを最小化するためにできる限り短くしてください。この用途では、表面実装型(チップ)コンデンサが理想的です。

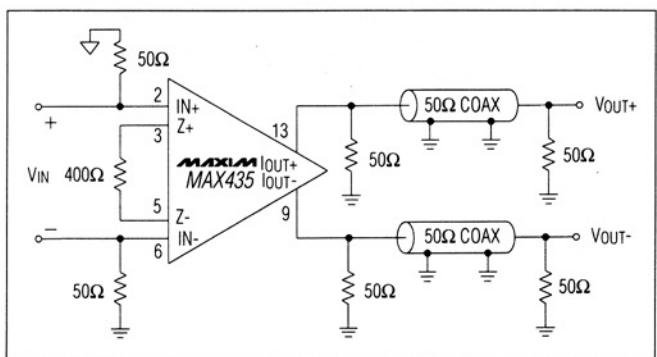


図3. MAX435同軸ケーブル駆動回路

広帯域トランスクンダクタンス・アンプ

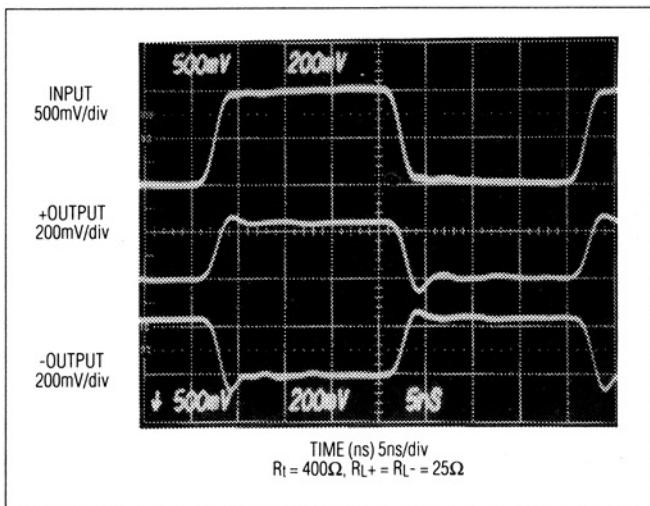


図4. MAX435パルス応答

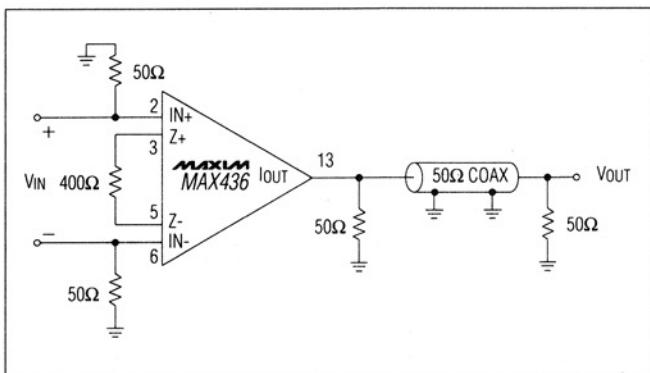


図5. MAX436同軸ケーブル駆動回路

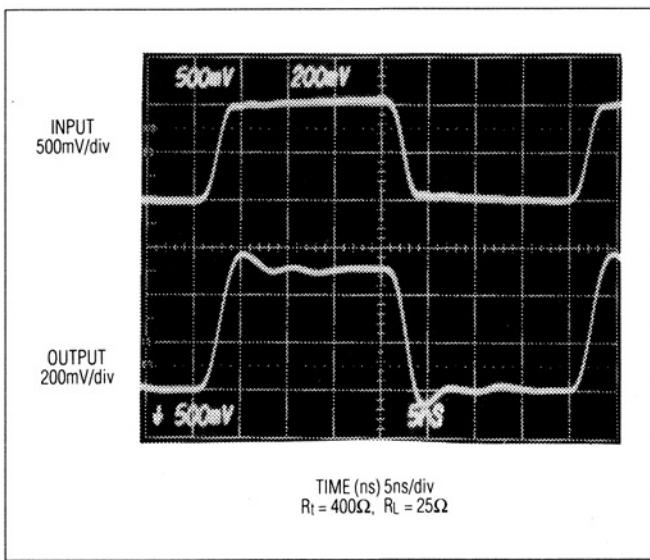


図6. MAX436パルス応答

容量性負荷の駆動

WTAはフィードバックを必要としないため、出力での容量性負荷に起因する位相シフトによって回路の安定性が劣化しません。容量性負荷の一番の影響は、出力スルー・レートと帯域幅の減少であり、これはWTAの出力電流によって容量性負荷を充電することができる充電レートによって制限されます。高周波でのフィードバックを起こし発振の原因となるため、WTAの出力ピンから、入力またはトランスクンダクタンス・ピンへの容量性の結合を避けてください。

アプリケーション

WTAは独特な構造をもつことから、数多くの独特的なアプリケーション回路を実現することができます。以下にそのいくつかを紹介します。

簡単のため、以下の応用回路図内ではバイパス・コンデンサと R_{SET} 抵抗は示していません。図3~16のすべての回路において、 R_{SET} は $5.9k\Omega$ です。このデータシート内のすべての応用回路において、各電源ピンは $0.22\mu F$ のセラミック・コンデンサを用いてGNDにバイパスされています。 I_{SET} ピンは、 $0.22\mu F$ のセラミック・コンデンサを用いて V_+ にバイパスされています。

同軸ケーブル・ドライバ

パワーの伝送を最大化し高速信号の歪みを最小化するため、伝送ラインは送信側と受信側の両端において、伝送ライン自体の特性インピーダンスで終端する必要があります。 50Ω の同軸ケーブルから最良の性能を得るためには、両端に 50Ω のインピーダンスが必要です。

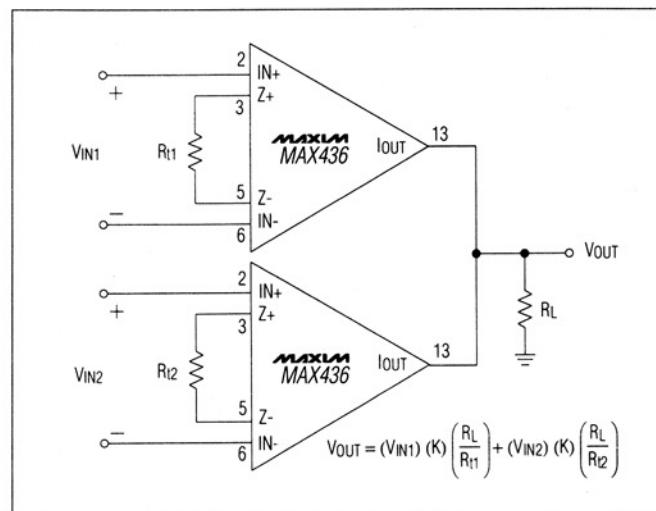


図7. 加算アンプ

広帯域トランスコンダクタンス・アンプ

MAX435/MAX436

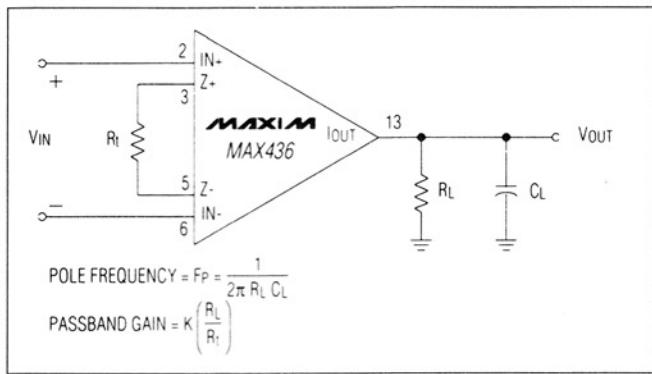


図8. ローパス・アンプ

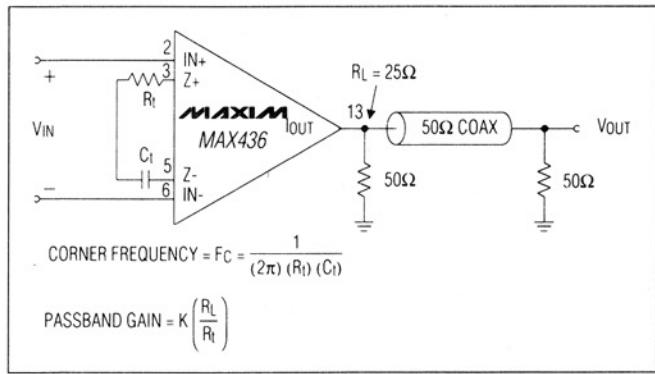


図10. ハイパス・アンプ

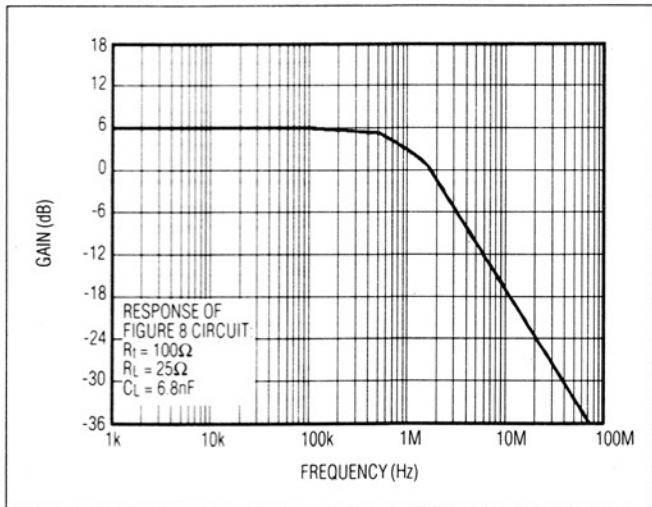


図9. ローパス・アンプのゲイン対周波数

電圧モード・アンプを用いる場合、この種のアンプの出力は非常に低インピーダンスであるため、標準的に同軸ケーブルの送信端はアンプ出力に直列接続された抵抗によって逆終端されます。

WTAsの出力は電流ソースであるため、出力インピーダンスは比較的高い値です(約3.5kΩ)。そのため、同軸ケーブルをWTAで駆動するとき、逆終端抵抗は図3および5に示すように、WTAsの出力インピーダンスと並列に配置してください。このような方式で逆終端されたケーブルは、回路の実効電圧ゲインを1/2に低減させてしまいます。

図3の回路のパルス応答を図4に、図5の回路のパルス応答を図6に示します。

加算アンプ

図7のように、複数のWTAsの出力ピンを単純に相互接続することで、複数の信号を加算することができます。

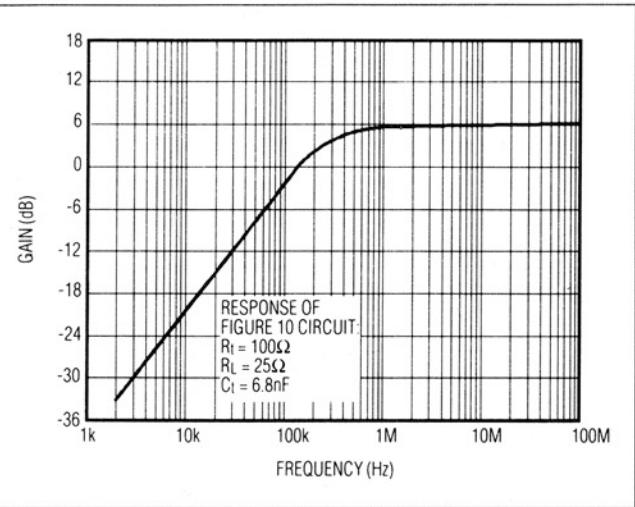


図11. ハイパス・アンプのゲイン対周波数

ローパス・アンプ

アンプの出力に並列RCネットワークを接続することで、図8のようなローパス・アンプを構成することができます。このアンプの-3dBコーナ周波数は次式になります。

$$F_C = 1/(2\pi)(R_L)(C_L)$$

$R_t = 100\Omega$ 、 $C_L = 6.8nF$ 、 $R_L = 25\Omega$ における図8の回路の応答を、図9に示します。

ハイパス・アンプ

図10の回路に示すような、トランスコンダクタンス・ピン間の直列RCネットワークにより、ハイパス・アンプを構成することができます。 $R_t = 100\Omega$ 、 $C_t = 6.8nF$ 、 $R_L = 25\Omega$ での、この回路の応答を図11に示します。

バンドパス・アンプ

トランスコンダクタンス・ネットワーク・インピーダンスと出力負荷インピーダンス間にはなんら相互関係がないため、2つのインピーダンス・ネットワークにより、WTAの伝達関数内にポールおよびゼロを独立に設定することができます。

広帯域トランスコンダクタンス・アンプ

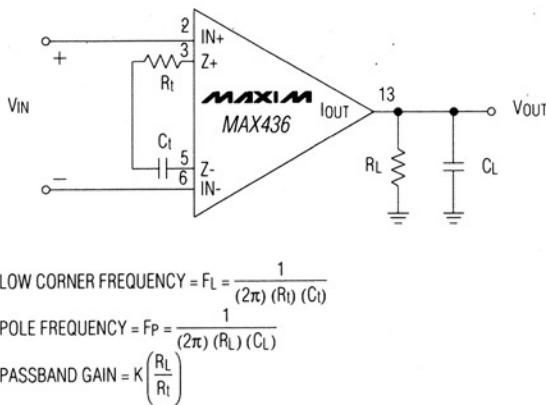
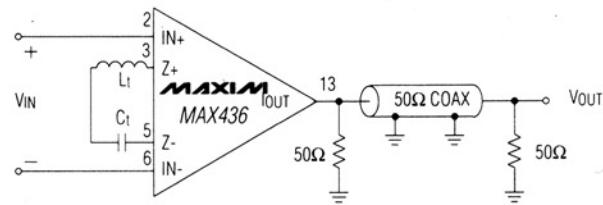


図12. バンドパス・アンプ



$$\text{HIGH CORNER FREQUENCY} = F_H = \frac{1}{2\pi\sqrt{(L_t)(C_t)}}$$

Q IS A FUNCTION OF PARASITICS OF L_t AND C_t

図14. 同調アンプ

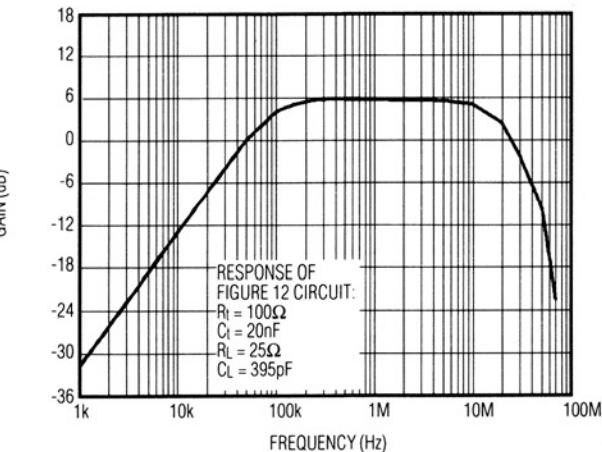


図13. バンドパス・アンプのゲイン対周波数

ます。図12の回路は、低いコーナ周波数をトランスコンダクタンス・ネットワークのインピーダンスによって設定するバンドパス・アンプです。高いコーナ周波数は、アンプ出力におけるRCネットワークのインピーダンスにより設定します。パスバンドのゲインは、 $(K) \times (R_L/R_t)$ です。

図13は、 $R_t = 100\Omega$ 、 $C_t = 20nF$ 、 $R_L = 25\Omega$ 、 $C_L = 395pF$ における、図12の回路の応答曲線です。

同調アンプ

図14の回路は同調アンプの回路で、LCトランスコンダクタンス・ネットワークの共振周波数または、次式で与えられる周波数に同調します。

$$F_C = 1/2\pi\sqrt{L_t C_t}$$

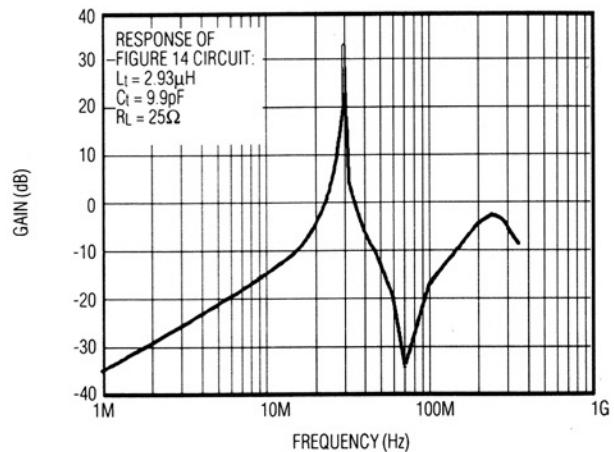


図15. 同調アンプのゲイン対周波数

トランスコンダクタンス・ネットワークのインピーダンスは共振周波数において最小となり、この周波数においてアンプの最大ゲインが得られます。このアンプのQは、LCネットワークに関連する寄生成分の関数です。図15に、 $L_t = 2.93\mu H$ 、 $C = 9.9pF$ における図14の回路の周波数応答を示します。

この回路の高周波ゲイン(共振周波数以上)は、負荷容量を増すことによってかなり抑制することができます。

水晶同調アンプ

より高いQや、より正確な同調周波数の制御が必要な場合、図16の“水晶同調アンプ”回路に示すように、WTAのトランスコンダクタンス要素として、同調用のLCネットワークを

広帯域トランスコンダクタンス・アンプ

MAX435/MAX436

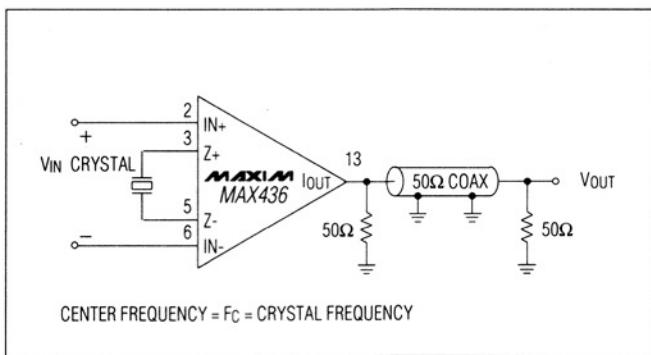


図16. 水晶同調アンプ

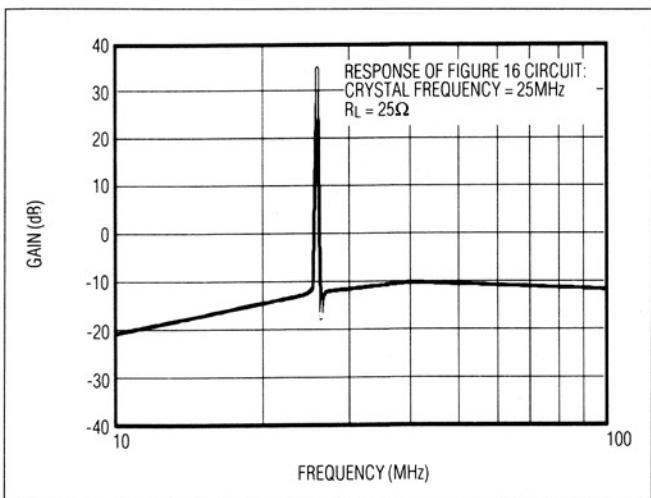


図17. 水晶同調アンプのゲイン対周波数

水晶に置き換えることができます。水晶のインピーダンスはその共振周波数において最小となり、この周波数においてアンプ回路のゲインは最大となります。

25MHzの水晶を用いた際の、図16の回路の周波数応答を図17に示します。

ビデオのツイストペアによるドライバ/レシーバ回路

約1500m以内の距離においては、シングルチャネルのベースバンド(コンポジット)のビデオを、ツイストペアのケーブルを用いて驚くべき品質で送ることができます。従来での同軸ケーブルに比べて大幅にコスト低減が行えます。ツイストペアを電送媒体として使用する場合には、コモンモードのノイズを最小化するためにバランス(差動)した電送、及び反射を減らすための正しい終端、が最も重要な2つの要素になります。MAX435/MAX436は、10MHzにおいて53dBのCMRR、及び高い入出力インピーダンスを備えているため、このアプリケーションに大変適しています。

MAX435/MAX436をツイストペアのビデオ電送用のドライバ/レシーバとして使用した回路を図18に示します。1つの差動出力を備えたMAX435は、平衡のツイストペアをグランド基準の入力信号から駆動し、バラン(平衡-不平衡)又は2つのシングルエンドの出力ドライバを不要としています。

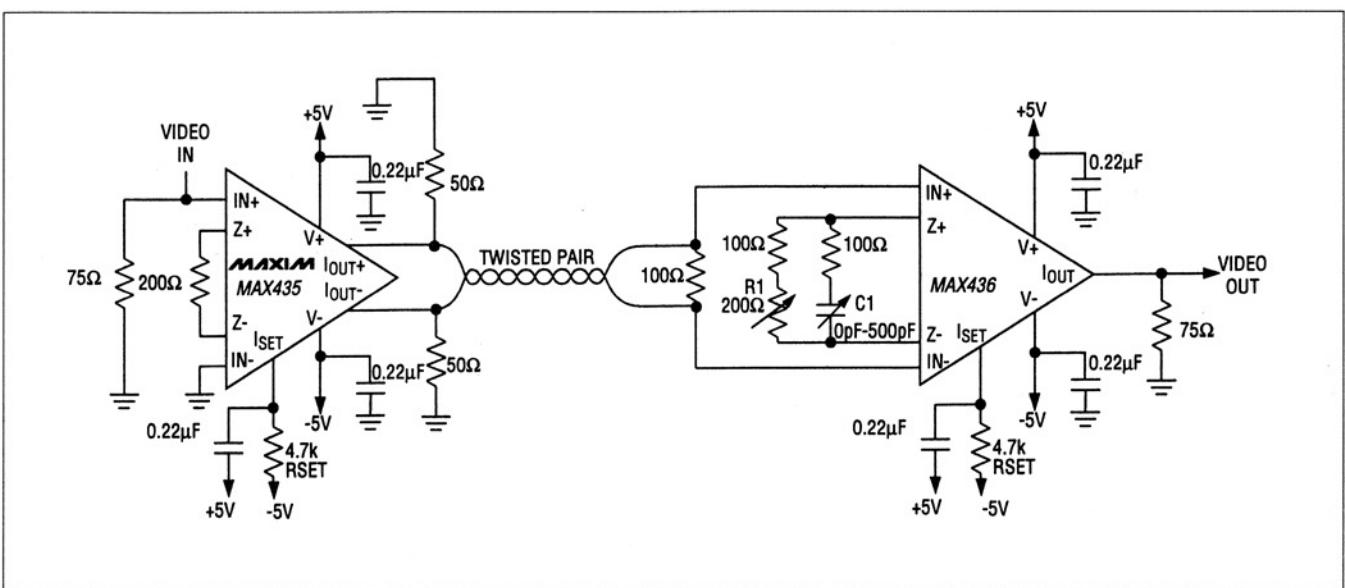


図18. ビデオのツイストペアによるドライバ/レシーバ回路

広帯域トランスコンダクタンス・アンプ

レシーバ回路は、シングルエンド出力を備えたMAX436を平衡からシングルエンド(不平衡)のライン変換として使用しています。IN₊とIN₋間の100Ωの抵抗により、正しい終端が行えます。トランスコンダクタンスのネットワーク(Z₊とZ₋間)によりゲイン調整(+6dB)と、ラインの補正を行います。このゲイン補正是、ツイストペアの制限されたバンド幅を補うために、レシーバの高周波ゲインを高めるために必要とされることがあります。

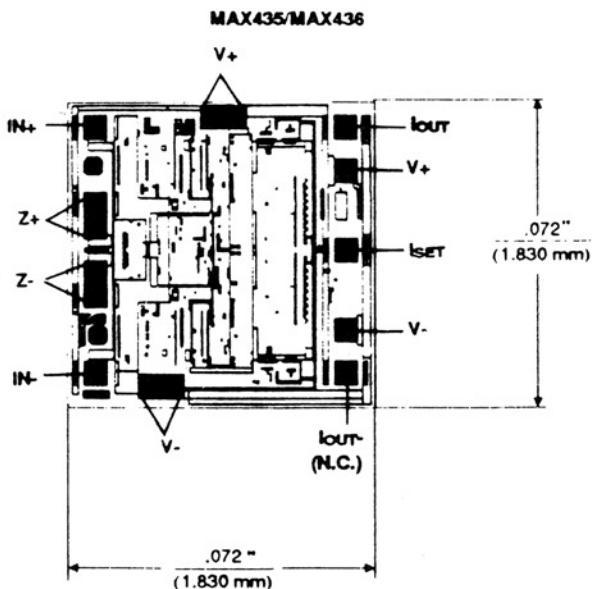
図18の回路では、R1でライトネス調整を(抵抗損失による全体的なゲイン補正)、C1でカラー調整(バンド幅を広げるためにゼロ/ポールを加える)を実施することで補正が行われます。この補正是レシーバ側で行うため、スクリーンを見ながら画像が最適になるように簡単に調整することができます。NTSCモニタでは、垂直帰線期間テスト信号(VITS)においてテストパターンを調整することで、かなりの量の損失補正が行えるため、多くのNTSCのアプリケーションではこのライン補正が不要な場合があります。

型番(続き)

PART	TEMP. RANGE	PIN-PACKAGE
MAX436CPD	0°C to +70°C	14 Plastic DIP
MAX436CSD	0°C to +70°C	14 SO
MAX436C/D	0°C to +70°C	Dice*
MAX436EPD	-40°C to +85°C	14 Plastic DIP
MAX436ESD	-40°C to +85°C	14 SO
MAX436MJD	-55°C to +125°C	14 CERDIP

* Dice are specified at TA = +25°C, DC parameters only.

チップ構造図



() are for MAX436 only.

SUBSTRATE CONNECTED TO V-.

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL.(03)3232-6141 FAX.(03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは隨時予告なく回路及び仕様を変更する権利を留保します。