

# MAX3815

## DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

### 概要

ケーブルイコライザのMAX3815は自動的にDVI、HDMI、DFP、PanelLink®、及びADC用ケーブルの補償を行います。MAX3815は使用可能なケーブルの距離を36メートルまで延長します。MAX3815はTMDS® (Transition-Minimized Differential Signaling)形式で符号化された信号を等化するように設計されています。

MAX3815は4組のCML差動入力と出力(データに3組、クロックに1組)を備えています。MAX3815はクロック信号が喪失された場合に信号喪失(LOS)出力を供給します。出力をディセーブルとする機能を持ち、またイコライザは省電力のために電源断とすることができます。チップ間で直接、通信を行う場合は、省電力とEMI減少のために出力ドライバはDVI出力定格の半分に切り替えることができます。個々のケーブル内のアプリケーションに合わせて、等化は自動またはマニュアル制御に設定することができます。

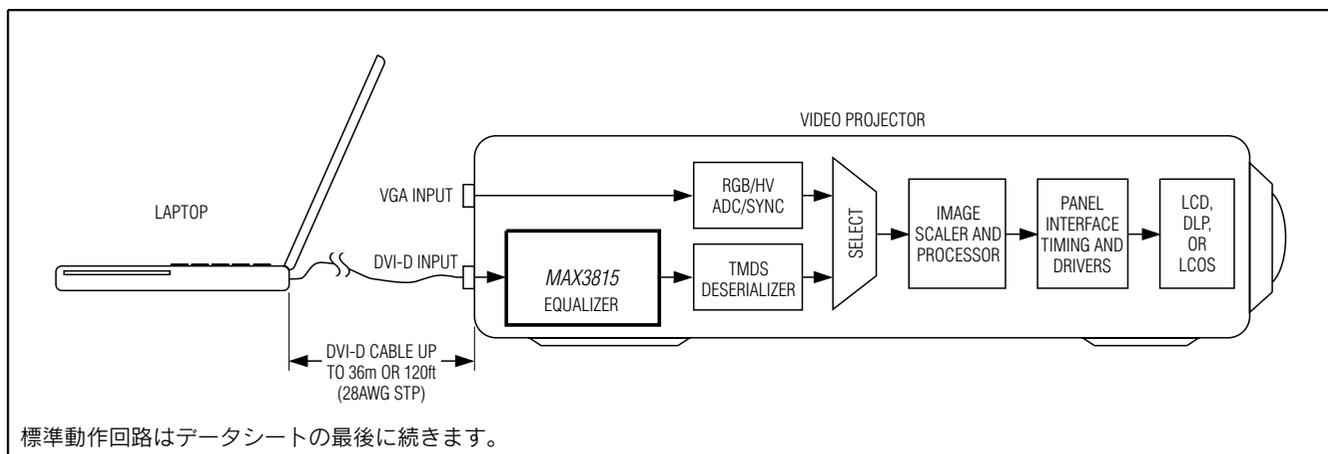
MAX3815は7mm x 7mm、48ピン、TQFP-EPパッケージで提供され、0°C ~ +70°Cの温度範囲で動作します。

### アプリケーション

- 前面投写型プロジェクタ用DVI/HDMI入力
- 高精細テレビジョン及びディスプレイ
- DVI-D/HDMI用ケーブル延長モジュール及びアクティブケーブルアSEMBリ
- コンピュータモニタ用LCD

PanelLinkおよびTMDSは、Silicon Image, Inc.の登録商標です。

### 標準動作回路



ピン配置はデータシートの最後に記載されています。

### 特長

- ◆ DVI、DFP、PanelLink、ADC、またはHDMIを使うプロジェクタまたはモニタのTMDSケーブルを延長
- ◆ TMDSインタフェースの長さを次のように延長：
  - 24 AWG STP(シールドツイストペア線)のDVIケーブル：0~50m
  - 28 AWG STP(シールドツイストペア線)のDVIケーブル：0~36m
  - 30 AWG STPのDVIケーブル：0~30m
- ◆ DTVの解像度に対応：480i、480p、720p、1080i、及び1080p
- ◆ コンピュータの解像度に対応：VGA、SVGA、XGA、SXGA、UXGA
- ◆ 825MHz(1.65Gbit/s)で最大40dBの完全自動等化、システム制御不要
- ◆ 3.3V電源
- ◆ 電源消費：0.6W(typ)
- ◆ 7mm x 7mm、48ピンのTQFP鉛フリーパッケージ

### 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX3815CCM	0°C to +70°C	48 TQFP-EP*	C48E-8
MAX3815CCM+	0°C to +70°C	48 TQFP-EP*	C48E-8

+は鉛フリーパッケージを示します。開発中の製品。価格と入手性はお問い合わせください。

\* エクスポートドパッド

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maximintegrated.com)をご覧ください。

# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

## ABSOLUTE MAXIMUM RATINGS

Supply Voltage  $V_{CC}$  .....-0.5V to +4.0V  
 Voltage at All I/O Pins .....-0.5V to ( $V_{CC} + 0.7V$ )  
 Voltage between any CML I/O Complementary Pair ..... $\pm 3.3V$   
 Continuous Power Dissipation ( $T_A = +70^\circ C$ )  
 48-Pin TQFP-EP (derate 36.2mW/ $^\circ C$  above +70 $^\circ C$ ) ..2896mW

Operating Junction Temperature Range .....-55 $^\circ C$  to +150 $^\circ C$   
 Storage Temperature Range .....-55 $^\circ C$  to +150 $^\circ C$   
 Die Attach Temperature .....+400 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

( $V_{CC} = +3.0V$  to +3.6V,  $T_A = 0^\circ C$  to +70 $^\circ C$ . Typical Values are at  $V_{CC} = +3.3V$ , external terminations = 50 $\Omega \pm 1\%$ , TMDS rate = 250Mbps to 1.65Gbps,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Power-Supply Current	$I_{CC}$	$\overline{PWRDWN} = HIGH$		165	230	mA	
		$\overline{PWRDWN} = LOW$		10			
Supply-Noise Tolerance		DC to 500kHz		200		mVp-p	
<b>EQUALIZER PERFORMANCE</b>							
Residual Output Jitter (Cables Only) 0.25Gbps to 1.65Gbps (Notes 1, 2, and 3)		1dB skin-effect loss at 825MHz			0.2	UI	
		24dB skin-effect loss at 825MHz			0.2		
		40dB skin-effect loss at 825MHz			0.2		
CID Tolerance			20			Bits	
<b>CONTROL AND STATUS</b>							
$\overline{CLKLOS}$ Assert Level		Differential peak-to-peak at EQ input with 165MHz clock		50		mVp-p	
<b>CML INPUTS (CABLE SIDE)</b>							
Differential Input Voltage Swing	$V_{ID}$	At cable input	800	1000	1400	mVp-p	
Common-Mode Input Voltage	$V_{CM}$		$V_{CC} - 0.4$		$V_{CC} + 0.1$	V	
Input Resistance	$R_{IN}$	Single-ended	45	50	55	$\Omega$	
<b>CML OUTPUTS (ASIC SIDE)</b>							
Differential Output-Voltage Swing	$V_{OD}$	50 $\Omega$ load, each side to $V_{CC}$	$OUTLEVEL = HIGH$	800	1000	1200	mVp-p
			$OUTLEVEL = LOW$	350	500	650	
Output-Voltage High		Single-ended, $OUTLEVEL = HIGH$		$V_{CC}$		mV	
Output-Voltage Low		Single-ended, $OUTLEVEL = HIGH$	$V_{CC} - 600$		$V_{CC} - 400$	mV	
Output Voltage During Power-Down		Single-ended, $\overline{PWRDWN} = LOW$	$V_{CC} - 10$		$V_{CC} + 10$	mV	

# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = +3.0V$  to  $+3.6V$ ,  $T_A = 0^\circ C$  to  $+70^\circ C$ . Typical Values are at  $V_{CC} = +3.3V$ , external terminations =  $50\Omega \pm 1\%$ , TMDS rate = 250Mbps to 1.65Gbps,  $T_A = +25^\circ C$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Common-Mode Output Voltage		$50\Omega$ load, each side to $V_{CC}$ , OUTLEVEL = HIGH		$V_{CC} - 0.25$		V
Rise/Fall Time (Note 1)		20% to 80%	80	130	200	ps
<b>LVTTTL CONTROL AND STATUS INTERFACE</b>						
LVTTTL Input High Voltage	$V_{IH}$		2.0			V
LVTTTL Input Low Voltage	$V_{IL}$				0.8	V
LVTTTL Input High Current		$V_{IH(MIN)} < V_{IN} < V_{CC}$			-50	$\mu A$
LVTTTL Input Low Current		$GND < V_{IN} < V_{IL(MAX)}$			-100	$\mu A$
Open-Collector Output High		$R_{LOAD} \geq 10k\Omega$ to $V_{CC}$	2.4			V
Open-Collector Output Low		$R_{LOAD} \geq 2k\Omega$ to $V_{CC}$			0.4	V
Open-Collector Output Sink					5	mA

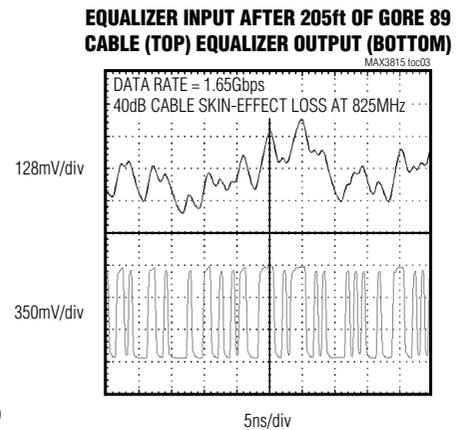
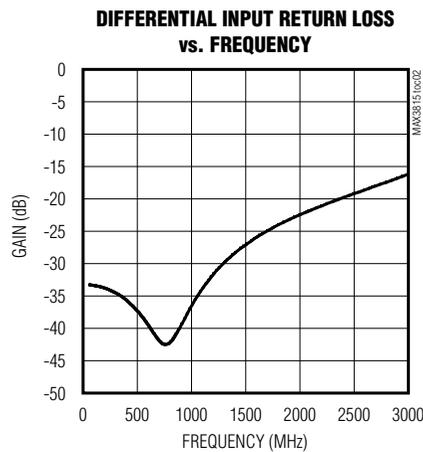
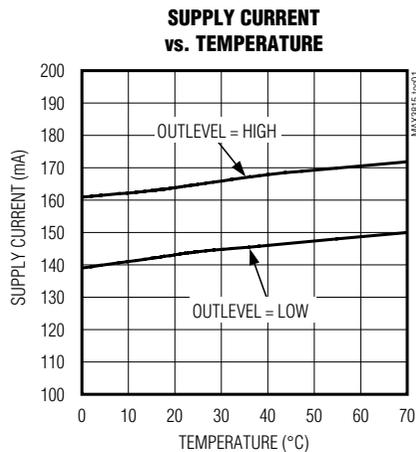
**Note 1:** AC specifications are guaranteed by design and characterization.

**Note 2:** Cable input swing is 800mV to 1400mV differential peak-to-peak. Residual output jitter is defined as peak-to-peak deterministic jitter + 14.2 times random jitter.

**Note 3:** Test pattern is a  $2^7 - 1$  PRBS + 20 ones +  $2^7 - 1$  PRBS (inverted) + 20 zeros.

## 標準動作特性

(Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ , data pattern =  $2^7 - 1$  PRBS + 20 ones +  $2^7 - 1$  PRBS (inverted) + 20 zeros, unless otherwise noted.)



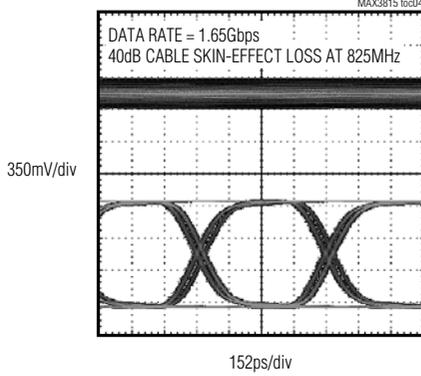
# DVI/HDMIケーブル用 TMD5デジタルビデオイコライザ

MAX3815

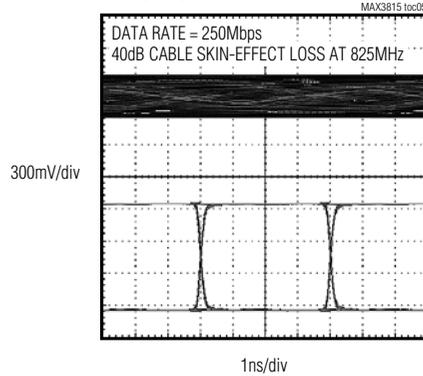
## 標準動作特性(続き)

(Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ , data pattern =  $2^7 - 1$  PRBS + 20 ones +  $2^7 - 1$  PRBS (inverted) + 20 zeros, unless otherwise noted.)

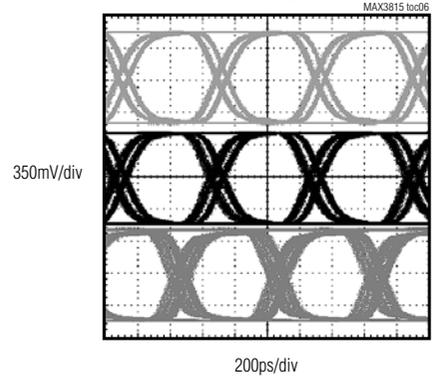
**EQUALIZER INPUT EYE AFTER 205ft OF GORE 89 CABLE (TOP) EQUALIZER OUTPUT (BOTTOM)**



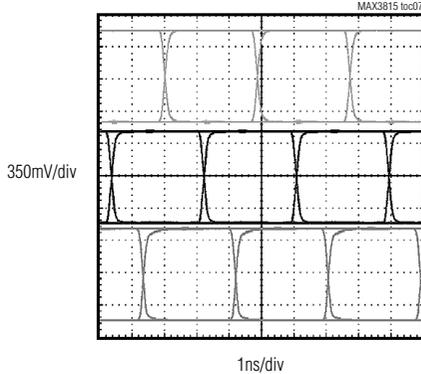
**EQUALIZER INPUT EYE AFTER 205ft OF GORE 89 CABLE (TOP) EQUALIZER OUTPUT (BOTTOM)**



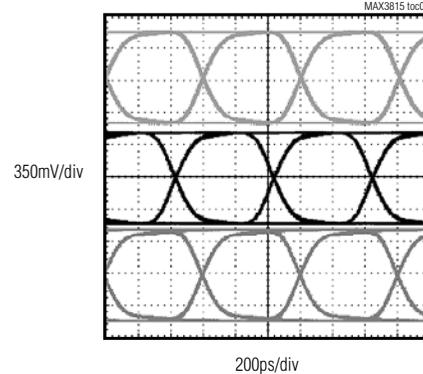
**EQUALIZER EYES AFTER 100ft MADISON DIGITAL FLAT-PANEL CABLE, 28 AWG (DATA RATE = 1.65Gbps)**



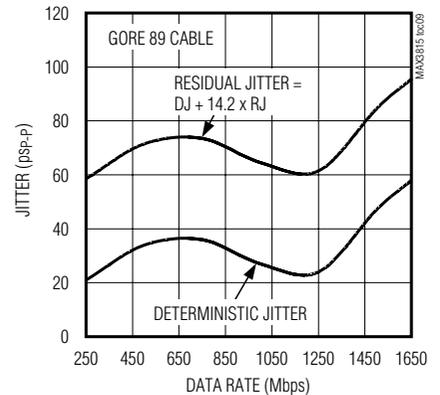
**EQUALIZER EYES AFTER 100ft MADISON DIGITAL FLAT-PANEL CABLE, 28 AWG (DATA RATE = 350Mbps)**



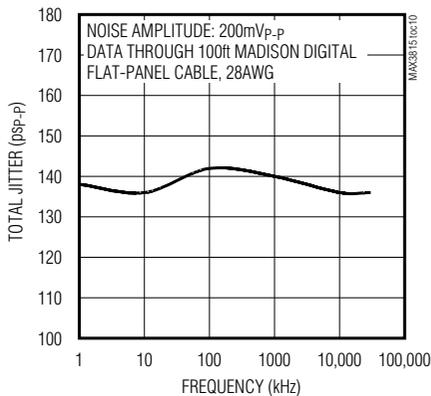
**EQUALIZER EYES AFTER 3ft CABLE (DATA RATE = 1.65Gbps)**



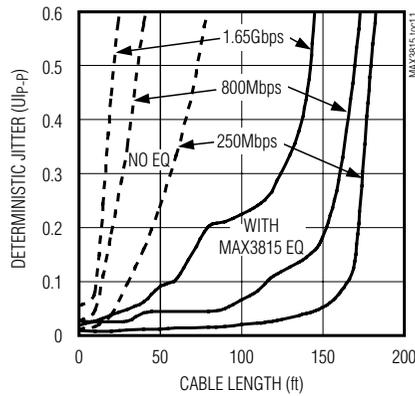
**JITTER vs. DATA RATE AFTER 205ft CABLE WITH 40dB SKIN-EFFECT LOSS AT 825MHz**



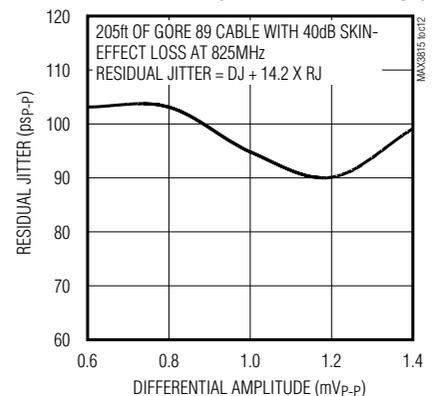
**TOTAL JITTER vs. POWER-SUPPLY NOISE FREQUENCY (DATA RATE = 1.65Gbps)**



**DETERMINISTIC JITTER vs. CABLE LENGTH (TENSOLITE TWIN-AX 28 AWG)**



**RESIDUAL JITTER vs. SIGNAL AMPLITUDE INPUT TO CABLE (DATA RATE = 1.65Gbps)**

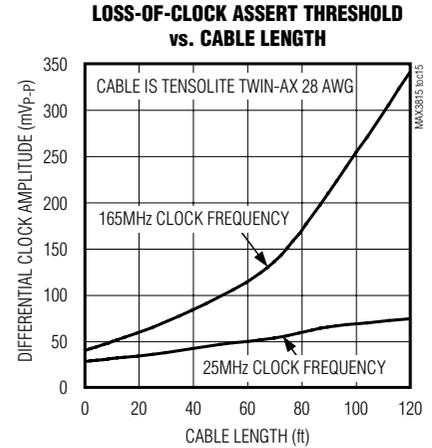
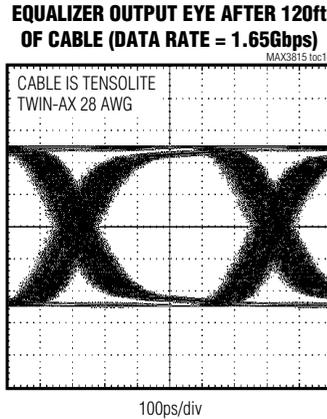
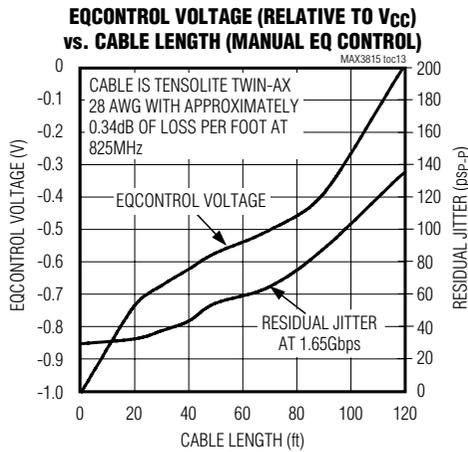


# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

## 標準動作特性(続き)

(Typical values are at  $V_{CC} = +3.3V$ ,  $T_A = +25^\circ C$ , data pattern =  $2^7 - 1$  PRBS + 20 ones +  $2^7 - 1$  PRBS (inverted) + 20 zeros, unless otherwise noted.)



## 端子説明

端子	名称	機能
1, 4, 5, 8, 9, 12, 13, 16, 38, 41, 43, 44	$V_{CC}$	電源電圧。すべての端子が $V_{CC}$ に接続しなければなりません。
2	RX0_IN-	負のデータ入力、CML。
3	RX0_IN+	正のデータ入力、CML。
6	RX1_IN-	負のデータ入力、CML。
7	RX1_IN+	正のデータ入力、CML。
10	RX2_IN-	負のデータ入力、CML。
11	RX2_IN+	正のデータ入力、CML。
14	RXC_IN+	正のデータ入力、CML。
15	RXC_IN-	負のデータ入力、CML。
17	EQCONTROL	イコライザ制御。この端子はMAX3815の等化レベルをユーザが制御するために使います。自動動作のためには、この端子をGNDに接続してください。最低の等化とするためにはこの端子の電圧を $V_{CC}/2$ に設定し、マニュアルで等化を行う場合はこの電圧を $V_{CC} - 1V \sim V_{CC}$ に設定してください。さらに詳細な情報は「標準動作特性」を参照してください。
18	$\overline{CLKLOS}$	クロック喪失信号出力。LVTTTLのオープンコレクタ出力。この端子はケーブルからのTMDSクロックの喪失でローをアサートします。
19	PWRDWN	パワーダウン入力。LVTTTL、この入力は省電を行うためにICの電源断を行います。通常動作とするためには、この端子をハイとしてください。電源断モードとするためにはロー状態にしてください。

# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

## 端子説明(続き)

端子	名称	機能
20, 23, 24, 25, 28, 29, 32, 33, 36, 37, 42	GND	グラウンド。
21	RXC_OUT-	負のクロック出力、CML。
22	RXC_OUT+	正のクロック出力、CML。
26	RX2_OUT+	正のデータ出力、CML。
27	RX2_OUT-	負のデータ出力、CML。
30	RX1_OUT+	正のデータ出力、CML。
31	RX1_OUT-	負のデータ出力、CML。
34	RX0_OUT+	正のデータ出力、CML。
35	RX0_OUT-	負のデータ出力、CML。
39	OUTLEVEL	出力レベルの制御入力、LVTTTL。この入力をハイとすると、出力振幅は標準のDVIレベル(1000mV <sub>p-p</sub> )に設定され、ローに設定すると、出力振幅はDVIレベルの1/2(500mV <sub>p-p</sub> )になります。
40	$\overline{\text{OUTON}}$	出力をイネーブルとする制御入力、LVTTTL。この入力をローに強制すると、CML出力はイネーブルとなり、ハイに強制すると差動ロジックをゼロとします。
45-48	N.C.	接続なし。
EP	エクスポーズドパッド	グラウンド。適切な熱的及び電気的動作を行うために、エクスポーズドパッドは回路基板グラウンドに適切に半田付けしなければなりません。

## 詳細

TMDSイコライザのMAX3815は250Mbit/s、最大1.65Gbit/s(個々のチャネルのデータ速度)の速度で差動CML入力データを受け取ります。MAX3815は銅ケーブルの表皮効果損失による825MHzにおける最大40dBの減衰を自動的に調整します。MAX3815は4組のCML入力バッファ、クロック信号喪失検出器、3個の独立した適応型イコライザ、4組のリミティングアンプ、及び4組の出力バッファで構成されます(図1)。

### CML入力バッファ及び出カドライバ

入力バッファと出力ドライバは電流モードロジック(CML)を用いて実装されます(図3と図4を参照)。出力ドライバはオープンコレクタであり、 $\overline{\text{OUTON}}$ 端子を使ってオフにすることができ、また、OUTLEVEL端子を使って半振幅信号(500mV<sub>p-p</sub>差動)を出力するように設定することができます。CMLとのインタフェースの詳細に関してはマキシムのアプリケーションノート「HFAN-01.0: Introduction to LVDS, PECL, and CML」を参照してください。

### クロック喪失信号検出器

クロック喪失信号検出器はCLKLOS端子にクロック喪失信号を出力します。

## 適応型イコライザ

3組の各データチャネルは、独立した適応型イコライザを備えています。各チャネルは入力信号を解析して印加すべき等化の量を決定します。

### リミティングアンプ

リミティングアンプは適応イコライザからの信号を増幅して、波形の上と下を切り取り、クリーンなハイ及びローレベル信号として出力ドライバに供給します。

## アプリケーション情報

標準的なシールドツイストペア線(STP)及びシールドなしツイストペア線(UTP)ケーブルは表皮効果損失を有し、それはTMDS信号の高周波スペクトラムを減衰させ、その結果、データエラーを引き起こすか、またはケーブルが十分に長い場合は、信号アイを完全に閉じてしまいます。MAX3815はデータを回復し、補償等化を行って信号アイを開きます。

基本的なTMDSインタフェースは4組の差動シリアルリンクで構成されています。この内の3組のリンクは各最大1.65Gbit/sのシリアルデータを伝送し、4番目のリンクは最大165MHzで動作する10分の1(0.1x)の速度のクロックです。TMDSはアナログのnVGAリンクのように多種の解像度とスクリーンの更新速度を扱わなければ

# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

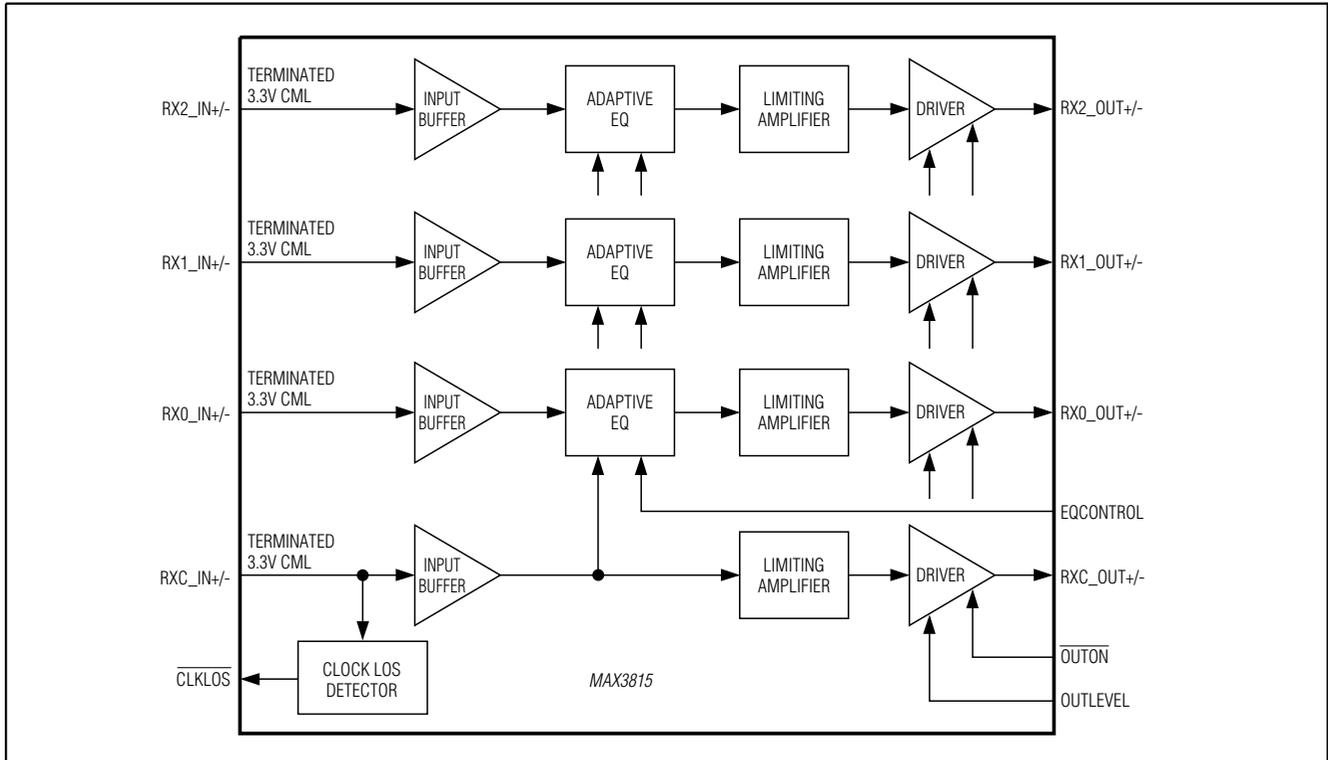


図1. ファンクションダイアグラム

なりません。実際のデジタルシリアル速度の範囲はおよそ250Mbit/s~1.65Gbit/sです。超高解像度(例: QXGA)を必要とするアプリケーションでは、「ダブルリンク」のTMDSインタフェースが使われ、これは6個のデータリンクと1個のクロックからなるため2個のMAX3815を使用して、クロックは両方のICに接続する必要があります(図2を参照)。

MAX3815は下記商標で使われる、どのようなTMDSインタフェースを延長するためにも使うことができます: DVI™(digital visual interface)、DFP™(digital flat panel)、PanelLink、ADC™(Apple display connector)、及びHDMI™(high-definition multimedia interface)

## クロック喪失信号(CLKLOS)出力

クロック喪失信号はCLKLOS出力によって示されます。CLKLOSがローレベルとなると、それはRXC\_IN端子の信号パワーがスレッショルドレベルを下回る値となったことを示します。そのチャンネルに十分な入力電圧(標準値で100mV<sub>p-p</sub>より大きい値)があれば、CLKLOSはハイとなります。CLKLOS出力は、例えば、ケーブルの断線、ドライバの故障、またはイコライザとの未接続などによる伝送リンクの問題を示すために適しています。

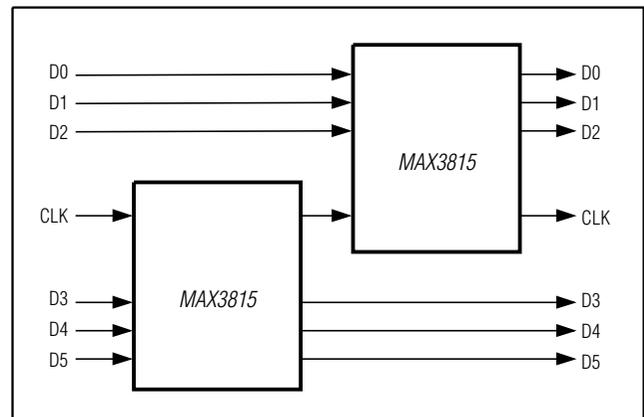


図2. MAX3815をDual Linkアプリケーションに使用する場合の接続図

DVIはDigital Display Working Group(DDWG)の商標です。  
ADCはApple Computer, Inc.の商標です。  
HDMIはHDMI Licensing, LLC.の商標です。  
DFPはVideo Electronics Standards Association(VESA)の商標です。

# DVI/HDMIケーブル用 TMDSデジタルビデオイコライザ

MAX3815

CLKLOS出力を、インバータを介してOUTON端子に接続することにより、スケルチ機能を実現することができます。この接続によって、クロック信号が取り去られると、CML出力がスケルチされます。信号喪失用LED表示器を回路に組み込むことができます。これについては図3を参照してください。

## 出力レベル制御(OUTLEVEL)入力

OUTLEVEL端子はLVTTTL入力であり、標準出力振幅(1000mV<sub>p-p</sub>差動)、または半値出力振幅(500mV<sub>p-p</sub>差動)のどちらかを選択するために使うことができます。この端子をハイに強制すると標準出力レベルとなり、ローレベルに強制すると減少した出力信号レベルとなります。

## イコライザ制御(EQCONTROL)入力

EQCONTROL端子はユーザがイコライザを3通りの方法で使うことを可能とします。すなわち、この端子をグランドに落とすと、イコライザは自動等化モードとなり、この端子をV<sub>CC</sub>/2に設定すると、最低の等化となり、V<sub>CC</sub>-1V~V<sub>CC</sub>とすると、入力信号に印加された等化レベルのマニュアル制御を可能とします。さらに詳細については「標準動作特性」を参照してください。

## パワーダウン(PWRDWN)入力

PWRDWN端子はMAX3815の電源を落として、システムの電力消費を減少させます。この端子をハイに強制すると通常動作となります。この端子をローに強制するとMAX3815の電源を断とします。電源断となっていると、消費電流はおよそ10mAとなります。

## インタフェースモデル

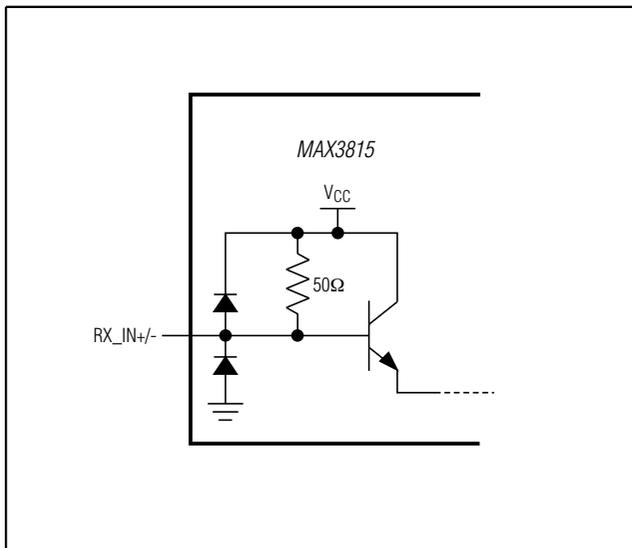


図4. 簡略化した入力回路図

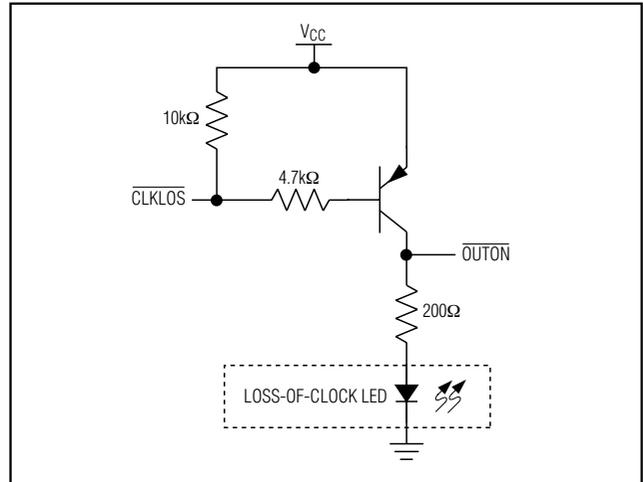


図3. スケルチ回路

## 出力オン(OUTON)入力

OUTONはLVTTTL入力です。この端子をローに強制すると、出力がイネーブルとなります。この端子をハイに強制すると差動出力がゼロとなります。ディセーブルとした場合、出力は入力端子の信号に関わらず、差動ゼロの出力となります。

## ケーブルの選択

TMDSの性能は、大きくケーブルの品質に依存しています。確定的ジッタ(DJ)は、ツイストペア線(STPまたはUTP)内で、通常はケーブルのツイストまたは誘電体の不平衡により、差動からコモンモードへの変換(またはその逆)によって生じる可能性があります。さらに詳細な情報はアプリケーションノート「HFAN-04.5.4: ツイストペア

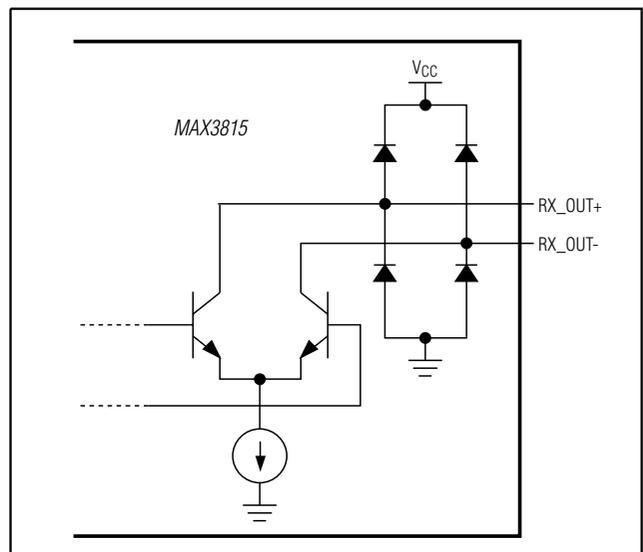


図5. 簡略化した出力回路図

# DVI/HDMIケーブル用 TMDSデジタルビデオコライザ

MAX3815

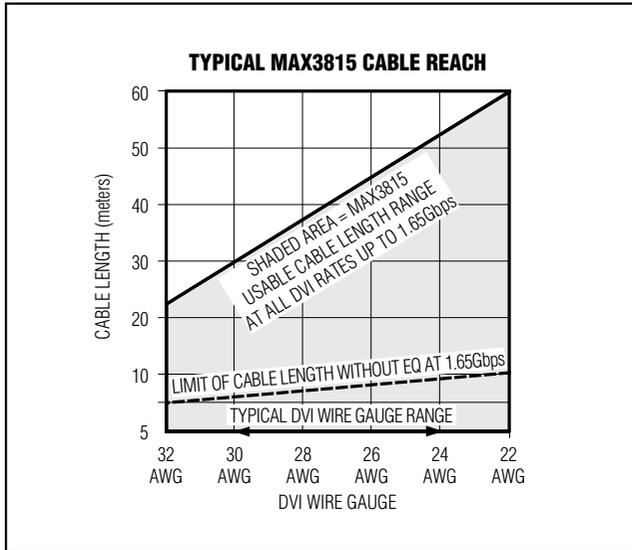


図6. ケーブル距離

が不平衡なときの「ジッタ発生」を参照してください。

## レイアウトについて

MAX3815にとって、データとクロック入力が最も重要な経路であり、コネクタとICの間の伝送ラインの不連続性を最小化する細心の注意をしなければなりません。以下にMAX3815の性能を最大化するためのいくつかの提案をします：

- データとクロック入力はスタブを使用せずに、ケーブルコネクタとICの間で直接配線してください。
- 入力及び出力データチャンネルの番号は単にガイドで

あり、極性の割当ては交換することが可能であり、チャンネル経路も相互に交換することができます。

- 高速I/Oの下に位置するグラウンドプレーンは切れ目のないものとしてください。
- IC及び入出カインタフェースの近くにはグラウンドパス用のビアを作り、ICとDVIケーブルに対するリターン電流経路を与えてください。
- MAX3815への入出力は100Ωの差動伝送ラインインピーダンスを維持してください。
- EMIとクロストークを最小化するために、優れた高周波レイアウト技術と切れ目の無いグラウンドプレーンを持つ多層基板を採用してください。マキシムのリファレンスデザインであるHFRD-17.1及びHFRD-17.2の回路図と基板の層構成を参照してください。

## エクスポーズドパッド付のパッケージ

48ピンのTQFP-EP上のエクスポーズドパッドはICからの熱の除去のために非常に小さい熱抵抗経路を与えます。このパッドは、また、MAX3815の電氣的なグラウンドでもあり、良好な熱及び電氣的性能を得るためには回路基板のグラウンドに半田付けしなければなりません。詳細については、マキシムのアプリケーションノート「HFAN-08.1 : Thermal Considerations of QFN and Other Exposed-Paddle Packages」を参照してください。

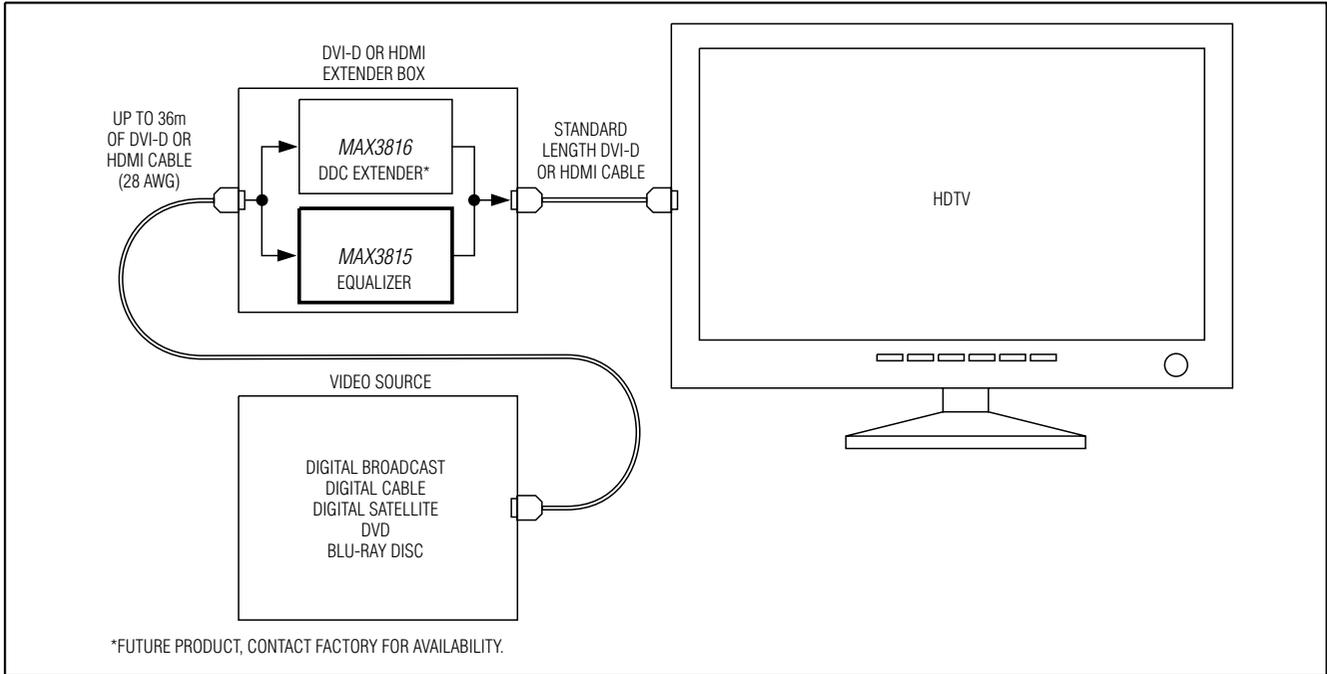
## チップ情報

PROCESS: SiGe BIPOLAR

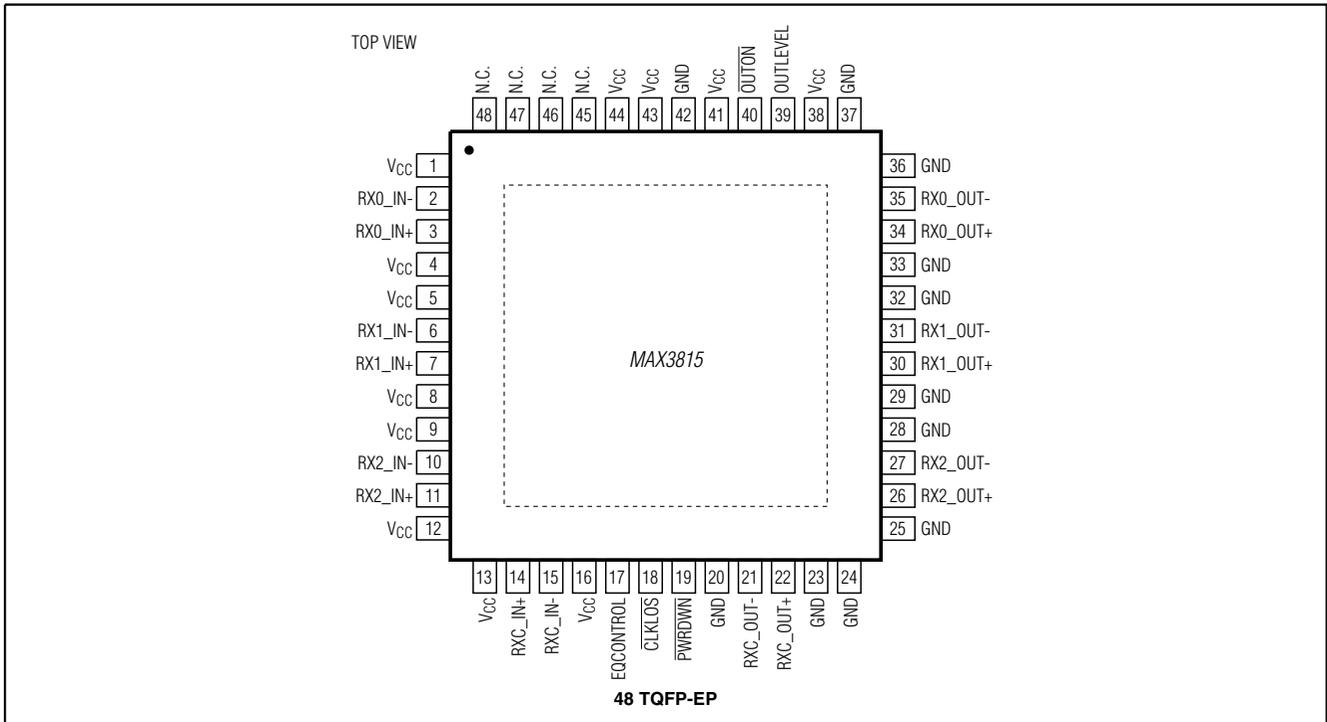
# DVI/HDMIケーブル用 TMD5デジタルビデオイコライザ

MAX3815

## 標準動作回路(続き)



## ピン配置



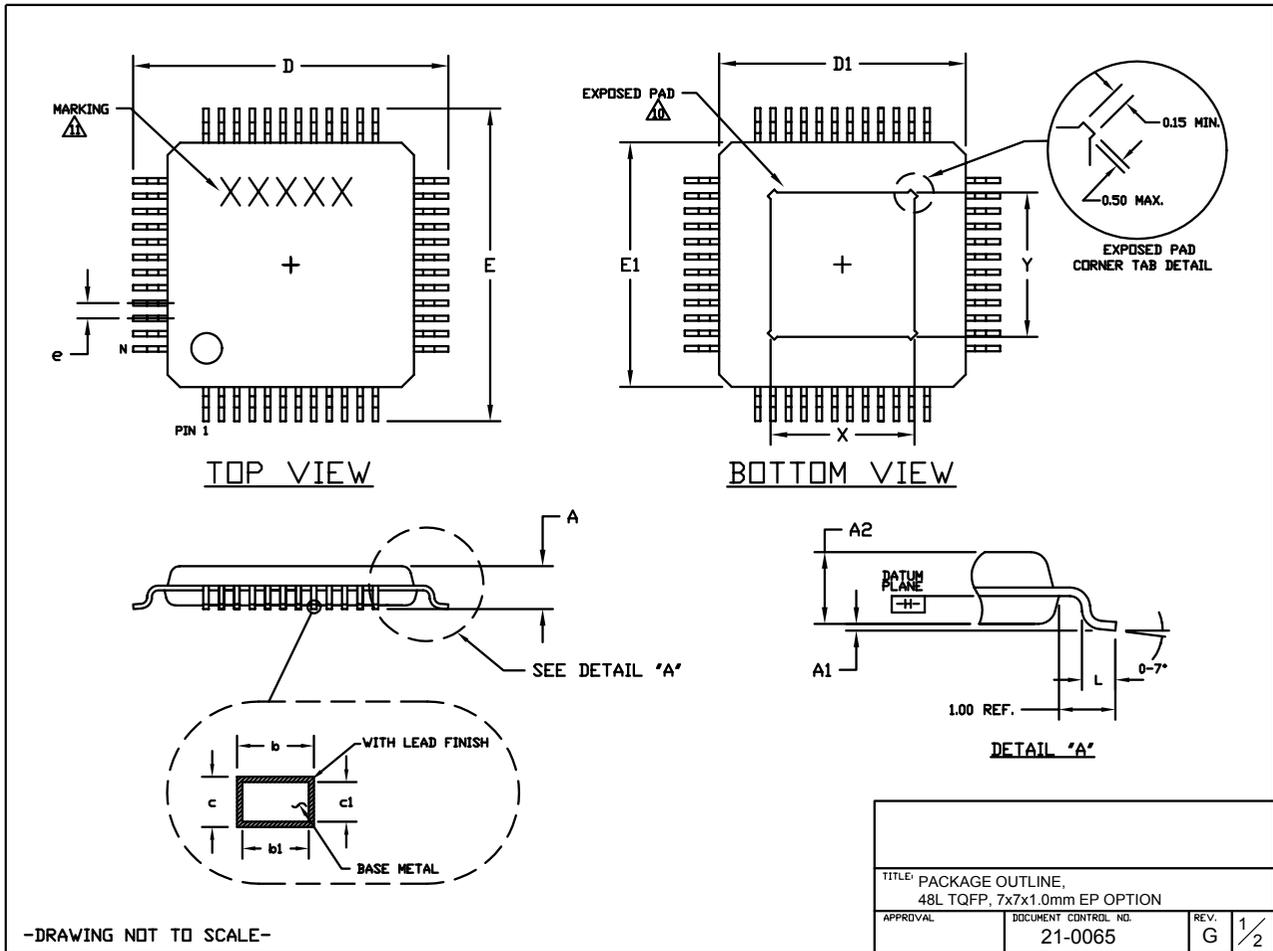
# DVI/HDMIケーブル用 TMDSデジタルビデオコライザ

MAX3815

48L, TQFP, EPS

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



# DVI/HDMIケーブル用 TMSDデジタルビデオコライザ

MAX3815

## パッケージ (続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

### NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE [H] IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION.  
ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MS-026, VARIATION ABA-HD.
8. LEADS SHALL BE COPLANAR WITHIN 0.08 MM.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (0.05 MM).
10. DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

SYMBOL	JEDEC VARIATION		
	ABC-HD		
	MIN.	NOM.	MAX.
A	0.25	0.25	1.20
A <sub>1</sub>	0.05	0.10	0.15
A <sub>2</sub>	0.95	1.00	1.05
D	8.90	9.00	9.10
D <sub>1</sub>	6.90	7.00	7.10
E	8.90	9.00	9.10
E <sub>1</sub>	6.90	7.00	7.10
L	0.45	0.60	0.75
N	48		
e	0.50 BSC.		
b	0.17	0.22	0.27
b <sub>1</sub>	0.17	0.20	0.23
c	0.09	--	0.20
c <sub>1</sub>	0.09	--	0.16

PKG. CODE	EXPOSED PAD VARIATIONS					
	X			Y		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
C48E-7	3.70	4.00	4.30	3.70	4.00	4.30
C48E-8	4.70	5.00	5.30	4.70	5.00	5.30
C48E-10	3.70	4.00	4.30	3.70	4.00	4.30

-DRAWING NOT TO SCALE-

TITLE: PACKAGE OUTLINE,  
48L TQFP, 7x7x1.0mm EP OPTION

APPROVAL	DOCUMENT CTRL. NO.	REV.	2/2
	21-0065	G	



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値(min, maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

12 Maxim Integrated Products, Inc. 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

© 2004 Maxim Integrated Products

MaximはMaxim Integrated Products, Inc.の登録商標です。