

EVALUATION KIT
AVAILABLE

MAXIM

10.7Gbps、適応型受信イコライザ

MAX3805

概要

MAX3805は、9.95Gbps～10.7GbpsのPRBSデータを、6ミル(0.15mm)のFR-4差動伝送線路で最大30インチ(0.75m)、RG-188A/U型同軸ケーブルで最大24フィート(8m)、伝達することができます。MAX3805適応型イコライザは符号間干渉を削減し、イコライゼーション後の残留ジッタを20psに抑えることができます。内蔵フィードバック回路は、周波数依存性を持つ表皮効果と誘電損失を自動的に補正するためにイコライザを制御します。MAX3805はまた、LVCMOS互換の出力イネーブル機能と信号検出機能も持っています。

内部の論理回路とI/O回路には、それぞれ独立に電源が供給できるようになっています。その結果、電流モードロジック(CML)入力とCML出力を別々の電源に接続し、それぞれ、1.8V、2.5V、あるいは3.3VのICにDC結合することができます。MAX3805は超小型の3mm x 3mm パッケージで提供されており、消費電力はわずか135mWです。

アプリケーション

OC-192、10GbE用スイッチ及びルータ

OC-192、10GbE用シリアルモジュール

高速信号分配

特長

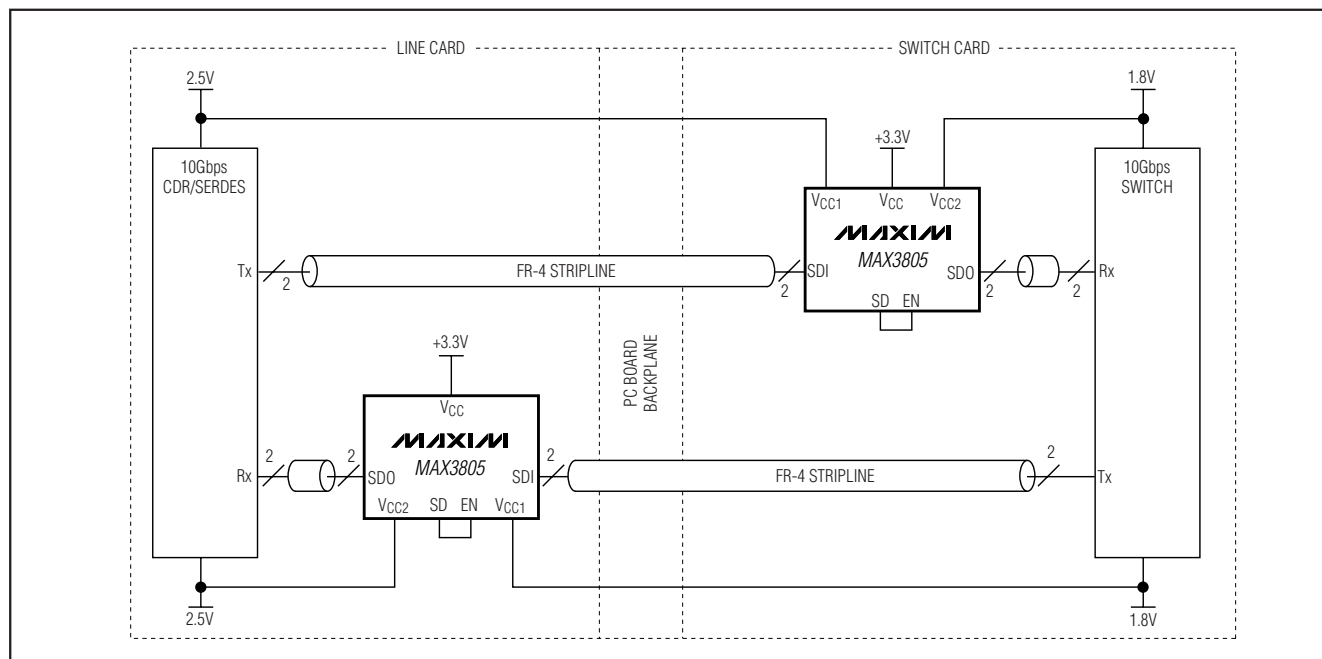
- ◆ パッケージ：3mm x 3mm
- ◆ 6ミル(0.15mm) FR-4：伝送距離 30インチ(0.75m)
- ◆ 同軸ケーブル：伝送距離 24フィート(8m)
- ◆ 自動受信イコライゼーションにより伝送線路損失により発生したISI(符号間干渉)を低減
- ◆ NRZ データ動作範囲：最大 10.7Gbps
- ◆ 信号検出出力
- ◆ 出力イネーブル制御
- ◆ 低消費電力：135mW
- ◆ DC 結合入出力：1.65Vまでの低電圧に接続可能
- ◆ 差動またはシングルエンド動作
- ◆ コア電源電圧：+3.3V

型番

PART	TEMP RANGE	PIN-PACKAGE	PACKAGE CODE
MAX3805ETE	-40°C to +85°C	16 Thin QFN	T1633F-3

ピン配置はデータシートの最後に記載されています。

標準動作回路



MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

10.7Gbps、適応型受信イコライザ

ABSOLUTE MAXIMUM RATINGS

Supply Voltage (VCC)	-0.5V to +4.0V	Continuous Power Dissipation (TA = +85°C) 16-Lead QFN-EP (derate 17.5mW/°C above +85°C)	1398mW
CML Supply Voltage (VCC1, VCC2)	-0.5V to (VCC + 0.5V)	Operating Ambient Temperature Range	-40°C to +85°C
Current at SDO±	±25mA	Storage Ambient Temperature Range	-55°C to +150°C
SDI±, EN, SD, HFPD, LFPD	-0.5V to (VCC + 0.5V)	Lead Temperature (soldering, 10s)	+300°C
Current at HFPD, LFPD	400µA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

OPERATING CONDITIONS

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	VCC		3.0	3.3	3.6	V
Input Termination Voltage	VCC1		1.65		VCC	V
Output Termination Voltage	VCC2		1.65		VCC	V
Operating Ambient Temperature			-40	+25	+85	°C

ELECTRICAL CHARACTERISTICS

(Pin 13 (HFPD) and pin 14 (LFPD) are not connected. Typical values are at VCC = +3.3V, VCC1 = VCC2 = 1.8V, TA = +25°C, unless otherwise noted.) (Values at -40°C are guaranteed by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current	ICC	VCC = VCC1 = VCC2		41	60	mA
CML Input Differential Voltage	VIN	AC-coupled or DC-coupled at transmission line input (Notes 1, 6)	400		1200	mVp-p
CML Input Common-Mode Voltage			1.3		VCC1	V
CML Input Resistance		Differential	85	100	115	Ω
CML Input Return Loss		100MHz to 10GHz		10		dB
CML Output Differential Voltage	VOU	VCC2 = 1.65V to 3.6V	400	500	600	mVp-p
CML Output Resistance		Differential	85	100	115	Ω
CML Output Transition Time	tr/ta	20% to 80% (Notes 2, 6)			35	ps
CML Output Return Loss		100MHz to 5GHz		10		dB
Equalizer Time Constant				10		µs
Output Residual Jitter		(Notes 3–6)		21	30	psp-p
Signal-Detect Assert		PRBS2 ³¹ - 1 at 10.7Gbps (Note 1)		200		mVp-p
Signal-Detect Deassert		PRBS2 ³¹ - 1 at 10.7Gbps (Note 1)		220		mVp-p
LVCMS Input-High Leakage Current	I _H		+10		+60	µA

10.7Gbps、適応型受信イコライザ

MAX3805

ELECTRICAL CHARACTERISTICS (continued)

(Pin 13 (HFPD) and pin 14 (LFPD) are not connected. Typical values are at $V_{CC} = +3.3V$, $V_{CC1} = V_{CC2} = 1.8V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Values at $-40^{\circ}C$ are guaranteed by design and characterization.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LVC MOS Input-Low Leakage Current	I_L		-30		+30	μA
LVC MOS Input High	V_{IH}		1.5			V
LVC MOS Input Low	V_{IL}				0.5	V
LVC MOS Output High	V_{OH}	$I_{OH} = 12.5\mu A$	2.1			V
LVC MOS Output Low	V_{OL}	$I_{OL} = 0.5mA$			0.2	V

Note 1: Differential input sensitivity is defined at the input to a transmission line with path length up to 30in.

Note 2: Measured using 10 ones and 10 zeros at 10.7Gbps.

Note 3: Residual jitter is the difference in total jitter between the signal at the input to the transmission line and the equalizer output.
Total residual jitter is $DJ_{P-P} + 14.1 \times RJ_{RMS}$.

Note 4: Measured at 10.7Gbps using a pattern of 100 ones, PRBS $2^{10} - 1$, 100 zeros, PRBS $2^{10} - 1$.

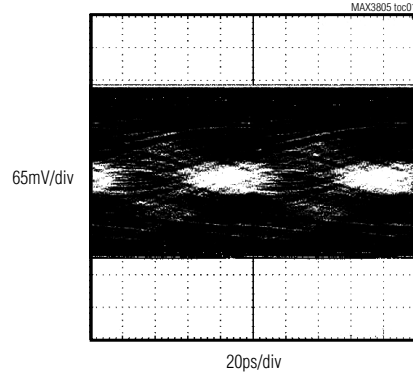
Note 5: $V_{IN} = 400mV_{P-P}$ to $1200mV_{P-P}$, input path is 0 to 30in, 6-mil microstrip in FR-4, $\epsilon_r = 4.5$, and $\tan \delta = 0.02$.

Note 6: Guaranteed by design and characterization.

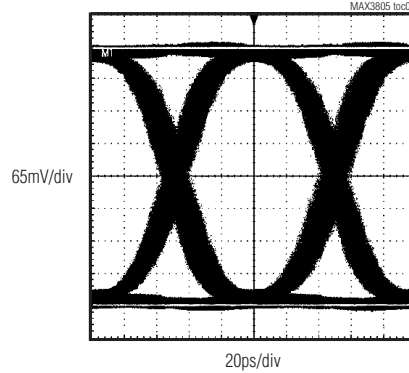
標準動作特性

($V_{CC} = 3.3V$, $V_{CC1} = 1.8V$, $V_{CC2} = 1.8V$, and $T_A = +25^{\circ}C$, unless otherwise noted.)

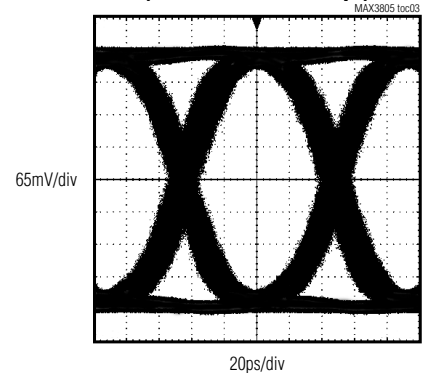
EQUALIZER INPUT EYE AFTER 30in OF FR-4
($2^{10} - 1$ PRBS WITH 100 CIDs AT 9.953Gbps)



EQUALIZER OUTPUT EYE AFTER 30in OF FR-4
($2^{10} - 1$ PRBS WITH 100 CIDs AT 9.953Gbps)



EQUALIZER OUTPUT EYE AFTER 30in OF FR-4
($2^{31} - 1$ PRBS AT 10.7Gbps)

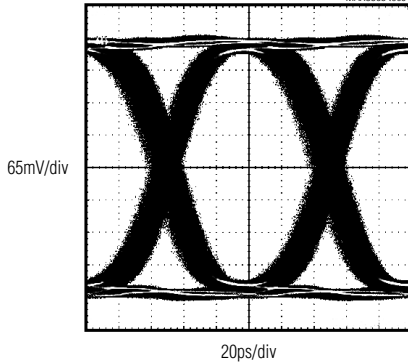


10.7Gbps、適応型受信イコライザ

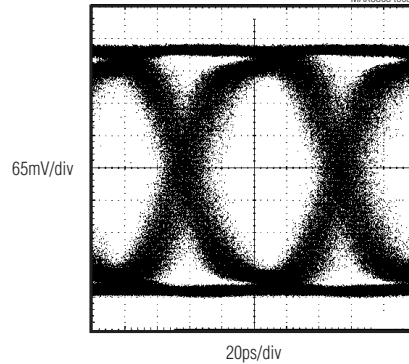
標準動作特性(続き)

($V_{CC} = 3.3V$, $V_{CC1} = 1.8V$, $V_{CC2} = 1.8V$, and $T_A = +25^\circ C$, unless otherwise noted.)

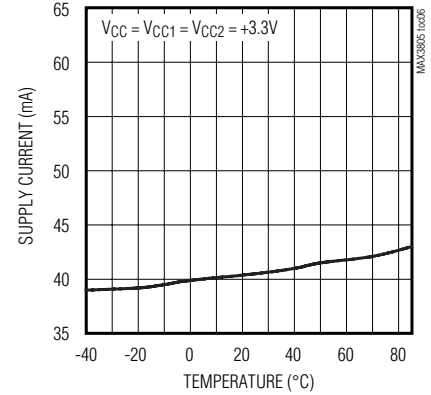
EQUALIZER OUTPUT EYE AFTER 30in OF FR-4
(CJTPAT 10.0Gbps LFPD/(HFPD + LFPD) = 0.6)



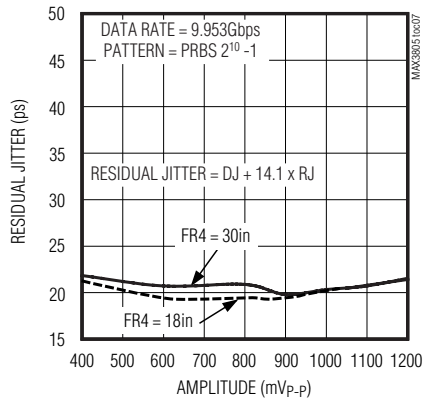
EQUALIZER OUTPUT EYE AFTER
24ft OF RG-188/U COAXIAL CABLE,
SINGLE ENDED ($2^{23} - 1$ PRBS AT 10.7Gbps)



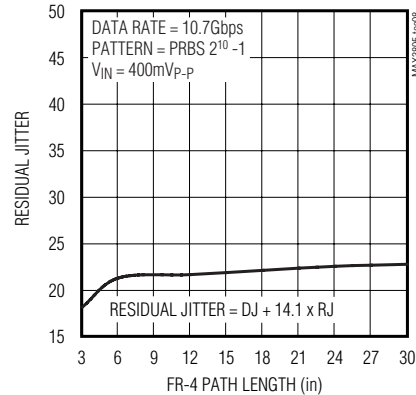
SUPPLY CURRENT vs. TEMPERATURE



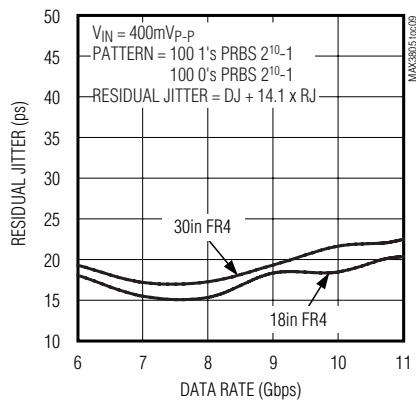
RESIDUAL JITTER vs. AMPLITUDE



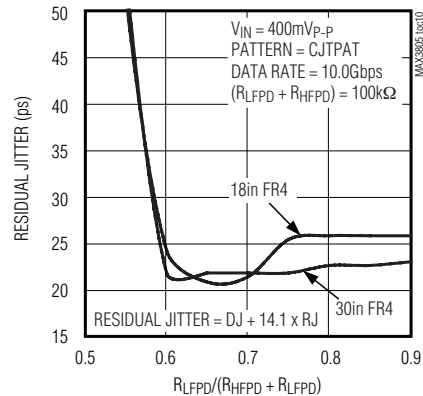
RESIDUAL JITTER
vs. FR-4 PATH LENGTH



RESIDUAL JITTER vs. DATA RATE



RESIDUAL JITTER
vs. $R_{LFPD}/(R_{HFPD} + R_{LFPD})$



10.7Gbps、適応型受信イコライザ

MAX3805

端子説明

端子	名称	機能
1	V _{CC1}	CML入力用電源電圧 (1.8V ~ V _{CC})
2	SDI+	正差動シリアルデータ入力 (CML)
3	SDI-	負差動シリアルデータ入力 (CML)
4	V _{CC1}	CML入力用電源電圧 (1.8V ~ V _{CC})
5	GND	電源グランド
6	SD	信号検出出力 (LVCMOS)。ローは <200mV _{P-P} 、ハイは >220mV _{P-P} を表します。
7	EN	イネーブル入力 (LVCMOS)。ローは出力ディセーブル、ハイは出力イネーブルを表します。通常はSDに接続します。
8	GND	電源グランド
9, 12	V _{CC2}	CML出力用電源電圧 (1.8V ~ V _{CC})
10	SDO-	負差動シリアルデータ出力 (CML)
11	SDO+	正差動シリアルデータ出力 (CML)
13	HFPD	高周波用パワーディテクタ。9.953Gbps ~ 10.7GbpsのPRBS NRZデータではオープンとします。
14	LFPD	低周波用パワーディテクタ。9.953Gbps ~ 10.7GbpsのPRBS NRZデータではオープンとします。
15	V _{CC}	イコライザコア用電源電圧。3.3Vです。
16	GND	電源グランド
EP	Exposed Pad	グランド。適正な熱的及び電気的性能を得るためには、エクスポーズドパッドを回路基板グランドに半田付けする必要があります。

詳細および アプリケーション情報

MAX3805適応型イコライザは、通常差動動作の6ミル (0.15mm) FR-4 プリント基板の伝送線路受信端で 9.95Gbps ~ 10.7GbpsのPRBS ノン・リターン・ゼロ (NRZ) データで動作するように設計されています。このイコライザは、周波数依存性を持つ伝送線路損失によって生じる符号間干渉を適応的に補正することができます。全体の伝送線路損失が比較的滑らかで、かつ5GHzで20dB以下であれば、同軸ケーブルリンクや高品質コネクタを持つ伝送線路などに対しても使用できます。

MAX3805の信号パスは、CML入力段と2つのアンプ、一対のフィードバック制御のかかった可変減衰器、CML出力段を持つリミティングアンプで構成されています。イネーブル入力 (EN) によって出力段を制御できます。信号検出出力 (SD) は、通常、伝送線路への入力信号が 220mV_{P-P} 以上であるかまたは 220mV_{P-P} 以下であるかを示します。詳細は、ファンクションダイアグラムをご覧ください。

CML入力/出力バッファ

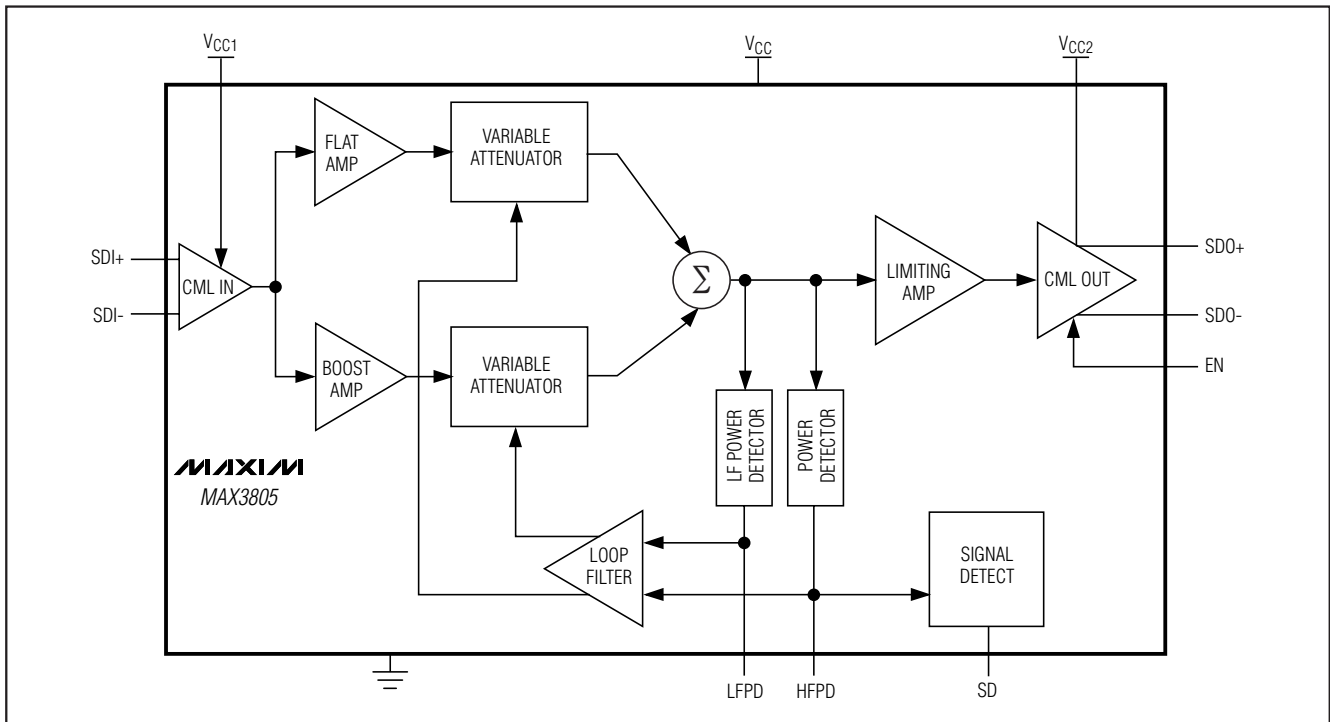
MAX3805のCML入力/出力バッファは、内部で、それぞれV_{CC1}とV_{CC2}に対し50Ωで終端処理されています。入力/出力回路には個別の電圧接続が用意されており、ノイズカップリングの抑制とともに、+1.8V、+2.5V、または+3.3V CMLへのDC結合が可能となっています。必要であれば、CML入力とCML出力をAC結合することもできます。CML出力段の回路を図1に示します。

入力段のオフセットキャンセル回路は、低周波数カットオフが通常21kHzになっています。

シングルエンド動作 (同軸ケーブルリンクなど) では、入力をAC結合にする必要があります。このような場合、図2に示すように、直列接続したACカップリングコンデンサと50Ω抵抗により、使用しない方の入力をV_{CC1}に接続しておきます。なお、MAX3805は差動動作を基本に設計されており、シングルエンド動作では性能が低下する可能性があることに注意が必要です。

10.7Gbps、適応型受信イコライザ

ファンクションダイアグラム



イコライゼーション機能を持つ入力段

低ノイズのMAX3805入力段は、2つのアンプを持ちます。1つはフラットな周波数応答を持つアンプであり、もう1つは6ミル(0.15mm)FR-4プリント基板伝送線路の損失特性を補償するハイパス周波数応答を持つアンプです。電流ステアリング回路は、一対の可変減衰器を通じて共通の総和ノードに接続されており、イコライゼーション量を連続的に変化させることができます。イコライゼーション量は2つのパワーディテクタブロックからのフィードバックにより制御され、これによって特定の伝送線路における損失に合わせて可変減衰器を調整します。

デュアルパワーディテクタフィードバックループ

MAX3805は、一対の周波数に依存するパワーディテクタを用いた総和ノード出力をサンプリングすることにより、固有の伝送線路損失に合わせてイコライザを調節します。1つ目のパワーディテクタは500MHzのローパス型で、2つ目は全帯域パワーディテクタです。

NRZ PRBSデータのスペクトル特性は $\sin^2(f)/f^2$ となります。このようなデータが損失のあるFR-4伝送線路を通過すると、低周波成分は基本的に変化しませんが、

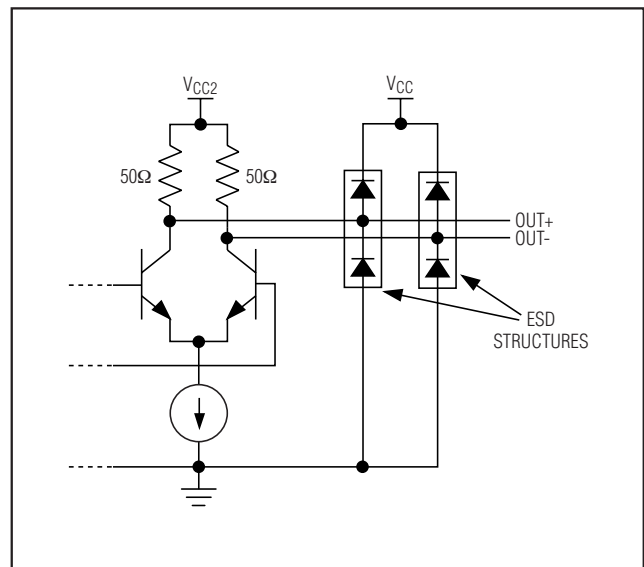


図1. CML出力回路

10.7Gbps、適応型受信イコライザ

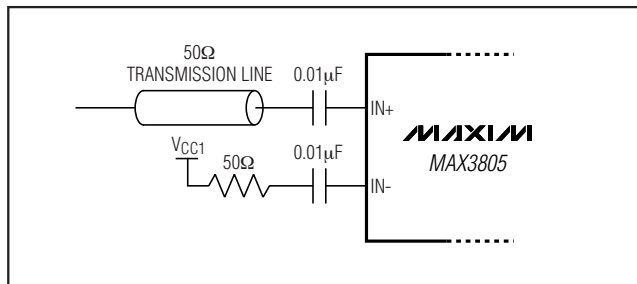


図2. シングルエンド動作

高周波成分は減衰します。伝送線路出力での信号スペクトル特性のこのような変化を2つのパワーディテクタを用いて測定し、伝送線路損失を求めるわけです。

このデュアルパワーディテクタフィードバックループでは、2つのパワーディテクタの出力比に応じて減衰量を調節し、 $\sin^2(f)/f^2$ 特性の補償を行います。フィードバックループの時定数は通常10μsです。

データレートやコーディングが異なる場合の使用

MAX3805のイコライザフィードバックループは、9.95Gbps～10.7GbpsのNRZ PRBSデータに最適化されていますが、フィードバックループを調整すれば、より低いデータレートや異なるコーディングのデータにも適用可能です。2つのパワーディテクタの相対利得は、図3に示すように、HFPD端子とLFPD端子に500kΩのトリマポテンショメータを接続し、ワイパをVCCに接続して調整することができます。トリマポテンショメータは、アイパターンが最適になるように調整します。

HFPD端子とLFPD端子にポテンショメータを取り付けると、信号検出のアサートレベルやデアサートレベルが変化し、信号検出出力が無効になる場合があります。9.953Gbps～10.7GbpsのPRBS NRZデータを取り扱う通常の動作では、HFPD端子(13ピン)とLFPD端子(14ピン)には何も接続せず、オープンのままとします。また、13ピンや14ピンの静電容量が大きくなるとフィードバックループの動作に悪影響が出ることがあります。つまり、これらの端子からトリマポテンショメータまでのプリント基板トレースは、できるだけ短くする必要があります。

イネーブル機能

EN出力はLVCMOS互換端子で、MAX3805の出力段をイネーブルにすることができます。ENをVCCあるいはLVCMOSハイに接続すると出力段がイネーブルとなり、ENをGNDまたはLVCMOSローに接続すると出力段がディセーブルとなります。

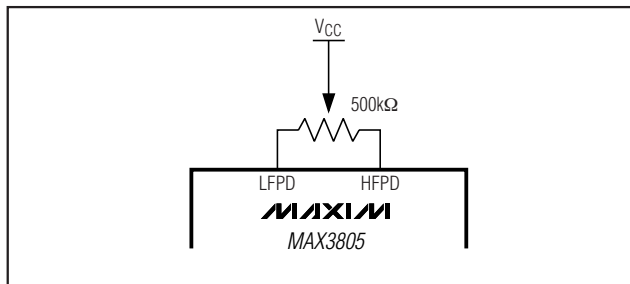


図3. HFPD端子とLFPD端子にポテンショメータを接続

信号検出

高周波パワーディテクタの出力を使って、LVCMOS互換の信号検出(SD)出力を生成します。SD出力は、伝送線路からの入力信号が200mV_{p-p}以下になるとアサートとなり、220mV_{p-p}以上になるとデアサートとなります。このSD出力を直接EN入力に接続すると、データ信号の入力がない間、MAX3805の出力をディセーブルすることができます。SD出力のLVCMOSファンアウトは1です。

パッケージおよびレイアウトの考慮

MAX3805はプラスチックモールドの3mm x 3mm、16リード薄型QFNパッケージで提供されており、信号の完全性を高めるエクスポーズドパッドを備えています。エクスポーズドパッドは熱及び電気のパスとなるものであり、高周波グランドプレーンに半田付けする必要があります。10Gbps SDIおよびSDOへのプリント基板伝送線路に対しては、適切なレイアウトを使用する必要があります。また、ICパッケージ周辺のトレースは、インピーダンスに不連続が発生しないように設計してください。電源との接続では、ICパッケージにできるだけ近い位置にデカップリングコンデンサを取り付けてください。

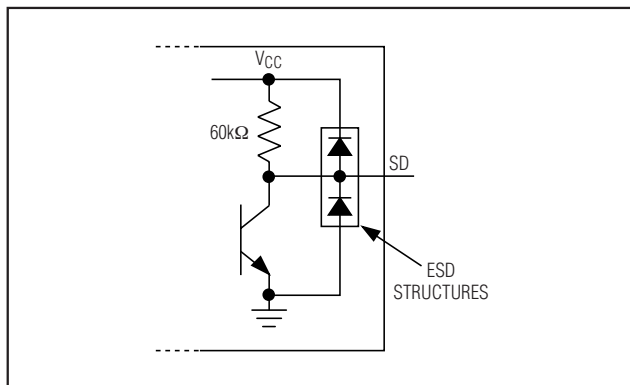


図4. 信号検出出力回路

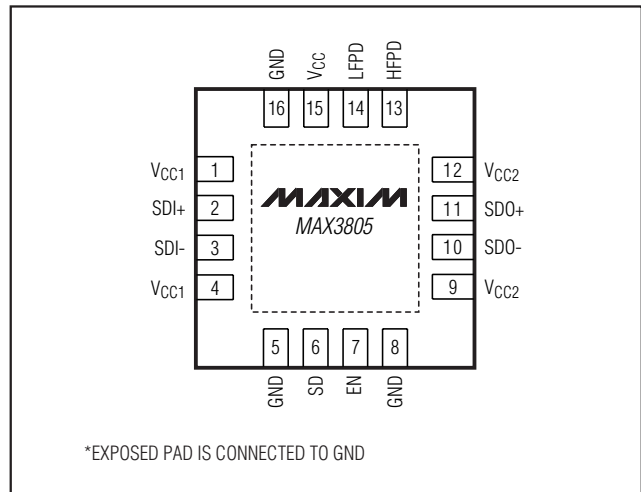
10.7Gbps、適応型受信イコライザ

チップ情報

TRANSISTOR COUNT: 1647

PROCESS: SiGe Bipolar

ピン配置

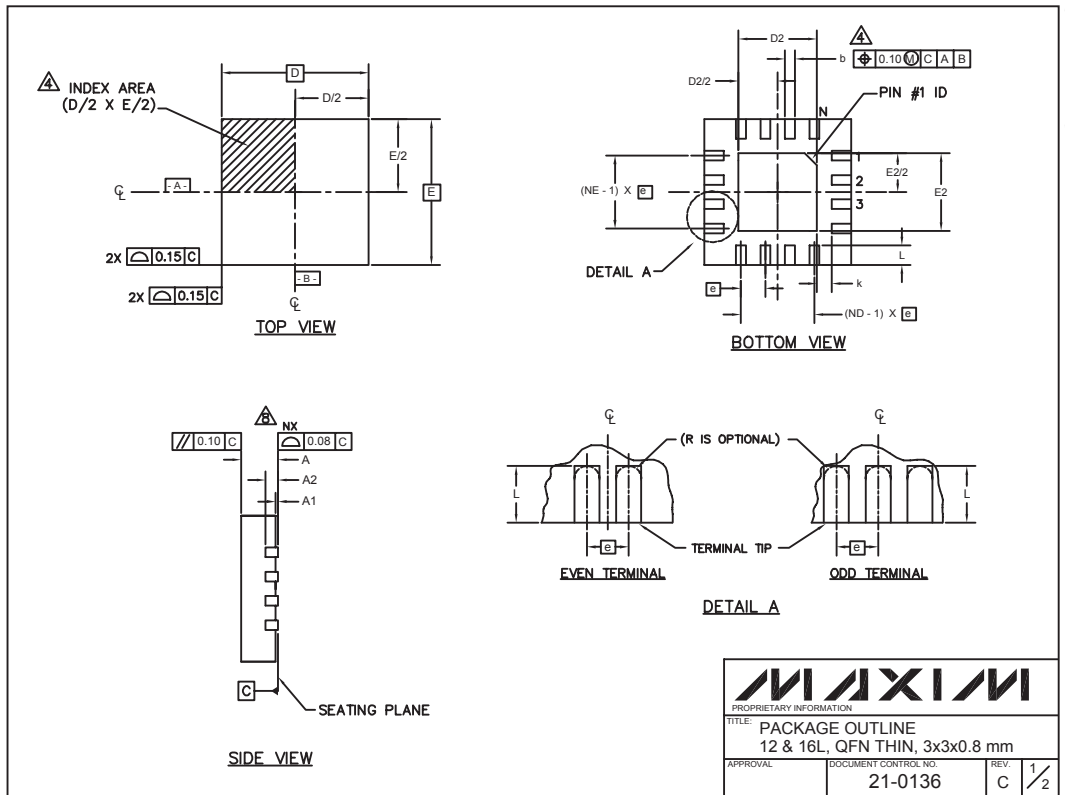


10.7Gbps、適応型受信イコライザ

MAX3805

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages> をご参照下さい。)



10.7Gbps、適応型受信イコライザ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages> をご参照下さい。)

PKG	12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC.			0.50 BSC.		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

EXPOSED PAD VARIATIONS								
PKG. CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	-

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 REVISION C.

MAXIM		
PROPRIETARY INFORMATION		
TITLE: PACKAGE OUTLINE		
12 & 16L, QFN THIN, 3x3x0.8 mm		
APPROVAL	DOCUMENT CONTROL NO.	REV.
	21-0136	C 2/2

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 10