

EVALUATION KIT  
AVAILABLE**MAXIM****完全デュアルバンド  
直交トランスミッタ**

MAX2361/MAX2363/MAX2365

**概要**

MAX2361は、セルラ電話用のデュアルバンド、トリプルモードの完全トランスミッタで、このアプリケーションにおいて今日最も統合され、最も進歩した構造を持つ解決法を提供します。この製品は、差動IQベースバンド入力を受け付け、直交変調器及びIF可変利得アンプ(VGA)を通じてそれを変換し、IFに送ります。信号は次に外部バンドパスフィルタに送られ、イメージ除去ミキサ及びRF VGAを通じてRFにアップコンバートされます。信号は更に内蔵PAドライバで増幅されます。IFシンセサイザ、RFシンセサイザ、局部発振器(LO)バッファ、及び3線プログラマブルバスも内蔵され、このICの基本機能ブロックを構成しています。MAX2363は、シングルバンド、シングルモード(PCS)の動作を、MAX2365は、シングルバンドのセルラデュアルモード動作をサポートしています。

2つのIF電圧制御発振器(VCO)、2つのIFポート、2つのRF LO入力ポート、及び3つのPAドライバ出力ポートにより、MAX2361では柔軟性のある構造が実現されています。又、単一受信IF周波数及びスプリットバンドPCSフィルタを使用した帯域外ノイズ性能の最適化が可能となっています。低ノイズのPAドライバにより、最高3つのRF SAWフィルタが不要になります。動作モードを選択するには、SPI™/QSPI™/MICROWIRE™コンパチブルの3線シリアルバスにデータを供給します。チャージポンプ電流、IF/RF利得バランス、スタンバイ、シャットダウン、その他の機能もシリアルインタフェースにより制御されます。

MAX2361/MAX2363/MAX2365は48ピンQFN-EPパッケージで提供されており、拡張温度範囲(-40℃～+85℃)で動作します。

**アプリケーション**

CDMA、cdma2000、TDMA、W-CDMA、GAITの  
モバイル電話

衛星電話

ワイヤレスデータリンク(WAN/LAN)

ワイヤレスローカルエリアネットワーク(LAN)

高速データモデム

ピン配置はデータシートの最後に記載されています。  
選択ガイドはデータシートの最後に記載されています。

SPI及びQSPIはMotorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。  
cdma2000はTelecommunications Industry Associationの  
商標です。

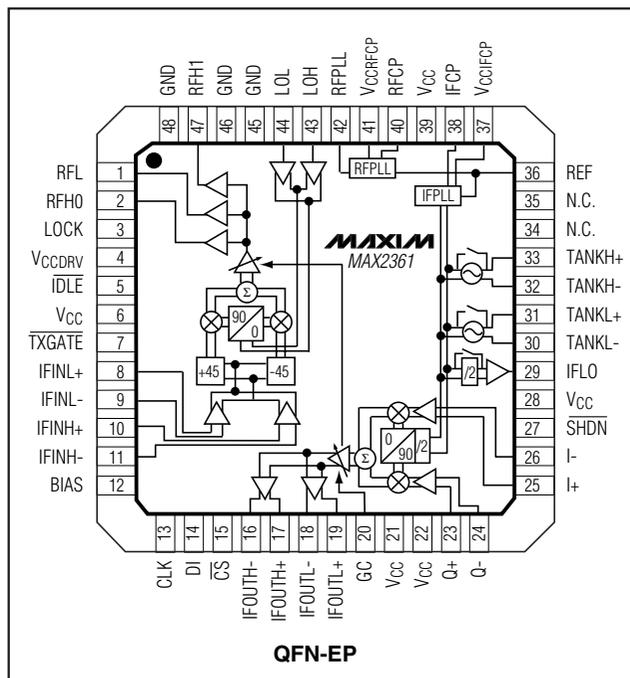
**MAXIM****特長**

- ◆ デュアルバンド、トリプルモード動作
- ◆ リニア出力電力：+9dBm
- ◆ 電力制御範囲：100dB
- ◆ 出力電力が減少するにつれて消費電流も減少
- ◆ IF及びRF LO用デュアルシンセサイザ
- ◆ デュアル内蔵IF VCO
- ◆ QSPI/SPI/MICROWIREコンパチブル3線バス
- ◆ デジタル制御の動作モード
- ◆ SAWフィルタを不要にするシングルサイドバンドアップコンバータ
- ◆ パワーアンプを直接駆動

**型番**

PART	TEMP. RANGE	PIN-PACKAGE
MAX2361EGM	-40°C to +85°C	48 QFN-EP*
MAX2363EGM	-40°C to +85°C	48 QFN-EP*
MAX2365EGM	-40°C to +85°C	48 QFN-EP*

\* エクスポーズドパドル

**ファンクションダイアグラム**

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

## ABSOLUTE MAXIMUM RATINGS

V<sub>CC</sub> to GND .....-0.3V to +3.6V  
 RFL, RFH0, RFH1,  
 V<sub>CCIFCP</sub>, V<sub>CCRFCP</sub>, V<sub>CCDRV</sub> to GND .....-0.3V to +5.5V  
 DI, CLK, CS, GC, SHDN, TXGATE,  
 IDLE, LOCK to GND .....-0.3V to (V<sub>CC</sub> + 0.3V)  
 AC Input Pins (IFINL<sub>-</sub>, IFINH<sub>-</sub>, Q<sub>-</sub>, I<sub>-</sub>, TANKL<sub>-</sub>, TANKH<sub>-</sub>,  
 REF, RFPLL, LOL, LOH) ..... 1.0V peak

Digital Input Current (SHDN, TXGATE, IDLE,  
 CLK, DI, CS) .....±10mA  
 Continuous Power Dissipation (T<sub>A</sub> = +70°C)  
 48-Pin QFN-EP (derate 27mW/°C above +70°C) .....2.1W  
 Operating Temperature Range .....-40°C to +85°C  
 Junction Temperature .....+150°C  
 Storage Temperature Range .....-65°C to +150°C  
 Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(MAX2361/MAX2363/MAX2365, SHDN = IDLE = TXGATE = high, V<sub>GC</sub> = 2.4V, R<sub>BIAS</sub> = 10kΩ, I<sub>CCCTRL</sub> is in power-up state, no AC signals applied, V<sub>CC</sub> = +2.7V to +3.3V, V<sub>BAT</sub> = +2.7V to +4.5V, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at V<sub>CC</sub> = V<sub>BAT</sub> = +2.8V, T<sub>A</sub> = +25°C, and operating modes are defined in Table 9.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS	
Operating Supply Voltage	V <sub>CC</sub>		2.7		3.3	V	
	V <sub>BAT</sub>		2.7		4.5		
Operating Supply Current	PCS mode	V <sub>GC</sub> = 0.6V		50	82	mA	
		V <sub>GC</sub> = 1.95V		55	90		
		MPL = 0	PRFH0 = +5dBm		114		
			PRFH1 = +5dBm		121		
		MPL = 1	PRFH0 = +8dBm		137		
			PRFH1 = +8dBm		146		
	Cellular mode	V <sub>GC</sub> = 0.6V		48	78		
		V <sub>GC</sub> = 1.95V		53	86		
		MPL = 0, PRFL = +5dBm		102			
		MPL = 1, PRFL = +8dBm		126			
	FM mode	V <sub>GC</sub> = 1.95V		75	85		
		MPL = 1, PRFL = +11dBm		87			
	Addition for IFLO buffer			3.4	7.7		
	IDLE = low, PSS = 0			6	10		
IDLE = low, PSS = 1			7.2	12.2			
TXGATE = low, RFPLL off			11	17			
Leakage Current	SHDN = low, RFH <sub>-</sub> , RFL, V <sub>CCDRV</sub>			0.5	20	μA	
Logic High			0.7V <sub>CC</sub>			V	
Logic Low					0.3V <sub>CC</sub>	V	
Logic Input Current			-5		+5	μA	
GC Input Current				6	11	μA	
GC Input Resistance During Shutdown	SHDN = low		215	340		kΩ	
Lock Indicator High	100kΩ pullup load		V <sub>CC</sub> - 0.4			V	
Lock Indicator Low	100kΩ pullup load				1.0	V	

### ELECTRICAL CHARACTERISTICS

(MAX2361/MAX2363/MAX2365 EV kit, 50Ω system, operating modes as defined in Table 9, TEMP\_COMP = 10, input voltage at I and Q = 600mV<sub>P-P</sub> differential, 300kHz quadrature CW tones, RF and IF synthesizers locked, V<sub>REF</sub> = 200mV<sub>P-P</sub> at 19.68MHz, V<sub>CC</sub> = V<sub>BAT</sub> = SHDN = IDLE = CS = TXGATE = 2.8V, LOH, LOL input power = -10dBm, f<sub>LOL</sub> = 966.38MHz, f<sub>LOH</sub> = 1750MHz, f<sub>RFH0</sub> = f<sub>RFH1</sub> = 1880.38MHz, f<sub>RFL</sub> = 836MHz, T<sub>A</sub> = +25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>MODULATOR, QUADRATURE MODES (CDMA, PCS, FM_IQ)</b>					
IF Frequency Range	IF_SEL = 0	120–235			MHz
	IF_SEL = 1	120–380			
I/Q Common-Mode Input Voltage	V <sub>CC</sub> = +2.7V to +3.3V (Notes 1, 2, 3)	1.35	V <sub>CC</sub> / 2	V <sub>CC</sub> - 1.25	V
I/Q Input Current	Common-mode voltage = 1.4V	6			μA
IF Gain-Control Range	V <sub>GC</sub> = 0.6V to 2.4V, IFG = 100	85			dB
IF Output Power at IFOUTL and IFOUTH	IFG = 100, ACPR = -60dBc (Note 4)	-7			dBm
Gain Variation Over Temperature	Relative to +25°C, T <sub>A</sub> = -40°C to +85°C (Note 1)	-1	+1		dB
Carrier Suppression	V <sub>GC</sub> = 2.4V, IFG = 100, f <sub>IFOUTL</sub> = 130.38MHz (Note 1)	35	43		dB
Sideband Suppression	V <sub>GC</sub> = 2.4V, IFG = 100, f <sub>IFOUTL</sub> = 130.38MHz (Note 1)	35	45		dB
IF Output Noise	V <sub>GC</sub> = 2.4V, noise measured at 20MHz offset	-143			dBm/Hz
<b>MODULATOR, FM MODE</b>					
Output Power at IFOUTL	V <sub>GC</sub> = 2.4V, IFG = 100, I/Q modulation	-9			dBm
	V <sub>GC</sub> = 2.4V, IFG = 100, direct VCO modulation	-4			
<b>UPCONVERTER AND PREDRIVER</b>					
IF Frequency Range	IF_SEL = 0	120–235			MHz
	IF_SEL = 1	180–380			
RFL Frequency Range	RFL port	800–1000			MHz
RFH_ Frequency Range	RFH0 and RFH1 ports	1700–2000			MHz
LOL Frequency Range		800–1150			MHz
LOH Frequency Range		800–2360			MHz
LO Input Power	LOL, LOH	-10	-7		dBm
RFPLL Frequency Range	PSS = 0	1300			MHz
	PSS = 1	2360			
Conversion Gain	MPL = 0, T <sub>A</sub> = -40°C to +85°C	RFL	19.2		dB
		RFH0	18.9		
		RFH1	17.6		
	MPL = 1, T <sub>A</sub> = -40°C to +85°C	RFL	22.4		
		RFH0	22.8		
		RFH1	21.4		
RF Gain-Control Range	V <sub>GC</sub> = 0.6V to 2.4V	40			dB
Image Signal	At maximum output power	-35			dBc

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

## ELECTRICAL CHARACTERISTICS (continued)

(MAX2361/MAX2363/MAX2365 EV kit, 50Ω system, operating modes as defined in Table 9, TEMP\_COMP = 10, input voltage at I and Q = 600mV<sub>P-P</sub> differential, 300kHz quadrature CW tones, RF and IF synthesizers locked, V<sub>REF</sub> = 200mV<sub>P-P</sub> at 19.68MHz, V<sub>CC</sub> = V<sub>BAT</sub> = SHDN = IDLE = CS = TXGATE = 2.8V, LOH, LOL input power = -10dBm, f<sub>LOL</sub> = 966.38MHz, f<sub>LOH</sub> = 1750MHz, f<sub>RFH0</sub> = f<sub>RFH1</sub> = 1880.38MHz, f<sub>RFL</sub> = 836MHz, T<sub>A</sub> = +25°C, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
<b>CASCADED MODULATOR, UPCONVERTER, AND PREDRIVER</b>						
RFL Output Power	MPL = 1, T <sub>A</sub> = -40°C to +85°C, meets ACPR specifications (Note 1)		6.8	9		dBm
RFH0 Output Power	MPL = 1, T <sub>A</sub> = -40°C to +85°C, meets ACPR specifications (Note 1)		7.7	10.7		dBm
RFH1 Output Power	MPL = 1, T <sub>A</sub> = -40°C to +85°C, meets ACPR specifications (Note 1)		6.6	9.7		dBm
RFL Adjacent Channel Power Ratio	f <sub>OFFSET</sub> = ±885kHz in 30kHz bandwidth				-52	dBc
RFL Alternate Channel Power Ratio	f <sub>OFFSET</sub> = ±1.98MHz in 30kHz bandwidth				-65	dBc
RFH_ Adjacent Channel Power Ratio	f <sub>OFFSET</sub> = ±1.25MHz in 30kHz bandwidth				-52	dBc
RFH_ Alternate Channel Power Ratio	f <sub>OFFSET</sub> = ±1.98MHz in 30kHz bandwidth				-68	dBc
RX Band Noise Power (Note 1)	MPL = 1, P <sub>RFL</sub> = +8dBm	Noise measured at +45MHz offset		-131	-128	dBm/ Hz
	MPL = 0, P <sub>RFL</sub> = +5dBm			-134	-131	
	MPL = 1, P <sub>RFH_</sub> = +8dBm	Noise measured at +80MHz offset		-131	-128	
	MPL = 0, P <sub>RFH_</sub> = +5dBm			-133	-130	
Output Power Variation Over Temperature	Relative to +25°C, T <sub>A</sub> = -40°C to +85°C			±1		dB
<b>IF_PLL</b>						
Reference Frequency			5		30	MHz
Reference Frequency Signal Level			0.1		0.6	V <sub>P-P</sub>
IF Main Divide Ratio			256		16383	
IF Reference Divide Ratio			2		2047	
VCO Operating Range	VCO_SEL = 0		240–470			MHz
	VCO_SEL = 1		240–760			
Charge-Pump Source/Sink Current	ICP = 00		114	139	178	μA
	ICP = 01		158	192	246	
	ICP = 10		228	278	356	
	ICP = 11		319	390	499	

## ELECTRICAL CHARACTERISTICS (continued)

(MAX2361/MAX2363/MAX2365 EV kit, 50Ω system, operating modes as defined in Table 9, TEMP\_COMP = 10, input voltage at I and Q = 600mV<sub>P-P</sub> differential, 300kHz quadrature CW tones, RF and IF synthesizers locked, V<sub>REF</sub> = 200mV<sub>P-P</sub> at 19.68MHz, V<sub>CC</sub> = V<sub>BAT</sub> = SHDN = IDLE = CS = TXGATE = 2.8V, LOH, LOL input power = -10dBm, f<sub>LOL</sub> = 966.38MHz, f<sub>LOH</sub> = 1750MHz, f<sub>RFH0</sub> = f<sub>RFH1</sub> = 1880.38MHz, f<sub>RFL</sub> = 836MHz, T<sub>A</sub> = +25°C, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
TurboLock Boost Current	ICP_MAX = 1	632	774	987	μA
Charge-Pump Source/Sink Matching	All values of ICP, over specified compliance range			6	%
IF Charge-Pump Compliance		0.5		V <sub>CCIFCP</sub> - 0.5	V
Charge-Pump High-Z Leakage	Over specified compliance range		20		pA
<b>RF_PLL</b>					
Reference Frequency		5		30	MHz
RF Main Divide Ratio		4096		262143	
RF Reference Divide Ratio		2		8191	
Charge-Pump Source/Sink Current	RCP = 00	266	325	416	μA
	RCP = 01	533	650	832	
	RCP = 10	605	738	945	
	RCP = 11	872	1063	1361	
TurboLock Boost Current	(Note 5)	1388	1694	2168	μA
Charge-Pump Source/Sink Matching	All values of RCP, over specified compliance range			6	%
RF Charge Pump Compliance		0.5		V <sub>CCRFCP</sub> - 0.5	V
Phase Detector Noise Floor	RCP = 11, RCP_TURBO1 = RCP_TURBO2 = 0, 30kHz comparison frequency		-162		dBc/Hz
Charge-Pump High-Z Leakage	Over specified compliance range		20		pA
RFPLL Input Sensitivity		160			MV <sub>P-P</sub>

**Note 1:** Guaranteed by design and characterization to 3 sigma (includes board and component variations).

**Note 2:** ACPR is met over the specified V<sub>CM</sub> range.

**Note 3:** V<sub>CM</sub> must be supplied by the I/Q baseband source with ±8μA capability.

**Note 4:** IQ\_LEVEL = 0, V<sub>Q-</sub> = V<sub>I-</sub> = 87mV<sub>RMS</sub> differential, IS98 reverse channel modulation at 415mV<sub>P-P</sub> differential with 0.1% 4.5dB peak-to-average ratio.

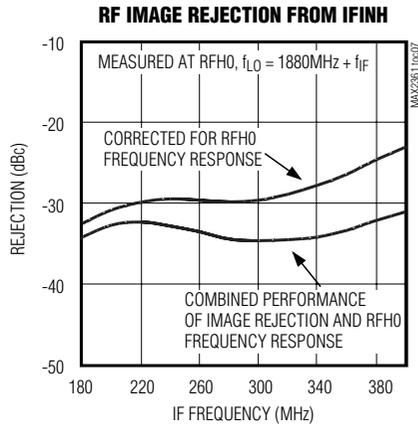
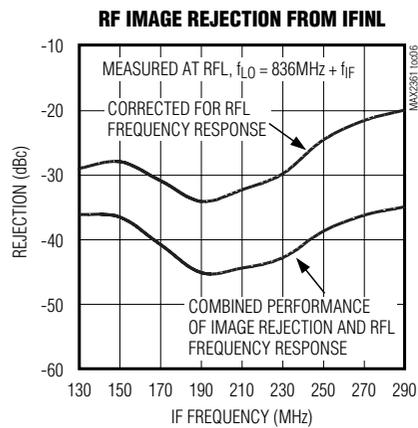
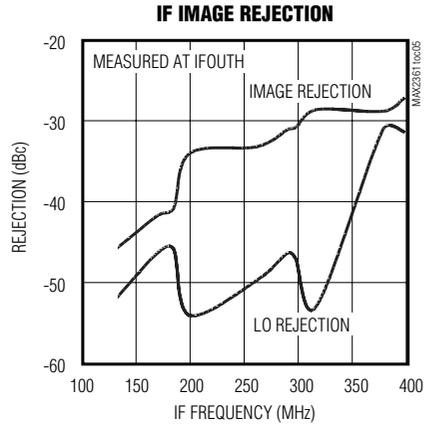
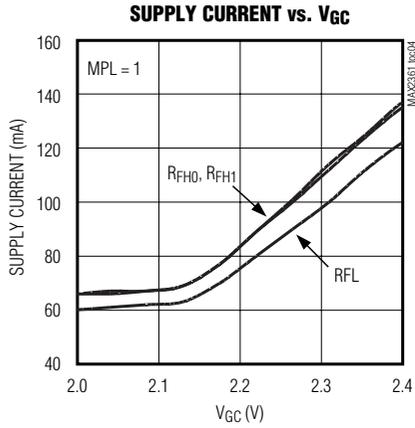
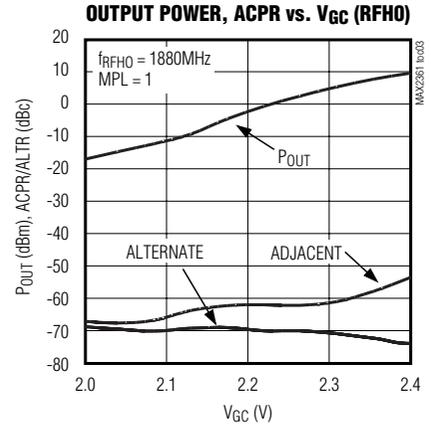
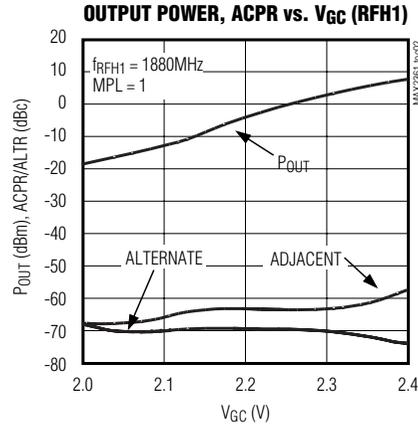
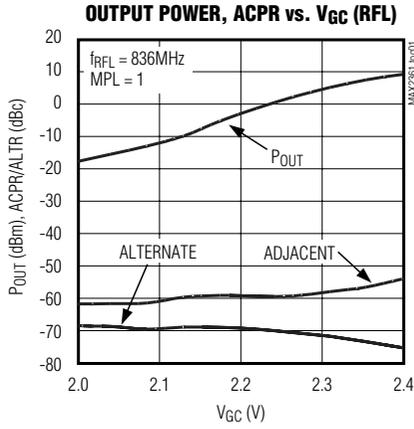
**Note 5:** When enabled with RCP\_TURBO1 and RCP\_TURBO2 (see Tables 2 and 3), the total charge-pump current is specified. For all values of RCP, the total turboLock current is 1.63 times the corresponding nonturbo current value.

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

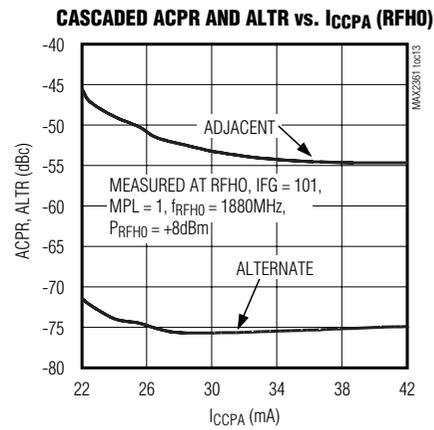
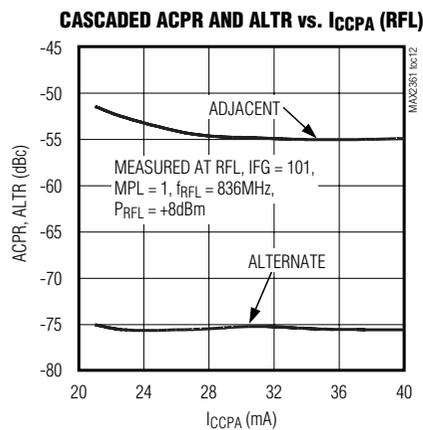
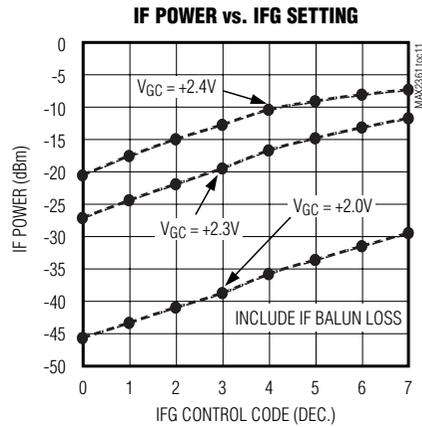
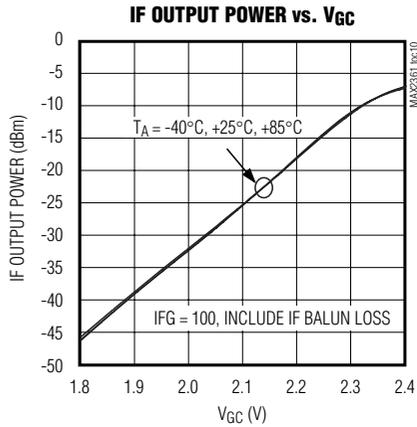
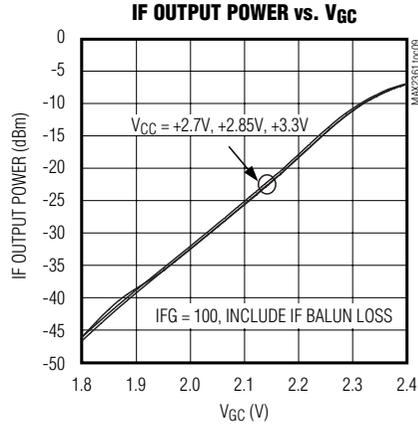
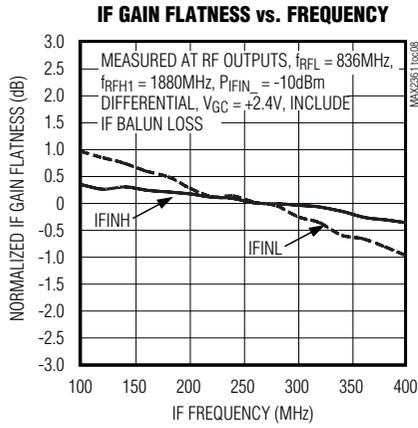
## 標準動作特性

(MAX2361 EV kit,  $V_{CC} = V_{BAT} = +2.8V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 標準動作特性(続き)

(MAX2361 EV kit,  $V_{CC} = V_{BAT} = +2.8V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

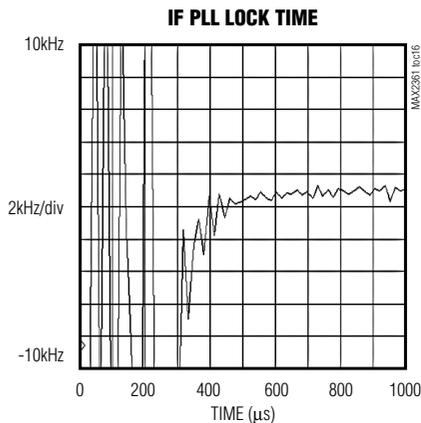
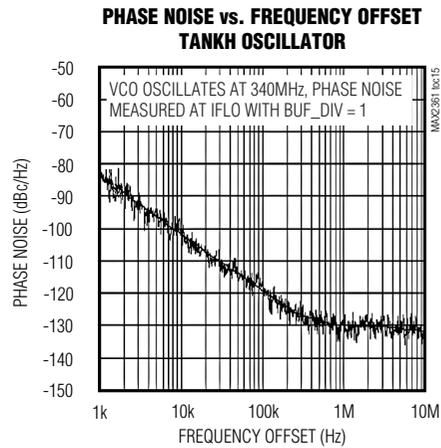
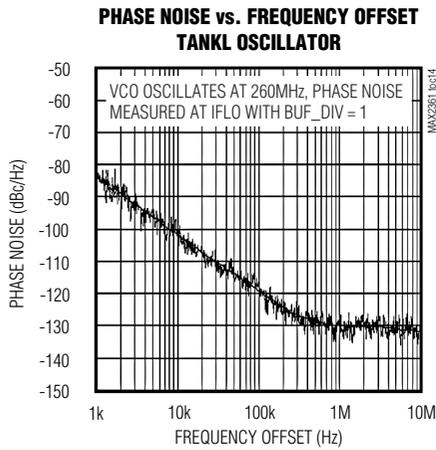


# 完全デュアルバンド 直交トランスミッタ

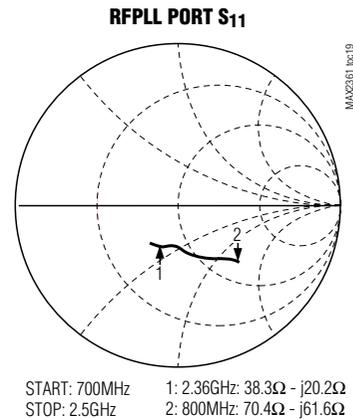
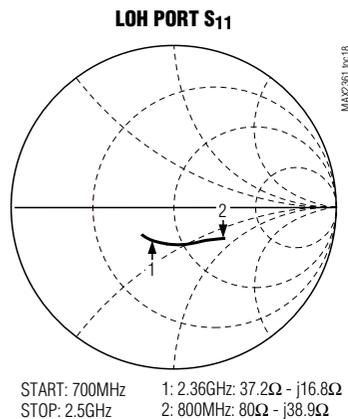
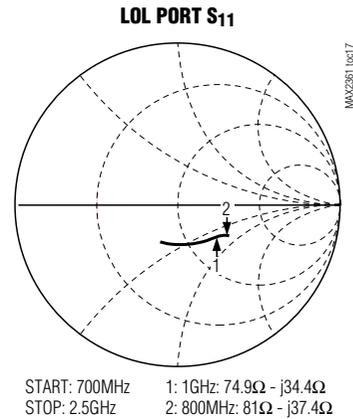
MAX2361/MAX2363/MAX2365

## 標準動作特性(続き)

(MAX2361 EV kit,  $V_{CC} = V_{BAT} = +2.8V$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



ICP = 11, ICP\_MAX = 0  
 $f_{COMP} = 240kHz$ ,  $f_{IF} = 263.64MHz$   
 LOOP FILTER:  $20k\Omega$  IN SERIES WITH  $2.2nF$ ,  $220pF$  PARALLEL  
 LOOP BW =  $10kHz$



## 端子説明

端子			名称	機能
MAX2361	MAX2363	MAX2365		
1	—	1	RFL	FMモード及びデジタルモード両用のセルラバンド(800MHz~1000MHz)用トランスミッタRF出力。このオープンコレクタ出力は、電源電圧へのプルアップインダクタを必要とします。このインダクタは出力マッチングネットワークの一部に含めることができ、バッテリーに直接接続できます。
2	2	—	RFH0	PCSバンド(1700MHz~2000MHz)用トランスミッタRF出力。このオープンコレクタ出力は、電源電圧へのプルアップインダクタを必要とします。プルアップインダクタは出力マッチングネットワークの一部に含めることができ、バッテリーに直接接続できます。スプリットバンドPCSアプリケーションに対しては、1880MHz~1910MHzの範囲でRFH0を使用して下さい。
3	3	3	LOCK	IF、及び/或いはRF PLLのロックステータスを示すオープンコレクタ出力。プルアップ抵抗を必要とします。構成レジスタビットLD_MODEを使用して制御して下さい。
4	4	4	VCCDRV	ドライバ段用電源端子。バッテリーに直接接続できます。端子のできるだけ近くでプリント基板のグラウンドにバイパスして下さい。バイパスコンデンサのグラウンドピアは他の分岐と共有しないで下さい。
5	5	5	$\overline{\text{TDLE}}$	デジタル入力。ロジックハイに駆動すると、通常動作になります。 $\overline{\text{TDLE}}$ をロジックローに駆動すると、RF PLL及び関連するレジスタを除く全てが停止します。デジタルノイズを防ぐために小型のR-Cローパスフィルタを使用することができます。
6	6	6	VCC	アップコンバータ段用電源端子。VCCは、端子のできるだけ近くでシステムのグラウンドにバイパスして下さい。バイパスコンデンサのグラウンドピアは他の分岐と共有しないで下さい。
7	7	7	$\overline{\text{TXGATE}}$	デジタル入力。ロジックハイに駆動すると、通常動作になります。 $\overline{\text{TXGATE}}$ をロジックローに駆動すると、RF PLL、IF PLL、IF VCO、及びシリアルバスとレジスタを除く全てが停止します。このモードはゲートッド送信用に使用されます。
8, 9	—	8, 9	IFINL+, IFINL-	RFアップコンバータへの差動入力。これらの端子は内部でバイアスされています。これらのポートの入力インピーダンスは通常400Ω差動です。IFフィルタをこれらのポートにACカップリングして下さい。差動ラインはできるだけ短く保ち、浮遊ピックアップ及びシャント容量を最小限に抑えて下さい。
10, 11	10, 11	—	IFINH+, IFINH-	RFアップコンバータへの差動入力。これらの端子は内部でバイアスされています。これらのポートの入力インピーダンスは通常400Ω差動です。IFフィルタをこれらのポートにACカップリングして下さい。差動ラインはできるだけ短く保ち、浮遊ピックアップ及びシャント容量を最小限に抑えて下さい。
12	12	12	BIAS	バイアス抵抗端子。BIASは約600mVに内部でバイアスされています。この端子とGND間の外部抵抗が、アップコンバータ及びPAドライバ段のバイアス電流を設定します。公称抵抗値は10kΩです。ドライバ段の直線性を最適化するために、この値は変更可能です。
13, 14, 15	13, 14, 15	13, 14, 15	CLK, DI, $\overline{\text{CS}}$	3線シリアルバスからの入力端子(SPI/QSPI/MICROWIREコンパチブル)。

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

## 端子説明(続き)

端子			名称	機能
MAX2361	MAX2363	MAX2365		
16, 17	16, 17	—	IFOUTH-, IFOUTH+	差動IF出力。これらのポートはレジスタビットIF_SELが1の時アクティブになります。FMモードはサポートされていません。これらの端子はインダクタによりV <sub>CC</sub> にプルアップする必要があります。このポート及びIFINH+又はIFINH-の間に差動IFバンドパスフィルタが接続されています。プルアップインダクタはフィルタ構造の一部に含めることができます。このポートの公称差動出力インピーダンスは600Ωです。これらの端子からの送信ラインを短くして、スプリアス信号及びノイズの影響を最小限に抑えて下さい。
18, 19	—	18, 19	IFOUTL-, IFOUTL+	差動IF出力。これらのポートはレジスタビットIF_SELが0の時アクティブになります。これらの端子はインダクタによりV <sub>CC</sub> にプルアップする必要があります。このポート並びにIFINL+及びIFINL-の間に差動IFバンドパスフィルタが接続されています。プルアップインダクタはフィルタ構造の一部に含めることができます。このポートの公称差動出力インピーダンスは600Ωです。これらの端子からの送信ラインを短くして、スプリアス信号及びノイズの影響を最小限に抑えて下さい。
20	20	20	GC	RF及びIF利得制御アナログ入力。0.6V~2.4Vを印可して、RF段及びIF段の利得を制御して下さい。この端子にRCフィルタを使用して、ラインからのDACノイズ又はPDMクロックスパーを低減して下さい。
21	21	21	V <sub>CC</sub>	IF VGA用電源端子。コンデンサを使用して、端子のできるだけ近くでバイパスして下さい。バイパスコンデンサのグラウンドピアは他の分岐と共有しないで下さい。
22	22	22	V <sub>CC</sub>	I/Q変調器の電源。コンデンサを使用して、端子のできるだけ近くでバイパスして下さい。バイパスコンデンサのグラウンドピアは他の分岐と共有しないで下さい。
23, 24	23, 24	23, 24	Q+, Q-	変調器への差動Qチャンネルベースバンド入力。これらの端子は差動ペアのベースに直接接続され、外部コモンモードバイアス電圧を必要とします。
25, 26	25, 26	25, 26	I+, I-	変調器への差動Iチャンネルベースバンド入力。これらの端子は差動ペアのベースに直接接続され、外部コモンモードバイアス電圧を必要とします。
27	27	27	$\overline{\text{SHDN}}$	シャットダウン入力。ロジックハイに駆動すると、通常動作になります。 $\overline{\text{SHDN}}$ をロジックローに駆動すると、シリアルインタフェースを除くIC全体が停止しますが、全レジスタ内の情報は保持されます。R-Cローパスフィルタを使用して、ディジタルノイズを除去することができます。
28	28	28	V <sub>CC</sub>	VCOセクションへの電源端子。できるだけ端子に近づけてバイパスして下さい。バイパスコンデンサのピアは他の分岐と共有しないで下さい。
29	29	29	IFLO	バッファ付LO出力。レジスタビットBUF_ENを使用して出力バッファを制御し、レジスタビットBUF_DIVを使用して分割比を制御して下さい。
30, 31	—	30, 31	TANKL-, TANKL+	低周波IF VCO用差動タンク端子。これらの端子は内部でバイアスされています。VCO_SEL = 0によりこのIF VCOが選択されます。

## 端子説明(続き)

端子			名称	機能
MAX2361	MAX2363	MAX2365		
32, 33	32, 33	—	TANKH-, TANKH+	高周波IF VCO用差動タンク端子。これらの端子は内部でバイアスされています。VCO_SEL = 1によりこのIF VCOが選択されます。
34, 35	1, 8, 9, 18, 19, 30, 31, 34, 35, 44	2, 10, 11, 16, 17, 32-35, 43, 47	N.C.	無接続。これらの端子は未接続のままにしておいて下さい。
36	36	36	REF	リファレンス周波数入力。REFは内部でバイアスされており、リファレンスソースにACカップリングする必要があります。これはハイインピーダンスポート(25kΩ    3pF)です。
37	37	37	VCCIFCP	IFチャージポンプ用電源。この電源はシステムV <sub>CC</sub> と区別できます。できるだけ端子に近づけてバイパスして下さい。バイパスコンデンサのピアは他の分岐と共有しないで下さい。
38	38	38	IFCP	IFチャージポンプのハイインピーダンス出力。IF PLLループフィルタを通じてIF VCOの同調入力に接続します。IFCPから同調入力までのラインはできるだけ短く保ち、スプリアスの取り込みを防止して下さい。ループフィルタを同調入力のできるだけ近くで接続します。
39	39	39	V <sub>CC</sub>	デジタル回路用電源端子。できるだけ端子に近づけてバイパスして下さい。バイパスコンデンサのピアは他の分岐と共有しないで下さい。
40	40	40	RFCP	RFチャージポンプのハイインピーダンス出力。RF PLLループフィルタを通じてRF VCOの同調入力に接続します。この端子から同調入力までのラインはできるだけ短く保ち、スプリアスの取り込みを防止して下さい。ループフィルタを同調入力のできるだけ近くで接続します。
41	41	41	V <sub>CCRFCP</sub>	RFチャージポンプの電源。この電源はシステムV <sub>CC</sub> と区別できます。できるだけ端子に近づけてバイパスして下さい。バイパスコンデンサのピアは他の分岐と共有しないで下さい。
42	42	42	RFPLL	RF PLL入力。このポートをRF VCOにACカップリングして下さい。RFPLLは内部でバイアスされています。
43	43	—	LOH	ハイバンドRF LO入力ポート。このポートにACカップリングして下さい。
44	—	44	LOL	ローバンドRF LO入力ポート。このポートにACカップリングして下さい。
45, 46, 48	45, 46, 48	45, 46, 48	GND	アイソレーションGND。内部接続されていません。より優れたアイソレーションを実現するには、プリント基板のグランドプレーンに接続して下さい。
47	47	—	RFH1	PCSバンド(1700MHz~2000MHz)用トランスミッタRF出力。このオープンコレクタ出力は、電源電圧へのプルアップインダクタを必要とします。プルアップインダクタは出力マッチングネットワークの一部に含めることができ、バッテリーに直接接続できます。スプリットバンドPCSアプリケーションに対しては、1850MHz~1880MHzの範囲でRFH1を使用して下さい。
EP	EP	EP	GND	ICのDC及びAC GND帰路。複数のピアを使用してプリント基板のグランドプレーンに接続して下さい。

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

## 詳細

MAX2361は完全直交トランスミッタで、外部同相バイアスを含む差動I/Qベースバンド入力を受け付けます。変調器はこれを120MHz~380MHzの範囲のIF周波数にアップコンバートします。利得制御電圧ピン(GC)は、IF及びRF VGA利得を同時に制御し、最適な消費電流及び直線性能を達成します。IF信号はフィルタリングのために外部に持ち出されてシングルサイドバンドアップコンバータに送られ、その後RF VGA及びPAドライバに送られます。RFアップコンバータを操作するには外部VCOが必要です。IF PLL、RF PLL、及び動作モードは、SPI/QSPI/MICROWIREコンパチブルの3線インタフェースにより設定できます。

次に、MAX2361ファンクションダイアグラムの各ブロックについて説明します。

### I/Q変調器

差動同相(I)及び直交位相(Q)の入力端子はDCカップリングされ、デジタルアナログコンバータ(DAC)からのベースバンド出力でバイアスされるよう設計されています。I入力及びQ入力は、DCバイアス $V_{CC}/2$ 及び電流駆動能力 $8\mu A$ を必要とします。I入力及びQ入力の容量は、 $0.3pF$ (typ)差動です。同相電圧は、 $1.35V \sim (V_{CC} - 1.25V)$ の範囲内で機能します。IF VCO出力は2/4分割ジェネレータブロックに送られ、IQ変調器を駆動するための直交LO成分を引き出します。変調器の出力はVGAに送られます。

### IF VCO

高IF周波数及び低IF周波数をサポートするために2つのVCOがあります。VCOは所望のIF周波数の2倍の周波数で発振します。発振周波数は、外部のタンク部品により決定されます(「アプリケーション情報」を参照)。タンクの標準位相ノイズ性能は、「標準動作特性」に示されています。ハイバンドVCO及びローバンドVCOは、使用中のIFポートとは関係なく選択できます。

### IFLO出力バッファ

IFLOは、BUF\_ENが1の時に、バッファ付LO出力を提供します。IFLOの出力周波数は、BUF\_DIVが0の時はVCO周波数に等しく、BUF\_DIVが1の時はVCO周波数の半分になります。出力電力は $-12dBm$ です。この出力は、受信IFが送信IFと同じ周波数のアプリケーションを想定しています。

### IF/RF PLL

IF/RF PLLは、チャージポンプ出力を使用してループフィルタを駆動します。ループフィルタは通常、受動二次リードラグフィルタです。フィルタの帯域幅外の

位相ノイズはタンク部品によって決定されます。位相ノイズに最も影響を与える2つの部品は、インダクタ及びバラクタです。ハイQのインダクタ及びバラクタを使用して、等価パラレル抵抗を最大化して下さい。IF\_TURBO\_CHARGEビット、RCP\_TURBO1ビット、及びRCP\_TURBO2ビットを設定すると、ターボモードをイネードできます。ターボモードは、周波数アキュイジション中に最大のチャージポンプ電流を提供し、周波数アキュイジション完了後にディセーブルされます。ターボモードがディセーブルされると、チャージポンプ電流はCONFIGレジスタのICPビット及びRCPビットによって設定されているレベルに戻ります(表3)。

PSSビットはMODEビットに関係なくRFPLLプリスケール速度を選択します。これにより、セルラバンドでの送信中にPCSバンドのVCOロックがイネードされます。 $1300MHz$ を超えるVCO周波数に対しては、PSSを1に設定して下さい。

### IF VGA

IF VGAは、GC電圧により制御されるIF出力レベルの変更を可能にします。GCにおける電圧範囲 $0.6V \sim 2.4V$ は $85dB$ の利得制御範囲を提供します。VGAには2つの差動IF出力ポートがあります。IFOUTL+/IFOUTL-は、ローのIF動作( $120MHz \sim 235MHz$ )に最適化されています。IFOUTH+/IFOUTH-はハイのIF動作( $120MHz \sim 380MHz$ )をサポートしています。IFOUTLは、MODEが00に設定されている時、より高いIF出力レベルを提供することで、FMモードをサポートします。

### シングルサイドバンドミキサ

RF送信ミキサは、シングルサイドバンド構造を採用しているため、外部RFフィルタは不要です。シングルサイドバンドミキサには、VGAのIF出力ポートに対応するIF入力段があります。ミキサのあとにはRF VGAが続きます。RF VGAは、IF VGAと同じGC端子により制御され、最適な消費電流及び直線性能を提供します。全電力制御範囲は $100dB$ 以上です。

### PAドライバ

MAX2361は3つのパワーアンプ(PA)ドライバを備えており、各ドライバは所望の動作周波数に対して最適化されています。RFLはセルラバンド動作に対して最適化されています。RFH0及びRFH1はスプリットバンドPCS動作に対して最適化されています。RFH0はTDMA又はWCDMA等の単一ハイバンド出力で使用します。PAドライバはオープンコレクタ出力を備えており、プルアップインダクタを必要とします。プルアップインダクタはシャント直列マッチングにおけるシャント素子として動作できます。

## プログラマブルレジスタ

MAX2361/MAX2363/MAX2365は、4つの分割レジスタ、1個の構成レジスタ、1個の動作制御レジスタ、1個の電流制御レジスタ、及び1個のテストレジスタから成る8個のプログラマブルレジスタを備えています。各レジスタは24ビットで構成されています。最下位の4ビット(LSB)はレジスタのアドレスです。最上位の20ビット(MSB)は、レジスタのデータに使用されます。どのレジスタも、「任意」のビットをいくつか含んでいます。これらは「0」又は「1」のどちらかで、動作には影響を及ぼしません(図1)。データはまずMSBでシフトされ、4ビットのアドレスがそれに続きます。 $\overline{CS}$ がローの時クロックがアクティブになり、データはクロックの立上がりエッジでシフトされます。 $\overline{CS}$ がハイになると、シフトレジスタはアドレスビットの内容により選択されたレジスタにラッチされます。8個のレジスタのパワーアップ時のデフォルトは表1に示されています。分割レジスタ及び制御レジスタは、SPI/QSPI/MICROWIRE コンパチブルシリアルポートから設定されます。

RFMレジスタは、RF PLLのメイン周波数分周比を、RFRレジスタは、リファレンス周波数分周比を設定します。RF VCO周波数は以下のようにして決定できます。

$$\text{RF VCO周波数} = f_{\text{REF}} \times (\text{RFM} / \text{RFR})$$

IFM及びIFRレジスタも同様です。

$$\text{IF VCO周波数} = f_{\text{REF}} \times (\text{IFM} / \text{IFR})$$

ここで、 $f_{\text{REF}}$ は外部リファレンス周波数です。

動作制御レジスタ(OPCTRL)は、MAX2361/MAX2363/MAX2365の状態を制御します。各ビットの機能については表2を参照して下さい。

構成レジスタ(CONFIG)は、RF/IF PLL及びベースバンド I/Q入力レベルの構成を設定します。各ビットの説明については、表3を参照して下さい。

電流制御レジスタはバイアス電流を変更して、異なる動作モードに対応します。高電力モードでは、MPL=1によりバイアス電流及び変換利得が設定され、PAドラ

イバから最小出力電力+8dBmを供給します。低電力モードでは、MPL = 0によりバイアス電流及び変換利得が設定され、PAドライバから最小出力電力+5dBmを供給します。I\_MULTは、表5に従ってPAドライバ段の電流増倍率を設定します。THROTTLE\_BACKは、出力電力が変化した時にバイアス電流の変化する速度を表6に従って設定します。例えば、THROTTLE\_BACK = 011(デフォルト)の時、PAドライバのバイアス電流は、出力電力が1dB低下する毎に1dBmA減少します。THROTTLE\_BACK = 000に設定すると、電流が更に大きく減少します(1.3dBmA/dB電力)が、直線性が犠牲になります。THROTTLE\_BACK設定は最大電力レベルにおけるバイアス電流には影響を及ぼしません。

テストレジスタは通常動作のために100hexである必要があります。通常動作を確保する最善の方法は、テストレジスタを100hexにプログラムすることです。

## 電源管理

バイアス制御は複数の機能セクションに分散されており、表8に示すように、数多くの異なるパワーダウンモードに対応するよう制御可能です。

シリアルインタフェースはシャットダウン中アクティブに留まります。SHDN\_BIT = 0又は $\overline{SHDN} = \text{GND}$ を設定すると、デバイスが停止します。どちらの場合も、PLLプログラミング及びレジスタ情報は保持されます。

## 信号フロー制御

表9に、トリプルモード動作の主要なレジスタの例を示します。ここではハーフバンドPCS及びIF周波数228.6MHz/263.6MHzが想定されています。

## アプリケーション情報

MAX2361は、デュアルバンドのトリプルモードシステム用に設計されており、トリプルモードハンドセットにおける使用が推奨されています(図2)。MAX2363はCDMA PCSハンドセット又はWCDMAシステム用に設計されています(図3)。MAX2365は、デュアルモードセルラシステム用に設計されています(図4)。

表1. レジスタのパワーアップ時デフォルト状態

REGISTER	DEFAULT	ADDRESS	FUNCTION
RFM	32214 dec	0000 <sub>b</sub>	RF M divider count
RFR	656 dec	0001 <sub>b</sub>	RF R divider count
IFM	6519 dec	0010 <sub>b</sub>	IF M divider count
IFR	0492 dec	0011 <sub>b</sub>	IF R divider count
OPCTRL	090F hex	0100 <sub>b</sub>	Operational control settings
CONFIG	D03F hex	0101 <sub>b</sub>	Configuration and setup control
I <sub>CC</sub> CTRL	0038 hex	0110 <sub>b</sub>	Current multiplication factor, PLL band
TEST	100 hex	0111 <sub>b</sub>	Test-mode control

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

		24 BIT REGISTER																				ADDRESS			
		DATA 20 BITS																				ADDRESS 4 BITS			
		B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	A3	A2	A1	A0
RFM DIVIDE REGISTER		RFM DIVIDE RATIO (18)																		ADDRESS					
		X	X		B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	0
RFR DIVIDE REGISTER		RFR DIVIDE RATIO (13)													ADDRESS										
		X	X	X	X	X	X	X	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	0	1
IFM DIVIDE REGISTER		IFM DIVIDE RATIO (14)														ADDRESS									
		X	X	X	X	X	X	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	1	0
IFR DIVIDE REGISTER		IFR DIVIDE RATIO (11)											ADDRESS												
		X	X	X	X	X	X	X	X	X	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	0	1	1
CONTROL REGISTER		OPERATION CONTROL BITS (16)																ADDRESS							
		X	X	X	X	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	1	0	0
CONFIGURATION REGISTER		CONFIGURATION BITS (16)																ADDRESS							
		X	X	X	X	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	1	0	1
CURRENT CONTROL REGISTER		CURRENT CONTROL BITS (16)																ADDRESS							
		X	X	X	X	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	1	1	0
TEST REGISTER											TEST BITS (9)									ADDRESS					
		X	X	X	X	X	X	X	X	X	X	X	X	B8	B7	B6	B5	B4	B3	B2	B1	B0	0	1	1

X = DONT CARE

図1. レジスタの構成

## カスケード接続の性能

表11及び表12に、カスケード接続TDMA及びWCDMAシステムの標準性能を示します。

## 3線インタフェース

図5に、3線インタフェースのタイミング図を示します。3線バスはSPI/QSPI/MICROWIREコンパチブルです。

## 電磁気適合の考慮

スパーの少ないEMC適合トランスミッタを実現するためには、次の2つの点を考慮する必要があります。まず、循環電流ループ領域を最小化してHフィールドの放射を低減します。循環電流ループ領域を最小化するには、

装置のできるだけ近くでバイパスし、グランドプレーンの分散容量を使用します。又、電圧ドロップを最小化するために、V<sub>CC</sub>トレースを短く幅広にし、RFトレースを短くします。

次に、レジスタでは必要なビットだけを設定し、クロックサイクルを最小化します。RCフィルタリングを使用して3線インタフェースのクロックエッジを遅らせ、高周波スペクトラルを削減することもできます。RCフィルタリングは、高周波数をグランドにシャントすることによりIEC802テストに対するトランジェント保護も行い、直列抵抗がこのトランジェントを減衰させてエラーのない動作を保証します。同じことがロジック入力ピン(SHDN、TXGATE、IDLE)にも適用されます。

表2. 動作制御レジスタ(OPCTRL)

BIT NAME	POWER-UP STATE	BIT LOCATION (0 = LSB)	FUNCTION
LO_SEL	0	15	0 selects LOL input port; 1 selects LOH port.
RCP_TURBO1	0	14	Works in conjunction with RCP_TURBO2 (CONFIG register) to set the turbo-charge pump mode. (See Table 7)
ICP_MAX	0	13	1 keeps IF turbo-mode current active even when frequency acquisition is achieved. This mode is used when high operating IF charge-pump current is needed.
MODE	01	12, 11	Sets operating mode according to the following: 00 = FM mode 01 = Cellular digital mode, RFL is selected 10 = Lower half-band PCS mode, RFH1 is selected 11 = Upper half-band PCS, RFH0 is selected
IF_SEL	0	10	1 selects IFINH and IFOUTH; 0 selects IFINL and IFOUTL. For FM mode (MODE = 00), set IF_SEL to 0.
VCO_SEL	0	9	1 selects high-band IF VCO; 0 selects low-band IF VCO.
IFG	100	8, 7, 6	3-bit IF gain control. Alters IF gain by approximately 2dB per LSB (0 to 14dB). Provides a means for adjusting balance between RF and IF gain for optimized linearity.
SIDE_BAND	0	5	When this bit is 1, the upper sideband is selected (LO below RF). When this bit is 0, the lower sideband is selected (LO above RF).
BUF_EN	0	4	0 turns IFLO buffer off; 1 turns IFLO buffer on.
MOD_TYPE	1	3	0 selects direct VCO modulation. (IF VCO is externally modulated and the I/Q modulator is bypassed); 1 selects quadrature modulation.
STBY	1	2	0 shuts down everything except registers and serial interface.
TXSTBY	1	1	0 shuts down modulator and upconverter, leaving PLLs locked and registers active. This is the programmable equivalent to the TXGATE pin.
SHDN_BIT	1	0	0 shuts down everything except serial interface, and also retains all register settings.

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

表3. 構成レジスタ(CONFIG)

BIT NAME	POWER-UP STATE	BIT LOCATION (0 = LSB)	FUNCTION
IF_PLL_SHDN	1	15	0 shuts down the IF PLL. This mode is used with an external IF PLL.
RF_PLL_SHDN	1	14	0 shuts down the RF PLL. This mode is used with an external RF PLL.
ZERO_BIAS	0	13	0 for normal operation, 1 turns off the bias current to RFH0 output driver.
IQ_LEVEL	1	12	1 selects 200mV <sub>RMS</sub> input mode; 0 selects 100mV <sub>RMS</sub> input mode.
BUF_DIV	0	11	1 selects ÷2 on IFLO port; 0 bypasses the divider.
VCO_BYPASS	0	10	1 bypasses IF VCO and enables a buffered input for external VCO use.
ICP	00	9, 8	A 2-bit register sets the IF charge-pump current as follows: 00 = 139μA 01 = 192μA 10 = 278μA 11 = 390μA
RCP	00	7, 6	A 2-bit register sets the RF charge-pump current as follows: 00 = 325μA 01 = 650μA 10 = 738μA 11 = 1063μA
IF_PD_POL	1	5	IF phase-detector polarity; 1 selects positive polarity (increasing tuning voltage on the VCO produces increasing frequency); 0 selects negative polarity (increasing tuning voltage on the VCO produces decreasing frequency).
RF_PD_POL	1	4	RF phase-detector polarity; 1 selects positive polarity (increasing tuning voltage on the VCO produces increasing frequency); 0 selects negative polarity (increasing voltage on the VCO produces decreasing frequency).
IF_TURBO_CHARGE	1	3	1 activates turbocharge feature, providing an additional IF charge-pump current during frequency acquisition.
RCP_TURBO2	1	2	Works in conjunction with RCP_TURBO1 (OPCTRL register) to set the turbocharge current mode. (See Table 7).
LD_MODE	11	1, 0	Determines output mode for LOCK detector pin as follows: 00 = test mode, LD_MODE cannot be 00 for normal operation 01 = IF PLL lock detector 10 = RF PLL lock detector 11 = logical AND of IF PLL and RF PLL lock detectors

表4. 電流制御レジスタ(I<sub>CC</sub>CTRL)

BIT NAME	POWER-UP STATE	BIT LOCATION (0 = LSB)	FUNCTION
RESERVED	00	15, 14	Must be set to 00 for normal operation.
PSS	0	13	Prescaler speed select. 0 selects the lower frequency band RFPLL prescaler. 1 selects the higher frequency band prescaler.
RESERVED	0	12	Must be set to 0 for normal operation.
MPL	0	11	Sets the maximum output power level. 0 selects +6.5dBm, 1 selects +10dBm output power modes.
TEMP_COMP	00	10, 9	Sets current scale factor to compensate temperature variations. Set to 10 for best linearity over temperature.
RESERVED	0	8	Must be set to 0 for normal operation.
MOD_BYPASS	0	7	1 routes differential signal at pins 30 and 31 directly to the IF VGA and bypasses the IF modulator. This mode is used with external modulator.
THROTTLE_BACK	011	6, 5, 4	Throttle back rate (Table 6)
I_MULT	1000	3, 2, 1, 0	Sets current scale factor for PA drivers (Table 5)

表5. I\_MULTビットにより設定される電流倍率

BIT NAME	BITS	CURRENT SCALE
I_MULT	0000	0.50
	0001	0.56
	0010	0.62
	0011	0.69
	0100	0.75
	0101	0.81
	0110	0.88
	0111	0.94
	1000 (default)	1.00
	1001	1.13
	1010	1.25
	1011	1.38
	1100	1.50
	1101	1.63
	1110	1.75
	1111	1.88

表6. THROTTLE\_BACKビットにより設定されるスロットルバック率

BIT NAME	BITS	RATE	UNIT
THROTTLE_BACK	000	1.3	dBm/dB
	001	1.2	
	010	1.1	
	011 (default)	1.0	
	100	0.9	
	101	0.8	
	110	0.7	
	111	0.6	

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

表7. RFターボチャージポンプ電流の設定

RCP_TURBO1	RCP_TURBO2	
0	0	No turbo current. Charge-pump current is set by RCP bits.
0	1	Turbo current turns on every time RFPLL is reprogrammed. Turbo current is automatically turned off after RFPLL is locked.
1	0	Turbo current is always on.
1	1	Turbo current is turned on every time RFPLL is out of lock.

表8. パワーダウンモード

POWER-DOWN MODE	COMMENTS	UPCONVERTER	MODULATOR	RF_PLL	IF_VCO	IF_PLL
$\overline{\text{SHDN}}$ Pin	Ultra-low shutdown current	X	X	X	X	X
$\overline{\text{IDLE}}$ Pin	RX only mode	X	X		X	X
$\overline{\text{TXGATE}}$ pin	For punctured TX mode	X	X			
RF PLL SHDN	For external RF PLL use			X		
IF PLL SHDN	For external IF PLL use					X
$\overline{\text{TXSTBY}}$ bit	TX is OFF, but IF and RF LOs stay locked	X	X			

X = オフ

表9. 主な動作モードのレジスタ及び制御ピンの状態

MODE	DESCRIPTION	OPCTRL REGISTER								CONFIG REGISTER		CONTROL PINS		
		LO_SEL	MODE	IF_SEL	VCO_SEL	MOD_TYPE	STBY	TXSTBY	SHDN_BIT	IF_PLL_SHDN	RF_PLL_SHDN	IDLE	TXGATE	SHDN
PCS High	PCS upper half-band, RFH0 selected	1	11	1	1	1	1	1	1	1	1	H	H	H
PCS Low	PCS lower half-band, RFH1 selected	1	10	1	1	1	1	1	1	1	1	H	H	H
Cellular Digital	RFL selected	0	01	0	0	1	1	1	1	1	1	H	H	H
FM	Direct VCO modulation, RFL selected	0	00	0	0	0	1	1	1	1	1	H	H	H
PCS Idle	Listen for pages RX ON, TX OFF	1	1X	1	1	1	1	X	1	X	1	L	H	H
Cellular Idle	Listen for pages RX ON, TX OFF	0	0X	0	0	X	1	X	1	X	1	L	H	H
PCS TXGATE	Gated transmission, PCS	1	1X	1	1	1	1	X	1	1	1	H	L	H
Cellular TXGATE	Gated transmission, cellular digital	0	01	0	0	1	1	X	1	1	1	H	L	H
Sleep	Ultra Low Current	X	XX	X	X	X	X	X	X	X	X	X	X	L

X = 任意

# 完全デュアルバンド 直交トランスミッタ

## MAX2361/MAX2363/MAX2365

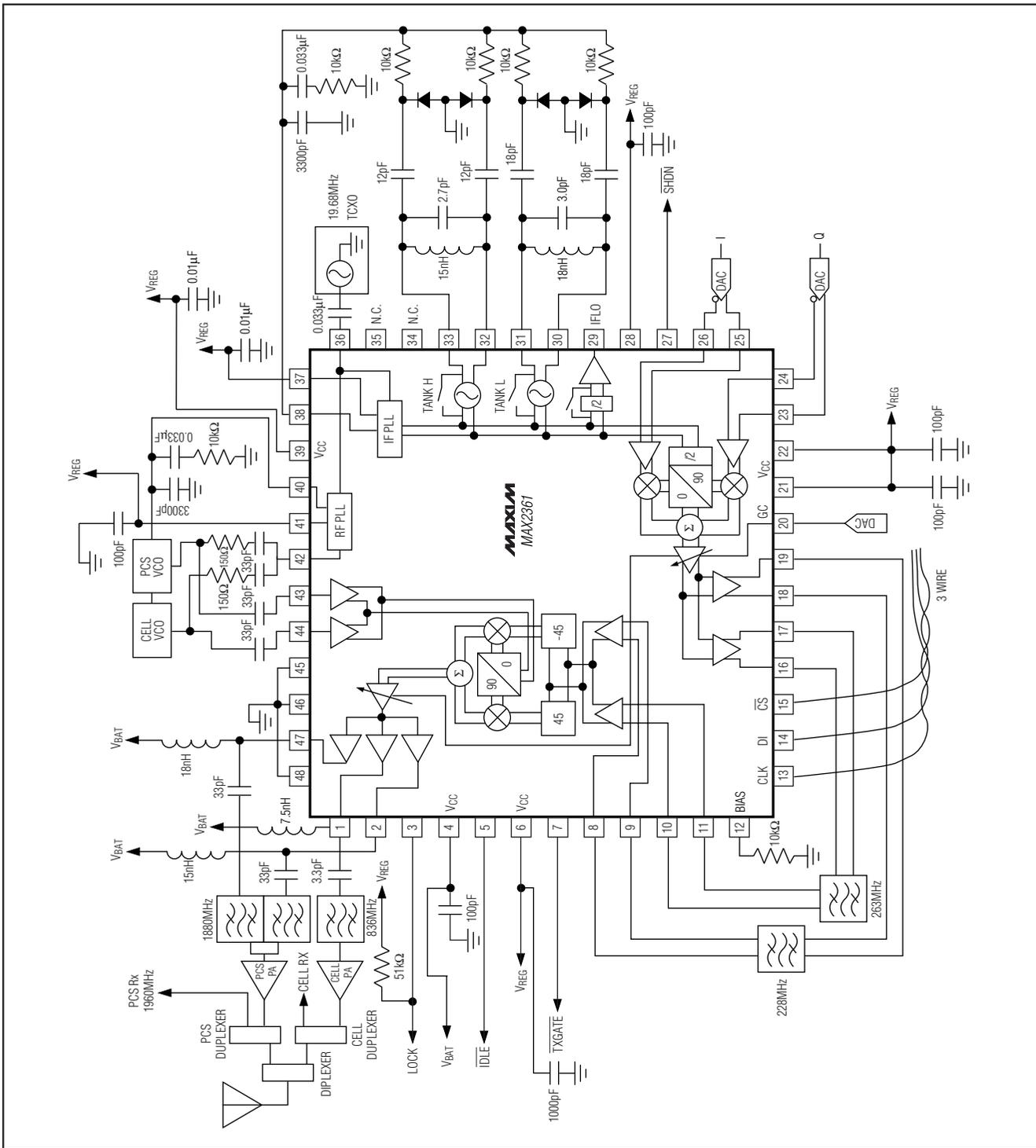


図2. MAX2361標準アプリケーション回路

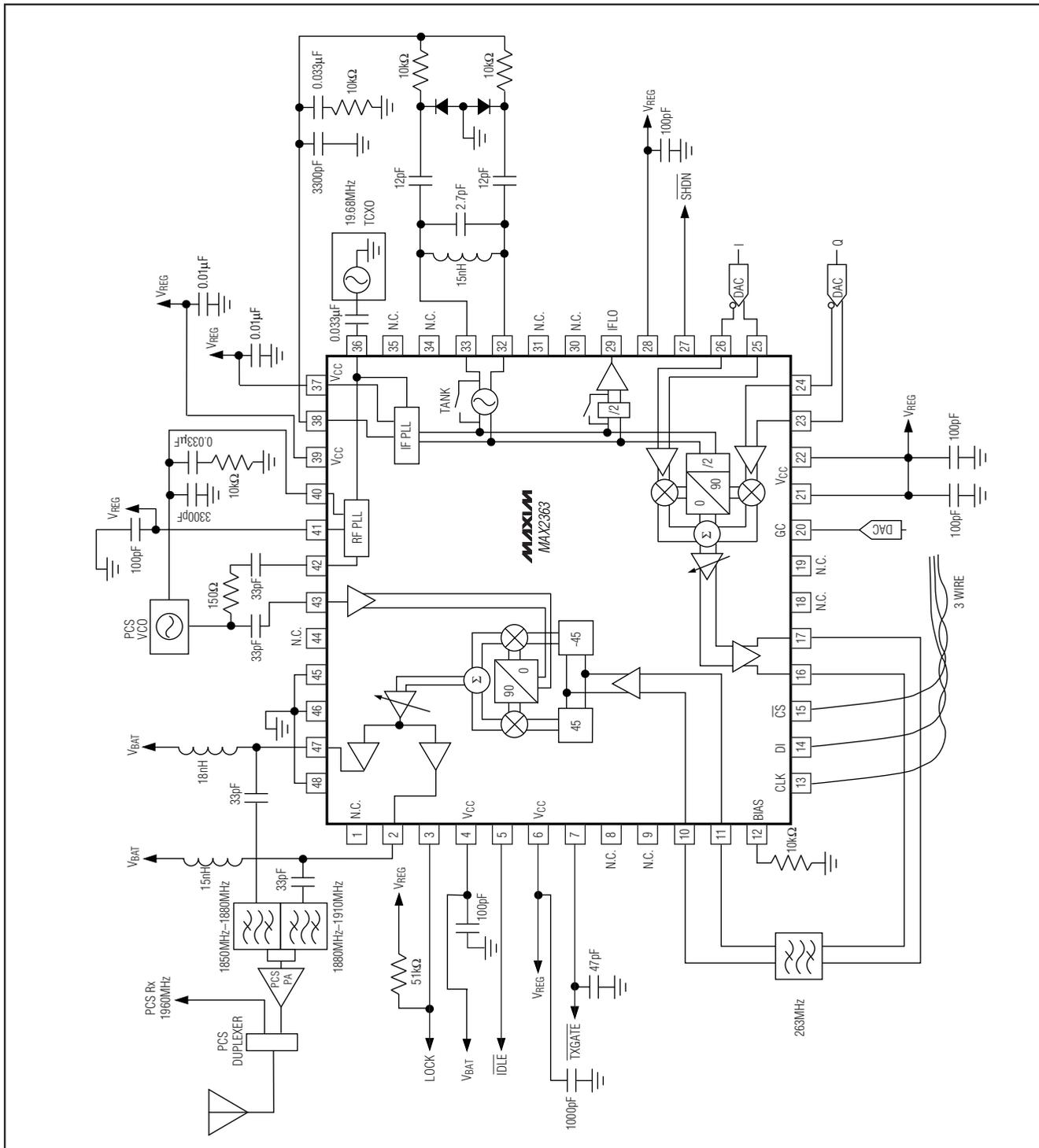


図3. MAX2363標準アプリケーション回路



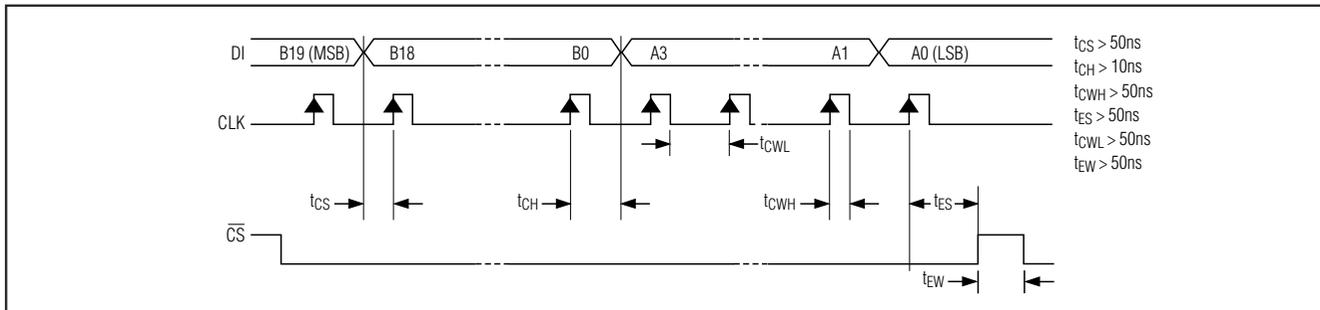


図5. 3線インタフェース図

高周波数バイパスコンデンサを、グランドへの専用ビアでピンに近づけて取り付けする必要があります。48ピンQFN-EPパッケージは、デバイス底部に露出パドルを使用することにより、最小のインダクタンスグランドを提供します。グランドへのパドルの下には少なくとも5個の低インダクタンスビアを使用して、グランドのインダクタンスを最小化して下さい。この際、できる限り、切込みのないグランドプレーンを使用するようにします。グランドプレーンに切込みがあると、それがスロット放射体として機能し、遮断効果が低減される場合があります。

RF LOトレースはできるだけ短くし、LO放射及び干渉の可能性を低減して下さい。

## IFタンク設計

ローバンドタンク(TANKL+, TANKL-)及びハイバンドタンク(TANKH+, TANKH-)は完全差動です。図6に外付タンク部品を示します。発振周波数は次式により決定されます。

$$f_{osc} = \frac{1}{2\pi \sqrt{(C_{INT} + C_{CENT} + C_{VAR} + C_{PAR}) L}}$$

$$C_{VAR} = \frac{C_D \times C_C}{2(C_D + C_C)}$$

$C_{INT}$  = TANKポートの内部容量

$C_D$  = バラクタの容量

$C_{VAR}$  = 等価可変同調容量

$C_{PAR}$  = プリント基板パッド及びトレースが原因の寄生容量

$C_{CENT}$  = 発振周波数をセントリングするための外部容量

$C_C$  = バラクタへの外部カップリング容量

表10に、様々な発信周波数に対する可能な部品値を示します。

IC内部のチャージポンプリーク電流は10nA未満です。これは、300MΩのシャント抵抗に相当します。チャージ

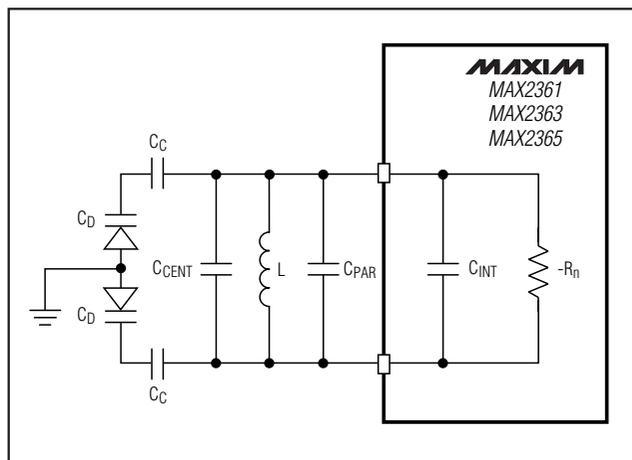


図6. タンクポート発振器

ポンプ出力は、300MΩ以上の非常に高いDC抵抗を検出する必要があります。これにより、比較周波数におけるチャージポンプのスパークが最小化されます。バラクタ又はループフィルタの下にハンダフラックスが残らないようにして下さい。

## レイアウトに関する問題

MAX2361/MAX2363/MAX2365EVキットを、レイアウトの指針として使用することができます。最適な性能を得るには、電源に関する問題、並びにRF、LO、及びIFのレイアウトを考慮して下さい。

## 電源レイアウト

ICの異なるセクション間のカップリングを最小限に抑えるための理想的な電源レイアウトは、星形構成です。この構成は、中央のV<sub>CC</sub>ノードに大型のデカップリングコンデンサを備えています。V<sub>CC</sub>トレースはこのノードから分岐しており、各トレースはMAX2361/MAX2363/MAX2365回路の個別のV<sub>CC</sub>ノードにつながっています。各トレースの終端には、目的の周波数において、グランドへのインピーダンス1Ω未満のバイパスコンデンサがあります。この配置により、各V<sub>CC</sub>ピンにおけるローカルデカップリングが提供されます。

# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

表10. 推奨IF発振器の部品値

	OSC. FREQ. (MHz)	L (nH)	C <sub>CENT</sub> (pF)	C <sub>c</sub> (pF)	C <sub>D</sub>
TANKL	260.76	39	2.4	18	SMV1763-079
	400.0	30	3.3	18	SMV1763-079
	457.2	18	3.0	18	SMV1763-079
TANKH	330.0	22	4.3	12	SMV1763-079
	527.2	15	2.7	12	SMV1763-079
	760.0	11	1.2	9	SMV1763-079

表11. カスケード接続TDMA性能

(I/Q入力からPAドライバ出力まで、IQ\_LEVEL = 0、V<sub>I</sub> = V<sub>Q</sub> = 104mV<sub>RMS</sub>、IS136 NADC変調又は415mV<sub>p-p</sub>差動、0.1% 3dBピーク平均率)

PARAMETER	CONDITION	VALUE	UNITS
IFL Frequency	IF_SEL = 0	228.6	MHz
IFH Frequency	IF_SEL = 1	263.6	MHz
RFL Frequency Range		824–849	MHz
RFH0 Frequency Range		1850–1910	MHz
LOL Frequency Range		1052.6–1077.6	MHz
LOH Frequency Range		2113.6–2173.6	MHz
LO Input Level	LOL or LOH	-7	dBm
RFL Output Power	V <sub>GC</sub> = 2.4V, MPL = 0	+7	dBm
	V <sub>GC</sub> = 2.4V, MPL = 1	+10	
RFH0 Output Power	V <sub>GC</sub> = 2.4V, MPL = 0	+6	dBm
	V <sub>GC</sub> = 2.4V, MPL = 1	+10	
Adjacent Channel Power Ratio	f <sub>OFFSET</sub> = ±30kHz in 25kHz BW	-33	dBc
Alternate Channel Power Ratio	f <sub>OFFSET</sub> = ±60kHz in 25kHz BW	-52	dBc
Receive Band Noise Power	MPL = 0, P <sub>RFH0</sub> = +6dBm, f <sub>RFH0</sub> = 1910MHz, measured at 1930MHz	-134	dBm/Hz
	MPL = 1, P <sub>RFH0</sub> = +10dBm, f <sub>RFH0</sub> = 1910MHz, measured at 1930MHz	-131	
	MPL = 0, P <sub>RFL</sub> = +7dBm, f <sub>RFL</sub> = 849MHz, measured at 869MHz	-134	
	MPL = 1, P <sub>RFL</sub> = +10dBm, f <sub>RFL</sub> = 849MHz, measured at 869MHz	-131	

**表12. カスケード接続WCDMA性能**

(I/Q入力からPAドライバ出力まで、IQ\_LEVEL = 1、 $V_L = V_Q = 146\text{mV}_{\text{RMS}}$ 、アップリンク3GPP変調又は600mV<sub>p-p</sub>差動、0.1% 3.25dB ピーク平均率)

PARAMETER	CONDITIONS	VALUE	UNITS
Intermediate Frequency	IF_SEL = 1	380	MHz
RFH0 Frequency Range		1920–1980	MHz
LOH Frequency Range		2300–2360	MHz
LO Input Level	LOH	-7	dBm
Maximum RFH0 Output Power	$V_{GC} = 2.4\text{V}$ , $MPL = 1$	8	dBm
Minimum RFH0 Output Power	ZERO_BIAS = 1, SNR = 20dB	-75	dBm
Zero Bias Gain Step	From ZERO_BIAS = 1 to ZERO_BIAS = 0, $V_{GC} = 2.0\text{V}$	27	dB
Adjacent Channel Power Ratio	$f_{\text{OFFSET}} = \pm 3.5\text{MHz}$ in 30kHz BW	-60	dBc
	$f_{\text{OFFSET}} = \pm 5\text{MHz}$ in 3.84MHz BW	-45	
	$f_{\text{OFFSET}} = \pm 10\text{MHz}$ in 3.84MHz BW	-58	
Receive Band Noise Power	$MPL = 1$ , $P_{\text{RFH0}} = +8\text{dBm}$ , $f_{\text{RFH0}} = 1950\text{MHz}$ , measured at 2140MHz	-134	dBm/Hz

低インダクタンスのグラウンド接続には、各バイパスコンデンサ毎に少なくとも1個のビアを使用します。又、エキスポーズパドルは複数のビアを使用してプリント基板のGNDに接続し、インダクタンスをできるだけ低くします。

### マッチングネットワークレイアウト

マッチングネットワークレイアウトは寄生回路素子に非常に敏感になることがあります。寄生インダクタンスを最小限に抑えるには、トレースを全て短く保ち、部品をICのできるだけ近くに配置します。寄生容量を最小限に抑えるために、グラウンドプレーン(及びその他

のプレーン)の切込みをマッチングネットワーク部品の下で使用することができます。

ハイインピーダンスポート(IF入力及び出力等)では、トレースを短くしてシャント容量を最小限に抑えて下さい。

### タンクレイアウト

タンクからのトレースは短くして、直列インダクタンス及びシャント容量を低減して下さい。インダクタパッド及びカップリングコンデンサパッドは小型にして、浮遊シャント容量を最小限に抑えて下さい。

### 選択ガイド

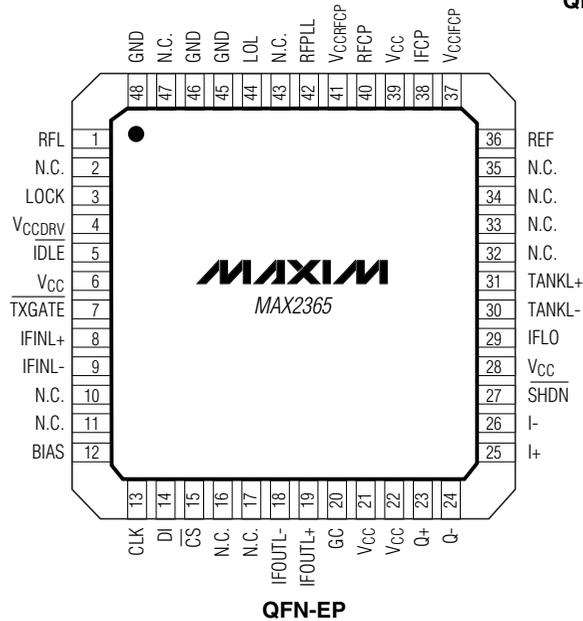
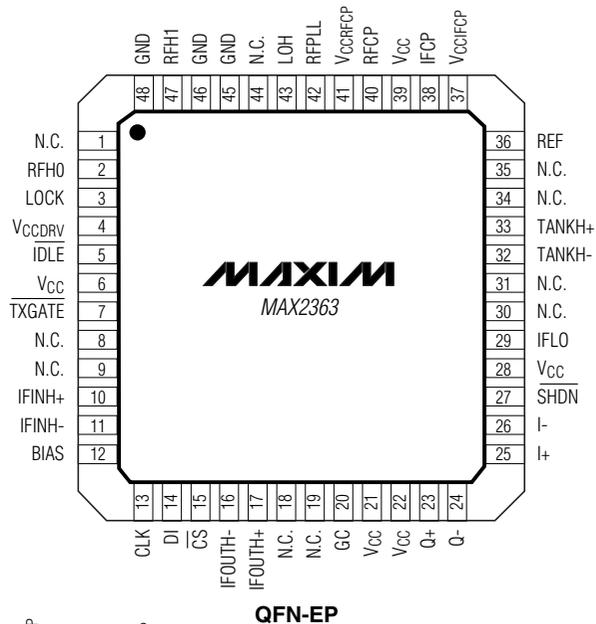
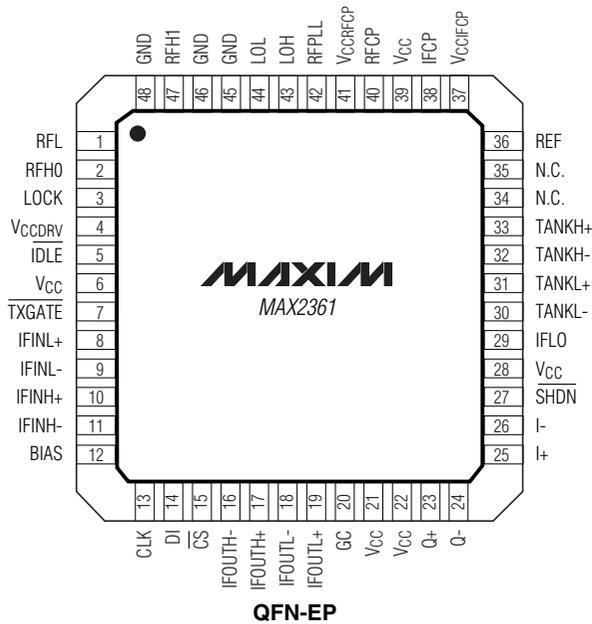
PART	IF RANGE (MHz)	RF LO RANGE (MHz)	RF RANGE (MHz)
MAX2361	120 to 235	800 to 1150	800 to 1000
	120 to 380	1400 to 2360	1700 to 2000
MAX2363	120 to 380	1400 to 2360	1700 to 2000
MAX2365	120 to 235	800 to 1150	800 to 1000

# 完全デュアルバンド 直交トランスミッタ

## MAX2361/MAX2363/MAX2365

### ピン配置

TOP VIEW



EXPOSED-PADDLE GND

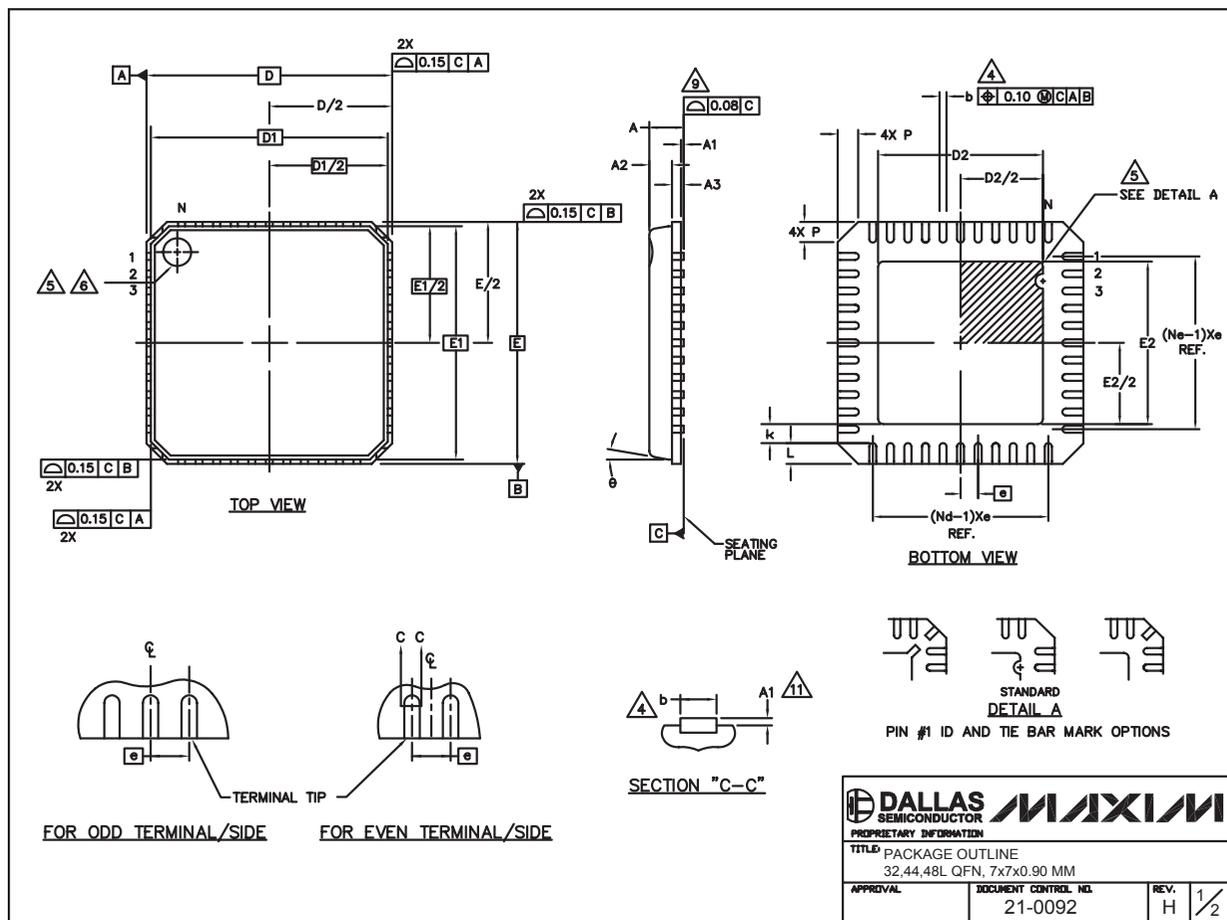
# 完全デュアルバンド 直交トランスミッタ

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX2361/MAX2363/MAX2365

32, 44, 48L QFN, EPS



# 完全デュアルバンド 直交トランスミッタ

MAX2361/MAX2363/MAX2365

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

COMMON DIMENSIONS									
PKG	32L 7x7			44L 7x7			48L 7x7		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.80	0.90	1.00	0.80	0.90	1.00	0.80	0.90	1.00
A1	0.00	0.01	0.05	0.00	0.01	0.05	0.00	0.01	0.05
A2	0.00	0.65	1.00	0.00	0.65	1.00	0.00	0.65	1.00
A3	0.20 REF			0.20 REF			0.20 REF		
b	0.23	0.28	0.35	0.18	0.23	0.30	0.18	0.23	0.30
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
D1	6.75 BSC			6.75 BSC			6.75 BSC		
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E1	6.75 BSC			6.75 BSC			6.75 BSC		
e	0.65 BSC			0.50 BSC			0.50 BSC		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.35	0.55	0.75	0.35	0.55	0.75	0.30	0.40	0.50
N	32			44			48		
Nd	8			11			12		
Ne	8			11			12		
P	0.00	0.42	0.60	0.00	0.42	0.60	0.00	0.42	0.60
U	0"		12"	0"		12"	0"		12"

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
G3277-2	4.55	4.70	4.85	4.55	4.70	4.85
G4477-1	3.65	3.80	3.95	3.65	3.80	3.95
G4477-2	4.55	4.70	4.85	4.55	4.70	4.85
G4477-3	3.15	3.30	3.45	3.15	3.30	3.45
G4877-1	4.95	5.10	5.25	4.95	5.10	5.25
G4877-2	5.45	5.60	5.75	5.45	5.60	5.75

### NOTES:

1. DIE THICKNESS ALLOWABLE IS 0.305mm MAXIMUM (.012 INCHES MAXIMUM).
  2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
  3. N IS THE NUMBER OF TERMINALS.  
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION & Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
- ⚠ DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
- ⚠ THE PIN #1 IDENTIFIER MUST EXIST ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR INK/LASER MARKED. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.
- ⚠ EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
  8. PACKAGE WARPAGE MAX 0.08mm.
  9. APPLIED FOR EXPOSED PAD AND TERMINALS.  
EXCLUDE EMBEDDED PART OF EXPOSED PAD FROM MEASURING.
  10. MEETS JEDEC MO220 EXCEPT DIMENSION "b" MINIMUM.
  11. APPLY ONLY FOR TERMINAL.
  12. THIS PACKAGE OUTLINE APPLIES TO ANVIL SINGULATION(STEPPEDED SIDES).

PROPRIETARY INFORMATION TITLE PACKAGE OUTLINE, 32,44,48L QFN, 7x7x0.90 MM	
APPROVAL	DOCUMENT CONTROL NO. 21-0092
REV. H	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 28