

EVALUATION KIT
AVAILABLE

MAXIM

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

概要

MAX2240は、2.4GHz～2.5GHz周波数帯域のアプリケーション用に特別に設計された単一電源、低電圧パワーアンプ(PA)ICです。本PAはBluetooth、HomeRF及び802.11規格、そしてその他のFSK変調システムに適合しています。本PAは最大パワーモードにおいて、公称+20dBm(100mW)の出力パワーを提供します。

本PAは、出力パワーの制御を著しく単純化するデジタルパワー制御回路を備えています。+3dBm～+20dBmの範囲で、4つのデジタル制御された出力パワーレベルが提供されています。デジタル入力により、PAの動作モードをアクティブ又はシャットダウンに制御します。シャットダウンモード時には電流が0.5μAに低減します。

本ICは、RF入力マッチングと段間マッチングを集積化することにより、ICのアプリケーションを単純化しています。また、温度及び電源に依存しないバイアスにより、全ての動作条件において安定した動作が得られます。

本ICは+2.7V～+5Vの単一電源電圧で動作します。負バイアス電圧は必要ありません。消費電流は、最高のパワーレベルにおいても105mAという控えめな値になっています。

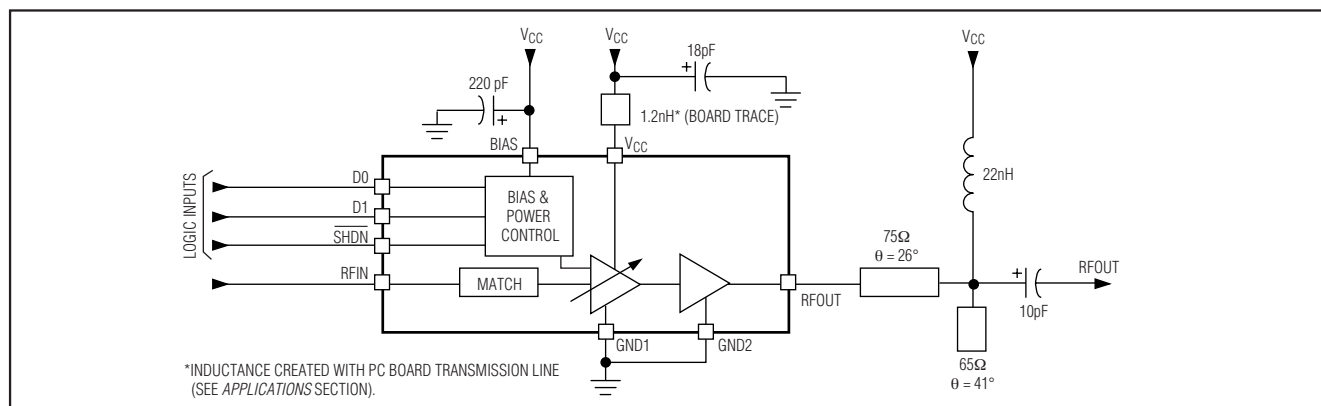
パッケージはUCSP™であるため、必要なプリント基板面積が著しく小さくなっています。チップの面積は僅か1.56mm x 1.56mmです。3x3のハンダバンプが0.5mmのピッチで並んでいます。

アプリケーション

Bluetooth
HomeRF
802.11 FHSS WLAN
2.4GHz ISMバンド無線機

UCSPはMaxim Integrated Productsの商標です。

標準アプリケーション回路/ファンクションダイアグラム



特長

- ◆ 周波数範囲：2.4GHz～2.5GHz
- ◆ 大出力パワー：+20dBm
- ◆ 2ビットデジタルパワー制御：4出力レベル
- ◆ 内蔵入力マッチング：50Ω
- ◆ 低動作電流：105mA
- ◆ 低電力シャットダウンモード電流：0.5μA
- ◆ 単一電源動作：+2.7V～+5V
- ◆ 超小型チップスケールパッケージ：
1.56mm x 1.56mm

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX2240EBL	-40°C to +85°C	9 UCSP*

*UCSPの信頼性は、ユーザのアセンブリ方法、基板回路の材料、および使用環境に密接に関係しています。詳細についてはデータシートの「UCSPの信頼性」の項のUCSP信頼性に関する注意を参照してください。

ピン配置はデータシートの最後に記載されています。

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。 <http://japan.maxim-ic.com>

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

ABSOLUTE MAXIMUM RATINGS

BIAS, V_{CC}, R_{FOUT} to GND-0.3V to +6V
 Input Voltages
 (SHDN, D0, D1, to GND).....-0.3V to (V_{BIAS} + 0.3V)
 (RFIN to GND)-0.7V to +0.7V
 Input Current (SHDN, D0, D1)±10mA
 Continuous Operating Lifetime.....10 years x 0.935 (T_A - 77°C)
 (for operating temperature +77°C < T_A < +86°C)

RF Input Power (RFIN).....+10dBm
 Continuous Power Dissipation (T_A = +85°C)
 9-Pin UCSP.....810mW
 Operating Temperature Range-40°C to +85°C
 Storage Temperature Range-65°C to +150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(Using *Typical Application Circuit*, V_{CC} = +2.7V to +5V, P_{RFIN} = 0dBm to +4dBm, f_{RFIN} = 2.4GHz to 2.5GHz, SHDN = V_{CC}, T_A = -40°C to +85°C. Typical values measured at V_{CC} = +3.2V, P_{RFIN} = +3dBm, f_{RFIN} = 2.45GHz, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Current (Note 2)	V _{D1} ≤ 0.8V, V _{D0} ≤ 0.8V, T _A = +25°C, P _{RFIN} = +3dBm, V _{CC} = 3.2V, f _{RFIN} = 2.45GHz (Note 3)		65	80	mA
	V _{D1} ≤ 0.8V, V _{D0} ≤ 0.8V			110	
	V _{D1} ≤ 0.8V, V _{D0} ≥ 2.0V, T _A = +25°C, P _{RFIN} = +3dBm, V _{CC} = 3.2V, f _{RFIN} = 2.45GHz (Note 3)		68	85	
	V _{D1} ≤ 0.8V, V _{D0} ≥ 2.0V			111	
	V _{D1} ≥ 2.0V, V _{D0} ≤ 0.8V, T _A = +25°C, P _{RFIN} = +3dBm, V _{CC} = 3.2V, f _{RFIN} = 2.45GHz (Note 3)		75	90	
	V _{D1} ≥ 2.0V, V _{D0} ≤ 0.8V			115	
	V _{D1} ≥ 2.0V, V _{D0} ≥ 2.0V, T _A = +25°C, P _{RFIN} = +3dBm, V _{CC} = 3.2V, f _{RFIN} = 2.45GHz (Note 3)		105	125	
	V _{D1} ≥ 2.0V, V _{D0} ≥ 2.0V			155	
Shutdown Supply Current	SHDN ≤ 0.8V, V _{D0} ≤ 0.8V, V _{D1} ≤ 0.8V, no input signal		0.5	10.0	μA
DIGITAL CONTROL INPUT (D0, D1, AND SHDN)					
Input Logic Voltage High		2			V
Input Logic Voltage Low				0.8	V
Input Current	GND ≤ V _{IN} ≤ V _{BIAS}	1		1	μA

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

AC ELECTRICAL CHARACTERISTICS

(MAX2240 EV kit, $V_{CC} = +2.7V$ to $+5V$, $P_{RFIN} = 0dBm$ to $+4dBm$, $f_{RFIN} = 2.4GHz$ to $2.5GHz$, $\overline{SHDN} = V_{CC}$, $T_A = +25^{\circ}C$. Typical values measured at $V_{CC} = +3.2V$, $P_{RFIN} = +3dBm$, $f_{RFIN} = 2.45GHz$, unless otherwise noted.)

PARAMETERS	CONDITIONS	MIN	TYP	MAX	UNITS
Frequency Range		2400		2500	MHz
Input Power Range		0		4	dBm
Output Power	$V_{D1} \leq 0.8V$, $V_{D0} \leq 0.8V$		3		dBm
	$V_{D1} \leq 0.8V$, $V_{D0} \geq 2V$		8		
	$V_{D1} \geq 2V$, $V_{D0} \leq 0.8V$		12		
	$V_{CC} = 3.2V$, $P_{RFIN} = 3dBm$, $f_{RFIN} = 2.45GHz$, $V_{D1} \geq 2V$, $V_{D0} \geq 2V$, $T_A = +25^{\circ}C$ (Note 9)	17.3	19		
	$V_{D1} \geq 2V$, $V_{D0} \geq 2V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$ (Note 1)	15.3	19	24	
Power Control Steps (Notes 4, 9)	$V_{CC} = 5.0V$	2	6	8	dB
	$V_{CC} = 2.7V$ to $5.0V$	2		8.6	
Harmonic Output (Notes 3, 9)			-15	-5	dBm
Input VSWR (Note 9)	$R_S = 50\Omega$, over full P_{in} range		1.5:1	2:1	dBm
In-Band Spurious Noise (Notes 5, 9)	Frequency offset = $\pm 550kHz$		-21	-20	dBc
	Frequency offset = $\pm 1.5MHz$		-20		dBm
	Frequency offset = $\pm 2.5MHz$		-40		
Power Ramp Turn-On Time (Notes 6, 9)	$\overline{SHDN} = 0$ to 1 , $D0 = D1 =$ logic low-to-high transition			2	μs
Power Ramp Turn-Off Time (Notes 7, 9)	$\overline{SHDN} = 1$ to 0 , $D0 = D1 =$ logic high-to-low transition			2	μs
Nonharmonic Spurious Output (Note 9)	All power levels set by $D0$, $D1$; load VSWR $\leq 3:1$			-30	dBm
Input to Output Isolation in Shutdown			45		dB
Maximum Output VSWR Without Damage (Note 8)	All power levels set by $D0$, $D1$; any load phase angle, any duration		6:1		

Note 1: Limits are 100% production tested at $T_A = +25^{\circ}C$. Limits over the entire operating temperature range are guaranteed by design and characterization but are not production tested.

Note 2: Supply current is measured with RF power applied to the input.

Note 3: Measured with an output-matching network to minimize the 2nd and 3rd harmonics (see *Applications* section).

Note 4: Power steps between adjacent power levels. All other operating conditions remain constant during power step change.

Note 5: Output measured in 100kHz RBW. Test signal modulation shall comply with GFSK, BT = 0.5, 1-bit/symbol, 1Mbps, frequency deviation = 175kHz.

Note 6: The total turn-on time for the PA output power to settle within 1dB of the final value.

Note 7: The total turn-off time for the PA output power to drop to -10dBm.

Note 8: After removal of the load mismatch, the PA returns to operation under normal conditions.

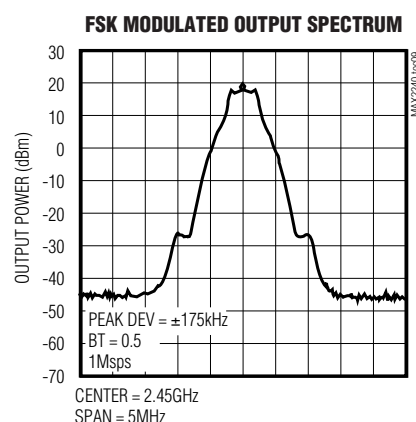
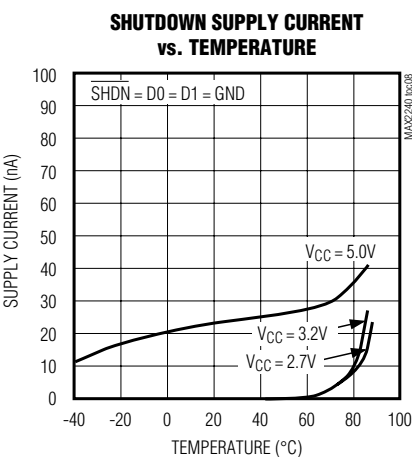
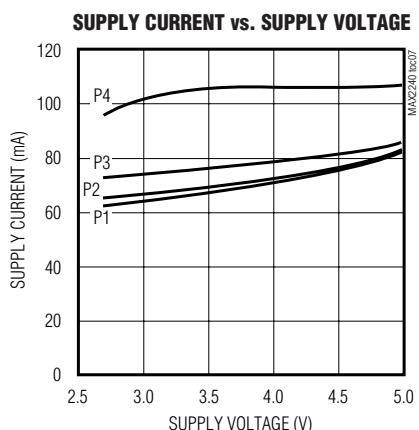
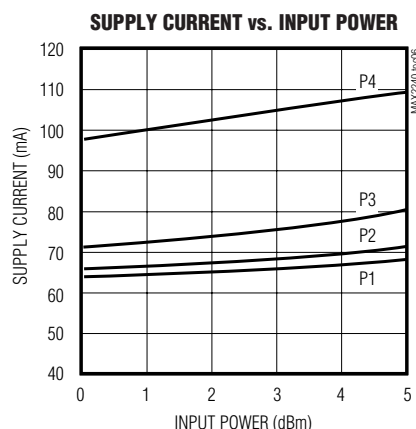
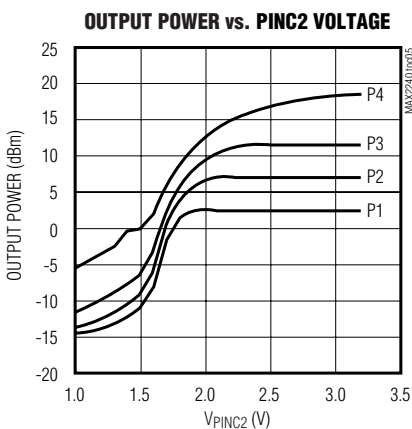
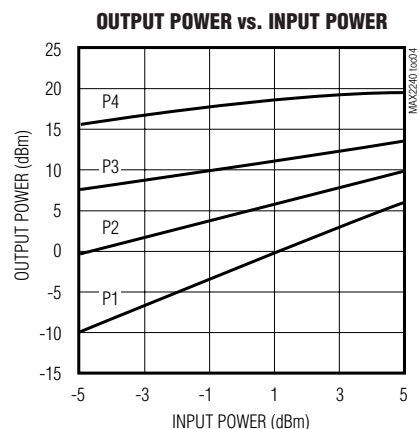
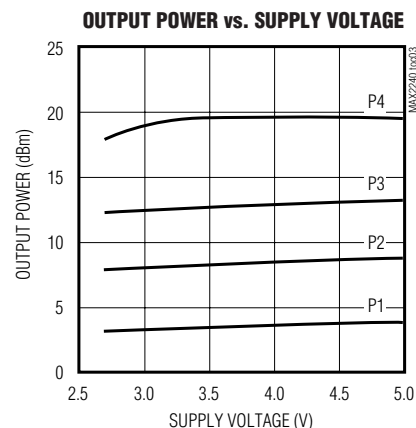
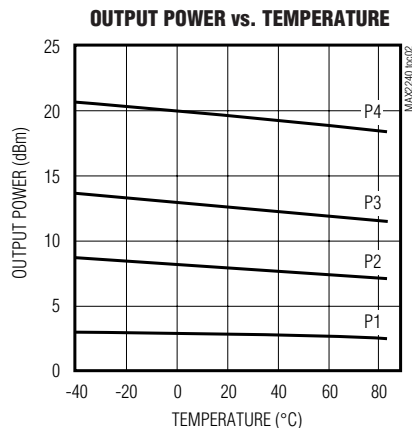
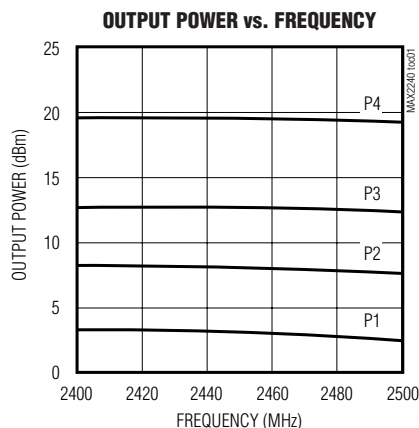
Note 9: Guaranteed by design and characterization.

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

標準動作特性

(MAX2240 EV kit, $V_{CC} = +3.2V$, $P_{RFIN} = +3dBm$, $f_{RFIN} = 2.45GHz$, $\overline{SHDN} = V_{CC}$, $T_A = +25^{\circ}C$, unless otherwise noted. See Table 1 for power level settings P1, P2, P3, P4.)

MAX2240

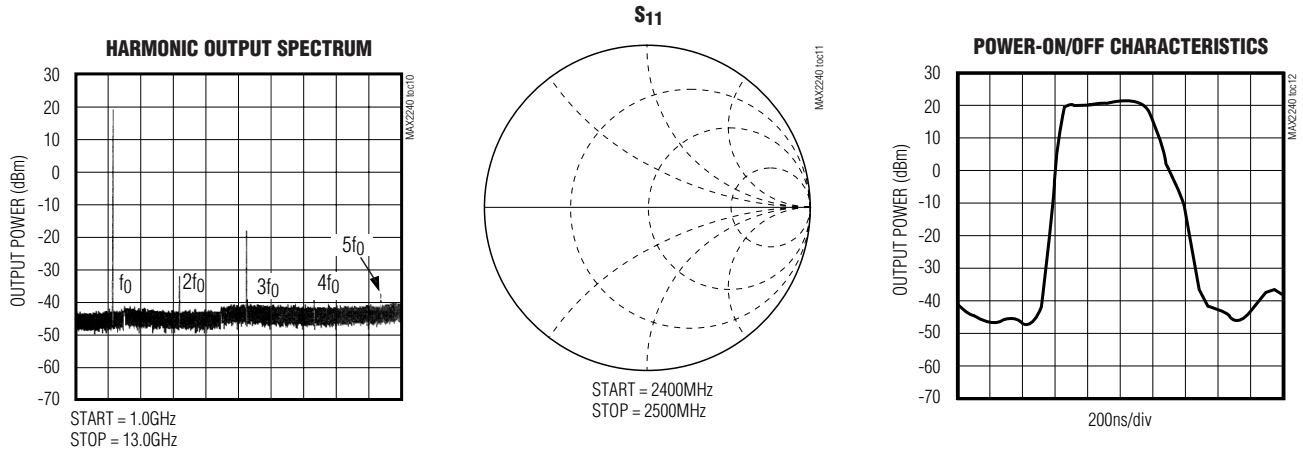


2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

標準動作特性(続き)

(MAX2240 EV kit, $V_{CC} = +3.2V$, $PR_{FIN} = +3dBm$, $f_{RFIN} = 2.45GHz$, $\overline{SHDN} = V_{CC}$, $T_A = +25^{\circ}C$, unless otherwise noted. See Table 1 for power level settings P1, P2, P3, P4.)



端子説明

端子	名称	機能
C3	RFIN	パワーアンプRF入力。内部でDCブロック及び50Ωへのマッチングが行われています。
C2	V_{CC}	第1段のDC電圧電源。最適パワー及び効率を得るためには1.2nHの直列インダクタンスが必要です。その後外部RFバイパスコンデンサを通じてグランドにバイパスされます。
C1	GND2	アンプの第2段へのグランド接続。複数のビアを通じて、低インダクタンス/低熱抵抗の経路でグランドに接続する必要があります。
B3	GND1	バイアス及び第1段のグランド接続。複数のビアを通じて、低インダクタンス/低熱抵抗の経路でグランドに接続する必要があります。
B2	$\overline{SHDN}$	パワーアンプシャットダウン制御入力。 $\overline{SHDN}$ をローにすると、低電力シャットダウンモードがイネーブルされます。 $\overline{SHDN}$ をハイにすると、通常動作になります。
B1	RFOUT	パワーアンプRF出力。オープンコレクタ出力は V_{CC} への外部プルアップインダクタンスを必要とします。最適の出力パワーと効率を得るためには、外部マッチングネットワークが必要です。
A3	BIAS	バイアス及び制御回路のDC電圧電源。外部RFバイパスコンデンサでグランドにバイパスする必要があります。コンデンサはピンのできるだけ近くに配置して下さい。
A2	D1	デジタルパワー制御入力(MSB)(表1)。
A1	D0	デジタルパワー制御入力(LSB)(表1)。

詳細

MAX2240 PAは、+2.7V~+5Vの単一電源を使用して2.4GHz~2.5GHzの周波数範囲で動作することが保証されています。本PAは、最大パワーモード設定(D0 = D1 = 1)において公称+20dBmの出力パワーを提供します。信号経路は、2つのアンプ段(入力アンプ段及びPA段)からなっています。これら2段の間にはアンプのインピーダンスをマッチングさせるためのマッチング回路が提供されています。本PAは、出力パワーとアンプのパワーアップ/パワーダウンを制御するために外部ロジックコマンド(D0、D1及び $\overline{SHDN}$)にインタフェースするバイアス回路も備えています。

入力アンプはACカップリングの可変利得アンプ(VGA)です。このアンプの入力ポートは内部で50Ωにマッチングされています。このため、RFINポートにはDCブロッキングコンデンサは必要ありません。VGA利得は電流ドライバ回路を通じてバイアス電流を変えることにより、変化します。

電流ドライバ回路は、パワー制御デジタル入力D0及びD1によって決まる、正確に制御された4レベル(量)の電流をVGAに供給します。各電流レベルが最終アンプ段への異なるパワーレベルを表すため、出力パワーを制御します。

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

表1. 制御入力

DIGITAL CONTROL INPUTS			OUTPUT POWER AND SUPPLY CURRENT			
SHDN	D1	D0	POWER LEVEL	P _{IN} (dBm)	P _{OUT} (dBm)	I _{CC} (mA)
0	0	0	PA OFF-	3	-22	<1μA
1	0	0	P1	3	3	65
1	0	1	P2	3	8	68
1	1	0	P3	3	12	75
1	1	1	P4	3	19	105

本PAのデジタルパワー制御回路は、出力パワーの制御を著しく単純化します。2つのデジタルビットD0及びD1が出力パワーを4ステップ(ステップ当たり約6dB)で制御します。本PAは全温度範囲及びV_{CC}及びRF入力パワーの変動範囲において、2dB/ステップ~8.6dB/ステップのパワー制御を提供するように最適化されています。表1にD0及びD1デジタル制御状態、対応する公称出力パワー及びICの標準消費電流を示します。

バイアス回路は、それぞれのアンプ段に独立のバイアス電圧と電流を提供します。内部ローパスRCフィルタにより、バイアス回路をRF信号による干渉から分離します。バイアス回路は、温度、V_{CC}及びRFパワー入力の変動に起因する出力パワーの変動を最小限に抑えるように最適化されています。このバイアス回路はまた、高VSWR負荷に接続された場合のPAの安定性を全てのパワーレベルにおいて保証するように設計されています。SHDNがデジタルローになると、アンプはパワーダウンして消費電流が1μA以下になります。

MAX2240は、出力段マッチングを除く全てのRFマッチング部品をチップに内蔵しています。内部入力マッチにより、50Ω伝送ラインを通じてインピーダンス50ΩのRF入力を直接RFINポートに接続できます。

MAX2240 PAは、RFOUTポートにおいて出力パワーと効率を最適化するための外部マッチングを必要とします。2.45GHzで最適のマッチングを得るためには、RFOUTポートにおける負荷インピーダンスは約15Ω + j18Ωです(図1)。50Ωを最適インピーダンスに変換する方法は数多くあります。標準動作回路の出力マッチングは、75Ωで電氣的長さ26°の直列伝送ラインと65Ωで長さ41°のオープンエンドシャントスタブを使用して実現されています。このシャントスタブは、出力における第2高調波を低減する役割も果たします。

アプリケーション情報

MAX2240パワーアンプは比較的少数の外部部品しか必要としません。これらの部品は小型で低コストの表面実装受動素子です。コンデンサは全て0402多層セラミックチップコンデンサです。これらのコンデンサは優れた高周波特性を持ち、コスト効果が高くなっています。「標準アプリケーション回路」は1ページに示されています。インダクタはQ(>25)0603チップインダクタです。全ての伝送ラインはプリント基板上にプリントされたシンプルなマイクロストリップ構造です。

電源の考慮

MAX2240は単一の正電源電圧(V_{CC})で動作します。この電源電圧を使用するピンはBIAS、V_{CC}及びRFOUTの3つです。適正動作のためには、各電源電圧接続部に個別のRFバイパスコンデンサが必要です。コモンV_{CC}ノードで電源をフィルタリングするために、0.1μFのバイパスコンデンサを使用して下さい(「標準アプリケーション回路」を参照)。

BIASとグランドの間には220pFのコンデンサが必要です。コンデンサの一端をBIASのできるだけ近くに配置し、他の一端をGND1の近くに配置していくつかのビアでグランドプレーンに接続して下さい。

V_{CC}はアンプの第1段出力に電源を供給します。最適の出力パワーと効率を得るには、V_{CC}バイパスコンデンサ及びV_{CC}に直列な1.2nHのインダクタが必要です。この1.2nHインダクタの電源側とグランドの間に18pFのバイパスコンデンサが必要です。

RFOUTは、チョークインダクタ(及び伝送ラインセクションT1)を通じて電源に接続されています。自己共振周波数が2.4GHz又はそれより少し低いチョークを選んで下さい。インダクタの電源電圧側に220pFのバイパスコンデンサが必要です。

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

RF入力

内部入力段のインピーダンスマッチングネットワークはMAX2240に内蔵されているため、50Ω伝送ラインを直接RFINに接続できます。外部マッチングは必要ありません。

出力段(RF出力)

MAX2240パワーアンプの出力段はトランジスタのコレクタです。「標準アプリケーション回路」に示すように、DCバイアス及びインピーダンスマッチングネットワークはチップの外側です。

殆どのPA ICについていえることですが、オフチップの外部ネットワークを使用することにより、低Qの内蔵マッチング素子で達成されるよりも高い効率と出力パワーが達成されます。最適出力パワー及び効率は、必要な動作周波数において特定のインピーダンスとし、RF高調波周波数において「短絡」とすることで実現されます。このインピーダンスは、アンプ出力がマッチングネットワーク及び負荷に入るところにおけるリファレンスプレーンを基準として指定されます。電気的特性に記載されている出力パワー及び消費電流が実現されるのはこのインピーダンスです。これは以下の図1のチャートと表に示されています。

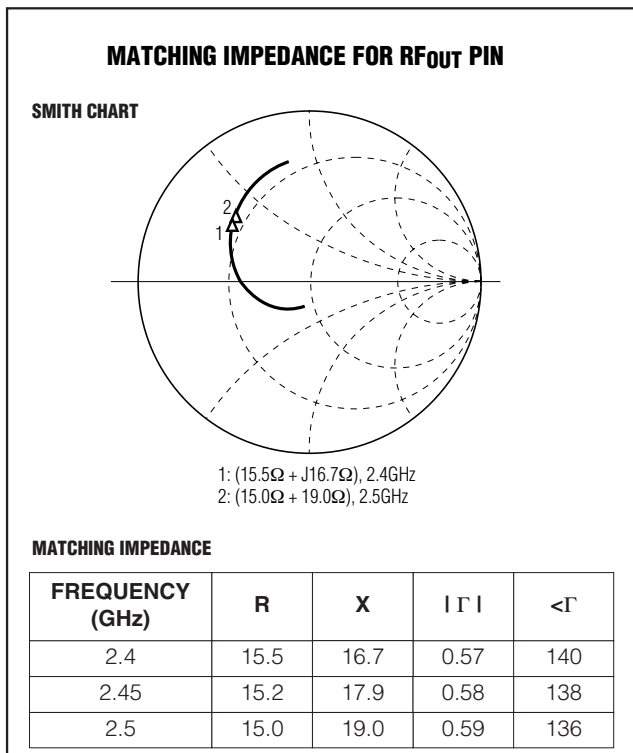


図1. 出力インピーダンス

主要なパワーマッチング構造は、直列伝送ラインセクションT1及びオープンスタブ伝送ラインセクションT2によって形成されるローパスネットワークです。この伝送ラインネットワークは、直列なインダクタンス及びシャント容量として動作します。T1及びT2は特定の特性インピーダンスラインの電気的長さとして表されますが、異なるインピーダンスラインで設計することも可能です。

T2の長さは、基本周波数に対する第2高調波周波数で「短絡」となり、出力におけるその振幅を著しく減衰させるように設定して下さい(即ち、第2高調波周波数4.9GHzにおいて1/4波長)。第3高調波は、チョーク内の容量をうまく利用することで減衰されます。この容量は高い周波数においてチョークインピーダンスをロールオフして、第3高調波周波数において低インピーダンスとなって現れます。

出力シリーズコンデンサは、DCブロッキングコンデンサ及び最終マッチング素子として使用されます。値は10pFを推奨します。

「電源の考慮」の項で説明したように、適正なDCバイアスを行うためにチョークの役割を果たすインダクタを通じてPAをV_{CC}に接続する必要があります。このインダクタは伝送ラインT1の負荷側に配置して下さい。推奨インダクタ値は22nHです。この値はそれほど正確でなくても構いませんが、数百オームのインピーダンスを提供できるものである必要があります。自己共振周波数が2.4GHzかそれよりも少しだけ低いインダクタを選んで下さい。インダクタのQはそれほど重要ではありません。中程度のQ(>25)で十分です。十分な電流能力(この場合は最低200mA)を持ったインダクタにして下さい。インダクタの電源電圧側に220pFのバイパスコンデンサを付けることを推奨します。

レイアウト

PA ICのレイアウトはできるだけコンパクトにして下さい。これは、寄生パラメータを小さくするためです。チップスケールICパッケージのバンプのピッチは0.5mmで、バンプの直径は0.3mmです。したがって、ハンダパッドの中心同士の間隔は0.5mm、パッドのサイズは0.25mmとし、ハンダマスクの開口部は0.33mmとして下さい。パッドは丸くても四角くても構いません(UCSPのレイアウトと取り扱いの詳細については、マキシム社の「Wafer Level Ultra-Chipscale Packaging」を参照して下さい)。グランドピンにできるだけ近い複数のビアでグランドプレーンに接続して下さい。

すでに説明したように、コンデンサはICの電源電圧ピン又は直列インダクタの電源側のできるだけ近くに配置して下さい。これらのコンデンサのグランド側をICのGNDピンの近くに配置することにより、信号電流に低インピーダンスのリターン経路を提供して下さい。

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

SHDN

SHDNはMAX2240のバンプのレイアウトの中心に配置されています。したがって、SHDNへのアクセスは埋め込まれたラインからビアを使って行うか、あるいはハンダパッド同士の0.25mmの間隔に収まるトレースで行って下さい。

D0、D1ピン

ディジタルパワー制御入力D0及びD1は、CMOSロジックレベル入力を備えています。どのプリント基板の回路についてもいえることですが、正常なスイッチングに干渉する高周波ノイズへの感受性はロジック信号トレースの長さによって決まります。このため、場合によってはロジックトレースに局所的なローパスフィルタリングを施してこれらの入力に対するHFノイズカップリングを抑圧することが必要になる場合もあります。

出力マッチングレイアウト

プリント基板のスペースが制限されている場合、出力マッチングネットワーク伝送トレースのレイアウトをさらにコンパクトにすることも可能です。直列ラインT1及びT2を折り畳まれたラインにすることも可能ですが、幅の広いラインの角をそく必要があるかもしれません。

プロトタイプチップの取付

プロトタイプのアセンブリプロセスにおいては、プリント基板上的チップが配置される辺りにアラインメントキーを付けておくとう便利です。MAX2240EVキットのプリント基板は、チップの対角線上のコーナーにL字型のアラインメントキーを備えています。他の部品を配置する前に、本チップを基板上的所定の位置に配置して、ハンダが熔け始めるまで基板をホットプレート

又は高温の表面に置いて下さい。チップの位置を乱さないようにして基板をホットプレートから外し、室温に冷却するのを待ってから基板の処理を続けて下さい。

UCSPの信頼性

UCSPはユニークなパッケージ形状を持っているため、従来の機械的信頼性テストにおいてはパッケージされた製品と同等の性能を発揮しないかもしれません。CSPの信頼性はユーザのアセンブリ方法、回路基板の材料、及び使用環境に密接に関連しています。CSPパッケージの使用を考慮する際、ユーザはこれらの点を慎重に検討して下さい。動作寿命テストと耐湿性は影響を受けません。これらは主にウェハ製造プロセスで決まるためです。

CSPパッケージの場合、機械的ストレス性能には十分な考慮が必要です。CSPは直接ハンダ付けでユーザのプリント基板に取り付けられるため、パッケージされた製品のリードフレームに固有なストレスリリーフなしで済ませています。ハンダ接合部の完全性を考慮する必要があります。表2にCSPの信頼性を測定するために行われるテストを示します。結論として、UCSPの環境ストレス下における信頼性はこの表の結果に示されているとおりです。他の使用データ及び推奨項目の詳細はUCSPアプリケーションノート(マキシムのホームページ japan.maxim-ic.com から入手可能)に説明されています。

ユーザは、相互接続システムに関して、エレクトロマイグレーションによる電流制限があるということに注意する必要があります。この場合、電流制限は万夫の最大許容電流になります。信頼性は、この電流、デューティサイクル、寿命、およびバンプ温度に左右されます。具体的な制限値については「Absolute Maximum Rating」の項にある、「Continuous Operating Lifetime」を参照してください。

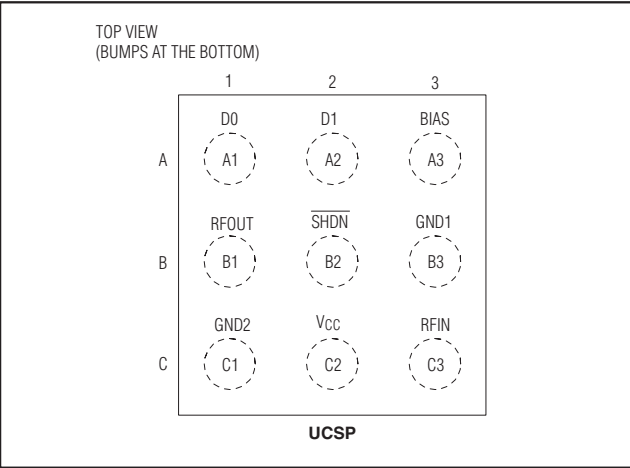
表2. 信頼性テストデータ

TEST	CONDITIONS	DURATION	NO. OF FAILURES PER SAMPLE SIZE
Temperature Cycle	-35°C to +85°C, -40°C to +100°C	150 cycles, 900 cycles	0/10, 0/200
Operating Life	T _A = +70°C	240hr	0/10
Moisture Resistance	+20°C to +60°C, 90% RH	240hr	0/10
Low-Temperature Storage	-20°C	240hr	0/10
Low-Temperature Operational	-10°C	24hr	0/10
Solderability	8hr steam age	—	0/15
ESD	±2000V, Human Body Model	—	0/5
High-Temperature Operating Life	T _J = +150°C	168hr	0/45

2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

MAX2240

ピン配置



マーキング情報



■: Pin 1 ID
AAA: Product ID code
XXX: Lot Code

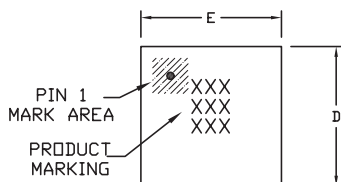
チップ情報

TRANSISTOR COUNT: 771

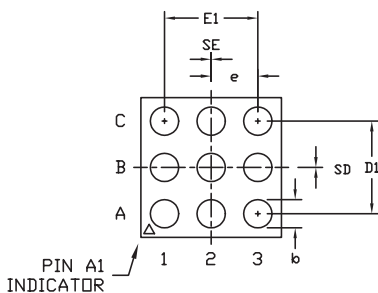
2.5GHz、+20dBmパワーアンプIC UCSPパッケージ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



TOP VIEW



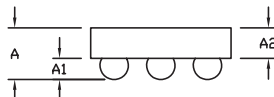
BOTTOM VIEW

COMMON DIMENSIONS	
A	0.62±0.05-0.08
A1	0.29±0.02
A2	0.33 REF.
b	0.35±0.03
D1	1.00 BASIC
E1	1.00 BASIC
e	0.50 BASIC
SD	0.00 BASIC
SE	0.00 BASIC

PKG. CODE	VARIABLE DIMENSIONS		DEPOPULATED SOLDER BALLS
	D	E	
B9-1	1.52±0.05	1.52±0.05	NONE
B9-2	1.52±0.05	1.52±0.05	B2
B9-3	1.52±0.05	1.52±0.05	B1, B2, B3
B9-4	1.60±0.05	1.60±0.05	NONE
B9-5	1.60±0.05	1.60±0.05	B2
B9-6	1.60±0.05	1.60±0.05	B1, B2, B3

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. PRODUCT MARKING: NUMBER OF CHARACTERS AND LINES VARY PER PRODUCT.



SIDE VIEW

 DALLAS SEMICONDUCTOR			
PROPRIETARY INFORMATION			
TITLE: PACKAGE OUTLINE, 3x3 UCSP			
APPROVAL	DOCUMENT CONTROL NO. 21-0093	REV. I	1/1

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

10 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2003 Maxim Integrated Products, Inc. All rights reserved.

MAXIM is a registered trademark of Maxim Integrated Products.