

ISDB-Tワンセグメント低IFチューナ

概要

チューナICのMAX2160/EBGは、日本のモバイルデジタルTV (ISDB-Tワンセグメント)アプリケーション用に設計されています。これらのデバイスは、ブロードバンドI/QダウンコンバータによってUHF帯信号を低IFにじかに変換します。動作周波数範囲は、470MHz~770MHzです。

MAX2160/EBGはI/Q低IFインタフェースおよびシングル低IFインタフェースをともにサポートしているため、これらのデバイスは各種デジタル復調器ICの実装に汎用的なチューナになっています。

MAX2160/EBGは、LNA、RF可変利得アンプ、I/Qダウン変換ミキサ、低IF可変利得アンプ、および帯域通過フィルタを備え、42dBを超えるイメージ除去を実現します。これらの製品は、ハイサイドまたはローサイド局部発振器(LO)の注入で動作することができます。MAX2160/EBGの可変利得アンプは、100dBを超える利得制御範囲を備えています。

また、MAX2160/EBGには完全周波数シンセサイザのほかに、完全モノリシックVCOおよびタンク回路も内蔵されています。これらのデバイスは、XTAL発振器と独立したTCXO入力バッファを備えています。これらのデバイスは13MHz~26MHzのXTAL/TCXO発振器で動作し、携帯ハンドセットアプリケーションにおいてVC-TCXOの共用が可能です。さらに、分周器がXTAL/TCXO発振器に用意されているため、各種チャネルデコーダに簡単かつ低コストでインタフェースすることができます。

MAX2160/EBGは-40°C~+85°Cでの動作が保証され、エクスポーズドパッド(EP)付きの40ピンQFN鉛フリープラスチックパッケージと鉛フリーのウェハレベルパッケージ(WLP)で提供されます。

アプリケーション

携帯電話モバイルTV

パーソナルデジタルアシスタント(PDA)

ポケットTV

型番

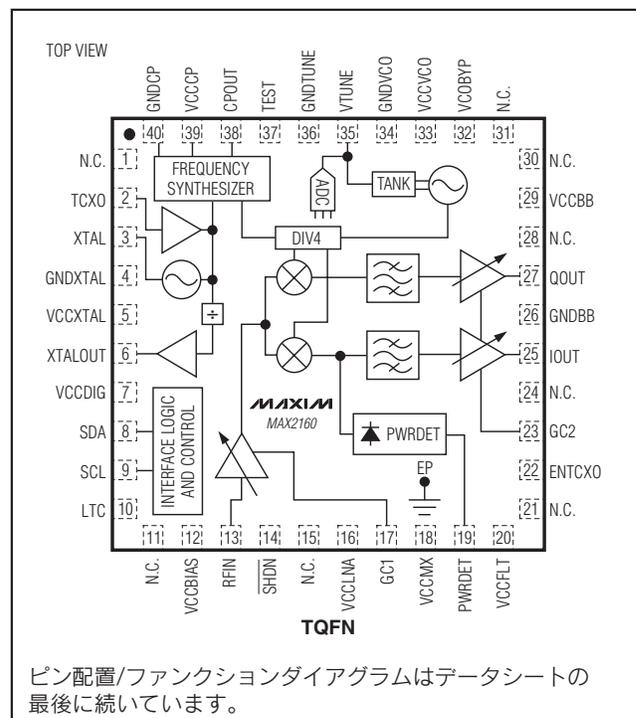
PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX2160ETL	-40°C to +85°C	40 Thin QFN-EP** (6mm x 6mm)	T4066-2
MAX2160ETL+	-40°C to +85°C	40 Thin QFN-EP** (6mm x 6mm)	T4066-2
MAX2160EBG+	-40°C to +85°C	WLP (3.175mm x 3.175mm)	B08133+1

+は鉛フリーパッケージを示します。

**EP = エクスポーズドパッド

特長

- ◆ 低ノイズ指数：4dB以下(typ)
- ◆ 広いダイナミックレンジ：-98dBm~0dBm
- ◆ ハイサイドまたはローサイドLO注入
- ◆ VCOおよびタンク回路内蔵
- ◆ 低LO位相ノイズ：-88dBc/Hz (typ、10kHzにおいて)
- ◆ 周波数シンセサイザ内蔵
- ◆ 帯域通過フィルタ内蔵
- ◆ イメージ除去：52dB (typ)
- ◆ 単一電源電圧範囲：+2.7V~+3.3V
- ◆ 3種類の低電力モード
- ◆ 2線式、I²C対応シリアル制御インタフェース
- ◆ 超小型、鉛フリーWLPパッケージ

ピン配置/
ファンクションダイアグラム

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

ABSOLUTE MAXIMUM RATINGS

All VCC_ Pins to GND.....-0.3V to +3.6V
 All Other Pins to GND.....-0.3V to (VCC + 0.3V)
 RFIN, Maximum RF Input Power+10dBm
 ESD Rating1kV
 Short-Circuit Duration
 IOUT, QOUT, CPOUT, XTALOUT, PWRDET, SDA,
 TEST, LTC, VCOBYP10s

Continuous Power Dissipation (T_A = +70°C)
 40-Pin Thin QFN (derate 35.7mW/°C above +70°C)....2857mW
 WLP (derate 10.8mW/°C above +70°C).....704mW
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

 **CAUTION!** ESD SENSITIVE DEVICE

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(MAX2160 EV kit, V_{CC} = +2.7V to +3.3V, V_{GC1} = V_{GC2} = 0.3V (maximum gain), no RF input signals at RFIN, baseband I/Os are open circuited and VCO is active with f_{LO} = 767.714MHz, registers set according to the recommended default register conditions of Tables 2–11, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +2.85V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
SUPPLY						
Supply Voltage			2.7	2.85	3.3	V
Supply Current (See Tables 15 and 16)	Receive mode, $\overline{\text{SHDN}} = \text{VCC}$, BBL[1:0] = 00			44	53.5	mA
	Standby mode, bit STBY = 1			2	4	
	Power-down mode, bit PWDN = 1, EPD = 0			5	40	μA
	Shutdown mode, $\overline{\text{SHDN}} = \text{GND}$			0	10	
ANALOG GAIN-CONTROL INPUTS (GC1, GC2)						
Input Voltage Range	Maximum gain = 0.3V		0.3		2.7	V
Input Bias Current			-15		+15	μA
VCO TUNING VOLTAGE INPUT (VTUNE)						
Input Voltage Range			0.4		2.3	V
VTUNE ADC						
Resolution				3		bits
Input Voltage Range			0.3		2.4	V
Reference Ladder Trip Point	ADC read bits	110 to 111	V _{CC} - 0.4			V
		101 to 110	1.9			
		100 to 101	1.7			
		011 to 100	1.3			
		010 to 011	0.9			
		001 to 010	0.6			
		000 to 001	0.4			
LOCK TIME CONSTANT OUTPUT (LTC)						
Source Current	Bit LTC = 0			1		μA
	Bit LTC = 1			2		

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

DC ELECTRICAL CHARACTERISTICS (continued)

(MAX2160 EV kit, $V_{CC} = +2.7V$ to $+3.3V$, $V_{GC1} = V_{GC2} = 0.3V$ (maximum gain), no RF input signals at RFIN, baseband I/Os are open circuited and VCO is active with $f_{LO} = 767.714MHz$, registers set according to the recommended default register conditions of Tables 2–11, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SHUTDOWN CONTROL (SHDN)					
Input-Logic-Level High		0.7 x V_{CC}			V
Input-Logic-Level Low			0.3 x V_{CC}		V
2-WIRE SERIAL INPUTS (SCL, SDA)					
Clock Frequency			400		kHz
Input-Logic-Level High		0.7 x V_{CC}			V
Input-Logic-Level Low			0.3 x V_{CC}		V
Input Leakage Current	Digital inputs = GND or V_{CC}		± 0.1	± 1	μA
2-WIRE SERIAL OUTPUT (SDA)					
Output-Logic-Level Low			0.2		V

AC ELECTRICAL CHARACTERISTICS

(MAX2160 EV kit, $V_{CC} = +2.7V$ to $+3.3V$, $f_{RF} = 767.143MHz$, $f_{LO} = 767.714MHz$, $f_{BB} = 571kHz$, $f_{XTAL} = 16MHz$, $V_{GC1} = V_{GC2} = 0.3V$ (maximum gain), registers set according to the recommended default register conditions of Tables 2–11, RF input signals as specified, baseband output load as specified, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
MAIN SIGNAL PATH PERFORMANCE					
Input Frequency Range		470		770	MHz
Minimum Input Signal	13-segment input		-98		dBm
Maximum Voltage Gain	CW tone, $V_{GC1} = V_{GC2} = 0.3V$, bit MOD = 1	104			dB
Minimum Voltage Gain	CW tone, $V_{GC1} = V_{GC2} = 2.7V$, bit MOD = 0			2	dB
RF Gain-Control Range	$0.3V < V_{GC1} < 2.7V$	38	43		dB
Baseband Gain-Control Range	$0.3V < V_{GC2} < 2.7V$	57	67		dB
In-Band Input IP3	(Note 2)		+4		dBm
Out-of-Band Input IP3	(Note 3)		+16.7		dBm
Input IP2	(Note 4)		+16		dBm
Input P_{1dB}	CW tone, $V_{GC1} = V_{GC2} = 2.7V$, bit MOD = 0		0		dBm
Noise Figure	$V_{GC1} = V_{GC2} = 0.3V$, $T_A = +25^{\circ}C$ (Note 5)		3.8	5	dB
Image Rejection		42	52		dB
Minimum RF Input Return Loss	$f_{RF} = 620MHz$, 50Ω system		14		dB
LO Leakage at RFIN			-100		dBm
IF POWER DETECTOR					
Resolution			3		bits
Minimum RF Attack Point	Power at RFIN		-62		dBm
Maximum RF Attack Point	Power at RFIN		-48		dBm
Detector Bandwidth	3dB RF bandwidth		± 35		MHz
Output Compliance Range		0.3		2.7	V
Response Time	$C_{14} = 10nF$		0.1		ms

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2160 EV kit, $V_{CC} = +2.7V$ to $+3.3V$, $f_{RF} = 767.143MHz$, $f_{LO} = 767.714MHz$, $f_{BB} = 571kHz$, $f_{XTAL} = 16MHz$, $V_{GC1} = V_{GC2} = 0.3V$ (maximum gain), registers set according to the recommended default register conditions of Tables 2–11, RF input signals as specified, baseband output load as specified, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LOW-IF BANDPASS FILTERS					
Center Frequency			571		kHz
Frequency Response (Note 5)	$\pm 380kHz$ offset from center frequency	-6		-1.5	dB
	1.3MHz		-36		
Group Delay Variation	Up to 1dB bandwidth		± 100		ns
BASEBAND OUTPUT CHARACTERISTICS					
Nominal Output-Voltage Swing	$R_{LOAD} = 10k\Omega$ 10pF		0.5		V _{P-P}
I/Q Amplitude Imbalance	(Note 6)			± 1.5	dB
I/Q Quadrature Phase Imbalance				± 2	deg
Output Gain Step	Bit MOD transition from 0 to 1		+7		dB
I/Q Output Impedance	Real Z_O		30		Ω
FREQUENCY SYNTHESIZER					
RF-Divider Frequency Range		470		770	MHz
RF-Divider Range (N)		829		5374	
Reference-Divider Frequency Range		13		26	MHz
Reference-Divider Range (R)		22		182	
Phase-Detector Comparison Frequency		1/7		4/7	MHz
PLL-Referred Phase Noise Floor	$T_A = +25^{\circ}C$, $f_{COMP} = 285.714kHz$		-155		dBc/Hz
Comparison Frequency Spurious Products	Bit EPB = 1		-52		dBc
Charge-Pump Output Current (Note 5)	Bits CP[1:0] = 00	1.25	1.5	1.75	mA
	Bits CP[1:0] = 01	1.75	2.0	2.25	
	Bits CP[1:0] = 10	2.10	2.5	2.90	
	Bits CP[1:0] = 11	2.50	3	3.50	
Charge-Pump Compliance Range	$\pm 10\%$ variation from current at $V_{TUNE} = 1.35V$	0.4		2.2	V
Charge-Pump Source/Sink Current Matching	$V_{TUNE} = 1.35V$	-10		+10	%

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX2160 EV kit, $V_{CC} = +2.7V$ to $+3.3V$, $f_{RF} = 767.143MHz$, $f_{LO} = 767.714MHz$, $f_{BB} = 571kHz$, $f_{XTAL} = 16MHz$, $V_{GC1} = V_{GC2} = 0.3V$ (maximum gain), registers set according to the recommended default register conditions of Tables 2–11, RF input signals as specified, baseband output load as specified, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{CC} = +2.85V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
VOLTAGE-CONTROLLED OSCILLATOR AND LO GENERATION					
Guaranteed VCO Frequency Range	$T_A = -40^{\circ}C$ to $+85^{\circ}C$	1880		3080	MHz
Guaranteed LO Frequency Range	$T_A = -40^{\circ}C$ to $+85^{\circ}C$	470		770	MHz
Tuning Voltage Range		0.4		2.3	V
LO Phase Noise	$0.4V < VTUNE < 2.3V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$	$f_{OFFSET} = 1kHz$		-80	dBc/Hz
		$f_{OFFSET} = 10kHz$		-87.5	
		$f_{OFFSET} = 100kHz$		-107	
		$f_{OFFSET} = 1MHz$		-128	
XTAL OSCILLATOR INPUT (TCXO AND XTAL)					
XTAL Oscillator Frequency Range	Parallel resonance mode crystal	13		26	MHz
XTAL Minimum Negative Resistance	$16MHz < f_{XTAL} < 18MHz$ (Note 5)		885		Ω
XTAL Nominal Input Capacitance			13.3		pF
TCXO Input Level	AC-coupled sine-wave input	0.4		1.5	V _{P-P}
TCXO Minimum Input Impedance			10		k Ω
REFERENCE OSCILLATOR BUFFER OUTPUT (XTALOUT)					
Output Frequency Range		1		26	MHz
Output-Buffer Divider Range		1		26	
Output-Voltage Swing			0.7		V _{P-P}
Output Load			200 4		k Ω pF
Output Duty Cycle			50		%
Output Impedance			160		Ω

Note 1: Min and max values are production tested at $T_A = +25^{\circ}C$ and $+85^{\circ}C$. Min and max limits at $T_A = -40^{\circ}C$ are guaranteed by design and characterization. Default register settings are not production tested; load all registers no sooner than 100 μ s after power-up.

Note 2: In-band IIP3 is measured with two tones at $f_{LO} - 100kHz$ and $f_{LO} - 200kHz$ at a power level of -23dBm/tone. GC1 is set for maximum attenuation ($V_{GC1} = 2.7V$) and GC2 is adjusted to achieve 250mV_{P-P}/tone at the I/Q outputs for an input desired level of -23dBm.

Note 3: Out-of-band IIP3 is measured with two tones at $f_{RF} + 6MHz$ and $f_{RF} + 12MHz$ at a power level of -15dBm/tone. GC1 is set for maximum attenuation ($V_{GC1} = 2.7V$) and GC2 is adjusted to achieve 0.5V_{P-P} at the I/Q outputs for an input desired level of -50dBm. f_{RF} is set to $767MHz + 1/7MHz = 767.143MHz$.

Note 4: GC1 is set for maximum attenuation ($V_{GC1} = 2.7V$). GC2 is adjusted to give the nominal I/Q output voltage level (0.5V_{P-P}) for a -50dBm desired tone at $f_{RF} = 550MHz$. Two tones, 220MHz and 770MHz at -15dBm/tone, are then injected and the 571kHz IM2 levels are measured (with a 550.571MHz LO) at the I/Q outputs and IP2 is then calculated.

Note 5: Guaranteed by design and characterization.

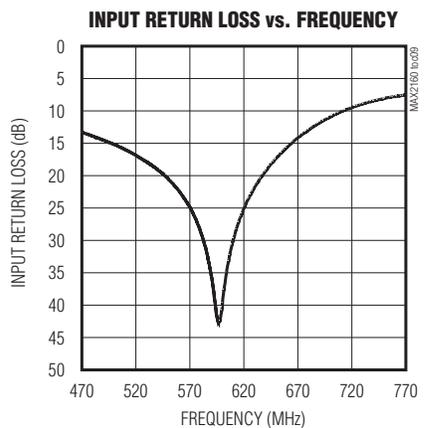
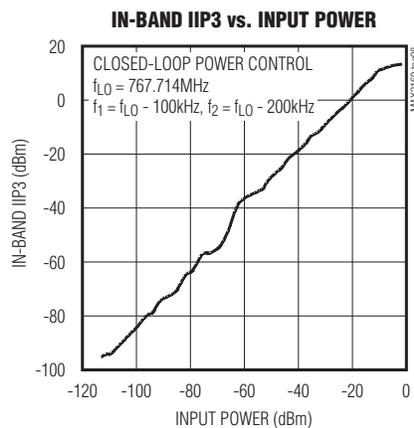
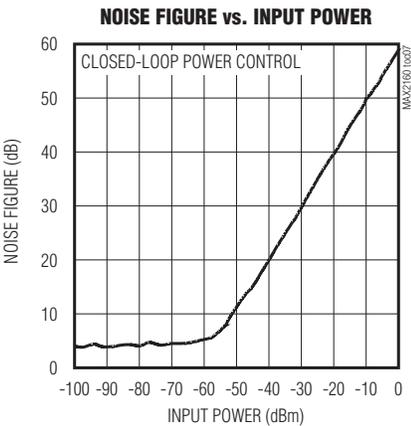
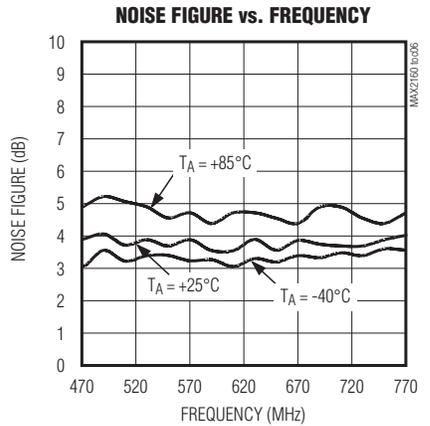
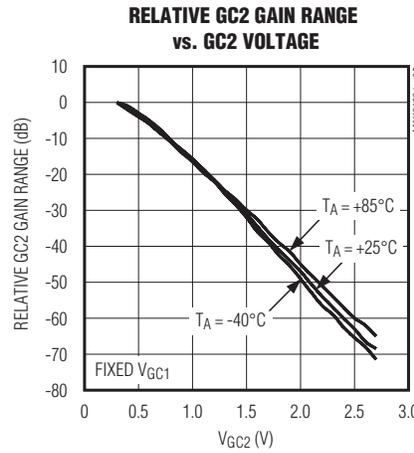
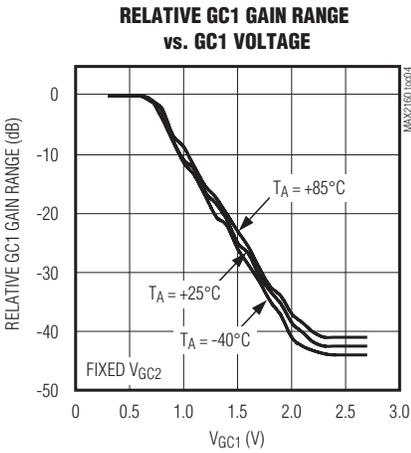
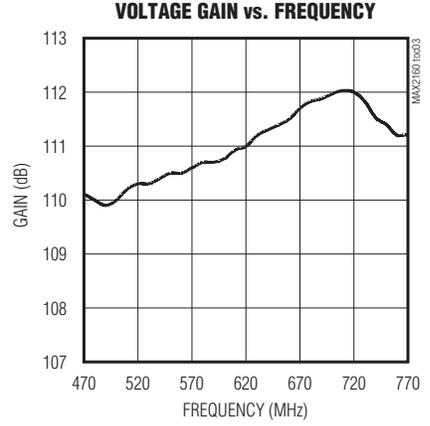
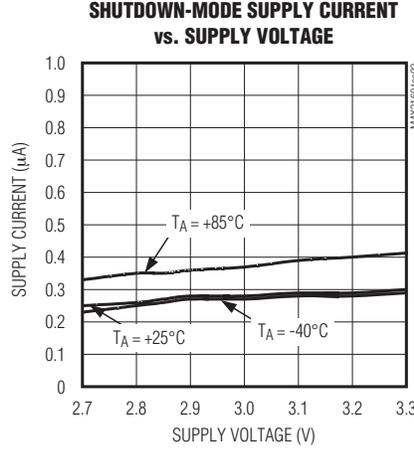
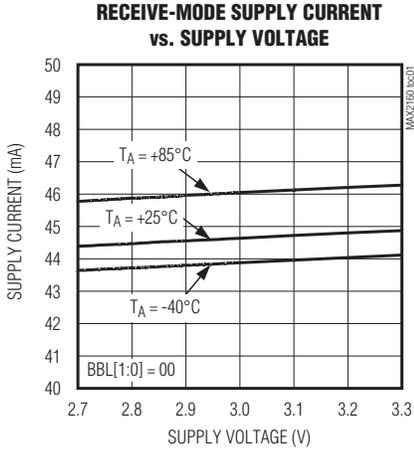
Note 6: Guaranteed and tested at $T_A = +25^{\circ}C$ and $+85^{\circ}C$ only.

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

標準動作特性

(MAX2160 EV kit, TQFN package, $V_{CC} = +2.85V$, default register settings, $V_{GC1} = V_{GC2} = 0.3V$, $V_{IOUT} = V_{QOUT} = 0.5V_{P-P}$, $f_{LO} = 767.714MHz$, $T_A = +25^\circ C$, unless otherwise noted.)

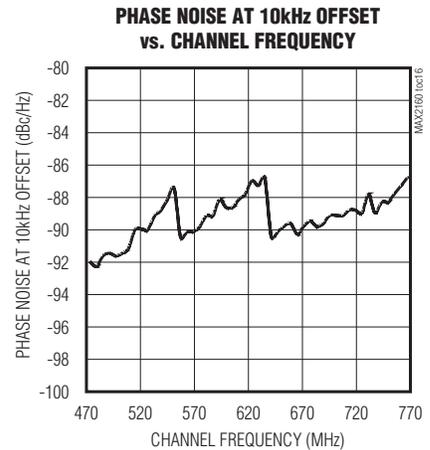
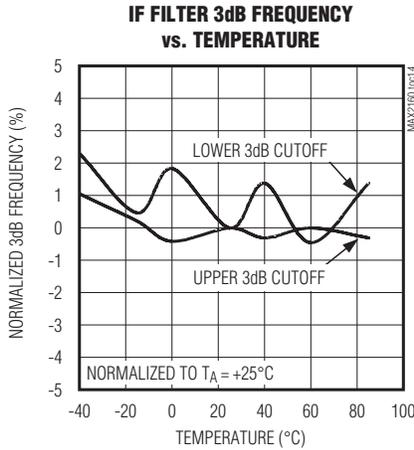
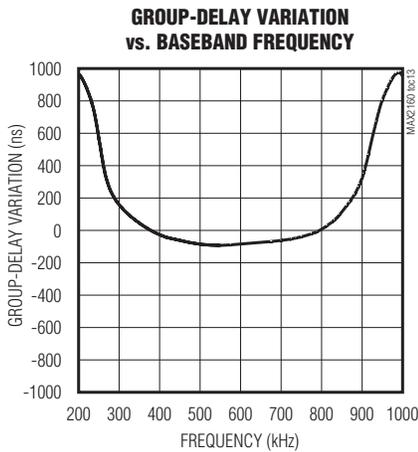
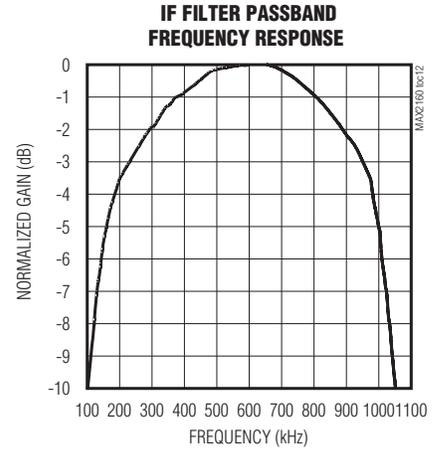
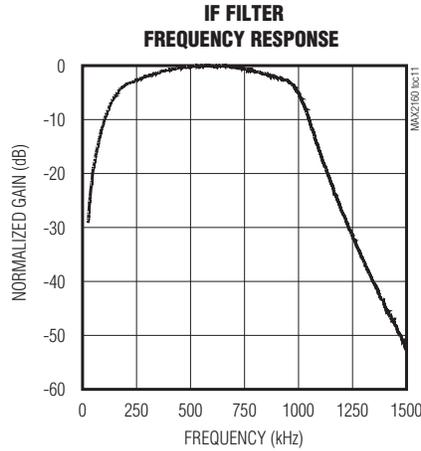
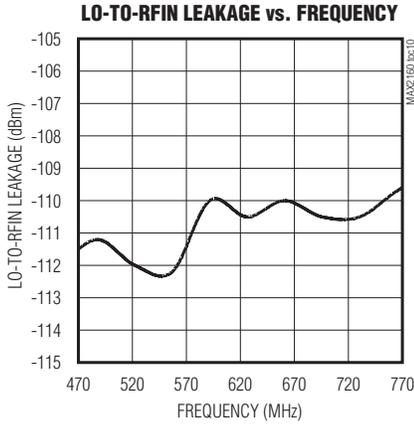


ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

標準動作特性(続き)

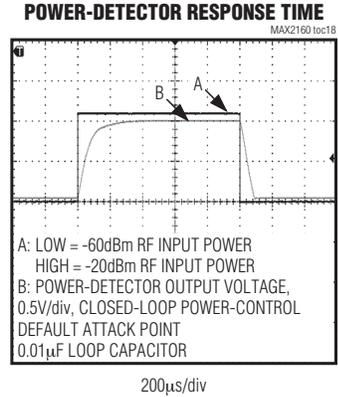
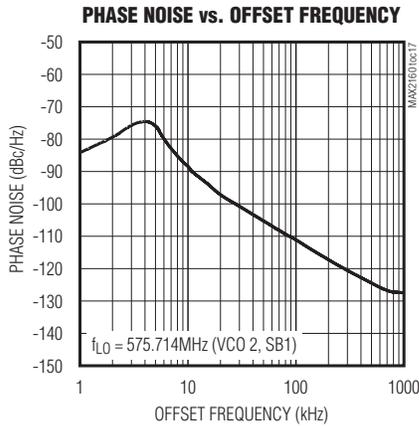
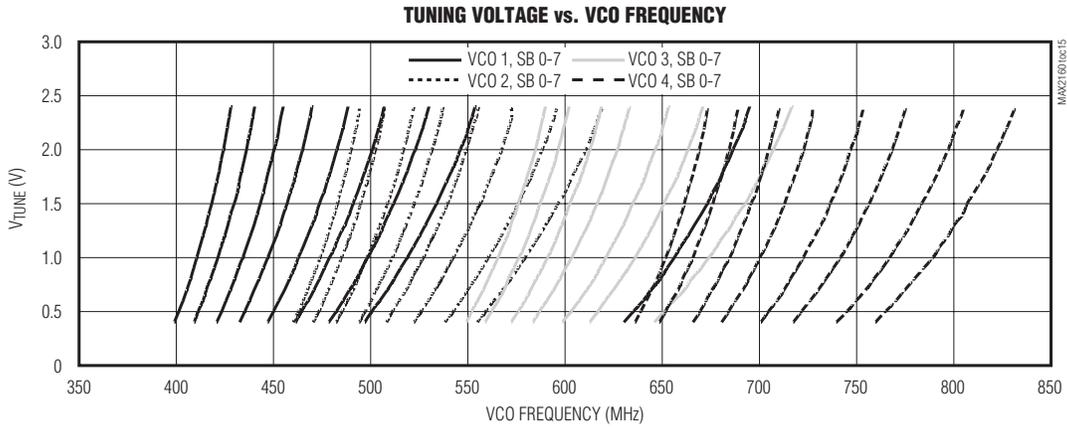
(MAX2160 EV kit, TQFN package, $V_{CC} = +2.85V$, default register settings, $V_{GC1} = V_{CG2} = 0.3V$, $V_{IOUT} = V_{QOUT} = 0.5V_{P-P}$, $f_{LO} = 767.714MHz$, $T_A = +25^{\circ}C$, unless otherwise noted.)



ISDB-Tワンセグメント低IFチューナ

標準動作特性(続き)

(MAX2160 EV kit, TQFN package, $V_{CC} = +2.85V$, default register settings, $V_{GC1} = V_{CG2} = 0.3V$, $V_{IOUT} = V_{QOUT} = 0.5V_{P-P}$, $f_{LO} = 767.714MHz$, $T_A = +25^{\circ}C$, unless otherwise noted.)



ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

端子説明

端子 TQFN	バンプ番号 WLP	名称	説明
1, 11, 15, 21, 24, 28, 30, 31	29, 33, 34, 35, 36, 45, 46	N.C.	接続なし。PCBのグランドプレーンに接続してください。
2	2	TCXO	外付けTCXO用ハイインピーダンスバッファ。ENTCXOがハイに強制されると、この入力には外付けTCXO用にイネーブルされ、内蔵水晶発振器はディセーブルされます。DCブロッキングコンデンサが必要です。
3	11	XTAL	水晶発振器インタフェース。ENTCXOがローに強制されると、この入力には外付け並列共振モード水晶用にイネーブルされます。「標準動作回路」を参照してください。
4	—	GNDXTAL	水晶発振器回路グランド。PCBのグランドプレーンに接続してください。
5	12	VCCXTAL	水晶発振器回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドビアと他のグランド接続部を共用しないでください。
6	4	XTALOUT	水晶発振器バッファ出力。外部回路の駆動には、DCブロッキングコンデンサを使用する必要があります。
7	5	VCCDIG	デジタルロジック回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドビアと他のグランド接続部を共用しないでください。
8	14	SDA	2線式シリアルデータインタフェース。V _{CC} へのプルアップ抵抗が必要です。
9	7	SCL	2線式シリアルクロックインタフェース。V _{CC} へのプルアップ抵抗が必要です。
10	19	LTC	PLLロック時定数。LTCは電流を外付けの充電コンデンサに供給し、VCOの自動選択(VAS)機能の時定数を設定します。「アプリケーション情報」の「ループ時定数端子」の項を参照してください。
12	9	VCCBIAS	バイアス回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドビアと他のグランド接続部を共用しないでください。
13	17	RFIN	50Ωの広帯域RF入力。DCブロッキングコンデンサを通じて、RFソースに接続してください。
14	22	SHDN	デバイスのシャットダウン。ロジックローとすると、2線式対応バスを含んでデバイス全体がオフになります。SHDNは、すべてのソフトウェアシャットダウンモードに優先します。
16	24	VCCLNA	LNA用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドビアと他のグランド接続部を共用しないでください。
17	25	GC1	RF利得制御入力。0.3V~2.7Vの動作範囲のハイインピーダンスアナログ入力。V _{GC1} = 0.3Vは、最大利得設定値に対応します。
18	28	VCCMX	RFミキサ回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドビアと他のグランド接続部を共用しないでください。
19	38	PWRDET	パワー検出器出力。「アプリケーション情報」の「IFパワー検出器」の項を参照してください。

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

端子説明(続き)

端子	バンプ番号	名称	説明
TQFN	WLP		
20	39	VCCFLT	ベースバンドフィルタ回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドピアと他のグランド接続部を共用しないでください。
22	37	ENTCXO	XTAL/TCXOの選択。ロジックハイによってTCXO入力がいネーブルされ、XTAL入力がディセーブルされます。ロジックローによってTCXO入力がディセーブルされ、XTAL入力がイネーブルされます。この端子は、V _{CC} に内部でプルアップされています。
23	47	GC2	ベースバンド利得制御入力。0.3V~2.7Vの動作範囲のハイインピーダンスアナログ入力。V _{GC2} = 0.3Vは、最大利得設定値に対応します。
25	44	IOUT	同相低IF出力。DCブロッキングコンデンサが必要です。
26	—	GNDDBB	ベースバンド回路用グランド。PCBのグランドプレーンに接続してください。
27	43	QOUT	直交、低IF出力。DCブロッキングコンデンサが必要です。
29	41	VCCBB	ベースバンド回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドピアと他のグランド接続部を共用しないでください。
32	30	VCOBYP	内蔵VCOバイアスバイパス。端子にできる限り近接して470nFのコンデンサを接続して、GNDVCOにじかにバイパスしてください。コンデンサのグランドピアと他のグランド接続部を共用しないでください。「レイアウトに関して」の項を参照してください。
33	26	VCCVCO	VCO回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDVCOにじかにバイパスしてください。コンデンサのグランドピアと他のグランド接続部を共用しないでください。
34	23	GNDVCO	VCO回路グランド。PCBのグランドプレーンに接続してください。「レイアウトに関して」の項を参照してください。
35	32	VTUNE	ハイインピーダンスVCO同調入力。PLLループフィルタ出力をできる限り最短の接続でこの端子にじかに接続してください。
36	20	GNDTUNE	VTUNE用のグランド。PCBのグランドプレーンに接続してください。「レイアウトに関して」の項を参照してください。
37	18	TEST	テスト出力。内部の各種ブロック用のテスト出力として使用されます。表2を参照してください。
38	16	CPOUT	チャージポンプ出力。この出力を可能な限り最短の接続でPLLループフィルタ入力に接続してください。
39	10	VCCCP	チャージポンプ回路用DC電源。+2.85Vの低ノイズ電源に接続してください。端子にできる限り近接して100pFのコンデンサを接続し、GNDにバイパスしてください。コンデンサのグランドピアと他のグランド接続部を共用しないでください。
40	1	GNDCP	チャージポンプ回路グランド。PCBのグランドプレーンに接続してください。「レイアウトに関して」の項を参照してください。
EP	—	GND	エクスポーズドパッド。正常に動作させるために、ボードのグランドプレーンに均等に半田付けてください。
—	3, 6, 8, 13, 15, 27, 31, 40, 42	GND	グランド。PCBのグランドプレーンに接続してください。
—	21	GNDLNA	LNA用のグランド。配線を通じてグランドに接続してください。

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

詳細

レジスタへの書込みは、すべて電源投入されてから100 μ sより後でなければなりません。

レジスタの説明

MAX2160/EBGは、8個のプログラマブルレジスタと2個の読取り専用レジスタを備えています。8個のプロ

グラマブルレジスタは、テストレジスタ、PLLレジスタ、VCOレジスタ、制御レジスタ、XTAL分周レジスタ、およびR分周器レジスタ、そして2個のN分周器レジスタから構成されています。読取り専用レジスタは、2個のステータスレジスタで構成されます。

表1. レジスタ構成

REGISTER NUMBER	REGISTER NAME	READ/ WRITE	REGISTER ADDRESS	MSB								LSB
				DATA BYTE								
				D7	D6	D5	D4	D3	D2	D1	D0	
1	TEST	WRITE	0x00	TUN2	TUN1	TUN0	FLTS	MXSD	D2	D1	D0	
2	PLL	WRITE	0x01	CP1	CP0	CPS	EPB	RPD	NPD	TON	VAS	
3	VCO	WRITE	0x02	VCO1	VCO0	VS2	VS1	VS0	ADL	ADE	LTC	
4	CONTROL	WRITE	0x03	MOD	BBL1	BBL0	HSL	PD2	PD1	PD0	EPD	
5	XTAL DIVIDE	WRITE	0x04	XD4	XD3	XD2	XD1	XD0	PWDN	STBY	QOFF	
6	R-DIVIDER	WRITE	0x05	R7	R6	R5	R4	R3	R2	R1	R0	
7	N-DIVIDER MSB	WRITE	0x06	N12	N11	N10	N9	N8	N7	N6	N5	
8	N-DIVIDER LSB	WRITE	0x07	N4	N3	N2	N1	N0	X	X	X	
9	STATUS BYTE-1	READ	—	X	X	X	CP1	CP0	PWR	VASA	VASE	
10	STATUS BYTE-2	READ	—	VCO1	VCO0	VS2	VS1	VS0	ADC2	ADC1	ADC0	

表2. テストレジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
TUN[2:0]	7, 6, 5	000	Set the baseband bandpass filter center frequency. This filter's center frequency is trimmed at the factory, but may be manually adjusted by clearing the FLTS bit and programming the TUN[2:0] bits as follows: 000 = 0.75 x f ₀ 001 = 0.80 x f ₀ 010 = 0.86 x f ₀ 011 = 0.92 x f ₀ 100 = f ₀ (nominal center frequency of 571kHz) 101 = 1.08 x f ₀ 110 = 1.19 x f ₀ 111 = 1.32 x f ₀
FLTS	4	1	Selects which registers set the baseband bandpass filter center frequency. 1 = selects internal factory-set register 0 = selects manual trim register TUN[2:0]

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

表2. テストレジスタ(続き)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
MXSD	3	0	Used for factory trimming of the baseband filters. 1 = disables the quadrature mixers for filter tuning 0 = enables the quadrature mixers
D[2:0]	2, 1, 0	000	Control diagnostic features as follows: 000 = normal operation 001 = force charge-pump source current 010 = force charge-pump sink current 011 = force charge-pump high-impedance state 100 = power-detector RMS voltage at PWRDET 101 = N-divider output at TEST pin 110 = R-divider output at TEST pin 111 = local oscillator output at TEST pin

表3. PLLレジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
CP[1:0]	7, 6	11	Set the charge-pump current. 00 = ±1.5mA 01 = ±2mA 10 = ±2.5mA 11 = ±3mA
CPS	5	1	Sets the charge-pump current selection mode between automatic and manual. 0 = charge-pump current is set manually through the CP[1:0] bits 1 = charge-pump current is automatically selected based on ADC read values in both VAS and manual VCO selection modes
EPB	4	1	Controls the charge-pump prebias function. 0 = disables the charge-pump prebias function 1 = enables the charge-pump prebias function
RPD	3	0	Sets the prebias on-time control from reference divider. 0 = 280ns 1 = 650ns
NPD	2	0	Sets the prebias on-time control from VCO/LO divider. 0 = 500ns 1 = 1000ns
TON	1	0	Sets the charge-pump on-time control. 0 = 2.5ns 1 = 5ns
VAS	0	1	Controls the VCO autoselect (VAS) function. 0 = disables the VCO autoselect function and allows manual VCO selection through the VCO[1:0] and VSB[2:0] bits 1 = enables the on-chip VCO autoselect state machine

表4. VCOレジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
VCO[1:0]	7, 6	11	Control which VCO is activated when using manual VCO programming mode. This will also serve as the starting point for the VCO autoselect mode. 00 = select VCO 0 01 = select VCO 1 10 = select VCO 2 11 = select VCO 3
VSF[2:0]	5, 4, 3	011	Select a particular sub-band for each of the on-chip VCOs. Together with the VCO[2:0] bits a manual selection of a VCO and a sub-band can be made. This will also serve as the starting point for the VCO autoselect mode. 000 = select sub-band 0 001 = select sub-band 1 010 = select sub-band 2 011 = select sub-band 3 100 = select sub-band 4 101 = select sub-band 5 110 = select sub-band 6 111 = select sub-band 7
ADL	2	0	Enables or disables the VCO tuning voltage ADC latch when the VCO autoselect mode (VAS) is disabled. 0 = disables the ADC latch 1 = latches the ADC value
ADE	1	0	Enables or disables VCO tuning voltage ADC read when the VCO autoselect mode (VAS) is disabled. 0 = disables ADC read 1 = enables ADC read
LTC	0	0	Sets the source current for the VAS time constant. 0 = 1 μ A 1 = 2 μ A

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

表5. 制御レジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
MOD	7	0	Sets the modulation mode and the baseband gain step. 0 = selects QAM mode and disables the 7dB gain step 1 = selects QPSK mode and adds 7dB of gain in the baseband stages
BBL[1:0]	6, 5	10	Set the bias current for the baseband circuits to provide for fine linearity adjustments. 00 = lower linearity 01 = nominal linearity 10 = medium linearity 11 = high linearity
HSL5	4	1	Selects between high-side and low-side LO injection. 0 = low-side injection 1 = high-side injection
PD[2:0]	3, 2, 1	011	Set the AGC attack point (at RFIN). 000 = -62dBm 001 = -60dBm 010 = -58dBm 011 = -56dBm 100 = -54dBm 101 = -52dBm 110 = -50dBm 111 = -48dBm
EPD	0	0	Enables or disables the power-detector circuit. 0 = disables the power-detector circuit for low-current mode 1 = enables the power-detector circuit

表6. XTAL分周

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
XD[4:0]	7-3	00001	Set the crystal divider ratio for XTALOUT. 00000 = XTALOUT buffer disabled (off) 00001 = divide-by-1 00010 = divide-by-2 00011 = divide-by-3 00100 = divide-by-4 00101 through 11110 = all divide values from 3 (00101) to 30 (11110) 11111 = divide-by-31
PWDN	2	0	Software power-down control. 0 = normal operation 1 = shuts down the entire chip but leaves the 2-wire bus active and maintains the current register states
STBY	1	0	Software standby control. 0 = normal operation 1 = disables the signal path and frequency synthesizer leaving only the 2-wire bus, crystal oscillator, XTALOUT buffer, and XTALOUT buffer divider active
QOFF	0	0	Enables and disables the Q-channel output. 0 = Q channel enabled 1 = Q channel disabled

表7. R分周器レジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
R[7:0]	7-0	0x38	Set the PLL reference-divider (R) number. Default R-divider value is 56 decimal. R can range from 22 to 182 decimal.

表8. N分周器MSBレジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
N[12:5]	7-0	0x53	Set the most significant bits of the PLL integer-divider number (N). Default integer-divider value is N = 2687 decimal. N can range from 829 to 5374.

表9. N分周器LSBレジスタ

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
N[4:0]	7-3	11111	Set the least significant bits of the PLL integer-divider number (N). Default integer-divider value is N = 2687 decimal. N can range from 829 to 5374.
X	2, 1, 0	X	Unused.

ISDB-Tワンセグメント低IFチューナ

表10. ステータスバイト1レジスタ

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	7, 6, 5	Unused.
CP[1:0]	4, 3	Reflect the charge-pump current setting. See Table 3 for CP[1:0] definition.
PWR	2	Logic-high indicates power has been cycled, but the device has the default programming. A STOP condition while in read mode resets this bit.
VASA	1	Indicates whether VCO automatic selection was successful. 0 = indicates the autoselect function is disabled or unsuccessful VCO selection 1 = indicates successful VCO automatic selection
VASE	0	Status indicator for the autoselect function. 0 = indicates the autoselect function is active 1 = indicates the autoselect process is inactive

表11. ステータスバイト2レジスタ

BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
VCO[1:0]	7, 6	Indicate which VCO has been selected by either the autoselect state machine or by manual selection when the VAS state machine is disabled. See Table 4 for VCO[1:0] definition.
VS[2:0]	5, 4, 3	Indicate which sub-band of a particular VCO has been selected by either the autoselect state machine or by manual selection when the VAS state machine is disabled. See Table 4 for VS[2:0] definition.
ADC[2:0]	2, 1, 0	Indicate the 3-bit ADC conversion of the VCO tuning voltage (VTUNE).

2線式シリアルインタフェース

MAX2160/EBGは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)で構成される2線式、I²C対応インタフェースを使用します。SDAとSCLによって、最高400kHzのクロック周波数によるMAX2160/EBGとマスタ間の双方向通信が容易になります。マスタはバス上でデータ転送を開始し、SCL信号を生成して、データ転送を許可します。MAX2160/EBGは、マスタとの間でデータを送受信するスレーブデバイスとして動作します。正常なバス動作を実現するには、SDAおよびSCLを外付けプルアップ抵抗(1kΩ以上)でハイに強制する必要があります。

各SCLクロックサイクルの間に1ビットが送信されます。MAX2160/EBGとの間で1バイト(8ビットおよびACK/NACK)を転送するには、最低9クロックサイクルが必要です。SDAのデータは、SCLクロックパルスがハイの間は、安定状態を維持する必要があります。SCLがハイで、安定している間は、SDAの変化は制御信号と見なされ

ます(「STARTおよびSTOP条件」の項を参照)。バスがビジーでないときは、SDAおよびSCLはともにハイ状態を維持します。

STARTおよびSTOP条件

マスタはSTART条件(S)で送信を開始します。START条件は、SCLがハイ状態で、SDAのハイからローへの遷移です。マスタはSTOP条件(P)で送信を終了します。STOP条件は、SCLがハイ状態で、SDAのローからハイへの遷移です。

肯定応答および否定応答条件

データ転送は、肯定応答ビット(ACK)または否定応答ビット(NACK)で区切られます。マスタとMAX2160/EBG(スレーブ)はともに、肯定応答ビットを生成します。肯定応答を生成するには、受信側デバイスは肯定応答に関係するクロックパルス(第9パルス)の立上りエッジの前にSDAをローに強制し、クロックパルスがハイの間はローに維持する必要があります。

否定応答条件を生成するためには、受信側で肯定応答に関係するクロックパルスの立上りエッジの前にSDAをハイに強制して、クロックパルスがハイの間はSDAをハイに維持します。肯定応答ビットの監視によって、データ転送の不成功を検出することができます。受信側デバイスがビジーの場合やシステム障害が発生した場合は、データ転送に失敗します。データ転送に失敗した場合は、バスマスタは後で通信を再試行する必要があります。

スレーブアドレス

MAX2160/EBGは7ビットスレーブアドレスを備え、通信を開始するにはこのアドレスをSTART条件に続いてデバイスに送信する必要があります。スレーブアドレスは、内部で1100000に設定されています。7ビットアドレスに続く第8ビット(R/ \bar{W})によって、読取りまたは書込み動作が行われるかが決まります。

MAX2160/EBGは、START条件とその後に続くスレーブアドレスに対して常時待機しています。デバイスがスレーブアドレスを認識すると、そのデバイスはSDAラインを1クロック期間の間、ローに強制して肯定応答して、R/ \bar{W} ビットに応じてデータの受信または送信を行うことができます(図1)。

書込みサイクル

書込みコマンドとしてアドレス指定されると、MAX2160/EBGは1個または複数の連続レジスタにマスタが書き込むことを許可します。

バスマスタがSTART条件およびそれに後続する7ビットのスレーブアドレスビットと書込みビット(R/ \bar{W} = 0)を発行すると、書込みサイクルが開始されます。MAX2160/EBGは、スレーブアドレスバイトが正常に受信すると、ACKを発行します。つぎに、バスマスタは、所望の書込み先の先頭レジスタのアドレスをスレーブに送信する必要があります(レジスタアドレスについては、表1を参照)。スレーブがそのアドレスに対して肯定応答すると、マスタは指定されたアドレスのレジスタに1バイトを書き込むことができます。データは、最上位ビットから書き込まれます。データがレジスタに正常に書き込まれると、MAX2160/EBGは再びACKを発行します。マスタは、MAX2160/EBGが正常送信に肯定応答すると、連続する内部レジスタにデータを継続して書き込むことができ、またはSTOP条件を発行して送信を終了することができます。書込みサイクルは、マスタがSTOP条件を発行するまで、終了しません。

図2は、レジスタ0~2に0x0E、0xD8、および0xE1がそれぞれ書き込まれた例を示しています。

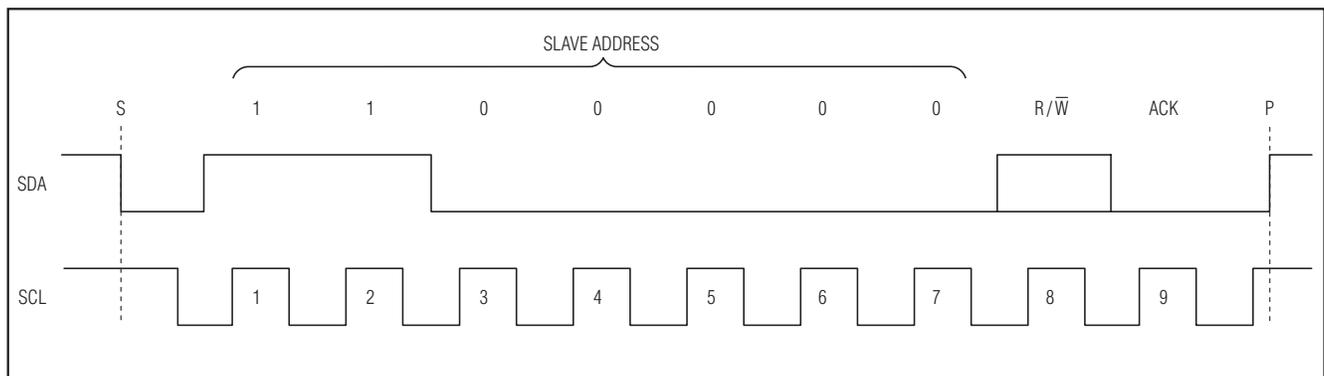


図1. MAX2160のスレーブアドレスバイト

START	WRITE DEVICE ADDRESS	R/ \bar{W}	ACK	WRITE REGISTER ADDRESS	ACK	WRITE DATA TO REGISTER 0x00	ACK	WRITE DATA TO REGISTER 0x01	ACK	WRITE DATA TO REGISTER 0x02	ACK	STOP
	1100000	0		0x00		0x0E		0xD8		0xE1		

図2. 例：レジスタ0~2への0x0E、0xD8、および0xE1の各書込み

ISDB-Tワンセグメント低IFチューナ

START	WRITE DEVICE ADDRESS	R/W	ACK	READ FROM STATUS BYTE-1 REGISTER	ACK	READ FROM STATUS BYTE-2 REGISTER	ACK/NACK	STOP
	1100000	1						

図3. 例：データを読み取りレジスタから受信

読み取りサイクル

マスタが読み取り可能なMAX2160/EBGのレジスタは2個のみです。読み取りコマンドとしてアドレス指定されると、MAX2160/EBGは両方の読み取りレジスタ (STATUS BYTE-1およびSTATUS BYTE-2)の内容を返送します。バスマスタがSTART条件およびそれに後続する7ビットのスレーブアドレスビットと読み取りビット (R/W = 1) を発行すると、読み取りサイクルが開始されます。スレーブアドレスバイトを正常に受信すると、MAX2160/EBGはACKを発行します。つぎに、マスタは、最上位ビットを先頭にSTATUS BYTE-1レジスタの内容を読み取り、そのバイトが正常に受信されると肯定応答します。続いて、マスタはSTATUS BYTE-2レジスタの内容を読み取ります。この時点で、マスタはACKまたはNACKを発行し、つぎにSTOP条件を発行し、読み取りサイクルを終了することができます。

図3は、読み取りレジスタがマスタから読み取られる例を示しています。

アプリケーション情報

RF入力(RFIN)

MAX2160/EBGは50Ωに内部で整合され、DCブロッキングコンデンサを必要とします(「標準動作回路」を参照)。

RF利得制御(GC1)

MAX2160/EBGは、43dBのRF利得制御範囲の可変利得低ノイズアンプを備えています。電圧制御(V_{GC1})範囲は、0.3V (最小減衰)~2.7V (最大減衰)です。

IFパワー検出器

MAX2160/EBGは、ミキサ出力に真のRMS/パワー検出器を搭載しています。パワー検出回路は、制御レジスタのEPDビットによってイネーブルまたはディセーブルされます。動作開始点(アタックポイント)を制御レジスタの

PD[2:0]ビットによって設定することができます(動作開始点の設定値の概要については表5を参照)。

電圧出力を(RMSパワー検出器段からじかに)供給するか、またはテストレジスタの電圧出力(デフォルト)を供給するように、診断ビットD[2:0]によってPWRDET端子出力を構成することができます。

閉ループRFパワー制御

IFパワー検出器のデフォルトモードは電圧出力モードです。閉ループRFパワー制御は、PWRDET端子をGC1端子にじかに接続すると実現します。グラウンド接続されたシャントコンデンサを追加して、閉ループ応答時間を設定します(「標準動作回路」を参照)。10nFの推奨コンデンサ値では応答時間は、0.1msです。

また、閉ループRFパワー制御は、ベースバンドプロセッサと電圧出力モードのパワー検出器を使って行うこともできます。この構成では、プロセッサはパワー検出器の出力電圧を検出し、この情報を使ってGC1端子をじかに駆動します。電圧出力モードは、テストレジスタのD[2:0]ビットを100に設定すると、イネーブルされます。電圧モードでは、PWRDET端子は、RF入力パワーに応じてスケールされたDC電圧を出力します。-62dBm~-48dBmのRF入力範囲の場合は、DC出力電圧は84mV~420mVの範囲です。

ハイサイドおよびローサイドLO注入

MAX2160/EBGによって、制御レジスタのHSL5ビットを通じてハイサイドまたはローサイドのLO注入を選択することができます。ハイサイド注入がデフォルト設定です(HSL5 = 1)。

Qチャネルのシャットダウン

MAX2160/EBGのQチャネル低IF出力を、単一低IF入力復調器用(1チャネルのみ使用)にXTAL分周レジスタのQOFFビットによって、オフにすることができます。Qチャネルをオフにすると、消費電流が約3mA低減します。

IFフィルタの同調

ベースバンド帯域通過フィルタの中心周波数は、出荷時に571kHzに調整されています。ただし、出荷時に設定された調整をバイパス可能で、フィルタの中心周波数をテストレジスタのFLTSおよびTUN[2:0]ビットを通じて調整することができます。FLTSビットをセットするとフィルタの中心周波数は出荷時の設定となり、FLTSビットをクリアするとフィルタの中心周波数をTUN[2:0]ビットで調整することができます(表2を参照)。

固定IF利得ステップ

QPSKおよびQAMの両信号に対して最高に可能な感度を確保するために、MAX2160/EBGは、ベースバンド段の利得を約7dB増加させる制御ビット(MOD)を備えています。この利得ステップは、QPSK信号の受信時に使用されること目的としています。QPSK受信モードでMODビットを1に設定し、QAM受信モードでMODビットを0に設定してください。

VCOの自動選択(VAS)

MAX2160/EBGは4つのVCOを備え、VCOごとに8つのサブバンドがあります。局部発振器周波数は、VCOレジスタのVCO[1:0]およびVSB[2:0]ビットを設定して、手動で選択することができます。選択したVCOとサブバンドは、STATUS BYTE-2レジスタに通知されます(表11を参照)。

別の方法として、VCOおよびVCOサブバンドを自動的に選択するようにMAX2160/EBGを設定することもできます。VCOの自動選択はPLLレジスタのVASビットをセットするとイネーブルされ、N分周器LSBレジスタのワードがロードされると開始されます。R分周器レジスタまたはN分周器MSBレジスタのワードのみが変更される場合は、VCO自動選択機能を開始するには、N分周器LSBワードも(最後に)ロードされる必要があります。VCO[1:0]およびVSB[2:0]ビットで設定されるVCOおよびVCOサブバンドは、自動VCO選択プロセスの開始点として機能します。

選択プロセスでは、STATUS BYTE-2レジスタのVASEビットはクリアされ、自動選択機能がアクティブである

ことを示します。正常に終了すると、ビットVASEおよびVASAがセットされ、選択されたVCOおよびサブバンドはSTATUS BYTE-2レジスタに通知されます(表11を参照)。検出が不成功の場合は、VASAはクリアされ、VASEがセットされます。この処理は、検出は終了したが、正常なVCOが検出されなかったことを示し、VCOの指定周波数範囲外の周波数に同調しようとしているときに発生します。

チャージポンプの選択(CPS)

また、MAX2160/EBGでは、チャージポンプ電流を手動で選択するか(CPS = 0)、または最終のVTUNEのADC読取り値に基づいて自動的に選択するか(CPS = 1)こともできます。手動モードでは、チャージポンプ電流は、2線式バスを通じてビットCP[1:0]によって設定されます。自動選択モードでは、CP[1:0]ビットは、ADCテーブルに応じて自動的に設定されます(表12および13を参照)。選択されたチャージポンプ電流は、STATUS BYTE-1レジスタに(手動または自動的に)通知されます。

3ビットADC

MAX2160/EBGは、VCO同調端子(VTUNE)に接続された3ビットADCを内蔵しています。このADCを使って、VCOのロックステータスをチェックすることができます。

表13は、ADCトリップポイント、関連するチャージポンプ設定値(CPS = 1の場合)、およびVCOロックの表示を要約しています。VCOの自動選択ルーチンでは、「VASをロックした」範囲内の1個のVCOが選択されるだけです。このため、VCOが温度変化でドリフトしても、有効な「ロックされた」範囲内にとどまる余地があります。最初にVCOレジスタのADEビットを設定して、ADCをイネーブルする必要があります。ADCの読取りは、ADCラッチビットの後続の設定によってラッチされます(ADL = 1)。ADC値は、STATUS BYTE-2レジスタに通知されます(表11を参照)。

表13. ADCのトリップポイント、関連するチャージポンプ設定値、およびロックステータス

VTUNE (V _T)	ADC[2:0]	CP[1:0]	LOCK STATUS
V _T < 0.41V	000	00	Out of Lock
0.41V < V _T < 0.6V	001	00	Locked
0.6V < V _T < 0.9V	010	00	VAS Locked
0.9V < V _T < 1.3V	011	01	VAS Locked
1.3V < V _T < 1.7V	100	10	VAS Locked
1.7V < V _T < 1.9V	101	11	VAS Locked
1.9V < V _T < V _{CC} - 0.41V	011	11	Locked
V _{CC} - 0.41V < V _T	111	11	Out of Lock

表12. チャージポンプ電流の選択

VAS	CPS	VASA	CHARGE-PUMP VALUES (CP[1:0])
0	0	X	Values programmed with 2-wire bus
0	1	X	Values selected by ADC read
1	0	X	Values programmed with 2-wire bus
1	1	0	Values programmed with 2-wire bus
1	1	1	Values selected by ADC read

ISDB-Tワンセグメント低IFチューナ

ループ時定数端子(LTC)

LTC機能によって、VCO自動選択モード時におけるADC読取りの待機時間が設定されます。LTC端子に接続された外付けコンデンサを定電流源で充電すると時定数が設定されます。電流源の値をVCOレジスタのLTCビットによって1μAまたは2μAに設定することができます(表4を参照)。

LTC時定数は、次式から求められます。

$$\text{Time constant} = C_{LTC} \times 1.7 / I_{LTC}$$

ここで、

C_{LTC} = LTC端子とグラウンドの間に接続されたコンデンサ

I_{LTC} = 1μA (LTC = 0) or 2μA (LTC = 1)

C_{LTC} を1000pFにすると、 I_{LTC} が1μAに設定された場合は1.7msの時定数、 I_{LTC} が2μAに設定された場合は0.85msの時定数になります。

ENTCXO

MAX2160/EBGは、内蔵水晶発振器と独立したTCXOバッファアンプを備えています。ENTCXO端子によって、いずれのリファレンスソースが使用されるかが制御されます(表14を参照)。

XTALOUT分周器

リファレンスバッファ/分周器が、外付けデバイスの駆動用に用意されています。XTAL分周レジスタのXD[4:0]ビットを設定して、分周器を1~31の任意の分周比にすることができます(表6を参照)。XD[4:0]をすべて0に設定すると、バッファはディセーブルすることができます。

表14. リファレンスソースの選択

ENTCXO	FUNCTION
VCC	The TCXO input is enabled for use with an external TCXO
GND	The XTAL input is enabled for use with an external crystal

表15. パワーダウンモード

MODE	POWER-DOWN CONTROL			CIRCUIT STATES			DESCRIPTION
	SHDN PIN	PWDN BIT	STBY BIT	SIGNAL PATH	2-WIRE INTERFACE	XTAL	
Normal	VCC	0	0	ON	ON	ON	All circuits active
Shutdown	GND	X	X	OFF	OFF	OFF	All circuits disabled
Power-Down	VCC	1	0	OFF	ON	OFF	2-wire interface is active
Standby	VCC	0	1	OFF	ON	ON	2-wire interface, XTAL, and XTAL buffer/divider are active

シャットダウンおよびスタンバイモード

MAX2160/EBGは、ソフト制御のスタンバイモードのほかに、ハードウェア/ソフトウェア制御のシャットダウンモードを備えています。EPDビット=0として、SHDN端子をローにすると、デバイスはハードウェアシャットダウンモードに移行します。このモードでは、2線式対応インタフェースを含むデバイス全体がオフにされ、消費電流が10μA未満に低減します。ハードウェアシャットダウン端子は、ソフトウェアシャットダウンモードとスタンバイモードに優先します。

XTAL分周レジスタのPWDNビットをセットすると、パワーダウンモードがイネーブルされます。このモードでは、2線式対応バスを除く全回路がディセーブルされ、シャットダウンの間にMAX2160/EBGのレジスタを設定することができます。XTAL分周レジスタのSTBYビットをセットするとデバイスはスタンバイモードに移行し、このモードの間は、2線式対応バス、水晶発振器、XTALバッファ、およびXTALバッファ分周器のみがアクティブです。

いずれの場合でも、シャットダウンに移行する前にロードされたレジスタ設定値は、アクティブモードへの遷移時に保存されます。VCCがVCCが存在しない状態から印加される場合に限り、デフォルトのレジスタ値がロードされます。各種パワーダウンモードが、表15に要約されています。非デフォルトレジスタ設定値の消費電流の変動は、表16に示されています。

診断モードおよびテスト端子

MAX2160/EBGは、テストレジスタのD[2:0]ビットで制御される複数の診断モードを備えています(表2を参照)。D[2:0]ビットをすべて1に設定すると、局部発振器をLO測定用にTEST端子に出力することができます。このモードでは、消費電流は約10mA増大します。正常に動作させるには、TEST端子にVCCへの10kΩのプルアップ抵抗が必要です。

表16. レジスタの設定値がデフォルトでない場合の標準消費電流の変動

MODE	BIT CHANGE	TYPICAL I _{CC}	TYPICAL ΔI _{CC} FROM NOMINAL
Receive	Default register settings	46.5mA	—
	QOFF = 1 (Q channel off)	—	-3.3mA
	BBL[1:0] = 00 (lower linearity)	—	-2mA
	BBL[1:0] = 01 (nominal linearity)	—	-1mA
	BBL[1:0] = 11 (high linearity)	—	+1mA
	MOD = 1 (7dB baseband gain step enabled)	—	+0.3mA
	EPD = 1 (power detector enabled)	—	+1mA
	EPB = 0 (charge-pump prebias disabled)	—	+5.1mA
	XD[4:0] = 00000 (XTALOUT buffer disabled)	—	-40μA
Shutdown	$\overline{\text{SHDN}} = \text{GND}$	1μA	—
Standby	STBY = 1	2.2mA	—
Power-Down	PWDN = 1	13.5μA	—

レイアウトに関して

このEVキットは、PCBレイアウトのガイドとして役立ちます。損失と放射を最低限に抑制するために、RF信号線をできる限り短くしてください。すべての高周波トレースを制御されたインピーダンスとしてください。TQFNパッケージを正しく機能させるために、エクスポーズドパッドをボードのグランドプレーンに均等に半田付けする必要があります。エクスポーズドパッドの下に十分なビアを使用して、放熱を最大にしてください。RFトレース間に十分なグランドビアを使用して、望ましくないカップリングを最小限に抑制してください。端子にできる限り近接して100pFのコンデンサを配置して、各V_{CC}端子をグランドにバイパスしてください。

さらに、VCO、VTUNE、およびチャージポンプのグランドリターンには、特別なレイアウト上の配慮が必要です。VCOBYPコンデンサ(C37)およびVCCVCOバイパスコンデンサ(C19)のグランドリターンをGNDVCO端子に配線し、その点(GNDVCO)でグランドプレーン全体に接続する必要があります。すべてのループフィルタ部品のグランド(C27~C30)とVCCCPバイパスコンデンサ(C17)のグランドを共にGNDCP端子に配線する必要があります。また、PLLループフィルタからの他のすべてのグランドと共にGNDTUNEをGNDCP端子に配線する必要があります。つぎに、GNDCP端子をグランドプレーン全体に接続する必要があります。図4は、必要なレイアウト接続の回路図を示しています。推奨するボードレイアウトについては、MAX2160の評価キットを参照してください。

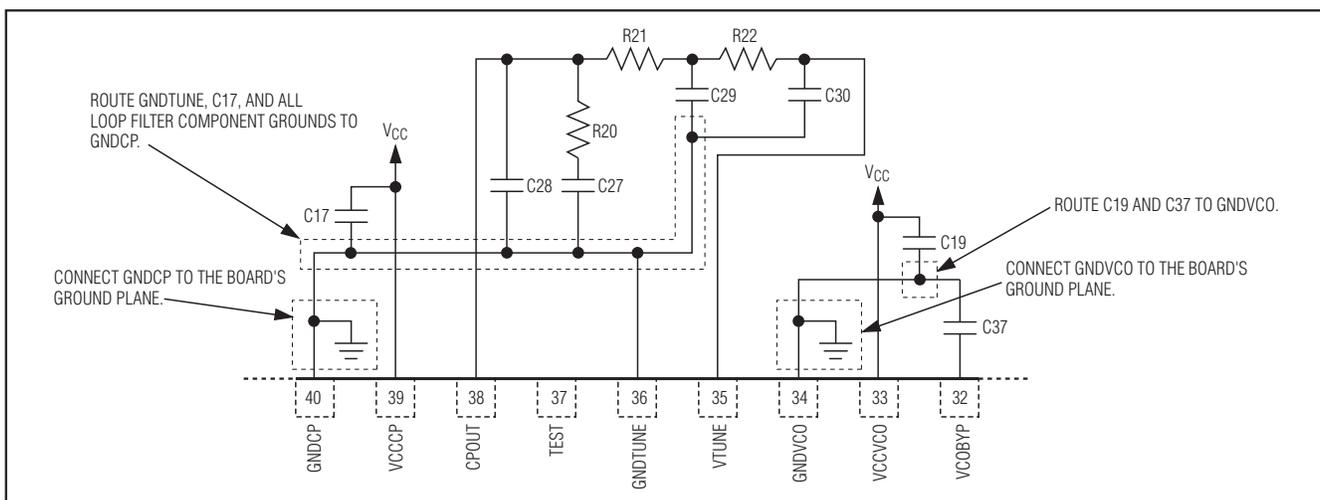
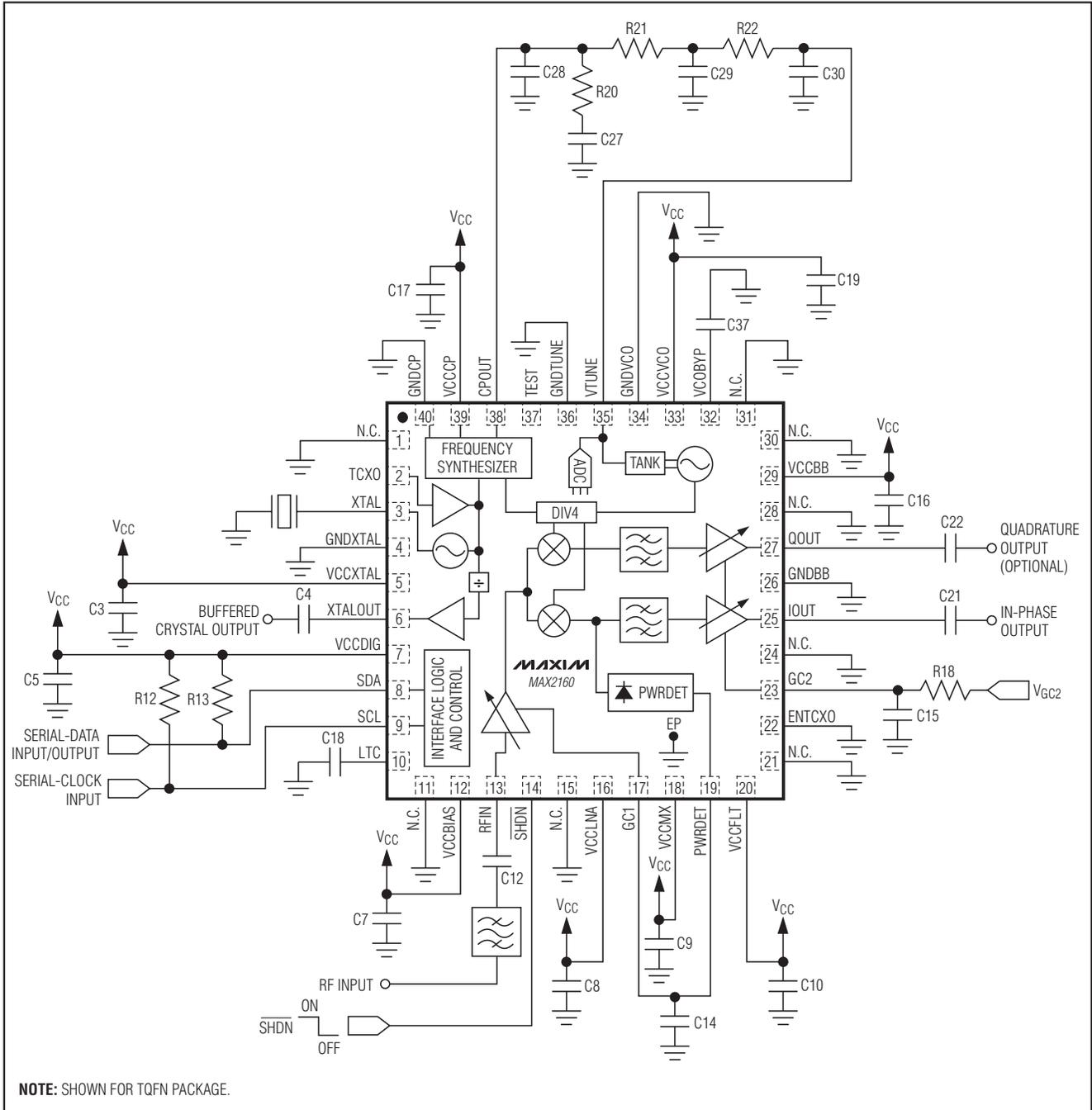


図4. VCO、チャージポンプ、およびVTUNEのグランドリターンレイアウト接続

ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

標準動作回路



チップ情報

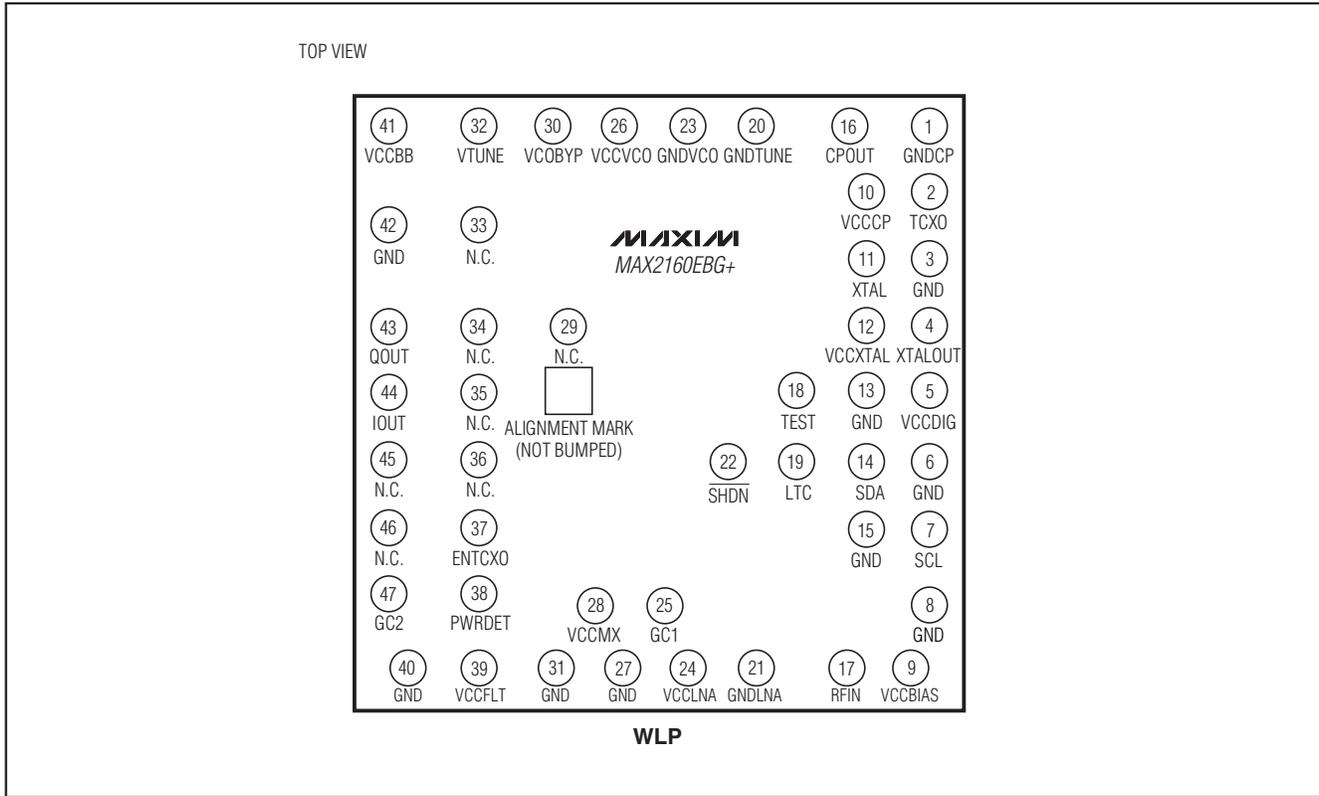
TRANSISTOR COUNT: 23,510

PROCESS: BiCMOS

ISDB-Tワンセグメント低IFチューナ

ピン配置/ファンクションダイアグラム(続き)

MAX2160/MAX2160EBG

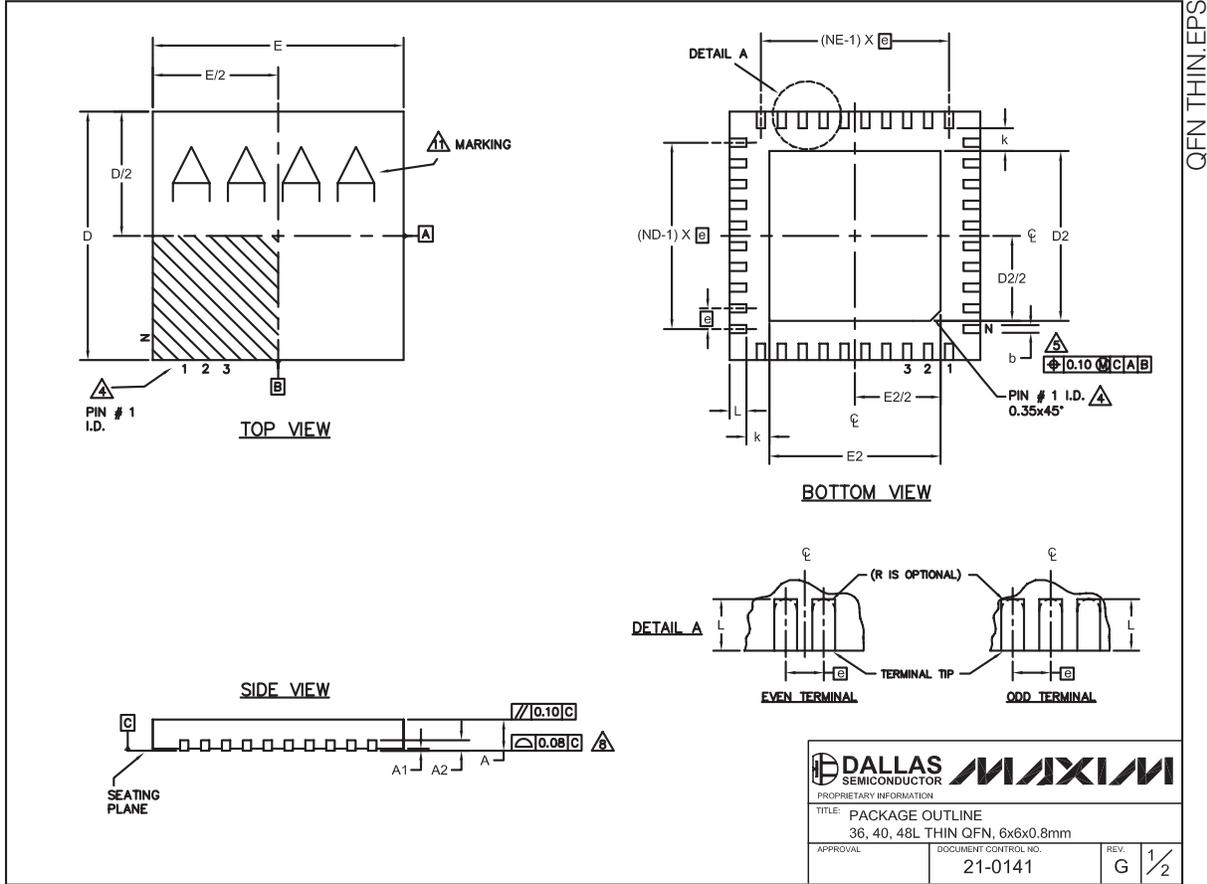


ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



ISDB-Tワンセグメント低IFチューナ

MAX2160/MAX2160EBG

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80
T3666N-1	3.60	3.70	3.80	3.60	3.70	3.80
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20
T4866-1	4.40	4.50	4.60	4.40	4.50	4.60
T4866-2	4.40	4.50	4.60	4.40	4.50	4.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN FOR REFERENCE ONLY.

<small>PROPRIETARY INFORMATION</small>	
TITLE: PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0141
REV: G	2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 25

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.