

MAX21002

超高精度、低電力、 2軸デジタル出力ジャイロスコープ

概要

MAX21002は、全温度と経時にわたって従来にない高精度と高感度を発揮する、低電力、低ノイズ、2軸角速度センサーです。わずか1.71Vの電源電圧で動作し、最小の消費電力を実現します。検出素子と、デジタルインタフェース(I²C/SPI)を介して角速度の測定値を外部に出力するICインタフェースを内蔵しています。

このICは、フルスケールは±31.25/±62.50/±125/±250/±500/±1000dps (degrees per second)で、微調整可能かつユーザー選択可能な帯域幅で角速度を測定します。高いODRと広いBW、最大FSでの低ノイズ、および低位相遅延によって、このICは手ぶれ補正(OIS)のアプリケーションに最適です。

このICは、小型プラスチックLGA (land grid array)パッケージ(3mm x 3mm x 0.9mm)で提供される高集積ソリューションで、電源バイパスコンデンサ以外の外付け部品を必要としません。このデバイスは、-40℃～+85℃の温度範囲で動作します。

アプリケーション

- 手ぶれ補正
- GPSナビゲーションシステム
- アプライアンスおよびロボット工学

利点と特長

- 最小限の全実装面積
 - ポータブル機器に適した業界最小、最薄型のパッケージ(3mm x 3mm x 0.9mm LGA)
 - 外付け部品不要
- 独自の低電力機能
 - 低動作消費電流：5.1mA (typ)
 - エコモードを利用可能：100Hz、3.0mA (typ)
 - 電源電圧：1.71V (min)
 - スタンバイモード電流：2.7mA (typ)
 - パワーダウンモード電流：8.5μA (typ)
 - 高PSRRおよびDC-DCコンバータ動作
 - パワーダウンモードからのターンオン時間：45ms
 - スタンバイモードからのターンオン時間：5ms
- OISに最適
 - 最小限の位相遅延：～3°(10Hz時)
 - 広帯域幅：400Hz
 - 高ODR：10kHz
 - 低ノイズ：8mdps/√Hz (typ)

- 前例のない精度
 - デジタル出力温度センサー内蔵
 - 自動温度補償
 - 全温度と経時にわたる超安定性
 - 出荷時較正済み
- 高速インタフェース
 - I²Cスタンダード(100kHz)、ファースト(400kHz)、およびハイスピード(3.4MHz)シリアルインタフェース
 - 10MHz SPIインタフェース
 - APの負荷を軽減
 - UI/OISシリアルインタフェース多重化が可能
- フレキシブルな内蔵FIFO
 - サイズ：512バイト(256 x 16ビット)
 - 単一バイト読取りが利用可能
 - 4種類のFIFOモードが利用可能
 - APの負荷を軽減
- 高い設定自由度
 - デジタル方式で設定可能なローパスおよびハイパスフィルタ内蔵
 - データODRと割り込みODRを個別に選択可能
 - 6つの選択可能なフルスケール(31.25/62.5/125/250/500/1000dps)
 - 256の選択可能なODR
- フレキシブルな割り込み発生器
 - 2つのデジタル出力ライン
 - 2つの独立した割り込み発生器
 - それぞれ8つのマスク可能割り込みソース
 - ラッチあり/ラッチなし/時間式として設定可能
 - 個別の角速度コンパレータ内蔵
 - 個別のスレッシュホールドと継続時間
 - レベル/パルスおよびOD/PPオプションが利用可能
- フレキシブルなデータ同期端子
 - 外部ウェイクアップ
 - 割り込みの生成
 - 単一データキャプチャトリガ
 - 複数データキャプチャトリガ
 - LSBデータマッピング
- 固有の48ビットシリアルナンバー(チップID)
- 高い耐衝撃性(10,000Gの衝撃)

型番はデータシートの最後に記載されています。

関連部品およびこの製品とともに使用可能な推奨製品については、japan.maximintegrated.com/MAX21002.relatedを参照してください。



Absolute Maximum Ratings

V _{DD}	-0.3V to +6.0V	I _{VDDIO} Continuous Current.....	100mA
V _{DDIO}	-0.3V to Min (V _{DD} + 0.3V)	Junction Temperature.....	+150°C
INT1, INT2, SDA_SDI_O, SA0_SDO, SCL_CLK, CS, DSYNC.....	-0.3V to (V _{DDIO} + 0.3V)	Operating Temperature Range.....	-40°C to +85°C
I _{VDD} Continuous Current.....	100mA	Storage Temperature Range.....	-40°C to +150°C
		Lead Temperature (soldering, 10s).....	+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Drops onto hard surfaces can cause shocks of greater than 10,000 g and can exceed the absolute maximum rating of the device. Exercise care in handling to avoid damage.

Package Thermal Characteristics (Note 1)

LGA	Junction-to-Case Thermal Resistance (θ _{JC}).....	31.8°C/W	Junction-to-Ambient Thermal Resistance (θ _{JA}).....	160°C/W
-----	---	----------	--	---------

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to japan.maximintegrated.com/thermal-tutorial.

Electrical Characteristics

(V_{DD} = V_{DDIO} = 2.5V, INT1, INT2, **SDA, SCL are unconnected**, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY AND CONSUMPTION						
V _{DD} Supply Voltage	V _{DD}		1.71	2.5	3.6	V
V _{DDIO} (Note 2)	V _{DDIO}		1.71	2.5	V _{DD} + 0.3V	V
IDD Current Consumption Normal Mode	I _{VDDN}			5.1		mA
IDD Current Consumption Standby Mode (Note 3)	I _{VDDS}			2.7		mA
IDD Current Consumption Eco Mode (Note 4)	I _{VDDT}	200Hz ODR		3.3		mA
		100Hz ODR		3.0		
IDD Current Consumption Power-Down Mode	I _{VDDP}			8.5		µA
TEMPERATURE SENSOR						
Temperature Sensor Output Change vs. Temperature	T _{SDR}	8 bit		1		digit/°C
		16 bit		256		
Temperature BW	T _{BW}			1		Hz
Temperature Sensor Bias	T _{BIAS}	At 25°C, 8 bit		25		digits
		At 25°C, 16 bit		6400		
GYROSCOPE						
Gyro Full-Scale Range	G _{FSR}	User selectable		±31.25		dps
				±62.5		
				±125		
				±250		
				±500		
				±1000		

Electrical Characteristics (continued)

($V_{DD} = V_{DDIO} = 2.5V$, INT1, INT2, SDA, SCL are unconnected, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$).

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Gyro Rate Noise Density	G_{RND}	For all the f_S and over the whole V_{DD} including 1.8V		0.008		dps/ \sqrt{Hz}
Gyro Rate Noise Density in Eco Mode	G_{SPRND}	For all the FS and over the whole V_{DD} including 1.8V at 200Hz ODR		0.022		dps/ \sqrt{Hz}
Gyro Bandwidth (Lowpass) (Note 5)	G_{BWL}		2		400	Hz
Gyro Bandwidth (Highpass) (Note 6)	G_{BWH}		0.1		100	Hz
Phase Delay	G_{PDL}	At 10Hz, 400Hz bandwidth, 10kHz ODR		2.9	3.7	deg
		At 10Hz, full bandwidth, 10kHz ODR		1.0	1.6	
Output Data Rate (Note 7)	G_{ODR}		5		10k	Hz
Sensitivity Error	G_{SE}			± 2		%
Sensitivity	G_{SO}	$G_{FSR} = 31.25dps$		960		digit/ dps
		$G_{FSR} = 62.5dps$		480		
		$G_{FSR} = 125dps$		240		
		$G_{FSR} = 250dps$		120		
		$G_{FSR} = 500dps$		60		
		$G_{FSR} = 1000dps$		30		
Sensitivity Drift Over Temperature	G_{SD}	Maximum delta from $T_A = +25^{\circ}C$		± 2		%
Zero Rate Level Error	G_{ZRLE}			± 0.5		dps
Zero Rate Level Drift Over Temperature	G_{ZRLD}	Maximum delta from $T_A = +25^{\circ}C$		± 2		dps
Startup Time from Power-Down	G_{TUPL}			45		ms
Startup Time from Standby Mode	G_{TUPS}	$G_{ODR} = 10kHz$, $G_{BWL} = 400Hz$		5		ms
Nonlinearity	G_{NLN}			0.2		% f_S
Angular Random Walk (ARW)	G_{ARW}			0.45		$^{\circ}/\sqrt{hr}$
In-Run Bias Stability	G_{IBS}	At 1000s		4		$^{\circ}/hr$
Cross Axis	G_{XX}			1		%
Self-Test Output	STOR	For $G_{FSR} = 125, 250, 500, 1000$ dps, axis X		$+f_S/2$		dps
		For $G_{FSR} = 125, 250, 500, 1000$ dps, axis Y		$-f_S/2$		

Electrical Characteristics (continued)

(V_{DD} = V_{DDIO} = 2.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C).

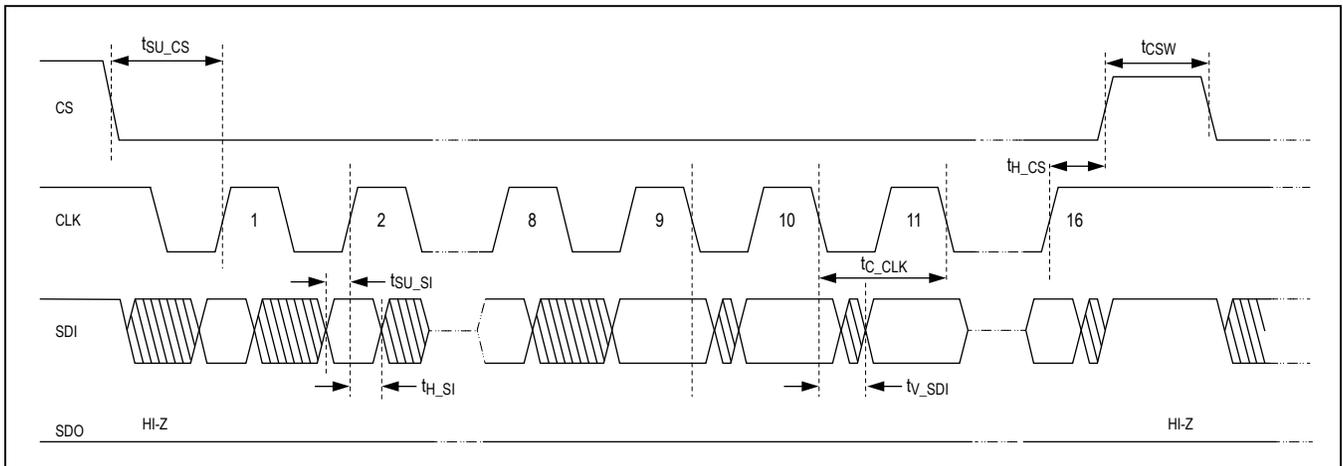
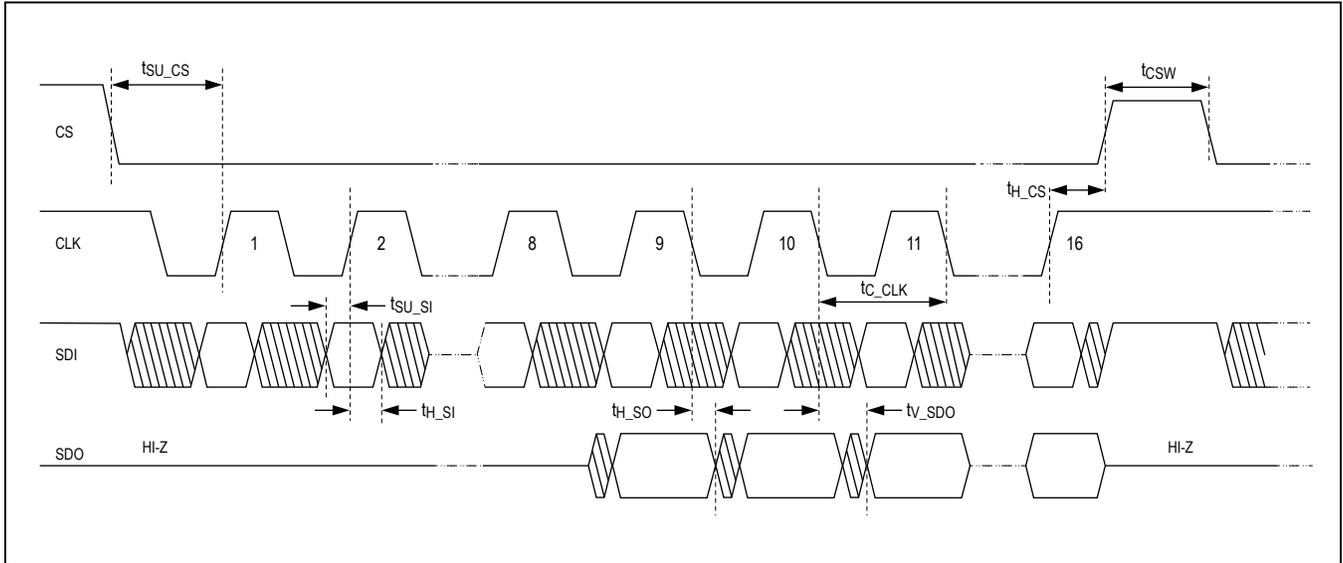
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
IO DC SPECIFICATIONS (Note 8)						
Input Threshold Low	V _{IL}	T _A = +25°C			+0.3 x V _{DDIO}	V
Input Threshold High	V _{IH}	T _A = +25°C	0.7 x V _{DDIO}			V
Hysteresis of Schmitt Trigger input	V _{HYS}	T _A = +25°C	0.05 x V _{DDIO}			V
Output Current (Note 9)	I _{OH} /I _{OL}	I2C_CFG[3:2] = 00		3		mA
		I2C_CFG[3:2] = 01		6		
		I2C_CFG[3:2] = 11		12		
SPI SLAVE TIMING VALUES (Note 10)						
CLK Frequency	f _{C_CLK}				10	MHz
CS Setup Time	t _{SU_CS}		10			ns
CS Hold Time	t _{H_CS}		15			ns
SDI Input Setup Time	t _{SU_SI}		10			ns
SDI Input Hold Time	t _{H_SI}		15			ns
CLK Fall to SDO Valid Output Time	t _{V_SDO}				50	ns
SDO Output Hold Time	t _{H_SO}		10			ns
I²C TIMING (Note 8)						
SCL Clock Frequency	f _{SCL}	Standard mode	0		100	kHz
		Fast mode	0		400	
Hold Time (Repeated) START Condition	t _{HD;STA}	Standard mode	4.0			μs
		Fast mode	0.6			
Low Period of SCL Clock	t _{LOW}	Standard mode	4.7			μs
		Fast mode	1.3			
High Period of SCL Clock	t _{HIGH}	Standard mode	4.0			μs
		Fast mode	0.6			
Setup Time for a Repeated START Condition	t _{SU;STA}	Standard mode	4.7			μs
		Fast mode	0.6			
Data Hold Time	t _{HD;DAT}	Standard mode	0			μs
		Fast mode	0			
Data Setup Time	t _{SU;DAT}	Standard mode	250			ns
		Fast mode	100			

Electrical Characteristics (continued)(V_{DD} = V_{DDIO} = 2.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C).

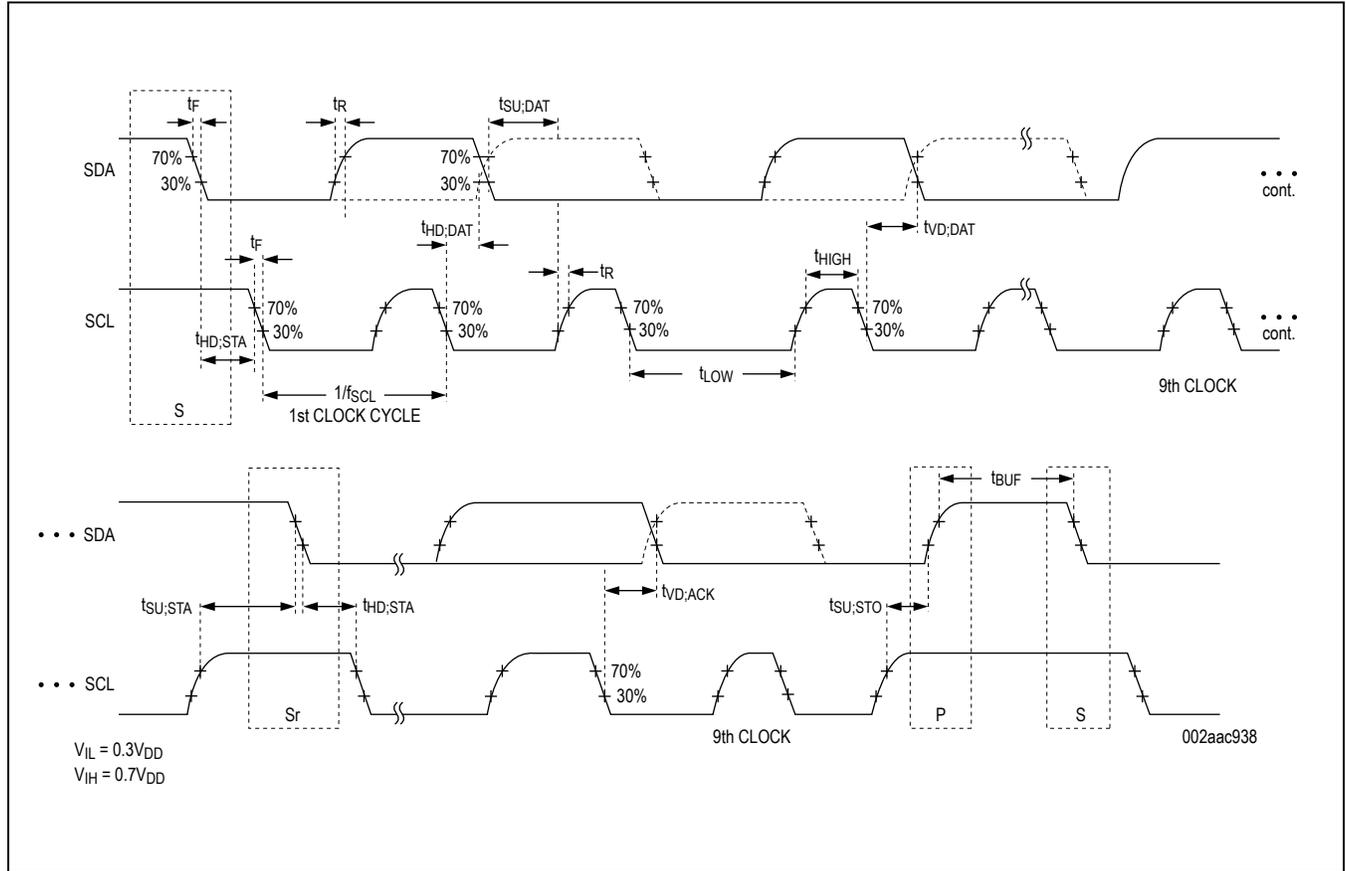
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time for STOP Condition	t _{SU;STO}	Standard mode	4.0			ns
		Fast mode	0.6			
Bus Free Time Between a STOP and a START Condition	t _{BUF}	Standard mode	4.7			ns
		Fast mode	1.3			
Data Valid Time	t _{VD;DAT}	Standard mode			3.45	ns
		Fast mode			0.9	
Data Valid Acknowledge Time	t _{VD;ACK}	Standard mode			3.45	ns
		Fast mode			0.9	
ESD PROTECTION						
Human Body Model	HBM			±2		kV

Note 2: V_{DDIO} must be lower than or equal to V_{DD} analog.**Note 3:** In standby mode, only the drive circuit is powered on. In this condition, the outputs are not available. In this condition, the startup time depends only on the filters responses.**Note 4:** In eco mode, the sensor has higher rate noise density, but lower current consumption. In this condition, the selectable output data rate (ODR) is either 25Hz, 50Hz, 100Hz, or 200Hz.**Note 5:** User selectable. Gyro bandwidth accuracy is ±10%.**Note 6:** Enable/disable with user-selectable bandwidth. Gyro bandwidth accuracy is ±10%.**Note 7:** User selectable with 256 possible values from 10kHz down to 5Hz. ODR accuracy is ±10%.**Note 8:** Based on characterization results, not tested in production.**Note 9:** User can choose the best output current based on the PCB, interface speed, load, and consumption.**Note 10:** Based on characterization results, not tested in production. Test conditions are I2C_CFG[3:0] = 1111.

SPIのタイミング図

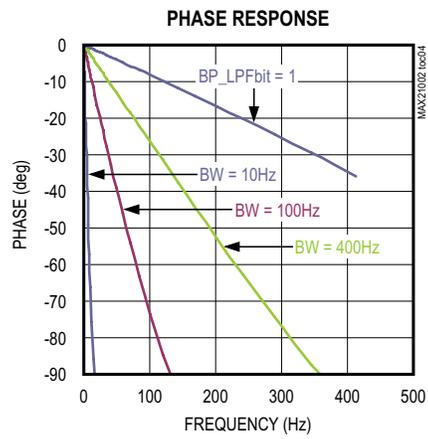
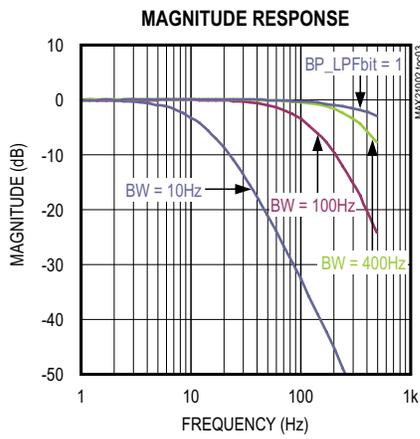
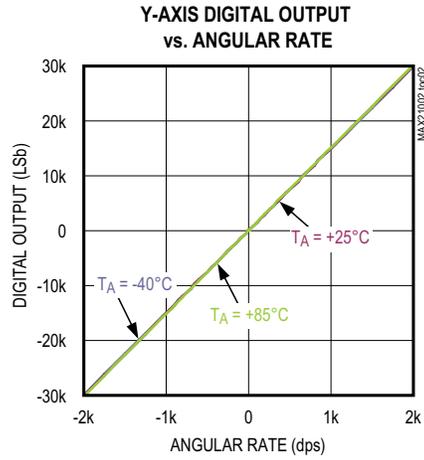
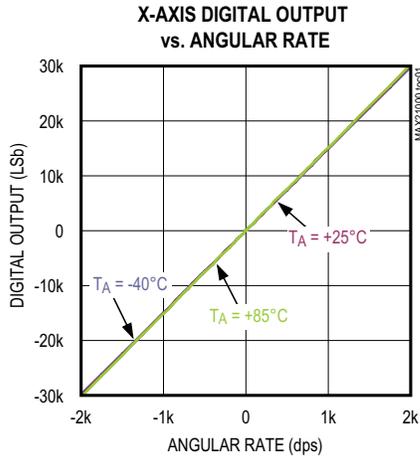


I²Cのタイミング図(標準モード)

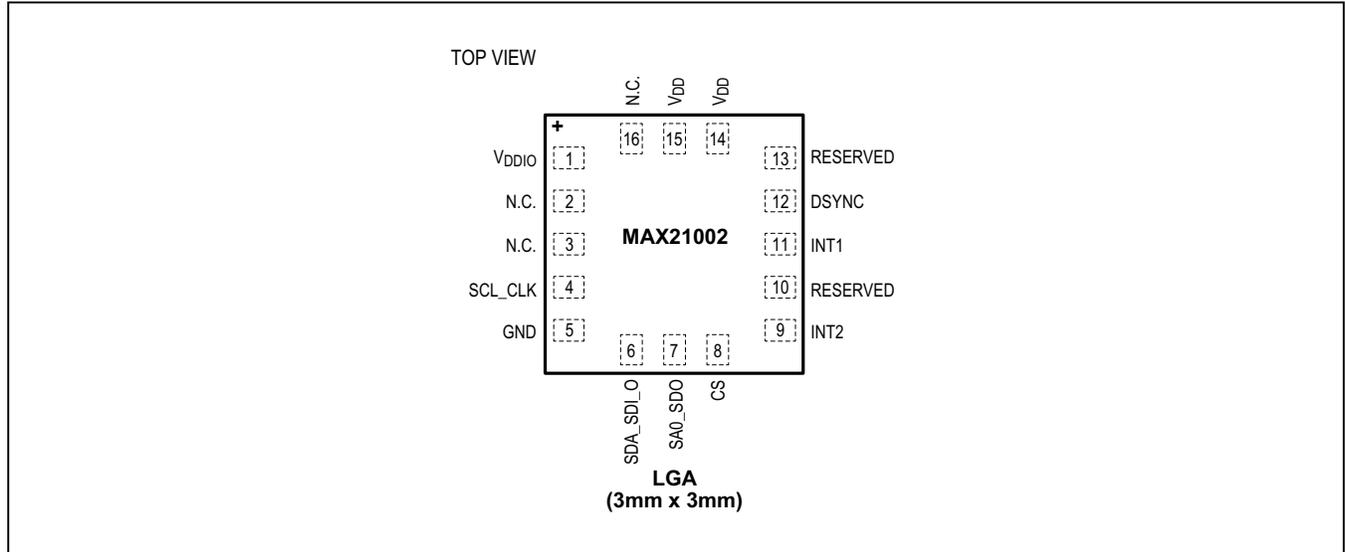


標準動作特性

($V_{DD} = V_{DDIO} = 2.5V$, $T_A = +25^\circ C$, unless otherwise noted.)



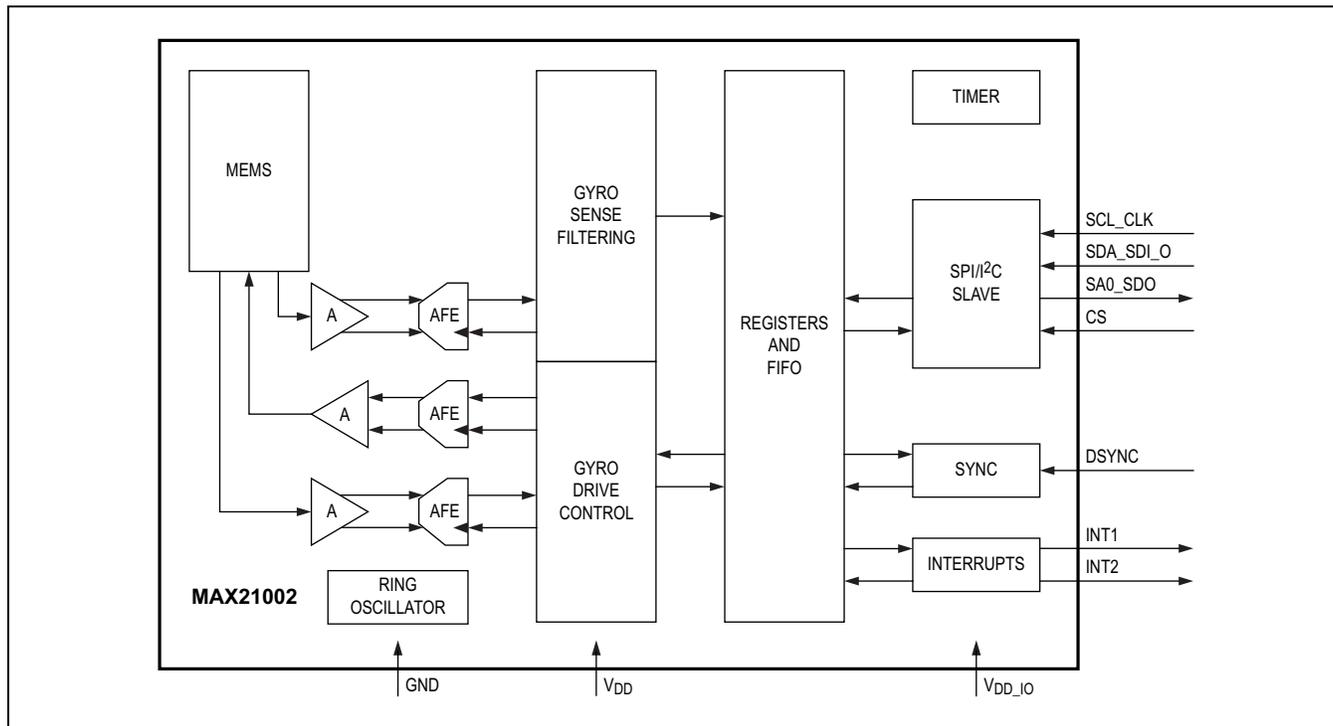
ピン配置



端子説明

端子	名称	機能
1	V _{DD_IO}	インタフェースと割込みパッド電源電圧
2, 3, 16	N.C.	内部で未接続
4	SCL_CLK	SPIとI ² Cのクロック。I ² Cモードでは、IOで選択可能なスパイク対策フィルタと遅延によって適正なホールド時間を確保することができます。
5	GND	電源グランド
6	SDA_SDI_O	SPI入出力端子とI ² Cシリアルデータ。I ² Cモードでは、IOで選択可能なスパイク対策フィルタと遅延によって適正なホールド時間を確保することができます。
7	SA0_SDO	SPIシリアルデータ出力またはI ² CスレーブアドレスLSB
8	CS	SPIチップ選択/シリアルインタフェース選択
9	INT2	第2の割込みライン
10	RESERVED	必ずGNDに接続
11	INT1	第1の割込みライン
12	DSYNC	データ同期端子。MAX21002をパワーダウン/スタンバイからウェイクアップさせ、GPSやカメラとデータを同期させるために使用します。
13	RESERVED	未接続のままにしてください
14	V _{DD}	アナログ電源。0.1μFと1μFのコンデンサでGNDにバイパスしてください。
15	V _{DD}	必ずアプリケーションのV _{DD} に接続

ファンクションダイアグラム



詳細

MAX21002は、幅広い温度と時間範囲にわたって従来にない高精度と高感度を実現可能な、低電力、低電圧、小型パッケージの2軸角速度センサーです。

このICは、3mm x 3mmのパッケージで提供され、1.71Vの低電圧で動作可能な業界初のジャイロスコープでもあります。

このICは、検出素子と、デジタルインタフェース(I²C/SPI)を介して角速度の測定値を外界に供給するICインタフェースを内蔵しています。

このICのフルスケールはOIS用に $\pm 31.25/\pm 62.5/\pm 125/\pm 250/\pm 500/\pm 1000$ dpsです。このデバイスは、ユーザー選択可能な帯域幅で角速度を測定します。

このICは3mm x 3mm x 0.9mmのプラスチックLGA (land grid array)パッケージで提供され、-40°C~+85°Cの温度範囲で動作します。

定義

電源電圧[V]：このパラメータは、MEMSジャイロスコープの動作DC電源電圧範囲を定義します。リップルを最小

限に抑えてV_{DD}をクリーンに保つのは常に望ましい手法ですが、超低ノイズ、低ドロップアウトのレギュレータでMEMSジャイロスコープに給電する必要がある大部分の他社製ソリューションとは異なり、MAX21002は1.71Vで動作可能であるだけでなく、スイッチングレギュレータによって電源供給することもできるため、システムの消費電力を最小限に抑えることが可能です。

電源電流[mA]：このパラメータは、MEMSジャイロスコープが通常モードで動作する際の標準的な消費電流を定義します。

スタンバイモードの電源電流[mA]：このパラメータは、MEMSジャイロスコープがスタンバイモードにあるときの消費電流を定義します。消費電力を削減し、ターンオン時間を短縮するため、スタンバイモード時にはセンサーの特定部分のみが電源オフされます。

エコモードの電源電流[mA]：このパラメータは、MEMSジャイロスコープがエコモードという特殊なモードにあるときの消費電流を定義します。エコモードでは、角速度ノイズ密度がやや高くなるものの、MAX21002の消費電力が大幅に削減されます。

パワーダウンモードの電源電流[μA]：このパラメータは、MEMSジャイロスコープがパワーダウンされたときの消費電流を定義します。このモードでは、機械的な検出機構と読取りチェーンの両方が電源オフされます。ユーザーは、I²C/SPIインタフェースを経由してこのモードの制御レジスタを設定することができます。パワーダウンモードでも、I²C/SPIインタフェース経由で制御レジスタに完全なアクセスが保証されています。

フルスケール範囲[dps]：このパラメータは、ジャイロスコープの測定範囲をdps (degrees per second)単位で定義します。印加される角速度がフルスケール範囲を超えると、ジャイロスコープの出力信号が飽和します。

ゼロレートレベル[dps]：このパラメータは、ジャイロスコープに印加された角速度が存在しないときのゼロレートレベルを定義します。

感度[桁/dps]：感度(桁/dps)は、1 LSBとdpsの関係です。この関係を使用すると、デジタルジャイロスコープの測定値をLSBから角速度に変換することができます。

温度に対する感度の変化[%]：このパラメータは、データシートで規定された動作温度範囲にわたる感度の変化(%)を定義します。

温度に対するゼロレートレベルの変化[dps]：このパラメータは、動作温度範囲にわたるゼロレートレベルの変化(dps)を定義します。

非直線性[% FS]：このパラメータは、フルスケール(FS)範囲を基準にしてジャイロスコープの出力と最良適合直線間の最大誤差(%)を定義します。

システム帯域幅[Hz]：このパラメータは、DCからこのジャイロスコープで測定可能な組込み帯域幅(BW)までの角速度信号の周波数を定義します。専用レジスタに変更を加え

ることで、ジャイロスコープの帯域幅を調整することができます。

角速度ノイズ密度[dps/ $\sqrt{\text{Hz}}$]：このパラメータは、ユーザーがBWパラメータとともにジャイロスコープの出力から得ることができる標準分解能を定義します。

MAX21002のアーキテクチャ

MAX21002は、次の主要なブロックと機能で構成されています。

- 16ビットADCと信号調整を備えた2軸MEMS角速度ジャイロスコープセンサー
- I²CとSPI対応の主シリアル通信インタフェース
- センサーデータレジスタ
- FIFO
- 同期回路
- 割込みジェネレータ
- デジタル出力温度センサー
- セルフテスト

16ビットADCと信号調整を備えた 2軸MEMSジャイロスコープ

このICは、XおよびY軸周りの回転を検出する単一駆動式の振動型MEMSジャイロスコープで構成されています。ジャイロスコープが検出軸のいずれかの周りを回転すると、コリオリの力によって変位が決まり、この変位を静電容量の変化として検出することができます。次に、得られた信号を処理して角速度に比例したデジタルストリームを生成します。このアナログ-デジタル変換では、16ビットADCコンバータを使用します。ジャイロのフルスケール範囲は、OISモードで ± 31.25 、 ± 62.5 、 ± 125 、 ± 250 、 ± 500 、 ± 1000 dpsにデジタルプログラムすることが可能です。

表1. 電源モード

NAME	説明
Normal	デバイスは最大限の性能で動作します。
Eco	平均消費電力が低減するように動作します。
Standby	スタンバイモードでは消費電流が半減し、ターンオン時間が5msに短縮されます。
Power-Down	これは、ターンオン時間が長くなる代わりに消費電力が最小になるモードです。

表2. デジタルインタフェースの端子説明

NAME	説明
CS	SPIイネーブルとI ² C/SPIモード選択(1:I ² Cモード、0:SPIイネーブル)
SCL/CLK	SPIとI ² Cのクロック。I ² Cモードでは、IOで選択可能なスパイク対策フィルタと遅延によって適正なホールド時間を確保することができます。
SDA/SDI/ SDO	SPI入出力端子とI ² Cシリアルデータ。I ² Cモードでは、IOで選択可能なスパイク対策フィルタと遅延によって適正なホールド時間を確保することができます。
SDO/SA0	SPIシリアルデータ出力またはI ² CスレーブアドレスLSB

割込みジェネレータ

MAX21002は、2つの完全に独立した割込みジェネレータを備えており、生成される割込みのSW管理が容易です。たとえば、一方のラインをDATA_READYイベントの通知に使用し、もう一方のラインを内部起動シーケンスの完了通知などに使用することができます。

割込み機能は、割込み設定レジスタによって設定可能です。設定可能な項目には、INT端子のレベルと継続時間、クリア方法、割込みに必要なトリガなどがあります。

割込みステータスは、割込みステータスレジスタから読み取ることができます。割込み生成イベントは、ラッチとアンラッチの2つの形態で利用可能です。

割込みソースは、個別にイネーブル/ディセーブルおよびクリアすることができます。可能な割込みソースのリストには、DATA_READY、FIFO_READY、FIFO_THRESHOLD、FIFO_OVERRUN、RESTART、DSYNCの各条件が含まれます。

割込みの生成は、ラッチ式またはアンラッチ式に設定することができるほか、プログラム可能な長さで時間設定することもできます。ラッチ式に設定された場合は、対応するステータスレジスタを読み取るか(clear-on-read)、または必要なマスクをそのステータスレジスタに書き込むことによって(clear-on-write)、割込みをクリアすることが可能です。

デジタル出力温度センサー

デジタル出力温度センサーは、ICチップの温度を測定するために使用されます。ADCからの読取り値には、Sensor Dataレジスタからアクセス可能です。

温度データは2つのバイトに分かれています。比較的低精度の読取り値を迅速に取得する場合は、MSBにアクセスすると、摂氏(°C)で表された絶対値として温度データを読み取ることができます。LSBを読み取ると、精度が最大256桁/°Cまで大幅に向上します。

電源モード

このICには4つの電源モードがあり、消費電力、精度、ターンオン時間の兼ね合いを考慮した適切な設定を選択することができます。

電源モード間の遷移は、ソフトウェアを使用(設定レジスタで電源モードを明示的に設定)するか、またはDSYNC端子

に基づく自動電源モード遷移をイネーブルすることによって制御可能です。

通常モード

通常モードでは、ICが最低ノイズレベルで動作します。

エコモード

エコモードはセンサーの精度を維持しつつ消費電力を削減しますが、引き換えに速度ノイズ密度が増大します。

このユニークな機能は、25Hz、50Hz、100Hz、200Hzの4つのODRで有効にすることができます。

スタンバイモード

消費電力を削減し、ターンオン時間を短縮するため、このICはスタンバイモードを備えています。スタンバイモードでは、信号処理リソースの相当な部分が節電のために電源がオフにされるため、ICがデータを生成しません。ただし、このモードではターンオン時間を大幅に短縮することが可能です。

パワーダウンモード

パワーダウンモードでは、消費電力が最小限になるようにICが設定されます。パワーダウンモードでもレジスタの読取りと書き込みは可能ですが、ジャイロスコープで新しいデータを生成することはできません。スタンバイモードに比べて、このモードではICの起動とジャイロスコープからのデータ収集開始までに時間がかかります。

デジタルインタフェース

このICの内蔵レジスタには、I²CとSPIの両方のシリアルインタフェースからアクセスすることができます。後者のインタフェースは、3線式または4線式のどちらかのモードで動作するようにSW設定可能です。

これらのシリアルインタフェースは、同一の端子にマッピングされます。I²Cインタフェースを選択/利用するには、CSラインをハイに結線(V_{DDIO}に接続)する必要があります。

I²Cインタフェース

I²Cは、信号シリアルデータ(SDA)とシリアルクロック(SCL)で構成された2線式インタフェースです。一般に、これらのラインはオープンドレインで双方向です。I²Cインタフェースの一般的な実装では、接続デバイスをマスターまたはスレーブに設定します。マスターデバイスはバス上にスレーブアドレスを送出し、一致するアドレスを持つスレーブデバイスがマスターに確認応答を行います。

このICは、システムプロセッサと通信する際は常にスレーブデバイスとして動作します。したがって、システムプロセッサがマスターとして動作します。SDAラインとSCLラインは、通常、V_{DDIO}に対するプルアップ抵抗を必要とします。最大バス速度は3.4MHz (I²C HS)です。これによって、システムプロセッサがデータ交換のためにビジー状態になっている時間が短縮されます。

表3. I²Cアドレス

I ² C BASE ADDRESS	SA0/SDO PIN	R/W BIT	RESULTING ADDRESS
0x2C (6 bit)	0	0	0xB0
0x2C	0	1	0xB1
0x2C	1	0	0xB2
0x2C	1	1	0xB3

ICのスレーブアドレスはb101100Xで、7ビット長です。この7ビットアドレスのLSbは、端子SA0のロジックレベルによって決まります。このため、2つのMAX21002を同一のI²Cバスで接続することが可能です。この構成で使用する場合は、2つのデバイスのうち一方のアドレスをb1011000 (端子SA0_SDOをロジックローに設定)、もう一方のアドレスをb1011001 (端子SA0_SDOをロジックハイに設定) にします。

SPIインタフェース

このICのSPIは、3線式(ハーフデュプレックス)と4線式(フルデュプレックス)の両モードで、最大20MHzで動作可能です。

このICを他のSPIデバイスとともに使用する場合は、CSがアサートされていない状態でトラフィックが検出されたときに誤ってI²Cモードに切り替わる可能性をなくするため、アドレス0x15のI2C_DISABLEビットを設定することが推奨されます。

このICは、SPIスレーブデバイスとして動作します。読取りレジスタと書込みレジスタのコマンドは両方とも16クロックパルスで完了し、読取り/書込みバイトが複数の場合は8の倍数のクロックパルスで完了します。ビットの継続時間は、CLKの2つの立下りエッジ間の時間です。

最初のビット(ビット0)は、CSの立下りエッジの後、CLKの最初の立下りエッジで始まり、最後のビット(ビット15、ビット23など)は、CSの立上りエッジの直前、CLKの最後の立下りエッジで始まります。

ビット0: RWビット。0の場合、データDI[7:0]がICに書き込まれます。1の場合は、デバイスのデータDO[7:0]が読み取られます。後者の場合、チップはビット8の開始時にSDOを駆動します。

ビット1: MSビット。IF_PARITYの設定に応じて、このビットはマルチアドレス指定標準モードでの動作か、またはレジスタアドレスに関するパリティチェックのどちらかに使用することができます。

MSビットとして使用する場合、1のときはアドレスが複数の読取り/書込みコマンドにわたって一定です。0のときは、アドレスが複数の読取り/書込みコマンドにわたって自動的にインクリメントされます。

ビット2~7: アドレスAD[5:0]。これはインデックス付きレジスタのアドレスフィールドです。

ビット8~15: データDI[7:0] (書込みモード)。これはデバイスに書き込まれるデータです(MSbが先)。

ビット8~15: データDO[7:0] (読取りモード)。これはデバイスから読み取られるデータです(MSbが先)。

SPIのハーフおよびフルデュプレックス動作

このICは、ハーフデュプレックス(双方向データ端子1本)またはフルデュプレックス(データ入力端子とデータ出力端

子が1本ずつ)のモードで動作するようにプログラムすることができます。SPIマスターはITF_OTPレジスタのSPI_3_WIREというレジスタビットをフルデュプレックス動作では0に設定し、ハーフデュプレックス動作では1に設定します。フルデュプレックスが起動時のデフォルトです。

フルデュプレックス動作

このICは起動時、またはSPIマスターがSPI_3_WIREビットをクリアしたときにフルデュプレックスモードに置かれ、SPIインタフェースでは個別のデータ端子MOSIとMISOを使用してデータ転送が行われます。個別のデータ端子を使用するため、ICでビットのクロックインとクロックアウトを同時に行うことができます。ICはコマンドバイトがクロックインされた場合に8出力データビットをクロックアウトすることによって、この機能を活用します。

SPIスレーブインタフェースからの読取り(MOSI)

SPIマスターは、次の手順に従ってデータをICのスレーブインタフェースから読み取ります。

- 1) CSがハイのとき、ICは未選択で、MISO出力をトライステート制御します。
- 2) SCL_CLKを非アクティブ状態に駆動した後、SPIマスターはCSをローに駆動することによってICを選択します。
- 3) SPIマスターは、同時にコマンドバイトをICにクロックインします。SPIの読取りコマンドが16クロックパルスで実行されます。複数バイト読取りコマンドが実行され、8クロックパルスのブロックが直前のデータに追加されます。

ビット0: READビット。値は1です。

ビット1: MSビット。1のときは、アドレスがインクリメントされません。0のときは、複数の読取りにわたってアドレスがインクリメントされます。

ビット2~7: アドレスAD[5:0]。これはインデックス付きレジスタのアドレスフィールドです。

ビット8~15: データDO[7:0] (読取りモード)。これはデバイスから読み取られるデータです(MSbが先)。

ビット16~...: データDO[...~8]。複数バイト読取りの後続データ。

- 4) 16クロックサイクル後に、マスターはCSをハイに駆動してICを選択解除することができます。それによってICではMISO出力をトライステート制御するようになります。クロックの立下りエッジによって、次のデータバイトのMSbがMISO出力のシーケンスに入ります。
- 5) CSをローに保つことによって、マスターはSCL_CLKパルスを供給し続け、レジスタデータバイトをICからクロックアウトします(バーストモード)。マスターは、CSをハイに駆動することによって転送を終了します。マス

ターは、次のアクセスの開始時(CSをローに駆動したとき)にSCL_CLKが非アクティブ状態にあるようにする必要があります。

SPIスレーブインタフェースへの書き込み(MOSI)

SPIマスターは、次の手順に従ってデータをICのスレーブインタフェースに書き込みます。

- 1) SPIマスターがクロックを非アクティブ状態に設定します。CSがハイのときに、マスターはMOSI入力を駆動することができます。
- 2) SPIマスターはCSをローに駆動することによってICを選択します。
- 3) SPIマスターは、同時にコマンドバイトをICにクロックインします。SPIの書き込みコマンドが16クロックパルスで実行されます。8クロックパルスのブロックが直前のデータに追加されると複数バイトの書き込みコマンドが実行されます。

ビット0: WRITEビット。値は0です。

ビット1: MSビット。1のときは、アドレスがインクリメントされません。0のときは、複数の書き込みにわたってアドレスがインクリメントされます。

ビット2~7: アドレスAD[5:0]。これはインデックス付きレジスタのアドレスフィールドです。

ビット8~15: データDI[7:0] (書き込みモード)。これはデバイス内に書き込まれるデータです(MSBが先)。

ビット16~...: データDI[...~8]。複数バイト書き込みの後続データ。

- 4) CSをローに保つことによって、マスターはSCL_CLKパルスを供給し続け、データバイトをICにクロックインします(バーストモード)。マスターは、CSをハイに駆動することによって転送を終了します。マスターは、次のアクセスの開始時(CSをローに駆動したとき)にSCL_CLKが非アクティブであるようにする必要があります。フルデュプレックスモードでは、ICは最初の8ビット(コマンドバイト)中にMISOでデータビットを出力し、次にSPIマスターがバイトをMOSIにクロックインする際にMISOでゼロを出力します。

ハーフデュプレックス動作

SPIマスターがSPI_3_WIRE = 1を設定すると、このICはハーフデュプレックスモードに置かれます。ハーフデュプレックスモードでは、ICはMISO端子をトリステート制御し、MOSI端子を双方向に設定してSPIインタフェースの端子を節約します。ハーフデュプレックス動作では、MISO端子を未接続のままにすることができます。SPIマスターは、MOSI端子を双方向として処理する必要があります。SPIマスターは、次のようにICのレジスタにアクセスします。SPIマスターがクロックを非アクティブ状態に設定します。CSがハイの間、マスターはMOSI端子を任意の値に駆動することができます。

- 1) SPIマスターがCSをローに駆動し、SDI入力で最初のデータビット(MSB)を書込みに設定することによって、ICを選択します。
- 2) SPIマスターは出カドライバをオンにし、コマンドバイトをICにクロックインします。SPIの読取りコマンドが16クロックパルスで実行されます。

ビット0: READビット。値は1です。

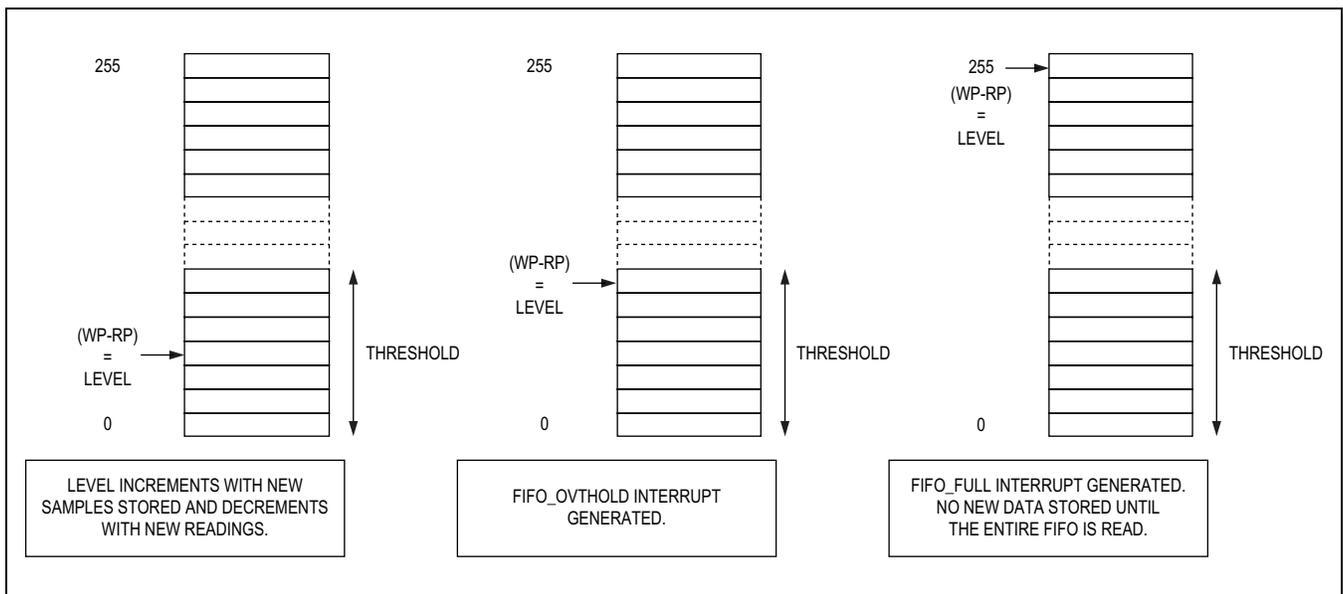


図 1. FIFO の通常モード、オーバーラン = False

ビット1:MSビット。1のときは、アドレスがインクリメントされません。0のときは、複数の読取りにわたってアドレスがインクリメントされます。

ビット2~7:アドレスAD[5:0]。これはインデックス付きレジスタのアドレスフィールドです。

ビット8~15:データDO[7:0] (読取りモード)。これはデバイスから読み取られるデータです(MSbが先)。3線式モードでは、複数読取りコマンドも利用可能です。

センサーデータレジスタ

センサーデータレジスタには、ジャイロスコープと温度測定の最新データが格納されます。

これらのレジスタは読取り専用で、シリアルインタフェースからアクセスされます。これらのレジスタのデータはいつでも読み取ることができます。ただし、割込み機能を使用して、いつ新しいデータを利用することができるかを定めることも可能です。

FIFO

このICには、ピッチとロールの2つの出力チャンネルごとに、256スロットの16ビットデータFIFOが内蔵されています。これによって、ホストプロセッサがセンサーからのデータを常時ポーリングする必要がなくなるため、システムで安定した省電力を実現することができます。一方、ホストプロセッサは必要なときにのみウェイクアップし、重要なデータをFIFOから一度に引き出すことが可能です。スナップショットモードに設定した場合、これは角速度割込みイベン

ト後にデータを取り込むのに最適なメカニズムになります。

このバッファは、オフ、通常、割込み、スナップショットの4つの主要モードに基づいて機能することができます。

通常と割込みの両モードは、バッファアンダーランが発生した場合に新旧どちらのデータが失われるかに応じて、オーバーランモードで動作するように任意で設定可能です。

さまざまなFIFOステータスフラグをイネーブルして、INT1/INT2端子で割込みイベントを生成することができます。

FIFOのオフモード

このモードでは、FIFOがオフになります。データはデータレジスタにのみ格納され、読取り時にFIFOから入手可能なデータはありません。

FIFOがオフのときは、デバイスを使用する上で、実質的に同期読取りと非同期読取りの2つのオプションがあります。

同期読取り

このモードでは、DATA_READYがセットされるたびに、プロセッサがICによって生成されたデータセット(2軸構成の4バイトなど)を読み取ります。データの不整合を避けるため、プロセッサによるデータセットの読取りは1回だけにする必要があります。

この方式を使用することの利点は、ジャイロスコープからの信号が完全に再構築されること、データラフィックが最小限に抑えられることなどです。

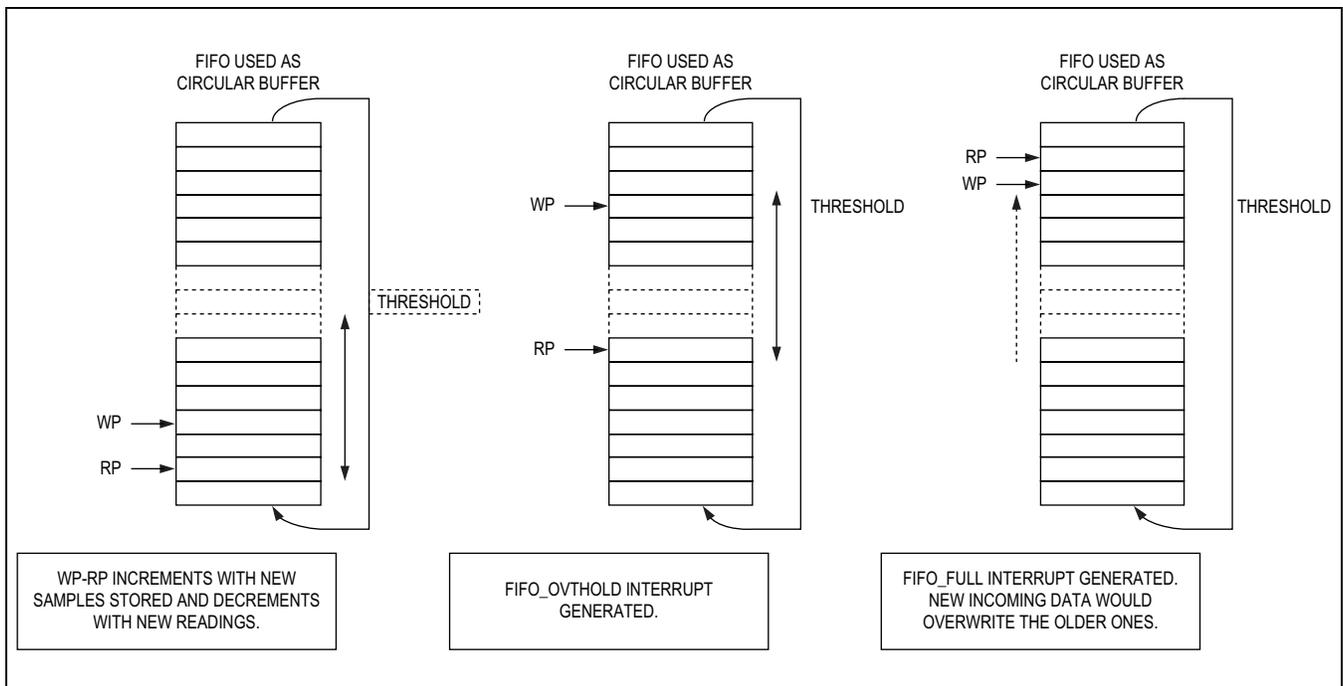


図 2. FIFO の通常モード、オーバーラン = True

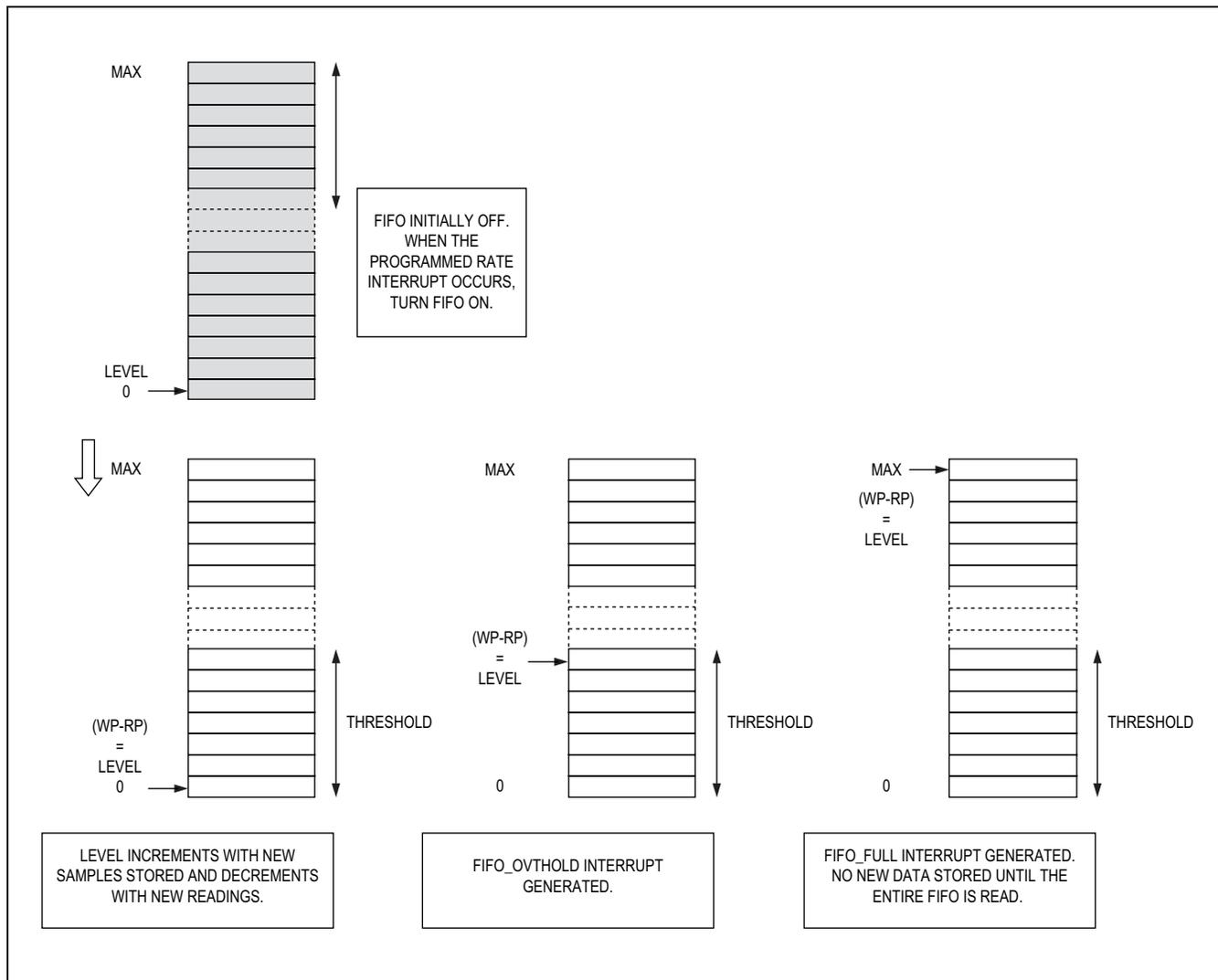


図 3. FIFO の割込みモード、オーバーラン = False

非同期読取り

このモードでは、DATA_READYフラグのステータスにかかわらず、プロセッサがICによって生成されたデータを読み取ります。さまざまなサンプルが異なる回数読み取られることによって生じるエラーを最小限に抑えるため、使用されるアクセス頻度は選択されたODRを大きく上回る必要があります(たとえば10倍)。この方式では、通常、他の方式よりもはるかに大きなBWが必要です。

FIFOの通常モード

オーバーラン = false

- FIFOがオンになります。

- 選択された出力データレート(ODR)でFIFOにデータが入力されます。
- FIFOが満杯になると、割込みを生成することができます。
- FIFOが満杯になると、新しい着信データがすべて放出されます。FIFOに格納済みのデータの一部だけを読み取ると、新しいデータの書き込みが凍結された状態になります。
- すべてのデータが読み取られた場合にのみ、FIFOでデータの保存が再開されます。
- 通信速度が速い場合は、データ損失を防止することができます。

- FIFO_FULLの状態を防止するために必要な条件は、次のDATA_READYが発生する前にデータセットの読取りを完了することです。
- この条件が保証されない場合、データが失われることがあります。

オーバーラン = true

- FIFOがオンになります。
- 選択されたODRでFIFOにデータが入力されます。
- FIFOが満杯になると、割込みを生成することができます。
- FIFOが満杯になると、最も古いデータが新しいデータで上書きされます。

- 通信速度が速い場合は、データの完全性を保全することができます。
- DATA_LOSTの状態を防止するために必要な条件は、次のDATA_READYが発生する前にデータセットの読取りを完了することです。
- この条件が保証されない場合、データが上書きされることがあります。
- オーバーラン状態が発生すると、読取りポインタが強制的に書込みポインタ-1に設定され、古いデータのみが廃棄されて新しいデータの読取りが可能になります。

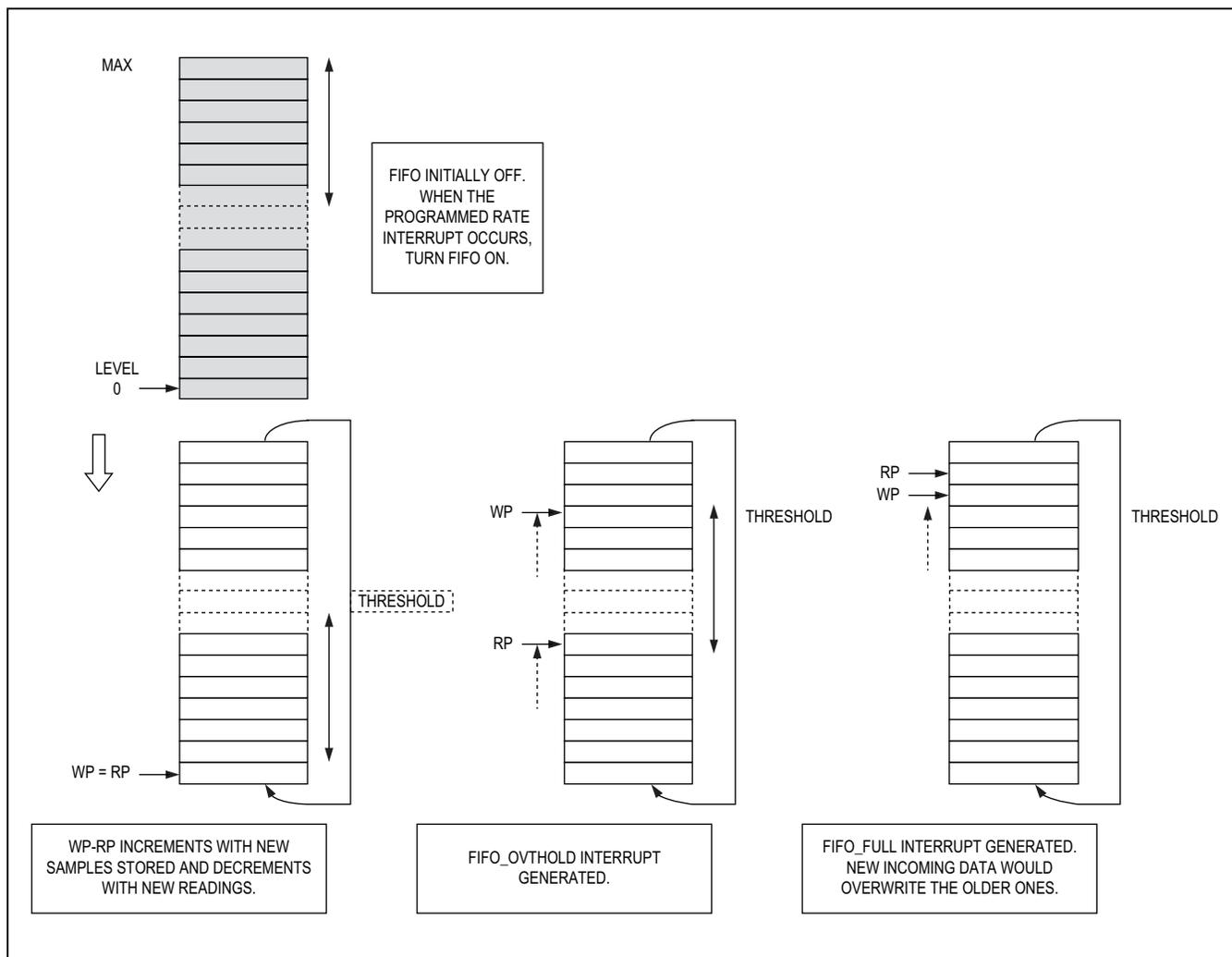


図 4. FIFO の割込みモード、オーバーラン = True

割込みモード

オーバーラン = false

- FIFOは当初ディセーブルです。データはデータレジスタにのみ格納されています。
- 角速度割込み(ORまたはANDのどちらか)が生成されると、FIFOが自動的にオンになります。FIFOは選択されたODRでデータを格納します。
- FIFOが満杯になると、新しい着信データがすべて放出されます。FIFOに格納済みのデータの一部だけを読み取ると、新しいデータの書き込みが凍結された状態になります。

- すべてのデータが読み取られた場合にのみ、FIFOでデータの保存が再開されます。
- 通信速度が速い場合は、データ損失を防止することができます。
- FIFO_FULLの状態を防止するために必要な条件は、次のDATA_READYが発生する前にデータセットの読み取りを完了することです。
- この条件が保証されない場合、データが失われることがあります。

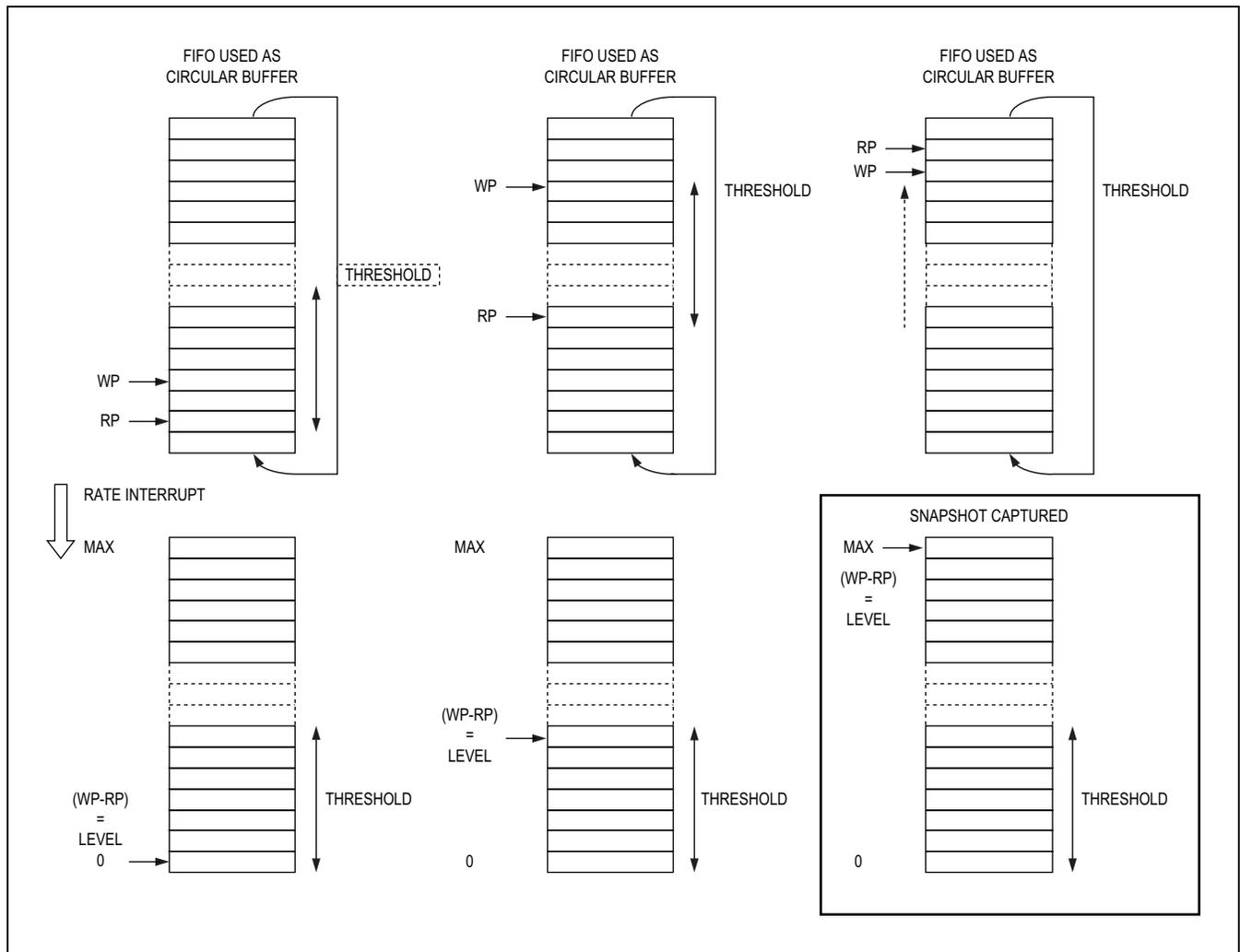


図 5. FIFO のスナップショットモード

オーバーラン = true

- FIFOは当初ディセーブルです。データはデータレジスタにのみ格納されています。
- 角速度割込み(ORまたはANDのどちらか)が生成されると、FIFOが自動的にオンになります。FIFOは選択されたODRでデータを格納します。
- FIFOが満杯になると、割込みを生成することができます。
- FIFOが満杯になると、最も古いデータが新しいデータで上書きされます。
- 通信速度が速い場合は、データの完全性を保全することができます。
- DATA_LOSTの状態を防止するために必要な条件は、次のDATA_READYが発生する前にデータセットの読取りを完了することです。
- この条件が保証されない場合、データが上書きされることがあります。
- オーバーラン状態が発生すると、読取りポインタが強制的に書込みポインタ-1に設定され、古いデータのみが廃棄されて新しいデータの読取りが可能になります。

スナッチショットモード

- FIFOは当初、オーバーランがイネーブルされた通常モードにあります。
- 角速度割込み(ORまたはANDのどちらか)が生成されると、FIFOが自動的に非オーバーランモードに切り替わります。FIFOは満杯になるまで選択されたODRでデータを格納します。
- FIFOが満杯になると、割込みを生成することができます。
- FIFOが満杯になると、新しい着信データがすべて放出されます。FIFOに格納済みのデータの一部だけを読み取ると、新しいデータの書込みが凍結された状態になります。
- すべてのデータが読み取られた場合にのみ、FIFOでデータの保存が再開されます。
- 通信速度が速い場合は、データ損失を防止することができます。
- FIFO_FULLの状態を防止するために必要な条件は、次のDATA_READYが発生する前にデータセットの読取りを完了することです。
- この条件が保証されない場合、データが失われることがあります。

バイアス安定性と角度ランダムウォーク

バイアス安定性は、ジャイロスコープのきわめて重要な性能パラメータです。このICは、アラン分散法で解析した各軸の標準的なバイアス安定性が $4^\circ/h$ で、ARWが $0.45^\circ/\sqrt{h}$ です。

データ同期

DSYNC端子は、多数の同期オプションをイネーブルします。

ウェイクアップ機能

DSYNC端子を使用して、ICをパワーダウンまたはサスペンドモードからウェイクアップさせることができます。マイクロプロセッサ、別のセンサー、異種のデバイスなど、外部の制御デバイスを使用してDSYNCをアクティブから非アクティブへ、またその逆へと繰り返し切り替えることでMAX21002の電源モードを制御することが可能です。

DSYNCは、アクティブハイまたはアクティブローのどちらか、およびエッジまたはレベルのどちらかに設定することができます。この機能は、DSYNC_CFGレジスタ内の特定のビットによって制御されます。

データキャプチャ機能

DSYNC端子のもう1つの用途は、データキャプチャトリガとして使用することです。このICは、DSYNCで特定のエッジが発生するまでデータ生成を停止するように設定することができます。プログラムされたアクティブエッジが発生したら、ICはDSYNC_CNTレジスタで指定された量のデータを収集します。

データに対するDSYNCのマッピング

DSYNCは、後で同期化を実行するため、必要に応じてセンサーデータのLSBにマッピングすることもできます。マッピングは、ジャイロスコープのすべてのイネーブルされた軸で行われます。この機能は、DSYNC_CFGレジスタ内の特定のビットによって制御されます。

DSYNCの割込み生成

DSYNC端子を割込みソースとして使用し、外部プロセッサによって実行されるソフトウェア管理に基づいた異種のデータ同期を特定することもできます。

DSYNCを使用したウェイクアップ、データキャプチャ、データマッピング、割込み生成の各機能は、組み合わせることが可能です。

一意のシリアルナンバー

各ICは、製造、組立て、試験の情報など、サンプルの履歴追跡に使用可能な48ビットによって一意に識別されます。

リビジョンID

このICは、デバイスのリビジョンIDの識別および特定の製品番号の識別に使用されるレジスタを備えています。製品番号が異なってもWHO_AM_Iの値が同じ場合がありますが、その場合でも異なるリビジョンIDの値によって識別されます。

クロッキング

ジャイロスコープにロックされたチップ内蔵のPLLによって、ODRを2.5%以内に維持することが可能です。

セルフテスト

デジタルジャイロスコープでは、制御レジスタ内にセルフテストをイネーブルするための2つの専用ビットがあります。この機能を使用すると、ジャイロスコープを物理的に回転させなくても、ジャイロスコープが正しく機能しているかどうかを確認することができます。この機能は、ジャイロスコープがPCB上に実装される前または後に使用可能

です。セルフテストがイネーブルされると、内部で静電気が生成され、質量体を動かしてコリオリ効果をシミュレートします。ジャイロスコープの出力がデータシートで規定されたセルフテスト値の範囲内であれば、そのジャイロスコープは正しく機能しています。したがって、セルフテスト機能はユーザーの最終製品の量産工程における重要な考慮事項の1つです。

Maximの2軸デジタルジャイロスコープに内蔵されたセルフテストは、最終製品組立て中にデバイスを物理的に動かさなくてもジャイロスコープの試験を実施することができる追加的な重要機能です。

レジスタファイル

レジスタファイルはバンク単位で編成されています。コモンバンク上にあるのは0x20~0x3Fのマッピングされたアドレスで、これらのレジスタは常に利用可能です。アドレス0x21を正しくプログラムすることによって、アドレス0x00~0x1Fでは2つの異なるユーザーバンクをマッピングすることが可能です。この構造の目的は、物理レジスタの数が64を超える場合でもレジスタマップアドレスの管理を0x00~0x3Fの範囲に限定することです。

コモンバンク

コモンバンクは、レジスタバンクの選択にかかわらず、その位置が常に利用可能なバンクです。

このバンクには、データレジスタやFIFOデータなど、最もよく使用されるレジスタがすべて含まれます。

表4. コモンバンク

NAME	REGISTER ADDRESS	TYPE	DEFAULT VALUE	COMMENT
WHO_AM_I	0x20	R	1011 0001	Device ID
BANK_SELECT	0x21	R/W	0000 0000	Register bank selection
SYSTEM_STATUS	0x22	R	0000 0000	System Status register
GYRO_X_H	0x23	R	Data	Bits [15:8] of X measurement
GYRO_X_L	0x24	R	Data	Bits [07:0] of X measurement
GYRO_Y_H	0x25	R	Data	Bits [15:8] of Y measurement
GYRO_Y_L	0x26	R	Data	Bits [07:0] of Y measurement
RFU	0x27	R	0000 0000	
RFU	0x28	R	0000 0000	
TEMP_H	0x29	R	Data	Bits [15:8] of T measurement
TEMP_L	0x2A	R	Data	Bits [7:0] of T measurement
RFU	0x2B	R	0000 0000	
RFU	0x2C	R	0000 0000	
RFU	0x2D	R	0000 0000	
RFU	0x2E	R	0000 0000	
RFU	0x2F	R	0000 0000	
RFU	0x30	R	0000 0000	
RFU	0x31	R	0000 0000	
RFU	0x32	R	0000 0000	
RFU	0x33	R	0000 0000	
RFU	0x34	R	0000 0000	
RFU	0x35	R	0000 0000	
RFU	0x36	R	0000 0000	
RFU	0x37	R	0000 0000	
RFU	0x38	R	0000 0000	
RFU	0x39	R	0000 0000	
RFU	0x3A	R	0000 0000	
HP_RST	0x3B	R/W	0000 0000	Highpass filter reset
FIFO_COUNT	0x3C	R	0000 0000	Available FIFO samples for data set
FIFO_STATUS	0x3D	R	0000 0000	FIFO status flags
FIFO_DATA	0x3E	R	Data	FIFO data to be read in burst mode
PAR_RST	0x3F	W and reset	0000 0000	Parity reset (reset on write)

User Bank 0

User Bank 0は、ICの機能の大部分を設定するために使用されるレジスタです。例外は割込みで、これはUser Bank 1に含まれます。

表5. User Bank 0

NAME	REGISTER ADDRESS	TYPE	DEFAULT VALUE	COMMENT
POWER_CFG	0x00	R/W	0000 0111	Power mode configuration
SENSE_CFG1	0x01	R/W	0010 1000	Sense configuration: LP and OIS
SENSE_CFG2	0x02	R/W	0010 0011	Sense configuration: ODR
SENSE_CFG3	0x03	R/W	0000 0000	Sense configuration: HP
RFU	0x04	R	0000 0000	
RFU	0x05	R	0000 0000	
RFU	0x06	R	0000 0000	
RFU	0x07	R	0000 0000	
RFU	0x08	R	0000 0000	
RFU	0x09	R	0000 0000	
RFU	0x0A	R	0000 0000	
RFU	0x0B	R	0000 0000	
RFU	0x0C	R	0000 0000	
RFU	0x0D	R	0000 0000	
RFU	0x0E	R	0000 0000	
RFU	0x0F	R	0000 0000	
RFU	0x10	R	0000 0000	
RFU	0x11	R	0000 0000	
RFU	0x12	R	0000 0000	
DR_CFG	0x13	R/W	0000 0001	Data ready configuration
IO_CFG	0x14	R/W	0000 0000	Input/output configuration
I2C_CFG	0x15	R/W	0000 0100	I ² C configuration
ITF_OTP	0x16	R/W	0000 0000	Interface and OTP configuration
FIFO_TH	0x17	R/W	0000 0000	FIFO threshold configuration
FIFO_CFG	0x18	R/W	0000 0000	FIFO mode configuration
RFU	0x19	R	0000 0000	
DSYNC_CFG	0x1A	R	0000 0000	DATA_SYNC configuration
DSYNC_CNT	0x1B	R	0000 0000	DATA_SYNC counter
RFU	0x1C	R	0000 0000	
RFU	0x1D	R	0000 0000	
RFU	0x1E	R	0000 0000	
RFU	0x1F	R	0000 0000	

User Bank 1

User Bank 1は、主に割込みの設定に使用されます。User Bank 1には、一意のシリアルナンバーも含まれます。

表6. User Bank 1

NAME	REGISTER ADDRESS	TYPE	DEFAULT VALUE	COMMENT
INT_REF_X	0x00	R/W	0000 0000	Interrupt reference for X axis
INT_REF_Y	0x01	R/W	0000 0000	Interrupt reference for Y axis
RFU	0x02	R/W	0000 0000	
INT_DEB_X	0x03	R/W	0000 0000	Interrupt debounce, X
INT_DEB_Y	0x04	R/W	0000 0000	Interrupt debounce, Y
RFU	0x05	R/W	0000 0000	
INT_MSK_X	0x06	R/W	0000 0000	Interrupt mask, X axis zones
INT_MSK_Y	0x07	R/W	0000 0000	Interrupt mask, Y axis zones
RFU	0x08	R/W	0000 0000	
INT_MASK_AO	0x09	R/W	0000 0000	Interrupt masks, AND/OR
INT_CFG1	0x0A	R/W	0000 0000	Interrupt configuration 1
INT_CFG2	0x0B	R/W	0010 0100	Interrupt configuration 2
INT_TMO	0x0C	R/W	0000 0000	Interrupt timeout
INT_STS_UL	0x0D	R	0000 0000	Interrupt sources, unlatched
INT1_STS	0x0E	R	0000 0000	Interrupt 1 status, latched
INT2_STS	0x0F	R	0000 0000	Interrupt 2 status, latched
INT1_MSK	0x10	R/W	1000 0000	Interrupt 1 mask
INT2_MSK	0x11	R/W	0000 0010	Interrupt 2 mask
RFU	0x12	R	0000 0000	
RFU	0x13	R	0000 0000	
RFU	0x14	R	0000 0000	
RFU	0x15	R	0000 0000	
RFU	0x16	R	0000 0000	
RFU	0x17	R	0000 0000	
RFU	0x18	R	0000 0000	
RFU	0x19	R	0000 0000	
SERIAL_0	0x1A	R	Variable	Unique serial number, byte 0
SERIAL_1	0x1B	R	Variable	Unique serial number, byte 1
SERIAL_2	0x1C	R	Variable	Unique serial number, byte 2
SERIAL_3	0x1D	R	Variable	Unique serial number, byte 3
SERIAL_4	0x1E	R	Variable	Unique serial number, byte 4
SERIAL_5	0x1F	R	Variable	Unique serial number, byte 5

軸の配向

下の図は、感度の軸の配向と回転の極性を示しています。
図6にある端子1の印(●)に注意してください。

はんだ付けに関する情報

はんだ付けに関する推奨事項については、japan.maximintegrated.com/MAX21002.relatedをご覧ください。

アプリケーションノート

寄生インダクタンスを最小限に抑えるため、各端子に対してできる限りデバイスの近くに配置した0.1μFのセラミックチップコンデンサでV_{DD}とV_{DDIO}をグランドプレーンにバイパスします。

1つ以上の大型の1μFデカップリングコンデンサをPCBごとにV_{DD}とV_{DDIO}に追加します。最大限の性能を実現するため、V_{DD}電源プレーンをICのアナログインタフェース側に導き、V_{DDIO}電源ラインをデバイスのデジタルインタフェース側から引き込みます。

表7. 外付け部品表

COMPONENT	LABEL	SPECIFICATION	QUANTITY
V _{DD} /V _{DDIO} bypass capacitor	C1	Ceramic, X7R, 0.1μF ±10%, 4V	1
V _{DD} /V _{DDIO} bypass capacitor	C2	Ceramic, X7R, 1μF ±10%, 4V	1

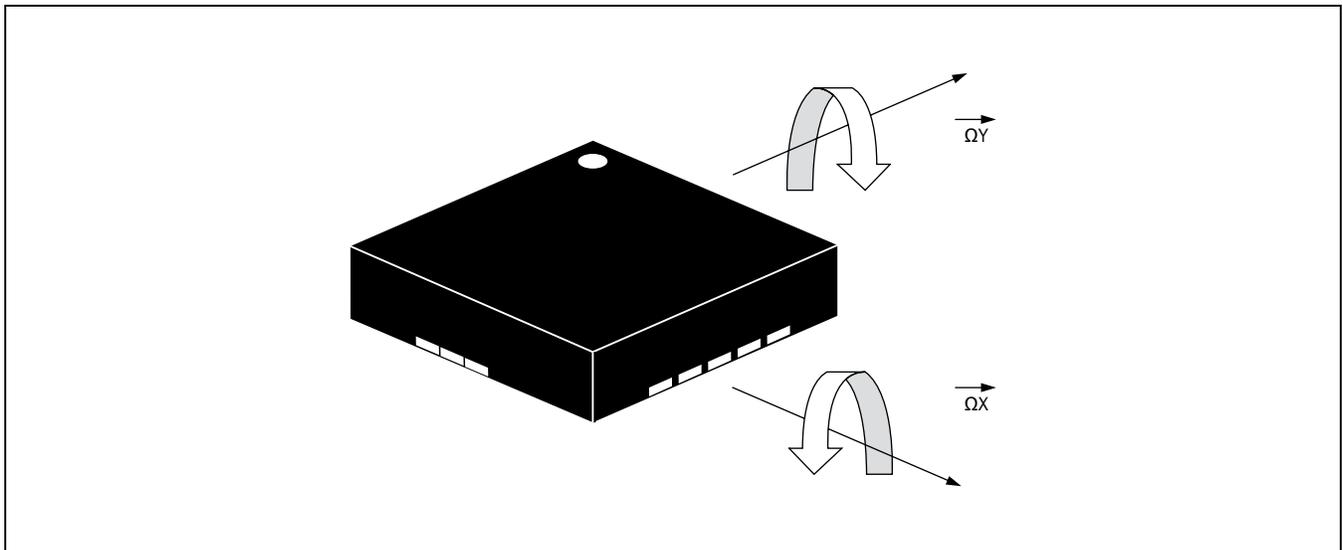
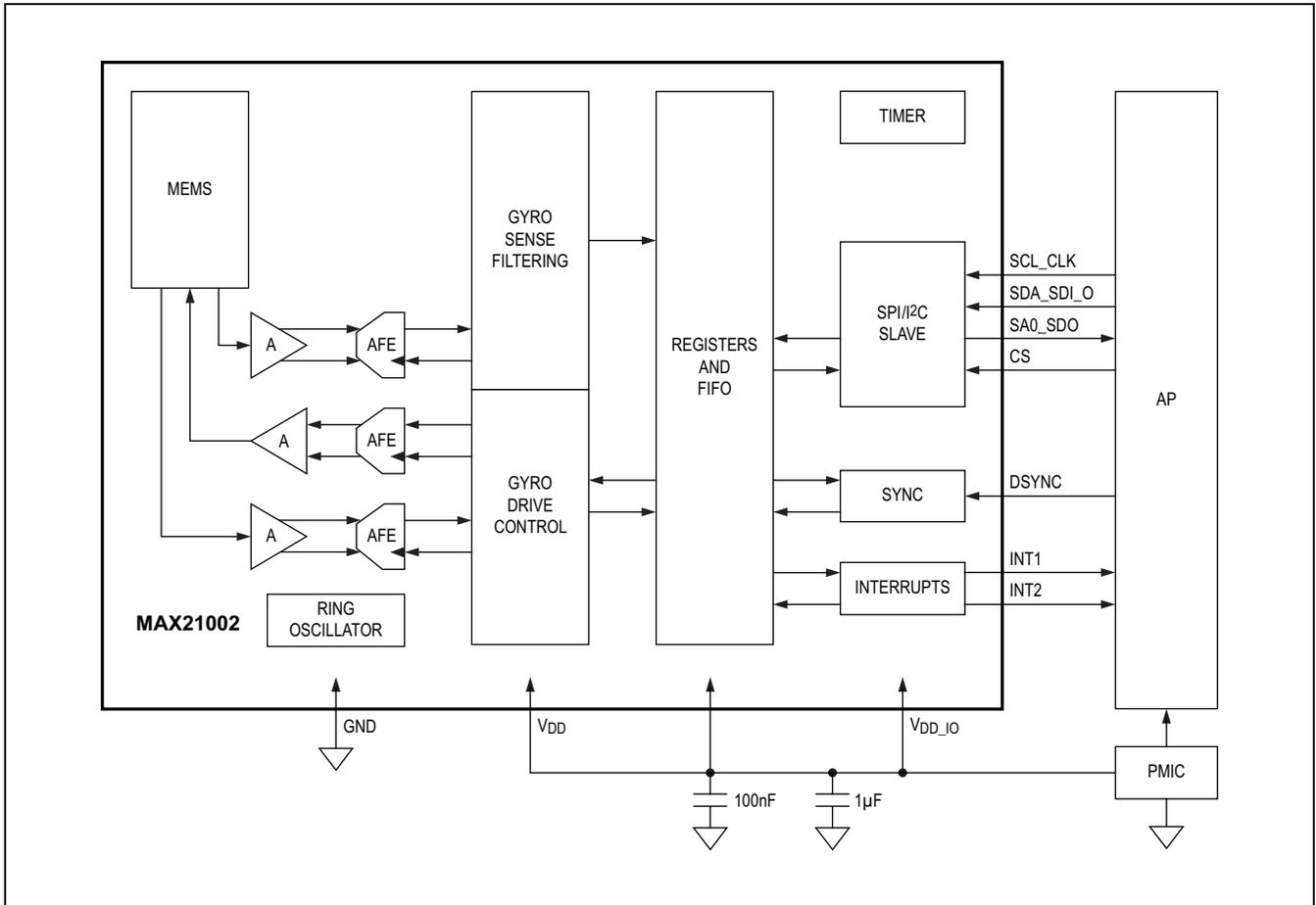


図6. 軸の配向

標準アプリケーション回路



型番

PART	TEMP RANGE	PIN-PACKAGE
MAX21002+	-40°C to +85°C	16 LGA
MAX21002+T	-40°C to +85°C	16 LGA

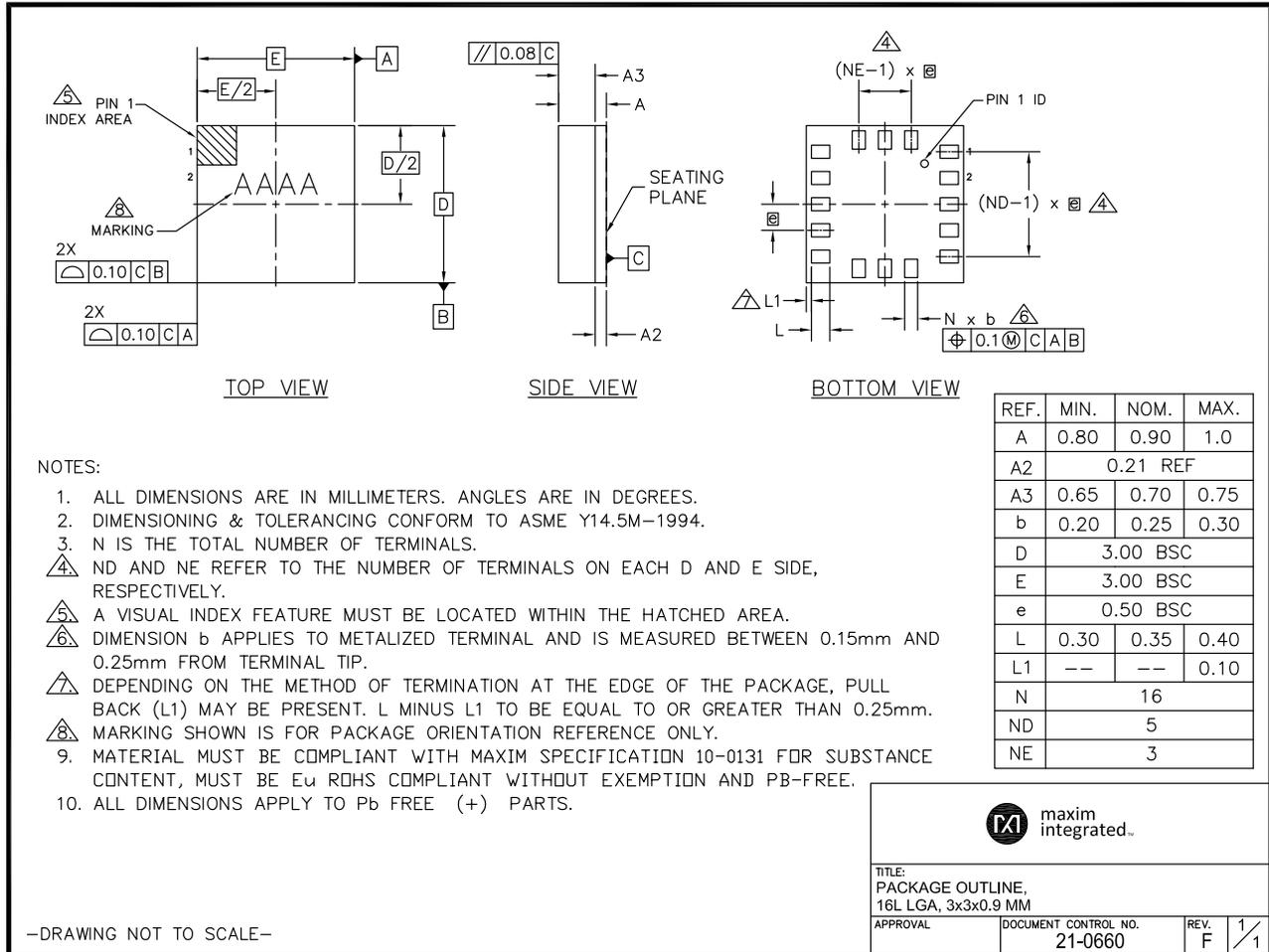
+は鉛(Pb)フリー/RoHS準拠パッケージを表します。
T = テープ&リール。

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターン(フットプリント)は japan.maximintegrated.com/packages を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。



REF.	MIN.	NOM.	MAX.
A	0.80	0.90	1.0
A2	0.21 REF		
A3	0.65	0.70	0.75
b	0.20	0.25	0.30
D	3.00 BSC		
E	3.00 BSC		
e	0.50 BSC		
L	0.30	0.35	0.40
L1	--	--	0.10
N	16		
ND	5		
NE	3		

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE, RESPECTIVELY.
- A VISUAL INDEX FEATURE MUST BE LOCATED WITHIN THE HATCHED AREA.
- DIMENSION b APPLIES TO METALIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.25mm FROM TERMINAL TIP.
- DEPENDING ON THE METHOD OF TERMINATION AT THE EDGE OF THE PACKAGE, PULL BACK (L1) MAY BE PRESENT. L MINUS L1 TO BE EQUAL TO OR GREATER THAN 0.25mm.
- MARKING SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- MATERIAL MUST BE COMPLIANT WITH MAXIM SPECIFICATION 10-0131 FOR SUBSTANCE CONTENT, MUST BE Eu ROHS COMPLIANT WITHOUT EXEMPTION AND PB-FREE.
- ALL DIMENSIONS APPLY TO Pb FREE (+) PARTS.



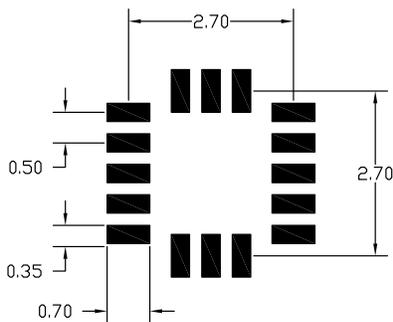
TITLE:
PACKAGE OUTLINE,
16L LGA, 3x3x0.9 MM

APPROVAL	DOCUMENT CONTROL NO. 21-0660	REV. F	1/1
----------	---------------------------------	-----------	-----

-DRAWING NOT TO SCALE-

パッケージ(続き)

最新のパッケージ図面情報およびランドパターン(フットプリント)はjapan.maximintegrated.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点を注意してください。



NOTES:

1. REFERENCE PKG. OUTLINE: 21-0660
2. LAND PATTERN COMPLIES TO: IPC7351A.
3. TOLERANCE: +/- 0.02 MM.
4. ALL DIMENSIONS APPLY TO BOTH LEADED (-) AND PbFREE (+) PKG. CODES.
5. ALL DIMENSIONS IN MM.

-DRAWING NOT TO SCALE-

This document (including dimensions, notes & specs) is a recommendation based on typical circuit board manufacturing parameters. Since land pattern design depend on many factors unknown to Maxim (eg. user's board manufacturing specs), user must determine suitability for use. This document is subject to change without notice. Contact technical support at <http://www.maxim-ic.com/support> for further questions.



TITLE:		
PACKAGE LAND PATTERN, 16 LGA 3X3X1.0mm		
APPROVAL	DOCUMENT CONTROL NO.	REV.
	90-0396	B 1/1

改訂履歴

版数	改訂日	説明	改訂ページ
0	6/13	初版	—



マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maxim Integratedは完全にMaxim Integrated製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maxim Integratedは随時予告なく回路及び仕様を変更する権利を留保します。「Electrical Characteristics (電気的特性)」の表に示すパラメータ値 (min、maxの各制限値)は、このデータシートの他の場所で引用している値より優先されます。

Maxim Integrated 160 Rio Robles, San Jose, CA 95134 USA 1-408-601-1000

28