19-3764; Rev 0; 8/05

EVALUATION KIT AVAILABLE

10ビット、11Msps、超低電力アナログフロントエンド

MAX19708

概要

MAX19708は、TD-SCDMA携帯電話およびデータカード用に設計された超低電力、ミックスドシグナルのアナログフロントエンド(AFE)です。この製品は超低電力で高ダイナミック性能に最適化され、デュアル10ビット11Msps受信(Rx)ADC、TD-SCDMAベースバンドフィルタ付きデュアル10ビット11Msps送信(Tx)DAC、3つの補助RFフロントエンド制御用高速セトリング12ビット補助DACチャネル、および10ビット333kspsハウスキーピング用補助ADCを内蔵しています。Tx-Rx高速モードでの標準動作電力は、5.12MHzのクロック周波数で36.9mWです。

Rx ADCは、11MHzのクロック周波数で1.87MHzの入力周波数では55dBのSNRと77.4dBcのSFDRを備えています。アナログ入力I/Qアンプは完全差動化され、1.024V_{P-P}のフルスケール信号を受け付けます。標準I/Qチャネルマッチングは±0.08°の位相と±0.02dBの利得です。

TD-SCDMAローパスフィルタ内蔵のTx DACは、1.32MHzの-3dBカットオフ周波数と、f_{IMAGE} = 4.32MHzにおいて55dBを超える阻止帯域除去を特長としています。アナログI/Qのフルスケール出力電圧範囲は、差動で±410mVまたは±500mVから選択することができます。出力DCコモンモード電圧は0.9V～1.4Vの範囲で選択可能です。無線ラインアップの側波帯／搬送波抑圧を最適化するために、I/Qチャネルオフセットの調整が可能です。標準I/Qチャネルマッチングは±0.02dBの利得と±0.04°の位相です。

Rx ADCおよびTx DACは単一の10ビット、パラレル、高速ディジタルバスを共有しているため、時分割デュープレクス(TDD)アプリケーション用のハーフデュープレクス動作が可能です。3線式シリアルインタフェースを通じて、電源管理モード、補助DACチャネル、および補助ADCチャネルが制御されます。

MAX19708は、+2.7V～+3.3Vのアナログ単一電源と+1.8V～+3.3Vのディジタル I/O電源で動作します。MAX19708は拡張温度範囲(-40℃～+85℃)で保証され、48ピン薄型QFNパッケージで利用できます。データシートの最後にある「選択ガイド」は、このAFEファミリ中のその他のピンコンパチブルバージョンを表しています。

アプリケーション

TD-SCDMA携帯電話
TD-SCDMAデータカード
ポータブル通信機器

型番

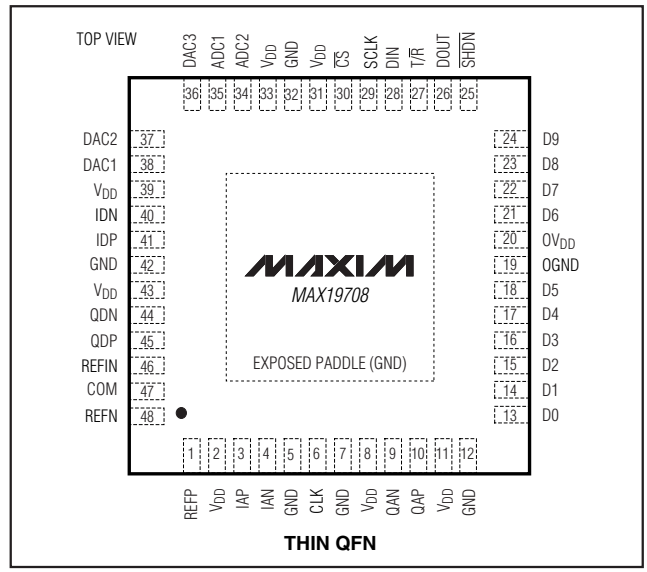
PART*	PIN-PACKAGE	PKG CODE
MAX19708ETM	48 Thin QFN-EP**	T4877-4
MAX19708ETM+	48 Thin QFN-EP**	T4877-4

* すべてのデバイスは、-40℃～+85℃の温度範囲で動作が保証されています。
** EP = エクスポーズドパッド
+ 鉛フリーパッケージを示します。

特長

- デュアル、10ビット、11Msps、Rx ADC、およびデュアル、10ビット、11Msps、Tx DAC
- 超低電力
  36.9mW(f_{CLK} = 5.12MHz、高速モードにおいて)
  19.8mW(f_{CLK} = 5.12MHz、低速モードにおいて)
  低電流スタンバイおよびシャットダウンモード
- 阻止帯域除去が55dB以上のTD-SCDMAフィルタを内蔵
- プログラマブルなTx DACコモンモードDCレベルおよびI/Qオフセット調整
- 優れたダイナミック性能
  SNR:55dB(f_{IN} = 1.87MHzにおいて) (Rx ADC)
  SFDR:73dBc(f_{OUT} = 620kHzにおいて) (Tx DAC)
- 3つの12ビット、1µs補助DAC
- 4:1の入力マルチプレクサおよびデータ平均化付き10ビット、333ksps 補助ADC
- 卓越した利得/位相マッチング
  位相:±0.08°、利得：±0.02dB
  (f_{IN} = 1.87MHzにおいて) (Rx ADC)
- マルチプレクス型のパラレル、ディジタルI/O
- シリアルインタフェース制御
- 汎用電源制御回路：シャットダウン、スタンバイ、アイドル、Tx/Rxディセーブル
- 小型の48ピンThin QFNパッケージ
  (7mm x 7mm x 0.8mm)

ピン配置



ファンクションダイアグラムと選択ガイドは、データシートの最後に記載されています。

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。
無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND, OV_{DD} to OGND .....-0.3V to +3.6V
GND to OGND.....-0.3V to +0.3V
IAP, IAN, QAP, QAN, IDP, IDN, QDP,
QDN, DAC1, DAC2, DAC3 to GND.....-0.3V to V_{DD}
ADC1, ADC2 to GND.....-0.3V to (V_{DD} + 0.3V)
REFP, REFN, REFIN, COM to GND .....-0.3V to (V_{DD} + 0.3V)
D0–D9, DOUT, T/$\overline{R}$, $\overline{SHDN}$, SCLK, DIN, $\overline{CS}$,
CLK to OGND .....-0.3V to (OV_{DD} + 0.3V)
Continuous Power Dissipation (T_A = +70°C)
48-Pin Thin QFN (derate 27.8mW/°C above +70°C) 2.22W
Thermal Resistance θ_{JA} .....36°C/W
Operating Temperature Range .....-40°C to +85°C
Junction Temperature.....+150°C
Storage Temperature Range .....-60°C to +150°C
Lead Temperature (soldering, 10s) .....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		2.7	3.0	3.3	V
Output Supply Voltage	OV_{DD}		1.8		V_{DD}	V
V_{DD} Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): f_{CLK} = 5.12MHz, f_{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		10.3		mA
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f_{CLK} = 5.12MHz, f_{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		12.6		
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): f_{CLK} = 5.12MHz, f_{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		12.3		
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): f_{CLK} = 5.12MHz, f_{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		6.6		
		Ext2-Tx, Ext4-Tx, and SPI4-Tx states; transmit DAC operating mode (Tx): f_{CLK} = 11MHz, f_{OUT} = 620kHz on both channels, aux-DACs ON and at midscale, aux-ADC ON		14.1	16	

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
V_{DD} Supply Current		Ext1-Tx, Ext3-Tx, and SPI2-Tx states; transmit DAC operating mode (Tx): f_{CLK} = 11MHz, f_{OUT} = 620kHz on both channels, aux-DACs ON and at midscale, aux-ADC ON		11.7		mA
		Ext1-Rx, Ext4-Rx, and SPI3-Rx states; receive ADC operating mode (Rx): f_{CLK} = 11MHz, f_{IN} = 1.87MHz on both channels, aux-DACs ON and at midscale, aux-ADC ON		13.7	16	
		Ext2-Rx, Ext3-Rx, and SPI1-Rx states; receive ADC operating mode (Rx): f_{CLK} = 11MHz, f_{IN} = 1.87MHz on both channels, aux-DACs ON and at midscale, aux-ADC ON		8		
		Standby mode: CLK = 0 or OV_{DD}; aux-DACs ON and at midscale, aux-ADC ON		2.9	4	
		Idle mode: f_{CLK} = 11MHz; aux-DACs ON and at midscale, aux-ADC ON		5.5	7	
		Shutdown mode: CLK = 0 or OV_{DD}		0.52		µA
OV_{DD} Supply Current		Ext1-Rx, Ext2-Rx, Ext3-Rx, Ext4-Rx, SPI1-Rx, SPI3-Rx states; receive ADC operating mode (Rx): f_{CLK} = 11MHz, f_{IN} = 1.87MHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		1.5		mA
		Ext1-Tx, Ext2-Tx, Ext3-Tx, Ext4-Tx, SPI2-Tx, SPI4-Tx states; transmit DAC operating mode (Tx): f_{CLK} = 11MHz, f_{OUT} = 620kHz on both channels; aux-DACs ON and at midscale, aux-ADC ON		110		µA
		Standby mode: CLK = 0 or OV_{DD}; aux-DACs ON and at midscale, aux-ADC ON		1		
		Idle mode: f_{CLK} = 11MHz; aux-DACs ON and at midscale, aux-ADC ON		19		
		Shutdown mode: CLK = 0 or OV_{DD}		0.1		

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rx ADC DC ACCURACY						
Resolution	N			10		Bits
Integral Nonlinearity	INL			±0.9		LSB
Differential Nonlinearity	DNL	Guaranteed no missing code (Note 2)	-1.0	±0.4	+1.2	LSB
Offset Error		Residual DC offset error	-5	±0.1	+5	%FS
Gain Error		Include reference error	-7.0	±1.5	+10.5	%FS
DC Gain Matching			-0.25	±0.01	+0.25	dB
Offset Matching				±10		LSB
Gain Temperature Coefficient				±18.4		ppm/°C
Power-Supply Rejection	PSRR	Offset error (V_{DD} ±5%)		±2		LSB
		Gain error (V_{DD} ±5%)		±0.07		%FS
Rx ADC ANALOG INPUT						
Input Differential Range	V_{ID}	Differential or single-ended inputs		±0.512		V
Input Common-Mode Voltage Range	V_{CM}			V_{DD} / 2		V
Input Impedance	R_{IN}	Switched capacitor load		491		kΩ
	C_{IN}			5		pF
Rx ADC CONVERSION RATE						
Maximum Clock Frequency	f_{CLK}	(Note 3)			11	MHz
Data Latency (Figure 3)		Channel I		5		Clock Cycles
		Channel Q		5.5		
Rx ADC DYNAMIC CHARACTERISTICS (Note 4)						
Signal-to-Noise Ratio	SNR	f_{IN} = 1.875MHz, f_{CLK} = 11MHz	53.3	55		dB
		f_{IN} = 3.5MHz, f_{CLK} = 11MHz		55		
Signal-to-Noise and Distortion	SINAD	f_{IN} = 1.875MHz, f_{CLK} = 11MHz	53.2	54.9		dB
		f_{IN} = 3.5MHz, f_{CLK} = 11MHz		54.9		
Spurious-Free Dynamic Range	SFDR	f_{IN} = 1.875MHz, f_{CLK} = 11MHz	63.5	77.4		dBc
		f_{IN} = 3.5MHz, f_{CLK} = 11MHz		78.3		
Third-Harmonic Distortion	HD3	f_{IN} = 1.875MHz, f_{CLK} = 11MHz		-84.3		dBc
		f_{IN} = 3.5MHz, f_{CLK} = 11MHz		-85		
Intermodulation Distortion	IMD	f_1 = 1.8MHz, -7dBFS; f_2 = 1MHz, -7dBFS		-72.7		dBc
Third-Order Intermodulation Distortion	IM3	f_1 = 1.8MHz, -7dBFS; f_2 = 1MHz, -7dBFS		-74.4		dBc
Total Harmonic Distortion	THD	f_{IN} = 1.875MHz, f_{CLK} = 11MHz		-75.6	-63	dB
		f_{IN} = 3.5MHz, f_{CLK} = 11MHz		-76.3		
Aperture Delay				3.5		ns
Overdrive Recovery Time		1.5x full-scale input		2		ns

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Rx ADC INTERCHANNEL CHARACTERISTICS							
Crosstalk Rejection		$f_{INX,Y}$ = 1.875MHz at -0.5dBFS, $f_{INX,Y}$ = 1MHz at -0.5dBFS (Note 5)			-90		dB
Amplitude Matching		f_{IN} = 1.875MHz at -0.5dBFS (Note 6)			±0.02		dB
Phase Matching		f_{IN} = 1.875MHz at -0.5dBFS (Note 6)			±0.08		Degrees
Tx DAC DC ACCURACY							
Resolution	N				10		Bits
Integral Nonlinearity	INL				±0.45		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 2)		-1	±0.4	+1	LSB
Residual DC Offset	V_{OS}	T_A > +25°C		-4	±1	+4	mV
		T_A < +25°C		-5.5	±1	+5.5	
Full-Scale Gain Error		Include reference error (peak-to-peak error)		-50		+50	mV
Tx PATH DYNAMIC PERFORMANCE							
Corner Frequency		3dB corner		1.05	1.32	1.65	MHz
Passband Ripple		DC to 640kHz (Note 2)			0.15	0.5	dB_{P-P}
Group Delay Variation in Passband		DC to 640kHz			50		ns
Error-Vector Magnitude	EVM	DC to 700kHz			2		%
Stopband Rejection		f_{IMAGE} = 4.32MHz, f_{OUT} = 800kHz, f_{CLK} = 5.12MHz		55	62.5		dBc
Baseband Attenuation		Spot relative to 100kHz	2MHz		21.5		dB
			4MHz		49		
			5MHz		58		
			10MHz		90		
			20MHz		90		
DAC Conversion Rate	f_{CLK}	(Note 3)				11	MHz
In-Band Noise Density	N_D	f_{OUT} = 620kHz, f_{CLK} = 5.12MHz, offset = 500kHz			-120.6		dBc/Hz
Third-Order Intermodulation Distortion	IM3	f_1 = 620kHz, f_2 = 640kHz			82		dBc
Glitch Impulse					10		pV•s
Spurious-Free Dynamic Range to Nyquist	SFDR	f_{CLK} = 11MHz, f_{OUT} = 620kHz		60	73		dBc
Total Harmonic Distortion to Nyquist	THD	f_{CLK} = 11MHz, f_{OUT} = 620kHz			-71	-60	dB
Signal-to-Noise Ratio to Nyquist	SNR	f_{CLK} = 11MHz, f_{OUT} = 620kHz			56.5		dB

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, $C_{REFP} = C_{REFN} = C_{COM}$ = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tx PATH INTERCHANNEL CHARACTERISTICS						
I-to-Q Output Isolation		$f_{OUTX,Y}$ = 500kHz, $f_{OUTX,Y}$ = 620kHz		90		dB
Gain Mismatch Between DAC Outputs		Measured at DC	-0.30	±0.02	+0.31	dB
Phase Mismatch Between DAC Outputs		f_{OUT} = 620kHz, f_{CLK} = 11MHz		±0.04		Degrees
Differential Output Impedance				800		Ω
Tx PATH ANALOG OUTPUT						
Full-Scale Output Voltage (Table 8)	V_{FS}	Bit E7 = 0 (default)		±410		mV
		Bit E7 = 1		±500		
Output Common-Mode Voltage (Table 11)	V_{COM}	Bits CM1 = 0, CM0 = 0 (default)	1.27	1.4	1.48	V
		Bits CM1 = 0, CM0 = 1		1.25		
		Bits CM1 = 1, CM0 = 0		1.1		
		Bits CM1 = 1, CM0 = 1		0.9		
Rx ADC–Tx DAC INTERCHANNEL CHARACTERISTICS						
Receive Transmit Isolation		ADC $f_{INI} = f_{INQ}$ = 1.875MHz, DAC $f_{OUTI} = f_{OUTQ}$ = 620kHz, f_{CLK} = 11MHz		90		dB
AUXILIARY ADC (ADC1, ADC2)						
Resolution	N			10		Bits
Full-Scale Reference	V_{REF}	AD1 = 0 (default)		2.048		V
		AD1 = 1		V_{DD}		
Analog Input Range				0 to V_{REF}		V
Analog Input Impedance		At DC		500		kΩ
Input-Leakage Current		Measured at unselected input from 0 to V_{REF}		±0.1		µA
Gain Error	GE	Includes reference error	-5		+5	%FS
Zero-Code Error	ZE			2		mV
Differential Nonlinearity	DNL			±0.53		LSB
Integral Nonlinearity	INL			±0.45		LSB
Supply Current				210		µA

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
AUXILIARY DACs (DAC1, DAC2, DAC3)						
Resolution	N			12		Bits
Integral Nonlinearity	INL			±1.25		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic over codes 100 to 4000 (Note 2)	-1.0	±0.65	+1.2	LSB
Gain Error	GE	R_L > 200kΩ		±0.7		%FS
Zero-Code Error	ZE			±0.6		%FS
Output-Voltage Low	V_{OL}	R_L > 200kΩ			0.1	V
Output-Voltage High	V_{OH}	R_L > 200kΩ	2.56			V
DC Output Impedance		DC output at midscale		4		Ω
Settling Time		From 1/4 FS to 3/4 FS, within ±10 LSB		1		µs
Glitch Impulse		From 0 to FS transition		24		nV•s
Rx ADC-Tx DAC TIMING CHARACTERISTICS						
CLK Rise to Channel-I Output Data Valid	t_{DOI}	Figure 3 (Note 2)	5.3	7.0	8.5	ns
CLK Fall to Channel-Q Output Data Valid	t_{DOQ}	Figure 3 (Note 2)	6.8	9.1	11.3	ns
I-DAC DATA to CLK Fall Setup Time	t_{DSI}	Figure 6 (Note 2)	10			ns
Q-DAC DATA to CLK Rise Setup Time	t_{DSQ}	Figure 6 (Note 2)	10			ns
CLK Fall to I-DAC Data Hold Time	t_{DHI}	Figure 6 (Note 2)	0			ns
CLK Rise to Q-DAC Data Hold Time	t_{DHQ}	Figure 6 (Note 2)	0			ns
CLK Duty Cycle				50		%
CLK Duty-Cycle Variation				±15		%
Digital Output Rise/Fall Time		20% to 80%		2.5		ns
SERIAL-INTERFACE TIMING CHARACTERISTICS (Figure 7, Note 2)						
Falling Edge of $\overline{CS}$ to Rising Edge of First SCLK Time	t_{CSS}		10			ns
DIN to SCLK Setup Time	t_{DS}		10			ns
DIN to SCLK Hold Time	t_{DH}		0			ns
SCLK Pulse-Width High	t_{CH}		25			ns
SCLK Pulse-Width Low	t_{CL}		25			ns
SCLK Period	t_{CP}		50			ns
SCLK to $\overline{CS}$ Setup Time	t_{CS}		10			ns
$\overline{CS}$ High Pulse Width	t_{CSW}		80			ns
$\overline{CS}$ High to DOUT Active High	t_{CSD}	Bit AD0 set		200		ns

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
$\overline{CS}$ High to DOUT Low (Aux-ADC Conversion Time)	t_{CONV}	Bit AD0 set, no averaging (see Table 15), f_{CLK} = 11MHz, CLK divider = 4 (see Table 16)		4.36		µs
DOUT Low to $\overline{CS}$ Setup Time	t_{DCS}	Bit AD0, AD10 set		200		ns
SCLK Low to DOUT Data Out	t_{CD}	Bit AD0, AD10 set			14.5	ns
$\overline{CS}$ High to DOUT High Impedance	t_{CHZ}	Bit AD0, AD10 set		200		ns
MODE-RECOVERY TIMING CHARACTERISTICS (Figure 8)						
Shutdown Wake-Up Time	$t_{WAKE,SD}$	From shutdown to Rx mode, ADC settles to within 1dB SINAD		82.2		µs
		From shutdown to Tx mode, DAC settles to within 10 LSB error		29		
Idle Wake-Up Time (With CLK)	$t_{WAKE,ST0}$	From idle to Rx mode with CLK present during idle, ADC settles to within 1dB SINAD		9.6		µs
		From idle to Tx mode with CLK present during idle, DAC settles to 10 LSB error		7.6		
Standby Wake-Up Time	$t_{WAKE,ST1}$	From standby to Rx mode, ADC settles to within 1dB SINAD		17.5		µs
		From standby to Tx mode, DAC settles to 10 LSB error		24		
Enable Time from Tx to Rx (Ext2-Tx to Ext2-Rx, Ext4-Tx to Ext4-Rx, and SPI4-Tx to SPI3-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		500		ns
Enable Time from Rx to Tx (Ext1-Rx to Ext1-Tx, Ext4-Rx to Ext4-Tx, and SPI3-Rx to SPI4-Tx States)	$t_{ENABLE, TX}$	DAC settles to within 10 LSB error		500		ns
Enable Time from Tx to Rx (Ext1-Tx to Ext1-Rx, Ext3-Tx to Ext3-Rx, and SPI1-Tx to SPI1-Rx States)	$t_{ENABLE, RX}$	ADC settles to within 1dB SINAD		8.1		µs
Enable Time from Rx to Tx (Ext2-Rx to Ext2-Tx, Ext3-Rx to Ext3-Tx, and SPI1-Rx to SPI2-Tx States)	$t_{ENABLE,TX}$	DAC settles to within 10 LSB error		7.0		µs
INTERNAL REFERENCE (V_{REFIN} = V_{DD}; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Positive Reference		V_{REFP} - V_{COM}		0.256		V
Negative Reference		V_{REFN} - V_{COM}		-0.256		V
Common-Mode Output Voltage	V_{COM}		V_{DD} / 2 - 0.15	V_{DD} / 2	V_{DD} / 2 + 0.15	V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, unless otherwise noted. C_L < 5pF on all aux-DAC outputs. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
Differential Reference Output	V_{REF}	V_{REFP} - V_{REFN}	+0.460	+0.512	+0.548	V
Differential Reference Temperature Coefficient	REFTC			±18		ppm/°C
BUFFERED EXTERNAL REFERENCE (external V_{REFIN} = 1.024V applied; V_{REFP}, V_{REFN}, V_{COM} levels are generated internally)						
Reference Input Voltage	V_{REFIN}			1.024		V
Differential Reference Output	V_{DIFF}	V_{REFP} - V_{REFN}		0.512		V
Common-Mode Output Voltage	V_{COM}			V_{DD} / 2		V
Maximum REFP/REFN/COM Source Current	I_{SOURCE}			2		mA
Maximum REFP/REFN/COM Sink Current	I_{SINK}			2		mA
REFIN Input Current				-0.7		µA
REFIN Input Resistance				500		kΩ
DIGITAL INPUTS (CLK, SCLK, DIN, $\overline{CS}$, D0–D9, T/$\overline{R}$, $\overline{SHDN}$)						
Input High Threshold	V_{INH}		0.7 x OV_{DD}			V
Input Low Threshold	V_{INL}				0.3 x OV_{DD}	V
Input Leakage	DI_{IN}	D0–D9, CLK, SCLK, DIN, $\overline{CS}$, T/$\overline{R}$, $\overline{SHDN}$ = OGND or OV_{DD}	-1		+1	µA
Input Capacitance	DC_{IN}			5		pF
DIGITAL OUTPUTS (D0–D9, DOUT)						
Output-Voltage Low	V_{OL}	I_{SINK} = 200µA			0.2 x OV_{DD}	V
Output-Voltage High	V_{OH}	I_{SOURCE} = 200µA	0.8 x OV_{DD}			V
Tri-State Leakage Current	I_{LEAK}		-1		+1	µA
Tri-State Output Capacitance	C_{OUT}			5		pF

Note 1: Specifications from T_A = +25°C to +85°C are guaranteed by production tests. Specifications from T_A = +25°C to -40°C are guaranteed by design and characterization.

Note 2: Guaranteed by design and characterization.

Note 3: The minimum clock frequency (f_{CLK}) for the MAX19708 is 1.5MHz (typ). The minimum aux-ADC sample rate clock frequency (ACLK) is determined by f_{CLK} and the chosen aux-ADC clock-divider value. The minimum aux-ADC ACLK > 1.5MHz / 128 = 11.7kHz. The aux-ADC conversion time does not include the time to clock the serial data out of the SPI. The maximum conversion time (for no averaging, NAVG = 1) will be t_{CONV} (max) = (12 x 1 x 128) / 1.5MHz = 1024µs.

Note 4: SNR, SINAD, SFDR, HD3, and THD are based on a differential analog input voltage of -0.5dBFS referenced to the amplitude of the digital outputs. SINAD and THD are calculated using HD2 through HD6.

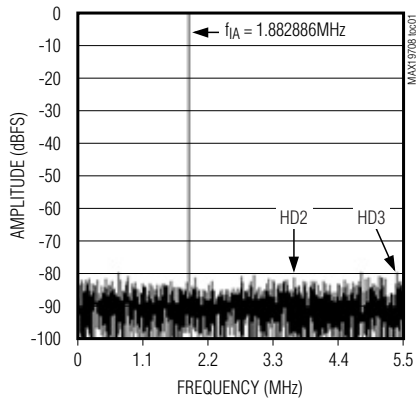
Note 5: Crosstalk rejection is measured by applying a high-frequency test tone to one channel and a low-frequency tone to the second channel. FFTs are performed on each channel. The parameter is specified as the power ratio of the first and second channel FFT test tone.

Note 6: Amplitude and phase matching is measured by applying the same signal to each channel, and comparing the two output signals using a sine-wave fit.

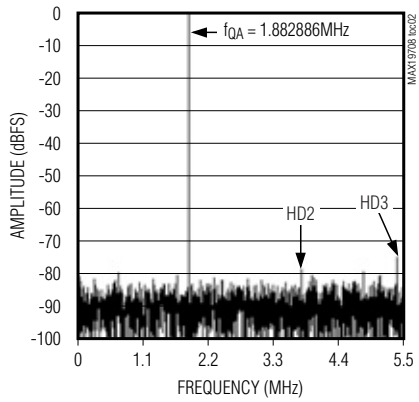
標準動作特性

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, T_A = +25°C, unless otherwise noted.)

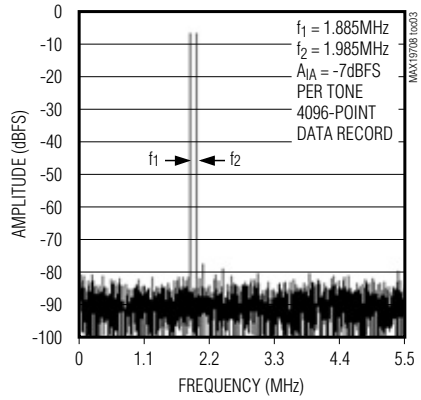
Rx ADC CHANNEL-IA FFT PLOT



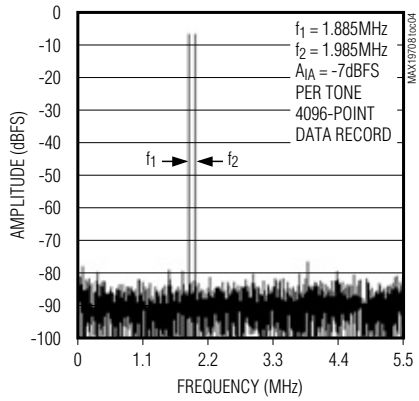
Rx ADC CHANNEL-QA FFT PLOT



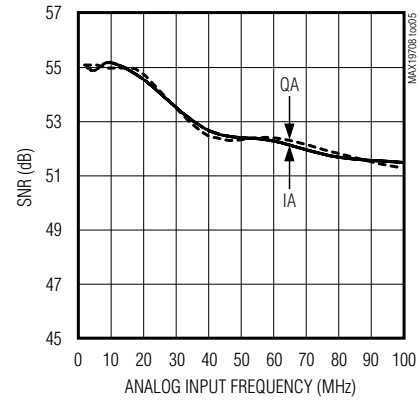
Rx ADC CHANNEL-IA TWO-TONE FFT PLOT



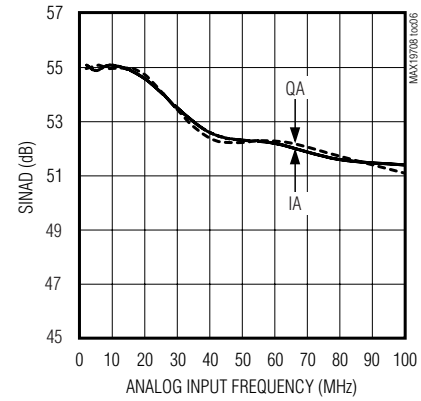
Rx ADC CHANNEL-QA TWO-TONE FFT PLOT



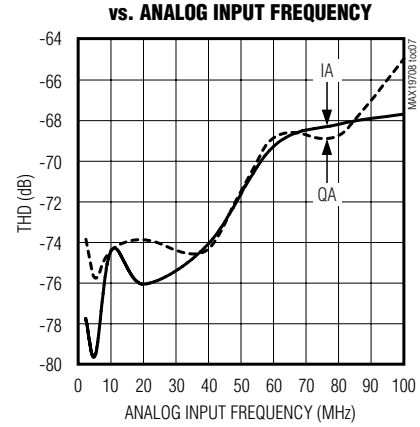
Rx ADC SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT FREQUENCY



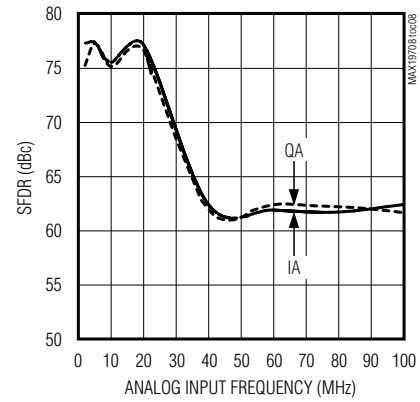
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. ANALOG INPUT FREQUENCY



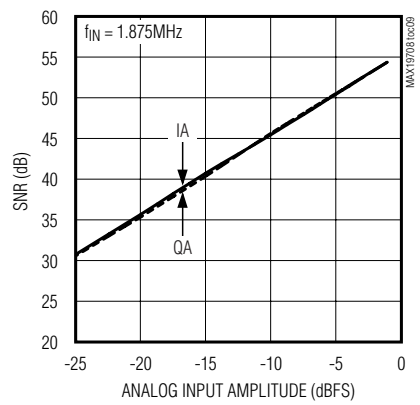
Rx ADC TOTAL HARMONIC DISTORTION vs. ANALOG INPUT FREQUENCY



Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT FREQUENCY



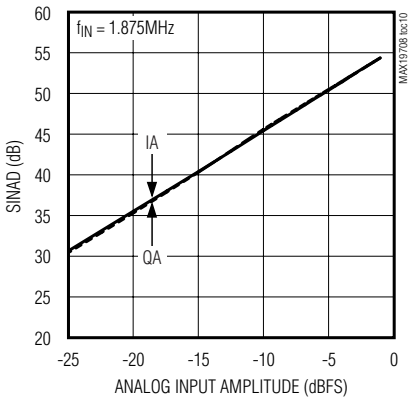
Rx ADC SIGNAL-TO-NOISE RATIO vs. ANALOG INPUT AMPLITUDE



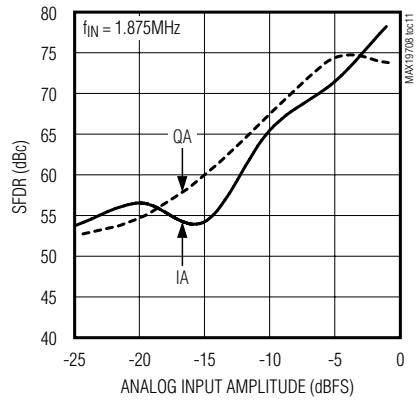
標準動作特性(続き)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, T_A = +25°C, unless otherwise noted.)

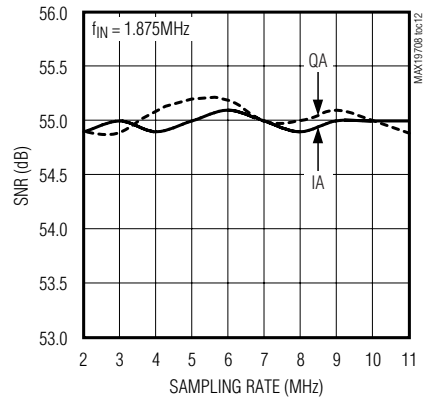
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. ANALOG INPUT AMPLITUDE



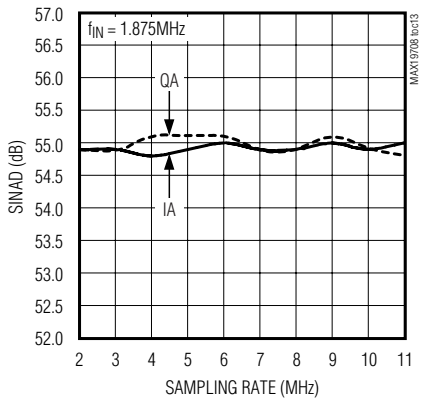
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. ANALOG INPUT AMPLITUDE



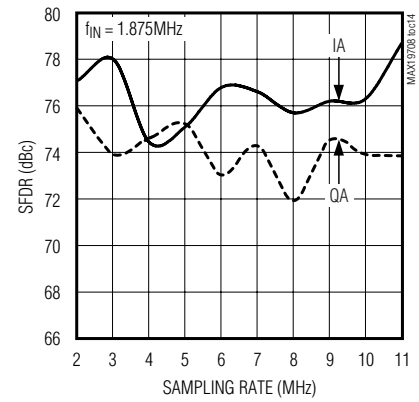
Rx ADC SIGNAL-TO-NOISE RATIO vs. SAMPLING RATE



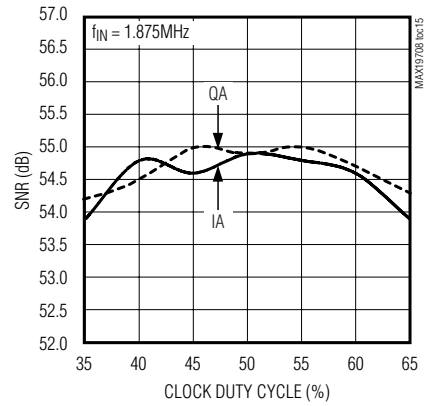
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. SAMPLING RATE



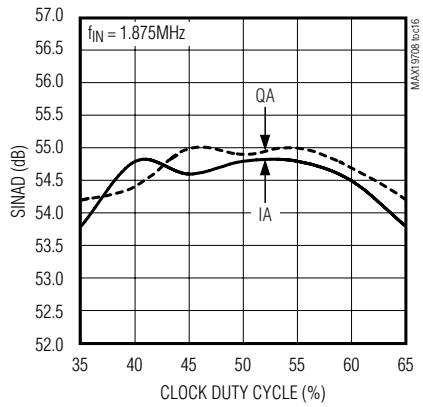
Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



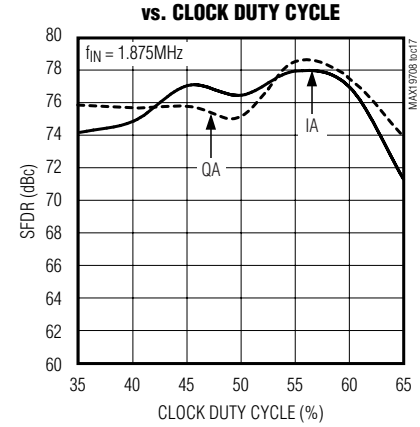
Rx ADC SIGNAL-TO-NOISE RATIO vs. CLOCK DUTY CYCLE



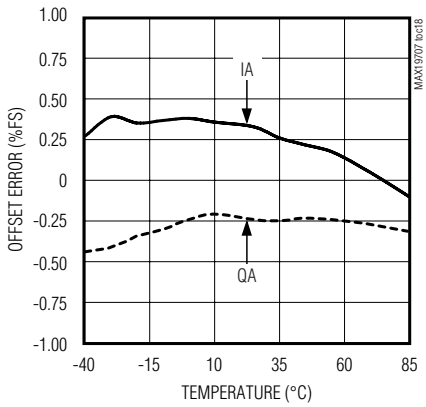
Rx ADC SIGNAL-TO-NOISE AND DISTORTION RATIO vs. CLOCK DUTY CYCLE



Rx ADC SPURIOUS-FREE DYNAMIC RANGE vs. CLOCK DUTY CYCLE



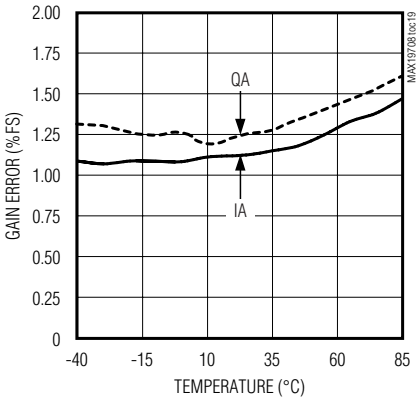
Rx ADC OFFSET ERROR vs. TEMPERATURE



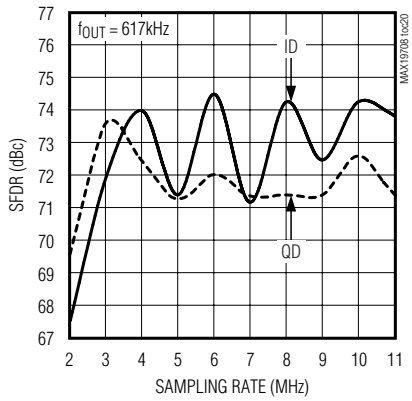
標準動作特性(続き)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, T_A = +25°C, unless otherwise noted.)

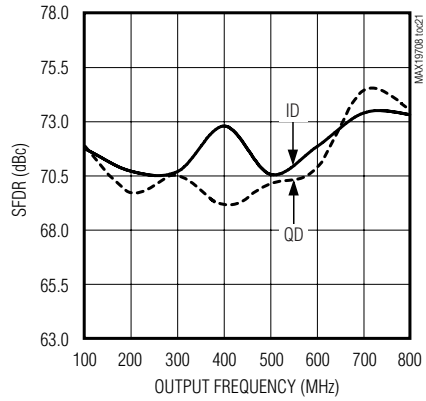
Rx ADC GAIN ERROR vs. TEMPERATURE



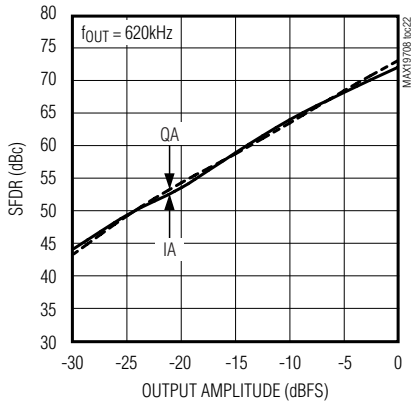
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. SAMPLING RATE



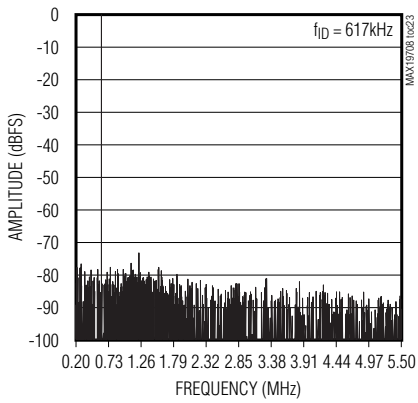
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT FREQUENCY



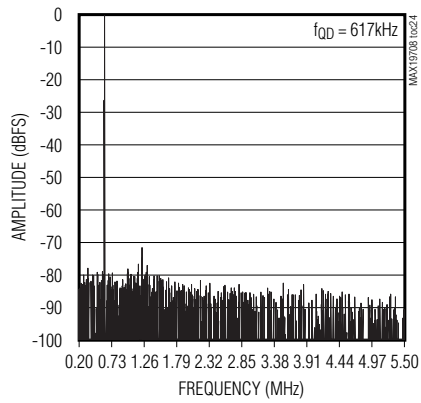
Tx PATH SPURIOUS-FREE DYNAMIC RANGE vs. OUTPUT AMPLITUDE



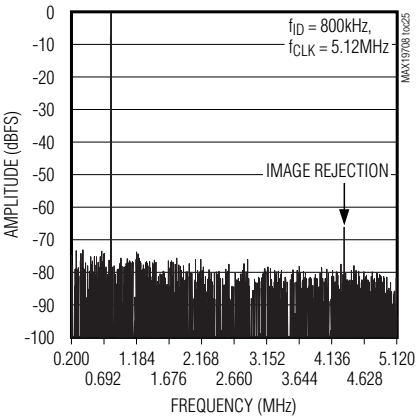
Tx PATH CHANNEL-ID SPECTRAL PLOT



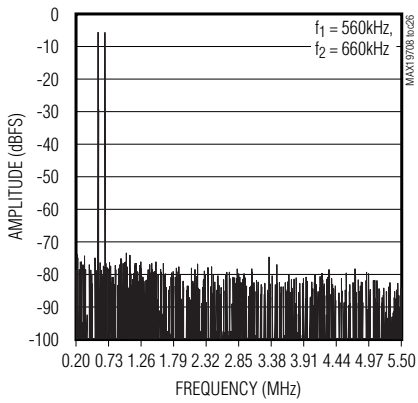
Tx PATH CHANNEL-QD SPECTRAL PLOT



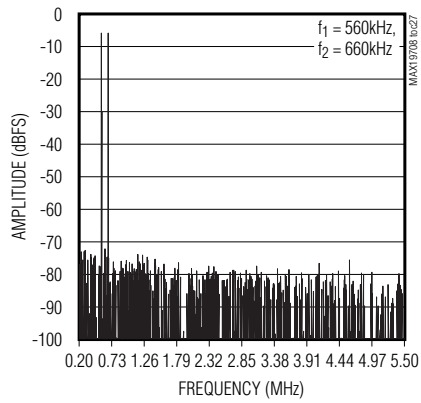
Tx PATH CHANNEL-ID SPECTRAL PLOT WITH IMAGE REJECTION



Tx PATH CHANNEL-ID TWO-TONE SPECTRAL PLOT



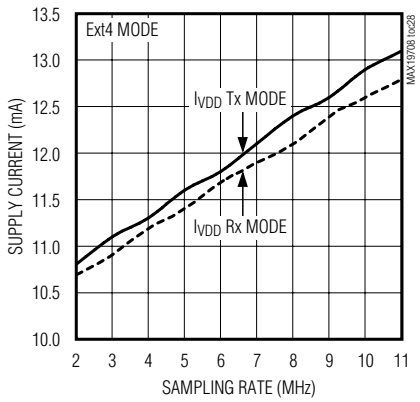
Tx PATH CHANNEL-QD TWO-TONE SPECTRAL PLOT



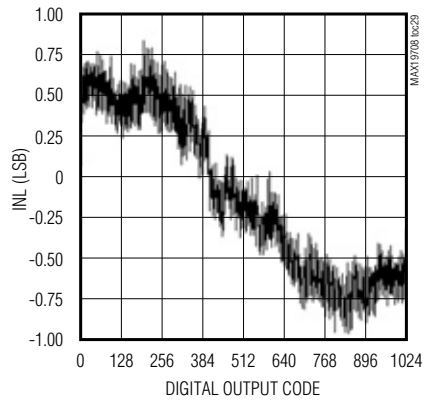
標準動作特性(続き)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), C_L ≈ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, T_A = +25°C, unless otherwise noted.)

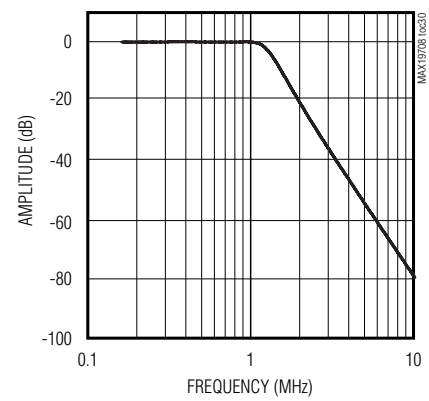
SUPPLY CURRENT vs. SAMPLING RATE



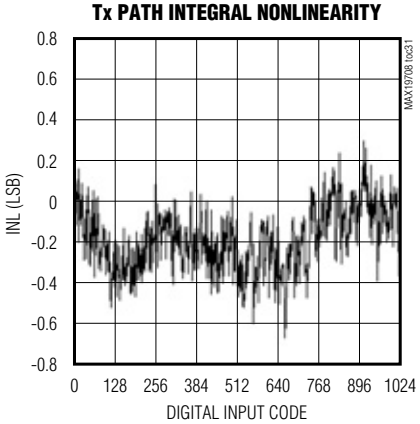
Rx ADC INTEGRAL NONLINEARITY



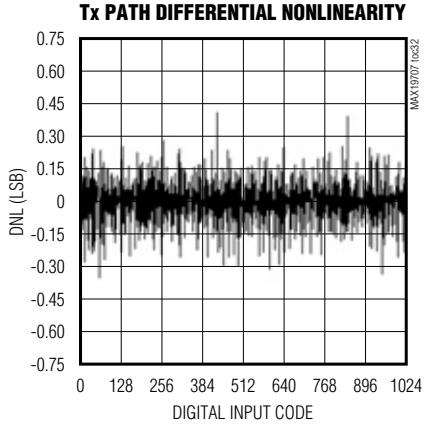
TRANSMIT FILTER FREQUENCY RESPONSE



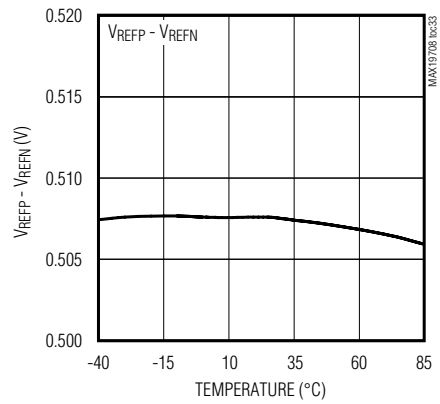
Tx PATH INTEGRAL NONLINEARITY



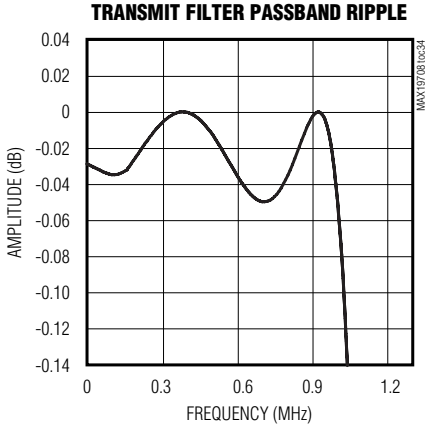
Tx PATH DIFFERENTIAL NONLINEARITY



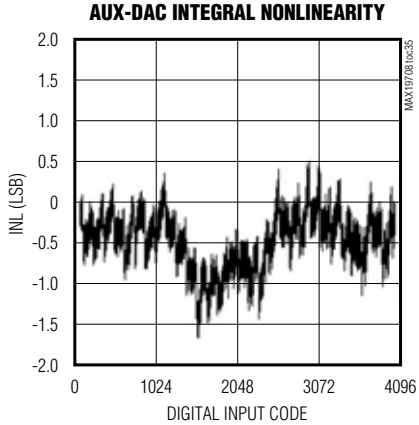
REFERENCE OUTPUT VOLTAGE vs. TEMPERATURE



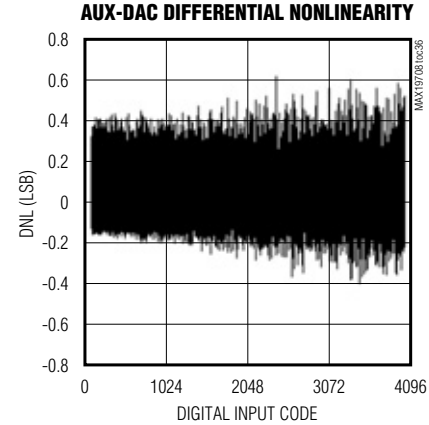
TRANSMIT FILTER PASSBAND RIPPLE



AUX-DAC INTEGRAL NONLINEARITY



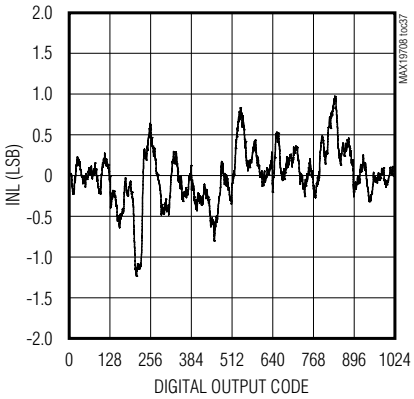
AUX-DAC DIFFERENTIAL NONLINEARITY



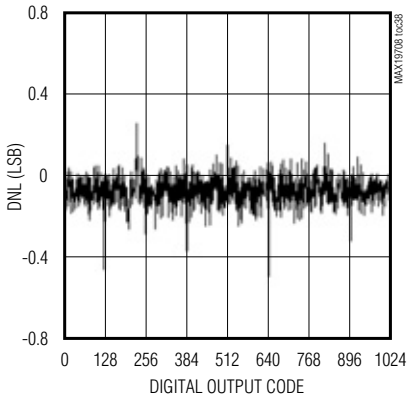
標準動作特性(続き)

(V_{DD} = 3V, OV_{DD} = 1.8V, internal reference (1.024V), $C_L \approx$ 10pF on all digital outputs, f_{CLK} = 11MHz (50% duty cycle), Rx ADC input amplitude = -0.5dBFS, Tx DAC output amplitude = 0dBFS, differential Rx ADC input, differential Tx DAC output, C_{REFP} = C_{REFN} = C_{COM} = 0.33µF, T_A = +25°C, unless otherwise noted.)

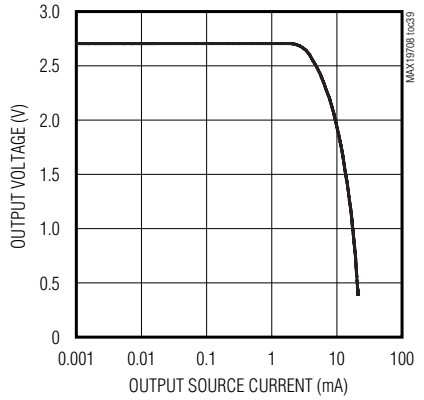
AUX-ADC INTEGRAL NONLINEARITY



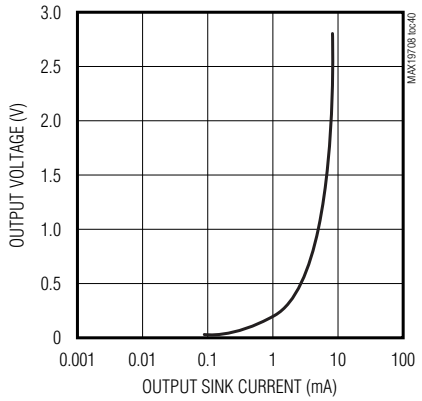
AUX-ADC DIFFERENTIAL NONLINEARITY



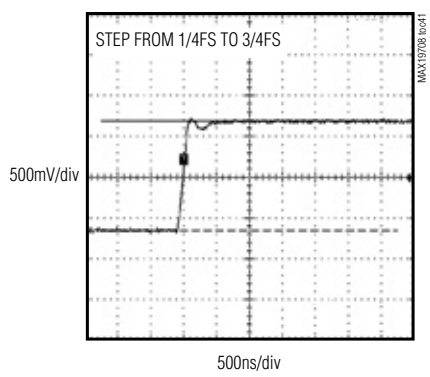
AUX-DAC OUTPUT VOLTAGE vs. OUTPUT SOURCE CURRENT



AUX-DAC OUTPUT VOLTAGE vs. OUTPUT SINK CURRENT



AUX-DAC SETTLING TIME



端子説明

端子	名称	機　能
1	REFP	上側リファレンス電圧。REFPにできる限り近づけて0.33µFのコンデンサでGNDにバイパスしてください。
2, 8, 11, 31, 33, 39, 43	V_{DD}	アナログ電源電圧。V_{DD}を2.2µFと0.1µFの並列コンデンサでGNDにバイパスしてください。
3	IAP	チャネルIA正アナログ入力。シングルエンド動作の場合は、信号ソースをIAPに接続してください。
4	IAN	チャネルIA負アナログ入力。シングルエンド動作の場合は、IANをCOMに接続してください。
5, 7, 12, 32, 42	GND	アナロググランド。すべてのGNDピンをグランドプレーンに接続してください。
6	CLK	変換クロック入力。受信ADCと送信DACの両方のクロック信号。
9	QAN	チャネルQA負アナログ入力。シングルエンド動作の場合は、QANをCOMに接続してください。

端子説明(続き)

端子	名称	機　能
10	QAP	チャネルQA正アナログ入力。シングルエンド動作の場合は、信号ソースをQAPに接続してください。
13–18, 21–24	D0–D9	ディジタルI/O。Rxモードでの受信ADCの出力。Txモードでの送信DACの入力。D9は最上位ビット(MSB)で、D0は最下位ビット(LSB)です。
19	OGND	出力ドライバグランド
20	OV_{DD}	出力ドライバ電源。電源電圧範囲は+1.8V～V_{DD}です。OV_{DD}を2.2µFと0.1µFの並列コンデンサでOGNDにバイパスしてください。
25	$\overline{SHDN}$	アクティブローシャットダウン入力。MAX19708をシャットダウンするためにはロジックローを印加してください。
26	DOUT	補助ADCディジタル出力
27	T/$\overline{R}$	送信または受信モード選択入力。T/$\overline{R}$のロジックロー入力はデバイスを受信モードに設定します。ロジックハイ入力はデバイスを送信モードに設定します。
28	DIN	3線シリアルインタフェースデータ入力。データはSCLKの立上りエッジでラッチされます。
29	SCLK	3線シリアルインタフェースクロック入力
30	$\overline{CS}$	3線シリアルインタフェースチップ選択入力。ロジックローでシリアルインタフェースがイネーブルされます。
34	ADC2	補助ADCのアナログ入力
35	ADC1	補助ADCのアナログ入力
36	DAC3	補助DAC3のアナログ出力
37	DAC2	補助DAC2のアナログ出力
38	DAC1	補助DAC1のアナログ出力(AFC DAC、パワーアップ時V_{OUT} = 1.1V)
40, 41	IDN, IDP	Tx経路チャネルID差動電圧出力
44, 45	QDN, QDP	Tx経路チャネルQD差動電圧出力
46	REFIN	リファレンス入力。内部リファレンスの場合はV_{DD}に接続してください。
47	COM	コモンモード電圧I/O。COMを0.33µFのコンデンサでGNDにバイパスしてください。
48	REFN	負リファレンスI/O。Rx ADCの変換範囲は±(V_{REFP} - V_{REFN})です。REFNを0.1µFのコンデンサでGNDにバイパスしてください。
—	EP	エクスポーズドパッド。エクスポーズドパッドは内部でGNDに接続されています。EPをGNDプレーンに接続してください。

詳細

MAX19708は、TD-SCDMAベースバンドフィルタ付きデュアル、10ビットRx ADC、およびデュアル、10ビットTx DACを内蔵し、11Mspsの変換レートで超低電力および高ダイナミック性能を提供します。Rx ADCのアナログ入力アンプは、完全差動化され、1.024V_{P-P}のフルスケール信号を受け付けます。Tx DACのアナログ出力は、±410mVまたは±500mVのフルスケール出力、選択可能なコモンモードDCレベル、および調整可能なI/Qオフセット調整を備えて完全作動化されています。

MAX19708は、3つの12ビット補助DAC(Aux-DAC)チャネル、および4:1の入力マルチプレクサ付き10ビット333kspsの補助ADC(Aux-ADC)を内蔵しています。補助DACチャネルは、高速のAGC、VGA、およびAFCレベル設定に対するセトリング時間が1µsです。

補助ADCは、プロセッサのオーバヘッドを軽減するデータ平均化機能および変換レートを設定する選択可能なクロック分周器を備えています。

MAX19708は、動作モードと電源管理を制御する3線式シリアルインタフェースを内蔵しています。シリアルインタフェースはSPI™とMICROWIRE™に対応しています。MAX19708のシリアルインタフェースは、シャットダウン、アイドル、スタンバイ、送信(Tx)、および受信(Rx)の各モードを選択し、同時に補助DACと補助ADCの各チャネルを制御します。

Rx ADCとTx DACは、ディジタルインタフェースを単一の10ビットパラレルマルチプレクス型バスに対するインターフェースを減らす為に共通のディジタルI/Oを共有しています。この10ビットディジタルバスは、+1.8V～+3.3Vの単一電源で動作します。

SPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

デュアル10ビットRx ADC

ADCでは、高速変換を可能にし消費電力を最小化する7段から成る完全差動のパイプラインアーキテクチャが採用されています。入力で採取されたサンプルは、1/2クロックサイクルごとに各パイプライン段を次々と移動します。出力ラッチによる遅延を含めた、クロックサイクルの全待ち時間は、チャネルIAの場合5クロックサイクルで、チャネルQAの場合5.5クロックサイクルです。ADCのフルスケールアナログ入力範囲は±V_{REF}で、コモンモード入力範囲はV_{DD} / 2(±0.2V)です。

V_{REF}はV_{REFP}とV_{REFN}の差です。詳しくは、「リファレンスの構成」の項をご覧ください。

入力トラック/ホールド(T/H)回路

図1は、Rx ADCの入力トラック/ホールド(T/H)回路の簡略図を示します。各ADC入力(IAP、QAP、IAN、およびQAN)はいずれも、差動駆動またはシングルエンド駆動が可能です。最適な性能を得るために、IAPとIAN、およびQAPとQANのインピーダンスを整合させ、入力信号のコモンモード電圧をV_{DD} / 2(±200mV)のRx ADC範囲内に設定してください。

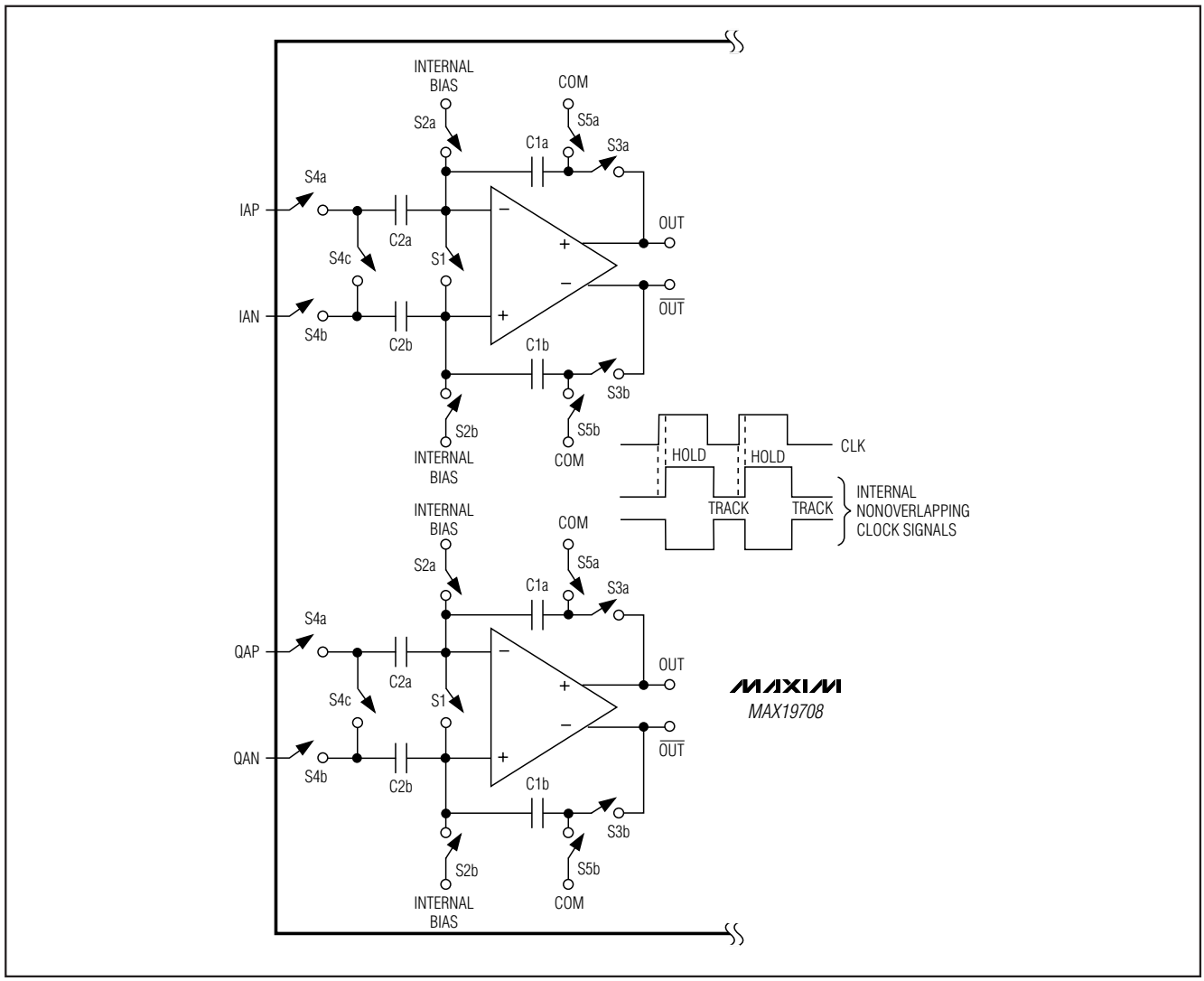


図1. Rx ADCの内部T/H回路

表1. Rx ADCの出力コード 対 入力電圧

DIFFERENTIAL INPUT VOLTAGE	DIFFERENTIAL INPUT (LSB)	OFFSET BINARY (D0–D9)	OUTPUT DECIMAL CODE
V_{REF} x 512/512	511 (+Full Scale - 1 LSB)	11 1111 1111	1023
V_{REF} x 511/512	510 (+Full Scale - 2 LSB)	11 1111 1110	1022
V_{REF} x 1/512	+1	10 0000 0001	513
V_{REF} x 0/512	0 (Bipolar Zero)	10 0000 0000	512
-V_{REF} x 1/512	-1	01 1111 1111	511
-V_{REF} x 511/512	-511 (-Full Scale +1 LSB)	00 0000 0001	1
-V_{REF} x 512/512	-512 (-Full Scale)	00 0000 0000	0

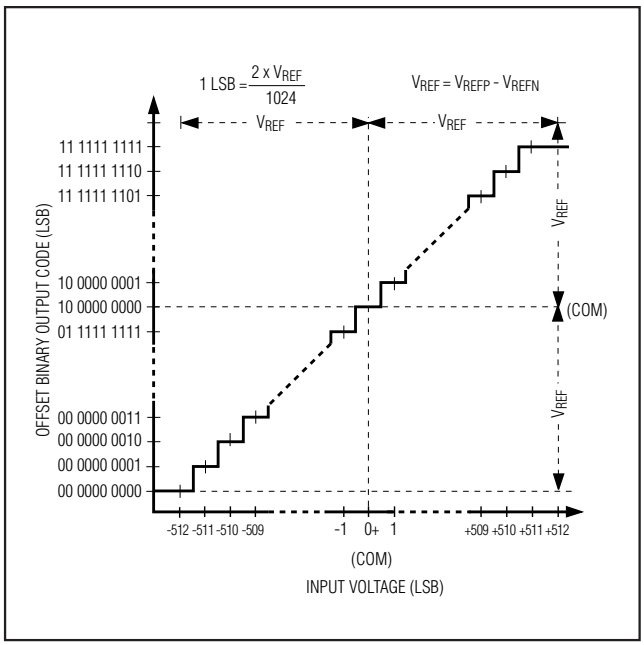


図2. Rx ADCの伝達関数

Rx ADCシステムのタイミング要件

図3は、クロック、アナログ入力、および得られた出力データの関係を示します。チャネルI(CHI)とチャネルQ(CHQ)はクロック信号(CLK)の立上りエッジでサンプリングされ、得られたデータはD0～D9出力で多重化されます。

CHIのデータはCLKの立上りエッジで更新され、CHQのデータはCLKの立下りエッジで更新されます。出力ラッチによる遅延を含めた、クロックサイクルの全待ち時間は、CHIの場合5クロックサイクルで、CHQの場合5.5クロックサイクルです。

ディジタル入力/出力データ(D0～D9)

MAX19708が受信モードにある場合、D0～D9はRx ADCのディジタルロジック出力です。このバスは、Tx DACの各ディジタルロジック入力に共有されており、ハーフデュープレクスモードで動作します。MAX19708が送信モードにある場合、D0～D9はTx DACのディジタルロジック入力です。ロジックレベルはOV_{DD}によって1.8V～V_{DD}に設定されます。ディジタル出力コードはオフセットバイナリです(表1)。ディジタル出力D0～D9の容量性負荷をできる限り小さく(15pF以下)維持して、大きなディジタル電流がMAX19708のアナログ部にフィードバックされてそのダイナミック性能を低下させることのないようにしてください。ディジタル出力のバッファは出力を容量性の重負荷から分離します。MAX19708の近くでディジタル出力に直列に100Ωの抵抗器を追加すると、ADCの性能向上に役立ちます。ディジタルバッファを100Ωの直列抵抗器を介して駆動するディジタル出力の例については、MAX19708EVKITの回路図を参照してください。

SHDN、IDLE、およびSTBYの各状態では、ディジタル入力のフローティング防止のためにD0～D9は内部でプルアップされています。電流がD0～D9 I/Oを流れないようにするためには、外部バスをトライステートにするか、またはOV_{DD}にプルアップして、グランドに駆動されないようにする必要があります。

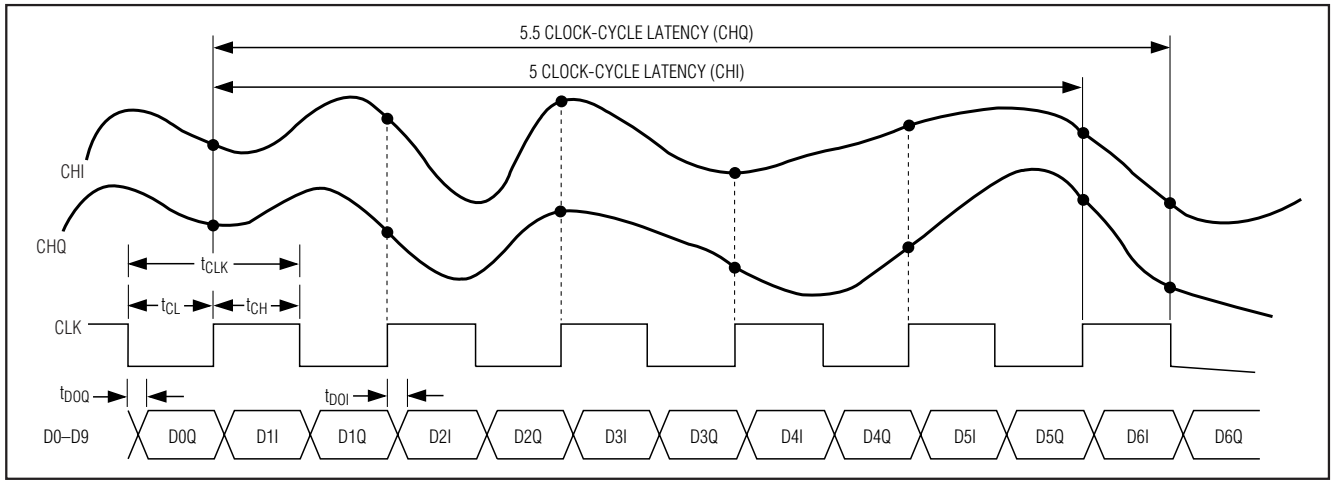


図3．Rx ADCシステムのタイミング図

表2. Tx 経路の出力電圧 対 入力コード

(Internal Reference Mode V_{REFDAC} = 1.024V, External Reference Mode V_{REFDAC} = V_{REFIN}; V_{FS} = 410 for 820mV_{P-P} Full Scale and V_{FS} = 500 for 1V_{P-P} Full Scale)

DIFFERENTIAL OUTPUT VOLTAGE (V)	OFFSET BINARY (D0–D9)	INPUT DECIMAL CODE
$(V_{FS})\frac{V_{REFDAC}}{1024} \times \frac{1023}{1023}$	11 1111 1111	1023
$(V_{FS})\frac{V_{REFDAC}}{1024} \times \frac{1021}{1023}$	11 1111 1110	1022
$(V_{FS})\frac{V_{REFDAC}}{1024} \times \frac{3}{1023}$	10 0000 0001	513
$(V_{FS})\frac{V_{REFDAC}}{1024} \times \frac{1}{1023}$	10 0000 0000	512
$(V_{FS})\frac{-V_{REFDAC}}{1024} \times \frac{1}{1023}$	01 1111 1111	511
$(V_{FS})\frac{-V_{REFDAC}}{1024} \times \frac{1021}{1023}$	00 0000 0001	1
$(V_{FS})\frac{-V_{REFDAC}}{1024} \times \frac{1023}{1023}$	00 0000 0000	0

デュアル10ビットTx DACおよび送信経路

デュアル10ビットD/Aコンバータ(Tx DAC)は、最高11MHzのクロック速度で動作します。Tx DACディジタル入力D0～D9は、単一の10ビットバス上で多重化されます。電圧リファレンスは、IDP、IDN、およびQDP、QDNの各アナログ出力におけるTx 経路のフルスケール出力電圧を決定します。リファレンス電圧の設定については、「リファレンスの構成」の項をご覧ください。各Tx経路の出力チャネルは、TD-SCDMAのスペクトルマスク要件に合せて調整されたローパスフィルタを内蔵しています。

このTD-SCDMAフィルタでは、カットオフ周波数が1.32MHz に、またf_{IMAGE} = 4.32MHz、f_{OUT} = 800kHz 、およびf_{CLK} = 5.12MHzにおけるイメージ除去が55dB以上になるように調整されています。フィルタの周波数応答については図4をご覧ください。

TD-SCDMAフィルタの後にバッファアンプが続きます。アンプの出力(IDN、IDP、QDN、QDP)は、可変のコモンモードDCレベルにバイアスされ、70kΩ以上の入力インピーダンスを持つ差動入力段の駆動用に設計されています。このため、RFクワッドラチャアップコンバータとMAX19708の間のアナログインタフェースが

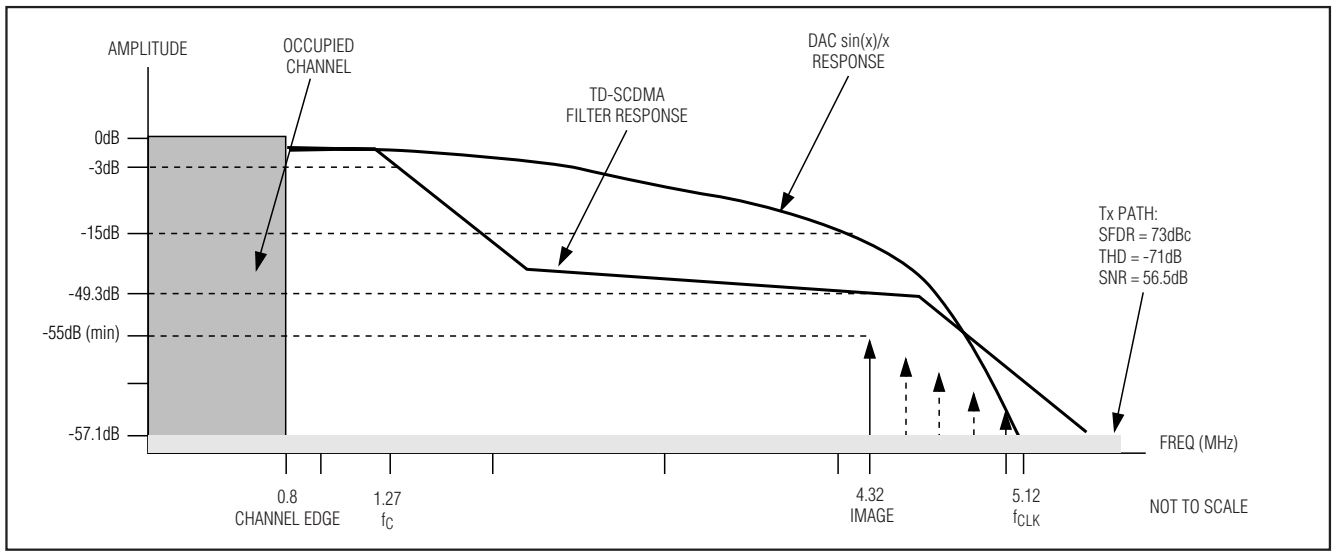


図4. TD-SCDMAフィルタの周波数応答

簡素化されます。RFアップコンバータの多くは、0.9V～1.4Vのコモンモードバイアスを必要とします。MAX19708のコモンモードDCバイアスによって、ディスクリートなレベル設定抵抗器とコード生成によるレベルシフトとが不要になると同時に、各Tx DACのフルダイナミックレンジが維持されます。Tx DACの差動アナログ出力をシングルエンドモードで使用することはできません。これは、コモンモードDCレベルが内部で生成されるためです。表2はTx 経路の出力電圧対入力コードを示します。表11はDCコモンモードレベルの選択を示します。Tx DACのアナログ出力レベルについては、図5をご覧ください。

また、バッファアンプは、各I/Qチャネルに±410mVまたは±500mVのプログラマブルフルスケール出力レベル、および独立のDCオフセット調整を備えています。これらの両機能はSPIインタフェースを通じて設定されます。このDCオフセット補正は、Tx信号経路における側波帯/搬送波抑圧の最適化に使用されます(表8と10参照)。

Tx DACのタイミング

図6は、クロック、入力データ、およびアナログ出力の関係を示します。Iチャネルのデータ(ID)はクロック信号の立下りエッジでラッチされ、Qチャネルのデータ(QD)はクロック信号の立上りエッジでラッチされます。I出力とQ出力はいずれも、クロック信号の次の立上りエッジで同時に更新されます。

3線式シリアルインタフェースおよび動作モード

3線式シリアルインタフェースは、MAX19708の動作モード、および3つの12ビット補助DACと10ビット補助ADCを制御します。パワーアップの際にMAX19708が所望のモードで動作するように設定してください。3線式シリアルインタフェースを使用して、デバイスのシャットダウン、アイドル、スタンバイ、Rx、Tx、および補助DACの各制御や補助ADC変換を設定してください。16ビットのデータレジスタは表3に示すようにモード制御を設定します。16ビットワードは、A3～A0の制御ビットとD11～D0のデータビットで構成されます。データは、MSB(D11)を先頭に、LSB(A0)を最後にシフトインされます。表4、5、および6は、MAX19708の動作モードとSPIコマンドを示します。シリアルインタフェースは全モードでアクティブに保たれます。

SPIレジスタの説明

動作モードを選択するためには、表3に示すように制御ビットA3～A0をレジスタに設定してください。ENABLE-16、補助DAC1、補助DAC2、補助DAC3、IOFFSET、QOFFSET、補助ADC、ENABLE-8、およびCOMSELの各モードを選択するためには、A3～A0ビットを変更してください。ENABLE-16はデフォルト動作モードです。このモードによって、シャットダウン、アイドル、およびスタンバイの各状態、ならびに高速、低速、Rx、およびTxの各モード間の切替えが可能です。表4はMAX19708の電源管理モードを示します。表5はT/R̄ピン制御による外部からのTx-Rxスイッチングモードを示します。表6はSPI制御によるTx-Rxスイッチングモードを示します。

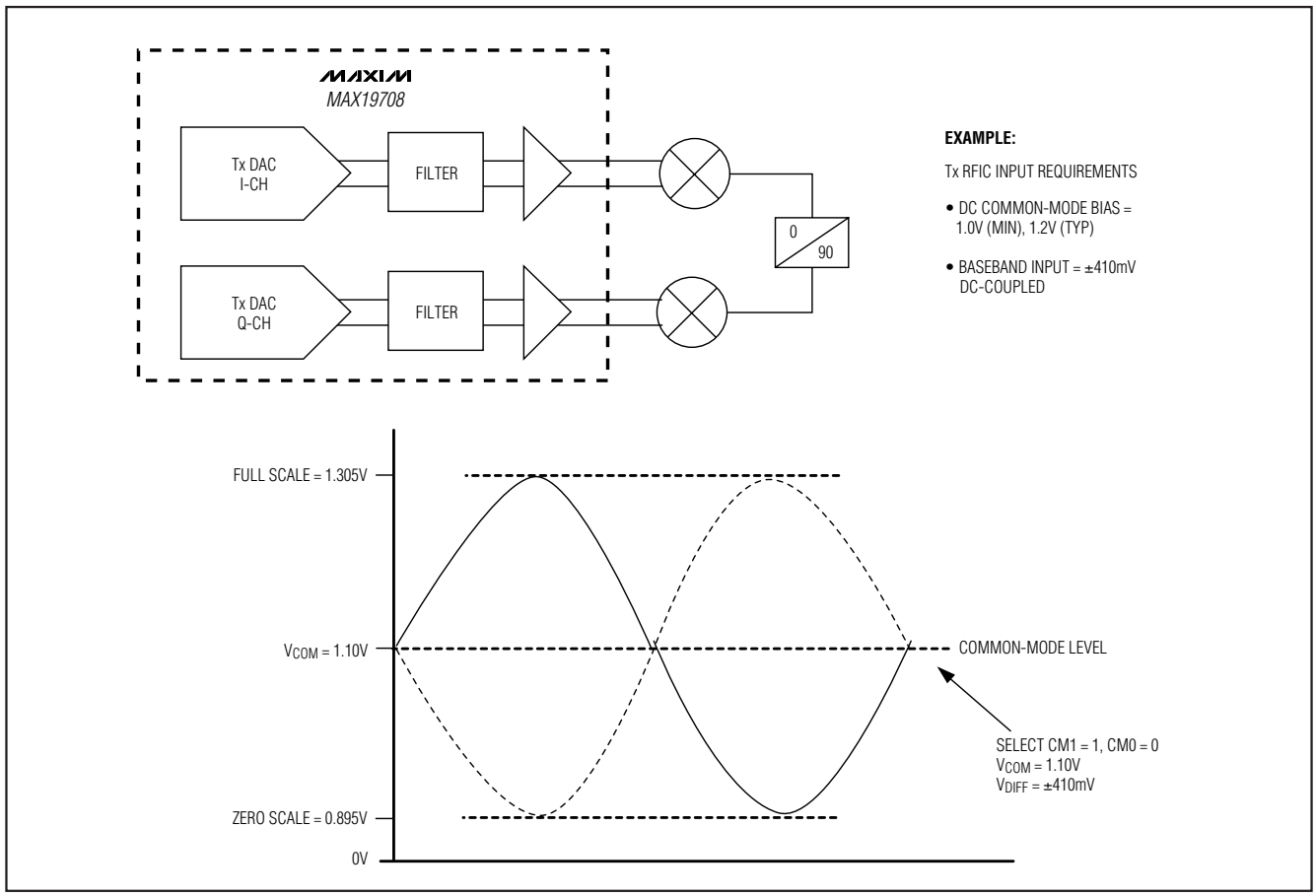


図5. IDN、IDP、またはQDN、QDP差動出力でのTx DACのコモンモードDCレベル

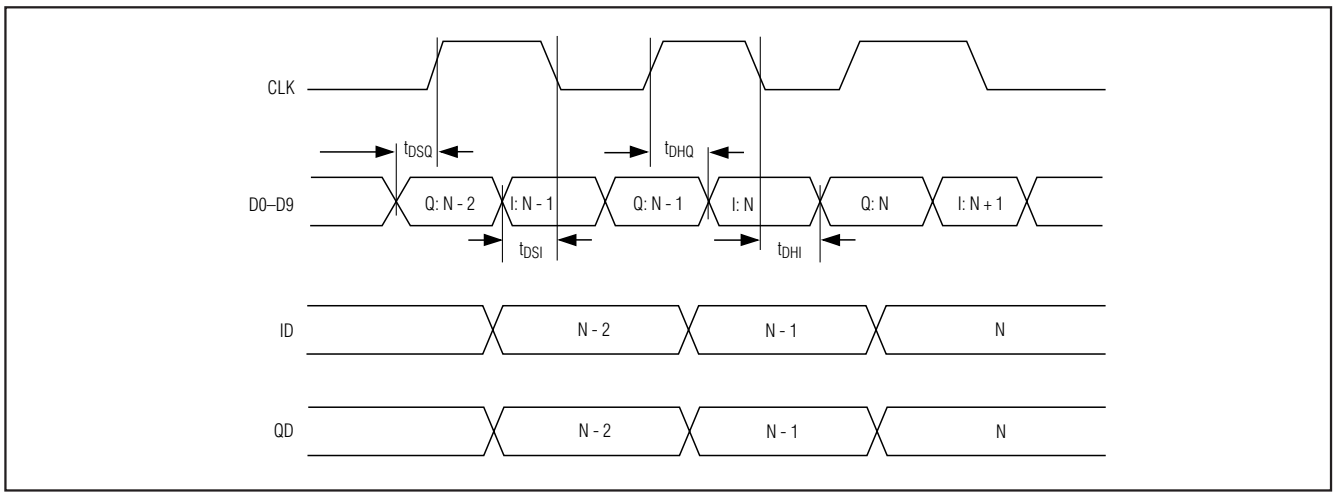


図6. Tx DACシステムのタイミング図

表3. MAX19708のモード制御

REGISTER NAME	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	A3	A2	A1	A0
	(MSB)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1 (LSB)
ENABLE-16	E11 = 0 Reserved	E10 = 0 Reserved	E9	—	E7	E6	E5	E4	E3	E2	E1	E0	0	0	0	0
Aux-DAC1	1D11	1D10	1D9	1D8	1D7	1D6	1D5	1D4	1D3	1D2	1D1	1D0	0	0	0	1
Aux-DAC2	2D11	2D10	2D9	2D8	2D7	2D6	2D5	2D4	2D3	2D2	2D1	2D0	0	0	1	0
Aux-DAC3	3D11	3D10	3D9	3D8	3D7	3D6	3D5	3D4	3D3	3D2	3D1	3D0	0	0	1	1
IOFFSET	—	—	—	—	—	—	IO5	IO4	IO3	IO2	IO1	IO0	0	1	0	0
QOFFSET	—	—	—	—	—	—	QO5	QO4	QO3	QO2	QO1	QO0	0	1	0	1
COMSEL	—	—	—	—	—	—	—	—	—	—	CM1	CM0	0	1	1	0
Aux-ADC	AD11 = 0 Reserved	AD10	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	1	1	1
ENABLE-8	—	—	—	—	—	—	—	—	E3	E2	E1	E0	1	0	0	0

— = 非使用

表4. 電源管理モード

ADDRESS				DATA BITS					T/$\overline{R}$	MODE	FUNCTION (POWER MANAGEMENT)	DESCRIPTION	COMMENT
A3	A2	A1	A0	E9*	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1X000					X	SHDN	SHUTDOWN	Rx ADC = OFF Tx DAC = OFF Aux-DAC = OFF Aux-ADC = OFF CLK = OFF REF = OFF	Device is in complete shutdown. Overrides T/$\overline{R}$ pin.
				XX001					X	IDLE	IDLE	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State CLK = ON REF = ON	Fast turn-on time. Moderate idle power. Overrides T/$\overline{R}$ pin.
				1X010					X	STBY	STANDBY	Rx ADC = OFF Tx DAC = OFF Aux-DAC = Last State Aux-ADC = OFF CLK = OFF REF = ON	Slow turn-on time. Low standby power. Overrides T/$\overline{R}$ pin.

X = 任意
*8ビットモードではビットE9は利用できません。

表5. T/$\overline{R}$ピンを使用した外部からのTx-Rx制御(T/$\overline{R}$ = 0 = Rxモード、T/$\overline{R}$ = 1 = Txモード)

ADDRESS				DATA BITS				T/$\overline{R}$	STATE	FUNCTION Rx TO Tx-Tx TO Rx SWITCHING SPEED	DESCRIPTION	COMMENT
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				0011				0	Ext1-Rx	FAST-SLOW	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/$\overline{R}$ transitions 0 to 1.
								1	Ext1-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/$\overline{R}$ transitions 1 to 0.
				0100				0	Ext2-Rx (Default)	SLOW-FAST	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/$\overline{R}$ transitions 0 to 1.
								1	Ext2-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/$\overline{R}$ transitions 1 to 0.
				0101				0	Ext3-Rx	SLOW-SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx when T/$\overline{R}$ transitions 0 to 1.
								1	Ext3-Tx		Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx when T/$\overline{R}$ transitions 1 to 0.
				0110				0	Ext4-Rx	FAST-FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enable	Moderate Power: Fast Rx to Tx when T/$\overline{R}$ transitions 0 to 1.
								1	Ext4-Tx		Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enable	Moderate Power: Fast Tx to Rx when T/$\overline{R}$ transitions 1 to 0.

ENABLE-16モードでは、補助DACは独立した制御ビットE4、E5、およびE6を備えており、ビットE7はTx経路のフルスケール出力を設定し、ビットE9は補助ADCをイネーブルします。表7は補助DACのイネーブルコードを示し、表8はフルスケール出力選択を示します。

表9は補助ADCのイネーブルコードを示します。ビットE11とE10は予備です。ビットE11とE10をロジックローに設定してください。

モード補助DAC1、補助DAC2、および補助DAC3は、DAC1、DAC2、およびDAC3という名称の補助DACチャ

表6. SPIコマンドを使用したTx-Rx制御

ADDRESS				DATA BITS				T/R	MODE	FUNCTION (Tx-Rx SWITCHING SPEED)	DESCRIPTION	COMMENTS
A3	A2	A1	A0	E3	E2	E1	E0	PIN 27				
0000 (16-Bit Mode) or 1000 (8-Bit Mode)				1011				X	SPI1-Rx	SLOW	Rx Mode: Rx ADC = ON Tx DAC = OFF Rx Bus = Enable	Low Power: Slow Rx to Tx through SPI command.
				1100				X	SPI2-Tx	SLOW	Tx Mode: Rx ADC = OFF Tx DAC = ON Tx Bus = Enable	Low Power: Slow Tx to Rx through SPI command.
				1101				X	SPI3-Rx	FAST	Rx Mode: Rx ADC = ON Tx DAC = ON Rx Bus = Enabled	Moderate Power: Fast Rx to Tx through SPI command.
				1110				X	SPI4-Tx	FAST	Tx Mode: Rx ADC = ON Tx DAC = ON Tx Bus = Enabled	Moderate Power: Fast Tx to Rx through SPI command.

X = 任意

表7. 補助DACのイネーブル表 (ENABLE-16モード)

E6	E5	E4	Aux-DAC3	Aux-DAC2	Aux-DAC1
0	0	0	ON	ON	ON
0	0	1	ON	ON	OFF
0	1	0	ON	OFF	ON
0	1	1	ON	OFF	OFF
1	0	0	OFF	ON	ON
1	0	1	OFF	ON	OFF
1	1	0	OFF	OFF	ON
1	1	1	OFF	OFF	OFF

ネルを選択し、各DACのデータ入力を保持します。ビット_D11～_D0は、各補助DACのデータ入力で、SPIを通じて設定することができます。また、MAX19708はTx 経路のIおよびQチャネル各々のオフセット調整を設定可能な2個の6ビットレジスタを内蔵しています(表10参照)。ビットCM1とCM0によって出力コモンモード電圧を選択するためには、COMSELモードを使用してください(表11参照)。補助ADCの変換を開始するためには補助ADCモードを使用してください(詳しくは、「10ビット、333ksps補助ADC」の項をご覧ください)。

表8. Tx経路のフルスケール選択 (ENABLE-16モード)

E7	Tx-PATH OUTPUT FULL SCALE
0 (Default)	±410mV
1	±500mV

表9. 補助ADCのイネーブル表 (ENABLE-16モード)

E9	SELECTION
0 (Default)	Aux-ADC is Powered ON
1	Aux-ADC is Powered OFF

高速イネーブルによって、シャットダウン、アイドル、およびスタンバイの各状態を切り替える場合や、高速、低速、Rx、およびTxの各モードを切り替える場合は、ENABLE-8モードを使用してください。

シャットダウンモードでは、MAX19708のすべてのアナログセクションをシャットダウンし、Rx ADCのディジタル出力がトライステートモードに入ることによって電力が格段に節減されます。Rx ADCの出力がトライステートからオンに遷移すると、最後に変換されたワードがディジタル出力に現れます。シャットダウン

表10. IおよびQチャネルのオフセット制御ビット(IOFFSETまたはQOFFSETモード)

BITS IO5–IO0 WHEN IN IOFFSET MODE, BITS QO5–QO0 WHEN IN QOFFSET MODE						OFFSET 1 LSB = (VFS_{P-P} / 1023)
IO5/QO5	IO4/QO4	IO3/QO3	IO2/QO2	IO1/QO1	IO0/QO0	
1	1	1	1	1	1	-31 LSB
1	1	1	1	1	0	-30 LSB
1	1	1	1	0	1	-29 LSB
• • •	• • •	• • •	• • •	• • •	• • •	• • •
1	0	0	0	1	0	-2 LSB
1	0	0	0	0	1	-1 LSB
1	0	0	0	0	0	0mV
0	0	0	0	0	0	0mV (Default)
0	0	0	0	0	1	1 LSB
0	0	0	0	1	0	2 LSB
• • •	• • •	• • •	• • •	• • •	• • •	• • •
0	1	1	1	0	1	29 LSB
0	1	1	1	1	0	30 LSB
0	1	1	1	1	1	31 LSB

注：±410mVの送信フルスケールを選択した場合：1LSB = (820mV_{P-P}/1023) = 0.8016mV。±500mVの送信フルスケールを選択した場合：1LSB = (1V_{P-P} / 1023) = 0.9775mV。

表11. コモンモード選択(COMSELモード)

CM1	CM0	Tx PATH OUTPUT COMMON MODE (V)
0	0	1.40 (Default)
0	1	1.25
1	0	1.10
1	1	0.90

モードから抜けると、Tx DACに以前に保存されたデータは失われます。シャットダウンモードからのウェイクアップ時間は、REFP、REFN、およびCOMのコンデンサへの充電に要する時間でほぼ決まります。内部リファレンスモードおよびバッファ経由の外部リファレンスモードでは、ウェイクアップ時間は、通常、Rxモードに入るのに82.2µsで、Txモードに入るのに29µsです。

アイドルモードでは、リファレンスおよびクロック分配回路は給電されますが、その他の機能はすべてオフになります。Rx ADCの出力はトライステートに強制されます。ウェイクアップ時間は、Rxモードに入るのに9.6µsで、Txモードに入るのに7.6µsです。

Rx ADCの出力がトライステートからオンに遷移すると、最後に変換されたワードがディジタル出力に現れます。

スタンバイモードでは、リファレンスは給電されますが、デバイスの他の機能はオフになります。スタンバイモードからのウェイクアップ時間は、Rxモードに入るのに17.5µsで、Txモードに入るのに24µsです。Rx ADCの出力がトライステートからアクティブに遷移すると、最後に変換されたワードがディジタル出力に現れます。

高速/低速のRx/Txモード

MAX19708は、外部からのTx-Rx制御のほかに、RxとTxの動作を切り替える低速および高速モードも備えています。高速 Txモードでは、Rx ADCコアは給電されますが、ADCコアのディジタル出力はD0～D9バス上でトライステートになります。同様に、高速 Rxモードでは、送信経路(DACコアとTxフィルタ)は給電されますが、DACコアのディジタル入力はD0～D9バス上でトライステートになります。TxからRx、またはRxからTxへのスイッチング時間は高速です。これは、コンバータがオンになっておりパワーダウン状態から回復する必要がないためです。高速モードでは、RxからTx、およびTxからRxへのスイッチング時間は0.5µsです。しかし、TxコアとRxコアはともに常にオンであるため、このモードでは消費電力が大きくなります。これらの状態でのバスの競合を防止するために、Rx ADCの出力

バッファはTxの間トライステートになり、Tx DACの入力バスはRxの間トライステートになります。

低速モードでは、Rx ADCコアはTxの間オフになり、同様に、Tx DACとフィルタはRxの間オフになって、これらのモードでの消費電力は低減します。たとえば、低速Txモードでの電力は35.1mWです。高速モードでの消費電力が41.1mWであるのに対して、Rxの間の消費電力は24mWです。ただし、各状態間の回復時間は増加します。低速モードにおけるRxからTxへのスイッチング時間は7µsで、TxからRxへのスイッチング時間は8.1µsです。

外部T/R̄スイッチング制御 対 シリアルインタフェース制御

ENABLE-16またはENABLE-8レジスタのビットE3は、デバイスのTx-Rxモードの制御をT/R̄入力(E3 = ロー)を通じて外部から行うか、またはSPIコマンド(E3 = ハイ)によって行うかを決定します。デフォルトでは、MAX19708は外部Tx-Rx制御モードにあります。外部制御モードでは、T/R̄入力(ピン27)を使用してRxモードとTxモード間の切り替えをしてください。

T/R̄ピンを使用すると、RxモードとTxモード間のより早い切り替えが可能です。Tx-Rxの外部制御を無効にするためには、MAX19708をシリアルインタフェースを通じて設定してください。SHDN、IDLE、またはSTBYの各モードの間は、T/R̄入力が無視されます。Tx-Rxの外部制御を復元するためには、ビットE3をローに設定し、シリアルインタフェースによってSHDN、IDLE、またはSTBYの各モードを終了してください。

SPIのタイミング

シリアルディジタルインタフェースは、SPI/QSPI™/MICROWIRE/DSPインタフェースに対応する標準3線式の接続(CS̄、SCLK、DIN)です。DINへのシリアルデータロードまたはDOUTへの出力をイネーブルするためには、CS̄をローに設定してください。CS̄のハイからローへの遷移に続いて、データはシリアルクロック(SCLK)の立上りエッジで最上位ビットを先頭に同期してシフトされます。16ビットがシリアル入力レジスタにロードされた後、CS̄がハイに遷移するとデータはラッチに転送されます。次の書込みシーケンス前の少なくとも80nsの間にCS̄はハイに遷移する必要があります。SCLKは、各遷移の間、アイドルハイ、アイドルローのいずれであっても構いません。図7は3線式シリアルインタフェースの詳細タイミング図を示します。

QSPIはMotorola, Inc.の商標です。

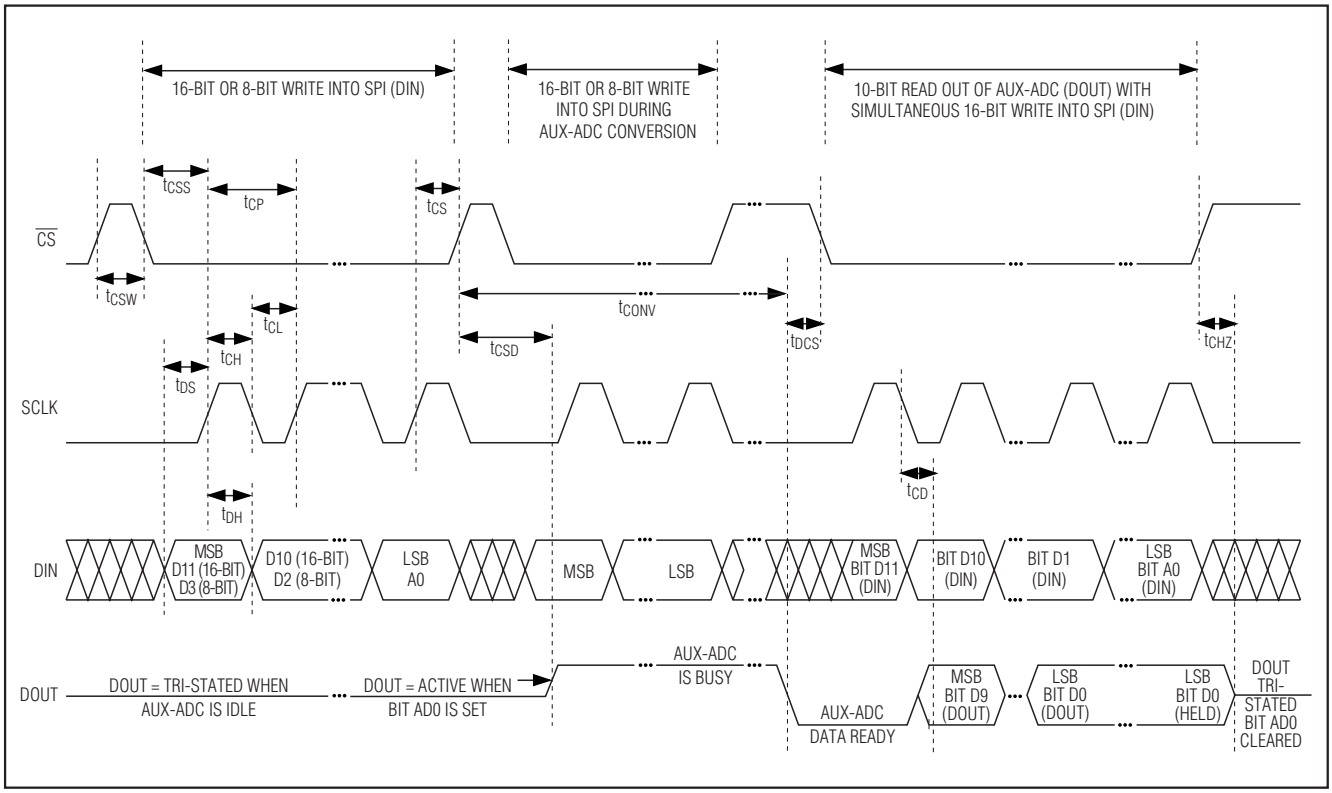


図7. シリアルインタフェースのタイミング図

モード回復のタイミング

図8はモード回復のタイミング図を示します。t_{WAKE}はシャットダウン、アイドル、またはスタンバイモードを抜けてTxまたはRxモードに入るときのウェイクアップ時間です。t_{ENABLE}はRxとTxのモード間で切り替わるときの回復時間です。t_{WAKE}およびt_{ENABLE}は、Rx ADCが規定されたSINAD性能の1dB以内にセトリングする時間、およびTx DACが10LSBの誤差にセトリングする時間です。$\overline{CS}$がハイに遷移すること(SPI制御)によって16ビットシリアルコマンドがMAX19708にラッチされた後、またはT/$\overline{R}$ロジックの遷移(外部Tx-Rx制御)の後に、t_{WAKE}時間およびt_{ENABLE}時間は測定されます。高速モードでは、TxとRxのモード間で切り替わるときの回復時間は0.5µsです。

システムクロック入力(CLK)

Rx ADCとTx DACはCLK入力を共有しています。CLK入力は、0V_{DD}によって1.8V～V_{DD}に設定されたCMOS対応信号レベルを受け入れます。デバイスの中間段階での変換は外部クロックの立上りおよび立下りエッジの再現性に依存するため、低ジッタで高速立上り/立下り時間(2ns以下)のクロックを使用してください。厳密に言うと、サンプリングはクロック信号の立上りエッジで行われ、このエッジのジッタは可能な限り低いことが求められます。クロックジッタが顕著な場合は、内蔵Rx ADCのSNR性能が以下のように制限されます。

$$SNR = 20 \times \log\left(\frac{1}{2 \times \pi \times f_{IN} \times t_{AJ}}\right)$$

ここで、f_{IN}はアナログ入力周波数を表わし、t_{AJ}はクロックジッタの時間です。

クロックジッタは、アンダサンプリングアプリケーションにとって特に重要です。クロック入力をアナログ入力とみなして、アナログ入力や他のディジタル信号ラインから遠ざけて配線してください。MAX19708のクロック入力は、0V_{DD}/2の電圧スレッショルドおよび50% ±15%のデューティサイクルで動作します。

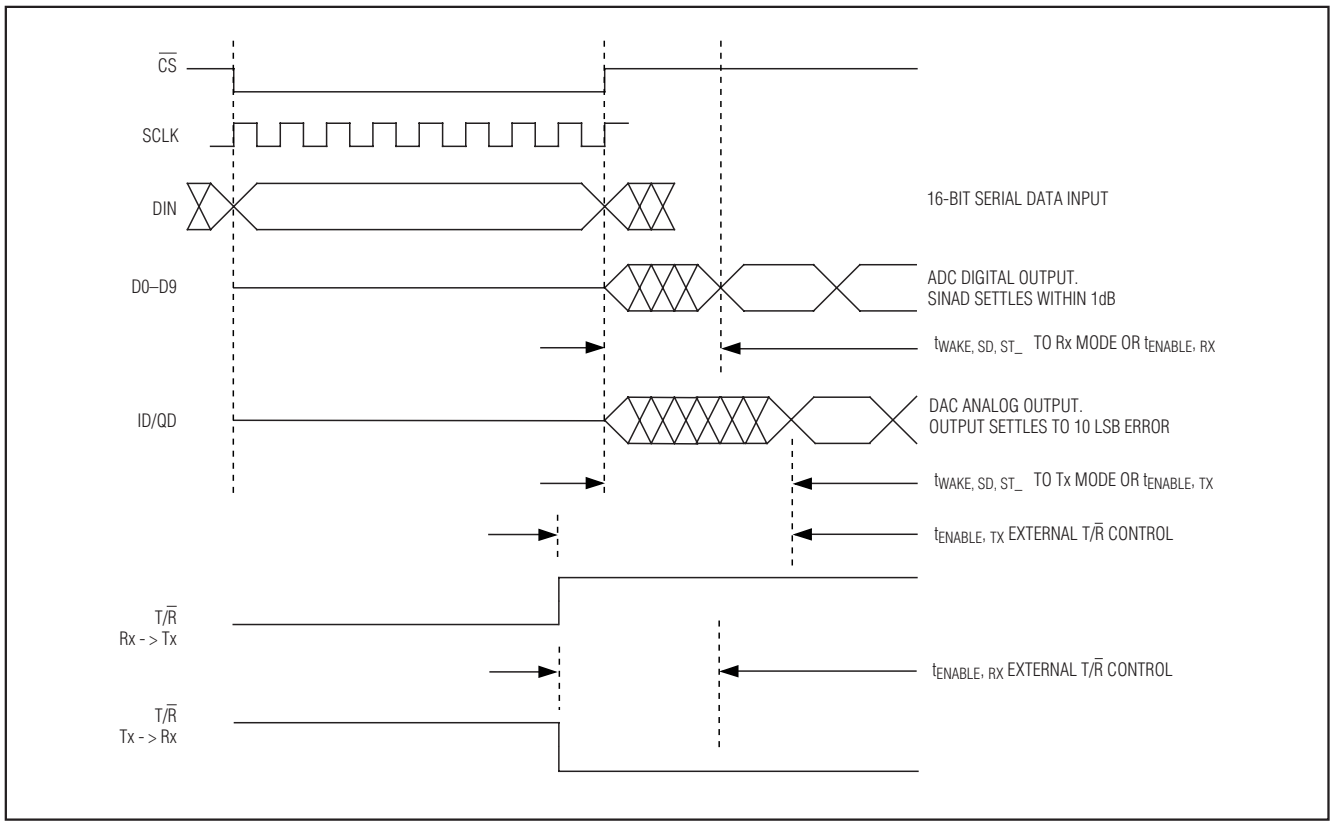


図8. モード回復のタイミング図

12ビット補助制御DAC

MAX19708は、可変利得アンプ(VGA)制御、自動利得制御(AGC)、および自動周波数制御(AFC)の各機能に対するセトリング時間が1µsの、3つの12ビット補助DAC(DAC1、DAC2、DAC3)を内蔵しています。補助DACの出力範囲は0.1V～2.56Vです。パワーアップ時、VGA出力とAGC出力(DAC2とDAC3)はゼロです。AFCのDAC(DAC1)は、パワーアップ中1.1Vです。補助DACはSPIバスを通じて独立に制御することができます。ただし、補助DACが完全にオフで、かつ出力電圧がゼロに設定されているSHDNモードの間を除きます。STBYおよびIDLEモードの場合、補助DACは最後の値を維持します。SHDNからウェイクアップすると、補助DACは最後の値から始動します。

補助DAC出力へのロードでは、慎重な観察によって規定のセトリング時間と安定性を実現する必要があります。容量性負荷は、パッケージとトレースの容量を含めて5pF以下に保つものとします。抵抗性負荷は200kΩ以上でなければなりません。容量性負荷が5pFを超える場合は、10kΩの抵抗器を出力に直列に追加してください。この直列抵抗器を追加すると、セトリング時間は長くなりますが、より大きい負荷容量(15pF以下)を駆動するのに役立ちます。

10ビット、333ksps補助ADC

MAX19708は、4:1入力マルチプレクサ付きの333ksps、10ビット補助ADCを内蔵しています。補助ADCモードレジスタで、ビットAD0を設定すると補助ADCによる変換が開始します。変換が終了すると、ビットAD0は自動的にクリアされます。変換中にAD0を設定またはクリアしても影響がありません(表12参照)。

ビットAD1は補助ADCの内部リファレンスを決定します(表13参照)。ビットAD2とAD3は補助ADCの入力ソースを決定します(表14参照)。ビットAD4、AD5、およびAD6は、1つの変換開始コマンドが送出されたときに取られる平均値の数を選択します。変換時間は、平均値の数が増えるにつれて増加します(表15参照)。変換クロックは、ビットAD7、AD8、およびAD9を適正に設定することによってシステムクロックから分周することができます(表16参照)。補助ADCの出力データは、ビットAD10をハイに設定することによってDOUTから抹消されます(表17参照)。

補助ADCは、4つの入力ソースの測定が可能な4:1の入力マルチプレクサを備えています。入力ソースはAD3とAD2によって選択されます(表14参照)。マルチプレクサ入力の2つ(ADC1とADC2)は、MAX2208などのRFパワー検出器やMAX6613などの温度センサのような外部ソースに接続することができます。他の2つのマルチプレクサ入力は、内部でV_{DD}とOV_{DD}に接続されており、電源電圧を監視します。内部のV_{DD}とOV_{DD}への接続は、V_{DD} / 2とOV_{DD} / 2の測定結果を提供する内蔵抵抗分圧器を経由して行われます。補助ADCの電圧リファレンスは、内蔵2.048VバンドギャップリファレンスまたはV_{DD}のいずれかから選択することができます(表13参照)。V_{DD}リファレンスの選択肢は、フルスケール範囲が2.048Vレベルを超える外部電圧ソースの測定が可能なように設けられています。入力ソース電圧範囲をV_{DD}以上に拡張することは不可能です。

表12. 補助ADCの変換

AD0	SELECTION
0	Aux-ADC Idle (Default)
1	Aux-ADC Start-Convert

表13. 補助ADCのリファレンス

AD1	SELECTION
0	Internal 2.048V Reference (Default)
1	Internal V_{DD} Reference

表14. 補助ADCの入力ソース

AD3	AD2	AUX-ADC INPUT SOURCE
0	0	ADC1 (Default)
0	1	ADC2
1	0	V_{DD} / 2
1	1	OV_{DD} / 2

変換では、1変換サイクル(平均化が行われていない場合)を終了するためには、12クロックエッジ(入力のサンプリングに対して1、10ビットの各々に対して1、シリアル出力レジスタへのロードの最後に1)が必要です。平均値の各変換(平均化を1よりも大きく設定した場合)には12クロックエッジが必要です。変換クロックはシステムクロック入力(CLK)から生成されます。SPIの設定可能な分周器は、適切な除数(ビットAD7、AD8、およびAD9で設定；表16参照)によってシステムクロックを分周して、補助ADCに変換クロックを与えます。補助ADCの最大変換レートは333kspsです。最大変換クロック周波数は4MHz(333ksps x 12クロック)です。MAX19708に供給されるシステムCLK周波数に基づいて4MHz以下の変換クロック周波数を維持するためには、正しい分周器の値を選定してください(表16参照)。補助ADCの全変換時間(t_{CONV})は、$t_{CONV} = (12 \times N_{AVG} \times N_{DIV}) / f_{CLK}$として算出することができます。ここで、$N_{AVG}$は平均値の数(表15参照)、$N_{DIV}$はCLKの除数(表16参照)、$f_{CLK}$はシステムCLK周波数です。

DOUTは通常トライステート状態にあります。補助ADCの変換開始ビット(ビットAD0)を設定すると、DOUTがアクティブになり、かつハイになって、補助ADCがビジーであることを示します。変換サイクル(平均化を含めて)が終了すると、データは出力レジスタに現れてDOUTがローになり、出力データをDOUTに送出する準備が整ったことを示します。ビットAD10が設定されると(AD10 = 1)、補助ADCはデータ出力モードに入り、このモードでは、$\overline{CS}$がつぎにアクティブローになるとデータがDOUTに現れます。補助ADCのデータは、シリアルクロック(SCLK)の立下りエッジでのデータ遷移によってDOUTから(MSBを先頭に)シフトアウトされます。$\overline{CS}$がアクティブハイになると、DOUTはトライステート状態に入ります。ビットAD10がクリアされると(AD10 = 0)、補助ADCのデータはDOUTに現れません(表17参照)。

DINはDOUTの状態と無関係に書き込まれます。DINに16ビットの命令を与えると、デバイスの設定が更新されます。データをDOUTから読み取る間に内部レジスタが変更されないよう、DINをハイの状態に保持してください。こうすることで、アドレス1111にすべて1が有効に書き込まれます。アドレス1111は存在しないため、どの内部レジスタも影響を受けません。

表15. 補助ADCの平均化

AD6	AD5	AD4	AUX-ADC AVERAGING
0	0	0	1 Conversion (No Averaging) (Default)
0	0	1	Average of 2 Conversions
0	1	0	Average of 4 Conversions
0	1	1	Average of 8 Conversions
1	0	0	Average of 16 Conversions
1	0	1	Average of 32 Conversions
1	1	X	Average of 32 Conversions

X = 任意

表16. 補助ADCのクロック(CLK)分周器

AD9	AD8	AD7	AUX-ADC CONVERSION CLOCK
0	0	0	CLK Divided by 1 (Default)
0	0	1	CLK Divided by 2
0	1	0	CLK Divided by 4
0	1	1	CLK Divided by 8
1	0	0	CLK Divided by 16
1	0	1	CLK Divided by 32
1	1	0	CLK Divided by 64
1	1	1	CLK Divided by 128

表17. 補助ADCのデータ出力モード

AD10	SELECTION
0	Aux-ADC Data is Not Available on DOUT (Default)
1	Aux-ADC Enters Data Output Mode Where Data is Available on DOUT

表18. リファレンスモード

V_{REFIN}	REFERENCE MODE
> 0.8V x V_{DD}	Internal Reference Mode. V_{REF} is internally generated to be 0.512V. Bypass REFP, REFN, and COM each with a 0.33µF capacitor.
1.024V ±10%	Buffered External Reference Mode. An external 1.024V ±10% reference voltage is applied to REFIN. V_{REF} is internally generated to be V_{REFIN} / 2. Bypass REFP, REFN, and COM each with a 0.33µF capacitor. Bypass REFIN to GND with a 0.1µF capacitor.

リファレンスの構成

MAX19708は、電源と温度の全範囲にわたって安定な高精度1.024Vバンドギャップリファレンスを内蔵しています。REFIN入力は2種類のリファレンス動作モードを備えています。REFINの電圧(V_{REFIN})はリファレンス動作モードを設定します(表18)。

内部リファレンスモードでは、REFINをV_{DD}に接続してください。V_{REF}は、0.512V±4%で、内部で生成されます。COM、REFP、およびREFNは、それぞれ、$V_{COM} = V_{DD} / 2$、$V_{REFP} = V_{DD} / 2 + V_{REF} / 2$、および $V_{REFN} = V_{DD} / 2 - V_{REF} / 2$の低インピーダンス出力です。REFP、REFN、およびCOMの各々を0.33µFのコンデンサでバイパスしてください。REFINを0.1µFのコンデンサでGNDにバイパスしてください。

バッファ付き外部リファレンスモードでは、REFINに1.024V ±10%を印加してください。このモードでは、COM、REFP、およびREFNは、それぞれ、$V_{COM} = V_{DD} / 2$、$V_{REFP} = V_{DD} / 2 + V_{REFIN} / 4$、および $V_{REFN} = V_{DD} / 2 - V_{REFIN} / 4$の低インピーダンス出力です。REFP、REFN、およびCOMの各々を0.33µFのコンデンサでバイパスしてください。REFINを0.1µFのコンデンサでGNDにバイパスしてください。このモードでは、Tx経路のフルスケール出力は外部リファレンスに比例します。たとえば、V_{REFIN}が10%(max)増加すると、Tx 経路のフルスケール出力も10%、すなわち±451mV増加します。

アプリケーション情報

バラントランスAC結合の使用

RFトランス(図9)は、最適なADC性能を得るためにシングルエンド信号ソースを完全差動信号に変換するための優れたソリューションを提供します。トランスのセンタタップをCOMに接続すると、DCレベルが入力に対してV_{DD} / 2シフトします。1:1のトランスも使用可能ですが、ステップアップトランスを選択して駆動要件を緩和することもできます。一般に、MAX19708では、特に入力周波数が高い場合、シングルエンド信号よりも完全差動入力信号を使用した方が優れたSFDRとTHDが得られます。差動モードでは、両入力(IAP、IAN、QAP、QAN)が平衡しているため偶数次高調波が小さく、

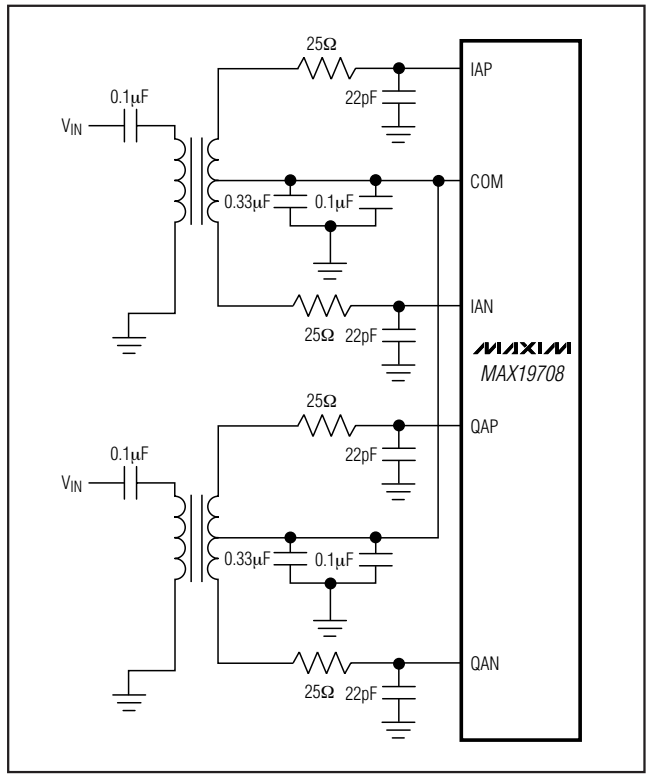


図9. Rx ADCのバラントランス結合シングルエンド- 差動入力駆動

Rx ADCの各入力はシングルエンドモードに比較して信号振幅が半分で済みます。

図10は、MAX19708のTx DACの差動アナログ出力をシングルエンドに変換するRFトランスを示します。

オペアンプ結合の使用

バラントランスの利用が不可能なときは、オペアンプで MAX19708のRx ADCを駆動してください。図11と12は、AC結合シングルエンドおよびDC結合差動アプリケーションにおけるオペアンプ駆動のRx ADCを示します。MAX4454やMAX4354などのアンプは高速、広帯域、低ノイズ、および低歪みであるため、入力信号の完全性が維持されます。また、図12に示すオペアンプ回路をTx DACの差動アナログ出力に接続して、これに利得やバッファ機能を持たせることができます。Tx DACの差動アナログ出力は、シングルエンドモード

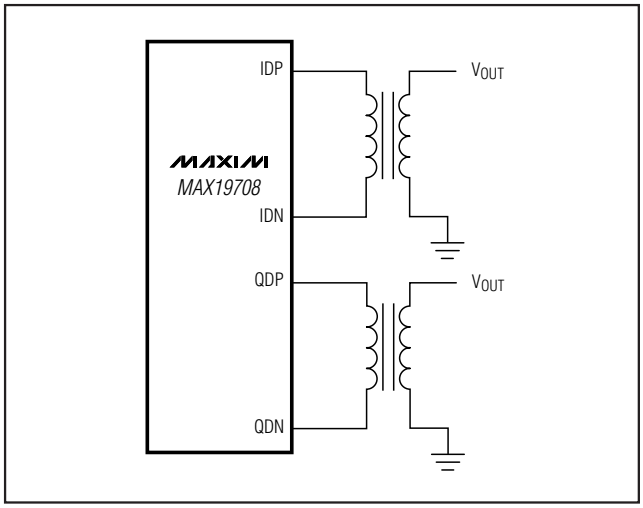


図10. Tx DACのバラントランス結合差動-シングルエンド出力駆動

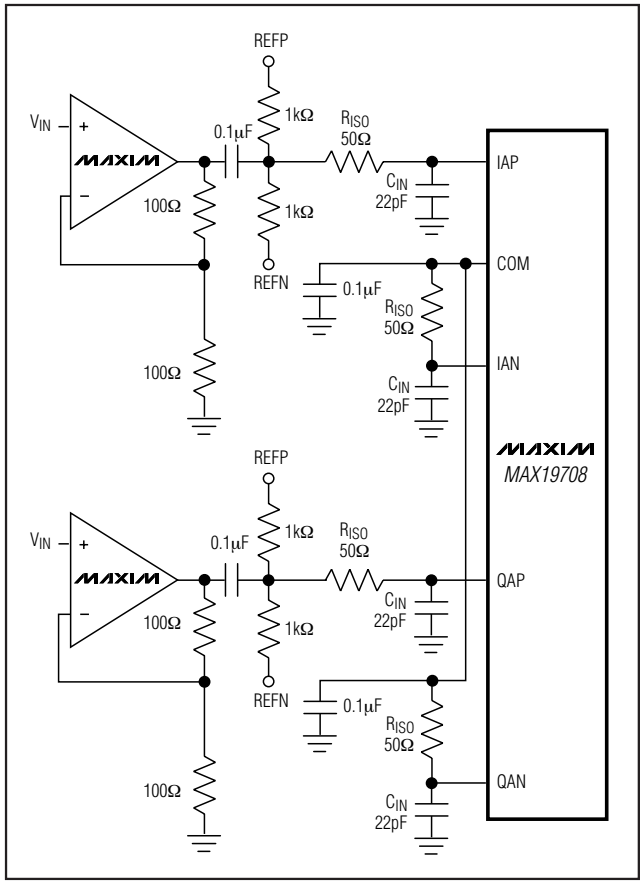


図11. Rx ADCのシングルエンド駆動

では使用することができません。これは、内部でコモンモードレベルが生成されるためです。さらに、Tx DACのアナログ出力は、入力インピーダンスが70kΩ以上の差動入力段の駆動用として設計されています。シングルエンド出力が要求される場合は、差動/シングルエンド変換を行うアンプを採用するとともに、適切な入力コモンモード電圧範囲のアンプを選定してください。

TDDモード

MAX19708はTD-SCDMAアプリケーションでの動作に最適化されています。高速モードを選択すると、MAX19708はT/$\overline{R}$ピンを通じて0.5µs(typ)でTxとRxの両モードを切り替えることができます。Rx ADCとTx DACは独立に動作します。Rx ADCとTx DACのディジタルバスは、単一の10ビットパラレルバス構成を共有します。3線式シリアルインタフェースまたは外部T/$\overline{R}$ピンを使用して、Rx ADCをイネーブルするRxモード、またはTx DACをイネーブルするTxモードを選択してください。Rxモードで動作するときTx DACバスはイネーブルされず、TxモードではRx ADCバスがトライステートになり、不要なスプリアスエミッションを排除してバスの衝突を回避します。TDDモードでは、MAX19708はRxモードにおいてf_{CLK} = 11MHzで41.1mWの電力を消費し、DACはTxモードにおいて42.3mWを消費します。

TD-SCDMAのアプリケーション

図13は標準的なTD-SCDMAアプリケーション回路を示します。MAX19708は、無線フロントエンドのMAX2507およびMAX2392とじかにインタフェースして、完全な「RF-to-Bits」フロントエンドソリューションを提供するように設計されています。MAX19708は、MAX2392およびMAX2507とじかにインタフェース可能な以下の機能を備えています。

- 内蔵のTxフィルタは、部品点数とコストが削減し、TD-SCDMAスペクトルのマスク要件を満たします。
- プログラマブルなDCコモンモードTx出力レベルは、Tx DACのフルダイナミックレンジが保つたまま、ディスクリートなDCレベルシフト部品を不要とします。
- 最適化されたTxフルスケール出力レベルは、I/Q利得制御用ディスクリートアンプを不要にします。
- Tx-I/Qオフセット補正は、側波帯/搬送波抑圧を改善するオフセット調整用ディスクリート調整DACを不要とします。
- VGA/AGC制御用のセトリング時間が1µsの補助DACは、高速、高精度のTx電力とRx利得制御を可能にします。

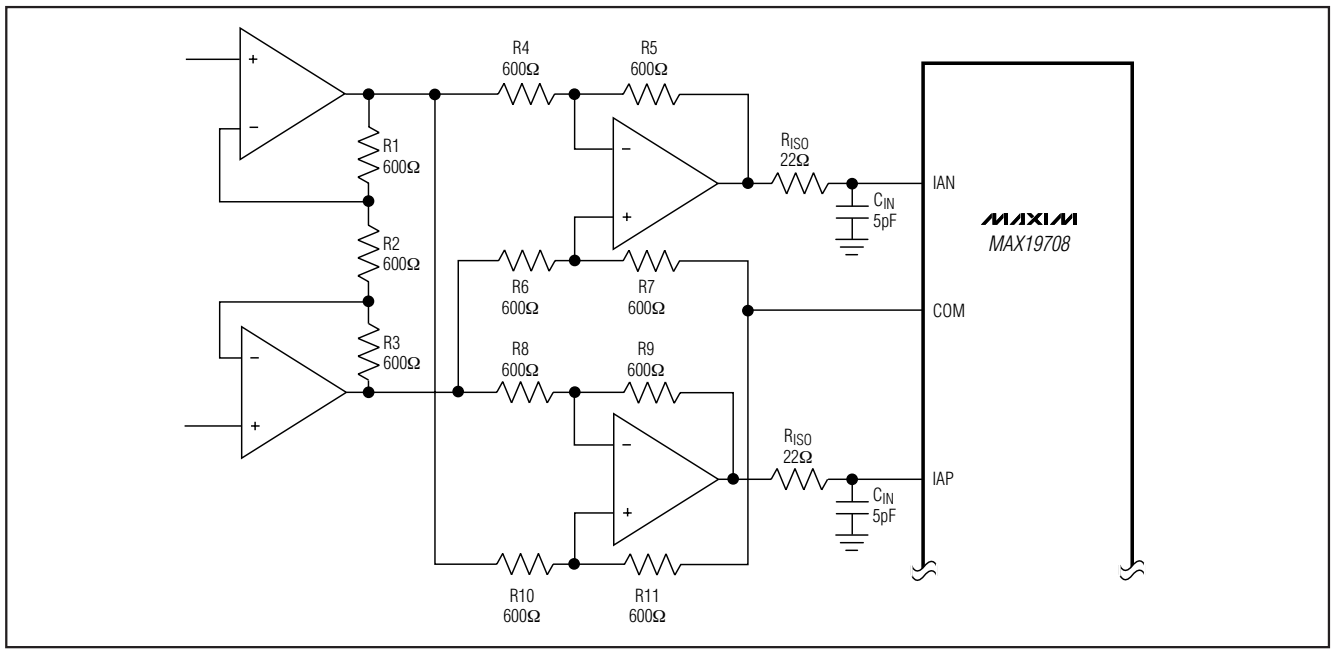


図12．Rx ADCのDC結合差動駆動

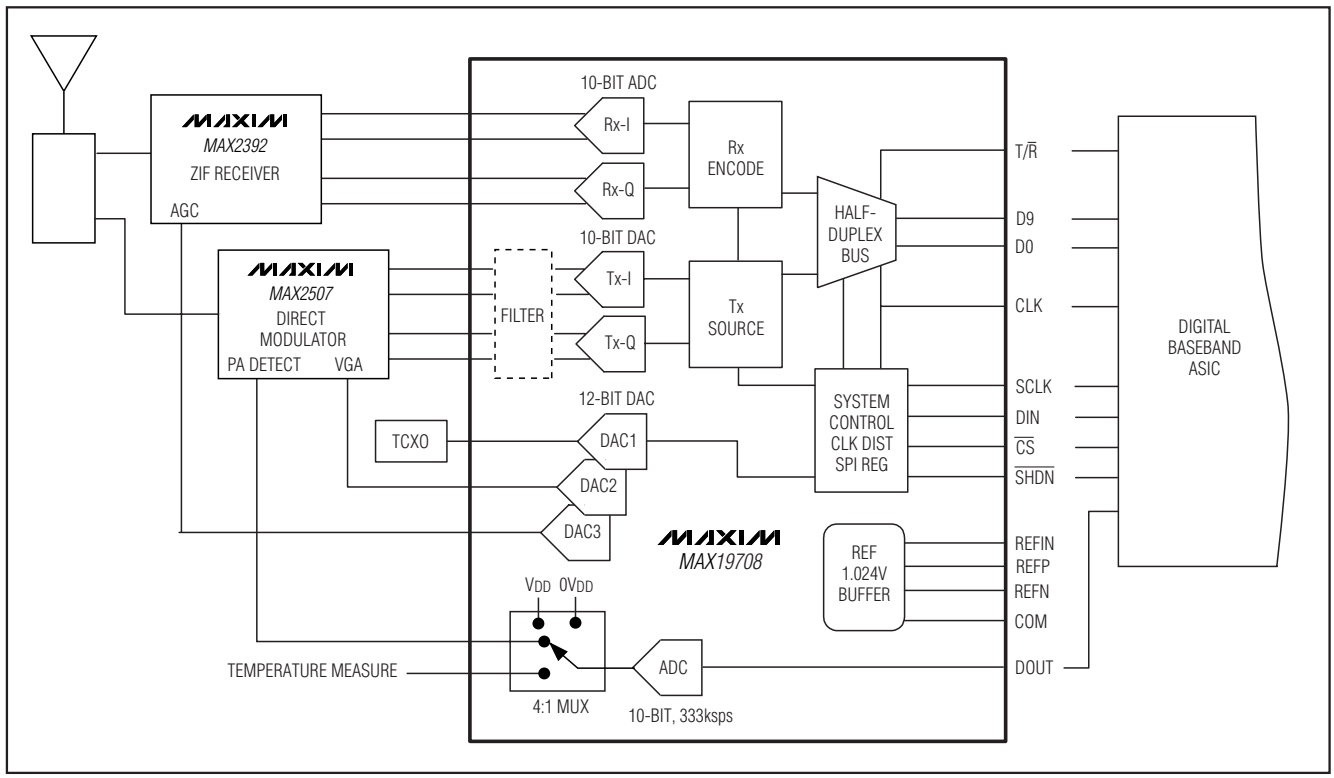


図13．TD-SCDMA無線用標準応用回路

グランド、バイパス、およびレイアウト

MAX19708には高速基板レイアウト設計技法が必要です。基板レイアウト基準については、MAX19708のEVキットのデータシートを参照してください。すべてのバイパスコンデンサは、インダクタンスを最小にするために表面実装型とし、できれば基板の同じ側に可能な限りデバイスに近づけて配置してください。V_{DD}を2.2µFのコンデンサと並列の0.1µFのセラミックコンデンサでGNDにバイパスしてください。OV_{DD}を2.2µFのコンデンサと並列の0.1µFのセラミックコンデンサでOGNDにバイパスしてください。REFP、REFN、およびCOMの各々を0.33µFのセラミックコンデンサでGNDにバイパスしてください。REFINを0.1µFのコンデンサでGNDにバイパスしてください。

独立したグランドプレーンと電源プレーンを持つ多層基板は、最高レベルの信号完全性を提供します。アナロググランド(GND)とデバイスのパッケージにディジタル出力ドライバグランド(OGND)の物理的な位置に合せて配置された分割グランドプレーンを使用してください。MAX19708裏面のエクスポーズドパッドをGNDプレーンに接続してください。ノイズの多いディジタルグランド電流がアナロググランドプレーンに干渉しないように、2つのグランドプレーンを1点で接続してください。この接続の最適位置は、2つのグランドプレーン間のギャップに沿った点で実験的に定めることができます。この接続は、値の小さい表面実装抵抗器(1Ω～5Ω)やフェライトビーズを使用するか、またはじかに短絡してください。また、グランドプレーンがノイズの多いディジタルシステムのグランドプレーン(下流の出力バッファやDSPグランドプレーンなど)から十分に隔離されている場合は、すべてのグランドピンに同一のグランドプレーンを共有させることができます。

高速ディジタル信号トレースを敏感なアナログトレースから遠ざけて配線してください。チャネル間のクロストークを最小にするために、各コンバータまでのアナログ入力ラインを必ず分離してください。すべての信号ラインは短くして直角に曲げないでください。

ダイナミックパラメータの定義

ADCおよびDACのスタティックパラメータの定義

積分非直線性(Integral Nonlinearity：INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は、オフセットと利得誤差をヌル(ゼロ)にした後の最近似直線フィットまたは伝達関数の両端点を結んだ直線のいずれかとすることができます。デバイスのスタティックな直線性パラメータは、最近似直線フィットによって測定されます(DAC図14a)。

微分非直線性(Differential Nonlinearity：DNL)

微分非直線性は、実際のステップ幅と1LSBの理想値との差です。1LSB以下のDNL誤差規格によって、ミッシングコードがないこと(ADC)、および伝達関数が単調性であること(ADCとDAC)が保証されます(DAC図14b)。

ADCのオフセット誤差(ADC Offset Error)

理想的には、ミッドスケールの遷移は、ミッドスケールよりも0.5LSB高い値で起ります。オフセット誤差は、測定された遷移点と理想的な遷移点の偏差の大きさです。

DACのオフセット誤差(DAC Offset Error)

オフセット誤差(図14a)は、理想と実際のオフセットポイントの差です。オフセットポイントは、ディジタル入力がミッドスケールのときの出力値です。この誤差は、すべてのコードに同じ大きさの影響を与え、通常は調整によって補償されます。

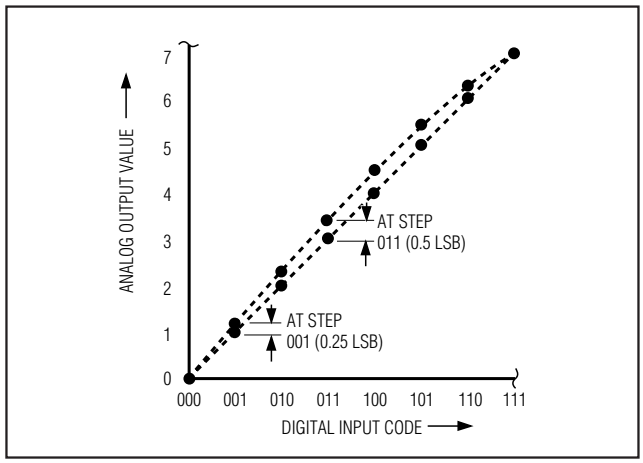


図14a. 積分非直線性

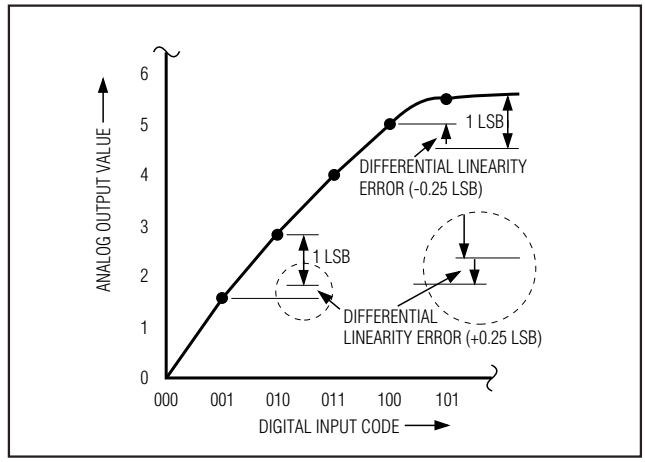


図14b. 微分非直線性

ADCの利得誤差(ADC Gain Error)

理想的には、ADCのフルスケール遷移はフルスケールよりも1.5LSB低い値で起ります。利得誤差は、オフセット誤差を除去した後の、測定された遷移点と理想的な遷移点の偏差の大きさです。

ADCのダイナミックパラメータの定義

アパーチャジッタ(Aperture Jitter)

図15に、アパーチャ遅延におけるサンプル間のばらつきであるアパーチャジッタ(t_{AJ})を示します。

アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間で定義される時間です(図15)。

信号 対 ノイズ比(Signal-to-Noise Ratio : SNR)

ディジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比で、ADCの分解能(Nビット)に直接起因します。

SNR(max) = 6.02dB x N + 1.76dB (in dB)

実際には、量子化ノイズ以外にサーマルノイズ、リファレンスノイズ、クロックジッタなどの他のノイズソースもあります。SNRはRMS信号のRMSノイズに対する比を取ることによって算出されます。RMSノイズは、基本波、最初の5つの高調波、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

信号 対 ノイズ + 歪み (Signal-to-Noise and Distortion : SINAD)

SINADは、RMS信号の、RMSノイズ+歪みに対する比を取ることによって算出されます。RMSノイズ+歪みは、基本波とDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

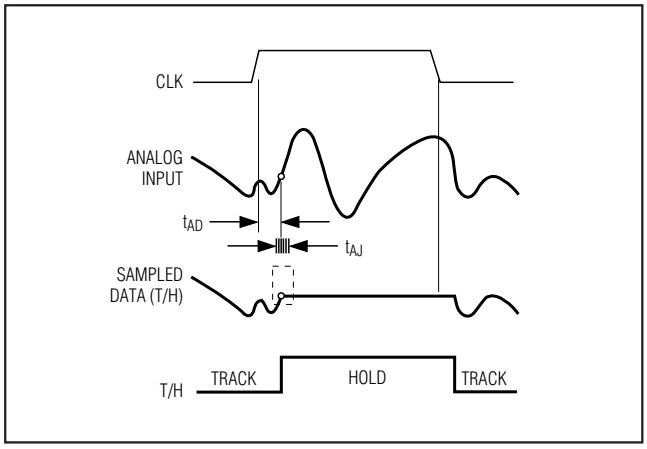


図15. T/Hアパーチャのタイミング

有効ビット数(Effective Number of Bits : ENOB)

ENOBは、特定の入力周波数およびサンプリングレートにおけるADCのダイナミックな性能を表わします。理想的なADCの誤差は量子化ノイズのみを含みます。フルスケール正弦波入力波形に対するENOBは次式から算出されます。

ENOB = (SINAD - 1.76) / 6.02

全高調波歪み(Total Harmonic Distortion : THD)

THDは、通常、入力信号に含まれる最初の5つの高調波のRMS和の、基本波そのものに対する比です。これは、以下のように表わされます。

$$THD = 20 \times \log\left[\frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)}}{V_1}\right]$$

ここで、V_1は基本波の振幅で、V_2～V_6は第2から第6までの高調波の振幅です。

第3高調波歪み(Third Harmonic Distortion : HD3)

HD3は、第3高調波成分のRMS値の、基本波入力信号に対する比として定義されます。

スプリアスフリー、ダイナミックレンジ (Spurious-Free Dynamic Range : SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅の、次に大きなスプリアス成分のRMS値(DCオフセットを除く)に対する比をデシベル単位で表わした値です。

相互変調歪み(Intermodulation Distortion : IMD)

IMDは、2つのトーンf_1とf_2が入力に存在するときの、全入力パワーを基準とする相互変調積の全パワーです。相互変調積は、($f_1 \pm f_2$)、($2 \times f_1$)、($2 \times f_2$)、($2 \times f_1 \pm f_2$)、($2 \times f_2 \pm f_1$)です。各入力トーンレベルは、-7dBFSにおける値です。

3次相互変調(3rd-Order Intermodulation : IM3)

IM3は、2つのトーンf_1とf_2が入力に存在するときの、どちらか一方の入力トーンの入力パワーを基準とするワーストの3次相互変調積のパワーです。3次相互変調積は、($2 \times f_1 \pm f_2$)、($2 \times f_2 \pm f_1$)です。各入力トーンレベルは、-7dBFSにおける値です。

電源除去(Power-Supply Rejection)

電源除去は、電源が±5%変化するときのオフセットおよび利得誤差のシフトで定義されます。

小信号帯域幅(Small-Signal Bandwidth)

信号のスルーレートがADCの性能を制限しないように、-20dBFSのアナログ入力小信号がADCに加えられ

ます。つぎに、ディジタル変換結果の振幅が3dB低減するポイントまで入力周波数がスイープされます。T/H性能は、通常、小信号入力信号帯域幅の制限要因です。

フルパワー帯域幅(Full-Power Bandwidth)

-0.5dBFSのアナログ入力大信号がADCに加えられ、ディジタル変換結果の振幅が3dB低減するポイントまで入力周波数がスイープされます。このポイントが、ADCのフルパワー入力帯域幅周波数と定義されます。

DACのダイナミックパラメータの定義

全高調波歪み(Total Harmonic Distortion)

THDは、ナイキスト周波数までの出力高調波のRMS和を基本波で割った比です。

$$THD = 20 \times \log\left[\frac{\sqrt{(V_2^2 + V_3^2 + ... + V_n^2)}}{V_1}\right]$$

ここで、V_1は基本波の振幅で、V_2～V_nはナイキスト周波数までの第2～第n高調波の振幅です。

スプリアスフリー、ダイナミックレンジ(Spurious-Free Dynamic Range)

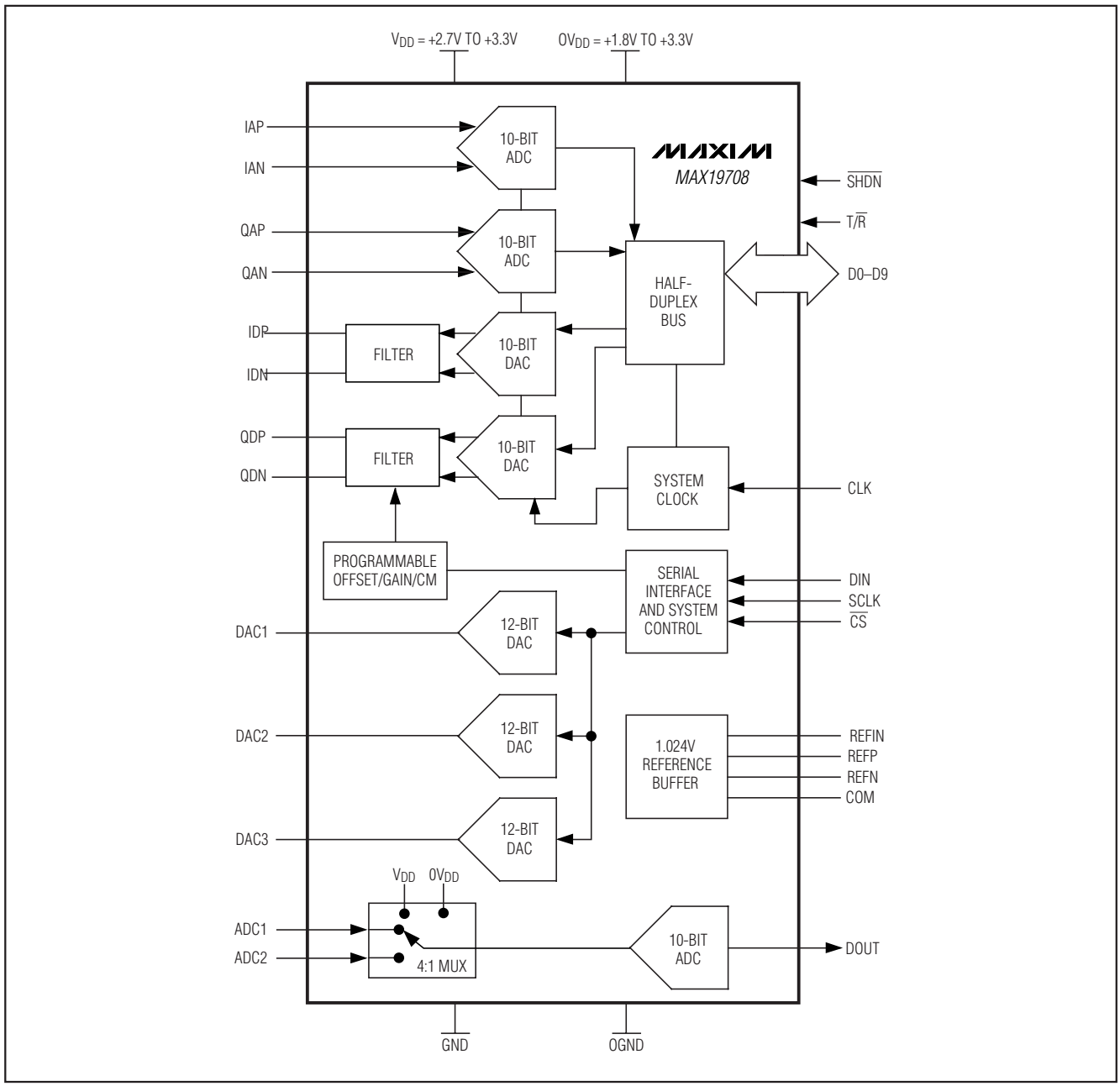
スプリアスフリー、ダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅の、ナイキスト周波数までの次に大きな歪み成分のRMS値(DCオフセットを除く)に対する比です。

選択ガイド

PART	DESCRIPTION	SAMPLING RATE (Msps)
MAX19700	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs	7.5
MAX19708	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Integrated TD-SCDMA Filters, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	11
MAX19705/MAX19706†/MAX19707†	Dual 10-Bit Rx ADC, Dual 10-Bit Tx DAC, Three 12-Bit Auxiliary DACs, 10-Bit Auxiliary ADC with 4:1 Input Mux	7.5/22/45

†開発中の製品。入手性についてはお問い合わせください。

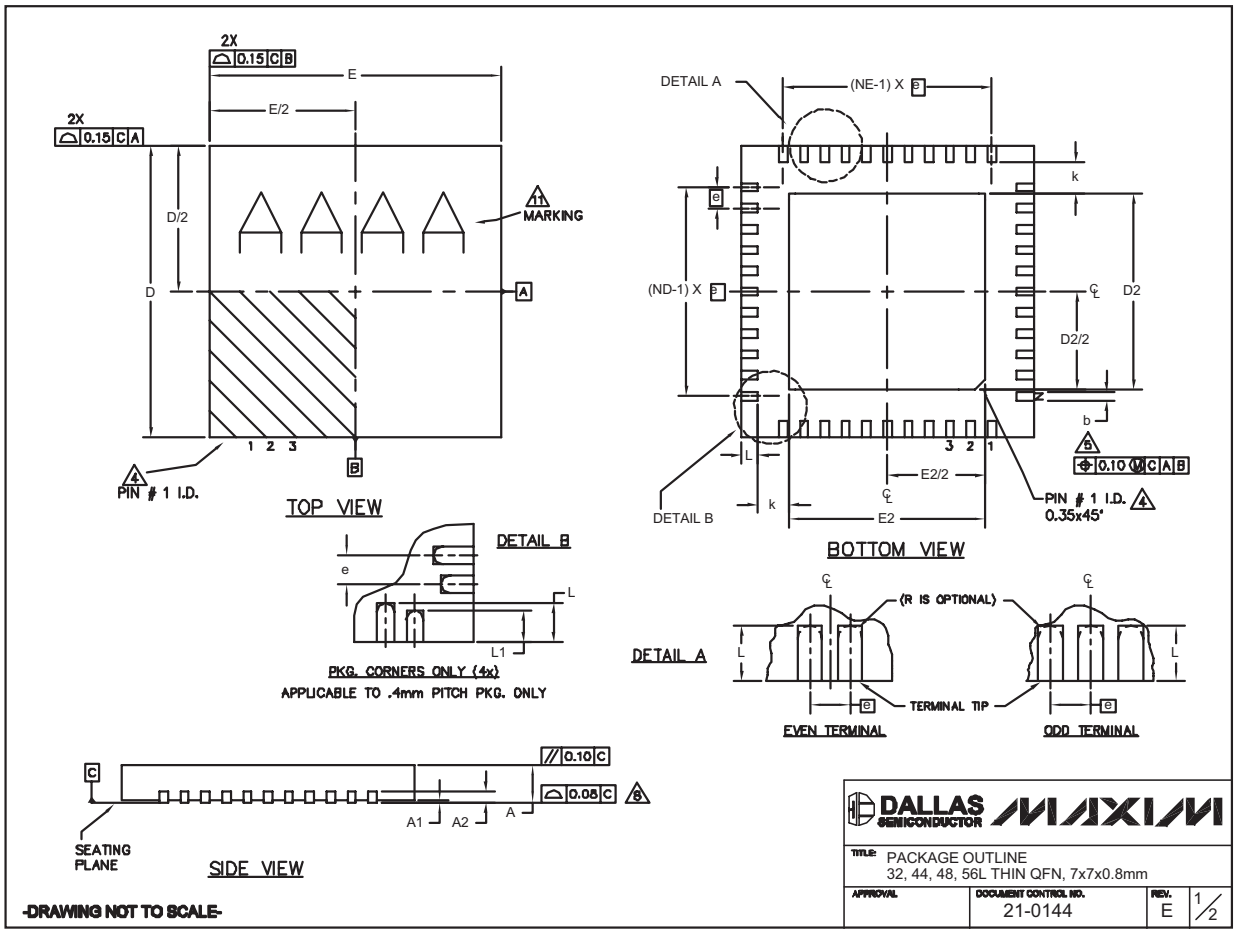
ファンクションダイアグラム



パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、**japan.maxim-ic.com/packages**をご参照下さい。)

32, 44, 48L QFN.EPS



パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、**japan.maxim-ic.com/packages**をご参照下さい。)

COMMON DIMENSIONS

PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	–	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	–	–	0.25	–	–	0.25	–	–	0.25	–	–	0.25	0.35	0.45
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60
L1	–	–	–	–	–	–	–	–	–	–	–	–	0.30	0.40	0.50
N	32			44			48			44			56		
ND	8			11			12			10			14		
NE	8			11			12			12			14		

EXPOSED PAD VARIATIONS

PKG. CODES	DEPOPULATED LEADS	D2			E2			JEDEC MO220 REV. C	DOWN BONDS ALLOWED
		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T3277-2	–	4.55	4.70	4.85	4.55	4.70	4.85	–	YES
T3277-3	–	4.55	4.70	4.85	4.55	4.70	4.85	–	NO
T4477-2	–	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
T4477-3	–	4.55	4.70	4.85	4.55	4.70	4.85	WKKD-1	YES
T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	–	NO
T4877-3	–	4.95	5.10	5.25	4.95	5.10	5.25	–	YES
T4877-4	–	5.45	5.60	5.63	5.45	5.60	5.63	–	YES
T4877-5	–	2.40	2.50	2.60	2.40	2.50	2.60	–	NO
T4877-6	–	5.45	5.60	5.63	5.45	5.60	5.63	–	NO
T4877-7	–	4.95	5.10	5.25	4.95	5.10	5.25	–	YES
T5677-1	–	5.20	5.30	5.40	5.20	5.30	5.40	–	YES

** NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR MAXIM

TITLE: PACKAGE OUTLINE
32, 44, 48, 56L THIN QFN, 7x7x0.8mm

APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-0144	E	2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.