

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

概要

MAX19586は、3.3V、高速、高性能のA/Dコンバータ(ADC)であり、完全差動広帯域トラック/ホールド(T/H)と16ビットコンバータコアを備えています。MAX19586は、特に厳しいダイナミック要件に適合するADCを必要とする、マルチチャネル、マルチモードレシーバに最適です。-82dBFSのノイズフロアを備えたMAX19586によって優れた感度要件のレシーバを設計することができます。

80MSPSにおいて、MAX19586は、 $f_{IN} = 70\text{MHz}$ で79.2dBの信号対ノイズ比(SNR)と84.3dBc/100dBcのシングルトーン、スプリアスフリーダイナミックレンジ(SFDR)性能(SFDR1/SFDR2)を実現します。MAX19586は、2次ナイキスト領域で卓越したダイナミック性能に最適化されているだけでなく、高IF入力周波数にも最適化されています。たとえば、130MHzでMAX19586は82.5dBcのSFDRを実現し、SNR性能は4次ナイキスト領域全域にわたってフラット(2.5dB以内)に維持されます。この性能レベルが高性能デジタルレシーバ実現の一部として最適です。

MAX19586は、3.3Vのアナログ電源電圧と1.8Vのデジタル電圧で動作し、2.56V_{p-p}のフルスケール入力範囲を備え、最高80MSPSのサンプリング速度を保証します。入力トラック/ホールド段は600MHzのフルスケール、フルパワー帯域幅で動作します。

MAX19586は、2の補数出力形式の平行、低電圧CMOS対応出力を備えています。

MAX19586は、低熱抵抗のエクスポーズドパッド(EP)付き、8mm x 8mmの56ピン薄型QFNパッケージで製造され、工業用拡張温度範囲(-40°C ~ +85°C)で動作が保証されています。

アプリケーション

- セルラ基地局トランシーバシステム(BTS)
- ワイヤレスローカルループ(WLL)
- マルチキャリアレシーバ
- マルチ標準のレシーバ
- E911ロケーションレシーバ
- 高性能計測
- アンテナアレイ処理

特長

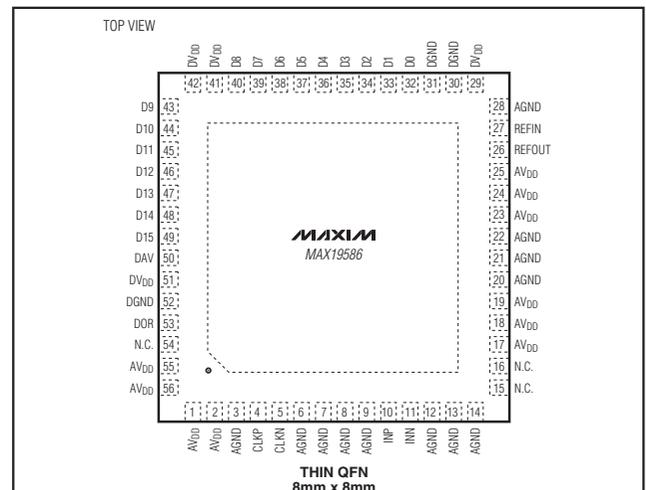
- ◆ 最低サンプリングレート：80MSPS
- ◆ ノイズフロア：-82dBFS
- ◆ 優れたダイナミック性能
 - SNR：80dB/79.2dB($f_{IN} = 10\text{MHz}/70\text{MHz}$ および-2dBFSにおいて)
 - シングルトーンSFDR1/SFDR2：96dBc/102dBc($f_{IN} = 10\text{MHz}$ において)
 - シングルトーンSFDR1/SFDR2：84.3dBc/100dBc($f_{IN} = 70\text{MHz}$ において)
- ◆ サンプリングジッタ：0.1ps以下
- ◆ 電力消費：1.1W
- ◆ 完全差動アナログ入力電圧範囲：2.56V_{p-p}
- ◆ CMOS対応の2の補数データ出力
- ◆ 独立したデータ有効クロックおよびオーバーレンジ出力
- ◆ フレキシブルな入カクロックバッファ
- ◆ アナログ入力電源：3.3V、デジタル出力電源：1.8V
- ◆ 小型8mm x 8mm x 0.8mmの56ピン薄型QFNパッケージ
- ◆ MAX19586のEVキットが利用可能 (MAX19586EVKITをご注文ください)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX19586ETN	-40°C to +85°C	56 Thin QFN-EP	T5688-2
MAX19586ETN+	-40°C to +85°C	56 Thin QFN-EP	T5688-2

+は鉛フリーパッケージを示します。

ピン配置



-82dBFS ノイズフロア付き、 高ダイナミックレンジ、16ビット、80Mpsps ADC

MAX19586

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to AGND	-0.3V to +3.6V
DV _{DD} to DGND	-0.3V to +2.4V
AGND to DGND	-0.3V to +0.3V
INP, INN, CLKP, CLKN, REFP, REFN, REFIN, REFOUT to AGND	-0.3V to (AV _{DD} + 0.3V)
DO-D15, DAV, DOR, DAV to GND	-0.3V to (DV _{DD} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
56-Pin Thin QFN	
(derate 47.6mW/°C above +70°C)	3809.5mW

Operating Temperature Range	-40°C to +85°C
Thermal Resistance θ_{JA}	21°C/W
Thermal Resistance θ_{JC}	0.6°C/W
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = 3.3V, DV_{DD} = 1.8V, AGND = DGND = 0, INP and INN driven differentially, internal reference CLKP and CLKN driven differentially, C_L = 5pF at digital outputs, f_{CLK} = 80MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution	N			16		Bits
Offset Error	VOS		0	10	20	mV
Gain Error	GE		-3.5		+3.5	%FS
ANALOG INPUTS (INP, INN)						
Input Voltage Range	V _{DIFF}	Fully differential input, V _{IN} = V _{INP} - V _{INN}		2.56		V _{P-P}
Common-Mode Voltage	V _{CM}	Internally self-biased		2.2		V
Differential Input Resistance	R _{IN}			10 ±20%		k Ω
Differential Input Capacitance	C _{IN}			7		pF
Full-Power Analog Bandwidth	BW _{-3dB}	-3dB rolloff for FS Input		600		MHz
REFERENCE INPUT/OUTPUT (REFIN, REFOUT)						
Reference Input Voltage Range	REFIN			1.28 ±10%		V
Reference Output Voltage	REFOUT			1.28		V
DYNAMIC SPECIFICATIONS (f_{CLK} = 80Mpsps)						
Thermal Plus Quantization Noise Floor	NF	A _{IN} < -35dBFS		-82		dBFS
Signal-to-Noise Ratio (First 4 Harmonics Excluded) (Notes 2, 3)	SNR	f _{IN} = 10MHz, A _{IN} = -2dBFS		80		dB
		f _{IN} = 70MHz, A _{IN} = -2dBFS	77.5	79.2		
		f _{IN} = 100MHz, A _{IN} = -2dBFS		78.5		
		f _{IN} = 130MHz, A _{IN} = -2dBFS		77.9		
		f _{IN} = 168MHz, A _{IN} = -2dBFS		77.2		
Signal-to-Noise Plus Distortion (Notes 2, 3)	SINAD	f _{IN} = 10MHz, A _{IN} = -2dBFS		79.6		dB
		f _{IN} = 70MHz, A _{IN} = -2dBFS	75	77.6		
		f _{IN} = 100MHz, A _{IN} = -2dBFS		77.4		
		f _{IN} = 130MHz, A _{IN} = -2dBFS		76.4		
		f _{IN} = 168MHz, A _{IN} = -2dBFS		72.7		

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

MAX19586

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, $AGND = DGND = 0$, INP and INN driven differentially, internal reference CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Spurious-Free Dynamic Range (Worst Harmonic, 2nd and 3rd)	SFDR1	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		96		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$	80	84.3		
		$f_{IN} = 100MHz$, $A_{IN} = -2dBFS$		84		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		82.5		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		78		
Spurious-Free Dynamic Range (Worst Harmonic, 4th and Higher) (Note 3)	SFDR2	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		102		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$	90	100		
		$f_{IN} = 100MHz$, $A_{IN} = -2dBFS$		92		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		94		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		90		
Second-Order Harmonic Distortion	HD2	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		-100		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$		-95	-84	
		$f_{IN} = 100MHz$, $A_{IN} = -2dBFS$		-94		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		-88.8		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		-78		
Third-Order Harmonic Distortion	HD3	$f_{IN} = 10MHz$, $A_{IN} = -2dBFS$		-96		dBc
		$f_{IN} = 70MHz$, $A_{IN} = -2dBFS$		-84.3	-80	
		$f_{IN} = 100MHz$, $A_{IN} = -2dBFS$		-84		
		$f_{IN} = 130MHz$, $A_{IN} = -2dBFS$		-82.5		
		$f_{IN} = 168MHz$, $A_{IN} = -2dBFS$		-78		
Two-Tone Intermodulation Distortion	TTIMD	$f_{IN1} = 65.1MHz$, $A_{IN} = -8dBFS$ $f_{IN2} = 70.1MHz$, $A_{IN} = -8dBFS$		-85.2		dBc
Two-Tone SFDR	TTSFDR	$f_{IN1} = 65.1MHz$, $f_{IN2} = 70.1MHz$ $-100dBFS < A_{IN} < -10dBFS$		99		dBFS
CONVERSION RATE						
Maximum Conversion Rate	f_{CLKMAX}		80			MHz
Minimum Conversion Rate	f_{CLKMIN}				20	MHz
Aperture Jitter	t_J			0.094		psRMS
CLOCK INPUTS (CLKP, CLKN)						
Differential Input Swing	$V_{DIFFCLK}$	Fully differential inputs		1.0 to 5.0		V _{P-P}
Common-Mode Voltage	V_{CMCLK}	Self-biased		1.6		V
Differential Input Resistance	R_{INCLK}			10		k Ω
Differential Input Capacitance	C_{INCLK}			3		pF
CMOS-COMPATIBLE DIGITAL OUTPUTS (D0–D15, DOR, DAV)						
Digital Output High Voltage	V_{OH}	$I_{SOURCE} = 200\mu A$		$DV_{DD} -$ 0.2		V
Digital Output Low Voltage	V_{OL}	$I_{SINK} = 200\mu A$			0.2	V

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, $AGND = DGND = 0$, INP and INN driven differentially, internal reference CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
TIMING SPECIFICATION (Figures 4, 5), $C_L = 5pF$ (D0–D15, DOR); $C_L = 15pF$ (DAV)						
CLKP - CLKN High	t_{CLKP}	(Note 2)	5			ns
CLKP - CLKN Low	t_{CLKN}	(Note 2)	5			ns
Effective Aperture Delay	t_{AD}			-300		ps
Output Data Delay	t_{DAT}			3.3		ns
Data Valid Delay	t_{DAV}	(Note 2)	2.8	3.8	5.0	ns
Pipeline Latency	t_p			7		Clock Cycles
CLKP Rising Edge to DATA Not Valid	t_{DNV}	(Note 2)	1.2			ns
CLKP Rising Edge to DATA Guaranteed Valid	t_{DGV}	(Note 2)			6.5	ns
DATA Setup Time Before Rising DAV	t_S	Clock duty cycle = 50% (Note 2)	3			ns
DATA Hold Time After Rising DAV	t_H	Clock duty cycle = 50% (Note 2)	3			ns
POWER SUPPLIES						
Analog Power-Supply Voltage	AV_{DD}		3.13	3.3	3.46	V
Digital Output Power-Supply Voltage	DV_{DD}		1.7	1.8	1.9	V
Analog Power-Supply Current	I_{AVDD}			320	382	mA
Digital Output Power-Supply Current	I_{DVDD}			28	35	mA
Power Dissipation	P_{DISS}			1105	1325	mW

Note 1: $\geq +25^\circ C$ guaranteed by production test, $< +25^\circ C$ guaranteed by design and characterization. Typical values are at $T_A = +25^\circ C$.

Note 2: Parameter guaranteed by design and characterization.

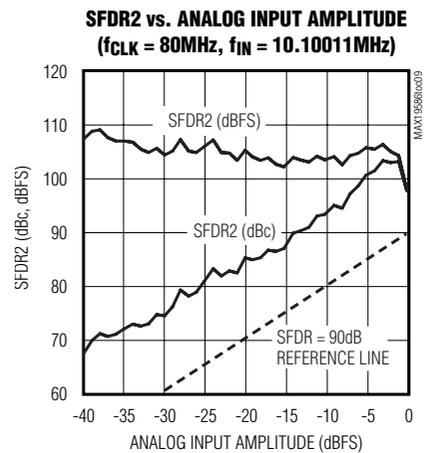
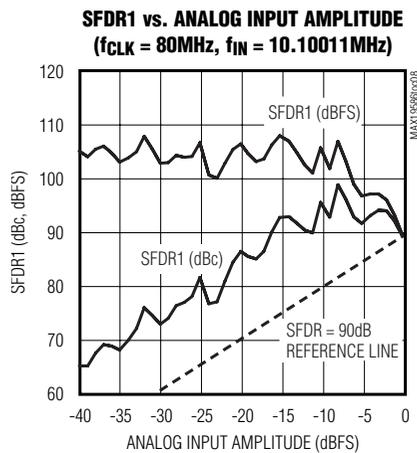
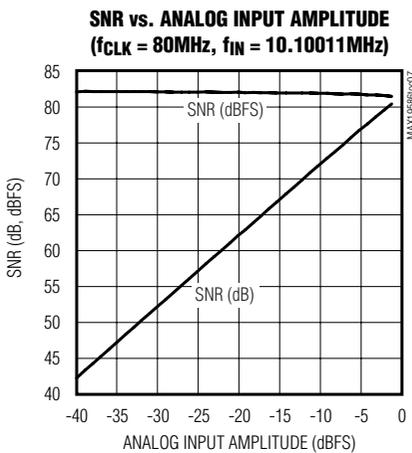
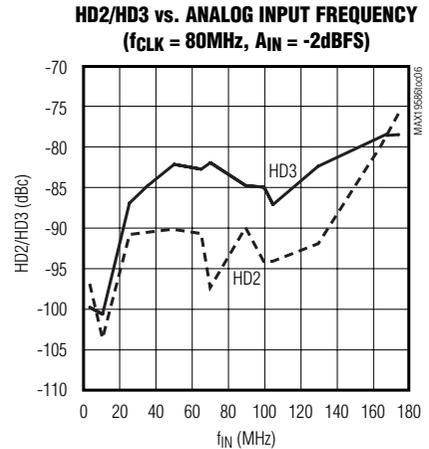
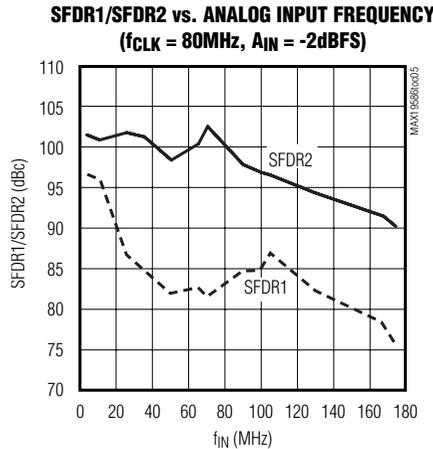
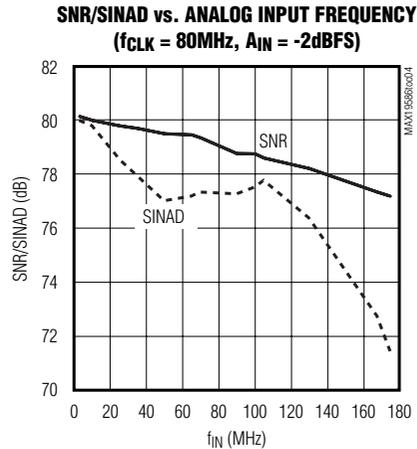
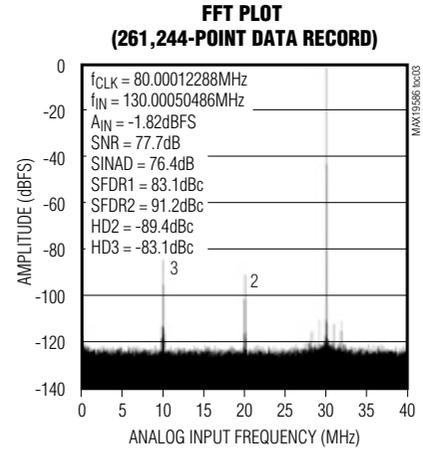
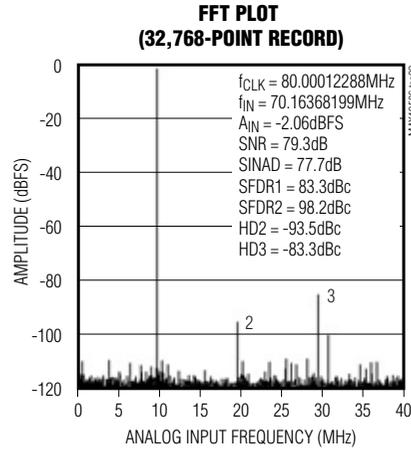
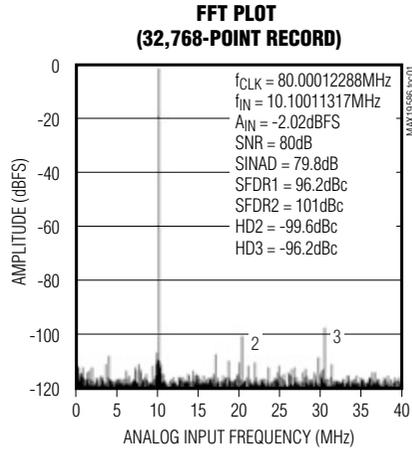
Note 3: AC parameter measured in a 32,768-point FFT record, where the first 2 bins of the FFT and 2 bins on either side of the carrier are excluded.

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

標準動作特性

($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = +25^\circ C$. Unless otherwise noted, all AC data based on 32k-point FFT records and under coherent sampling conditions.)

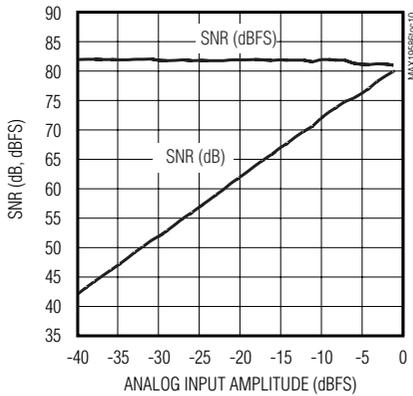


-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Mps ADC

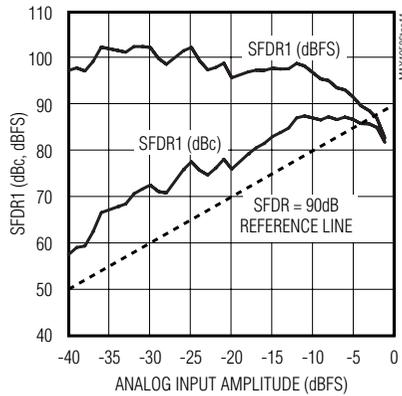
標準動作特性(続き)

($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = +25^\circ C$. Unless otherwise noted, all AC data based on 32k-point FFT records and under coherent sampling conditions.)

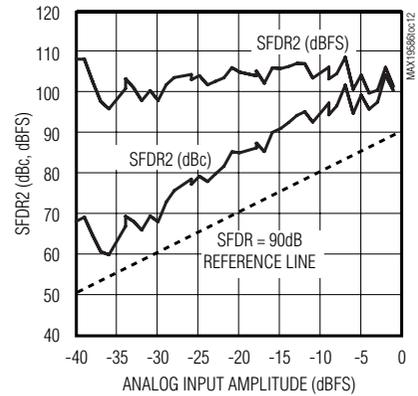
SNR vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 80MHz$, $f_{IN} = 70.163683MHz$)



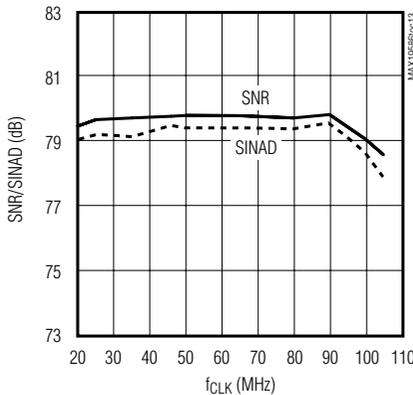
SFDR1 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 80MHz$, $f_{IN} = 70.163683MHz$)



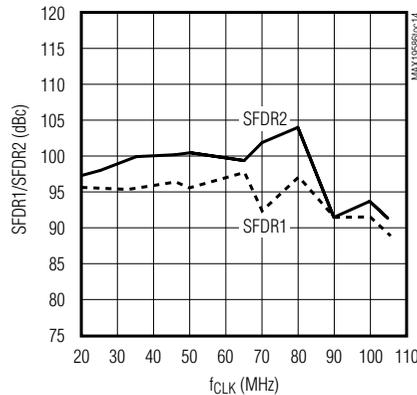
SFDR2 vs. ANALOG INPUT AMPLITUDE
($f_{CLK} = 80MHz$, $f_{IN} = 70.163683MHz$)



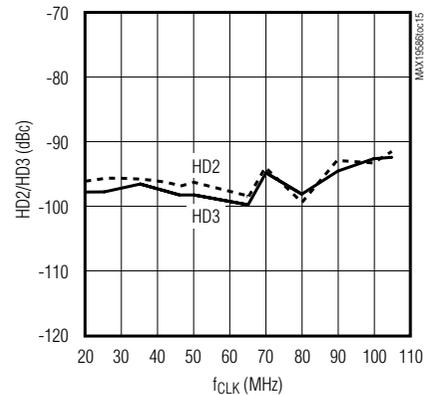
SNR/SINAD vs. SAMPLING FREQUENCY
($f_{IN} = 9.9757395MHz$, $A_{IN} = -2dBFS$)



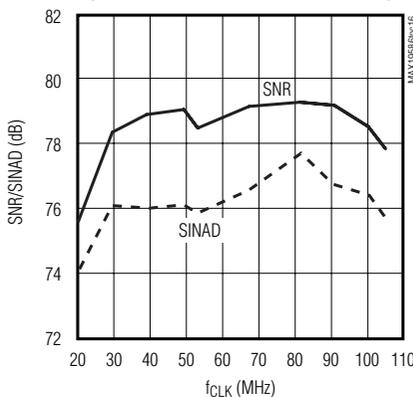
SFDR/SFDR2 vs. SAMPLING FREQUENCY
($f_{IN} = 10.10011MHz$, $A_{IN} = -2dBFS$)



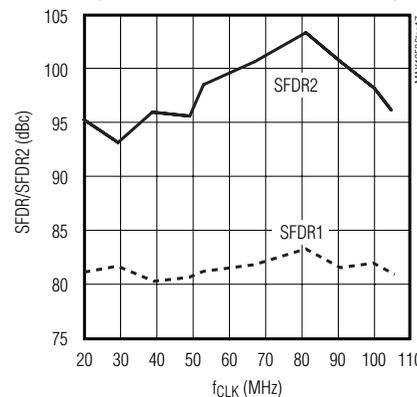
HD2/HD3 vs. SAMPLING FREQUENCY
($f_{IN} = 10.10011MHz$, $A_{IN} = -2dBFS$)



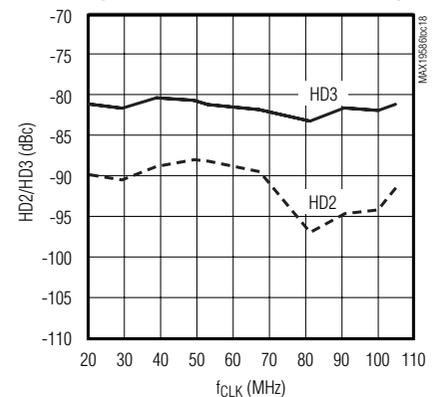
SNR/SINAD vs. SAMPLING FREQUENCY
($f_{IN} = 70.163683MHz$, $A_{IN} = -2dBFS$)



SFDR1/SFDR2 vs. SAMPLING FREQUENCY
($f_{IN} = 70.163683MHz$, $A_{IN} = -2dBFS$)



HD2/HD3 vs. SAMPLING FREQUENCY
($f_{IN} = 70.163683MHz$, $A_{IN} = -2dBFS$)

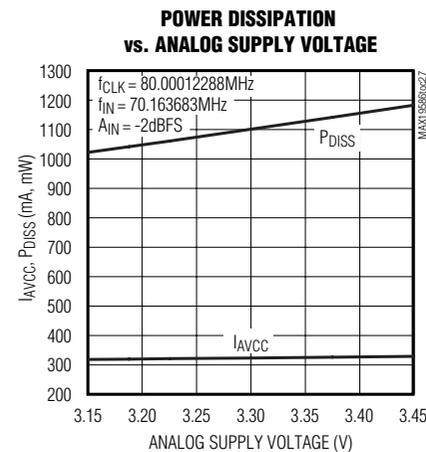
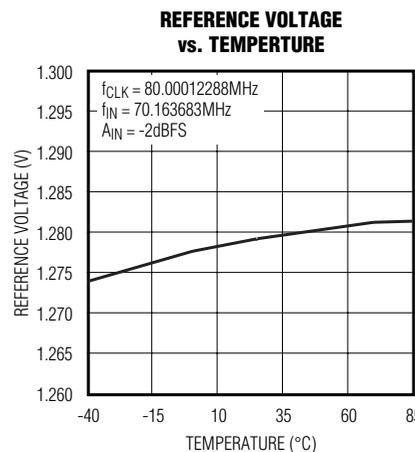
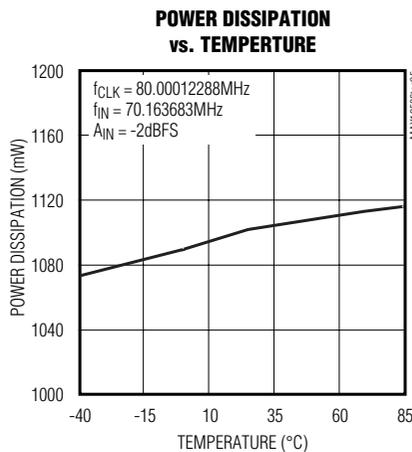
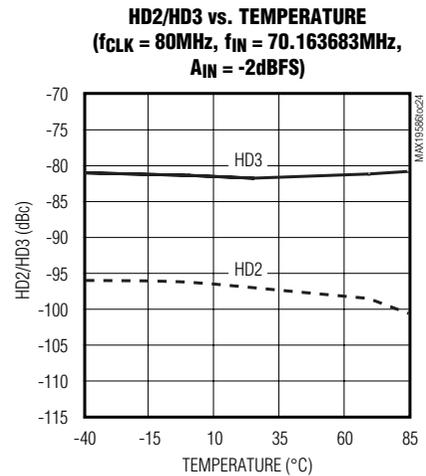
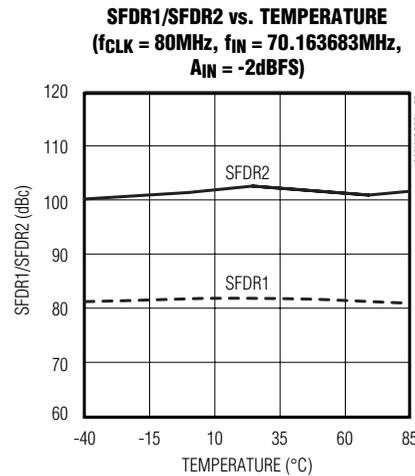
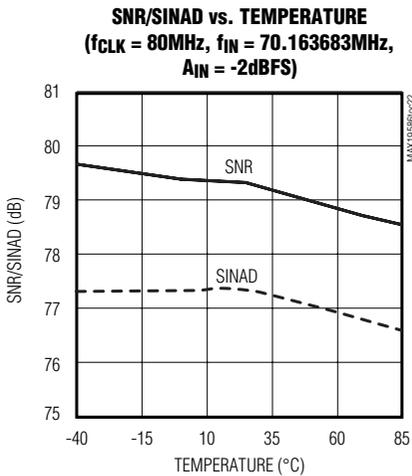
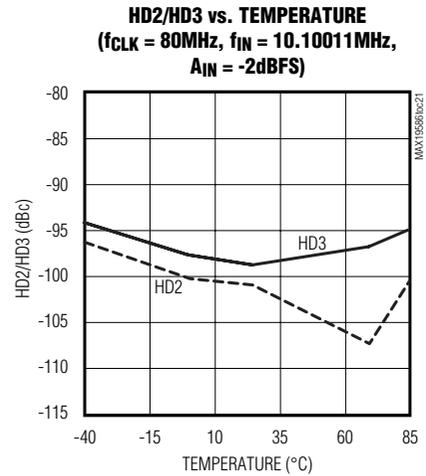
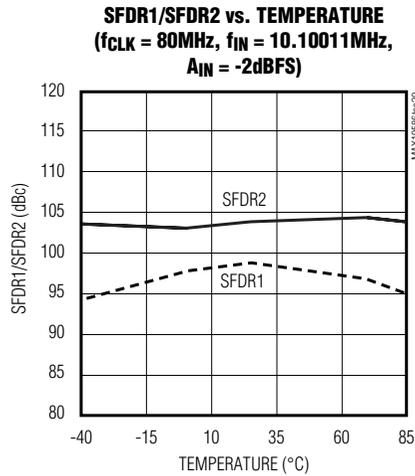
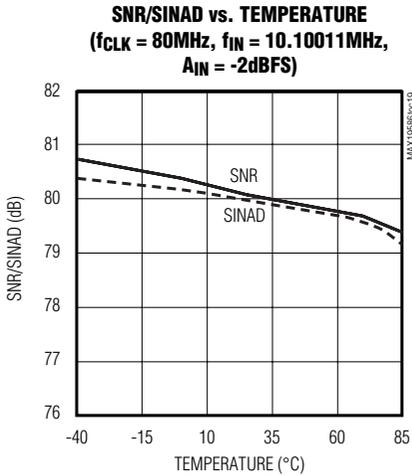


-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

MAX19586

標準動作特性(続き)

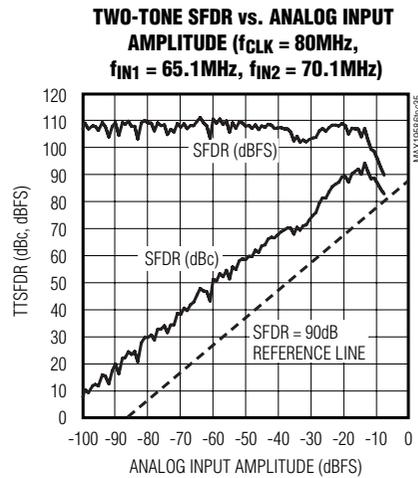
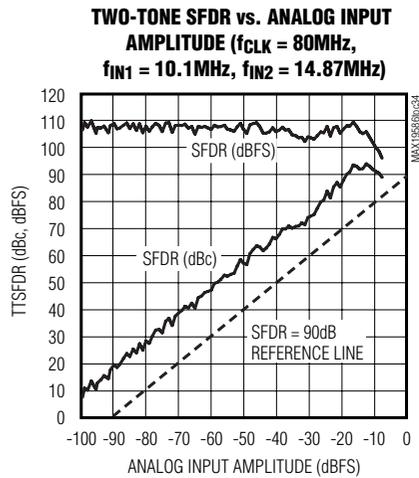
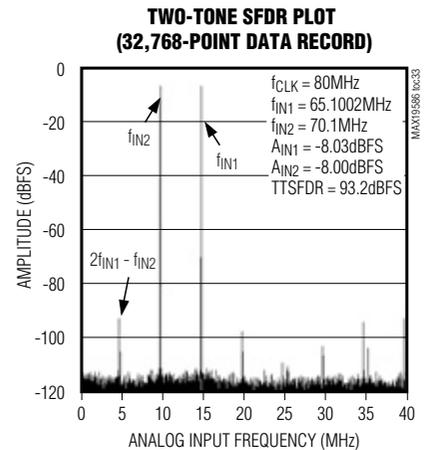
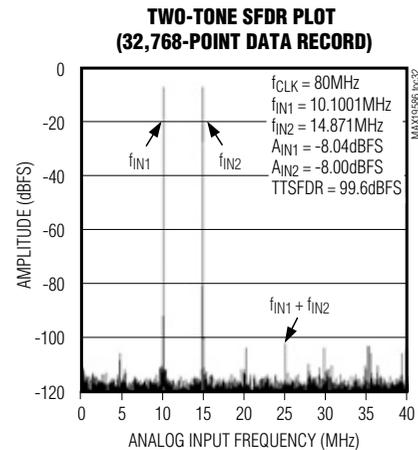
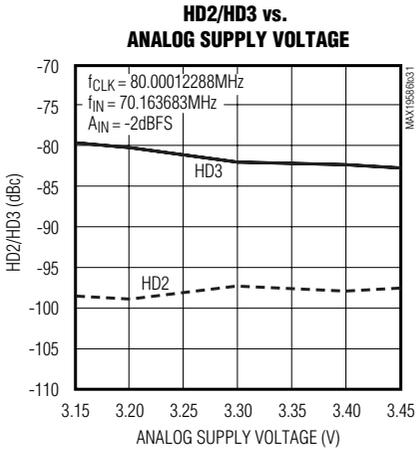
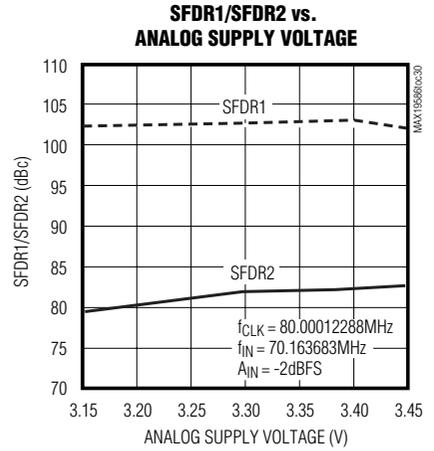
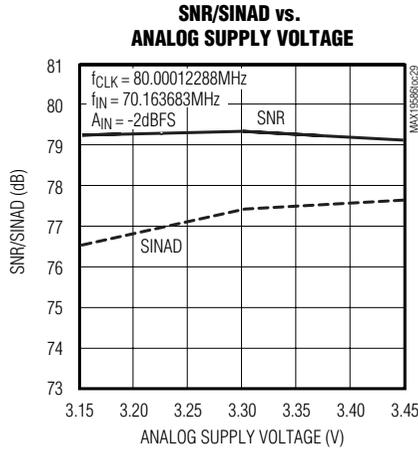
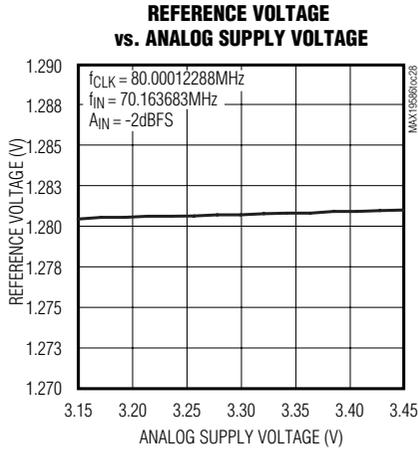
($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = +25^\circ C$. Unless otherwise noted, all AC data based on 32k-point FFT records and under coherent sampling conditions.)



-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

標準動作特性(続き)

($V_{DD} = 3.3V$, $DV_{DD} = 1.8V$, INP and INN driven differentially, internal reference, CLKP and CLKN driven differentially, $C_L = 5pF$ at digital outputs, $f_{CLK} = 80MHz$, $T_A = +25^{\circ}C$. Unless otherwise noted, all AC data based on 32k-point FFT records and under coherent sampling conditions.)



-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

端子説明

端子	名称	機能
1, 2, 17, 18, 19, 23, 24, 25, 55, 56	AVDD	アナログ電源電圧。0.01 μ Fと0.1 μ Fのコンデンサで部分的にグラウンドにバイパスしてください。
3, 6-9, 12, 13, 14, 20, 21, 22, 28	AGND	コンバータグラウンド。アナログ、デジタル、および出力ドライバの各グラウンドは内部で同電位に接続されています。コンバータのエクスポーズパッド(EP)をGNDに接続してください。
4	CLKP	差動クロック、正入力端子
5	CLKN	差動クロック、負入力端子
10	INP	差動アナログ入力、正端子
11	INN	差動アナログ入力、負/相補端子
15, 16, 54	N.C.	接続なし。このピンには接続しないでください。
26	REFOUT	内蔵バンドギャップリファレンス出力
27	REFIN	リファレンス電圧入力
29, 41, 42, 51	DVDD	デジタル電源電圧。0.01 μ Fと0.1 μ Fのコンデンサで部分的にグラウンドにバイパスしてください。
30, 31, 52	DGND	コンバータグラウンド。デジタル出力ドライバのグラウンド。
32	D0	デジタルCMOS出力ビット0(LSB)
33	D1	デジタルCMOS出力ビット1
34	D2	デジタルCMOS出力ビット2
35	D3	デジタルCMOS出力ビット3
36	D4	デジタルCMOS出力ビット4
37	D5	デジタルCMOS出力ビット5
38	D6	デジタルCMOS出力ビット6
39	D7	デジタルCMOS出力ビット7
40	D8	デジタルCMOS出力ビット8
43	D9	デジタルCMOS出力ビット9
44	D10	デジタルCMOS出力ビット10
45	D11	デジタルCMOS出力ビット11
46	D12	デジタルCMOS出力ビット12
47	D13	デジタルCMOS出力ビット13
48	D14	デジタルCMOS出力ビット14
49	D15	デジタルCMOS出力ビット15(MSB)
50	DAV	データ有効出力。この出力は、外付けバッファまたはデータ収集システムを駆動するクロック制御ラインとして使用することができます。コンバータクロックの立下りエッジとDAVの立上りエッジ間の遅延時間は3.8ns(typ)です。
53	DOR	データオーバーレンジビット。この制御ラインは、ADCのオーバー/アンダレンジ状態のフラグを設定します。DORがハイに遷移すると、オーバー/アンダレンジ状態が検出されます。DORがローのままの場合、ADCは許容フルスケール範囲内で動作します。
—	EP	エクスポーズパッド。AGNDに接続する必要があります。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

詳細

図1は、MAX19586の構成の概要を示します。MAX19586では、低サーマルノイズと低歪みに最適化された入力トラック/ホールド(T/H)アンプが採用されています。T/Hアンプへのハイインピーダンス差動入力(INPとINN)は、2.2Vで自己バイアスされ、2.56V_{p-p}のフルスケール差動入力電圧をサポートしています。T/Hアンプの出力は、超低サーマルノイズフロアと低歪みを実現するように設計された多段パイプラインADCコアに供給されています。

クロックバッファは、差動入力クロック波形を受け取り、入力T/H用の低ジッタクロック信号を生成します。アナログ入力の信号は、差動クロック波形の立上りエッジでサンプリングされます。差動クロック入力(CLKPとCLKN)は、ハイインピーダンス入力であり、1.6Vで自己バイアスされ、1V_{p-p}~5V_{p-p}の差動クロック波形をサポートしています。

多段パイプラインADCコアからの出力は、誤差補正および16ビット出力コードを2の補数形式でデジタル出力ドライバに供給するフォーマット化ロジックに供給されます。出力ドライバは、1.8VのCMOS対応出力を備えています。

アナログ入力(INP、INN)

MAX19586への信号入力(INPとINN)は平衡差動入力です。この差動構成は、コモンモードノイズ結合に対する耐性を備えており、偶数次高調波項を除去します。最高のダイナミック性能を実現するためには、MAX19586への

差動信号入力をAC結合し、入念にバランスさせる必要があります(詳しくは、「アプリケーション情報」の項の「差動、AC結合アナログ入力」をご覧ください)。MAX19586の入力は図2に示すように自己バイアスされているため、入力信号のAC結合が必要です。トラック/ホールド入力はハイインピーダンスですが、2個の5kΩ抵抗器がコモンモードバイアス回路に接続されているため実際の差動入力インピーダンスは公称10kΩです。

これらのアナログ入力にはDCリーク電流を流さないようにしてください。DCリーク電流が10μAを超えると、自己バイアスされたコモンモードレベルがシフトするため、コンバータの性能が悪影響を受けます。

内蔵リファレンス回路

MAX19586は、1.28V、低ドリフト、バンドギャップリファレンスを内蔵しています。このリファレンス電位は、公称差動2.56V_{p-p}のコンバータ用のフルスケール範囲を確立します(図3)。内部リファレンス電圧はREFOUTで監視することができます。内部リファレンス電圧を使用するためには、リファレンス入力(REFIN)を10kΩの抵抗器を介してREFOUTに接続する必要があります。個々に1μFのコンデンサを使って両方のピンをAGNDにバイパスしてください。

また、MAX19586では、外部リファレンスソースをREFINに接続することも可能であるため、ユーザは内部バンドギャップリファレンスをオーバドライブすることができます。REFINは、1.28V ±10%の入力電圧範囲を受け付けます。

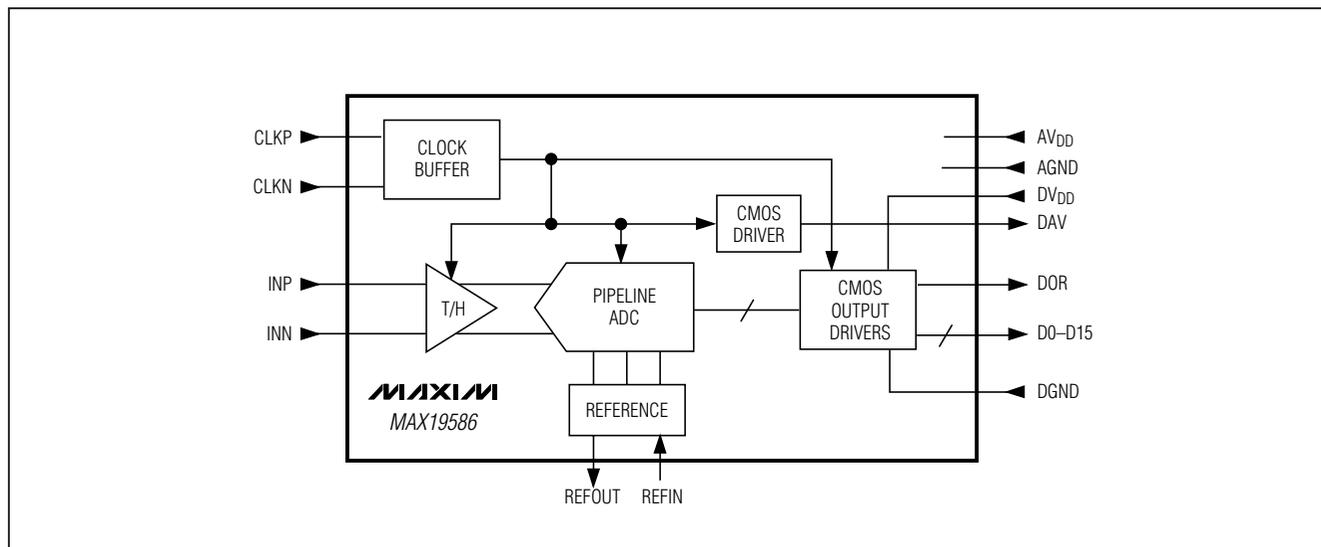


図1. ブロック図

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

クロック入力(CLKP、CLKN)

MAX19586の差動クロックバッファは、AC結合クロック波形を受け入れるように設計されてきました。信号入力と同様に、クロック入力は自己バイアスされています。この場合、自己バイアス電位は1.6Vで、各入力は5kΩの抵抗器によってリファレンス電位に接続されます。このため、これらのクロック入力に関する差動入力抵抗は10kΩです。0.5V_{p-p}の低い差動クロック信号を使ってクロック入力を駆動することができますが、最良のダイナミック性能は1V_{p-p}~5V_{p-p}のクロック入力電圧レベルで実現します。

クロック信号のジッタは、サンプリングされた信号のジッタ(ノイズ)にそのまま変換されます。したがって、クロックソースは超低ジッタ(低位相ノイズ)ソースである必要があります。さらに、このコンバータから真のAC性能を得るためには、超低位相ノイズの発振器とバンドパスフィルタを使用しなければなりません。クロック入力駆動の項のさらなる詳細については、「アプリケーション情報」の項で「差動、AC結合クロック入力」と「MAX19586の試験」の各項目をご覧ください。

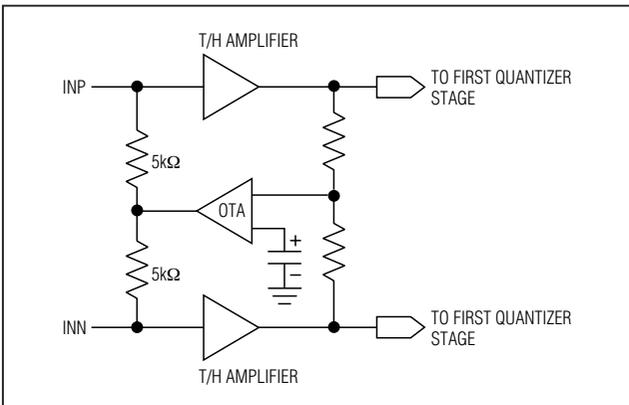


図2. 簡略化アナログ入力構成

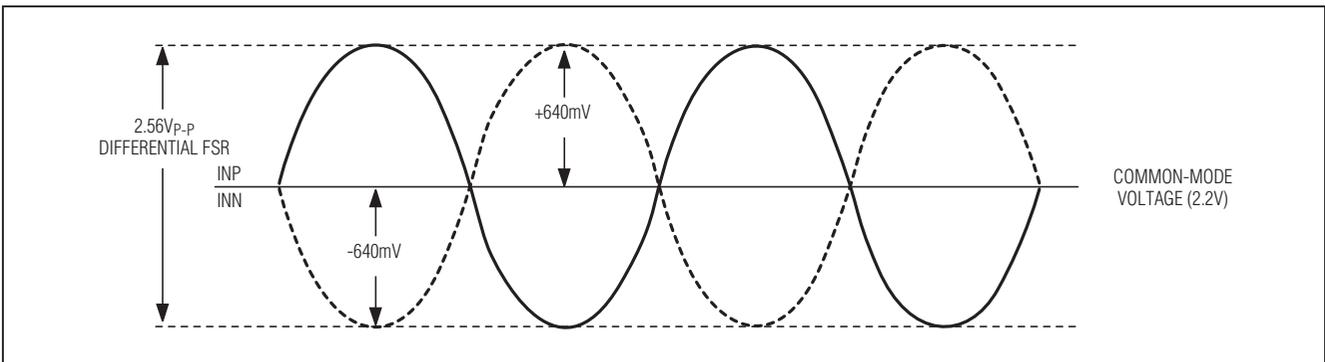


図3. フルスケール電圧範囲

システムタイミング要件

図4は、信号入力、クロック入力、データ出力、およびDAV出力の一般的なタイミング関係を示します。図5は、「電気的特性(Electrical Characteristics)」表に規定された、詳細なタイミング規格と信号関係を示します。

MAX19586は、入力信号を入力クロックの立上りエッジでサンプリングします。7クロックサイクルのデータ待ち時間後、出力データはDAV信号の立上りエッジで有効となります。適正動作に必要なクロックデューティサイクルは、通常50% ±10%であることに注意してください。

デジタル出力(D0~D15、DAV、DOR)

このデバイスは低電圧1.8Vロジックシステム用に設計されていますが、ユーザが1.7V~1.9Vの範囲でデジタル電圧を選択することができるように、低電圧CMOS対応できるデジタル出力(D0~D15、DAV、およびDOR)のロジックハイレベルには幾らかの自由度があります。

最良の性能を得るためには、MAX19586のデジタル出力の容量性負荷はできる限り低く(10pF以下)保つ必要があります。MAX19586は電流制限付きデータ出力ドライバのため、大きな容量性負荷では、データの立上り/立下り時間が増加してデータを次のICに登録することが困難になります。出力トレースを短くして、(複数CMOS入力ではなく)単一CMOSバッファやラッチ入力を駆動することで、負荷容量が低く維持出来ます。出力データは、表1に示すように2の補数形式です。

データは、DAVの立上りエッジで有効となります(図4、5)。DAVは出力データをラッチするためのクロック信号として使用することができます。DAV出力ドライバは、電流が制限されないため比較的大きな容量性負荷が許容されることに注意してください。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

MAX19586

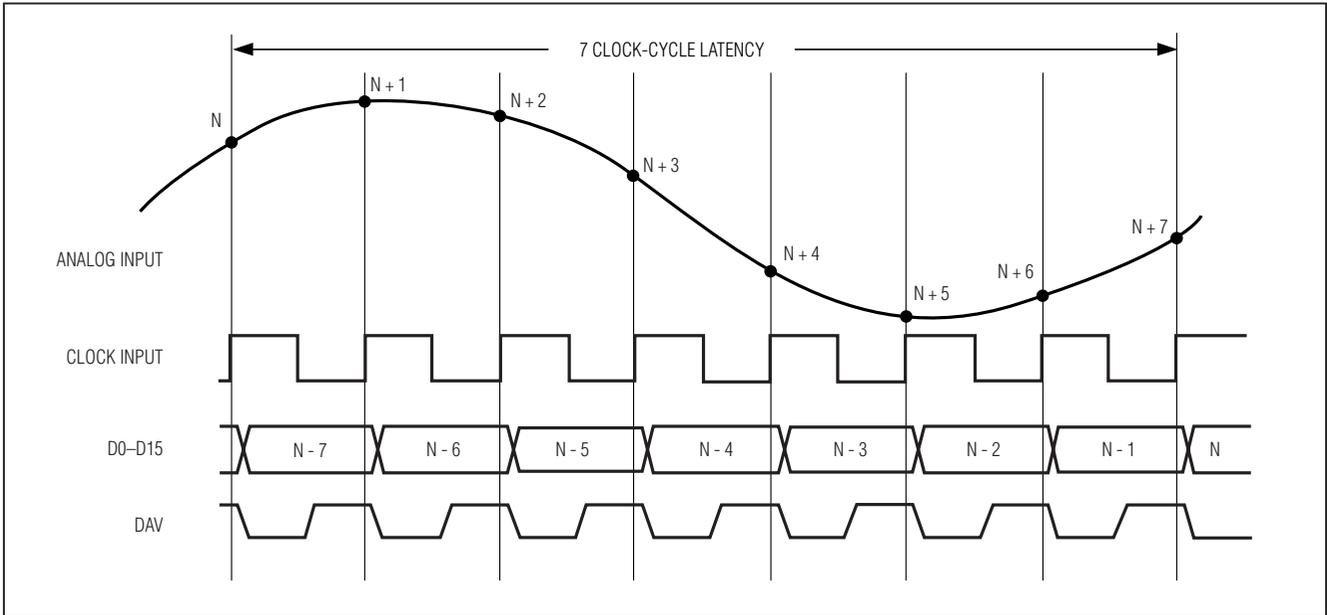


図4. 一般的なシステムの出カタイミング図

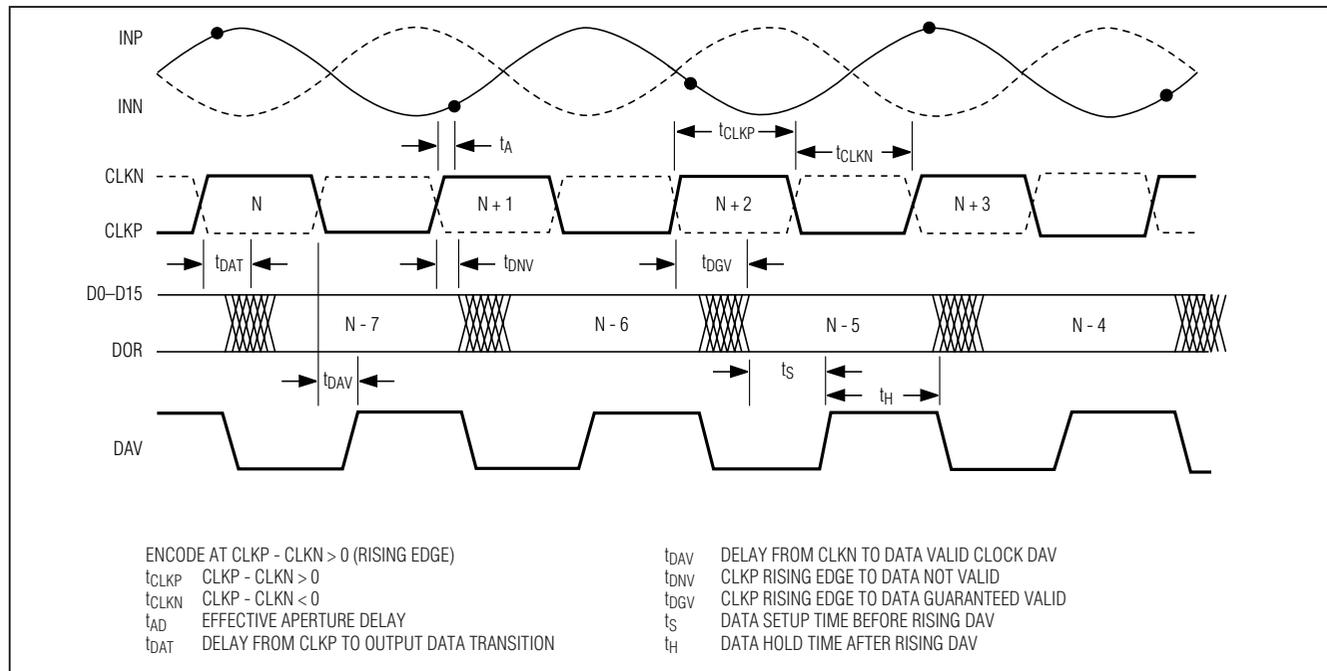


図5. クロック動作に関する詳細タイミング情報

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

表1. MAX19586のデジタル出力コーディング

INP ANALOG VOLTAGE LEVEL	INN ANALOG VOLTAGE LEVEL	D15–D0 TWO’S-COMPLEMENT CODE
$V_{CM} + 0.64V$	$V_{CM} - 0.64V$	0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 (positive full-scale)
V_{CM}	V_{CM}	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 (midscale + δ) 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 (midscale - δ)
$V_{CM} - 0.64V$	$V_{CM} + 0.64V$	1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 (negative full-scale)

コンバータのDOR出力信号は、オーバ/アンダレンジ状態の識別に使用されます。入力信号がMAX19586の正または負のフルスケール範囲を超えると、DORがハイに設定されます。DORのタイミングはデータ出力のタイミングと同じであるため、DORはサンプルごとにオーバーレンジを表示します。

アプリケーション情報

差動、AC結合クロック入力

MAX19586へのクロック入力はAC結合差動信号によって駆動され、最良の性能はこの条件で実現されます。ただし、多くの場合、利用可能なクロックソースはシングルエンドです。図6は、トランスを使ってシングルエンドクロック信号を差動信号に変換する1つの方法を示します。この例では、トランスの一次側と二次側の巻数比が1:1.414です。一次側と二次側のインピーダンス比は、この巻数比の2乗、あるいは1:2です。このため、100Ωの差動抵抗で二次側を終端すると、トランスの一次側から見た負荷が50Ωになります。この例の終端抵抗器は、共通ノードをグラウンドにAC結合した2個の50Ω抵抗器を直列に組み合わせて構成されています。

図6の例では、トランスの二次側がクロック入力にじかに結合されています。クロック入力は自己バイアスされているため、トランスのセンタタップはグラウンドにAC結合またはフローティング状態にする必要があります。トランスの二次側のセンタタップをグラウンドにDC結合する場合は、クロック入力と直列にブロッキングコンデンサを追加する必要があります。

クロック信号がゼロ交差時に高スルーレートになる場合は、クロックジッタは通常改善されます。したがって、正弦波ソースを使ってクロック入力を駆動する場合は、クロック振幅をできる限り大きくしてゼロ交差のスルーレートを最大化することをお奨めします。入力信号が

3V_{p,p}以下の差動電位に保たれている限りは、図6に示す逆並列ショットキダイオードは不要です。(ゼロ交差のスルーレートを最大化するために)振幅信号を大きくすると、ダイオードはクロック入力における差動信号振幅を制限するのに役立ちます。MAX19586に関するすべてのAC規格は、この構成の範囲において約12dBmの入力クロック振幅で測定されていることに注意してください。

クロック入力に結合する差動モードノイズは、クロックジッタに変換され、MAX19586のSNR性能を低下させます。アナログ入力信号がクロック入力と差動モード結合すると、高調波歪みが発生します。このため、クロックラインをアナログ信号入力およびデジタル出力から適切に分離することが重要です。ノイズ結合関連の詳細については、「信号経路」の項をご覧ください。

差動、AC結合アナログ入力

アナログ入力のINPとINNは、差動AC結合信号によって駆動されます。これらの入力を高精度でバランスさせることが重要です。これらの入力に印加されるコモンモード信号は、偶数次歪み項を悪化させます。このため、シングルエンド方式でこれらの入力を駆動しようとすると、大きな偶数次歪み項になります。

図7は、トランスを使ってシングルエンド信号を平衡差動信号に変換する1つの方法を示します。この例では、一次と二次の巻数比は1:1.414です。インピーダンス比は巻数の2乗であるため、この例ではインピーダンス比は1:2です。トランスの一次側で50Ωの入力インピーダンスを実現するためには、二次側を100Ωの差動負荷で終端します。MAX19586の差動入力抵抗と並列のこの負荷は、二次側で100Ωの差動負荷となります。信号の大幅なステップアップを実現するためにより大きなトランス巻数比を使用することは、妥当であり、MAX19586を駆動する回路の駆動要求を緩和する上で

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

MAX19586

望ましい場合があります。ただし、巻数比を大きくすると、一次側換算入力インピーダンスに対するMAX19586の差動入力インピーダンスの影響が大きくなります。

前述のように、最良の偶数次歪み性能を実現するためにはMAX19586への信号入力を高精度でバランスさせる必要があります。

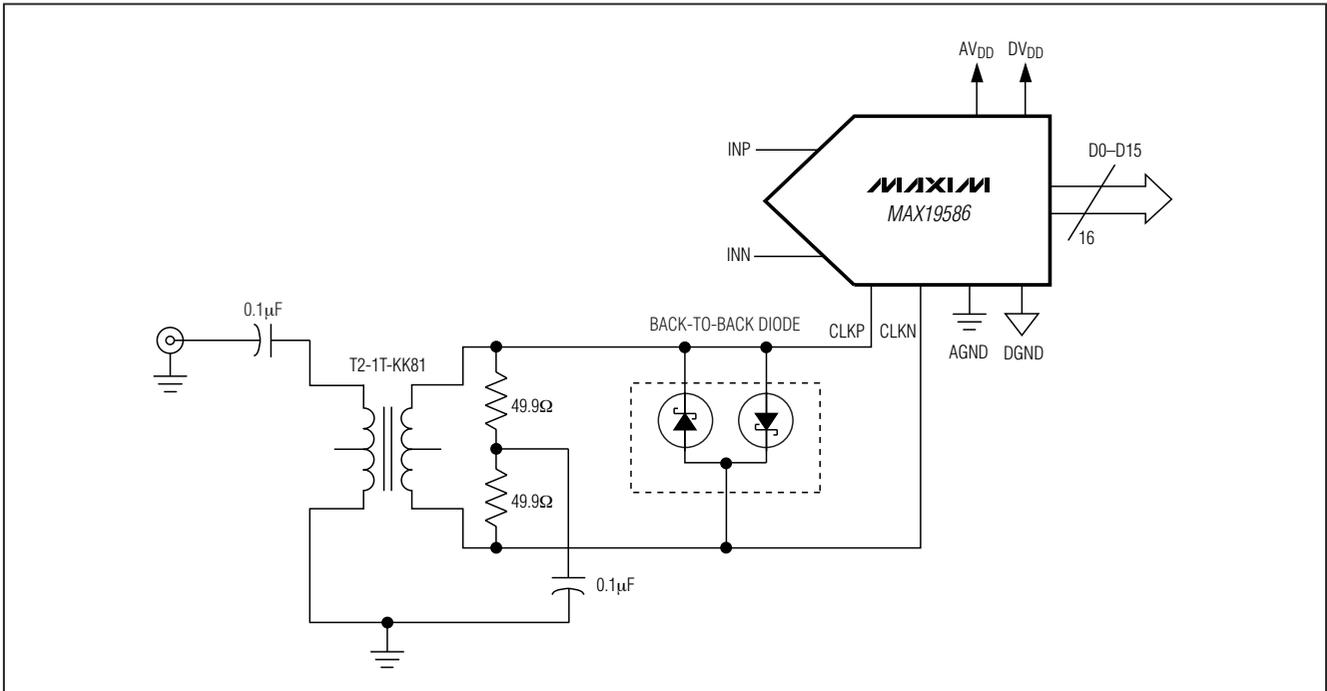


図6. トランス結合クロック入力構成

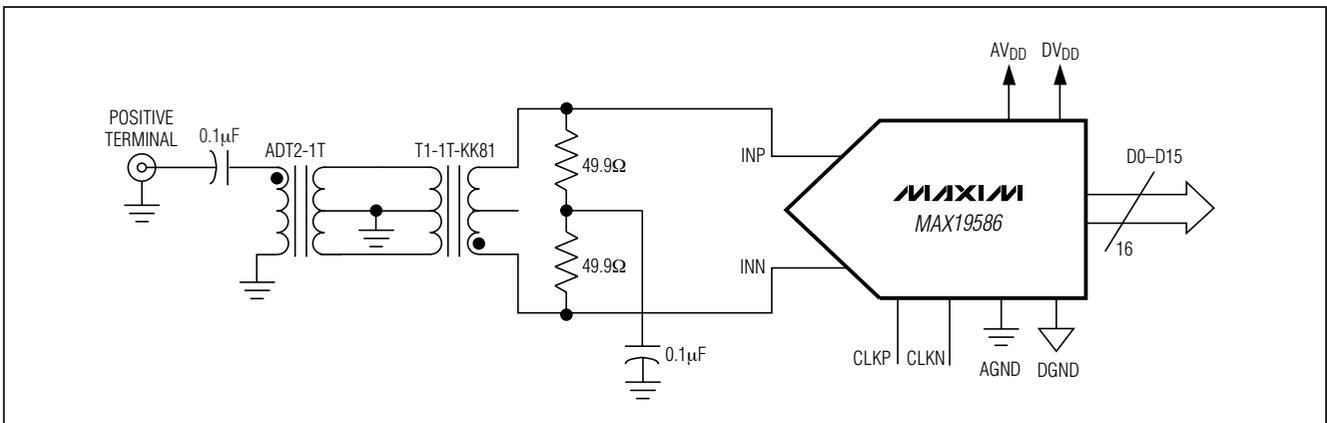


図7. トランス結合アナログ入力構成(一次側バランstrans付き)

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80MSPS ADC

トランスに関してもう1つ重要な注意があります。トランスの一次または二次巻線を流れるDC電流によって、トランスコアが磁気バイアスされる場合があります。この場合、トランスはもはや正確にバランスされず、MAX19586の歪みの劣化が認められることがあります。バランスされた動作に戻すためには、コアを消磁する必要があります。

MAX19586の試験

MAX19586は、きわめて低いサーマルノイズフロア(-82dBFS)とジッタ(100fs以下)を示します。このため、試験システムの限界によってADCの性能が不明確になりがちです。

図8aは、従来の高速ADC試験システムのブロック図です。入力信号とクロックソースは、低位相ノイズのシンセサイザ(例:Agilent 8644B)で発生されます。信号経路

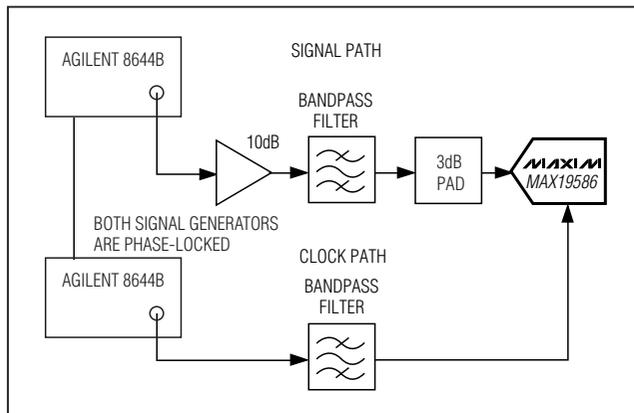


図8a. 標準高速ADC試験セットアップ(簡略化ブロック図)

とクロック経路のバンドパスフィルタは、その後のノイズおよび高調波成分を減衰させます。

図8bは、70MHzの入力トーンと80MSPSのクロックに対してこのセットアップから得られるパワースペクトルを示します。キャリアの近くでノイズフロアがかなり上昇していることに注意してください。キャリア付近のこうした特別なノイズフロア上昇の帯域幅は、入力信号経路のフィルタの帯域幅に対応しています。

図8cは、入力周波数が入力信号フィルタの中心周波数からずれている場合のスペクトルへの影響を示します。基本トーンは移動していますが、ノイズフロア上昇は同じ位置に留まっていることに注意してください。これは、ノイズフロアの上昇がADCではなく試験システムに起因するとの主張が正しいことを裏付けています。この図では、信号をフルスケールに近付けるために、信号ソースをフィルタの周辺に置いて信号振幅を拡大する必要があったためノイズフロア上昇の大きさが図8bに比較して増加しています。

MAX19586の性能を正しく示すためには、試験システムの性能を実質的に向上させる必要があります。図8dは、こうした改良型の試験システムを示します。このシステムでは、シンセサイザが、2つの専用低ノイズフェーズロックループ(PLL)にリファレンス入力を提供しており、その1つは約80MHz(クロック経路用)に中心があり、もう1つは70MHz(信号経路用)に中心があります。これらPLL内の発振器は超低ノイズの発振器で、PLLは

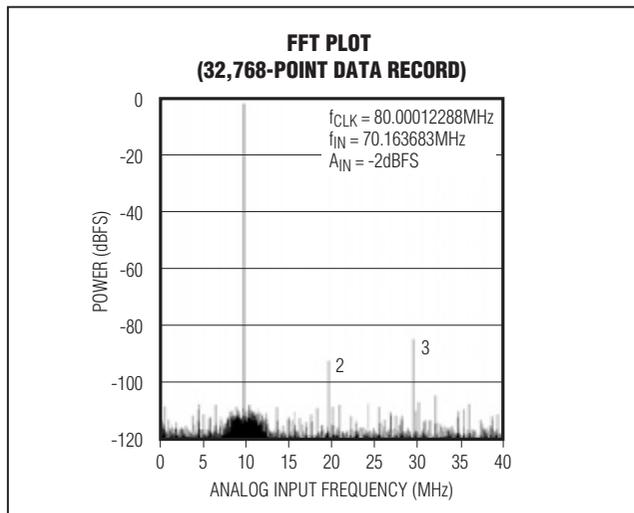


図8b. 標準高速ADC試験セットアップによる70MHz FFT

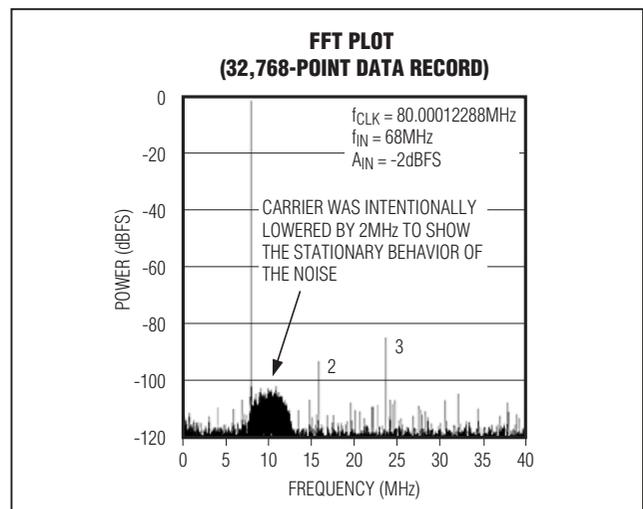


図8c. 標準高速ADC試験セットアップによる68MHz FFT

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

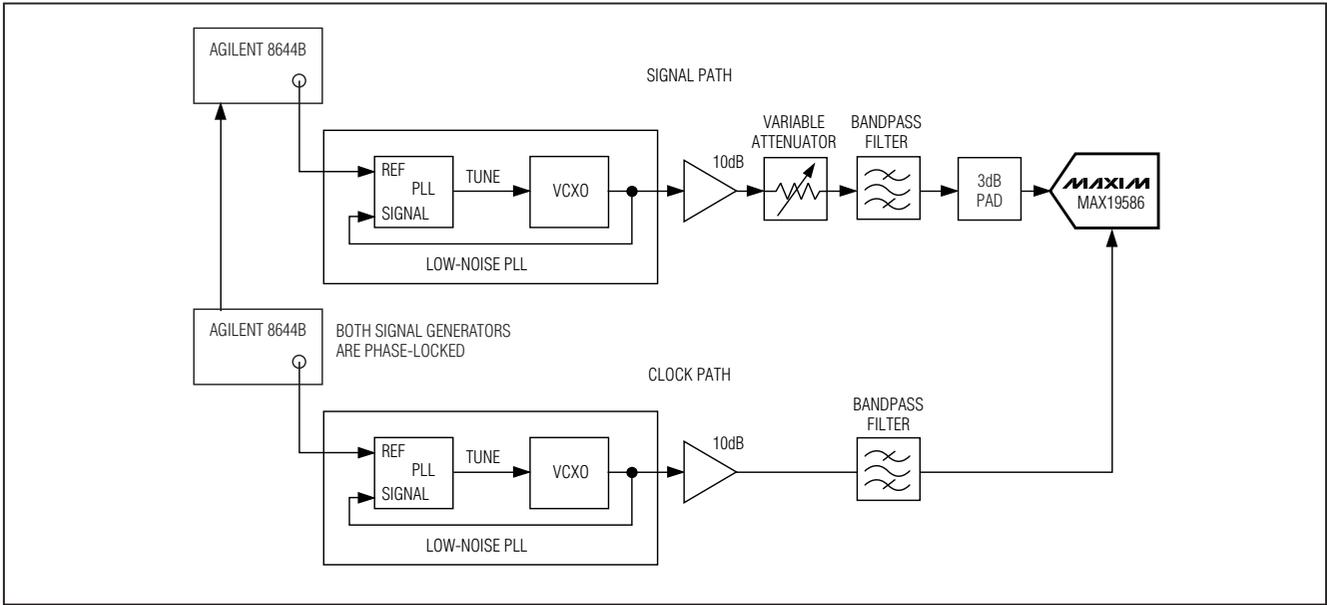


図8d. 狭帯域PLLを採用した改良型試験システム(簡略化ブロック図)

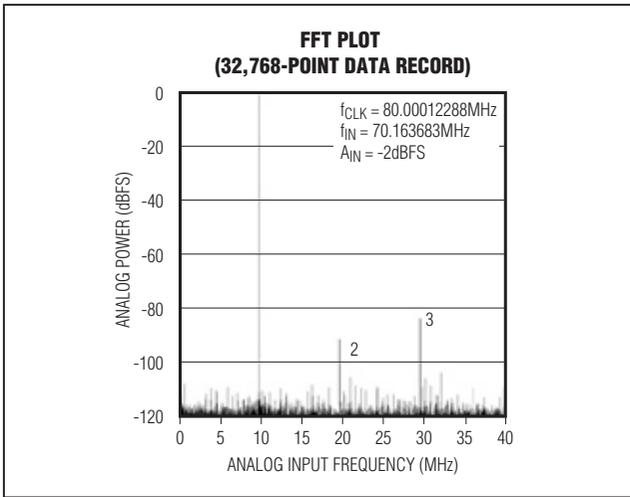


図8e. 改良型高速ADC試験セットアップによる70MHz FFT

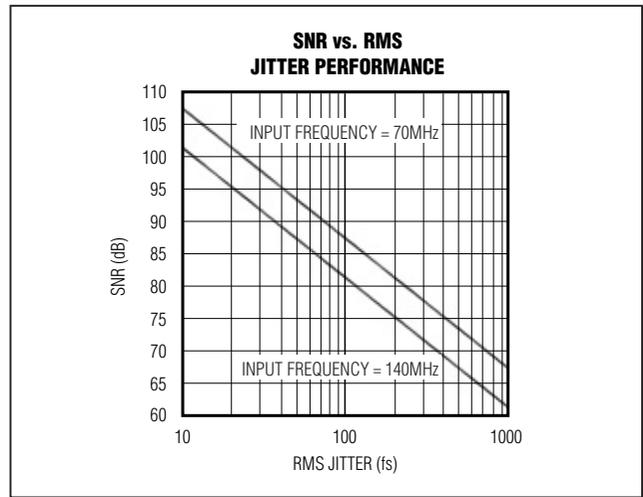


図8f. SNR 対 システムジッタ性能グラフ

シンセサイザのノイズを減衰させる超狭帯域フィルタ(約20Hz)として機能します。このシステムの全システムジッタは約20fsです。低ノイズ発振器は各信号ソースにロックされることなく単独で使用することができますが、この結果、コヒーレントでなく、かつウィンドウ化が必要となるFFTを実行することになります。

図8eは、改良型試験システムを採用した場合に得られるスペクトルのFFTプロットです。ここでは、キャリア近傍におけるノイズフロアの上昇がほぼ完全に排除されています。このFFTに関連するSNRは約79.1dBですが、標準試験システムから得られるSNRは約77.6dBです。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

図8fは、試験システムのジッタがSNRの測定値に及ぼす影響を示します。この図では、試験システムジッタのみに起因するSNRをプロットしており、2種類の入力周波数に対するその他すべてのノイズソースを無視しています。たとえば、70MHzの入力周波数の場合、100fsという試験システムジッタ値は約87.1dBのSNR(試験システムのみによる)となります。ノイズフロアが-82dBFSのMAX19586の場合、これは無視し得るノイズ増加量ではありません。

結論として、MAX19586の真の性能を正確に分析される必要がある場合は、入力信号ソースとクロック信号ソースの両方に細心の注意を払う必要があります。図8dに使用されているような、低ノイズVCO付き専用PLLは、要求される低ジッタ性能の信号を提供することができます。

層の割当て

MAX19586のEVキットは6層基板で、ここでは層の割当てについて説明します。グランドプレーンは、信号経路層と電源経路層の間の層に割り当てておくことをお勧めします。この方式によって、電源ラインから信号ラインへの結合が阻止されます。MAX19586のEVキットのプリント基板では、信号ラインを最上(部品)層に、グランドプレーンを層2に配置しています。信号経路専用ではない最上層の領域は、層2へのビア付きグランドプレーンで占められています。層3と層4は電源経路専用で、層5はもう1つのグランドプレーンであり、層6は追加部品の配置および追加信号経路に使用されます。

層1を信号ラインに、層2をグランドプレーンとして、層3を電源経路用に、層4を追加信号経路用に使用した4層実装ができます。ただし、クロックラインと信号ラインを相互にそして電源ラインからも絶縁させるよう注意が必要です。

信号経路

適切な偶数次歪みを維持するためには、信号ライン(INPおよびINN入力に接続されるトレース)を入念にバランスさせる必要があります。これを実行するためには、信号トレースをできる限り対称にする必要があります。つまり、2つの信号トレースをそれぞれ同じ長さにして、同じ寄生環境にする必要があります。前述のように、信号ラインを電源ラインから絶縁して電源から入力への結合を阻止する必要があります。これは、前項で説明したように、必要な層の割当てを行うことで実現されます。また、クロックラインを信号ラインから絶縁することも非常に重要です。MAX19586のEVキットでは、最下層(層6)にクロックラインを経由させることによって実現されます。つぎに、クロックラインはデバイスの

近接したビアを通じてADCに接続されます。クロックラインは、層5のグランドプレーンによって電源ラインからも同様に分離されています。

すべての高速設計の場合と同様に、容量性負荷を最小限に抑制するためにデジタル出力のトレースをできる限り短くする必要があります。デジタルグランドリターン電流がバイパスコンデンサに戻る連続的な経路を確保するために、こうしたトレースの下部にある層2のグランドプレーンをなくすべきではありません。

グランド

デジタルグランドリターン電流を制限するために、グランドプレーンを分割する方式がADCアプリケーションの文書でしばしば推奨されてきました。ただし、MAX19586のコンバータ類の場合は、単一の連続したグランドプレーンを使用することを強く推奨します。MAX19586のEVキットは、こうしたグランドプレーンで卓越したダイナミック性能を発揮します。

層2のグランドプレーンへのビア付き層1のグランドパッドにMAX19586のエクスポーズドパッドをじかに半田付けする必要があります。これによって、プリント基板との卓越した電氣的/熱的接続が実現します。

電源のバイパス

MAX19586のEVキットでは、各電源ライン(AV_{DD}とDV_{DD})に220 μ Fのコンデンサ(および、47 μ Fと2 μ Fなどの小容量値)を使用して、低周波バイパスを行います。こうしたコンデンサに関わる損失(直列抵抗)は、高いQ値に起因する電源共振の排除に役立ちます。また、各電源ラインにフェライトビーズを使用して、電源のバイパスを向上させることもできます(図9)。

高周波電源ノイズを減衰させるために、値が小さい(0.01 μ Fと0.1 μ F)低インダクタンスの表面実装コンデンサを各電源ピンや電源ピングループに配置する必要があります。グランドプレーンに短く接続して、できる限りコンバータに近接してこれらのコンデンサを基板上面に配置してください。

パラメータの定義

オフセット誤差(Offset Error)

オフセット誤差は、実際の伝達関数が理想的な伝達関数と1点においていかに良く一致するかを示す性能指数です。理想的には、MAX19586のミッドスケール遷移はミッドスケールよりも0.5LSB高い値で起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点の偏差の大きさです。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

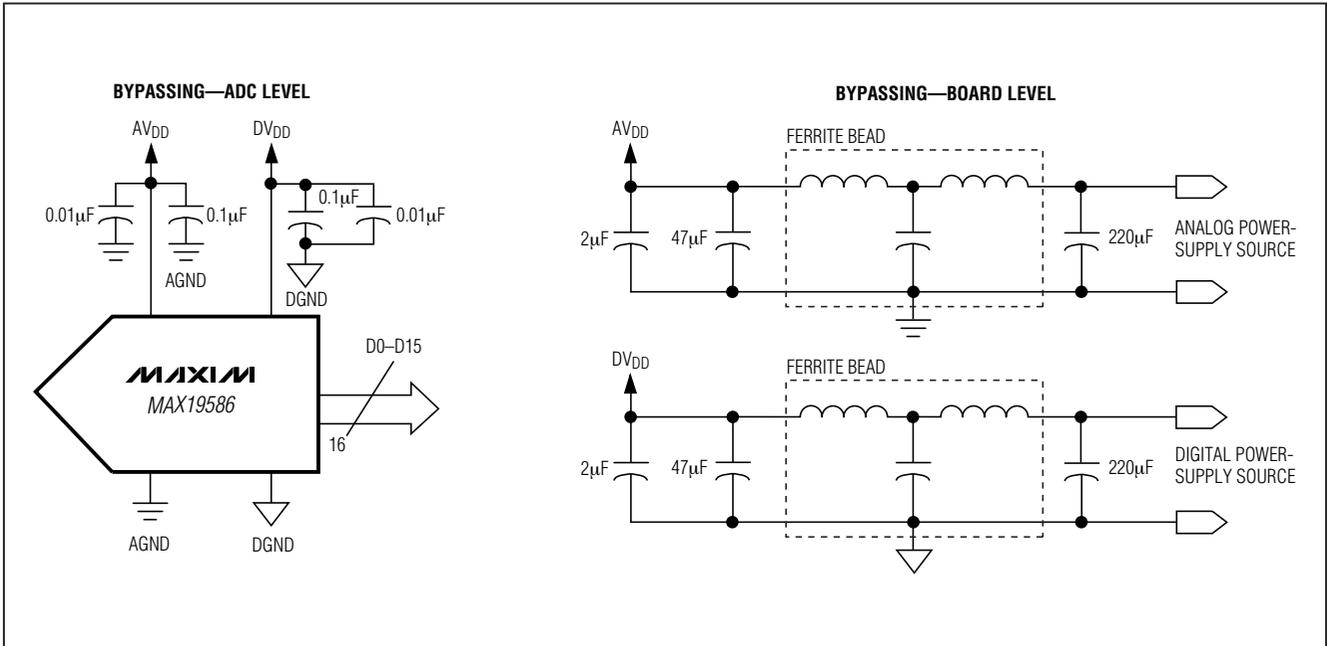


図9. MAX19586に関するグラウンド、バイパス、およびデカップリングの推奨回路

利得誤差(Gain Error)

利得誤差は、実際の伝達関数の傾斜が理想的な伝達関数の傾斜といかに良く一致するかを示す性能指標です。実際の伝達関数の傾斜は、正のフルスケールと負のフルスケールの2データポイント間で測定されます。理想的には、MAX19586の正のフルスケール遷移は正のフルスケールよりも1.5LSB低い値で起り、負のフルスケール遷移は負のフルスケールよりも0.5LSB高い値で起ります。利得誤差は測定された両遷移点の差から理想的な両遷移点の差を差し引いた値です。

小信号ノイズフロア (Small-Signal Noise Floor : SSNF)

小信号ノイズフロアは、小信号入力に対するナイキスト帯域での総合的なノイズおよび歪み電力です。DCオフセットは、このノイズの計算から除外されます。このコンバータの場合、小信号は、振幅が-35dBFS以下のシングルトーンとして定義されます。このパラメータは、データコンバータのサーマルノイズと量子化ノイズの特性を取り込んで、デジタルレシーバ信号経路全体のノイズ指数を算出するのに役立てることができます。

信号対ノイズ比(Signal-to-Noise Ratio : SNR)

デジタルサンプルから完全に再構築された波形の場合、理論的最大SNRはフルスケールアナログ入力(RMS値)の、RMS量子化誤差(残留誤差)に対する比です。理想的で理論的最小アナログ-デジタルノイズは、量子化誤差のみによってもたらされ、ADCの分解能(Nビット)に直接起因します。

$$\text{SNR}[\text{max}] = 6.02 \times N + 1.76$$

実際には、量子化ノイズ以外にサーマルノイズ、リファレンスノイズ、クロックジッタなど、他のノイズソースもあります。SNRは、RMS信号のRMSノイズに対する比を取ることによって算出されます。RMSノイズは、基本波、最初の4つの高調波(HD2~HD5)、およびDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

$$\text{SNR} = 20 \times \log(\text{SIGNAL}_{\text{RMS}} / \text{NOISE}_{\text{RMS}})$$

信号対ノイズ比 + 歪み (Signal-to-Noise Plus Distortion : SINAD)

SINADは、RMS信号の、RMSノイズ+歪みに対する比を取るによって算出されます。RMSノイズ+歪みは、基本波とDCオフセットを除くナイキスト周波数までのすべてのスペクトル成分を含みます。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

MAX19586

スプリアスフリー、ダイナミックレンジ (Spurious-Free Dynamic Range : SFDR1およびSFDR2)

SFDRは、基本波(最大信号成分)のRMS振幅を、次に大きなスプリアス成分のRMS値(DCオフセットを除く)に対してデシベル単位で表わした比です。SFDR1は、ワーストの2次または3次の高調波歪みに基づいたMAX19586のスプリアス性能を表わします。SFDR2は、2次および3次の高調波スプリアスとDCオフセットを除くワーストのスプリアス成分で定義されます。

2トーン、スプリアスフリー、ダイナミックレンジ (Two-Tone Spurious-Free Dynamic Range : TTSFDR)

2トーンSFDRは、コンバータのフルスケールの、ピークスプリアス成分のRMS値に対する比です。ピークスプリアス成分は、相互変調歪み成分に関係付けることができますが、必ずしもそうする必要はありません。MAX19586の2トーンSFDRは、dBFS単位で表わされます。

2トーン相互変調歪み (Two-Tone Intermodulation Distortion : TTIMD)

IMDは、2つの入力トーン f_{IN1} と f_{IN2} の全入力パワーを基準とするナイキスト周波数までのIM2~IM5相互変調積の全パワーです。各入力トーンレベルは、-8dBFSにおける値です。相互変調積は以下の通りです。

2次相互変調積(IM2) : $f_{IN1} + f_{IN2}$ 、 $f_{IN2} - f_{IN1}$

3次相互変調積(IM3) : $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$

4次相互変調積(IM4) : $3 \times f_{IN1} - f_{IN2}$ 、 $3 \times f_{IN2} - f_{IN1}$ 、 $3f_{IN1} + f_{IN2}$ 、 $3 \times f_{IN2} + f_{IN1}$ 、 $2 \times f_{IN1} - 2 \times f_{IN2}$

5次相互変調積(IM5) : $3 \times f_{IN1} - 2 \times f_{IN2}$ 、 $3 \times f_{IN2} - 2 \times f_{IN1}$ 、 $3 \times f_{IN1} + 2 \times f_{IN2}$ 、 $3 \times f_{IN2} + 2 \times f_{IN1}$ 、 $4 \times f_{IN1} - f_{IN2}$

2トーン相互変調歪みは、両入力トーンのピーク対平均パワーでなく、単一キャリアの振幅について測定されます。

アパーチャジッタ(Aperture Jitter)

アパーチャジッタ(t_{AJ})はアパーチャ遅延仕様におけるサンプル間のばらつきを表わします。

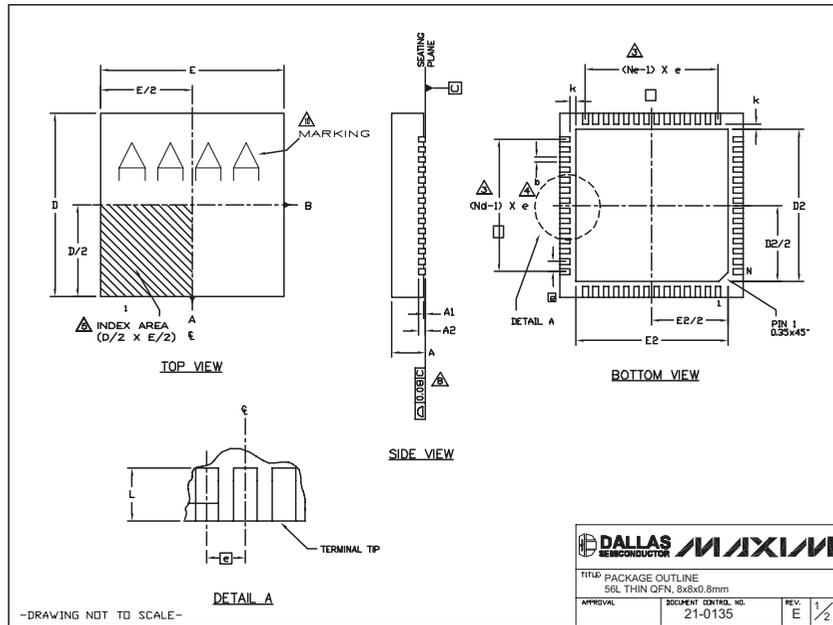
アパーチャ遅延(Aperture Delay)

アパーチャ遅延(t_{AD})は、サンプリングクロックの立上りエッジと、実際のサンプル取得時点との間の時間です(図5)。

-82dBFSノイズフロア付き、 高ダイナミックレンジ、16ビット、80Msps ADC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



NOTES:

- DIE THICKNESS ALLOWABLE IS 0.225mm MAXIMUM (0.009 INCHES MAXIMUM).
- DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
- N IS THE NUMBER OF TERMINALS.
N_D IS THE NUMBER OF TERMINALS IN X-DIRECTION &
N_E IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
- DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
- THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE WITHIN HATCHED AREA AS SHOWN. EITHER AN INDENTATION MARK OR INK/LASER MARK IS ACCEPTABLE.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- PACKAGE WARPAGE MAX 0.01mm.
- APPLIES TO EXPOSED PAD AND TERMINALS. EXCLUDES INTERNAL DIMENSION OF EXPOSED PAD.
- MEETS JEDEC MO220.
- MARKING IS FOR PACKAG ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS ARE FOR REFERENCE ONLY

MIN.	NOM.	MAX.	56L 8x8	
			N _D	N _E
A	0.70	0.75	0.80	
b	0.20	0.25	0.30	4
D	7.90	8.00	8.10	
E	7.90	8.00	8.10	
⊠	0.50 BSC			
N	56			3
N _D	14			3
N _E	14			3
L	0.30	0.40	0.50	
A1	0.00	0.02	0.05	
A2	0.20 REF			
k	0.25	--	--	

PKG. CODE	EXPOSED PAD VARIATION						JEDEC	DOWN BONDS ALLOWED
	D2			E2				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
TS688-2	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-S	YES
TS688-3	6.50	6.65	6.70	6.50	6.65	6.70	WLLD-S	NO

DALLAS SEMICONDUCTOR MAXIM

TITLE PACKAGE OUTLINE
56L THIN QFN, 8x8x0.8mm

APPROVAL: EQUIPMENT CONTROL NO. 21-0135 REV. E 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

20 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.