

MAXIM

レベルセッター内蔵デュアルDCL

MAX19000

概要

MAX19000は、レベルセッターを内蔵した、全機能内蔵、デュアルチャネル、高性能ピンエレクトロニクスドライバ/コンパレータ/負荷(DCL)であり、メモリおよびSOC ATEシステムに最適です。MAX19000の各チャネルは、3レベルのピンドライバ、ウィンドウコンパレータ、ダイナミッククランプ、アクティブ負荷、プログラム可能なケーブル損失補償、およびプログラム可能なレベルセッターを内蔵しています。

ドライバは-2V~+6Vの広い動作範囲および+2V動作時に1200Mbpsのデータ速度を特長としています。このドライバはハイインピーダンス、アクティブ終端(第3レベル駆動)を内蔵しており、低電圧振幅においても高いリニアリティを維持します。ウィンドウコンパレータは、スルーレート、コモンモード、パルス幅、およびオーバードライブの変化に対して極めて小さいタイミング変動を実現します。アクティブ負荷は拡張された I_{OH} および I_{OL} 電流範囲を備え、最大20mAを提供します。ダイナミッククランプは、DCLがハイインピーダンス受信モードのときに高速DUT波形のダンピングを提供します。シリアルインタフェースはデバイスの設定を行い、PCBの信号配線を容易にします。

MAX19000は、エクスポーズドパッドを備えた64ピンTQFPパッケージで提供されます。

アプリケーション

メモリテスト

SOCテスト

特長

- ◆ 高速：1200Mbps (+2V動作時)
- ◆ 高速立上り/立下り時間：400ps (max、+2V動作時、20%から80%まで)
- ◆ 超低電力損失：1.3W/チャネル
- ◆ 広く、高速の電圧範囲：-2V~+6V
- ◆ 低リークモード：10nA (max)
- ◆ オンザフライ終端内蔵(第3レベル駆動)
- ◆ プログラム可能なケーブル損失補償(ドライブおよびレシーブ)
- ◆ 20mAのアクティブ負荷
- ◆ デジタルスルーレート制御
- ◆ 電圧クランプ内蔵
- ◆ レベルセッター内蔵
- ◆ 調整可能な出力抵抗
- ◆ 調整可能なコンパレータのヒステリシス
- ◆ 極めて小さいタイミングのばらつき
- ◆ シリアル制御インタフェース
- ◆ 最小限の外付け部品数

型番/選択ガイド

PART	TEMP RANGE	COMPARATOR OUTPUT (mA)	DATA_/NDATA_ RCV_/NRCV_ DIFFERENTIAL TERMINATION (Ω)	PIN-PACKAGE
MAX19000BECB+	0°C to +70°C	12	100	64 TQFP-EP*

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

*EP = エクスポーズドパッド

レベルセッター内蔵デュアルDCL

MAX19000

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +11V
V _{EE} to GND	-6V to +0.3V
Any V _{CC} to Any V _{EE}	+16.5V
V _{DD} to DGND	-0.3V to +5V
DGND to GND	±0.3V
GNDDAC ₋ to GND	±0.3V
DGND to GNDDAC ₋	±0.3V
DGS to GND	±1V
CTV ₋ , DTV ₋ , RTV ₋ to GND	-0.3V to +5V
DATA ₋ , NDATA ₋ to GND	
(Differential Input Termination) ... (V _{EE} - 0.3V) to (V _{CC} + 0.3V)	
RCV ₋ , NRCV ₋ to GND	
(Differential Input Termination) ... (V _{EE} - 0.3V) to (V _{CC} + 0.3V)	
CH ₋ , NCH ₋ , CL ₋ , NCL ₋ to GND	(V _{CTV₋} - 1.1V) to (V _{CTV₋} + 0.3V)
Current into CH ₋ , NCH ₋ , CL ₋ , NCL ₋	±10mA
DATA ₋ to NDATA ₋ , RCV ₋ to NRCV ₋	±1V
RTV ₋ - RCV ₋ , RTV ₋ - NRCV ₋	-0.3V to +1V
DTV ₋ - DATA ₋ , DTV ₋ - NDATA ₋	-0.3V to +1V
DUT ₋ to GND	(V _{EE} - 0.3V) to (V _{CC} + 0.3V)

SCLK, DIN, $\overline{\text{CS}}$, $\overline{\text{LOAD}}$ to DGND	-0.3V to (V _{DD} + 0.3V)
RST, LLEAKP ₋ to DGND	-0.3V to (V _{DD} + 0.3V)
OVALARM, TALARM to DGND	-0.3V to (V _{DD} + 0.3V)
TEMP to GND	(V _{EE} - 0.3V) to (V _{CC} + 0.3V)
REF to GND	-0.3V to the lower of (V _{GNDDAC₋} + 2.6V) and (V _{CC} + 0.3V)
REF Current	±75mA
All Digital Inputs	±30mA
DUT ₋ Short-Circuit Duration	Continuous
Continuous Power Dissipation	
64-Pin TQFP (derate 125mW/°C above +70°C)	10W
Junction Temperature	+150°C
Storage Temperature	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
ESD, Human Body Model:	
All Pins Excluding Pins Below	2.000V
ESD, Human Body Model: DATA ₋ , NDATA ₋	1.500V
ESD, Human Body Model: RCV ₋ , NRCV ₋ , DTV ₋ , RTV ₋	1.500V
Humidity	10% to 90%

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +9.25V, V_{EE} = -5.25V, V_{DD} = +3.3V, V_{DHV₋} = +3V, V_{DLV₋} = 0V, V_{DTV₋} = +1.5V, V_{CHV₋} = +2V, V_{CLV₋} = +1V, V_{CPHV₋} = +6.7V, V_{CPLV₋} = -2.7V, V_{COMV₋} = +2.5V, V_{LDHV₋} = 0V, V_{LDLV₋} = 0V, V_{CTV₋} = +1.2V, V_{DTV₋} = V_{RTV₋} = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, V_{DGS} = V_{GND} = V_{GNDDAC} = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DRIVER						
DRIVER DC CHARACTERISTICS (R_L ≥ 10MΩ, unless otherwise noted; includes level-setter error)						
Output-Voltage Range	V _{DHV₋}	V _{DLV₋} = -2V, V _{DTV₋} = +1.5V	-1.8		+6	V
	V _{DLV₋}	V _{DHV₋} = +6V, V _{DTV₋} = +1.5V	-2		+5.8	
	V _{DTV₋}	V _{DHV₋} = +6V, V _{DLV₋} = -2V	-2		+6	
Output Offset Voltage (Note 1)	V _{DHVOS}	V _{DHV₋} = +0.125V, V _{DLV₋} = -2V, V _{DTV₋} = +1.5V			±2	mV
	V _{DLVOS}	V _{DLV₋} = +0.125V, V _{DHV₋} = +6V, V _{DTV₋} = +1.5V			±2	
	V _{DLVOS}	V _{DTV₋} = +0.125V, V _{DHV₋} = +6V, V _{DLV₋} = -2V			±2	
Output-Voltage Temperature Coefficient (Notes 2, 3)	V _{DHV₋}			±75	±500	μV/°C
	V _{DLV₋}			±75	±500	
	V _{DTV₋}			±75	±500	

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Gain (Note 1)	ADHV ₋	VDLV ₋ = -2V, VDTV ₋ = +1.5V, VDHV ₋ = +0.125V and +3.875V	0.998	1	1.002	V/V
	ADLV ₋	VDHV ₋ = +6V, VDTV ₋ = +1.5V, VDLV ₋ = +0.125V and +3.875V	0.998	1	1.002	
	ADTV ₋	VDHV ₋ = +6V, VDLV ₋ = -2V, VDTV ₋ = +0.125V and +3.875V	0.998	1	1.002	
Linearity Error, -0.5V to +4.5V (Note 1)		VDLV ₋ = -2V, VDTV ₋ = +1.5V, VDHV ₋ = -0.5V to +4.5V		±1	±6	mV
		VDHV ₋ = +6V, VDTV ₋ = +1.5V, VDLV ₋ = -0.5V to +4.5V		±1	±6	
		VDLV ₋ = -2V, VDHV ₋ = +6V, VDTV ₋ = -0.5V to +4.5V		±1	±6	
Linearity Error, -1.75V to +5.125V (Note 1)		VDLV ₋ = -2V, VDTV ₋ = +1.5V, VDHV ₋ = -1.75V and +5.125V			±12	mV
		VDHV ₋ = +6V, VDTV ₋ = +1.5V, VDLV ₋ = -1.75V and +5.125V			±12	
		VDLV ₋ = -2V, VDHV ₋ = +6V, VDTV ₋ = -1.75V and +5.125V			±12	
Linearity Error, Full Range (Note 1)		VDLV ₋ = -2V, VDTV ₋ = 1.5V, VDHV ₋ = -1.8V and +6V		±5	±14	mV
		VDHV ₋ = +6V, VDTV ₋ = 1.5V, VDLV ₋ = -2V and +5.8V		±5	±14	
		VDLV ₋ = -2V, VDHV ₋ = 6V, VDTV ₋ = -2V and +6V		±5	±14	
DHV ₋ -to-DLV ₋ Crosstalk		VDLV ₋ = -0.5V, VDTV ₋ = 1.5V, VDHV ₋ = -0.3 and +6V			±3	mV
DLV ₋ -to-DHV ₋ Crosstalk		VDHV ₋ = +4.5V, VDTV ₋ = 1.5V, VDLV ₋ = -2.0 and +4.3V			±3	mV
DTV ₋ -to-DLV ₋ and DHV ₋ Crosstalk		VDHV ₋ = +3V, VDLV ₋ = 0V, VDTV ₋ = -2V and +6V			±2	mV
DHV ₋ -to-DTV ₋ Crosstalk		VDTV ₋ = +1.5V, VDLV ₋ = 0V, VDHV ₋ = 1.6V and +3V			±3	mV
DLV ₋ -to-DTV ₋ Crosstalk		VDTV ₋ = +1.5V, VDHV ₋ = +3V, VDLV ₋ = 0V and +1.4V			±3	mV
Term Voltage Dependence on DATA ₋		VDTV ₋ = +1.5V, VDHV ₋ = +3V, VDLV ₋ = 0V, DATA ₋ = 0 and 1			±2	mV

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, V_{DHV} = +3V, V_{DLV} = 0V, V_{DTV} = +1.5V, V_{CHV} = +2V, V_{CLV} = +1V, V_{CPHV} = +6.7V, V_{CPLV} = -2.7V, V_{COMV} = +2.5V, V_{LDHV} = 0V, V_{LDLV} = 0V, V_{CTV} = +1.2V, V_{DTV} = V_{RTV} = 0V, CDRP = 000b, RO = 1100b, HYST = 000b, SC = 00b, V_{DGS} = V_{GND} = V_{GNDDAC} = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC Power-Supply Rejection	PSRR _{DHV}	V _{DHV} = +3V, VCC and VEE independently varied full range	39			dB
	PSRR _{DLV}	V _{DLV} = 0V, VCC and VEE independently varied full range	39			
	PSRR _{DTV}	V _{DTV} = +1.5V, VCC and VEE independently varied full range	39			
DC Drive Current Limit		R _L = 0, when DATA = H, V _{DHV} = +6V and V _{DUT} = -2V; when DATA = L, V _{DLV} = -2V and V _{DUT} = +6V	±65		±110	mA
DC Output Resistance		(Note 4)	46	48	50	Ω
DC Output Resistance Variation (Note 5)		DATA = H, V _{DHV} = +3V, V _{DLV} = 0V, V _{DTV} = +1V, I _{DUT} = 1mA to 40mA		1	2	Ω
		DATA = L, V _{DHV} = +3V, V _{DLV} = 0V, V _{DTV} = +1V, I _{DUT} = -1mA to -40mA		1	2	
Adjustable Output Resistance Range	ΔR _O	R _O = Fh vs. R _O = 8h and R _O = 0h vs. R _O = 8h, resolution of 0.36Ω conditions (Note 4)		±2.5		Ω
DRIVER AC CHARACTERISTICS (R_L = 50Ω to GND) (Note 6)						
Dynamic Drive Current		(Note 7)		±100		mA
Drive Mode Overshoot		Cable-droop compensation off, CDRP = 000b	V _{DLV} = 0V, V _{DHV} = +0.1V	40		%
			V _{DLV} = 0V, V _{DHV} = +1V	8		
			V _{DLV} = 0V, V _{DHV} = +3V	3		
			V _{DLV} = 0V, V _{DHV} = +5V	2		
Drive Mode Undershoot		Cable-droop compensation off, CDRP = 000b	V _{DLV} = 0V, V _{DHV} = +0.1V	20		%
			V _{DLV} = 0V, V _{DHV} = +1V	5		
			V _{DLV} = 0V, V _{DHV} = +3V	2		
			V _{DLV} = 0V, V _{DHV} = +5V	2		
Cable-Droop Compensation Range, Fast Time Constant		V _{DLV} = 0V, V _{DHV} = +1V, CDRP _S = 000		0		%
		V _{DLV} = 0V, V _{DHV} = +1V, CDRP _S = 111		20		

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, V CPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cable-Droop Compensation Range, Slow Time Constant		V _{DLV_} = 0V, V _{DHV_} = +1V, CDRP_L = 000		0		%
		V _{DLV_} = 0V, V _{DHV_} = +1V, CDRP_L = 111		20		
Driver Cable-Droop Compensation, Short Time Constant				80		ps
Driver Cable-Droop Compensation, Long Time Constant				1.3		ns
Termination Mode Overshoot		Cable-droop compensation off (Notes 3, 8)		0	50	mV
Settling Time (Note 3)		To within 100mV, V _{DHV_} = +5V, V _{DLV_} = 0V (Note 9)		0.25	1	ns
		To within 50mV, V _{DHV_} = +3V, V _{DLV_} = 0V (Note 9)		0.25	1	
		To within 25mV, V _{DHV_} = +0.5V, V _{DLV_} = 0V (Note 9)		0.25	1	
TIMING CHARACTERISTICS (Notes 6, 10)						
Propagation Delay, Data to Output		V _{DHV_} = +3V, V _{DLV_} = 0V (Note 11)	0.6	1.0	1.4	ns
Propagation Delay Match, t _{LH} vs. t _{HL}		(Note 3)		±40	±80	ps
Propagation Delay Match, Drivers Within Package		Same edge		40		ps
Propagation Delay Temperature Coefficient		(Note 3)		1	5	ps/°C
Propagation Delay Change vs. Pulse Width		V _{DHV_} = +1V, V _{DLV_} = 0V, 0.85ns to 24.150ns pulse width (Note 3)		±25	±50	ps
		V _{DHV_} = +3V, V _{DLV_} = 0V, 1ns to 24ns pulse width (Note 3)		±35	±60	
		V _{DHV_} = +5V, V _{DLV_} = 0V, 1.5ns to 23.5ns pulse width		±100		
Propagation Delay Change vs. Common Mode (Note 3)		V _{DHV_} - V _{DLV_} = +1V, V _{DHV_} = +1V to +4V (using a DC block)		50	60	ps
		V _{DHV_} - V _{DLV_} = +1V, V _{DHV_} = -1V to +6V (using a DC block)		50	120	

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Propagation Delay, Drive to High Impedance, High Impedance to Drive		VDHV ₋ = +1V, VDLV ₋ = -1V (Notes 3, 12)	1.5	2.1	2.8	ns
Delay Match, Drive to High Impedance vs. High Impedance to Drive		VDHV ₋ = +1V, VDLV ₋ = -1V (Note 13)		±0.5		ns
Delay Match, High Impedance vs. Data				±1.3		ns
Propagation Delay, Drive to Term, Term to Drive		(Notes 3, 14)	1.7	2.5	3.4	ns
Delay Match, Drive to Term vs. Term to Drive		VDHV ₋ = +3V, VDLV ₋ = 0V, VDTV ₋ = +1.5V (Note 15)		±0.5		ns
Delay Match, Term vs. Data				±1.5		ns
Rise and Fall Time		+0.2Vp-p programmed, VDHV ₋ = +0.2V, VDLV ₋ = 0V, 20% to 80% (Note 16)		140		ps
		+0.2Vp-p programmed, VDHV ₋ = +0.2V, VDLV ₋ = 0V, 20% to 80% (Note 17)		150		
		+1Vp-p programmed, VDHV ₋ = +1V, VDLV ₋ = 0V, 10% to 90% (Notes 3, 16)	200	270	400	
		+1Vp-p programmed, VDHV ₋ = +1V, VDLV ₋ = 0V, 10% to 90% (Note 17)		350		
		+1Vp-p programmed, VDHV ₋ = +1V, VDLV ₋ = 0V, 20% to 80% (Notes 3, 16)	140	190	275	
		+2Vp-p programmed, VDHV ₋ = +2V, VDLV ₋ = 0V, 20% to 80% (Notes 3, 16)	230	280	400	
		+2Vp-p programmed, VDHV ₋ = +2V, VDLV ₋ = 0V, 20% to 80% (Note 17)		280		
		+3Vp-p programmed, VDHV ₋ = +3V, VDLV ₋ = 0V, 10% to 90% trim condition (Note 16)	450	550	800	
		+3Vp-p programmed, VDHV ₋ = +3V, VDLV ₋ = 0V, 10% to 90% (Note 17)		600		
		+5Vp-p programmed, VDHV ₋ = +5V, VDLV ₋ = 0V, 10% to 90% (Notes 3, 16)	650	850	1050	
		+5Vp-p programmed, VDHV ₋ = +5V, VDLV ₋ = 0V, 10% to 90% (Note 17)		910		

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rise and Fall Time Matching (Note 16)		+0.2Vp-P programmed, VDHV ₋ = +0.2V, VDLV ₋ = 0V, 20% to 80%		±20		ps
		+1Vp-P programmed, VDHV ₋ = +1V, VDLV ₋ = 0V, 10% to 90%		±30	±55	
		+2Vp-P programmed, VDHV ₋ = +2V, VDLV ₋ = 0V, 20% to 80%		±25	±50	
		+3Vp-P programmed, VDHV ₋ = 3V, VDLV ₋ = 0V, 10% to 90%		±40	±100	
		+5Vp-P programmed, VDHV ₋ = +5V, VDLV ₋ = 0V, 10% to 90%		±30		
Slew Rate, Relative to SC1 = SC0 = 0		SC1 = 0, SC0 = 1, VDHV ₋ = +3V, VDLV ₋ = 0V, 20% to 80%		75		%
		SC1 = 1, SC0 = 0, VDHV ₋ = +3V, VDLV ₋ = 0V, 20% to 80%		50		
		SC1 = 1, SC0 = 1, VDHV ₋ = +3V, VDLV ₋ = 0V, 20% to 80%		25		
Minimum Pulse Width (Positive or Negative)		+0.2Vp-P programmed, VDHV ₋ = +0.2V, VDLV ₋ = 0V (Note 18)		400		ps
		+1Vp-P programmed, VDHV ₋ = +1V, VDLV ₋ = 0V (Notes 3, 18)		475	610	
		+1Vp-P programmed, VDHV ₋ = +1V, VDLV ₋ = 0V; output reaches at least 90% of its nominal DC output level (Note 3)		390	525	
		+2Vp-P programmed, VDHV ₋ = +2V, VDLV ₋ = 0V (Notes 3, 18)		665	833	
		+3Vp-P programmed, VDHV ₋ = +3V, VDLV ₋ = 0V (Notes 3, 18)		800	1000	
		+5Vp-P programmed, VDHV ₋ = +5V, VDLV ₋ = 0V (Note 18)		1300		

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, V_{DHV} = +3V, V_{DLV} = 0V, V_{DTV} = +1.5V, V_{CHV} = +2V, V_{CLV} = +1V, V_{CPHV} = +6.7V, V_{CPLV} = -2.7V, V_{COMV} = +2.5V, V_{LDHV} = 0V, V_{LDLV} = 0V, V_{CTV} = +1.2V, V_{DTV} = V_{RTV} = 0V, CDRP = 000b, RO = 1100b, HYST = 000b, SC = 00b, VDGS = V_{GND} = V_{GNDDAC} = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Data Rate		+0.2V _{P-P} programmed, V _{DHV} = +0.2V, V _{DLV} = 0V (Note 19)		2500		Mbps
		+1V _{P-P} programmed, V _{DHV} = +1V, V _{DLV} = 0V (Notes 3, 19)	1650	2100		
		+1V _{P-P} programmed, V _{DHV} = +1V, V _{DLV} = 0V; output reaches at least 90% of its nominal DC output level (Note 3)	1750	2570		
		+2V _{P-P} programmed, V _{DHV} = +2V, V _{DLV} = 0V (Notes 3, 19)	1200			
		+3V _{P-P} programmed, V _{DHV} = +3V, V _{DLV} = 0V (Notes 3, 19)	1000			
		+5V _{P-P} programmed, V _{DHV} = +5V, V _{DLV} = 0V (Note 19)		900		
Rise and Fall Time, Drive to Term		V _{DHV} = +3V, V _{DLV} = 0V, V _{DTV} = +1.5V; measured 10% to 90% of waveform (Note 20)	250	700	1300	ps
Rise and Fall Time, Term to Drive		V _{DHV} = +3V, V _{DLV} = 0V, V _{DTV} = +1.5V; measured 10% to 90% of waveform (Note 20)	400	550	800	ps

COMPARATOR

COMPARATOR DC CHARACTERISTICS (Note 21)

Input-Voltage Range			-2.2		±6.2	V
Differential Input Voltage		V _{DUT} - V _{CH} , V _{DUT} - V _{CL}			±8.4	V
Input Offset Voltage		V _{DUT} = +2V (Note 22)		±1	±5	mV
Input-Voltage Temperature Coefficient		(Notes 22, 23)		±50		μV/°C
Common-Mode Rejection	CMRR	V _{DUT} = -2V, +6V (Notes 22, 24)	45	50		dB
Linearity Error		-0.5V to +4.5V, V _{DUT} = -0.5V to +4.5V (Notes 22, 25)		±1	±5	mV
		-1.75V to +5.125V, V _{DUT} = -1.75V to 5.125V (Notes 22, 25)			±8	
		-2V to +6V, V _{DUT} = -2V, +6V (Notes 22, 25)		±2	±10	
		Full range, V _{DUT} = -2.2V, +6.2V (Notes 22, 25)		±2		
Power-Supply Rejection	PSRR	V _{DUT} = -2V and +6V (Notes 22, 26)	45	50		dB

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Hysteresis		HYST2 = 0, HYST1 = 0, HYST0 = 0			0		mV
		HYST2 = 0, HYST1 = 0, HYST0 = 1			2		
		HYST2 = 0, HYST1 = 1, HYST0 = 0			4		
		HYST2 = 0, HYST1 = 1, HYST0 = 1			6		
		HYST2 = 1, HYST1 = 0, HYST0 = 0			8		
		HYST2 = 1, HYST1 = 0, HYST0 = 1			10		
		HYST2 = 1, HYST1 = 1, HYST0 = 0			12		
		HYST2 = 1, HYST1 = 1, HYST0 = 1			15		
COMPARATOR AC CHARACTERISTICS (Notes 21, 27, 28, 29)							
Effective Comparator Bandwidth, Term Mode		(Notes 3, 30)		1.85	3.2		GHz
		(Note 31)			2.3		
Effective Comparator Bandwidth, High-Impedance Mode		(Note 30)			620		MHz
		(Note 32)			620		
Minimum Pulse Width		(Notes 3, 33)			0.5	0.65	ns
Propagation Delay				0.5	0.9	1.5	ns
Propagation Delay Temperature Coefficient					2.1		ps/°C
Propagation Delay Match, High/Low vs. Low/High		Absolute value of delta for each comparator (Note 3)			±10	±60	ps
PROPAGATION DELAY DISPERSIONS							
Propagation Delay Dispersion vs. Common-Mode Input		VCM = -1.9V to +5.9V (Notes 3, 34)			±40	±55	ps
Propagation Delay Dispersion vs. Overdrive		VOD = 50mV to +0.5V, VDUT_ = 0 to 1V, 2ns/V	VCX = +0.5V to +0.95V		±40		ps
			VCX = +0.5V to +0.05V		±40		
Propagation Delay Dispersion vs. Duty Cycle (Note 3)		0.6ns to 24.4ns pulse width, relative to 12.5ns pulse width (Note 35)			±25	±40	ps
Propagation Delay Dispersion vs. Slew Rate (Note 3)		1V/ns to 6V/ns, relative to 3.5V/ns			±30	±40	ps
Waveform Tracking (Note 3)		Driver in term mode, peak-to-peak within 100mV < VCX < 900mV window (Note 36)			50	80	ps
		Driver in term mode, peak-to-peak within 50mV < VCX < 950mV window (Note 36)			80	130	
High-Impedance Waveform Tracking (Note 3)		Driver in high-Z, peak-to-peak within 100mV < VCX < 900mV window (Note 36)			150	200	ps

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Cable-Droop Compensation Range, Fast Time Constant		+1V swing, rise/fall time = 300ps, CDRP_S = 000		0		%
		+1V swing, rise/fall time = 300ps, CDRP_S = 111		20		
Cable-Droop Compensation Range, Slow Time Constant		+1V swing, rise/fall time = 300ps, CDRP_L = 000		0		%
		+1V swing, rise/fall time = 300ps, CDRP_L = 111		20		
Comparator Cable-Droop Compensation, Short Time Constant				80		ps
Comparator Cable-Droop Compensation, Long Time Constant				1.3		ns
Input Slew Rate with Cable Compensation Enabled		V _{DUT} = 0 to 1V (Note 31)		6.0		V/ns
LOGIC OUTPUTS CH₋, NCH₋, CL₋, NCL₋ (Note 37)						
Termination Voltage CTV ₋		External termination voltage (Note 38)	0	1.2	3.5	V
CTV ₋ Current		Without external 50Ω resistors		48	56	mA
Output High Voltage		With external 50Ω resistors	V _{CTV₋} - 0.1	V _{CTV₋} - 0.02	V _{CTV₋} + 0.05	V
Output Low Voltage		With external 50Ω resistors	V _{CTV₋} - 0.45	V _{CTV₋} - 0.3	V _{CTV₋} - 0.25	V
Output-Voltage Swing		With external 50Ω resistors	250	300	350	mV
Output Termination Resistor		CTV0 to CH0, NCH0, CL0, NCL0; CTV1 to CH1, NCH1, CL1, NCL1	47		53	Ω
Differential Rise Time		10% to 90% (Note 3)		210	400	ps
Differential Fall Time		10% to 90% (Note 3)		210	400	ps
DYNAMIC CLAMPS (always and only enabled in driver high-impedance mode)						
Functional Clamp Range, VCPHV ₋		I _{DUT} = -1mA, VCPHV ₋ = -0.9V and +6.3V, VCPLV ₋ = -2V	-0.8		6.2	V
Functional Clamp Range, VCPLV ₋		I _{DUT} = 1mA, VCPLV ₋ = -2.3V and +4.9V, VCPHV ₋ = +6V	-2.2		4.8	V

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Maximum Programmable VCPHV ₋		IDUT ₋ = 0mA (Note 39)	6.7	7.0		V
Minimum Programmable VCPLV ₋		IDUT ₋ = 0mA (Note 39)		-3.0	-2.7	V
Offset Voltage		IDUT ₋ = -1mA, VCPHV ₋ = +2V, VCPLV ₋ = -2V			±10	mV
		IDUT ₋ = 1mA, VCPLV ₋ = +2V, VCPHV ₋ = +6V			±10	
Power-Supply Rejection		VCC and VEE independently varied over their full range	ICLAMP = -1mA, VCPHV ₋ = +2V, VCPLV ₋ = -2V		40	dB
			ICLAMP = 1mA, VCPLV ₋ = +2V, VCPHV ₋ = +6V		40	
High Clamp Voltage Gain		VCPHV ₋ = -0.5V, +5.75V, IDUT ₋ = -1mA	0.998		1.002	V/V
Low Clamp Voltage Gain		VCPLV ₋ = -1.75V, +4.5V, IDUT ₋ = -1mA	0.998		1.002	V/V
Output Temperature Coefficient VCPHV ₋ , VCPLV ₋		(Notes 3, 40)		±75	±750	μV/°C
Linearity, Relative to End Points		IDUT ₋ = -1mA, VCPHV ₋ = -0.8V to +6V			±30	mV
		IDUT ₋ = 1mA, VCPLV ₋ = -2V to +4.8V			±30	
Static Output Current		VCPHV ₋ = 0V, VCPLV ₋ = -2V, R _L = 0Ω to +6V	-120		-60	mA
		VCPLV ₋ = +5V, VCPHV ₋ = +6V, R _L = 0Ω to -2V	60		120	
DC Impedance, High Clamp		IDUT ₋ = -5mA and -15mA, VCPHV ₋ = +3V, VCPLV ₋ = 0V	48		56	Ω
DC Impedance, Low Clamp		IDUT ₋ = 5mA and 15mA, VCPHV ₋ = +3V, VCPLV ₋ = 0V	48		56	Ω
DC Impedance Variation, High Clamp		IDUT ₋ = -20mA and -30mA, VCPHV ₋ = +2.5V, VCPLV ₋ = -2V (Note 41)		±5		Ω
DC Impedance Variation, Low Clamp		IDUT ₋ = 20mA and 30mA, VCPLV ₋ = +2.5V, VCPHV ₋ = +6V (Note 41)		±5		Ω
Ripple		(Note 42)		50		mV
ACTIVE LOAD						
DC ELECTRICAL CHARACTERISTICS (VCOMV₋ = +2V, VLDHV₋ = VLDLV₋ = +5.5V, unless otherwise noted)						
COMV ₋ Voltage Range	VCOMV ₋		-2		+6	V

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
COMV_ Offset Voltage	VCOMVOS	IDUT_ = 0, VCOMV_ = +2V			±5	mV
Differential Voltage Range		VDUT_ - VCOMV_			±8	V
COMV_ Temperature Coefficient		(Notes 3, 40)		±100	±750	μV/°C
COMV_ Voltage Gain	Av	VCOMV_ = +0.125V and +3.875V	0.998		1.002	V/V
COMV_ Linearity Error		VCOMV = -2V to +6V, relative to end points		±3	±15	mV
COMV_ Output-Voltage Power-Supply Rejection Ratio	PSRRCOM	VCC and VEE independently varied over full range	40			dB
Output Resistance, Sink or Source	RO	ISRC = ISNK = 20mA, VDUT_ = +2.5V, +6V with VCOMV_ = -2V or VDUT_ = -2V, +1.5V with VCOMV_ = +6V	30			kΩ
		ISRC = ISNK = 1mA, VDUT_ = +2.5V, +6V with VCOMV_ = -2V or VDUT_ = -2V, +1.5V with VCOMV_ = +6V	500			
Output Resistance, Linear Region	RO	IDUT_ = ±14.25mA, ISRC = ISNK = 15mA, VCOMV_ = +1.5V (Note 43)		22	27	Ω
Dead Band		ISRC = ISNK = 15mA, 80% commutation		450		mV
		ISRC = ISNK = 15mA, 95% ISRC to 95% ISNK		625	700	
SOURCE CURRENT (VDUT_ = -1.5V, VCOMV_ = +5.5V, VLDLV_ = -0.5V, VLDHV_ = +5.5V, unless otherwise noted)						
Source Current Output Range	ISRC	VLDHV_ = 0 to +6V	0		20	mA
Source Current Offset		ISRC = 1mA	-20		+20	μA
Source Current Programming Gain		ISRC = 1mA, 18mA	3.326	3.333	3.34	mA/V
Source Current Temperature Coefficient		ISRC = 10mA		-10		μA/°C
Source Current Power-Supply Rejection		VCC and VEE independently varied over full range			±90	μA/V
Source Current Linearity		ISRC = 0.33mA, 1mA, 5mA, 10mA, 18mA, and 20mA relative to 2-point calibration at 1mA and 18mA			±60	μA
SINK CURRENT (VDUT_ = +5.5V, VCOMV_ = -1.5V, VLDHV_ = -0.5V, VLDLV_ = +5.5V, unless otherwise noted)						
Sink Current Output Range	ISNK	VLDLV_ = 0 to +6V	0		20	mA
Sink Current Offset		ISNK = 1mA	-20		+20	μA

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPLV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Sink Current Programming Gain		ISNK = 1mA, 18mA	3.326	3.333	3.34	mA/V
Sink Current Temperature Coefficient		ISNK = 10mA		10		μA/°C
Sink Current Power-Supply Rejection Ratio		VCC and VEE independently varied over full range			±60	μA/V
Sink Linearity		ISNK = 0.33mA, 1mA, 5mA, 10mA, 18mA, and 20mA relative to 2-point calibration at 1mA and 18mA			±60	μA

AC ELECTRICAL CHARACTERISTICS (Z_L = 50Ω to GND, VLDHV₋ = VLDLV₋ = +6V, TMSEL = LDDIS = LDCAL = 0)

Transition Time to/from Inhibit through RCV ₋ Input (from Load to Drive)		Measured from 50% crossing of RCV ₋ to 10% level of output waveform; VCOMV ₋ = -1.5V and +1.5V		2.5		ns
Transition Time to/from Inhibit through RCV ₋ Input (from Drive to Load)		Measured from 50% crossing of RCV ₋ to 10% level of output waveform; VCOMV ₋ = -1.5V and +1.5V		4.5		ns
Spike During Enable/Disable Time (Note 3)		50Ω load to ground, ISRC = ISNK = 20mA, VCOMV ₋ = 0V		200	300	mV

TEMPERATURE MONITOR

Nominal Voltage		T _J = +70°C, R _L ≥ 10MΩ		3.43		V
Nominal Voltage Variation		T _J = +125°C, R _L ≥ 10MΩ, one standard deviation		±50		mV
Temperature Coefficient				10		mV/°C
Output Resistance				22		kΩ

TEMPERATURE COMPARATOR/ALARM

Comparator Hysteresis				0		°C
Alarm Threshold				125		°C
TEMP Leakage Current, Disabled		TSMUX0 = 0, TSMUX1 = 1, tested at VFORCE = 4V			1	μA
Temperature Alarm Accuracy				±5		°C

DIGITAL I/O

DIFFERENTIAL CONTROL INPUTS (DATA₋, NDATA₋, RCV₋, NRCV₋)

Input High Voltage	V _{IH}	Functional test	+0.2		3.5	V
Input Low Voltage	V _{IL}	Functional test	-0.2		3.1	V
Differential Input Voltage		Functional test	±0.15		±1.0	V

レベルセッター内蔵デュアルDCL

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV₋ = +3V, VDLV₋ = 0V, VDTV₋ = +1.5V, VCHV₋ = +2V, VCLV₋ = +1V, VCPHV₋ = +6.7V, VCPV₋ = -2.7V, VCOMV₋ = +2.5V, VLDHV₋ = 0V, VLDLV₋ = 0V, VCTV₋ = +1.2V, VDTV₋ = VRTV₋ = 0V, CDRP₋ = 000b, RO₋ = 1100b, HYST₋ = 000b, SC₋ = 00b, VDGS = VGND = VGNDDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Termination Resistance		Differential termination between DATA ₋ /NDATA ₋ and RCV ₋ /NRCV ₋ ; tested at ±4mA	96		104	Ω
SINGLE-ENDED INPUTS (CS₋, SCLK₋, DIN₋, RST₋, LOAD₋, LLEAKP₋)						
Input High			2/3 (VDD)		VDD	V
Input Low			-0.1		1/3 (VDD)	V
Input Bias Current					±25	μA
SINGLE-ENDED OUTPUT (DOUT)						
High Output	VOH	I _{OH} = 25μA	VDD - 0.15		VDD + 0.1	V
Low Output	VOL	I _{OL} = - 25μA	VDGND - 0.01		VDGND + 0.15	V
SINGLE-ENDED OPEN-COLLECTOR OUTPUTS (OVALARM₋, TALARM₋) (with external 1kΩ to VDD)						
V _{VOC} Voltage Range			VDD - 0.3		VDD + 0.3	V
Low Output	VOL		VDGND		V _{VOC} - 1	V
SERIAL-PORT TIMING						
SCLK Frequency				50		MHz
SCLK Pulse-Width High	t _{CH}		10			ns
SCLK Pulse-Width Low	t _{CL}		10			ns
CS ₋ Low to SCLK High Setup	t _{CSS0}		4.25			ns
SCLK High to CS ₋ Low Hold	t _{CSH0}		4.25			ns
CS ₋ High to SCLK High Setup	t _{CSS1}		4.25			ns
SCLK High to CS ₋ High Hold	t _{CSH1}		4.25			ns
DIN to SCLK High Setup	t _{DS}		4.25			ns
DIN to SCLK High Hold	t _{DH}		4.25			ns
CS ₋ High Pulse Width	t _{CSWH}		40			ns
LOAD Low Pulse Width	t _{LDW}		20			ns
RST Low Pulse Width	t _{RST}		20			ns
CS ₋ High to LOAD Low Hold	t _{CSHLD}		50			ns
SCLK to DOUT Delay	t _{DO}				62.4	ns
COMMON FUNCTIONS (VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, unless otherwise noted)						
Operating Voltage Range			-2.2		+6.2	V

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV_ = +3V, VDLV_ = 0V, VDTV_ = +1.5V, VCHV_ = +2V, VCLV_ = +1V, VCPHV_ = +6.7V, VCPLV_ = -2.7V, VCOMV_ = +2.5V, VLDHV_ = 0V, VLDLV_ = 0V, VCTV_ = +1.2V, VDTV_ = VRTV_ = 0V, CDRP_ = 000b, RO_ = 1100b, HYST_ = 000b, SC_ = 00b, VDGS = VGND = VGNDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at TJ = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at TJ = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
High-Impedance Leakage	IDUT_	VDUT_ = 0V, +1.5V, +3V			±2	μA
		VCL_ = VCH_ = +6V, VDUT_ = -2V			±3	
		VCL_ = VCH_ = -2V, VDUT_ = +6V			±3	
Low-Leakage Mode	IDUT_	VDUT_ = 0V, +1.5V, +3V, TJ < +90°C			±10	nA
		VCL_ = VCH_ = 6V, VDUT_ = -2V, TJ < +90°C			±10	
		VCL_ = VCH_ = -2V, VDUT_ = +6V, TJ < +90°C			±10	
Combined Capacitance		Driver in terminate mode (Note 3)		2.5	3	pF
		Driver in high-Z		5		
Low-Leakage Enable Time		LLEAKP_ low to IDUT_ specification		20		μs
Low-Leakage Disable Time		LLEAKP_ high to normal operation		20		μs
Low-Leakage Spike, VDLV_/Leakage		VDLV_ = 0V, ZL = 10MΩ 8pF to GND (Note 3)	-200		+600	mV
Low-Leakage Spike, VDHV_/Leakage		VDHV_ = +2V, ZL = 10MΩ 8pF to GND (Note 3)	-200		+350	mV
Low-Leakage Spike, High Impedance/Leakage		RL = 50Ω to GND (Note 3)	-125		+350	mV
DUT_ OVERVOLTAGE ALARM						
Maximum Programmable VCPH_			6.7	7		V
Minimum Programmable VCPL_				-3	-2.7	V
Voltage Accuracy		VCPHV_ = 6.7V and VCPLV_ = -2.7V			150	mV
Will-Operate Current				±6		mA
Comparator Delay		With 50mV overdrive on DUT_ signal		390		ns
Comparator Hysteresis				10		mV
POWER SUPPLIES						
Positive Supply	VCC		9	9.25	10	V
Negative Supply	VEE		-5.35	-5.25	-4.75	V
Logic Supply	VDD		2.3	3.3	3.6	V
Positive Supply	ICC	(Note 44)		145	160	mA
Negative Supply	IEE	(Note 44)		235	260	mA
Logic Supply	IDD	(Note 44)		8	10	mA
Power Dissipation		VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, load disabled		1.33	1.47	W/Ch

レベルセッター内蔵デュアルDCL

MAX19000

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +9.25V, VEE = -5.25V, VDD = +3.3V, VDHV_ = +3V, VDLV_ = 0V, VDTV_ = +1.5V, VCHV_ = +2V, VCLV_ = +1V, VCPHV_ = +6.7V, VCPLV_ = -2.7V, VCOMV_ = +2.5V, VLDHV_ = 0V, VLDLV_ = 0V, VCTV_ = +1.2V, VDTV_ = VRTV_ = 0V, CDRP_ = 000b, RO_ = 1100b, HYST_ = 000b, SC_ = 00b, VDGS = VGND = VGNDDAC = 0V, specifications apply after calibration, level-setter errors included. The device is tested at T_J = +70°C with an accuracy of ±15°C; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at T_J = +40°C and +100°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power Dissipation, Load Enabled		VCC = +9.25V, VEE = -5.25V, VDD = +3.3V; load enabled; ISRC = ISNK = 20mA; VCOMV_ = +1.5V; VDUT_ held at 0V by short to GND		1.52	1.7	W/Ch
ANALOG INPUTS (DUT_ GROUND SENSE)						
Input Range	VDGS	Relative to GNDDAC_, under the full DAC range (Note 45)	-250		+250	mV
		Relative to GNDDAC_, under the limited DAC range of -1.5V to +5.5V (Note 45)	-750		+750	mV
Input Bias Current		DGS = 0V	-10		+10	μA
Gain		Levels output	0.98	1	1.02	V/V
2.5V REFERENCE						
Nominal Voltage	VREF			2.5		V
Input Bias Current			-10		10	μA
LEVEL DACS						
Settling Time		Full scale transition to within 5mV		1		μs
Differential Nonlinearity (Tested at Major Carries)		All levels not shown below; 1 LSB = 610μV			±1	mV
		VLDHV_, VLDLV_			±5	μA

- Note 1:** VDHV_, VDLV_, and VDTV_ levels are calibrated for gain at +0.125V and +3.875V and are calibrated for offset at +0.125V; relative to straight line between +0.125V and +3.875V.
- Note 2:** Change in level over operating range. Includes both gain and offset temperature effects. Simulated over entire operating range. Verified at worst-case points, which are at the endpoints VDHV_ - VDLV_ ≥ 200mV.
- Note 3:** Guaranteed by design and characterization.
- Note 4:** DATA_ = H, VDHV_ = +3V, VDLV_ = 0V, VDTV_ = +1.5V, IOUT = ±30mA. Nominal target value is 48Ω.
- Note 5:** Resistance measurements are made using ±2.5mA current changes in the loading instrument about the noted value. Absolute value of the difference in measured resistance over the specified range is tested separately for each current polarity. Test conditions are at IDUT_ = ±1mA, ±12mA, and ±40mA, respectively.
- Note 6:** Rise time of the differential inputs DATA_ and RCV_ is 150ps (10% to 90%). SC1 = SC0 = 0, 40MHz, unless otherwise noted.
- Note 7:** Current supplied for a minimum of 10ns. Verified to be greater than or equal to the DC drive current by design and characterization.
- Note 8:** VDTV_ = +1V, RS = 50Ω. External signal driven into T-line to produce a 0 to +2V edge at the comparator input with a 250ps rise time (10% to 90%). Measurement point is at comparator input.
- Note 9:** Measured from the 90% point of the driver output (relative to its final value) to the waveform settling to within the specified limit.
- Note 10:** Propagation delays are measured from the crossing point of the differential input signals to the 50% point of expected output swing.
- Note 11:** Average of the two measurements for propagation delay, data to output (t_{LH} and t_{HL}).
- Note 12:** Average of the four measurements in propagation delay, drive to high-Z, and high-Z to drive (t_{LZ}, t_{HZ}, t_{ZL}, t_{ZH}). Measured from crossing point of RCV_/NRCV_ to 50% point of the output waveform.
- Note 13:** Four measurements are made: VDHV_ to high-Z, VDLV_ to high-Z, high-Z to VDHV_, and high-Z to VDLV_ (t_{LZ}, t_{HZ}, t_{ZL}, t_{ZH}). The worst-case difference is reported.
- Note 14:** Average of the four measurements in propagation delay, drive to term, and term to drive (t_{LT}, t_{HT}, t_{TL}, t_{TH}). Measured from crossing point of RCV_/NRCV_ to 50% point of the output waveform.

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0V$, specifications apply after calibration, level-setter errors included. The device is tested at $T_J = +70^{\circ}C$ with an accuracy of $\pm 15^{\circ}C$; specification compliance with supply and temperature variations are verified by guardbanding mean shifts of characterized data, unless otherwise noted. Temperature coefficients are measured at $T_J = +40^{\circ}C$ and $+100^{\circ}C$, unless otherwise noted.)

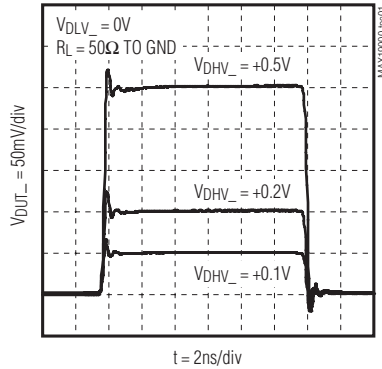
- Note 15:** Four measurements are made: $V_{DHV_}$ to $V_{DTV_}$, $V_{DLV_}$ to $V_{DTV_}$, $V_{DTV_}$ to $V_{DHV_}$, and $V_{DTV_}$ to $V_{DLV_}$ (t_{LT} , t_{HT} , t_{TL} , t_{TH}). The worst-case difference is reported.
- Note 16:** Cable-droop compensation disabled. Measured as close to $DUT_$ as possible using a high-bandwidth cable.
- Note 17:** Cable-droop compensation enabled. Measured at the end of a 2m RG174 cable.
- Note 18:** At this pulse width, the output reaches at least 95% of its nominal (DC) amplitude. The pulse width is measured at the $DATA_$ (input) pins.
- Note 19:** Maximum data rate in transitions/second. A waveform that reaches at least 95% of its programmed amplitude can be generated at one-half of this frequency.
- Note 20:** This specification is indicative of switching speed from $V_{DHV_}$ or $V_{DLV_}$ to $V_{DTV_}$ and $V_{DTV_}$ to $V_{DHV_}$ or $V_{DLV_}$ when $V_{DLV_} < V_{DTV_} < V_{DHV_}$. If $V_{DTV_} < V_{DLV_}$ or $V_{DTV_} > V_{DHV_}$, the switching speed is degraded by roughly a factor of 3.
- Note 21:** Both high and low comparators are tested for all tests.
- Note 22:** Measured by using a servo to locate comparator thresholds.
- Note 23:** Change in offset at any voltage over operating range. Includes both gain (CMRR) and offset temperature effects. Simulated over entire operating range. Verified at worst-case points, which are at the endpoints.
- Note 24:** Change in offset voltage over input range.
- Note 25:** $V_{CHV_}$ and $V_{CLV_}$ levels are calibrated for gain at $+0.125V$ and $+3.875V$ and are calibrated for offset at $+2V$. Relative to straight line between $+0.125V$ and $+3.875V$.
- Note 26:** Change in offset voltage with power supplies independently varied over their full range. Both high and low comparators are tested.
- Note 27:** All propagation delays are measured from the $V_{DUT_}$ crossing to the differential output crossing.
- Note 28:** Characterization is done with 50Ω to ground at the end of a transmission line with a round-trip delay greater than 4ns.
- Note 29:** 40MHz, 0 to $+1V$ input to comparator, V_{CX} reference = $+0.5V$, 50% duty cycle, 250ps rise/fall time, $Z_S = 50\Omega$, Driver in term mode with $V_{DTV_} = +0.5V$, unless otherwise noted. Hysteresis is disabled.
- Note 30:** Input rise/fall time = 150ps. Cable-droop compensation disabled.
- Note 31:** Input rise/fall time = 150ps. Cable-droop compensation enabled. Signal applied at beginning of 2m RG174 cable with compensation tuned for the cable.
- Note 32:** Input rise/fall time = 150ps. Cable-droop compensation enabled. Signal applied at beginning of 2m RG174 cable with compensation tuned for the cable. Tested with both $+1V$ and $+5V$ input swings.
- Note 33:** At this pulse width, the output reaches at least 90% of its nominal peak-to-peak swing. The pulse width is measured at the crossing points of the differential outputs. 250ps rise/fall time.
- Note 34:** $V_{DUT_} = 200mV_{P-P}$, rise/fall time = 150ps, overdrive = 100mV, $V_{DTV_} = V_{CM}$.
- Note 35:** Input rise/fall time = 250ps. Cable-droop compensation disabled.
- Note 36:** Input to comparator is 40MHz at 0 to $+1V$, 50% duty cycle, 1ns rise/fall time.
- Note 37:** Unless otherwise noted, comparator outputs are terminated with 50Ω to $+1.2V$ and $CTV_ = +1.2V$.
- Note 38:** The min/max value of $CTV_$ specifications are guaranteed by simulation.
- Note 39:** This specification is implicitly tested by meeting the high-impedance leakage specification $I_{DUT_}$ ($V_{CLV_} = V_{CHV_} = +6V$, $V_{DUT_} = +2V$), and $I_{DUT_}$ ($V_{CLV_} = V_{CHV_} = -2V$, $V_{DUT_} = +6V$).
- Note 40:** Change in level over operating range. Includes both gain and offset temperature effects. Simulated over entire operating range. Verified at worst-case points.
- Note 41:** Resistance measurements are made using $\pm 2.5mA$ current changes in the loading instrument about the noted value Absolute value of the difference in measured resistance over the specified range, tested separately for each current polarity.
- Note 42:** Ripple in the $DUT_$ signal after one round-trip delay. Stimulus is 0 to $+3V$, $+2.5V/ns$ square wave from far end of 3ns transmission line with $R_S = 25\Omega$, clamps set to 0 and $+3V$.
- Note 43:** Verified by dead-band test.
- Note 44:** Typical values are at $V_{CC} = +9.25V$, $V_{EE} = -5.25V$. Production tests are performed with worst-case supply conditions for each specification. Supply conditions are either min V_{CC} and max V_{EE} , or max V_{CC} and min V_{EE} . Some tests may require both conditions.
- Note 45:** Increasing DGS beyond 0V requires a proportional increase in the minimum supply levels. Specified ranges for all levels except $V_{LDHV_}$, $V_{LDLV_}$ are defined with respect to DGS.

レベルセッター内蔵デュアルDCL

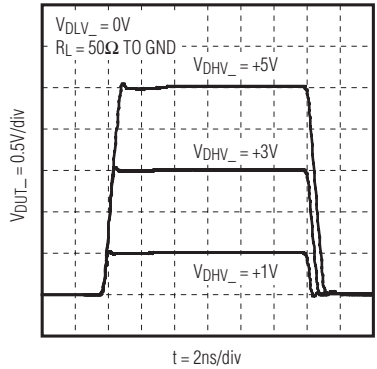
標準動作特性

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)

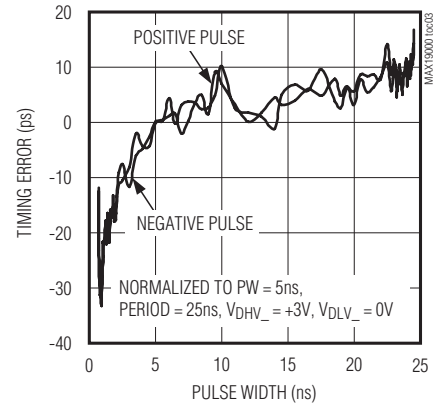
DRIVER SMALL-SIGNAL RESPONSE



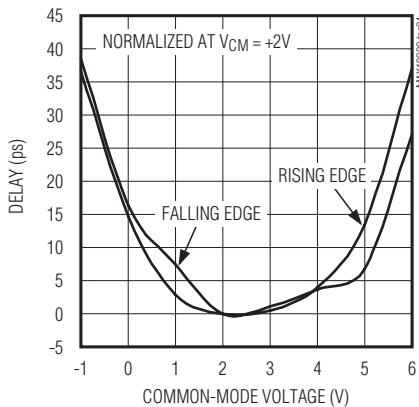
DRIVER LARGE-SIGNAL RESPONSE



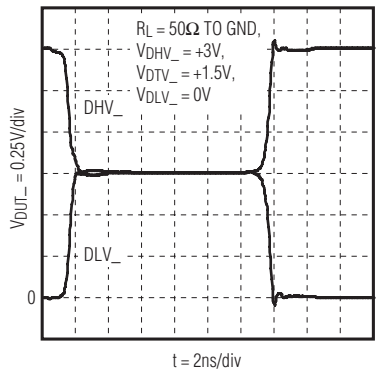
DRIVER TRAILING-EDGE ERROR vs. PULSE WIDTH



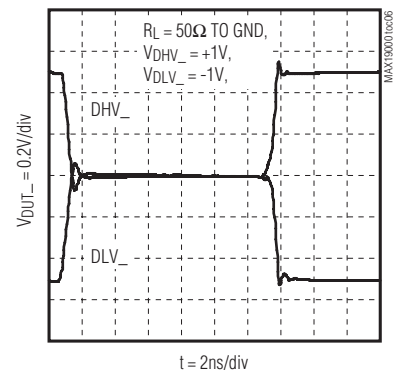
DRIVER TIME DELAY vs. COMMON-MODE VOLTAGE



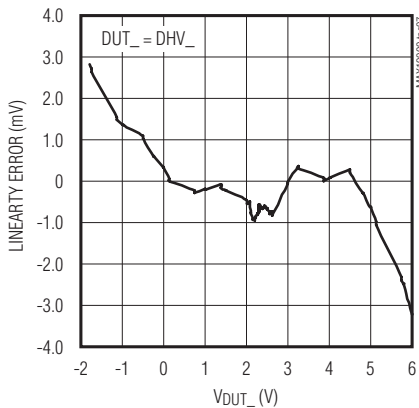
DRIVER-TO-TERM TRANSITION



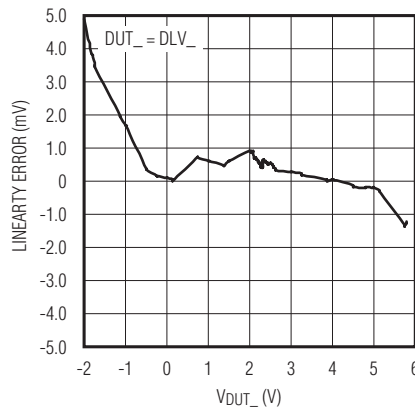
DRIVER-TO-HIGH-IMPEDANCE TRANSITION



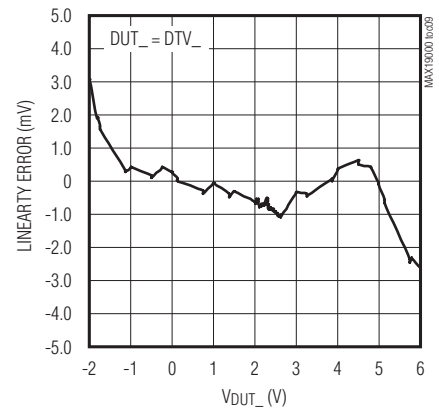
DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE

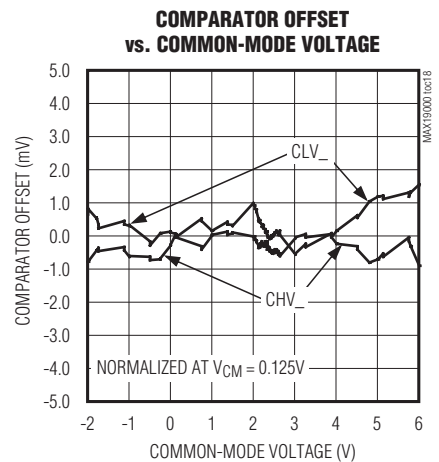
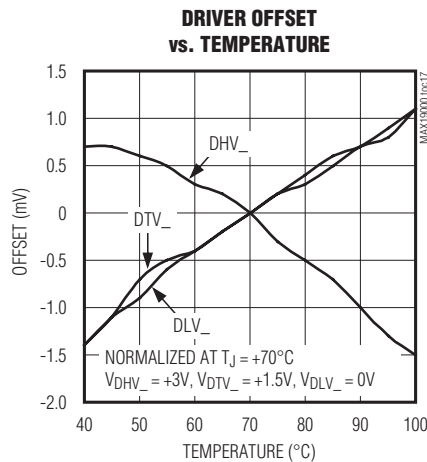
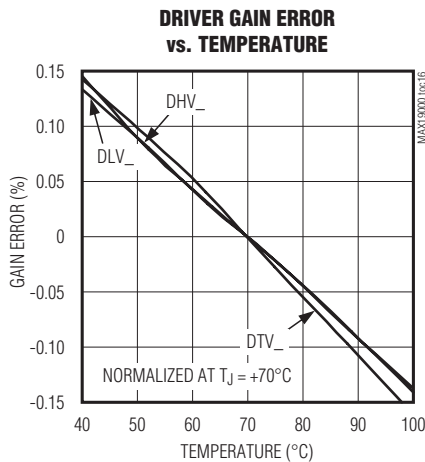
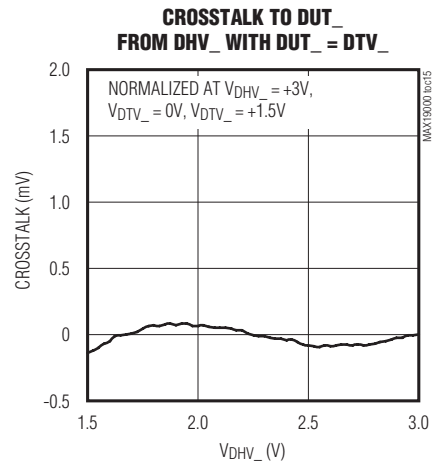
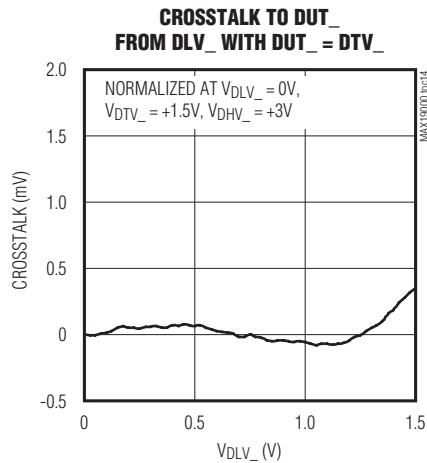
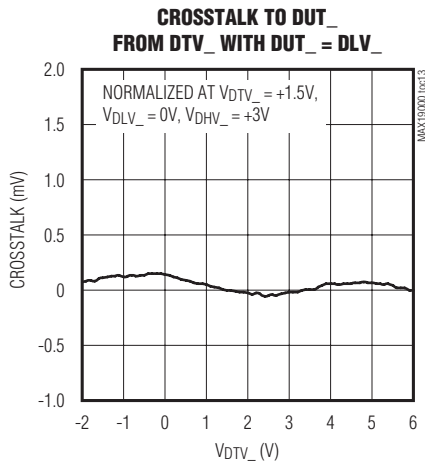
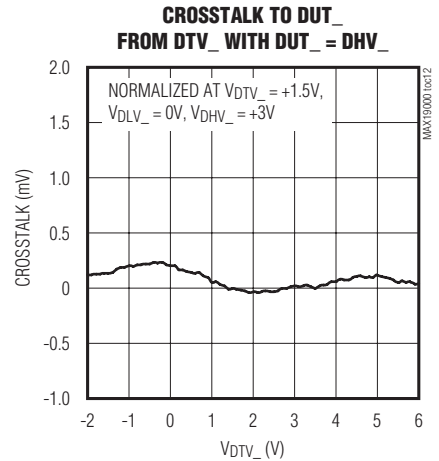
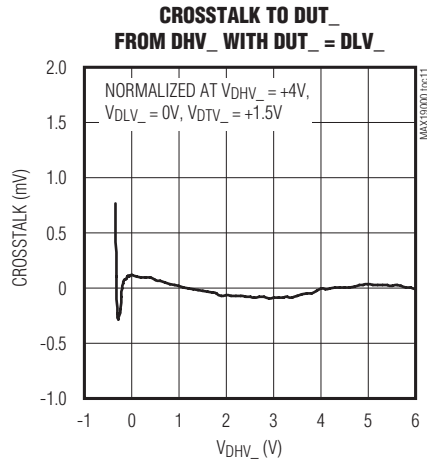
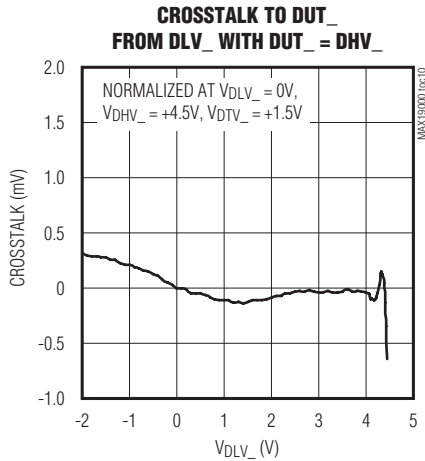


DRIVER LINEARITY ERROR vs. OUTPUT VOLTAGE



標準動作特性(続き)

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)

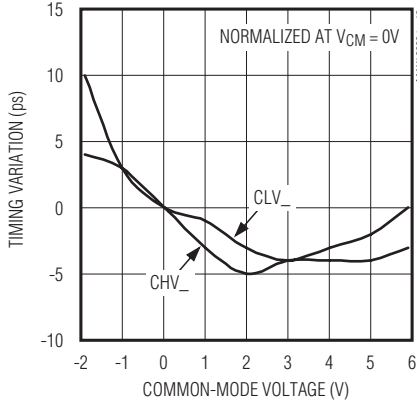


レベルセッター内蔵デュアルDCL

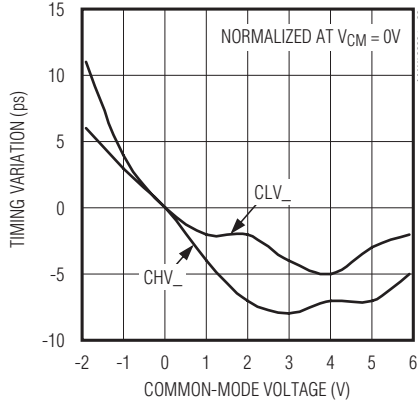
標準動作特性(続き)

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDR_{P_} = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)

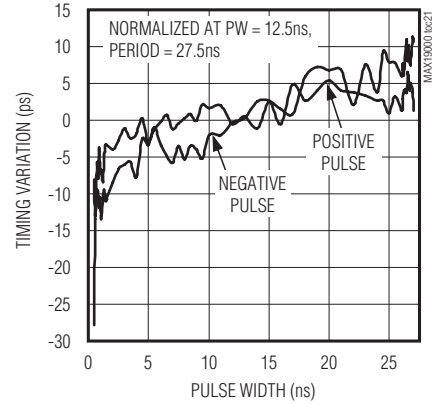
COMPARATOR RISING-EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



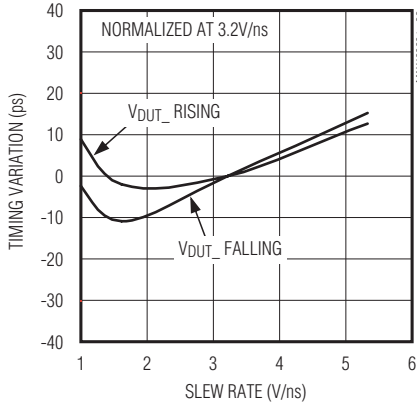
COMPARATOR FALLING-EDGE TIMING VARIATION vs. COMMON-MODE VOLTAGE



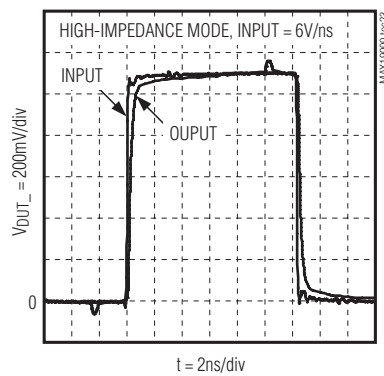
COMPARATOR TRAILING-EDGE TIMING VARIATION vs. PULSE WIDTH



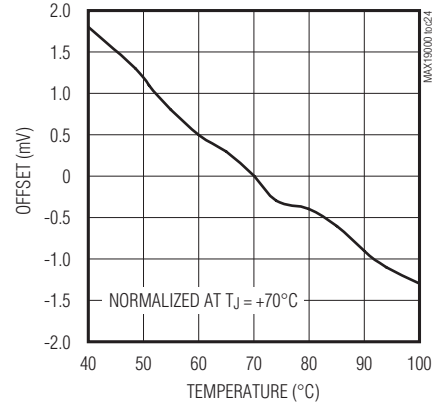
COMPARATOR TIMING VARIATION vs. INPUT SLEW RATE



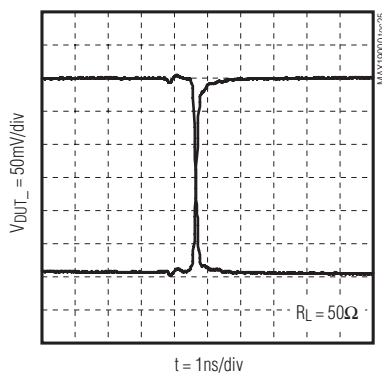
COMPARATOR RESPONSE TO HIGH SLEW-RATE OVERDRIVE



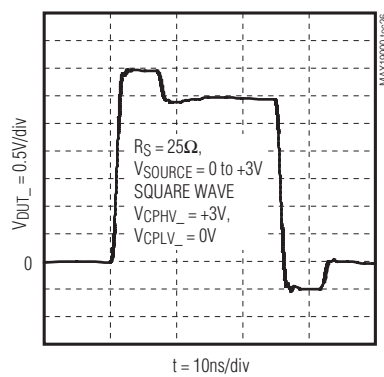
COMPARATOR OFFSET vs. TEMPERATURE



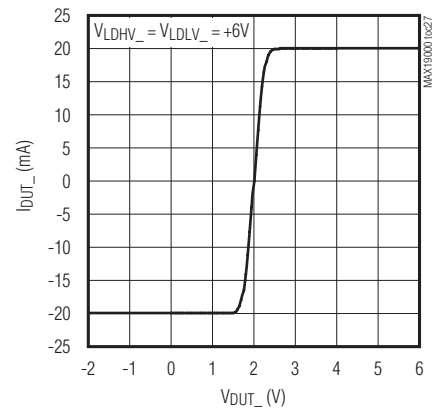
COMPARATOR DIFFERENTIAL OUTPUT RESPONSE



CLAMP RESPONSE AT COMPARATOR INPUT



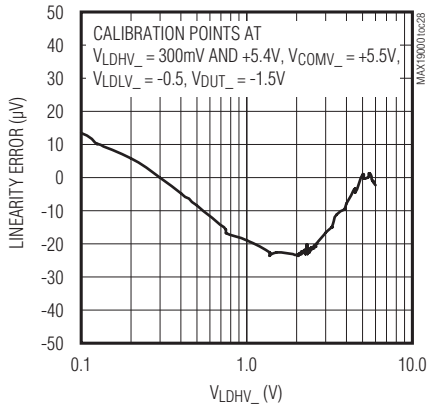
ACTIVE LOAD CURRENT vs. VOLTAGE



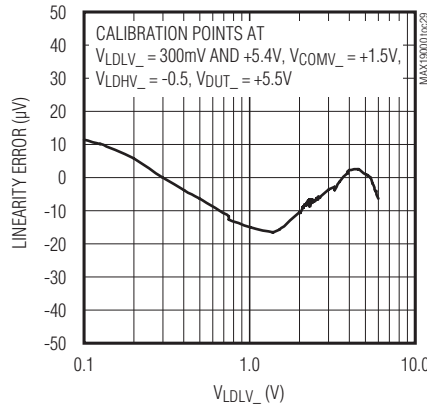
標準動作特性(続き)

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)

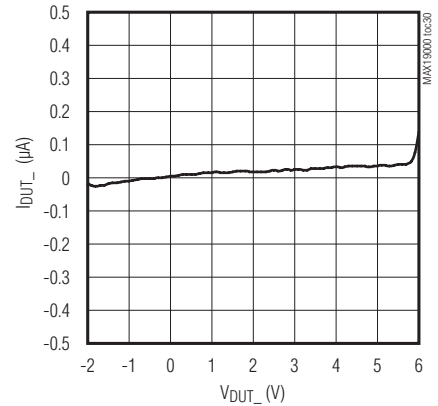
ACTIVE-LOAD LINEARITY ERROR
 $I_{DUT_}$ vs. $V_{LDHV_}$



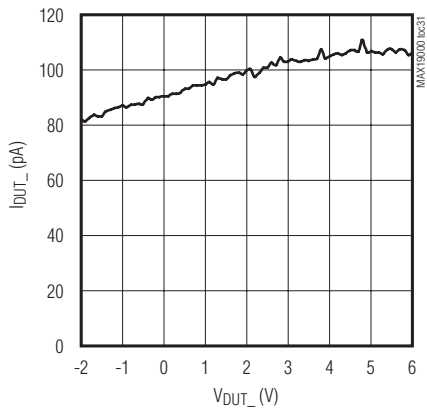
ACTIVE-LOAD LINEARITY ERROR
 $I_{DUT_}$ vs. $V_{LDLV_}$



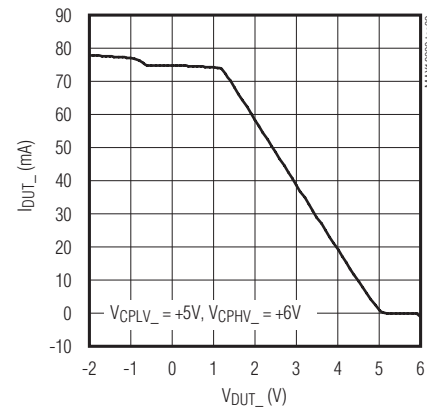
HIGH-IMPEDANCE LEAKAGE CURRENT
vs. $DUT_ VOLTAGE$



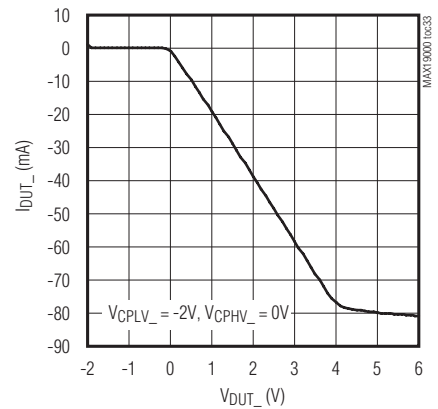
LOW-LEAKAGE CURRENT
vs. $DUT_ VOLTAGE$



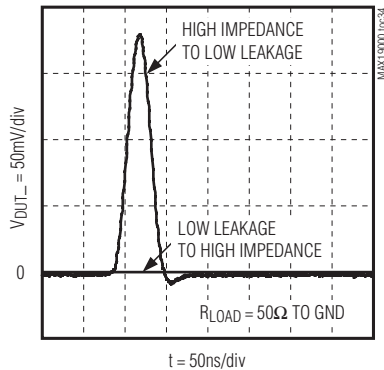
HIGH-IMPEDANCE CLAMP CURRENT
vs. DIFFERENCE VOLTAGE



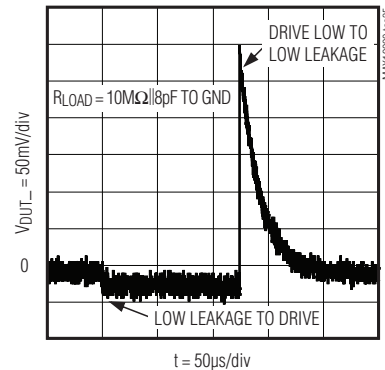
HIGH-IMPEDANCE CLAMP CURRENT
vs. DIFFERENCE VOLTAGE



HIGH IMPEDANCE TO LOW-LEAKAGE
TRANSITION



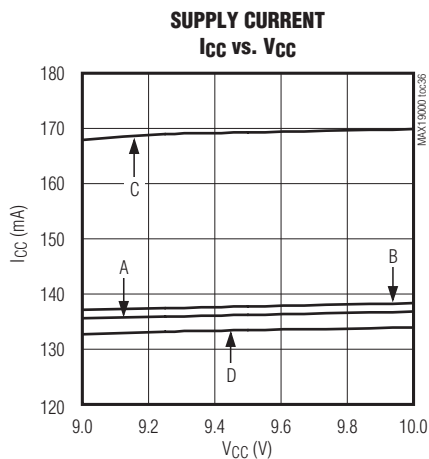
DRIVE LOW TO LOW-LEAKAGE
TRANSITION



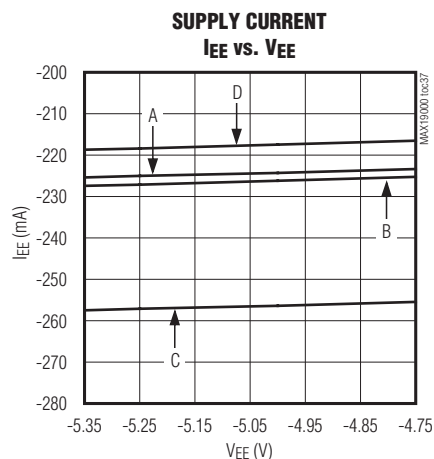
レベルセッター内蔵デュアルDCL

標準動作特性(続き)

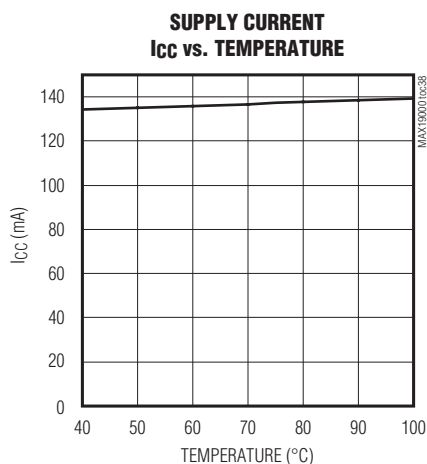
($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)



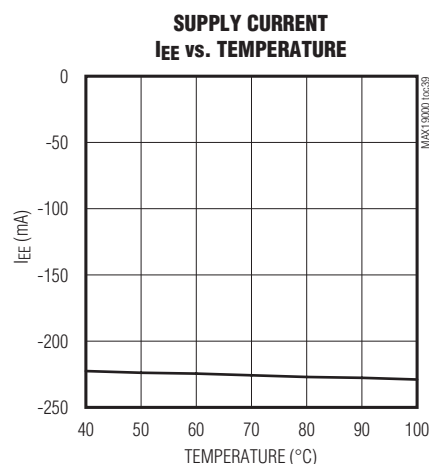
- A:** $V_{DUT_} = V_{DTV_} = +1.5V$, $CHV_ = CLV_ = 0$,
 $I_{SRC} = I_{SNK} = 0$, $R_L = 100k\Omega$, $C_L = 0.5pF$.
B: SAME AS A EXCEPT DRIVER DISABLED HIGH-Z AND
LOAD ENABLED.
C: SAME AS B EXCEPT $I_{SRC} = I_{SNK} = 20mA$.
D: SAME AS C EXCEPT LOW-LEAKAGE MODE ASSERTED.



- A:** $V_{DUT_} = V_{DTV_} = +1.5V$, $CHV_ = CLV_ = 0$,
 $I_{SRC} = I_{SNK} = 0$, $R_L = 10k\Omega$, $C_L = 0.5pF$.
B: SAME AS A EXCEPT DRIVER DISABLED HIGH-Z AND
LOAD ENABLED.
C: SAME AS B EXCEPT $I_{SRC} = I_{SNK} = 20mA$.
D: SAME AS C EXCEPT LOW-LEAKAGE MODE ASSERTED.



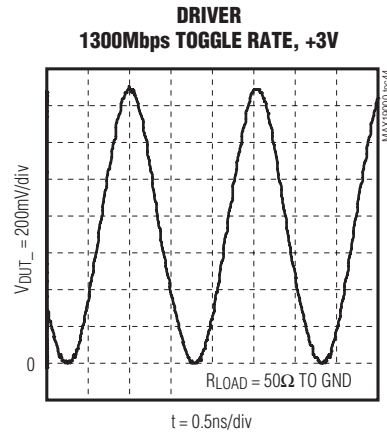
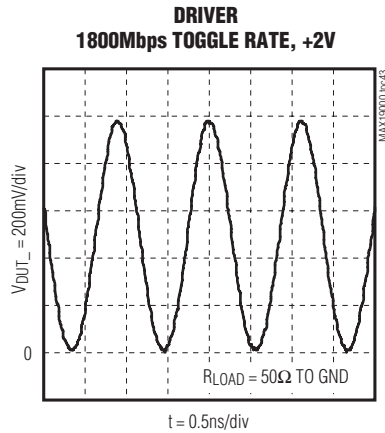
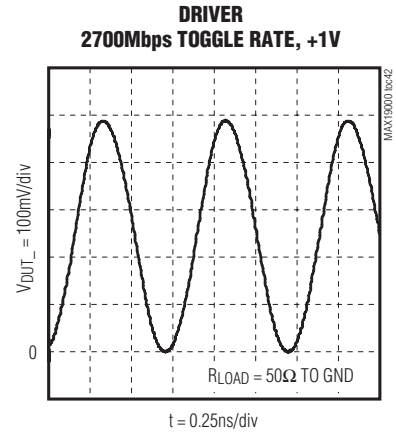
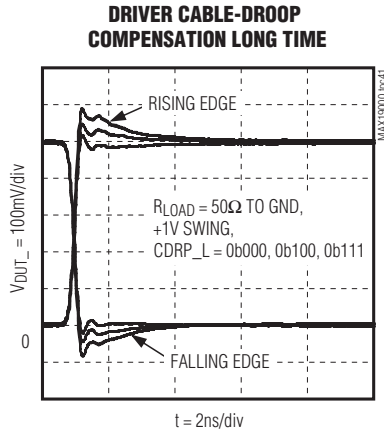
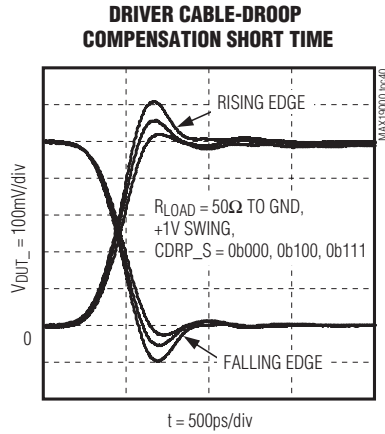
- $V_{DUT_} = V_{DTV_} = +1.5V$, $CHV_ = CLV_ = 0$,
DRIVER TERM MODE, $V_{DTV_} = +1.5V$, NO LOAD.



- $V_{DUT_} = V_{DTV_} = +1.5V$, $CHV_ = CLV_ = 0$,
DRIVER TERM MODE, $V_{DTV_} = +1.5V$, NO LOAD.

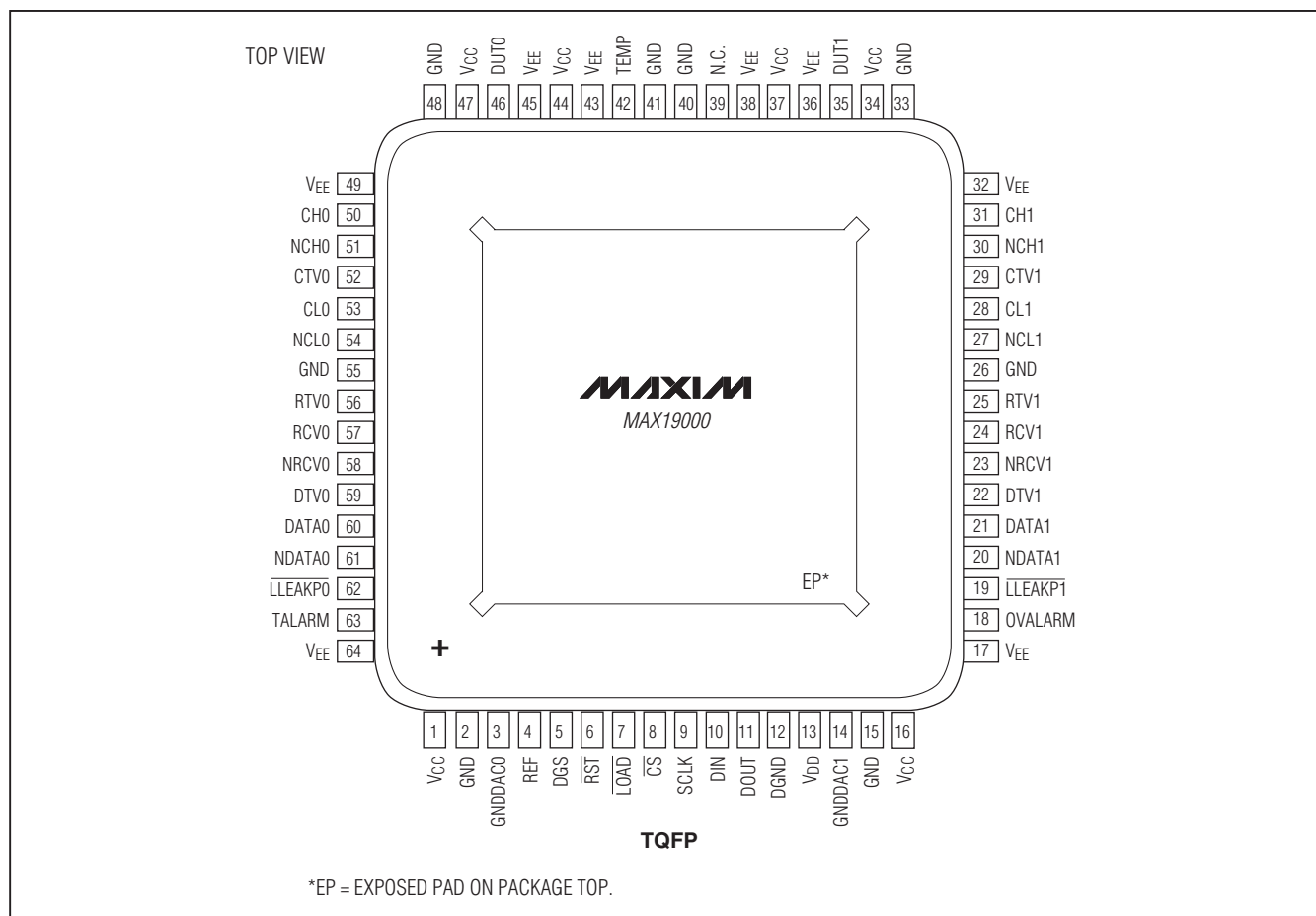
標準動作特性(続き)

($V_{CC} = +9.25V$, $V_{EE} = -5.25V$, $V_{DD} = +3.3V$, $V_{DHV_} = +3V$, $V_{DLV_} = 0V$, $V_{DTV_} = +1.5V$, $V_{CHV_} = +2V$, $V_{CLV_} = +1V$, $V_{CPHV_} = +6.7V$, $V_{CPLV_} = -2.7V$, $V_{COMV_} = +2.5V$, $V_{LDHV_} = 0V$, $V_{LDLV_} = 0V$, $V_{CTV_} = +1.2V$, $V_{DTV_} = V_{RTV_} = 0V$, $CDRP_ = 000b$, $RO_ = 1100b$, $HYST_ = 000b$, $SC_ = 00b$, $V_{DGS} = V_{GND} = V_{GNDDAC} = 0$, specifications apply after calibration, level-setter errors included, $T_J = +70^{\circ}C$, temperature coefficients are measured at $T_J = +40^{\circ}C$ to $+100^{\circ}C$, unless otherwise noted.)



レベルセッター内蔵デュアルDCL

ピン配置



端子説明

端子	名称	機能
1, 16, 34, 37 44, 47	VCC	正の電源
2, 15, 26, 33, 40, 41, 48, 55	GND	アナロググランド
3	GNDDAC0	チャンネル0 DACグランド入力
4	REF	DAC 2.5Vリファレンス入力。REFはGNDDAC_を基準にして設定してください。
5	DGS	DUTグランド検出入力
6	RST	アクティブローのシリアルポートリセット入力
7	LOAD	アクティブローのシリアルポートロード入力
8	CS	アクティブローのシリアルポートチップセレクト入力
9	SCLK	シリアルポートクロック入力
10	DIN	シリアルポートデータ入力
11	DOUT	シリアルポートデータ出力

レベルセッター内蔵デュアルDCL

MAX19000

端子説明(続き)

端子	名称	機能
12	DGND	ディジタルグラウンド
13	V _{DD}	ロジック電源
14	GNDDAC1	チャンネル1 DACグラウンド入力
17, 32, 36, 38, 43, 45, 49, 64	V _{EE}	負の電源
18	OVALARM	過電圧アラーム出力
19	LLEAKP1	アクティブローのチャンネル1低リーク制御入力
20	NDA1	チャンネル1相補データ入力
21	DA1	チャンネル1データ入力
22	DTV1	チャンネル1データ終端電圧入力
23	NRCV1	チャンネル1受信相補入力
24	RCV1	チャンネル1受信入力
25	RTV1	チャンネル1受信終端電圧入力
27	NCL1	チャンネル1ローコンパレータ相補出力
28	CL1	チャンネル1ローコンパレータ出力
29	CTV1	チャンネル1コンパレータ終端電圧入力
30	NCH1	チャンネル1ハイコンパレータ相補出力
31	CH1	チャンネル1ハイコンパレータ出力
35	DUT1	チャンネル1入力/出力
39	N.C.	接続なし。内部で接続されていません。未接続にするか、GNDに接続してください。
42	TEMP	温度センサー出力
46	DUT0	チャンネル0入力/出力
50	CH0	チャンネル0ハイコンパレータ出力
51	NCH0	チャンネル0ハイコンパレータ相補出力
52	CTV0	チャンネル0コンパレータ終端
53	CL0	チャンネル0ローコンパレータ出力
54	NCL0	チャンネル0ローコンパレータ相補出力
56	RTV0	チャンネル0受信終端電圧入力
57	RCV0	チャンネル0受信入力
58	NRCV0	チャンネル0受信相補入力
59	DTV0	チャンネル0データ消去電圧入力
60	DA0	チャンネル0データ入力
61	NDA0	チャンネル0データ相補入力
62	LLEAKP0	アクティブローのチャンネル0低リーク制御入力
63	TALARM	温度アラーム出力
—	EP	エクスポーズドパッド。EPは内部でV _{EE} に接続されています。外部でV _{EE} に接続するか、未接続にしてください。EPをV _{EE} に対する主な接続として使用しないでください。

レベルセッター内蔵デュアルDCL

MAX19000

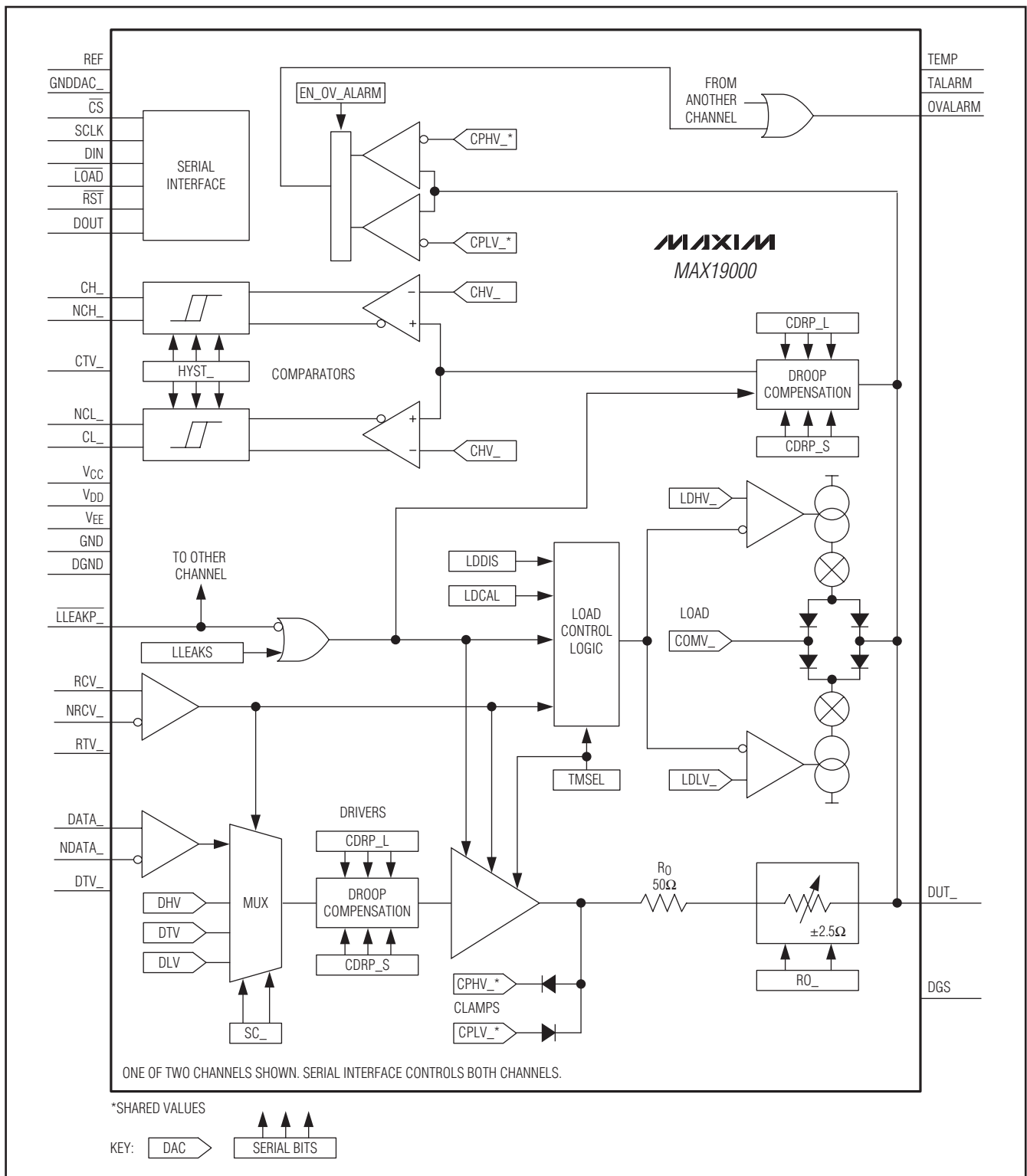


図1. 簡略ブロック図(2つのチャンネルの一方のみを示します。単一のシリアルインタフェースで両方のチャンネルを制御します)

詳細

MAX19000は、デュアルチャネル、ピンエレクトロニクスDCLであり、複数のピンエレクトロニクス機能を単一のICに集積化しています。各チャネルについて、3レベルのピンドライバ、ウィンドウコンパレータ、ダイナミッククランプ、アクティブ負荷、および10個の独立した14ビットレベル設定DACを内蔵しています。さらに、MAX19000の各チャネルは、ドライバ出力とコンパレータ入力用のプログラム可能なケーブルドロープ補償、調整可能なドライバ出力抵抗、およびドライバのスルーレート調整を備えています。

MAX19000のドライバは、-2V~+6Vの広い高速動作範囲、ハイインピーダンスモードとアクティブ終端(第3レベル駆動)モードを備えており、低電圧振幅においても高いリニアリティを示します。このドライバは、ほとんどの高速ロジックファミリと互換性のある高速差動制御入力を提供します。ウィンドウコンパレータは、スルーレート、パルス幅、またはオーバードライブ電圧の変化に対して、非常に小さなタイミング変動を実現して、CTV₁に印加された電圧に内部で終端された50Ωのソース出力を供給します。ハイインピーダンスモードを選択した場合、プログラム可能なダイナミッククランプが高速なDUT₁の波形に対するダンピングを提供します。20mAのアクティブ負荷は、コンパレータと組み合わせて使用することによって高速の接触試験が容易になり、オープンドレイン/コレクタDUT₁出力に対するブルアップとしても機能します。MAX19000のDUT₁出力を非常に低リークの状態にすると、DCLの機能はディセーブルされます。この機能は、出力切断リレーを必要とせずにIDDQ測定を行う場合に便利です。低リーク制御はチャネルごとに独立しています。SPI™対応のシリアルインタフェースと外部入力によってMAX19000の設定を行うことができます。

内蔵PEモードの選択

MAX19000には、アクティブと低リークの2つの動作モードがあります。MAX19000は、LLEAKP₁がローに駆動された場合またはLLEAKSビットに1が設定された場合に低リークモードに移行します。LLEAKP₁を0に駆動すると直ちにDCLが低リークに強制されます。

シリアルビットLLEAKS = 1を使用して他のDCL制御ビットと無関係にDCLを強制的に低リークモードに移行させることができます。DCLの他のモードを可能にするためにはLLEAKSを0に駆動する必要があります(表1)。

ドライバ

ドライバは、3種類のDAC電圧(V_{DHV}、V_{DLV}、またはV_{DTV})から1つを選択するため、またはハイインピーダンスモードを選択するために、高速マルチプレクサを使用し

SPIはMotorola, Inc.の商標です。

ます。マルチプレクサの切替えは、高速差動入力DATA₁/NDATA₁とRCV₁/NRCV₁およびモード制御ビットTMSELによって制御されます(表2参照)。マルチプレクサの出力は、バッファを介してDUT₁を駆動します。プログラム可能なスルーレート回路で、バッファ出力のスルーレートを制御します。

ハイインピーダンスモードでは、クランプとコンパレータはDUT₁に接続されたままであり、DUT₁のバイアス電流は±2μA以下で、ノードは高速信号の追跡を継続します。低リークモードでは、DUT₁のバイアス電流はさらに減少して±10nA以下になり、信号の追跡が低速になります。

ドライバ出力抵抗の公称値は50Ωであり、シリアルインタフェースによる360mΩステップの±2.5Ωの調整範囲を備えています。

ドライバのスルーレート制御

スルーレート回路はバッファ出力のスルーレートを制御します。表3に従って、可能な4種類のスルーレートの1つを選択してください。内蔵マルチプレクサの速度によって100%のドライバスルーレートが決まります(「標準動作特性」の項の「Driver Large-Signal Response (ドライバの大信号応答)」のグラフを参照)。SC1とSC0には起動時またはRSTがローに強制されたときに0が設定されます。

表1. DCLのモード制御

LLEAKP ₁	LLEAKS	DRIVER	COMP	LOAD
0	0	Low leakage	Low leakage	Low leakage
0	1	Low leakage	Low leakage	Low leakage
1	0	Active	Active	Active
1	1	Low leakage	Low leakage	Low leakage

表2. ドライバの機能概要

TMSEL	RCV ₁	DATA ₁	DRIVER OUTPUT
X	0	0	Drive to VDLV ₁
X	0	1	Drive to VDHV ₁
0	1	X	High-Z receive
1	1	X	Drive to VDTV ₁

X = 任意

表3. ドライバのスルーレート制御

SC1	SC0	DRIVER SLEW RATE (%)
0	0	100
0	1	75
1	0	50
1	1	25

レベルセッター内蔵デュアルDCL

MAX19000

ドライバのケーブルドロープ補償

ドライバは、プログラム可能なアクティブケーブルドロープ補償を内蔵しています。高周波では、テスト信号の配送経路(PCBトレース、コネクタ、およびMAX19000のDUT_出力と試験対象デバイス自体との間のケーブル)の伝送線路の影響によってDUT_における出力波形の忠実度が低下して、大幅に劣化または使用に耐えない信号になる可能性があります。補償回路は、通常の出力波形に2つの時定数による減衰波形を加えることによってこの劣化を軽減します(ブリエンファシス)。図2は標準的なドライバとMAX19000の比較を表したもので、ドロープ補償によって信号の劣化が相殺される様子を示しています。DCL calibrationレジスタに、補償の量を設定するための長時定数制御ビットと短時定数制御ビットがあります。制御ビットCDRP_[2:0]が、補償信号の振幅を変化させます。表4に、制御ビットの設定と補償の割合の関係を示します。パワーオンリセット(POR)およびRST時のデフォルト値は000で、補償ゼロになります。

調整可能なドライバ出力インピーダンス(ΔR_O)

MAX19000のドライバ出力インピーダンスは、360m Ω ステップで $\pm 2.5\Omega$ に調整可能です。DCL calibrationレジスタのROビットでインピーダンス値を設定します。表5に、出力抵抗の制御ロジックを示します。起動時またはRSTがローに強制されたとき、出力抵抗は $R_O + 0.0\Omega$ (0b1000)に設定されます。

ドライバの電圧クランプ

電圧クランプ(ハイおよびロー)によってDUT_の電圧が制限され、チャンネルをハイインピーダンスのレシーバとして構成した場合の反射が抑制されます。クランプは、大電流バッファの出力に接続されたダイオードとして振る舞います(図1)。内部回路が1mAクランプ電流におけるダイオード降下を補償します。クランプ電圧はレベル設定DAC (CPHV_およびCPLV_)を使用して設定します。ドライバのクランプは、ドライバがハイインピーダンスモードの場合にのみイネーブルされます。過渡を抑制するために、予想されるDUT_の電圧範囲の最小値と最大値にほぼ一致するようにクランプ電圧を設定してください。最適なクランプ電圧はアプリケーションによって異なるため、経験的に決定する必要があります。クランプを使用しない場合は、予想されるDUT_の電圧範囲の少なくとも+0.7V外側にクランプ電圧を設定してください。これによって、DUT_に負荷をかけることなく過電圧保護の動作を維持することができます。

高速コンパレータ

MAX19000は各チャンネル用に2個の独立した高速コンパレータを備えています。各コンパレータは、一方の入力が内部でDUT_に接続され、他方の入力がCHV_またはCLV_に

接続されています(図3)。両方のチャンネルがケーブルドロープ補償を備えています。これらのコンパレータは、高速のウィンドウコンパレータとして動作します。コンパレータのスレッシュホールドは、DAC電圧CHV_およびCLV_によって制御します。表6に、コンパレータの真理値表を示します。図3に、コンパレータのブロック図を示します。

この構成では、12mAの電流ソースが2つの出力間でスイッチングされ、それぞれの出力はCTV_に接続された内部終端抵抗を備えています。これらの抵抗は通常は50 Ω です。絶対最大定格を超えないという条件で、他の構成を使用して異なる経路インピーダンスを終端することができます。この抵抗値によって電圧振幅も設定されることに注意してください。出力は100 Ω の差動負荷終端と50 Ω のソース

表4. ドライバとコンパレータのケーブルドロープ補償の制御ロジック

CDRP_2	CDRP_1	CDRP_0	DROOP COMPENSATION (%)
0	0	0	0
0	0	1	3
0	1	0	6
0	1	1	9
1	0	0	11
1	0	1	14
1	1	0	17
1	1	1	20

表5. ドライバのデルタ R_O 制御

RO3	RO2	RO1	RO0	DRIVER OUTPUT RESISTANCE (Ω)
0	0	0	0	RO - 2.88
0	0	0	1	RO - 2.52
0	0	1	0	RO - 2.16
0	0	1	1	RO - 1.80
0	1	0	0	RO - 1.44
0	1	0	1	RO - 1.08
0	1	1	0	RO - 0.72
0	1	1	1	RO - 0.36
1	0	0	0	RO + 0.0
1	0	0	1	RO + 0.36
1	0	1	0	RO + 0.72
1	0	1	1	RO + 1.08
1	1	0	0	RO + 1.44
1	1	0	1	RO + 1.80
1	1	1	0	RO + 2.16
1	1	1	1	RO + 2.52

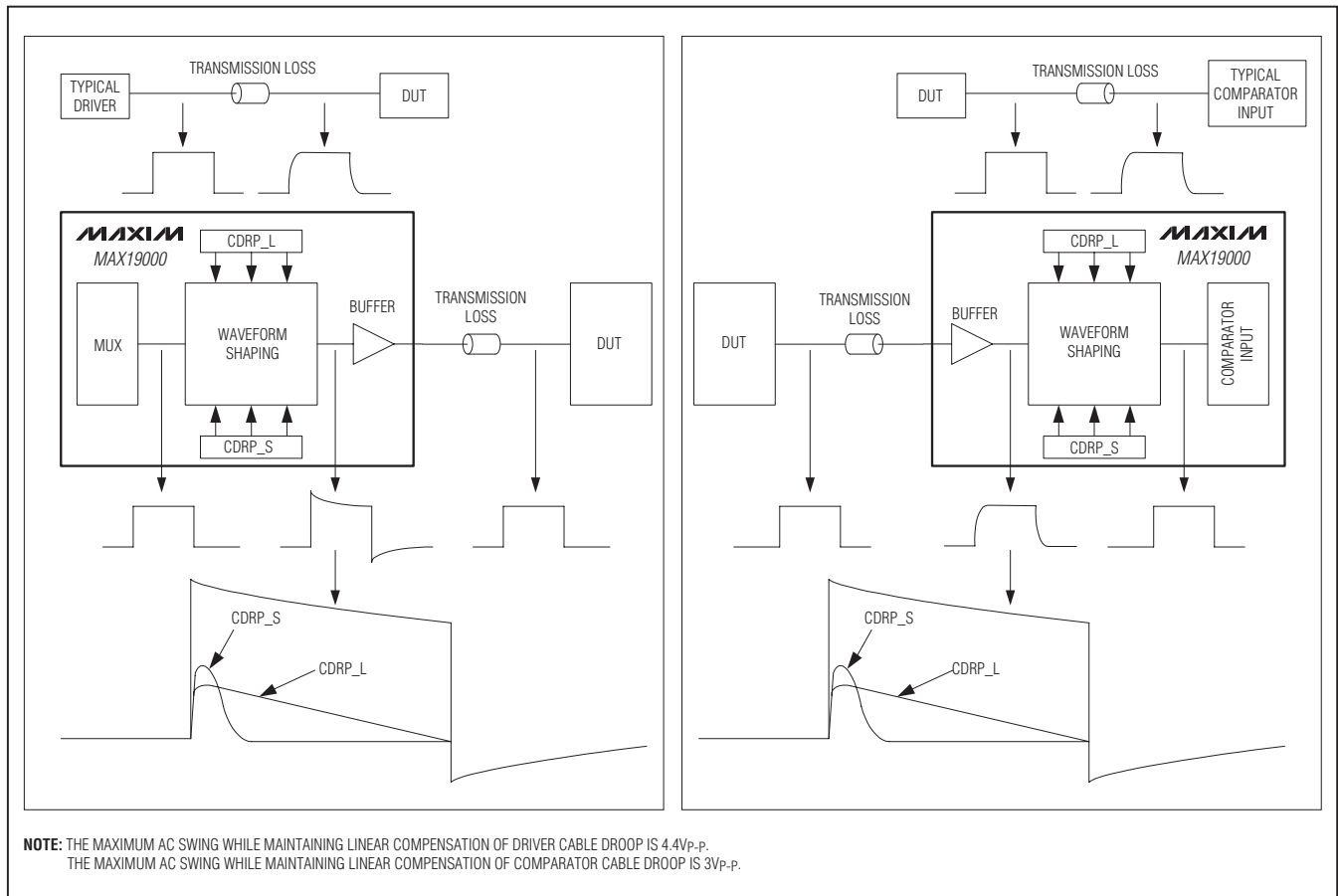


図2. ドライバ/コンパレータのケーブルドロープ補償

表6. コンパレータの真理値表

CONDITION		CH ₋	CL ₋
VDUT ₋ < VCHV ₋	VDUT ₋ < VCLV ₋	0	0
VDUT ₋ < VCHV ₋	VDUT ₋ > VCLV ₋	0	1
VDUT ₋ > VCHV ₋	VDUT ₋ < VCLV ₋	1	0
VDUT ₋ > VCHV ₋	VDUT ₋ > VCLV ₋	1	1

表7. コンパレータのヒステリシス制御

HYST2	HYST1	HYST0	COMPARATOR HYSTERESIS (mV)
0	0	0	0
0	0	1	2
0	1	0	4
0	1	1	6
1	0	0	8
1	0	1	10
1	1	0	12
1	1	1	15

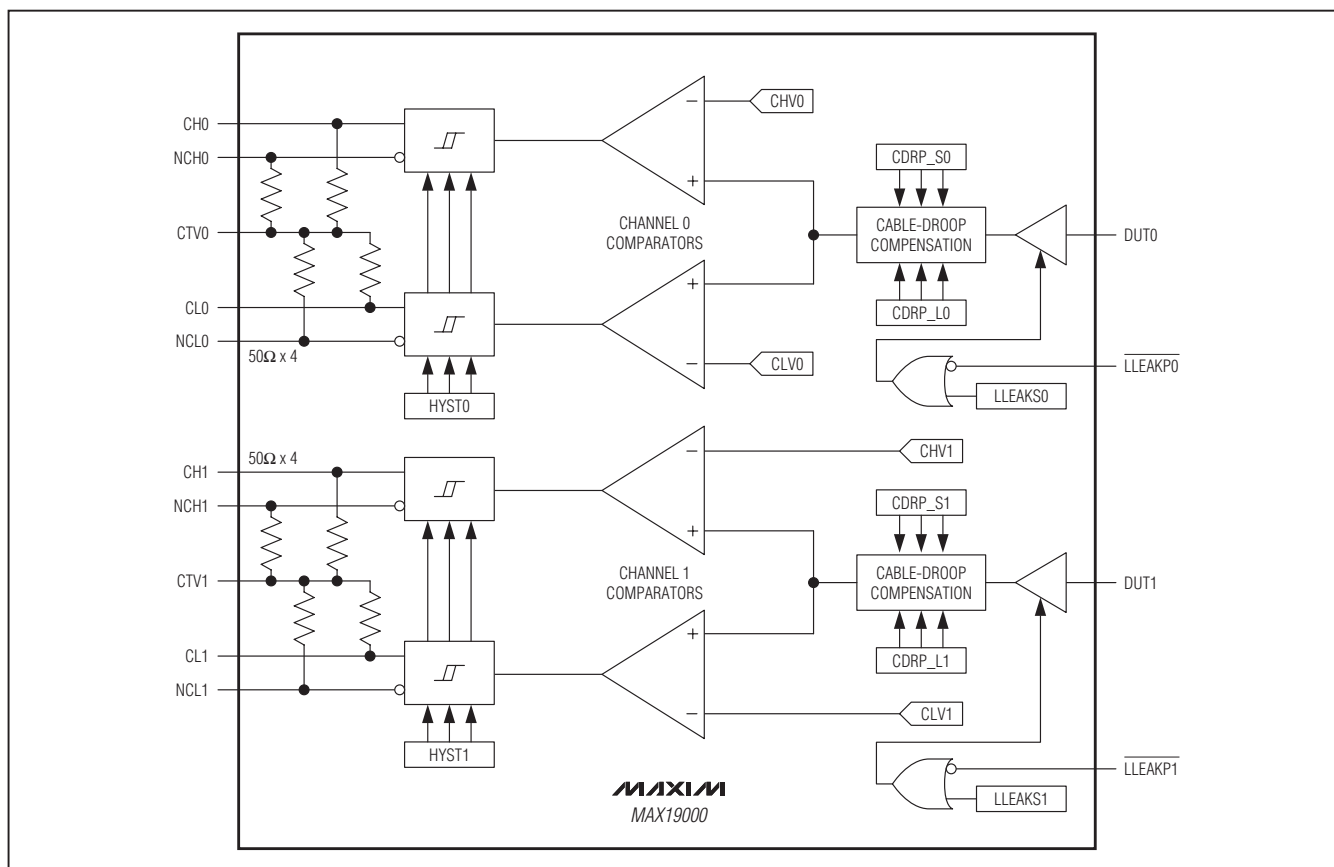


図3. 高速コンパレータのブロック図

終端使用時に公称300mV_{p-p}の振幅を提供します。V_{OH}電圧の定義については、「Electrical Characteristics (電気的特性)」の表の「Logic Outputs CH_, NCH_, CL_, NCL_」の各パラメータを参照してください。

コンパレータのヒステリシス

DCLレジスタで高速コンパレータのヒステリシスを制御します。このレジスタのHYST[2:0]ビットで8つの値(0mV、2mV、4mV、6mV、8mV、10mV、12mV、または15mV)の1つを選択します。

起動時または $\overline{\text{RST}}$ がローに強制されたとき、HYST[2:0]ビットに0b000が設定されます。表7にHYST[2:0]ビットの機能を示します。

コンパレータのケーブルドロープ補償

コンパレータのケーブルドロープ補償は、ドライバのケーブルドロープ補償と同様に動作します。説明は「ドライバのケーブルドロープ補償」の項を参照してください。

アクティブ負荷

アクティブ負荷は、リニアにプログラム可能な電流ソースとシンク、整流バッファ、およびダイオードブリッジで構成されます(図4)。レベル設定DAC LDHV_およびLDLV_によって、シンクおよびソース電流を0mA~20mAに設定します。レベル設定DAC COMV_で、整流バッファの出力電圧を設定します。ソースとシンクの命名規約はMAX19000を基準としており、MAX19000から出る電流がソース電流、MAX19000に入る電流がシンク電流になります。

V_{DUT_} < V_{COMV_}の場合、プログラムされたソース電流が試験対象デバイスに対する負荷になります。V_{DUT_} > V_{COMV_}の場合、プログラムされたシンク電流が試験対象デバイスに対する負荷になります。負荷の制御は、高速差動入力(RCV_/NRCV_)と制御ワードの3つのビット(LDDIS、LDCAL、およびTMSEL)によって行います。LLEAKP_とLLEAKS_は、負荷を低リークモードに移行させます。低リークの制御は、他の制御に優先します。表8に、負荷制御ロジックの詳細を示します。

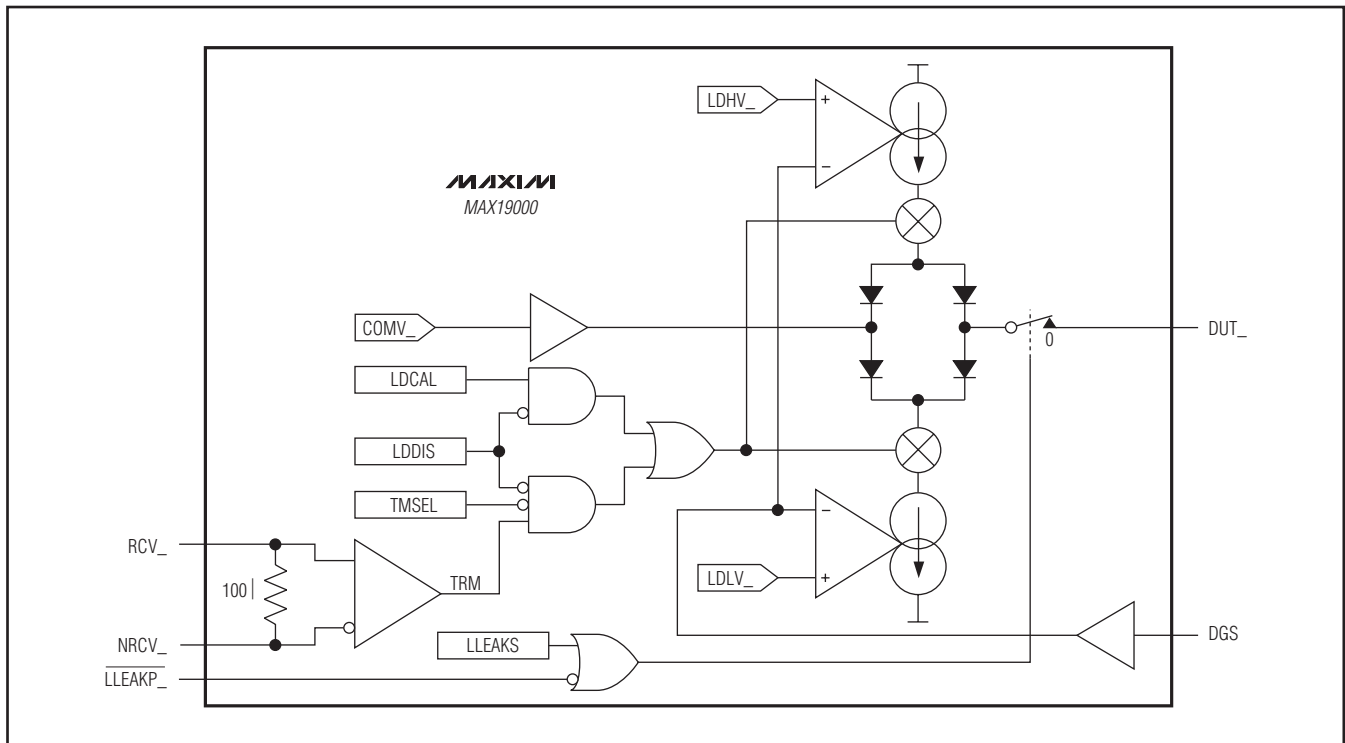


図4. アクティブ負荷のブロック図(1チャンネル分)

表8. アクティブ負荷の制御

RCV_	TMSEL	LDDIS	LDCAL	LEAK*	LOAD STATE
X	X	X	X	1	Low leakage
0	X	0	0	0	Off
X	X	1	X	0	Off
1	1	0	0	0	Off
1	0	0	0	0	On
X	X	0	1	0	On

X = 任意

*LEAK = LLEAKS + (LLEAKP_)

レベルセッター内蔵デュアルDCL

負荷キャリブレーションイネーブル(LDCAL)

LDCALによって、診断のために負荷とドライバを同時にイネーブルすることができます。LDDISはLDCALよりも優先されます。

シリアルインタフェース

MAX19000の制御はSPI対応のシリアルインタフェースで行います。図5に示すこのシリアルインタフェースは、最高50MHzのクロック速度で動作して、 $\overline{CS}$ 、SCLK、DIN、 $\overline{RST}$ 、 $\overline{LOAD}$ 、およびDOUT信号を含んでいます。シリアルインタフェースのタイミングを図8に示します。タイミング仕様の詳細については、「Electrical Characteristics」の表に記載されています。

MAX19000へのデータのロード

$\overline{CS}$ がローのときに、SCLKの立上りエッジでDINから24ビットのシフトレジスタにデータをロードします(図5)。アドレスおよびデータビットをMSBからLSBの順で入力します。MAX19000は、制御およびレベル設定データがcontrolおよびlevel-settingレジスタにラッチされた時点で更新されます。controlおよびlevel-settingレジスタとシフトレジスタは、inputおよびchannel-selectレジスタによって隔てられています。シフトレジスタからcontrolおよびlevel-settingレジスタへのデータ転送は、外部デジタル入力 $\overline{LOAD}$ の状態に応じて、2種類の方法で行うことができます。

$\overline{CS}$ の立上りエッジの間 $\overline{LOAD}$ をハイに維持した場合は、シフトレジスタのデータをinputおよびchannel-selectレジスタのみに転送することができます。データをcontrol

およびlevel-settingレジスタに転送するには、 $\overline{LOAD}$ をローに強制します。変更は $\overline{LOAD}$ の立下りエッジで更新されるため、データのプリロードが可能であり、複数のデバイスにわたる更新の同期が容易になります。

$\overline{CS}$ の立上りエッジの間 $\overline{LOAD}$ をローに維持した場合は、inputおよびchannel-selectレジスタが透過的になり、すべてのデータがこれらのレジスタを通過してcontrolおよびlevel-settingレジスタに直接転送されます。変更は $\overline{CS}$ の立上りエッジで更新されます。図6と7に、 $\overline{LOAD}$ と $\overline{CS}$ の動作の仕組みと、SCLK、DIN、およびDOUTのデータ構成を示します。calibrationレジスタは、 $\overline{LOAD}$ の状態とは無関係に $\overline{CS}$ の立上りエッジで変化します。

シリアルポートのタイミング

シリアルポート信号のタイミングと配列を図6、7、および8に示します。

シリアルインタフェースDOUT

DOUTは、シリアルインタフェースのシフトレジスタの最期のビットをバッファしたものです。次の書込みサイクルの間に、シフトレジスタの全内容をDOUTから読み取ることができます。いずれのレジスタも変更せずにデータをシフトアウトするには、アドレスビットA4 = A5 = A6 = 1として書込みを実行してください。DOUTを使用することによって、複数のデバイスのデジチェーンや、直前の書込みサイクルでデータが正しくシフトインされたかどうかの検証が可能になります。

$\overline{CS}$ がローのときに、SCLKの立上りエッジでデータがシフトレジスタにシフトインされます。シフトレジスタは24ビット長です。

デバイスの制御

データを受信するcontrolおよびlevel-settingレジスタは、チャンネルおよびモード選択ビット(A[7:0])に基づいて選択されます。表9および10に、controlレジスタのビットおよび機能を示します。レベル設定DACのデータおよびcontrolレジスタのデータは、16個のデータビットD[15:0]に格納されます。表9、10、および11に、ビットの詳細な機能を示します。図8に示すように、ビットA7を最初に、ビットD0を最後にクロックインしてください。

表9. シリアルインタフェース制御ビット

DIN	FUNCTION
A7	Calibration register write
A6*	Broadcast enable
A[5:4]	Channel address
A[3:0]	Register address
D[15:0]	Register data

*ブロードキャストイネーブルビット(A6)をアサートした場合は、ビットA[5:4]の設定よりも優先されます。ビットA6にハイを設定したときは、すべてのチャンネルに書込みが行われます。

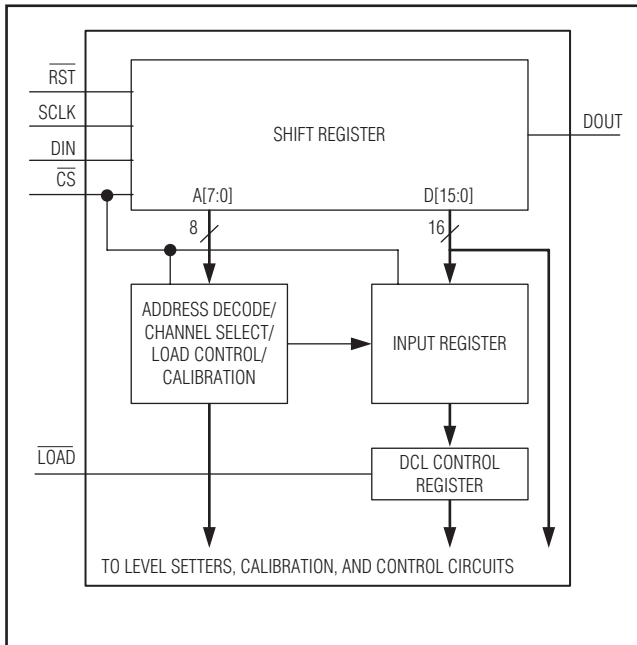


図5. シリアルインタフェースのブロック図

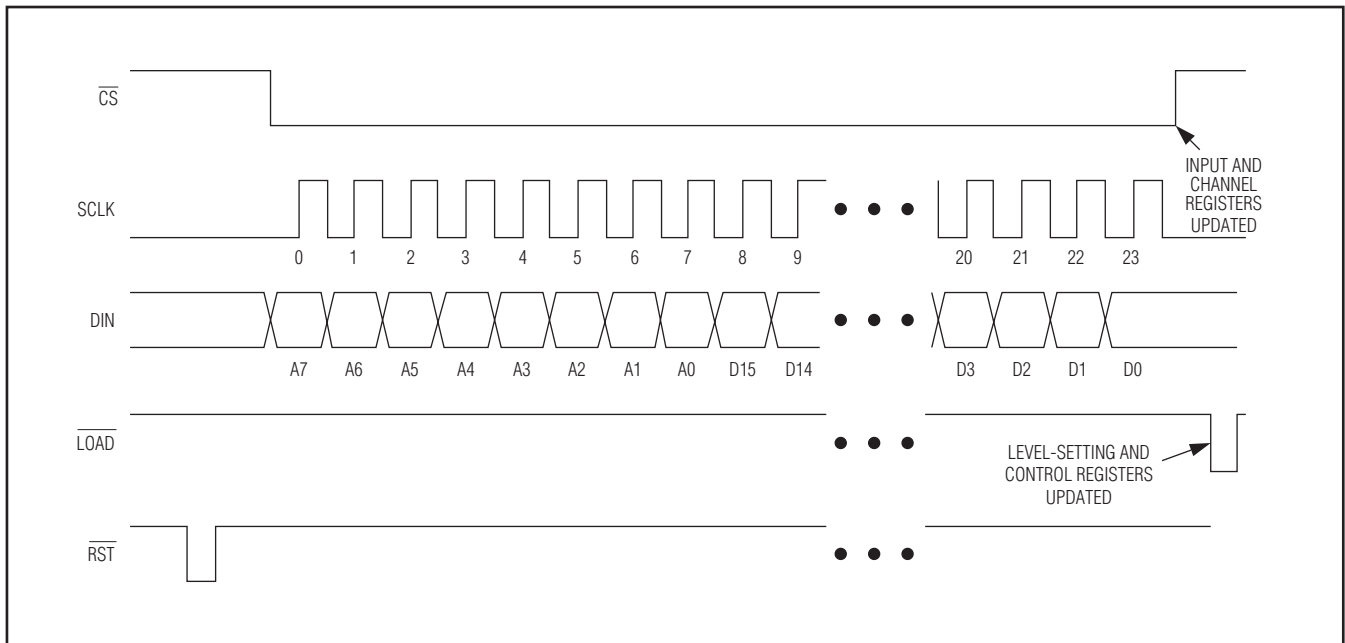


図6. 非同期ロード時のシリアルポートタイミング

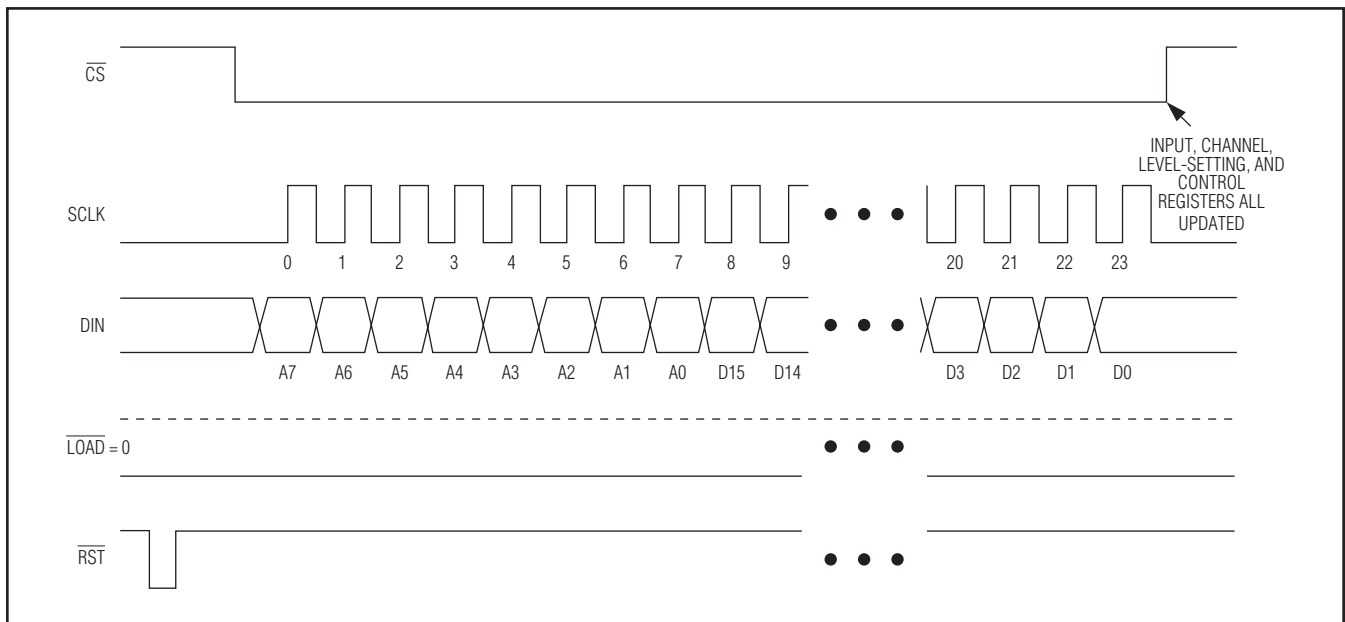


図7. 同期ロード時(LOADをローに保持)のシリアルポートタイミング

レベルセッター内蔵デュアルDCL

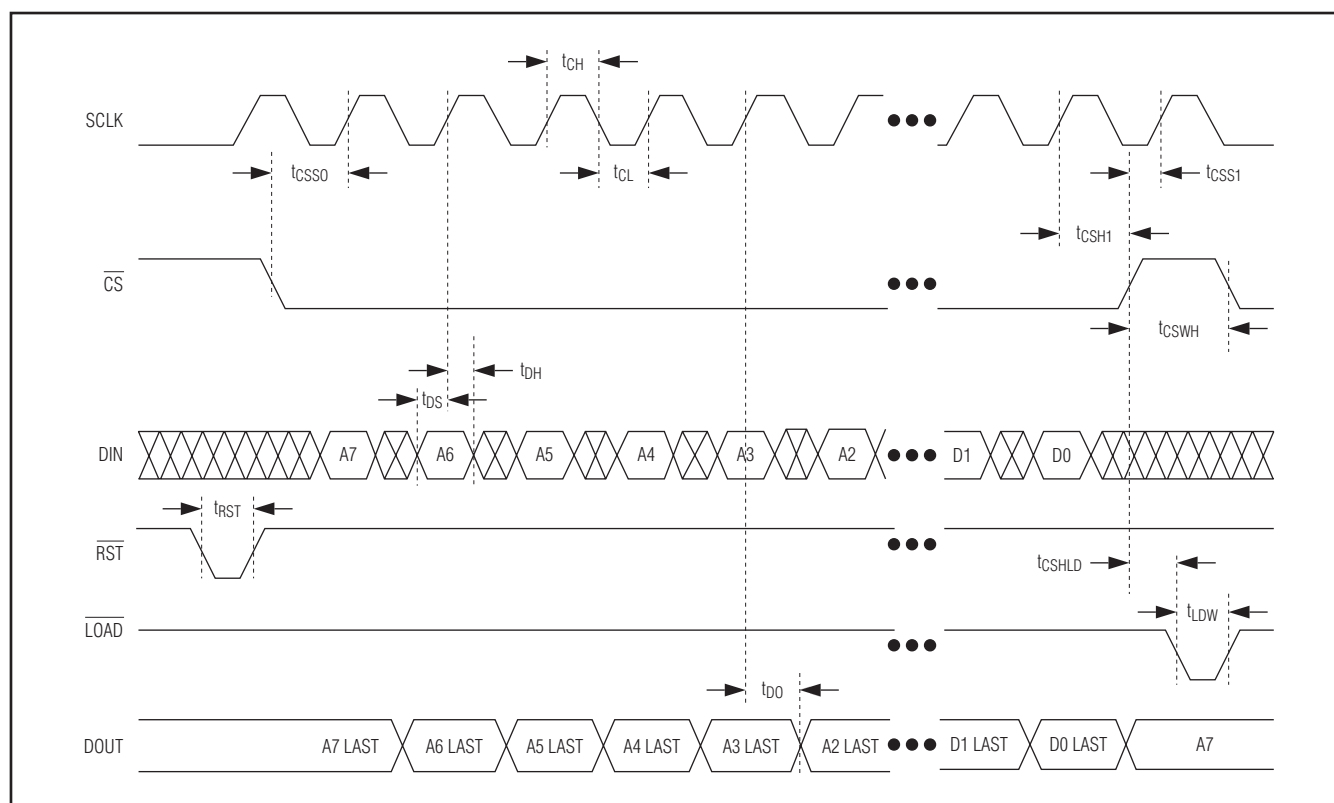


図8. シリアルポートの詳細タイミング図

ビットA7は、DACのcalibrationレジスタへのアクセスを可能にします。calibrationレジスタは、各DACの利得とオフセットの調整に使用します。calibrationレジスタへの書き込みを行う場合は、ビットA7を設定してください。詳細については、「レベルセッターDACとキャリブレーションアドレス」の項を参照してください。

レベルセッターDACとキャリブレーションアドレス

MAX19000は、合計20個のDACを内蔵しています。2チャンネルのMAX19000のさまざまな制御および監視回路用のDC電圧レベルを生成するために、チャンネル当たり合計10レベルが必要です。すべてのDACレベルは、16進値0x0000~0x3FFFの間で変化する14ビットのコード値で設定します。

表12に、各DACのシリアルインタフェースのアドレスと、対応するcalibrationレジスタのアドレスを示します。レジスタのアドレス指定は、個別のチャンネルで行うか、または両方のチャンネルに同時にアクセスする「ブロードキャストアドレス」を利用して行うことができます。図9にレベルセッターの出力ブロック図を示します。

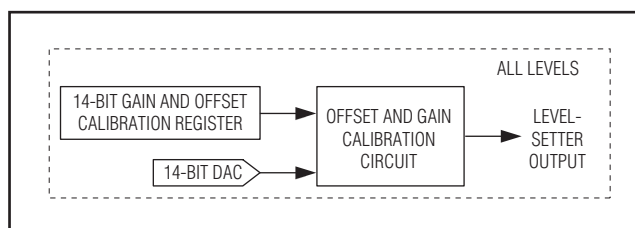


図9. レベルセッターのブロック図

レベルセッターのCalibrationレジスタ (利得とオフセットのコード)

DACのcalibrationレジスタで、各DACの利得とオフセットを調整します。個々のDACが1つのcalibrationレジスタを内蔵しています。すべてのDACのcalibrationレジスタは、14ビットのコードでプログラムします(表10)。コードは2つのフィールドに分かれており、利得(GCAL)とオフセット(OCAL)のそれぞれに1つのフィールドが割り当てられています。すべてのDACが、利得用の6ビットのフィールドとオフセット用の8ビットのフィールドを備えています。

表10. レジスタマップ

REGISTER NAME	ADDRESS (A[7:0])			MSB		DATA (BIT)												LSB		RESET ORDER	
	CH0, A6 = 0	CH1, A6 = 0	BOTH, A6 = 1	D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	RESET CODE	RESET SIGNAL (Note 1)
	A5 = 0, A4 = 0	A5 = 0, A4 = 1	A5 = 0, A4 = 0																		
DCL (Notes 2, 3)	0x00	0x10	0x40	—	—	—	—	—	EN_TEMP_ALARM	EN_OV_ALARM	HYST2	HYST1	HYST0	LDCAL	LDDIS	TMSEL	LLEAKS	SC1	SC0	0x0004	ROR/ RST
DHV: Driver High (Note 2)	0x01	0x11	0x41	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
DLV: Driver Low (Note 2)	0x02	0x12	0x42	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
DTV: Driver Term (Note 2)	0x03	0x13	0x43	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
CHV: High Comparator (Note 2)	0x04	0x14	0x44	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
CLV: Low Comparator (Note 2)	0x05	0x15	0x45	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
CPHV: High High-Z Clamp, High Overvoltage Detect (Note 2)	0x06	0x16	0x46	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST
CPLV: Low High-Z Clamp, Low Overvoltage Detect (Note 2)	0x07	0x17	0x47	—	—	—	—	—	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	0x1333 (0.0V)	ROR/ RST

レベルセッター内蔵デュアルDCL

表10. レジスタマップ(続き)

REGISTER NAME	ADDRESS (A[7:0])			MSB	DATA (BIT)										RESET ORDER							
	CH0, A6 = 0	CH1, A6 = 0	BOTH, A6 = 1		D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	RESET CODE	RESET SIGNAL (Note 1)
COMV: Load Commutation Voltage (Note 2)	0x08	0x18	0x48	—	—	DLVL13	DLVL12	DLVL11	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	DLVL0	0x1333 (0.0V)	ROR/RST
LDHV: Load Source Current (Note 2)	0x09	0x19	0x49	—	—	—	DLVL12	DLVL11	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	DLVL0	0x1333 (0.0mA)	ROR/ RST
LDLV: Load Sink Current (Note 2)	0x0A	0x1A	0x4A	—	—	DLVL13	DLVL12	DLVL11	DLVL10	DLVL9	DLVL8	DLVL7	DLVL6	DLVL5	DLVL4	DLVL3	DLVL2	DLVL1	DLVL0	DLVL0	0x1333 (0.0mA)	ROR/ RST
TS (Notes 2, 4)	0x0F	0x1F	0x4F	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x0000	ROR/ RST
DCL Calibration (Notes 2, 5, 6)	0x80	0x90	0xC0	—	—	CDRP_CMP_L1	CDRP_CMP_S2	CDRP_CMP_S1	CDRP_CMP_S0	CDRP_DRV_L2	CDRP_DRV_L1	CDRP_DRV_L0	CDRP_DRV_S2	CDRP_DRV_S1	CDRP_DRV_S0	RO3	RO2	RO1	RO0	RO0	0x0008	POR
DGVC: Driver High Calibration (Notes 2, 5, 6)	0x81	0x91	0xC1	—	—	—	GCAL4	GCAL3	GCAL2	GCAL1	GCAL0	OCAL7	OCAL6	OCAL5	OCAL4	OCAL3	OCAL2	OCAL1	OCAL0	OCAL0	0x2080	POR
DLVC: Driver Low Calibration (Notes 2, 5, 6)	0x82	0x92	0xC2	—	—	—	GCAL4	GCAL3	GCAL2	GCAL1	GCAL0	OCAL7	OCAL6	OCAL5	OCAL4	OCAL3	OCAL2	OCAL1	OCAL0	OCAL0	0x2080	POR
DTVC: Driver Term Calibration (Notes 2, 5, 6)	0x83	0x93	0xC3	—	—	—	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	GCAL5	0x2080	POR

表10. レジスタマップ(続き)

REGISTER NAME	ADDRESS (A[7:0])			MSB	DATA (BIT)															LSB		RESET ORDER	
	CH0, A6 = 0	CH1, A6 = 0	BOTH, A6 = 1		D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	RESET CODE	RESET SIGNAL (Note 1)	
CHVC: High Comparator Calibration (Notes 2, 5, 6)	0x84	0x94	0xC4	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	
	0x85	0x95	0xC5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	
CPHVC: High High-Z Clamp, High Overvoltage Detect Calibration (Notes 2, 5, 6)	0x86	0x96	0xC6	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	
	0x87	0x97	0xC7	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	
CPLVC : Low High-Z Clamp, Low Overvoltage Detect Calibration (Notes 2, 5, 6)	0x88	0x98	0xC8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	
	0x88	0x98	0xC8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0x2080	POR	

表10. レジスタマップ(続き)

REGISTER NAME	ADDRESS (A[7:0])			MSB	DATA (BIT)															LSB		RESET ORDER	
	CH0, A6 = 0	CH1, A6 = 0	BOTH, A6 = 1		D15	D14	D13	D12	D11	D10	D09	D08	D07	D06	D05	D04	D03	D02	D01	D00	RESET CODE	RESET SIGNAL (Note 1)	
LDHVC: Load Source Current Calibration (Notes 2, 5, 6)	0x89	0x99	0xC9	—	—															0x2080	POR		
	0x8A	0x9A	0xCA	—	—															0x2080	POR		

注1 : POR/RSTは、パワーオンリセット(POR)時またはRST端子のアサートによって値がリセットされることを示します。PORは、POR時にのみ値がリセットされることを示します。したがって、calibrationレジスタを再プログラム必要とすることなく、デバイスを既知の状態にリセットすることができます。

注2 : 全角ダッシュ(ー)レジスタビットは書き込み操作時には0を設定してください。

注3 : EN_TEMP_ALARMビットは、CH0のDCLレジスタにのみ存在します(表中の網掛けのセル)。

注4 : TSMUX0ビットは、CH0のTSレジスタにのみ存在します(表中の網掛けのセル)。

注5 : 以下のA[7:0]アドレスは許可されたアドレスではなく、テストされません。

0x0B~0x0E
0x1B~0x1E
0x4B~0x4E
0x8B~0x8F
0x9B~0x9F
0xCB~0xCF

注6 : calibrationレジスタにアクセスするにはA7 = 1に設定してください。

表11. ControlおよびCalibrationレジスタのビット

BITS	FUNCTION
CDRP_	Driver and comparator cable-droop compensation
GCAL_	DAC gain calibration
EN_TEMP_ALARM	Enable temperature alarm
EN_OV_ALARM	Enable overvoltage alarm
HYST_	High-speed comparator hysteresis select
LDCAL	Load calibration enable
LDDIS	Load disable
LLEAKS	DCL low-leakage enable
OCAL_	DAC offset calibration
RO_	Driver output-resistance select
SC_	Driver slew-rate control
TSMUX0	Temperature sensor voltage-output control (see Table 14)
TMSEL	Driver terminate select control

表12. DACのアドレス表

LEVEL NAME	LEVEL DESCRIPTION	DAC REGISTER				CALIBRATION REGISTER			
		ADDRESS			RESET VALUE (Note 1)	ADDRESS			RESET VALUE (Note 2)
		CH0	CH1	BOTH		CH0	CH1	BOTH	
VDHV_	Driver high	0x01	0x11	0x41	0x1333	0x81	0x91	0xC1	0x2080
VDLV_	Driver low	0x02	0x12	0x42	0x1333	0x82	0x92	0xC2	0x2080
VDTV_	Driver term	0x03	0x13	0x43	0x1333	0x83	0x93	0xC3	0x2080
VCHV_	High comparator	0x04	0x14	0x44	0x1333	0x84	0x94	0xC4	0x2080
VCLV_	Low comparator	0x05	0x15	0x45	0x1333	0x85	0x95	0xC5	0x2080
VCPHV_	High high-Z clamp, high overvoltage detect	0x06	0x16	0x46	0x1333	0x86	0x96	0xC6	0x2080
VCPLV_	Low high-Z clamp, Low overvoltage detect	0x07	0x17	0x47	0x1333	0x87	0x97	0xC7	0x2080
VCOMV_	Load commutation voltage	0x08	0x18	0x48	0x1333	0x88	0x98	0xC8	0x2080
VLDHV_	Load source current	0x09	0x19	0x49	0x1333	0x89	0x99	0xC9	0x2080
VLDLV_	Load sink current	0x0A	0x1A	0x4A	0x1333	0x8A	0x9A	0xCA	0x2080

注1：これらの値はPOR時またはRST端子のアサートによってリセットされます。

注2：これらの値はPOR時にのみリセットされます。したがって、calibrationレジスタを再プログラムする必要なしにデバイスを既知の状態にリセットすることができます。

レベルセッター内蔵デュアルDCL

calibrationレジスタは、POR時にのみデフォルト値にリセットされます。RSTをアサートしてもcalibrationレジスタをデフォルトに強制しません。

レベルの伝達関数

MAX19000の個々のアナログDACのレベルは、14ビットのDACコード設定、利得コード設定、およびオフセットコード設定を含んだ伝達関数によって設定されます。以下の V_{DAC} の式が、DACの基本的な伝達関数を示しています。各DACが提供する電圧出力範囲は-3V~+7V (typ)です。これら20個のDACはすべて同一であり、以下の式に従って電圧を生成します。

VCOM_ DAC以外のすべてのDAC :

$$V_{DAC} = 4 \times ((DAC_code/16,384 \times V_{REF}) - 1) \times (1 - V_G/V_{REF}) \times (0.98 + 0.02 \times gain_code/32) - 3V + (0.1 \times offset_code/128 - 0.1) \times V_{DGS} + 1.2 \times V_G$$

ここで、 $V_G = V_{GNDDAC_} - V_{DGS}$ です。

VCOM_ DAC :

$$V_{DAC} = 4 \times ((DAC_code/16,384 \times V_{REF}) - 1) \times (1 - V_G/V_{REF}) \times (0.995 + 0.02 \times gain_code/32) - 3V + (0.1 \times offset_code/128 - 0.1) \times V_{DGS} + 1.2 \times V_G$$

ここで、 $V_G = V_{GNDDAC_} - V_{DGS}$ です。

すべてのDACで、オフセットのコードは0~255の整数値、利得コードは0~63の整数値です。オフセットと利得のコードは、calibrationレジスタの設定に基づきます(表13)。

+2.5Vの外部リファレンスに誤差があると、DACのレベルの精度に影響します。+2.5Vのリファレンスの1%の誤差は、DACレベルの利得の1%の誤差になります。MAX6225などの高精度の電圧リファレンスを推奨します。+2.5Vの外部リファレンスは、GNDDAC_を基準として生成する必要があります。GNDプレーンからMAX19000への

GND接続には注意が必要です。デバイスへの個々のGND接続には、大きな電流が流れます。通常、GNDはデバイスに対して約90mAをソースし、この電流要求は大きなAC成分を伴う可能性があります。+2.5VリファレンスおよびすべてのMAX19000チップに対するGNDDAC_の接続についても、慎重に考慮する必要があります。GNDDAC_とDGSの間をスター接続にしてください。 V_G はGNDDAC_ - DGSに等しく、DACレベルの誤差の原因になるため、GNDDAC_とDGSの間の電圧の差は最小限に抑えてください。詳細については、「レベルの伝達関数」の項を参照してください。

アプリケーション

デバイスの起動時の状態

起動時、DCLは低リークモードに入ります。DCLおよびcalibrationレジスタは、それぞれデフォルトで0x0004と0x2080になります。各レベルの初期起動時の値については、表12を参照してください。電源は任意のシーケンスでオンにすることができます。

アラーム

MAX19000は2つの障害条件アラームを備えています。第1は温度検出アラームで、MAX19000の内部温度が+125℃を超えたときに作動します。第2の障害条件は、DUT_の電圧がプログラム可能な電圧レベルの範囲外、すなわち $V_{CPHV_}$ より高いか $V_{CPLV_}$ より低くなったときに作動します。 $V_{CPHV_}$ と $V_{CPLV_}$ のレベルは内蔵の14ビットDACによって設定され、ハイインピーダンスクランプ回路とOVALARMによって共有されます。それぞれのアラームに対して、DCLレジスタ内(チャンネル0のみ)に個別のイネーブル、EN_TEMP_ALARMとEN_OV_ALARMが存在します(表10参照)。監視回路にそれぞれのアラーム出力(TALARMとOVALARM)をアサートさせるためには、これらのイネーブルビットにバイナリの「1」をプログラムする必要があります。アラーム出力は、アクティブロー、オープンドレイン、DGND基準です。TALARM信号を監視するラッチ機能をユーザがASIC/FPGAで実現することが想定されています。MAX19000のOVALARM回路は、プログラム可能なDACレベルをドライバのハイインピーダンスクランプ回路と共有しています。ハイインピーダンスクランプをディセーブルすることはできません。DUT_ラインに対する影響を排除するためには、単にハイインピーダンスクランプ電圧を離れた値にプログラムしてください。ドライバのハイインピーダンスクランプがOVALARMのスレッショルドに近接している場合は、OVALARMの動作に影響します。 V_{OVH}/V_{CPH} スレッショルドの通過に起因する障害条件が、少なくとも6mAの電流をクランプ回路にソース可能である場合、OVALARM回路はOVALARM出力を確実にトリガします。障害条件によって生じる電流

表13. レベルセッターの伝達関数

LEVEL	LEVEL-SETTER TRANSFER FUNCTION
V _{DHV} _	DAC voltage x V _{DHV} _ gain + V _{DHV} _ offset
V _{DLV} _	DAC voltage x V _{DLV} _ gain + V _{DLV} _ offset
V _{DTV} _	DAC voltage x V _{DTV} _ gain + V _{DTV} _ offset
V _{CHV} _	DAC voltage x V _{CHV} _ gain + V _{CHV} _ offset
V _{CLV} _	DAC voltage x V _{CLV} _ gain + V _{CLV} _ offset
V _{CPHV} _	DAC voltage x V _{CPHV} _ gain + V _{CPHV} _ offset
V _{CPLV} _	DAC voltage x V _{CPLV} _ gain + V _{CPLV} _ offset
V _{COMV} _	DAC voltage x V _{COMV} _ gain + V _{COMV} _ offset
V _{LDHV} _*	(DAC voltage - V _{DGS}) x (20mA/6V) x V _{LDHV} _ gain + V _{LDHV} _ offset
V _{LDLV} _*	(DAC voltage - V _{DGS}) x (20mA/6V) x V _{LDLV} _ gain + V _{LDLV} _ offset

*ゼロより小さなV_{LDHV}_とV_{LDLV}_のレベルは切り捨てられます。

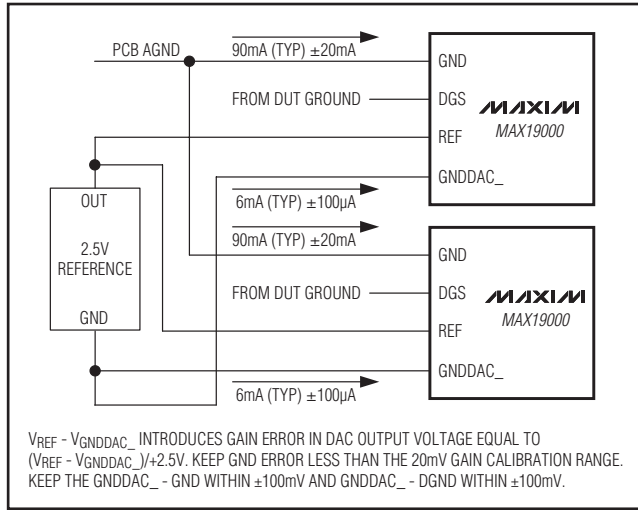


図10. ボード当たり2個の部品を使う場合の接続図の例

が6mA以下の場合、OVALARM出力がトリガされるかどうかは分かりません。同じことが、低い電圧で V_{OVL}/V_{CP} スレッショルドをクロスする付近でも成立します(すなわち、障害条件によって少なくとも6mAの電流がクランプ回路にシンクされる必要があります)。また、DUT_にソース終端がないため通常のハイインピーダンスクランプ動作を所望する場合は、OVALARM回路をディセーブルして、通常のハイインピーダンスクランプ動作が原因で煩わしいOVALARM出力のトリップが発生する可能性を排除する必要があることにも注意してください。

温度センサー

温度センサー機能は、TSレジスタ内のTSMUX0ビットを使用して実現されています。TSレジスタの内容は、シリアルインタフェース経由で変更することができます。表14に、この機能をイネーブルするために必要なビットコードの定義を示します。温度センサー出力はアナログ値となります。

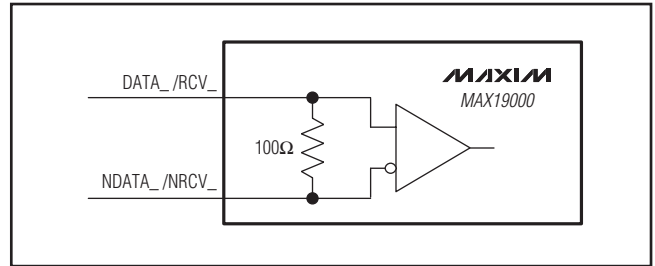


図11. DATA_とRCV_の終端

表14. 温度センサー出力の制御

TSMUX0 (D6)	TEMP OUTPUT
0	High-Z
1	Temp-sensor voltage

DATA_およびRCV_入力

DATA_とRCV_は、図11に示すように内蔵の100Ωで差動終端されています。

電源について

0.1µFのコンデンサで、各電源入力をGNDに、REFをDGSにバイパスしてください。さらに、電源接続と基板が接する位置には、少なくとも10µFのバルクコンデンサによるバイパスを使用してください。

エクスポーズドパッド

エクスポーズドパッド(EP)は、内部で V_{EE} に接続されています。EPを大面積のプレーンまたはヒートシンクに接続して、放熱性能を最大にしてください。EPは、電気的な接点として使用するものではありません。EPは電気的に未接続のままとするか、または V_{EE} に接続してください。EPをグラウンドに接続しないでください。

レベルセッター内蔵デュアルDCL

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ図面情報およびランドパターンは、japan.maxim-ic.com/packagesを参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
64 TQFP-EP	C64E+9R	21-0162

レベルセッター内蔵デュアルDCL

改訂履歴

版数	改訂日	説明	改訂ページ
0	10/09	初版	—
1	1/10	「概要」、「Absolute Maximum Ratings (絶対最大定格)」、および「温度センサー」の各項、「Electrical Characteristics (電気的特性)」、および表10、11、および14を更新	1, 2, 15, 24, 31, 36–39, 41, 42

MAX19000

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 43

© 2010 Maxim Integrated Products

Maxim is a registered trademark of Maxim Integrated Products, Inc.