

MAXIM

xDSL/ケーブルモデム3倍/5倍 出力電源

概要

MAX1864/MAX1865電源コントローラは、コストを重視したアプリケーション、例えばケーブルモデムの Consumer Premise Equipment (CPE、民生用構内/宅内機器)、xDSL CPE、およびセットトップボックス向けに設計されています。低コストで安定化されていないDC電源(例えばACアダプタ出力)で動作し、MAX1864は3つの正電圧出力を生成し、MAX1865は4つの正電圧出力と1つの負電圧出力を生成し、安価なシステム電源を提供します。

MAX1864は、1つの電流モードの同期ステップダウンコントローラと2つの正電圧レギュレータのゲインブロックを内蔵しています。MAX1865は、さらに正ゲインブロックと負レギュレータゲインブロックをそれぞれ1つ内蔵しています。メイン同期ステップダウンコントローラは大電流出力を発生し、これは3.3Vに固定するか、または外部抵抗分圧器によって1.236V~0.8 x V_{IN} に可変することができます。100kHz/200kHzの動作周波数により、低コストのアルミ電解コンデンサと低コストの磁気部品の使用が可能になります。さらに、MAX1864/MAX1865ステップダウンコントローラは、ローサイドMOSFETのオン抵抗両端の電圧を検出して効率よく電流制限信号を生成し、高価な電流検出抵抗の使用を不要にします。

MAX1864/MAX1865は、低コストの補助電源レールを生成します。正レギュレータのゲインブロックは外部のPNPパストランジスタを使用し、メインステップダウンコンバータから直接低電圧レール(例えばメインの3.3V出力から2.5Vまたは1.8V)を生成するか、またはステップダウンコンバータから結合巻線を用いて高い電圧(例えば5V、12Vまたは15V)を生成します。MAX1865の負ゲインブロックは、結合巻線と連動した外部のNPNパストランジスタを使用し、-5V、-12V、あるいは-15Vを生成します。

すべての出力電圧は外部で可変することができ、非常に優れた柔軟性を提供します。さらに、MAX1864/MAX1865は、ステップダウンコンバータとすべての正リニアレギュレータ用にソフトスタート機能を備えており、全ての出力電圧を監視するパワーグッド出力も備えています。

アプリケーション

- xDSL、ケーブルおよびISDNモデム
- セットトップボックス
- ローカルループ無線

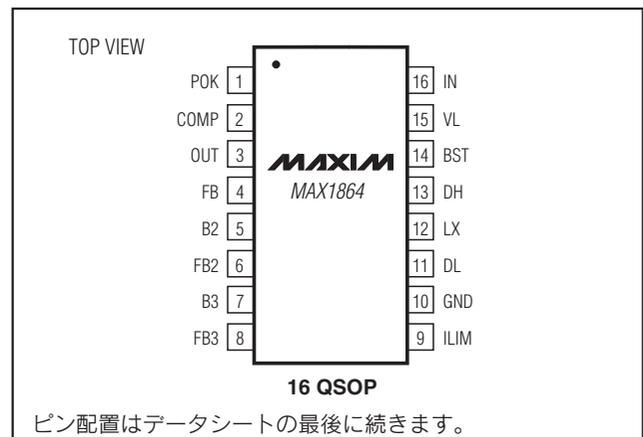
特長

- ◆ 入力電圧範囲：4.5V~28V
- ◆ マスタDC-DCステップダウンコンバータ
 - 3.3V固定または可変(1.236V~0.8 x V_{IN})出力電圧
 - 固定周波数(100kHz/200kHz)のPWMコントローラ
 - 電流検出抵抗不要
 - 可変電流制限
 - 効率：95%
- ◆ 2個(MAX1864)/4個(MAX1865)のアナログゲインブロック
 - 正のアナログブロックは低コストのPNPパストランジスタを駆動し、正のリニアレギュレータを構成
 - 負のアナログブロック(MAX1865)は低コストのNPNパストランジスタを駆動し、負のリニアレギュレータを構成
- ◆ パワーグッドインジケータ
- ◆ 全ての正レギュレータに対してソフトスタート上昇

型番

PART	TEMP. RANGE	PIN-PACKAGE	fosc (kHz)
MAX1864TEEE	-40°C to +85°C	16 QSOP	200
MAX1864UEEE	-40°C to +85°C	16 QSOP	100
MAX1865TEEP	-40°C to +85°C	20 QSOP	200
MAX1865UEEP	-40°C to +85°C	20 QSOP	100

ピン配置



xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

ABSOLUTE MAXIMUM RATINGS

IN, B2, B3, B4 to GND-0.3V to +30V
 B5 to OUT-20V to +0.3V
 VL, POK, FB, FB2, FB3, FB4, FB5 to GND-0.3V to +6V
 LX to BST-6V to +0.3V
 BST to GND-0.3V to +36V
 DH to LX-0.3V to (V_{BST} + 0.3V)
 DL, OUT, COMP, ILIM to GND-0.3V to (V_L + 0.3V)
 VL Output Current50mA
 VL Short Circuit to GND≤100ms

Continuous Power Dissipation (T_A = +70°C)
 16-Pin QSOP (derate 8.3mW/°C above +70°C).....666mW
 20-Pin QSOP (derate 9.1mW/°C above +70°C).....727mW
 Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 12V, ILIM = FB = GND, V_{BST} - V_{LX} = 5V, T_A = 0°C to +85°C. Typical values are at T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL						
Operating Input Voltage Range (Note 1)	V _{IN}		4.5		28	V
Quiescent Supply Current	I _{IN}	V _{FB} = 0, V _{OUT} = 4V, V _{FB2} = V _{FB3} = V _{FB4} = 1.5V, V _{FB5} = -0.1V	MAX1864	1.0	2	mA
			MAX1865	1.4	3	
VL REGULATOR						
Output Voltage	V _L	6V < V _{IN} < 28V, 0.1mA < I _{LOAD} < 20mA	4.75	5.00	5.25	V
Power-Supply Rejection	PSRR	V _{IN} = 6V to 28V			3	%
Undervoltage Lockout Trip Level	V _{UVLO}	V _L rising, 3% hysteresis (typ)	3.2	3.5	3.8	V
Minimum Bypass Capacitance	C _{BYP(MIN)}	10mΩ < ESR < 500mΩ		1		μF
DC-DC CONTROLLER						
Output Voltage (Preset Mode)	V _{OUT}	FB = GND	3.272	3.314	3.355	V
Typical Output Voltage Range (Adjustable Mode) (Note 2)	V _{OUT}		1.236		0.8 x V _{IN}	V
FB Set Voltage (Adjustable Mode)	V _{SET}	FB = COMP	1.221	1.236	1.252	V
FB Dual Mode™ Threshold			50	100	150	mV
FB Input Leakage Current	I _{FB}	V _{FB} = 1.5V		0.01	100	nA
FB to COMP Transconductance	g _m	FB = COMP, I _{COMP} = ±5μA	70	100	140	μS
Current-Sense Amplifier Voltage Gain	A _{LIM}	V _{IN} - V _{LX} = 250mV	4.46	4.9	5.44	V/V
Current-Limit Threshold (Internal Mode)	V _{VALLEY}	V _{LIM} = 5.0V	190	250	310	mV
Current-Limit Threshold (External Mode)	V _{VALLEY}	V _{LIM} = 2.5V	440	530	620	mV

Dual ModeはMaxim Integrated Products, Inc.の商標です。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $I_{LIM} = FB = GND$, $V_{BST} - V_{LX} = 5V$, $T_A = 0^\circ C$ to $+85^\circ C$. Typical values are at $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Switching Frequency	f _{OSC}	MAX186_T	160	200	240	kHz
		MAX186_U	80	100	120	
Maximum Duty Cycle	D _{MAX}		77	82	90	%
Soft-Start Period	t _{SOFT}		1024			1/f _{OSC}
Soft-Start Steps			V _{REF} /64			V
DH Output Low Voltage		I _{SINK} = 10mA, measured from DH to LX	0.1			V
DH Output High Voltage		I _{SOURCE} = 10mA, measured from BST to DH	0.1			V
DL Output Low Voltage		I _{SINK} = 10mA, measured from DL to GND	0.1			V
DL Output High Voltage		I _{SOURCE} = 10mA, measured from DL to GND	V _L - 0.1			V
DH, DL On-Resistance			3		10	Ω
Output Drive Current		Sourcing or sinking, V _{DH} or V _{DL} = V _L /2	0.5			A
LX, BST Leakage Current		V _{BST} = V _{LX} = V _{IN} = 28V, V _{FB} = 1.5V	0.03		20	μA
POSITIVE ANALOG GAIN BLOCKS						
FB2, FB3, FB4 Regulation Voltage		V _{B2} = V _{B3} = V _{B4} = 5V, I _{B2} = I _{B3} = I _{B4} = 1mA (sink)	1.226	1.240	1.257	V
FB2, FB3, FB4 to B ₋ Transconductance	ΔV _{FB₋}	V _{B2} = V _{B3} = V _{B4} = 5V, I _{B2} = I _{B3} = I _{B4} = 0.5mA to 5mA (sink)	-1		-1.75	%
Feedback Input Leakage Current	I _{FB₋}	V _{FB2} = V _{FB3} = V _{FB4} = 1.5V	0.01		100	nA
Driver Sink Current	I _{B₋}	V _{FB2} = V _{FB3} = V _{FB4} = 1.188V	10	23		mA
		V _{B2} = V _{B3} = V _{B4} = 2.5V V _{B2} = V _{B3} = V _{B4} = 4.0V	26			
NEGATIVE ANALOG GAIN BLOCK						
FB5 Regulation Voltage		V _{B5} = V _{OUT} - 2V, V _{OUT} = 3.5V, I _{B5} = 1mA (source)	-20	-5	+10	mV
FB5 to B5 Transconductance	ΔV _{FB5}	V _{B5} = 0, I _{B5} = 0.5mA to 5mA (source)	-13		-20	mV
Feedback Input Leakage Current	I _{FB5}	V _{FB5} = -100mV	0.01		100	nA
Driver Source Current	I _{B5}	V _{FB5} = 200mV, V _{B5} = V _{OUT} - 2.0V, V _{OUT} = 3.5V	10	25		mA
POWER GOOD (POK)						
OUT Trip Level (Preset Mode)		FB = GND, falling edge, 1% hysteresis (typ)	2.88	3	3.12	V
FB Trip Level (Adjustable Mode)		Falling edge, 1% hysteresis (typ)	1.070	1.114	1.159	V
FB2, FB3, FB4 Trip Level		Falling edge, 1% hysteresis (typ)	1.070	1.114	1.159	V
FB5 Trip Level		Rising edge, 35mV hysteresis (typ)	368	500	632	mV
POK Output Low Level		I _{SINK} = 1mA	0.4			V
POK Output High Leakage		V _{POK} = 5V			1	μA
THERMAL PROTECTION (Note 3)						
Thermal Shutdown		Rising temperature	160			°C
Thermal Shutdown Hysteresis			15			°C

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

ELECTRICAL CHARACTERISTICS

($V_{IN} = 12V$, $I_{LIM} = FB = GND$, $V_{BST} - V_{LX} = 5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
GENERAL					
Operating Input Voltage Range (Note 1)	V_{IN}		4.5	28	V
Quiescent Supply Current	I_{IN}	$V_{FB} = 0$, $V_{OUT} = 4V$, $V_{FB2} = V_{FB3} = V_{FB4} = 1.5V$, $V_{FB5} = -0.1V$	MAX1864	2	mA
			MAX1865	3	
VL REGULATOR					
Output Voltage	V_L	$6V < V_{IN} < 28V$, $0.1mA < I_{LOAD} < 20mA$	4.75	5.25	V
Power-Supply Rejection	PSRR	$V_{IN} = 6V$ to $28V$		3	%
Undervoltage Lockout Trip Level	V_{UVLO}	V_L rising, 3% hysteresis (typ)	3	4	V
DC-DC CONTROLLER					
Output Voltage (Preset Mode)	V_{OUT}	$FB = GND$	3.247	3.380	V
Feedback Set Voltage (Adjustable Mode)	V_{SET}	$FB = COMP$	1.211	1.261	V
Current-Sense Amplifier Voltage Gain	A_{LIM}	$V_{IN} - V_{LX} = 250mV$	4.12	5.68	V/V
Current-Limit Threshold (Internal Mode)	V_{VALLEY}	$V_{LIM} = 5V$	150	350	mV
Current-Limit Threshold (External Mode)	V_{VALLEY}	$V_{LIM} = 2.5V$	400	660	mV
Switching Frequency	f_{OSC}	MAX186_T	160	240	kHz
		MAX186_U	80	120	
Maximum Duty Cycle	D_{MAX}		74	90	%
POSITIVE ANALOG GAIN BLOCKS					
FB2, FB3, FB4 Regulation Voltage		$V_{B2} = V_{B3} = V_{B4} = 5V$, $I_{B2} = I_{B3} = I_{B4} = 1mA$ (sink)	1.215	1.265	V
FB2, FB3, FB4 to B ₋ Transconductance	ΔV_{FB-}	$V_{B2} = V_{B3} = V_{B4} = 5V$, $I_{B2} = I_{B3} = I_{B4} = 0.5mA$ to $5mA$ (sink)		-2.25	%
NEGATIVE ANALOG GAIN BLOCK					
FB5 Regulation Voltage		$V_{B5} = V_{OUT} - 2V$, $V_{OUT} = 3.5V$, $I_{B5} = 1mA$ (source)	-25	+10	mV
FB5 to B5 Transconductance	ΔV_{FB5}	$V_{B5} = 0$, $I_{B5} = 0.5mA$ to $5mA$ (source)		-30	mV

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $I_{LIM} = FB = GND$, $V_{BST} - V_{LX} = 5V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
POWER GOOD (POK)					
OUT Trip Level (Preset Mode)		FB = GND, falling edge, 1% hysteresis (typ)	2.85	3.15	V
FB Trip Level (Adjustable Mode)		Falling edge, 1% hysteresis (typ)	1.058	1.17	V
FB2, FB3, FB4 Trip Level		Falling edge, 1% hysteresis (typ)	1.058	1.17	V
FB5 Trip Level		Rising edge, 35mV hysteresis (typ)	325	675	mV

Note 1: Connect VL to IN for operation with $V_{IN} < 5V$.

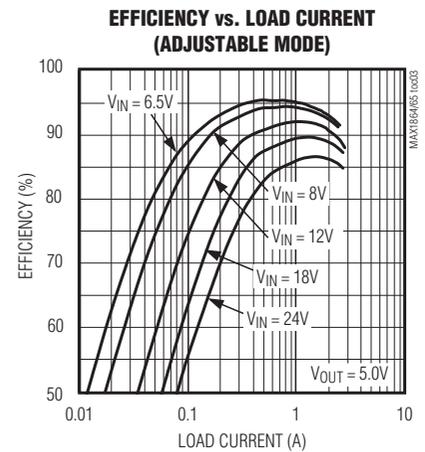
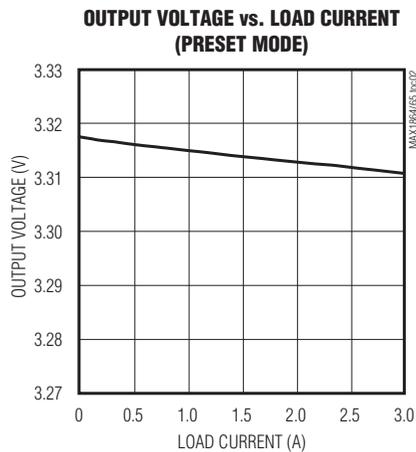
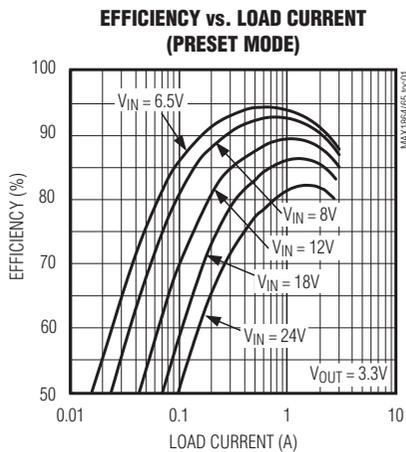
Note 2: See *Output Voltage Selection* section.

Note 3: The internal 5V linear regulator (VL) powers the thermal shutdown block. Shorting VL to GND disables thermal shutdown.

Note 4: Specifications to $-40^{\circ}C$ are guaranteed by design, not production tested.

標準動作特性

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



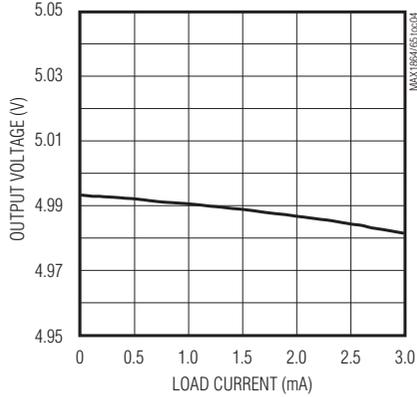
xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

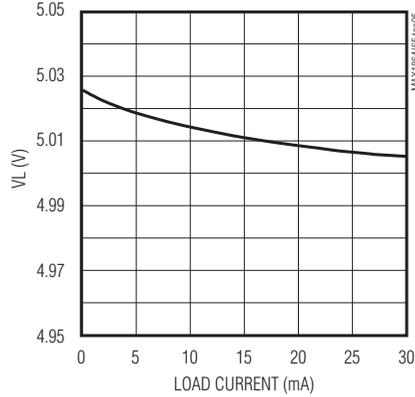
標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

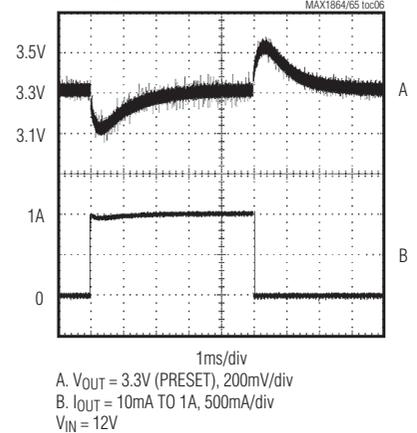
**OUTPUT VOLTAGE vs. LOAD CURRENT
(ADJUSTABLE MODE)**



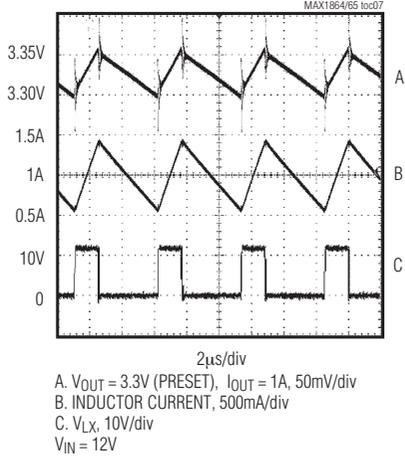
**INTERNAL 5V LINEAR REGULATOR
vs. LOAD CURRENT**



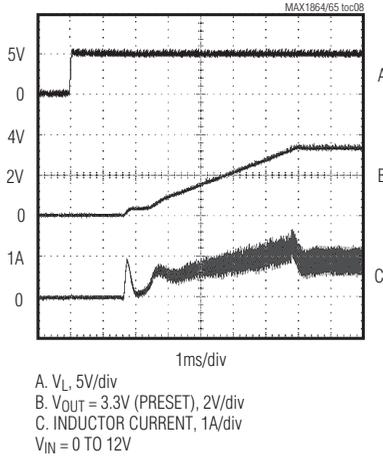
**LOAD TRANSIENT
(STEP-DOWN CONVERTER)**



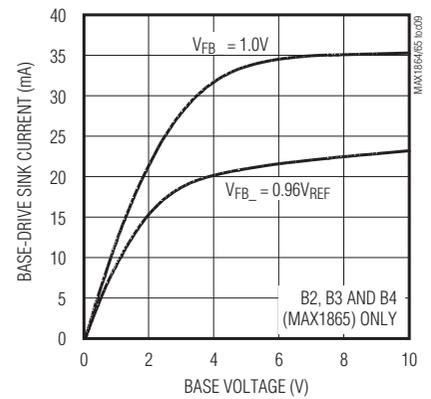
**SWITCHING WAVEFORMS
(STEP-DOWN CONVERTER)**



SOFT-START



**POSITIVE LINEAR REGULATOR BASE-
DRIVE CURRENT vs. BASE-DRIVE VOLTAGE**

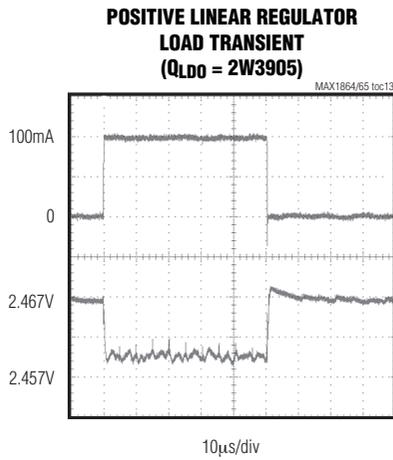
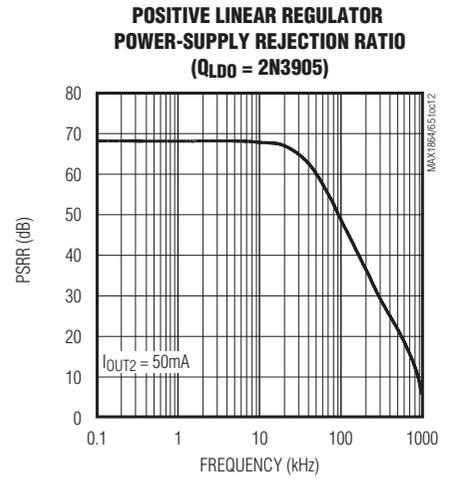
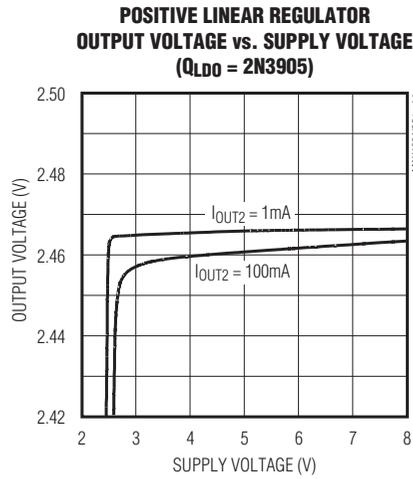
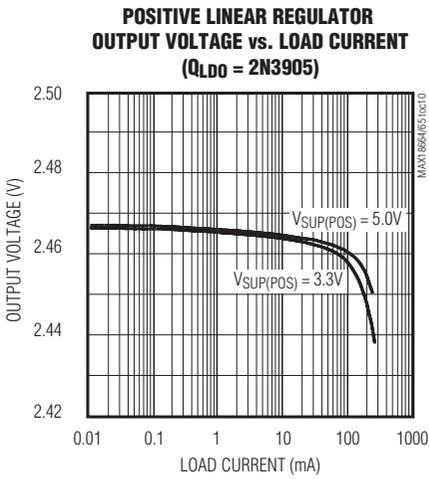


xDSL/ケーブルモデム3倍/5倍 出力電源

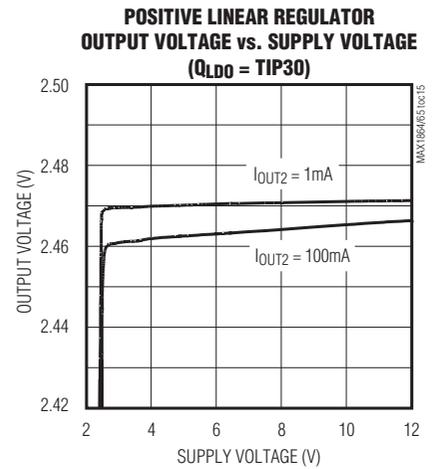
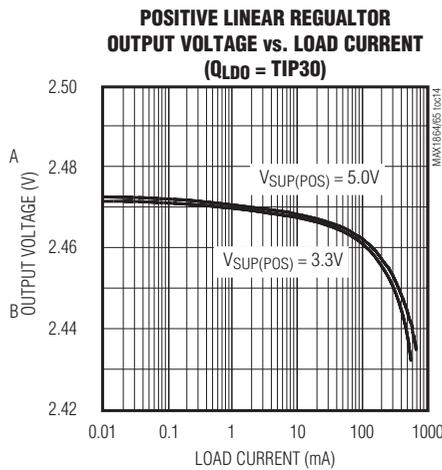
MAX1864/MAX1865

標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



A. $I_{OUT2} = 1mA$ TO $100mA$, $50mA/div$
 B. $V_{OUT} = 2.5V$, $5mV/div$
 $C_{LDO(POS)} = 10\mu F$ CERAMIC, $V_{SUP(POS)} = 3.3V$
 CIRCUIT OF FIGURE 1

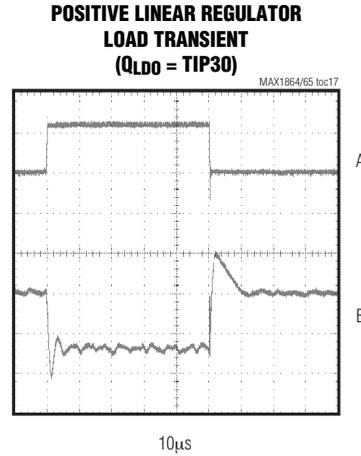
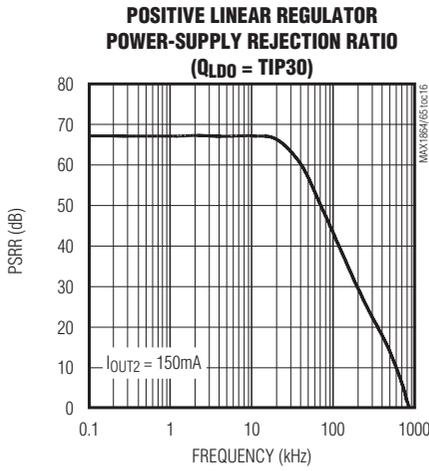


xDSL/ケーブルモデム3倍/5倍 出力電源

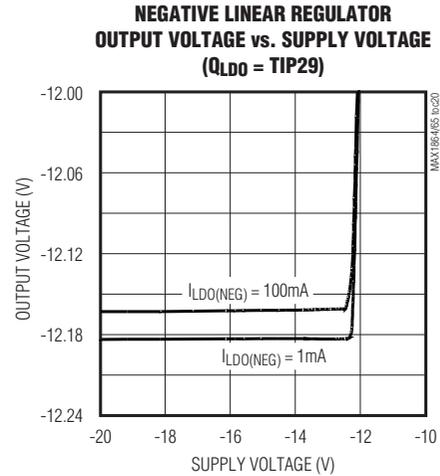
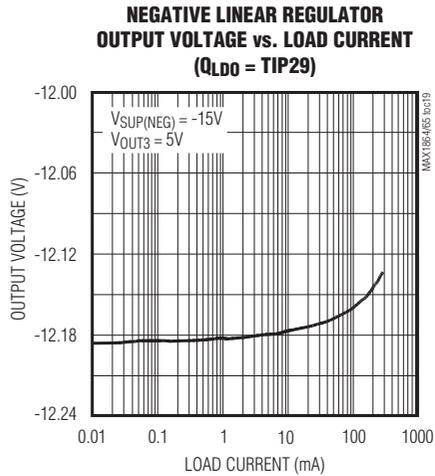
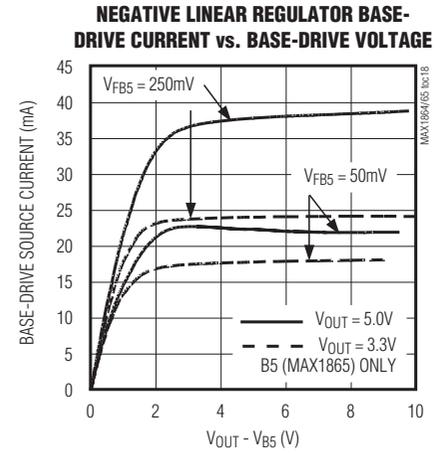
MAX1864/MAX1865

標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



A. $I_{OUT2} = 10mA$ TO $250mA$, $200mA/div$
 B. $V_{OUT2} = 2.5V$, $10mV/div$
 C. $C_{LDO(POS)} = 10\mu F$ CERAMIC, $V_{SUP(POS)} = 3.3V$
 CIRCUIT OF FIGURE 1



xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

端子説明

端子		名称	機能
MAX1864	MAX1865		
1	1	POK	オープンドレインのパワーグッド出力。出力電圧が安定化電圧の10%以上低下すると、POKはローになります。出力が安定している場合、POKはハイインピーダンスになります。ロジックレベル電圧用には、POKとVL間に抵抗を接続してください。
2	2	COMP	補償端子。直列の抵抗とコンデンサをGNDに接続して、コントロールループを補償します。標準値は47kΩと8.2nFです。
3	3	OUT	安定化出力電圧のハイインピーダンス検出入力。内部的に抵抗分圧器と負ゲインブロック(MAX1865)に接続されています。
4	4	FB	Dual Modeスイッチングレギュレータのフィードバック入力。3.3Vの固定出力にするには、GNDに接続してください。1.236V~0.8 x V _{IN} の出力電圧に調整するには、抵抗分圧器を出力、FB、およびGND間に接続してください。フィードバックの設定点は1.236Vです。
5	5	B2	オープンドレイン出力のPNPトランジスタドライバ(レギュレータ2)。内部的にDMOSのドレインに接続されています。B2は外部PNPパストランジスタのベースに接続し、正リニアレギュレータを構成します。
6	6	FB2	アナログゲインブロックのフィードバック入力(レギュレータ2)。抵抗分圧器を正リニアレギュレータの出力とGND間に接続して出力電圧を調整してください。フィードバック設定点は1.24Vです。
7	7	B3	オープンドレイン出力のPNPトランジスタドライバ(レギュレータ3)。内部的にDMOSのドレインに接続されています。B3は外部PNPパストランジスタのベースに接続し、正リニアレギュレータを構成します。
8	8	FB3	アナログゲインブロックのフィードバック入力(レギュレータ3)。抵抗分圧器を正リニアレギュレータの出力とGND間に接続して出力電圧を調整してください。フィードバックの設定点は1.24Vです。
—	9	B4	オープンドレイン出力のPNPトランジスタドライバ(レギュレータ4)。内部的にDMOSのドレインに接続されています。B4は外部PNPパストランジスタのベースに接続し、正リニアレギュレータを構成します。
—	10	FB4	アナログゲインブロックのフィードバック入力(レギュレータ4)。抵抗分圧器を正リニアレギュレータの出力とGND間に接続して出力電圧を調整してください。フィードバックの設定点は1.24Vです。
—	11	B5	オープンドレイン出力のNPNトランジスタドライバ(レギュレータ5)。内部的にPチャネルMOSFETのドレインに接続されています。B5は外部NPNパストランジスタのベースに接続し、負リニアレギュレータを形成します。
—	12	FB5	アナログゲインブロックのフィードバック入力(レギュレータ5)。負リニアレギュレータの出力と正リファレンス電圧(一般的には正リニアレギュレータ出力の一つ)に抵抗分圧器を接続して、出力電圧を調整してください。フィードバックの設定点はGNDです。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

端子説明(続き)

端子		名称	機能
MAX1864	MAX1865		
9	13	ILIM	Dual Modeの電流制限調整入力。250mVのデフォルト電流制限スレッシュホールドにする場合は、VLに接続してください。可変モードでは、電流制限スレッシュホールド電圧は、ILIMに発生する電圧の1/5です。VLとGND間に抵抗分圧器を接続して、 V_{ILIM} を1V~2.5Vに調整してください。250mVのデフォルト値への切り替えロジックスレッシュホールドは、ほぼVL - 1Vです。
10	14	GND	グラウンド
11	15	DL	ローサイドゲートドライバ出力。DLはGNDとVL間で変化します。
12	16	LX	インダクタ接続。INとLX間を電流検出用に使用し、LXとGND間を電流制限用に使用します。
13	17	DH	ハイサイドゲートドライバ出力。DHはLXとBST間で変化します。
14	18	BST	ブーストフライングコンデンサ接続。標準アプリケーション回路(図1と6)に示されているように、BSTを外部のブーストダイオードとコンデンサに接続してください。
15	19	VL	内部の5Vリニアレギュレータ出力。ICに電源を供給し、DLのローサイドゲートドライバ、外部のブーストダイオード、およびコンデンサに給電してください。1 μ F以上のセラミックコンデンサでGNDにバイパスしてください。
16	20	IN	4.5V~28Vの入力電源電圧。1 μ F以上のセラミックコンデンサでICに近接してGNDへバイパスしてください。

詳細

MAX1864/MAX1865電源コントローラは、ケーブルモデムおよびxDSLモデムにシステム電源を供給します。メインステップダウンDC-DCコントローラは、電流モードパルス幅変調(PWM)方式で動作し、補償要件を容易にし、また優れた負荷およびライン過渡応答を備えています。

MAX1864は、2つの正極性補助出力電圧を安定化するための2つのアナログゲインブロックを内蔵しており、またMAX1865は、3つの正極性と1つの負極性の補助出力電圧を安定化するための4つのアナログゲインブロックを内蔵しています。正レギュレータのゲインブロックは、メインステップダウンコンバータから直接低電圧レールを生成するのに使用するが、またはこのステップダウンコンバータから結合巻線を使用して高電圧を生成するのに使用できます。負ゲインブロックは結合巻線とともに使用し、-5V、-12V、あるいは-15Vを生成することができます。

DC-DCコントローラ

MAX1864/MAX1865ステップダウンコンバータは、パルス幅変調(PWM)電流モードコントロール方式(図2)を採用しています。内部の相互コンダクタンスアンプは、COMP端子に積分された誤差電圧を発生します。電流モードPWMコントローラの中心はオープンループのコントローラで、積分された電圧フィードバック信号

を増幅された電流検出信号およびスロープ補償ランプの和と比較します。PWMコンパレータが作動するか、または最大のデューティサイクルに達するまで、内部クロックの各立上がりエッジでハイサイドのMOSFETがオンします。このオンの時間の中に、電流はインダクタを通して徐々に上昇し、出力に電流を供給し、また磁界にエネルギーを蓄積します。電流モードのフィードバックシステムは、出力電圧誤差信号に従ってピークインダクタ電流を安定化します。平均インダクタ電流はピークインダクタ電流とほとんど同じ(インダクタ値が比較的高くてリップル電流を最小にすると仮定)ですので、回路はスイッチモード相互コンダクタンスアンプの働きをします。この回路は、電圧モードPWMで一般的に見受けられる出力LCフィルタの極を高い周波数に押し上げます。内部ループの安定性を保ち、インダクタ電流が階段状になるのを防止するために、スロープ補償ランプをメインPWMコンパレータに加算します。

後半のサイクルでハイサイドMOSFETがオフし、ローサイドのNチャネルMOSFETがオンします。この時点でインダクタ電流が徐々に下がるために、インダクタに蓄積されたエネルギーを放出し、出力に電流を供給します。したがって、インダクタ電流が負荷電流以上の場合には出力コンデンサが電荷を蓄積し、インダクタ電流が負荷電流以下の場合にはコンデンサを放電し、負荷両端の電圧を平滑します。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

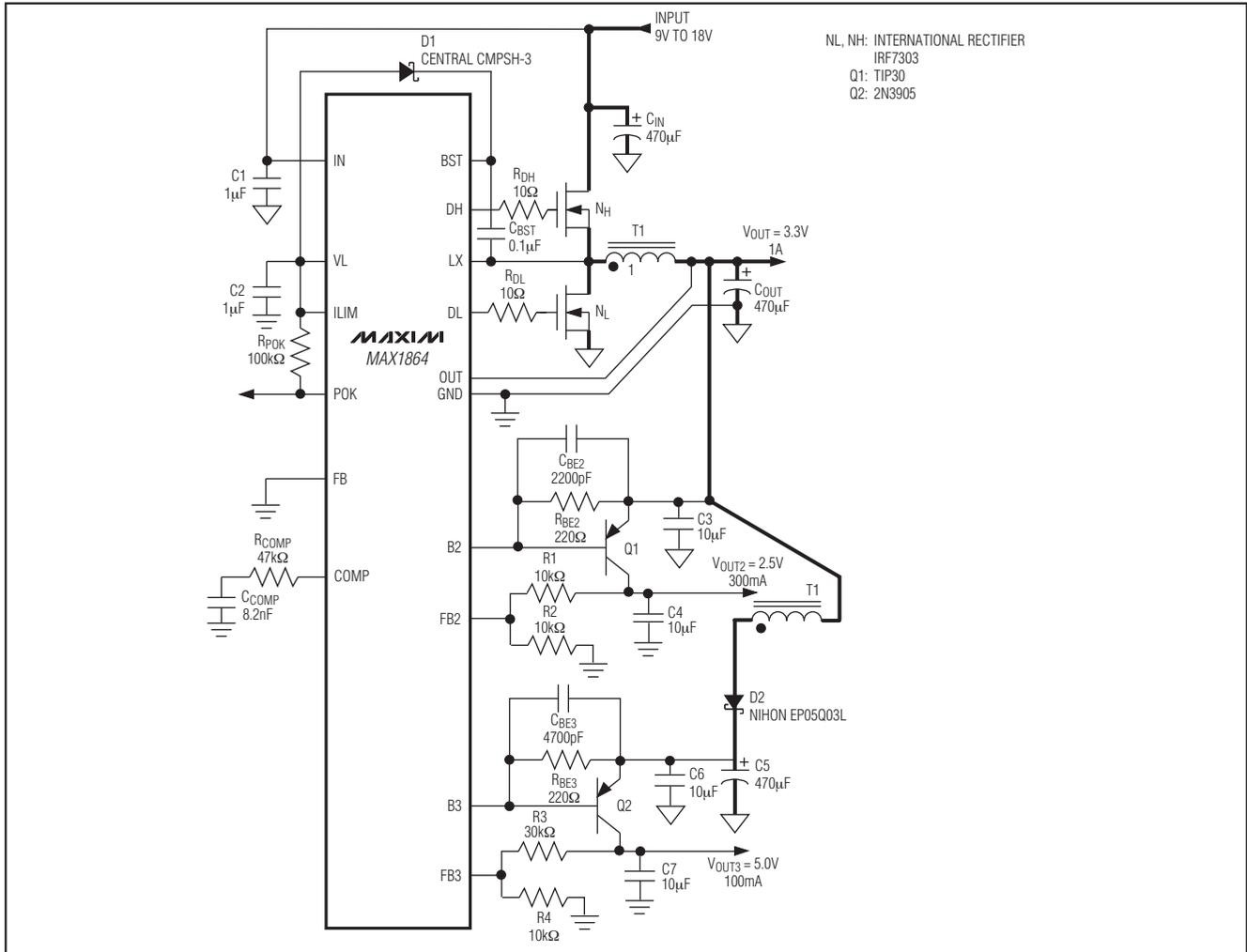


図1. MAX1864標準アプリケーション回路

過負荷状態下では、インダクタ電流が選択された電流制限(「電流制限の設定」を参照)以上のときは、ハイサイドMOSFETはクロックの立上がりエッジでオンせず、インダクタ電流を徐々に減らすためにローサイドMOSFETはオンを保ちます。

MAX1864/MAX1865は強制PWMモードで動作しますので、軽負荷においてもコントローラは一定のスイッチング周波数を維持し、トランスを使用するアプリケーションにおけるクロスレギュレーション誤差を最小限に抑えます。ローサイドのゲートドライブ波形は、ハイサイドのゲートドライブ波形の相補形ですので、軽負荷でインダクタ電流を反転させることとなります。

電流検出アンプ

MAX1864/MAX1865の電流検出回路は、ハイサイドMOSFETのオン抵抗($R_{DS(ON)} \times I_{INDUCTOR}$)によって生成される電流検出電圧を増幅($A_V = 5$)します。この増幅された電流検出信号と内部のスロー補償信号は互に加算され(V_{SUM})、PWMコンパレータの反転入力に供給されます。このPWMコンパレータは、 V_{SUM} が積分されたフィードバック電圧(V_{COMP})を超えると、ハイサイドMOSFETをオフにします。ハイサイドMOSFETはコントローラから5mm以内に配置し、ケルビン検出接続を用いてINとLXをMOSFETに接続することにより、電流検出精度を保証し安定性を確保します。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

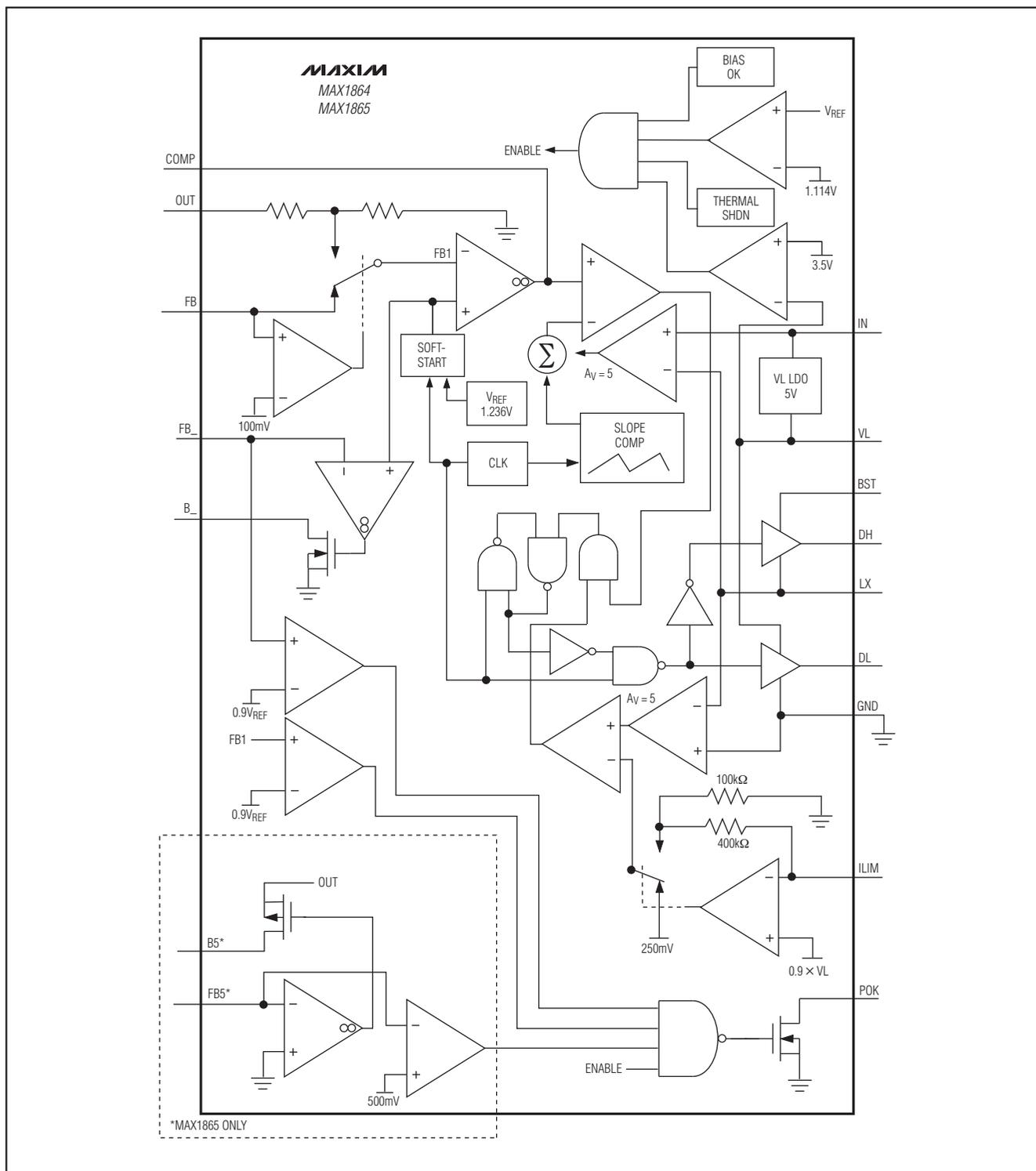


図2. ファンクション図

電流制限回路

電流制限回路は、検知素子としてローサイドMOSFETのオン抵抗を使用するユニークな「谷間」電流制限アルゴリズムを採用しています(図3)。ローサイドMOSFET ($R_{DS(ON)} \times I_{INDUCTOR}$)両端の電圧が、発振器の新たなサイクルの初めに電流制限スレッショルドを超えると、MAX1864/MAX1865はハイサイドMOSFETをオンにしません。実際のピークの電流は、インダクタリップル電流に等しい分だけ電流制限スレッショルドより大きくなります。したがって、正確な電流制限特性と最大負荷能力は、ローサイドMOSFETのオン抵抗、インダクタ値、入力電圧、および出力電圧の関数です。こうした不確実性の代償として、堅牢で損失のない過電流制限が得られます。

調整モードでは、電流制限スレッショルド電圧は、ILIM ($I_{VALLEY} = 0.2 \times V_{ILIM}$)の電圧の1/5です。抵抗分圧器をVL、ILIM、およびGND間に接続して、電流制限スレッショルドを調整してください。電流制限スレッショルドは106mV~530mVに設定することができ、これは500mV~2.5VのILIM入力電圧に相当します。この可変電流制限は、広範なオン抵抗特性を有するMOSFETに対応できます(「設計手順」の項を参照)。ILIMがVLに接続される場合、電流制限スレッショルドのデフォルト値は250mVです。250mVのデフォルト値に切り替えるロジックスレッショルドは、ほぼVL - 1Vです。

プリント基板レイアウトのガイドラインを順守し、電流検出信号がLXとGNDに現れるノイズとDC誤差で影響されないようにして下さい。ICは、ケルビン検出接続をして、短くて(5mm未満)まっすぐな配線パターンで、ローサイドMOSFETの近くに取り付ける必要があります。

同期整流器ドライバ(DL)

同期整流は、通常のショットキーキャッチダイオードを低抵抗MOSFETスイッチと置き換えることによって、整流器の導通損失を減らします。MAX1864/MAX1865も同期整流器を使用し、ブーストゲートドライバ回路が適切にスタートアップできるようにし、電流制限信号を提供します。

DLローサイドドライブの波形は、常にDHハイサイドドライブの波形の相補形です(デッドタイム制御で貫通電流または「シュートスルー」を防止)。デッドタイム回路はDL出力を監視し、DLが完全にオフになるまでハイサイドFETがオンするのを防止します。デッドタイム回路が正常に動作するには、DLドライバとMOSFETゲート間に低抵抗で低インダクタンスの経路が必要です。さもないければ、MAX1864/MAX1865の検出回路網は、ゲート電荷が実際に残っていても、MOSFETゲートが「オフ」と判断してしまいます。非常に短くて幅が広い配線パターン(MOSFETがデバイスから1インチ離れている場合には幅は50mil~100mil)を使用して

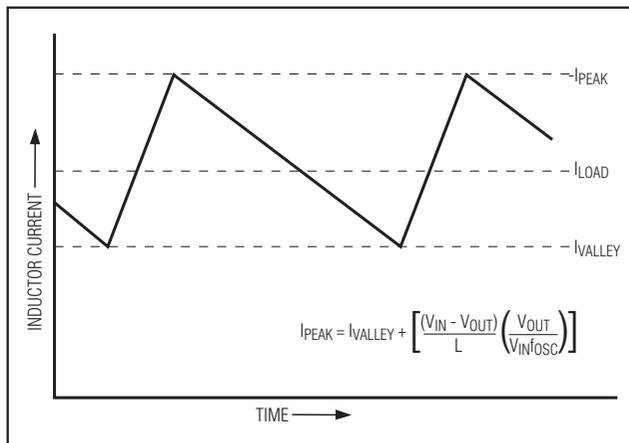


図3. 「谷間」電流制限スレッショルド点

ください。もう一方の端(DHがオフしている期間)のデッドタイムは、一定の内部遅延によって決まります。

ハイサイドゲートドライブ電源(BST)

ハイサイドNチャンネルスイッチのゲートドライブ電圧は、フライングコンデンサブースト回路によって生成します(図1)。BSTとLX間のコンデンサはVL電源から交互に充電され、ハイサイドMOSFETのゲート端子とソース端子間に並列に接続されます。

スタートアップの際、同期整流器(ローサイドMOSFET)はLXを強制的にグラウンドに接続し、ブーストコンデンサを5Vに充電します。後半のサイクルでは、スイッチモード電源は、BSTとDH間の内部スイッチを閉じることによってハイサイドMOSFETをオンします。このことにより、ハイサイドスイッチのオンに必要なゲート~ソース間電圧が供給され、5Vのゲートドライブ信号をバッテリー電圧以上に昇圧する動作をします。

内部5Vリニアレギュレータ(VL)

電流検出アンプを除くすべてのMAX1864/MAX1865の機能は、オンチップの低ドロップアウト5Vレギュレータから内部で給電されます。最大のレギュレータ入力電圧(V_{IN})は28Vです。1 μ F以上のセラミックコンデンサで、レギュレータの出力(VL)をGNDにバイパスしてください。 V_{IN} とVL間のドロップアウト電圧は標準で200mVです。なので、 V_{IN} が5.2Vよりも低い場合、VLは通常 $V_{IN} - 200mV$ になります。

内部のリニアレギュレータは最大20mAを供給することができ、ICとローサイドゲートドライバへの給電、外部ブーストコンデンサの充電、および小さな外部負荷への給電をすることができます。特に大型のFETを駆動する場合、レギュレータ電流は外部負荷にほとんど利用できない可能性があります。たとえば、200kHzでスイッチングを行うと、全ゲート電荷が40nCの大型FETでは40nC x 200kHz、すなわち8mAが必要です。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

低電圧ロックアウト

VLが3.5V以下に低下すると、MAX1864/MAX1865は適切な判断をするには電源電圧が低すぎるとみなして、低電圧ロックアウト(UVLO)回路網がスイッチングを禁止し、POKを強制的にローにし、さらにDLとDHゲートドライバを強制的にローにします。VLが3.5V以上に上昇したあとは、内部のデジタルソフトスタートが始動します(「ソフトスタート」を参照)。

スタートアップシーケンス

外部では、VLが3.5Vの低電圧ロックアウトスレッシュホールド以上に上昇すると、MAX1864/MAX1865はスイッチングを開始します。しかし、以下の4つの条件がすべて満たされない限り、コントローラはイネーブルされません。1) VLが3.5Vの低電圧ロックアウトスレッシュホールドを超える。2) 内部リファレンスがその公称値の90%を超える($V_{REF} > 1.114V$)。3) 内部バイアス回路網がパワーアップする。4) 温度が限界値を超えていない。MAX1864/MAX1865が内部のイネーブル信号をアサートすると、ステップダウンコントローラはスイッチングを開始し、ソフトスタートをイネーブルします。

ソフトスタート

電源を投入すると、MAX1864/MAX1865はスタートアップシーケンスを開始します。最初にリファレンスがオンになります。その後、メインDC-DCステップダウンコンバータと正リニアレギュレータの電源が、ソフトスタートのイネーブルとともにオンします。各レギュレータがそれらの公称値の90%に達して、かつソフトスタートが完了すると、アクティブハイのレディ信号(POK)がハイになります(「パワーグッド出力」を参照)。

ソフトスタートは、出力電圧の上昇率を制御してスタートアップ時の入力サージ電流を減らすために、徐々にリファレンス電圧まで上昇します。ソフトスタート期間は1024クロックサイクル($1024/f_{OSC}$)で、内部のソフトスタートDACがその電圧を64段階で徐々に上昇させます。ソフトスタートが完了すると、出力静電容量と負荷に関係なく出力が安定します。

パワーグッド出力

パワーグッド出力(POK)はオープンドレイン出力です。出力のいずれかがその公称レギュレータ電圧の90%以下またはソフトスタート中の場合は、MOSFETはオンになってPOKをローにします。出力のすべてがそれらの公称レギュレータ電圧の90%以上になり、ソフトスタートが完了すると、POKはハイインピーダンスになります。ロジック電圧出力を得るには、POKとVL間にプルアップ抵抗を接続してください。ほとんどのアプリケーションでは、100kΩの抵抗で十分です。POKを使用しない場合は、グラウンドに接続するか未接続にしておきます。

過熱保護

過熱保護は、MAX1864/MAX1865内の全消費電力を制限します。ジャンクション温度が $T_J = +160^\circ C$ を超えると、熱センサがデバイスをシャットダウンし、DLとDHを強制的にローにしてICを冷却させます。ジャンクション温度が $10^\circ C$ 下がった後、熱センサは再びICをオンし、過熱状態が続く間は出力がパルス状になります。VL出力が短絡すると、過熱保護は使用不能になります。

過熱時、メインステップダウンコンバータとリニアレギュレータはオフにされ、POKはローになり、ソフトスタートはリセットされます。

設計手順

DC-DCステップダウンコンバータ

出力電圧の選択

ステップダウンコントローラのフィードバック入力は、Dual Mode動作を行います。3.3Vのプリセット出力電圧にするには、出力をOUTに接続して、FBをGNDに接続してください。あるいは、MAX1864/MAX1865の出力電圧は、分圧器を出力、FBおよびGNDに接続することによって調整することができます(図4)。R2を5kΩ~50kΩの範囲に選んでください。次式でR1を計算してください。

$$R1 = R2 \left[\left(\frac{V_{OUT}}{V_{SET}} \right) - 1 \right]$$

ここで、 $V_{SET} = 1.236V$ で、 V_{OUT} は1.236Vから約 $0.8 \times V_{IN}$ までの範囲(最高20V)です。 V_{OUT} が5.5Vを超えている場合、OUTをGNDに接続するか(MAX1864)、または出力電圧が2V~5Vの正リニアレギュレータの1つに接続してください(MAX1865)。

インダクタの値

インダクタンス値(L)、ピーク電流(I_{PEAK})、およびDC抵抗(R_{DC})の3つの重要なインダクタのパラメータを指定する必要があります。下記の式は、ピークツーピークAC電流のDC負荷電流に対する比である定数LIRを含んでいます。大きなLIR値はインダクタンスを小さくしますが、損失と出力リップルが大きくなります。寸法と損失間の適切な妥協点は、リップル電流と負荷電流の比が30%($LIR = 0.3$)になるところです。スイッチング周波数、入力電圧、出力電圧、選択したLIRによって、次のようにインダクタの値が決定されます。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} f_{SW} I_{LOAD}(\text{MAX}) LIR}$$

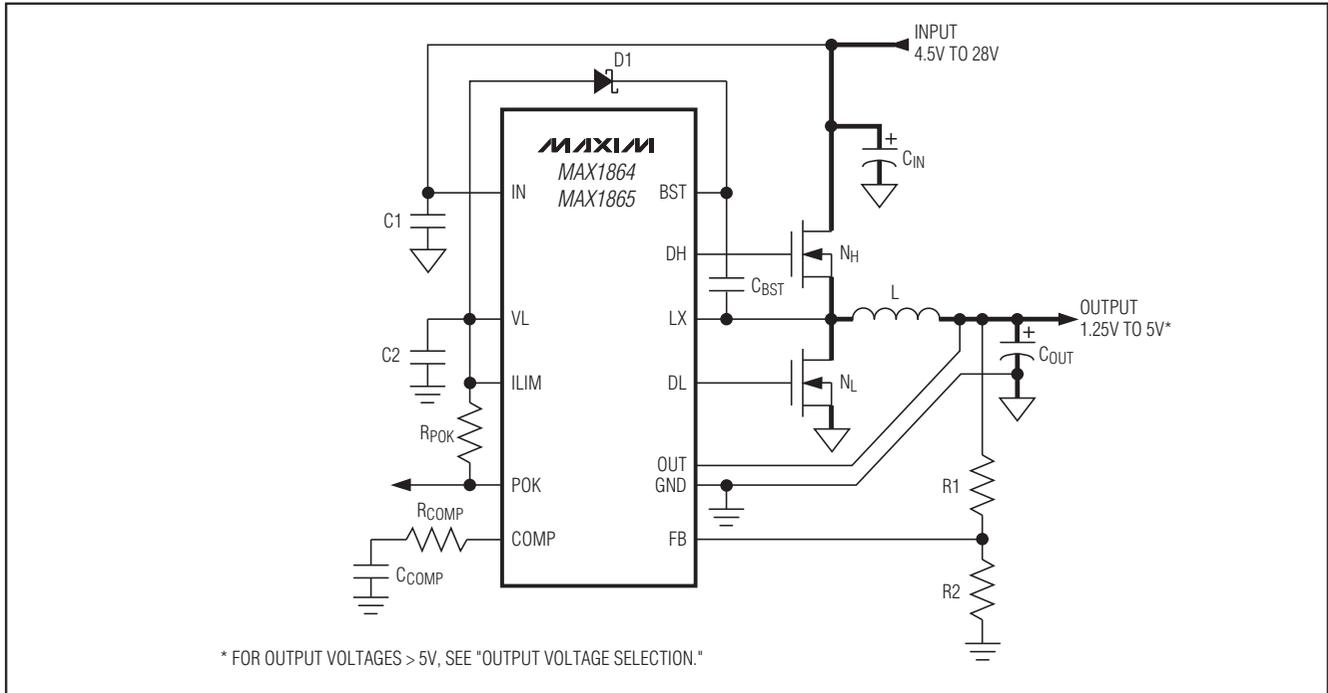


図4. 可変出力電圧

ここで、 f_{sw} はMAX186_Tでは200kHzで、MAX186_Uでは100kHzです。正確なインダクタ値は重要ではなく、寸法、コスト、および効率の間でトレードオフするために調整することができます。インダクタ値が小さければサイズとコストを最小にしますが、大きなピークの電流のために出力リップルが増加して効率を低下させます。一方、大きなインダクタ値は効率を良くしますが、ある点では、巻線の増加による抵抗性の損失が低AC電流レベルによる利点を上回ってしまいます。

割り当てられた寸法を満たし、できるだけ低DC抵抗の低損失インダクタを使用します。粉末鉄は安価で200kHzでも十分に動作しますが、フェライトコアが一般的に最良の選択になります。選択したインダクタの飽和定格は、ピークインダクタ電流以上である必要があります。

$$I_{PEAK} = I_{LOAD(MAX)} + \left(\frac{LIR}{2}\right) I_{LOAD(MAX)}$$

電流制限の設定

最小電流制限スレッショルドは、電流制限回路の最小許容レベルで最大の負荷電流を流すために、十分高い

必要があります。インダクタ電流の谷間は、 $I_{LOAD(MAX)}$ からリップル電流の半分下ったところで起こります。

$$\frac{V_{VALLEY(LOW)}}{R_{DS(ON)}} > I_{LOAD(MAX)} - \left(\frac{LIR}{2}\right) I_{LOAD(MAX)}$$

ここで、 $R_{DS(ON)}$ はローサイドMOSFET (N_L)のオン抵抗です。MAX1864/MAX1865については、最小電流制限スレッショルドは190mVです(デフォルト設定は標準250mV)。MOSFET N_L のデータシートにある $R_{DS(ON)}$ については、最悪の場合の最大値を使用し、温度上昇による $R_{DS(ON)}$ の上昇に対する少しのマージンを加えます。だいたいの目安として、MOSFETのジャンクション温度の上昇1℃につき抵抗が0.5%増加するものとしします。

デフォルトの250mV (typ)の電流制限スレッショルドの場合は、ILIMをVLに接続してください。可変スレッショルドの場合は、抵抗分圧器をVL、ILIM、およびGND間に接続してください。500mV~2.5Vの外部調整範囲は、106mV~530mVの電流制限スレッショルドに相当します。電流制限値を調整する場合は、許容差が1%の抵抗と10μAの分圧器電流を使用して、電流制限範囲が極端に大きくならないようにしてください。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

MOSFETの選択

MAX1864/MAX1865のステップダウンコントローラは、回路切り替え素子として2つの外部ロジックレベルのNチャンネルMOSFETを駆動します。重要な選択パラメータは以下の通りです。

- オン抵抗($R_{DS(ON)}$)
- 最大ドレイン~ソース間電圧($V_{DS(MAX)}$)
- 最小スレッショルド電圧($V_{TH(MIN)}$)
- 全ゲート電荷(Q_g)
- 逆伝達静電容量(C_{RSS})

ハイサイドのNチャンネルMOSFETは、 $V_{GS} \leq 4.5V$ で保証されたオン抵抗の仕様を持ったロジックレベルタイプである必要があります。電流検出範囲で $I_{PEAK} \times R_{DS(ON)} \leq 225mV$ を満たすように、 $R_{DS(ON)}$ をもつハイサイドMOSFETのを選択してください。最大効率を得るためには、最適の入力電圧でスイッチング損失と等しい導通損失を持っているハイサイドMOSFET (N_H)を選んでください。かならず、最小入力電圧での導通損失がパッケージの温度限界を超えないか、または全熱許容量を超えないようにします。また、かならず、最大入力電圧における導通損失とスイッチング損失の和がパッケージの定格を超えないか、または全熱許容量を超えないようにしてください。

ローサイドMOSFET (N_L)は電流制限信号を発生しますので、確実に回路保護ができる $R_{DS(ON)}$ の大きいMOSFETを選んでください(「電流制限の設定」の項を参照)。

$$R_{DS(ON)} = \frac{V_{VALLEY}}{I_{VALLEY}}$$

MOSFET N_L のデータシートにある $R_{DS(ON)}$ については最悪の最大値を使用し、温度による $R_{DS(ON)}$ の上昇に対する少しのマージンを加えてください。だいたいの目安として、MOSFETのジャンクション温度上昇1℃につき、抵抗が0.5%増加するものとみなします。MAX1864/MAX1865 DLゲートドライバが必ず N_L を駆動できるようにします。言い換えると、交差導通を起こすドレイン~ゲート間の静電容量のために、 N_H のオンによって起こる dv/dt が、 N_L ゲートをプルアップしないことチェックしてください。

MOSFETのパッケージの消費電力は、しばしば重要な設計因子となります。 I^2R の電力損失は、ハイサイドとローサイドのMOSFETにとって最も大きな熱発生の要因となります。 I^2R 損失は、下記の式に示すように、デューティ比に従って N_H と N_L の間に分布しています。通常、ローサイドMOSFETは、降圧構成で使用するときにはゼロボルトスイッチ素子ですので、スイッチング損失はハイサイドMOSFETのみに影響を及ぼします。

ゲート電荷損失はドライバによって消費され、MOSFETを加熱しません。パッケージの熱抵抗仕様に基づいて温度上昇を計算し、両方のMOSFETが高い周囲温度で最大ジャンクション温度以内に納まるようにします。ハイサイドMOSFET (P_{NH})の最悪の場合の消費電力は入力電圧の両極限で起こり、ローサイドMOSFET (P_{NL})の最悪の場合の消費電力は最大入力電圧で起こります。

$$\text{Duty Cycle: } D = \frac{V_{OUT}}{V_{IN}}$$

$$P_{NH(\text{SWITCHING})} = V_{IN} I_{LOAD} f_{OSC} \left(\frac{V_{IN} C_{RSS}}{I_{GATE}} \right)$$

$$P_{NH(\text{CONDUCTION})} = I_{LOAD}^2 R_{DS(ON)NH} D$$

$$P_{NH(\text{TOTAL})} = P_{NH(\text{SWITCHING})} + P_{NH(\text{CONDUCTION})}$$

$$P_{NL} = I_{LOAD}^2 R_{DS(ON)NL} (1 - D)$$

ここで、 I_{GATE} はDHドライバのピーク出力電流能力(1A typ)で、20nsはDHドライバ固有の立上り/立下り時間です。スイッチングノイズに起因するEMIを減らすには、ハイサイドスイッチのドレインとローサイドスイッチのソース間に0.1 μ Fのセラミックコンデンサを追加するか、または、DLとDHに直列に抵抗(47 Ω max)を追加して、スイッチのターンオン/ターンオフ時間を増やしてください(図5)。

誤作動状態が予想される場合は、最小負荷電流が全温度範囲でハイサイドMOSFETの最大漏洩電流以上になる必要があります。

入力コンデンサ

入力フィルタコンデンサは電源から流れ込むピーク電流を減らし、回路のスイッチングに起因する入力ノイズと電圧リップルを減らします。入力コンデンサは、次式で定義されるスイッチング電流が要求するリップル電流の必要条件(I_{RMS})を満たす必要があります。

$$I_{RMS} = I_{LOAD} \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}}$$

ほとんどのアプリケーションでは、非タンタルコンデンサ(セラミック、アルミニウム、ポリマまたはOS-CON)が、低インピーダンスのバッテリー入力システムでの典型的な突入電流に対して強いために推奨されます。その上、低コスト化のために、2つ(または2つ以上)の小型の低ESRコンデンサを並列に接続することができます。長期にわたり回路の高い信頼性を保つために、RMS入力電流において+10℃未満の温度上昇を示す入力コンデンサを選んでください。

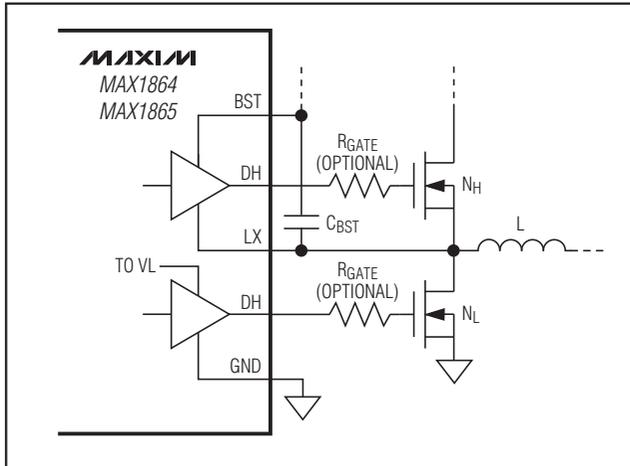


図5. スイッチングEMIの低減

出力コンデンサ

出力コンデンサを選択するための重要なパラメータは、実際の静電容量値、等価直列抵抗(ESR)、および電圧定格要件で、これらは全体的な安定性、出力リップル電圧、および過渡応答に影響を及ぼします。

出力リップルは、出力コンデンサに蓄えられた電荷の変化、およびコンデンサの入出力電流によるコンデンサのESR両端での電圧低下という2つの要素を持っています。

$$V_{\text{RIPPLE}} = V_{\text{RIPPLE(ESR)}} + V_{\text{RIPPLE(C)}}$$

ESRと出力容量に起因する出力電圧リップルは、次式で与えられます。

$$V_{\text{RIPPLE(ESR)}} = I_{\text{p-p}} \text{ESR}$$

$$V_{\text{RIPPLE(C)}} = \frac{I_{\text{p-p}}}{2C_{\text{OUT}}f_{\text{SW}}}$$

$$I_{\text{p-p}} = \left(\frac{V_{\text{IN}} - V_{\text{OUT}}}{f_{\text{SW}}L} \right) \left(\frac{V_{\text{OUT}}}{V_{\text{IN}}} \right)$$

ここで、 $I_{\text{p-p}}$ はピークツーピークのインダクタ電流です(「インダクタの値」を参照)。これらの式は、最初のコンデンサの選択に向いていますが、最終的な値は、プロトタイプまたは評価回路の試験によって設定する必要があります。一般的に、リップル電流が小さいと出力リップルが小さくなります。インダクタのリップル電流は、インダクタ値と入力電圧によって決まりますので、出力電圧リップルはインダクタンスが大きいほど減少しますが、低い入力電圧では増加します。

低コストのアルミ電解コンデンサでは、ESRによって発生するリップルが、コンデンサの入出力電流によって生じるリップルよりも大きくなる可能性があります。そのため、高品質で低ESRのアルミ電解、タンタル、ポリマまたはセラミックの各フィルタコンデンサが、出力リップルを最小にするために必要になります。0.1 μF のセラミックコンデンサと並列に470 μF 程度のアルミ電解コンデンサを用いると、一般的に手頃なコストで最良の結果が得られます。

MAX1864/MAX1865は電流モード制御方式を使用しますので、出力コンデンサは、回路の安定性に影響を及ぼす極を形成します(「補償設計」を参照)。さらに、出力コンデンサのESRもゼロを形成します。

MAX1864/MAX1865の負荷過渡応答は、選択した出力コンデンサの影響を受けます。負荷の過渡応答の後、出力は直ちに $\text{ESR} \times \Delta I_{\text{LOAD}}$ だけ変化します。コントローラが応答できる前に、インダクタと出力コンデンサの値に応じて出力はさらに下がります。

短時間後(「標準動作特性」を参照)、コントローラは、出力電圧を定常状態に戻す安定化によって応答します。過渡現象に対する要求が厳しいアプリケーションでは、過渡的な電圧の振れを最小にするために、低ESRの大容量電解コンデンサを推奨します。

コンデンサの電圧またはリップル電流定格を超えないようにしてください。

補償設計

MAX1864/MAX1865のコントローラは、その出力が制御ループを補償する内部の相互コンダクタンス誤差アンプを使用します。極ゼロのペアを形成するために、COMPとGND間に抵抗とコンデンサを直列にして接続してください。外部インダクタ、ハイサイドMOSFET、出力コンデンサ、補償抵抗、および補償コンデンサは、ループの安定性を決定します。インダクタと出力コンデンサは、性能、サイズ、およびコストに基づいて選択します。さらに、補償抵抗とコンデンサは、制御ループの安定性を最適化するように選択します。標準アプリケーション回路(図1と6)に示されている部品の値は、入出力電圧の広い範囲にわたって安定な動作をもたらします。

コントローラは電流モード制御方式を採用しており、外部インダクタを通して必要な電流を強制的に流すことによって出力電圧を安定化しています。このため、MAX1864/MAX1865はハイサイドMOSFETの $R_{\text{DS(ON)}}$ 両端の電圧を使用してインダクタ電流を検出します。制御ループは、

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

電流検出アンプの出力信号と増幅されたフィードバック電圧を用いて、次式でピークインダクタ電流を決定してください。

$$I_{PEAK} = \frac{V_{OUT} V_{REF} A_{VEA}}{V_{OUT(NOMINAL)} R_{DS(ON)} A_{VCS}}$$

ここで、 A_{VCS} は電流検出アンプのゲイン(4.9 typ)、 A_{VEA} はエラーアンプのDCゲイン(2000 typ)、また $V_{OUT(NOMINAL)}$ はフィードバック抵抗分圧器(内部または外付け)によって設定される出力電圧です。出力電圧は負荷電流と負荷抵抗で決まりますので、全DCループゲイン($A_{V(DC)}$)は次式で近似されます。

$$\begin{aligned} A_{V(DC)} &\approx \frac{I_{PEAK}}{I_{LOAD}} \approx \frac{V_{REF} R_{LOAD} A_{VEA}}{V_{OUT(NOMINAL)} R_{DS(ON)} A_{VCS}} \\ &\approx \frac{400 \times V_{REF} R_{LOAD}}{V_{OUT(NOMINAL)} R_{DS(ON)}} \end{aligned}$$

補償コンデンサ(C_{COMP})は、主要極を形成します。電流モード制御方式を採用しているため、出力コンデンサも負荷抵抗で決まるシステム内の極を形成します。負荷抵抗が増加すると、出力コンデンサの極の周波数は低下します。しかし、DCループゲインは負荷抵抗が大きくなれば増加しますので、ユニティゲイン帯域幅は変化しません。さらに、補償抵抗と出力コンデンサのESRは、両方ともゼロを生成します。したがって、安定した動作を実現するためには、下記の手順を使用してシステムを正しく補償してください。

- 1) 最初に、所望のクロスオーバー周波数を選択してください。クロスオーバー周波数はスイッチング周波数の1/5以下で、かつ出力コンデンサのESRによって設定されるゼロ周波数の1/3以下にする必要があります。

$$f_c \leq \frac{1}{6\pi C_{OUT} R_{ESR}} \text{ and } \frac{f_{SW}}{5}$$

- 2) 次に、出力コンデンサと負荷抵抗で設定される極を決定してください。

$$f_{POLE(OUT)} = \frac{1}{2\pi C_{OUT} R_{LOAD}} = \frac{I_{LOAD(MAX)}}{2\pi C_{OUT} V_{OUT}}$$

- 3) 所望のクロスオーバー周波数を設定するのに必要な補償抵抗を決定してください。

$$R_{COMP} = \frac{2000 \times f_c}{g_m A_{V(DC)} f_{POLE(OUT)}}$$

ここで、エラーアンプの相互コンダクタンス(g_m)は100 μ Sです([Electrical Characteristics (電氣的特性)]を参照)。

- 4) 最後に、補償コンデンサを選択してください。

$$C_{COMP} \leq \frac{1}{2\pi R_{COMP} f_{POLE(OUT)}}$$

ブースト電源ダイオード

例えば1N4148などの信号用ダイオードは、ほとんどのアプリケーションで正常に動作します。入力電圧が6V以下に下がる場合は、少しでも効率とドロップアウト特性をよくするために、小型で20mAのショットキーダイオードを使用してください。大きなジャンクション容量がVLを過大な電圧に充電してしまいますので、1N5817または1N4001などの大型の電源ダイオードを使用しないでください。

リニアレギュレータコントローラ

正出力電圧の選択

MAX1864/MAX1865の正リニアレギュレータ出力電圧は、出力~FB_~GND間に電圧分圧器を接続することによって設定します(図6)。R4は5k Ω ~50k Ω の範囲で選択してください。次式でR3を算出してください。

$$R3 = R4 \left[\left(\frac{V_{OUT}}{V_{FB}} \right) - 1 \right]$$

ここで、 V_{FB} は1.24Vで、 V_{OUT} は1.24V~30Vの範囲となります。

負出力電圧の選択(MAX1865)

MAX1865の負出力電圧は、出力、FB5、および正電圧リファレンス間に分圧器を接続することによって設定します(図6)。R6は5k Ω ~50k Ω の範囲で選択してください。次式でR5を算出してください。

$$R5 = R6 \left(\frac{V_{OUT}}{V_{REF}} \right)$$

ここで、 V_{REF} は使用した正リファレンス電圧で、 V_{OUT} は0V~-20Vの範囲に設定します。

負レギュレータを使用する場合は、OUT端子は、少なくとも25mAを供給することができる2V~5Vの電圧電源に接続する必要があります。一般的に、OUT端子は、ステップダウンコンバータの出力に接続します。しかし、ステップダウンコンバータの出力電圧が5V以上に設定されている場合、OUTは2V~5Vの出力電圧を持った正リニアレギュレータのうちの一つに接続する必要があります。

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

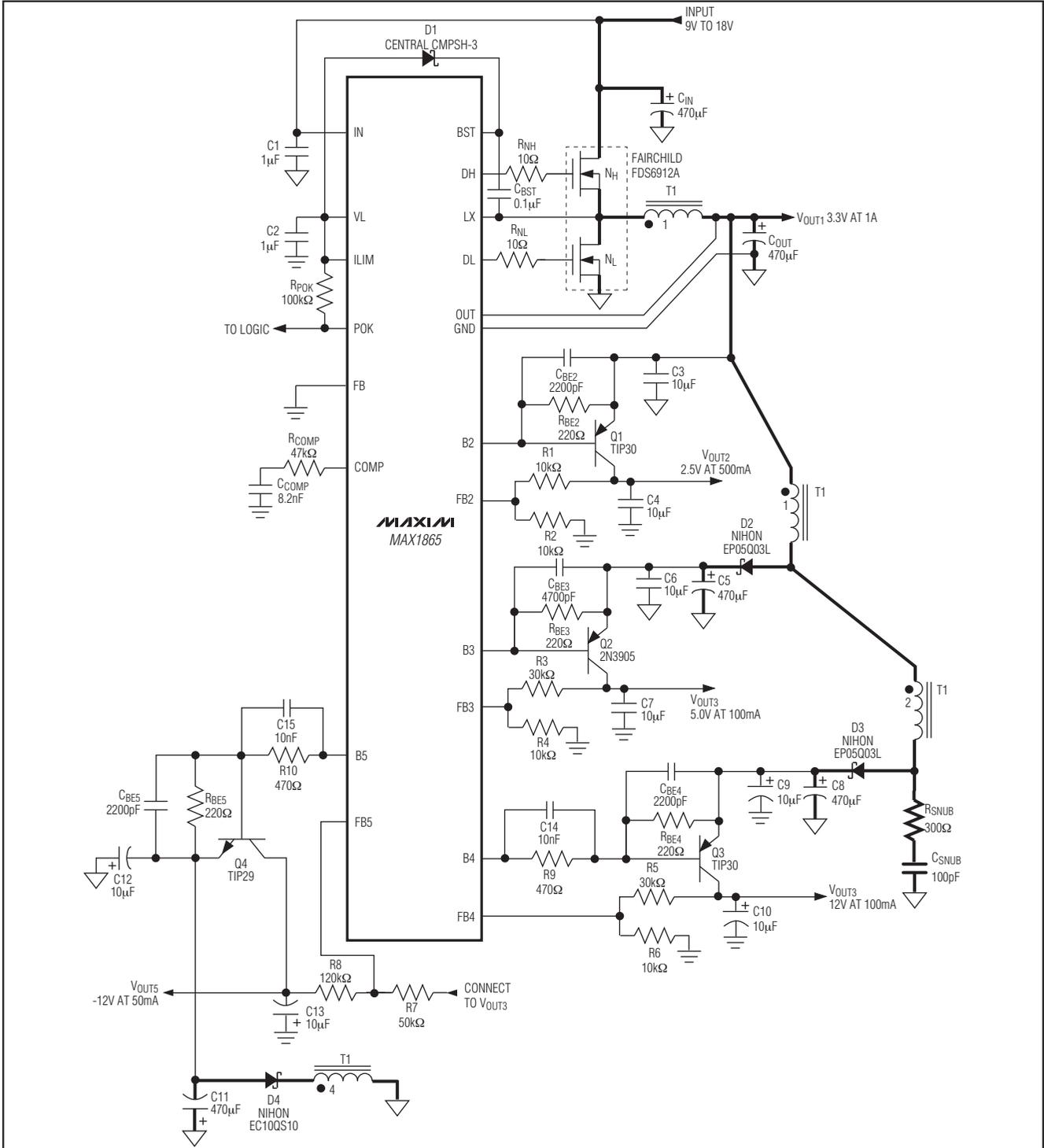


図6. MAX1865の標準アプリケーション回路

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

トランジスタの選択

パストラジスタは、電流ゲイン(h_{FE})、入力容量、コレクタ・エミッタ間飽和電圧、および消費電力に対する仕様を満たす必要があります。トランジスタの電流ゲインによって、保証最大出力電流が次式の値に制限されます。

$$I_{LOAD(MAX)} = \left[I_{DRV} - \left(\frac{V_{BE}}{R_{BE}} \right) \right] h_{FE(MIN)}$$

ここで、 I_{DRV} は最小ベース駆動電流で、 R_{BE} (220Ω)は、トランジスタのベースとエミッタ間に接続されるプルアップ抵抗です。さらに、トランジスタの電流ゲインは、リニアレギュレータのDCループゲインを増加させますので(「安定性の要件」を参照)、大きすぎるゲインは出力を不安定にします。したがって、ダーリントントランジスタのように、最大出力電流で100以上の電流ゲインを持ったトランジスタは推奨しません。トランジスタの入力容量と入力抵抗も2番目の極を発生し、重い負荷のときに出力を不安定にする領域まで低下することがあります。

最大出力電流でのトランジスタの飽和電圧は、リニアレギュレータが正常に動作する最小の入出力電圧差を決定します。一方、パッケージの消費電力は、可能な最大入出力電圧差を制限します。トランジスタのパッケージと実装部品の最大消費電力容量は、デバイス内の実際の消費電力よりも大きい必要があります。消費電力は、最大負荷電流と最大入出力電圧差との積に等しくなります。

$$P = I_{LOAD(MAX)}(V_{LDOIN} - V_{OUT}) = I_{LOAD(MAX)}V_{CE}$$

安定性の要件

MAX1864/MAX1865リニアレギュレータは、内蔵の相互コンダクタンスアンプを使用し、外部のパストラジスタを駆動します。相互コンダクタンスアンプ、パストラジスタの仕様、ベース・エミッタ間抵抗、および出力コンデンサによってループの安定性が決まります。出力コンデンサとパストラジスタが適切に選択されていない場合は、リニアレギュレータは不安定になります。相互コンダクタンスアンプは、パストラジスタのベース電流を制御して出力電圧を安定化します。出力電圧は負荷電流と負荷抵抗で決まりますので、全DCループゲイン($A_{V(LDO)}$)は次式で近似されます。

$$A_{V(LDO)} \approx \left(\frac{5.5}{V_T} \right) \left[1 + \left(\frac{I_{BIAS} h_{FE}}{I_{LOAD}} \right) \right] V_{REF}$$

ここで、 V_T は26mVで、 I_{BIAS} はベース・エミッタ間抵抗(R_{BE})を流れる電流です。このバイアス抵抗は通常220Ωで、約3.2mAのバイアス電流を供給します。

出力コンデンサは主極を生成します。しかし、パストラジスタの入力容量はシステム内で第2の極を生成します。さらに、出力コンデンサのESRはゼロを生成し、これは必要に応じて第2の極をキャンセルするのに利用できます。したがって、安定な動作を実現するには、次式を使用してリニアレギュレータが正しく補償されていることを確認してください。

- 1) 最初に、リニアレギュレータの出力コンデンサと負荷抵抗で設定される主極を決定してください。

$$f_{POLE(CLDO)} = \frac{1}{2\pi C_{LDO} R_{LOAD}} = \frac{I_{LOAD(MAX)}}{2\pi C_{LDO} V_{LDO}}$$

$$\text{Unity Gain Crossover} = A_{V(LDO)} f_{POLE(CLDO)}$$

- 2) 次に、ベース・エミッタ間容量(トランジスタの入力容量を含む)、トランジスタの入力抵抗、およびベース・エミッタ間のプルアップ抵抗で設定される第2の極を決定してください。

$$f_{POLE(CBE)} = \frac{1}{2\pi C_{BE} (R_{BE} \parallel R_{IN(NPN)})} \\ = \frac{R_{BE} I_{LOAD} + V_T h_{FE}}{2\pi C_{BE} R_{BE} V_T h_{FE}}$$

- 3) 第3の極は、リニアレギュレータのフィードバック抵抗と20pFの浮遊容量を含むFB₋とGNDの間の容量によって設定されます。

$$f_{POLE(FB)} = \frac{1}{2\pi C_{FB} (R1 \parallel R2)}$$

- 4) 第2と第3の極がユニティゲインのクロスオーバーよりもはるか後ろに現れる場合は、リニアレギュレータは安定に保たれます。

$$f_{POLE(CBE)} > 2f_{POLE(CLDO)} A_{V(LDO)}$$

しかし、ESRによるゼロがユニティゲインのクロスオーバーよりも前に現れる場合は、回路部品を次のように変更することで、ゼロを $f_{POLE(FB)}$ でキャンセルします。

$$f_{\text{POLE(FB)}} \approx \frac{1}{2\pi C_{\text{OUT}} R_{\text{ESR}}}$$

ESRが200mΩ以上の出力コンデンサを使用しないでください。一般的には、これも負荷過渡現象直後の出力電圧低下を小さくしますので、大きな出力容量は最良の結果をもたらします。

リニアレギュレータの出力コンデンサ

リニアレギュレータの出力とグラウンド間に、できるだけMAX1864/MAX1865と外部パストラジスタに近接して、1μF以上のコンデンサを接続してください。選択したパストラジスタによっては、安定化のためにより大きなコンデンサ値が必要となる場合があります(「安定性の要件」を参照)。さらに、出力コンデンサのESRは安定性に影響を及ぼし、第2の極をキャンセルするのに必要なゼロを生成します。ESRが200mΩよりも小さい出力コンデンサを使用して、安定性と最適な過渡応答を確保してください。

安定化する最小コンデンサ値を決定したら、リニアレギュレータの出力に過大なノイズが含まれていないことを確認してください。十分な安定性があっても、コンデンサの値が小さいと帯域幅が広くなり過ぎ、リニアレギュレータがノイズに敏感になります。コンデンサの値が大きいと帯域幅が減少し、これによってレギュレータのノイズ感度を低下させます。

グラウンドリファレンスにノイズがあつて、設計上の負リニアレギュレータがかろうじて安定している場合には、負出力をそのリファレンス電圧にバイパスしてください(図7のV_{REF})。この手法によって、出力の差動ノイズは減少します。

ベース駆動のノイズ削減

ハイインピーダンスのベースドライバは、特にリニアレギュレータが軽負荷のときにシステムノイズに影響されやすくなります。ベース駆動回路に容量結合されたスイッチングノイズまたは磁気結合されたEMIによってベース電流の変動が引き起こされ、これがリニアレギュレータの出力にノイズとして現れます。ベース駆動の配線パターンをステップダウンコンバータから遠ざけてできるだけ短くし、ノイズ結合を極力減らしてしてください。ゲートドライバ(DHとDL)と直列に接続された抵抗は、ステップダウンコンバータで発生するLXのスイッチングノイズを減らします(図5)。さらに、バイパスコンデンサをベース・エミッタ間の抵抗両端に接続することができます(図7)。このバイパスコンデンサは、トランジスタの入力容量とともに、リニアレギュレータを不安定にするもう一つの極を生成することがあります

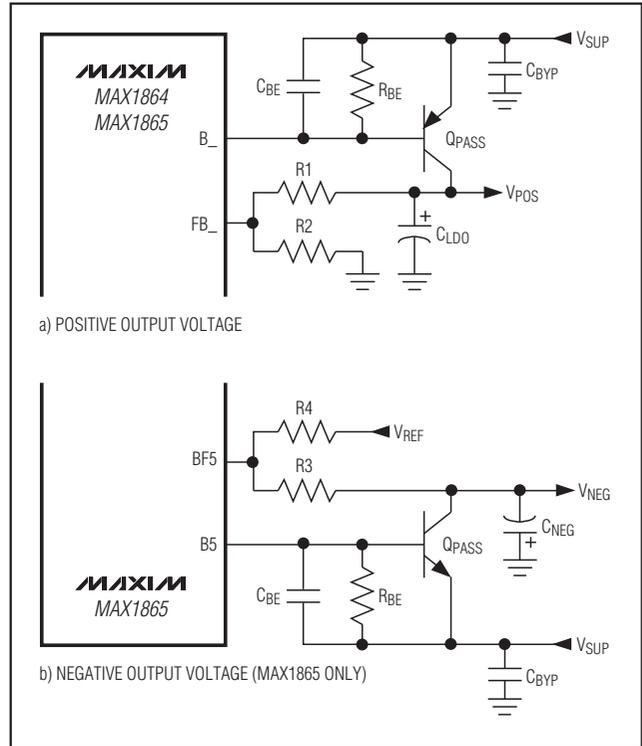


図7. ベース駆動のノイズ削減

(「安定性の要件」を参照)。したがって、この安定性の要件は、次式によって最大のベース・エミッタ間容量を決めます。

$$C_{\text{BE}} \leq \frac{1}{2\pi f_{\text{POLE(CBE)}}} \left(\frac{R_{\text{BE}} I_{\text{LOAD}} + V_{\text{ThFE}}}{R_{\text{BE}} V_{\text{ThFE}}} \right) - C_{\text{IN(Q)}}$$

ここで、C_{IN(Q)}はトランジスタの入力容量で、f_{POLE(CBE)}は安定性のために必要な第2の極です。

トランスの選択

ステップダウンコントローラの出力が最大の電圧でないシステムでは、トランスを使用して昇圧した後の高圧出力を安定化することが可能です。トランスは、安定化されていない高電圧の電源を生成し、正負のリニアレギュレータに供給します。これらの非安定化電源電圧は、パストラジスタが飽和しないように十分高い必要があります。正出力電圧に対しては図6に示すようにトランスを接続して、次式で最小の巻数比(N)を決定してください。

$$N_{\text{POS}} \geq \left(\frac{V_{\text{LDO(POS)}} + V_{\text{SAT}} + V_{\text{DIODE}}}{V_{\text{OUT}}} - 1 \right)$$

ここで、V_{SAT}は、最大負荷におけるパストラジスタの飽和電圧です。負出力電圧については(MAX1865のみ)、

xDSL/ケーブルモデム3倍/5倍 出力電源

図6に示すようにトランスを接続して、次式で最小の巻数比を決定してください。

$$N_{NEG} \geq \left(\frac{|I_{VLD0(NEG)}| + V_{SAT} + V_{DIODE}}{V_{OUT}} \right)$$

ローサイドMOSFETがオンのとき(DLがハイ)に電力の転送が起こりますので、トランスは大きなデューティサイクルの重い負荷を駆動できません。

スナバの設計

MAX1864/MAX1865は、ハイサイドMOSFET (N_H) 両端の電流を検出する電流モード制御方式を採用しています。ハイサイドMOSFETがオンすると直ちに、MAX1864/MAX1865は60nsの電流検出ブランキング期間を使用して、ノイズ感度を最小にします。しかし、MOSFETがオンすると、トランスの2次側インダクタンスとダイオードの寄生容量が共振回路を形成してリングングが発生します。この発振はトランスを介して1次側に戻り、ハイサイドMOSFETの両端に現れてブランキング期間よりも長く持続することがあります。ダイオードにおける直列RCスナバ回路(図6)は減衰係数を大きくして、リングングを急速に減衰させるようにします。複数のトランス巻線によるアプリケーションでは、最も高い出力電圧に1つのスナバ回路のみ必要です。MAX1864の標準アプリケーション回路(図1)のような小さな巻数比(1:1)のアプリケーションでは、スナバ回路を必ずしも必要としません。

ダイオードの寄生容量は、ダイオードの逆電圧定格 (V_{RRM})、電流能力(I_O)、および回復時間(T_{RR})を用いて概算することができます。大まかな近似値は次式で得られます。

$$C_{DIODE} = \frac{I_O \times t_{RR}}{V_{RRM}}$$

図6で使用されている日本インター社のEC10QS10ダイオードの場合、容量は約15pFです。出力スナバは、リングング抑制を行うことのみに必要なですので、ブランキング期間中に発生する初期のターンオンスパイクは依然として存在します。100pFの容量であれば、たいのアプリケーションで正常に動作します。容量値が大きいほど多くの充電を必要としますので、それによって電力損失が増えてしまいます。

スナバの時定数(t_{SNUB})は、100nsのブランキング時間より小さくなければなりません。図6では、およそ30nsの標準的なRC時定数が選ばれています。

$$R_{SNUB} = \frac{t_{SNUB}}{C_{SNUB}} = \frac{30ns}{C_{SNUB}}$$

最小の負荷要件(リニアレギュレータ)

無負荷状態では、トランジスタがオフのときでも、パストランジスタからの漏洩電流が出力コンデンサに供給されます。通常、フィードバック抵抗の電流が過剰電荷を引き込みますので、これは問題にはなりません。しかし、温度によっては電荷が出力コンデンサに蓄積されて、 V_{LDO} をその設定点よりも高い値に上昇させてしまうことがあります。フィードバック抵抗の電流が、全温度範囲にわたってパストランジスタの漏洩電流よりも必ず大きくなるように注意する必要があります。

アプリケーション情報

プリント基板レイアウトのガイドライン

慎重なプリント基板レイアウトは、低スイッチング損失でノイズが少ない安定した動作を実現するために重要です。スイッチングパワー段には特別な注意を必要とします。以下のガイドラインに従って、プリント基板の最適レイアウトを行ってください。

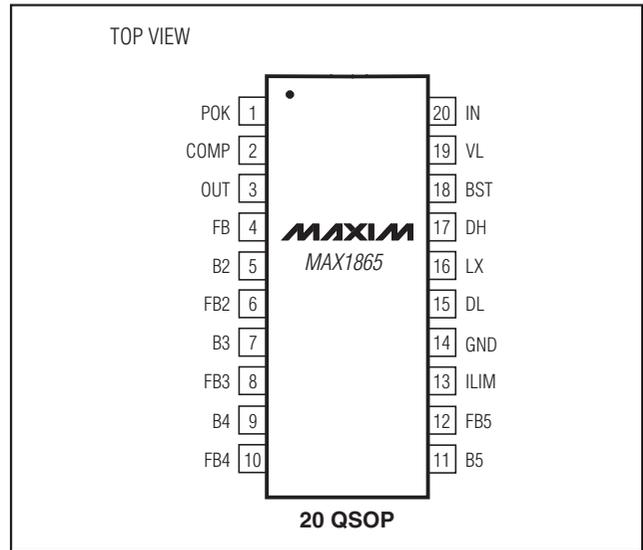
- 1) それぞれのグランド端子(N_L のソース、 C_{IN} 、 C_{OUT})に隣接して、まず電力部品を配置してください。できれば、幅が広い銅領域で、これらの接続を最上層で接続してください。特にグランド端子では、これらの大電流経路を短くしておいてください。
- 2) IN~LXの電流検出ライン、LX~GNDの電流制限検出ライン、およびドライバライン(DLとDH)を短くて幅広にしておくために、スイッチングMOSFETに隣接してMAX1864/MAX1865を取り付けてください。電流検出アンプの入力はINとLX間に接続されますので、これらの端子はハイサイドMOSFETにできるだけ近接して接続する必要があります。電流制限コンパレータの入力は、LXとGND間に接続されますが、精度はそれほど重要ではありませんので、ハイサイドMOSFETの接続を最優先にしてください。IN、LX、およびGNDの各MOSFETへの接続は、ケルビン検出接続を使用する必要があり、電流検出精度と電流制限精度を保証する必要があります。
- 3) ゲートドライブ部品(BSTダイオードおよびINのバイパスコンデンサ)をMAX1864/MAX1865の近くにひとまとめにしてください。
- 4) すべてのアナロググランドは、グランド端子でMAX1864/MAX1865を接続する銅のベタグランド領域に個別に接続する必要があります。これには、VLバイパスコンデンサ、フィードバック抵抗、補償部品(R_{COMP} 、 C_{COMP})、およびILIMに接続される可変電流制限スレッショルド抵抗が含まれます。

- 5) すべてのフィードバック接続は、かならず短くてまっすぐになるようにしてください。できるだけMAX1864/MAX1865に近接してフィードバック抵抗を配置してください。
- 6) 配線パターン長のトレードオフが必要な場合は、インダクタの充電経路を放電経路より長くしておくことを推奨します。たとえば、インダクタとローサイドMOSFETまたはインダクタと出力フィルタコンデンサの距離を長くするよりは、入力コンデンサとハイサイドMOSFETの距離を幾分長めにする方がよりよくなります。
- 7) 高速スイッチングノードを敏感なアナログ領域(B₋、FB₋、COMP、ILIM)から遠ざけて配線してください。

高電圧の安定化

リニアレギュレータコントローラは、ベース駆動出力のバッファとして動作させるカスケードトランジスタを追加することにより、高電圧出力を安定化するように構成することができます。たとえば、30V~60Vの出力電圧を生成するためには、図8aに示すように、2N5550の高電圧NPNトランジスタを追加し、 V_{BIAS} が少なくとも1mAを供給することができる3V~20Vの直流電圧にします。 R_{DROP} は、パストランジスタが飽和したときにトランジスタ両端の電圧を下げることによって、カスケードトランジスタを保護します。同様に、-20V~-120Vの負出力電圧を安定化するためには、図8bに示すように、2N5401の高電圧PNPトランジスタを追加してください。

ピン配置(続き)



チップ情報

TRANSISTOR COUNT: 1617
PROCESS: BiCMOS

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

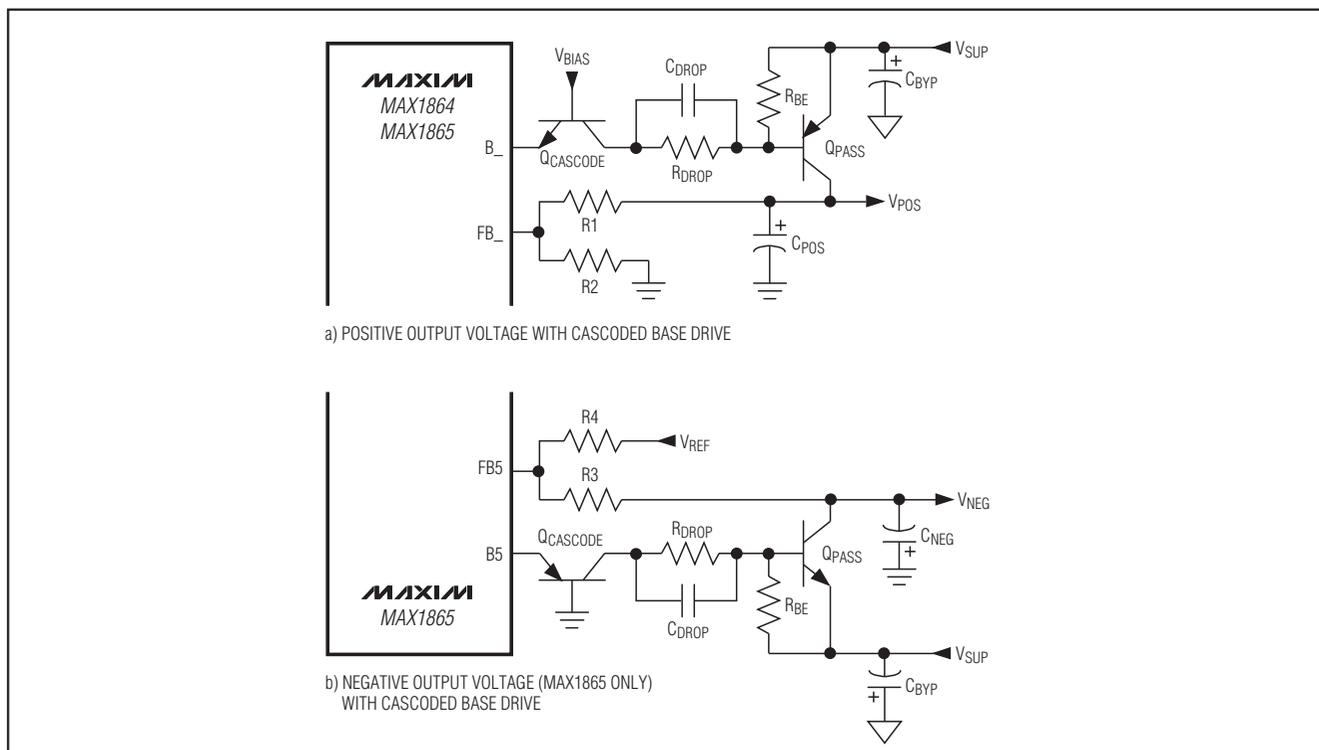


図8. 高電圧リニアレギュレーション

表1. 部品メーカー

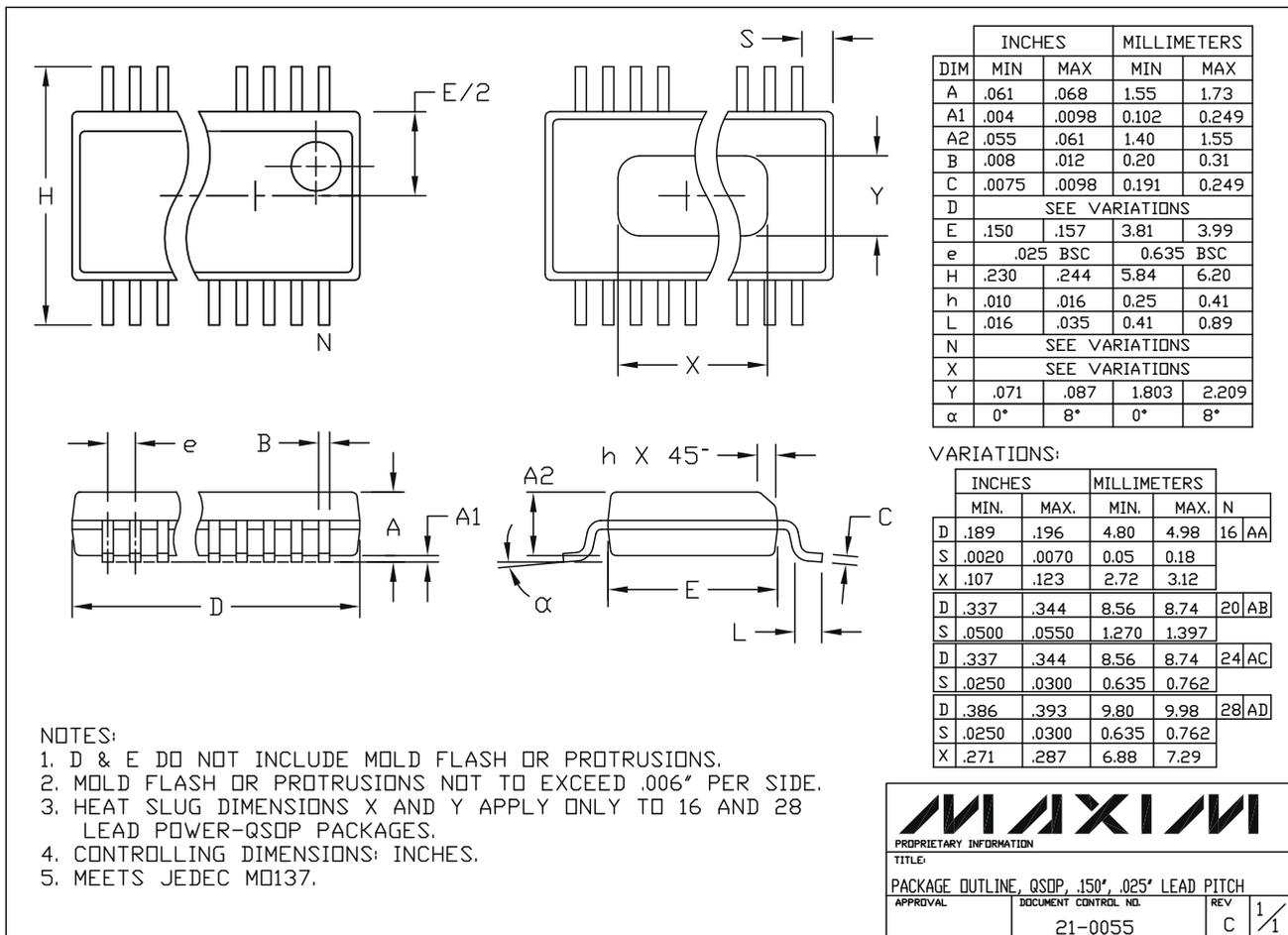
SUPPLIER	PHONE	FAX	INTERNET
INDUCTORS AND TRANSFORMERS			
Coilcraft	847-639-6400	847-639-1469	http://www.coilcraft.com
Coiltronics	561-241-7876	561-241-9339	http://www.coiltronics.com
Sumida USA	847-956-0666	847-956-0702	http://www.sumida.com
Toko	847-297-0070	847-699-1194	http://www.toko.co.jp
CAPACITORS			
AVX	803-946-0690	803-626-3123	http://www.avxcorp.com
Kemet	408-986-0424	408-986-1442	http://www.kemet.com
Panasonic	847-468-5624	847-468-5815	http://www.panasonic.com
Sanyo	619-661-6835	619-661-1055	http://www.sanyo.com
Taiyo Yuden	408-573-4150	408-573-4159	http://www.t-yuden.com
DIODES			
Central Semiconductor	516-435-1110	516-435-1824	http://www.centrasemi.com
International	310-322-3331	310-322-3332	http://www.irf.com
Nihon	847-843-7500	847-843-2798	http://www.niec.co.jp
On Semiconductor	602-303-5454	602-994-6430	http://www.onsemi.com
Zetex	516-543-7100	516-864-7630	http://www.zetex.com

xDSL/ケーブルモデム3倍/5倍 出力電源

MAX1864/MAX1865

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 25