

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

概要

MAX1718は、ノートブックコアCPU DC-DCコンバータ用のステップダウンコントローラです。最先端のCPUコア電源用として動的可変出力、超高速過渡応答、高DC精度及び高効率を提供します。マキシム社独自のQuick-PWM™クイック応答、一定オン時間PWM制御方式は、広い入力/出力電圧比を容易に処理し、比較的一定のスイッチング周波数を維持しながら、負荷過渡に対して100ns“インスタント・オン”応答を提供します。

出力電圧は、5ビットデジタルアナログコンバータ(DAC)を通じて0.6V~1.75Vの範囲で動的に調整することができます。MAX1718は、パフォーマンス、バッテリー及びサスペンドモードに対応する3つのユニークな5ビットDACコードを受け付ける内部マルチプレクサを備えています。高精度スルーレート制御+機能により、新しいDAC設定に「ジャスト・イン・タイム」で遷移できるため、バッテリーを出入りするサージ電流を最小限に抑えることができます。

1対の相補的なオフセット制御入力により、基板トレースにおけるIR電圧降下が簡単に補正できるほか、電圧ポジショニング電源を構成することができます。電圧ポジショニングは負荷過渡応答を修正することによって出力コンデンサの必要条件を軽減し、全システムの電力消費を削減します。

1段のバック変換を使用して高圧バッテリーを直接ステップダウンすることにより、最高の効率を達成できます。これに対し、高いスイッチング周波数で2段の変換(バッテリーの代わりに+5Vシステム電源をステップダウン)を使用すると、物理的サイズを最小化できます。

MAX1718は28ピンQSOPパッケージで提供されています。

アプリケーション

- IMVP-II™ ノートブックコンピュータ
- 2セル~4セルLi+バッテリーからのCPUコア電源コンバータ
- 5VからのCPUコア電源コンバータ

ピン配置は最後に記載されています。

†特許申請中。

Quick-PWMはMaxim Integrated Productsの商標です。
IMVP-IIはIntel Corp.の商標です。

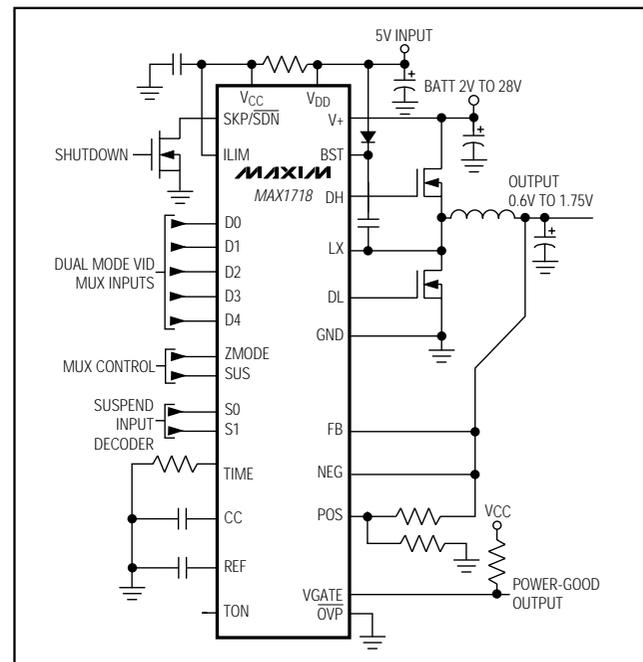
特長

- ◆ Quick-PWM構造
- ◆ V_{OUT} 精度: $\pm 1\%$ (全ライン及び全負荷範囲)
- ◆ 入力マルチプレクサ付内部5ビットDAC
- ◆ 高精度可変 V_{OUT} スルー制御
- ◆ 可変出力範囲: 0.6V~1.75V
- ◆ 高精度オフセット制御
- ◆ 電圧ポジショニングアプリケーションをサポート
- ◆ バッテリ入力範囲: 2V~28V
- ◆ 別個の5Vバイアス電源が必要
- ◆ スwitchング周波数: 200/300/550/1000kHz
- ◆ 過電圧/低電圧保護
- ◆ 大きな同期整流器FETを駆動
- ◆ I_{CC} 消費電流: 700 μ A
- ◆ シャットダウン消費電流: 2 μ A(typ)
- ◆ リファレンス出力: 2V $\pm 1\%$
- ◆ 遷移中にVGATEが無効
- ◆ パッケージ: 小型28ピンQSOP

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1718EEI	-40°C to +85°C	28 QSOP

最小動作回路



インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ABSOLUTE MAXIMUM RATINGS

V+ to GND	-0.3V to +30V	LX to BST	-6V to +0.3V
V _{CC} , V _{DD} to GND	-0.3V to +6V	REF Short Circuit to GND	Continuous
D0-D4, ZMODE, VGATE, \overline{OVP} , SUS, to GND	-0.3V to +6V	Continuous Power Dissipation	
SKP/ \overline{SDN} to GND	-0.3V to +16V	28-Pin QSOP (derate 10.8mW/°C above +70°C).....	860mW
ILIM, CC, REF, POS, NEG, S1, S0,		Operating Temperature Range	-40°C to +85°C
TON, TIME to GND	-0.3V to (V _{CC} + 0.3V)	Junction Temperature	+150°C
DL to GND	-0.3V to (V _{DD} + 0.3V)	Storage Temperature	-65°C to +150°C
BST to GND	-0.3V to +36V	Lead Temperature (soldering, 10s)	+300°C
DH to LX	-0.3V to (BST + 0.3V)		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, V+ = +15V, V_{CC} = V_{DD} = SKP/ \overline{SDN} = +5V, V_{OUT} = 1.25V, T_A = 0°C to +85°C, unless otherwise noted.)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
PWM CONTROLLER						
Input Voltage Range	Battery voltage, V+		2		28	V
	V _{CC} , V _{DD}		4.5		5.5	
DC Output Voltage Accuracy	V+ = 4.5V to 28V, includes load regulation error	DAC codes from 0.9V to 1.75V	-1		+1	%
		DAC codes from 0.6V to 0.875V	-1.5		+1.5	%
Line Regulation Error	V _{CC} = 4.5V to 5.5V, V _{BATT} = 4.5V to 28V			5		mV
Input Bias Current	FB, POS, NEG		-0.2		+0.2	μA
POS, NEG Common-Mode Range			0.4		2.5	V
POS, NEG Differential Range	POS - NEG		-80		+80	mV
POS, NEG Offset Gain	$\Delta V_{FB} / (POS - NEG)$; POS - NEG = 50mV		0.81	0.86	0.91	V/V
TIME Frequency Accuracy	150kHz nominal, R _{TIME} = 120kΩ		-8		+8	%
	380kHz nominal, R _{TIME} = 47kΩ		-12		+12	
	38kHz nominal, R _{TIME} = 470kΩ		-12		+12	
On-Time (Note 1)	V+ = 5V, FB = 1.2V, TON = GND (1000kHz)		230	260	290	ns
	V+ = 12V, FB = 1.2V	TON = REF (550kHz)	165	190	215	
		TON = open (300kHz)	320	355	390	
		TON = V _{CC} (200kHz)	465	515	565	
Minimum Off-Time (Note 1)	TON = V _{CC} , open, or REF (200kHz, 300kHz, or 550kHz)			400	500	ns
	TON = GND (1000kHz)			300	375	
BIAS AND REFERENCE						
Quiescent Supply Current (V _{CC})	Measured at V _{CC} , FB forced above the regulation point			700	1200	μA
Quiescent Supply Current (V _{DD})	Measured at V _{DD} , FB forced above the regulation point			<1	5	μA
Quiescent Battery Supply Current (V+)				25	40	μA
Shutdown Supply Current (V _{CC})	SKP/ \overline{SDN} = GND			2	5	μA
Shutdown Supply Current (V _{DD})	SKP/ \overline{SDN} = GND			<1	5	μA
Shutdown Battery Supply Current (V+)	SKP/ \overline{SDN} = GND, V _{CC} = V _{DD} = 0V or 5V			<1	5	μA
Reference Voltage	V _{CC} = 4.5V to 5.5V, no REF load		1.98	2	2.02	V

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = 15V$, $V_{CC} = V_{DD} = SKP/\overline{SDN} = 5V$, $V_{OUT} = 1.25V$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Reference Load Regulation	$I_{REF} = 0\mu A$ to $50\mu A$			0.01	V	
REF Sink Current	REF in regulation	10			μA	
FAULT PROTECTION						
Oversvoltage Trip Threshold	Measured at FB	1.95	2.00	2.05	V	
Oversvoltage Fault Propagation Delay	FB forced 2% above trip threshold		10		μs	
Output Undervoltage Fault Protection Threshold	With respect to unloaded output voltage	65	70	75	%	
Output Undervoltage Fault Propagation Delay	FB forced 2% below trip threshold		10		μs	
Output Undervoltage Fault Blanking Time	From SKP/\overline{SDN} signal going high, clock speed set by R_{TIME}		256		clks	
Current-Limit Threshold Voltage (Positive, Default)	GND - LX, $ILIM = V_{CC}$	$T_A = +25^\circ C$ to $+85^\circ C$	90	100	110	mV
		$T_A = 0^\circ C$ to $+85^\circ C$	85		115	
Current-Limit Threshold Voltage (Positive, Adjustable)	GND - LX	$ILIM = 0.5V$	35	50	65	mV
		$ILIM = REF (2V)$	165	200	230	
Current-Limit Threshold Voltage (Negative)	LX - GND, $ILIM = V_{CC}$	-140	-117	-95	mV	
Current-Limit Threshold Voltage (Zero Crossing)	GND - LX		4		mV	
Current-Limit Default Switchover Threshold		3	$V_{CC} - 1$	$V_{CC} - 0.4$	V	
Thermal Shutdown Threshold	Hysteresis = $10^\circ C$		150		$^\circ C$	
V_{CC} Undervoltage Lockout Threshold	Rising edge, hysteresis = 20mV, PWM disabled below this level	4.1		4.4	V	
VGATE Lower Trip Threshold	Measured at FB with respect to unloaded output voltage	-12	-10	-8	%	
VGATE Upper Trip Threshold	Measured at FB with respect to unloaded output voltage	+8	+10	+12	%	
VGATE Propagation Delay	FB forced 2% outside VGATE trip threshold		10		μs	
VGATE Output Low Voltage	$I_{SINK} = 1mA$			0.4	V	
VGATE Leakage Current	High state, forced to 5.5V			1	μA	
GATE DRIVERS						
DH Gate Driver On-Resistance	BST - LX forced to 5V		1.0	3.5	Ω	
DL Gate Driver On-Resistance	DL, high state (pullup)		1.0	3.5	Ω	
	DL, low state (pulldown)		0.4	1.0		
DH Gate-Driver Source/Sink Current	DH forced to 2.5V, BST - LX forced to 5V		1.6		A	
DL Gate-Driver Sink Current	DL forced to 2.5V		4		A	

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = +15V$, $V_{CC} = V_{DD} = \overline{SKP/SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
DL Gate-Driver Source Current	DL forced to 2.5V		1.6		A
Dead Time	DL rising		35		ns
	DH rising		26		
LOGIC AND I/O					
Logic Input High Voltage	D0–D4, ZMODE, SUS, \overline{OVP}	2.4			V
Logic Input Low Voltage	D0–D4, ZMODE, SUS, \overline{OVP}			0.8	V
DAC B-Mode Programming Resistor, Low	D0–D4, 0 to 0.4V or 2.6V to 5.5V applied through resistor, ZMODE = V_{CC}			1.05	$k\Omega$
DAC B-Mode Programming Resistor, High	D0–D4, 0 to 0.4V or 2.6V to 5.5V applied through resistor, ZMODE = V_{CC}	95			$k\Omega$
D0–D4 Pull Up/Down	Entering impedance mode	Pull up	40		$k\Omega$
		Pull down	8		
Logic Input Current	D0–D4, ZMODE = GND	-1		+1	μA
	ZMODE, SUS, \overline{OVP}	-1		+1	
4 Level Input Logic Levels (TON, S0, S1)	For high	$V_{CC} - 0.4$			V
	For open	3.15		3.85	
	For REF	1.65		2.35	
	For low			0.5	
SKP/ \overline{SDN} , S0, S1, and TON Input Current	SKP/ \overline{SDN} , S0, S1, TON forced to GND or V_{CC}	-3		+3	μA
SKP/ \overline{SDN} Input Levels	SKP/ \overline{SDN} = logic high (SKIP mode)	2.8		6	V
	SKP/ \overline{SDN} = open (PWM mode)	1.4		2.2	
	SKP/ \overline{SDN} = logic low (shutdown mode)			0.5	
	To enable no-fault mode	12		15	
SKP/ \overline{SDN} Float Level	$I_{SKP/SDN} = 0\mu A$	1.8		2.2	V

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_+ = +15V$, $V_{CC} = V_{DD} = \overline{SKP/SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
PWM CONTROLLER						
DC Output Voltage Accuracy	$V_+ = 4.5V$ to $28V$, includes load regulation error	DAC codes from 0.9V to 1.75V	-1.5		+1.5	%
		DAC codes from 0.6V to 0.875V	-2.0		+2.0	
TIME Frequency Accuracy	150kHz nominal, $R_{TIME} = 120k\Omega$		-8		+8	%
	380kHz nominal, $R_{TIME} = 47k\Omega$		-12		+12	
	38kHz nominal, $R_{TIME} = 470k\Omega$		-12		+12	
On-Time (Note 1)	$V_+ = 5V$, FB = 1.2V, TON = GND (1000kHz)		230		290	ns
		TON = REF (550kHz)	165		215	
	$V_+ = 12V$, FB = 1.2V	TON = open (300kHz)	320		390	
		TON = V_{CC} (200kHz)	465		565	

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = +15V$, $V_{CC} = V_{DD} = \overline{SKP}/\overline{SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Off-Time (Note 1)	TON = V _{CC} , open, or REF (200kHz, 300kHz, or 550kHz)			500	ns
	TON = GND (1000kHz)			375	
BIAS AND REFERENCE					
Quiescent Supply Current (V _{CC})	Measured at V _{CC} , FB forced above the regulation point			1300	μA
Quiescent Supply Current (V _{DD})	Measured at V _{DD} , FB forced above the regulation point			5	μA
Quiescent Battery Supply Current (V ₊)				40	μA
Shutdown Supply Current (V _{CC})	SKP/ \overline{SDN} = 0			5	μA
Shutdown Supply Current (V _{DD})	SKP/ \overline{SDN} = 0			5	μA
Shutdown Battery Supply Current (V ₊)	SKP/ \overline{SDN} = 0, V _{CC} = V _{DD} = 0 or 5V			5	μA
Reference Voltage	V _{CC} = 4.5V to 5.5V, no REF load	1.98		2.02	V
FAULT PROTECTION					
Oversvoltage Trip Threshold	Measured at FB	1.95		2.05	V
Output Undervoltage Protection Threshold	With respect to unloaded output voltage	65		75	%
Current-Limit Threshold Voltage (Positive, Default)	GND - LX, ILIM = V _{CC}	80		115	mV
Current-Limit Threshold Voltage (Positive, Adjustable)	GND - LX	ILIM = 0.5V	33	65	mV
		ILIM = REF (2V)	160	240	
Current-Limit Threshold Voltage (Negative)	LX - GND, ILIM = V _{CC}	-145		-90	mV
V _{CC} Undervoltage Lockout Threshold	Rising edge, hysteresis = 20mV, PWM disabled below this level	4.1		4.4	V
VGATE Lower Trip Threshold	Measured at FB with respect to unloaded output voltage	-12.5		-7.5	%
VGATE Upper Trip Threshold	Measured at FB with respect to unloaded output voltage	+7.5		+12.5	%
GATE DRIVERS					
DH Gate Driver On-Resistance	BST - LX forced to 5V			3.5	Ω
DL Gate Driver On-Resistance	DL, high state (pull up)			3.5	Ω
	DL, low state (pull down)			1.0	

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_+ = +15V$, $V_{CC} = V_{DD} = \overline{SKP}/\overline{SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted.) (Note 2)

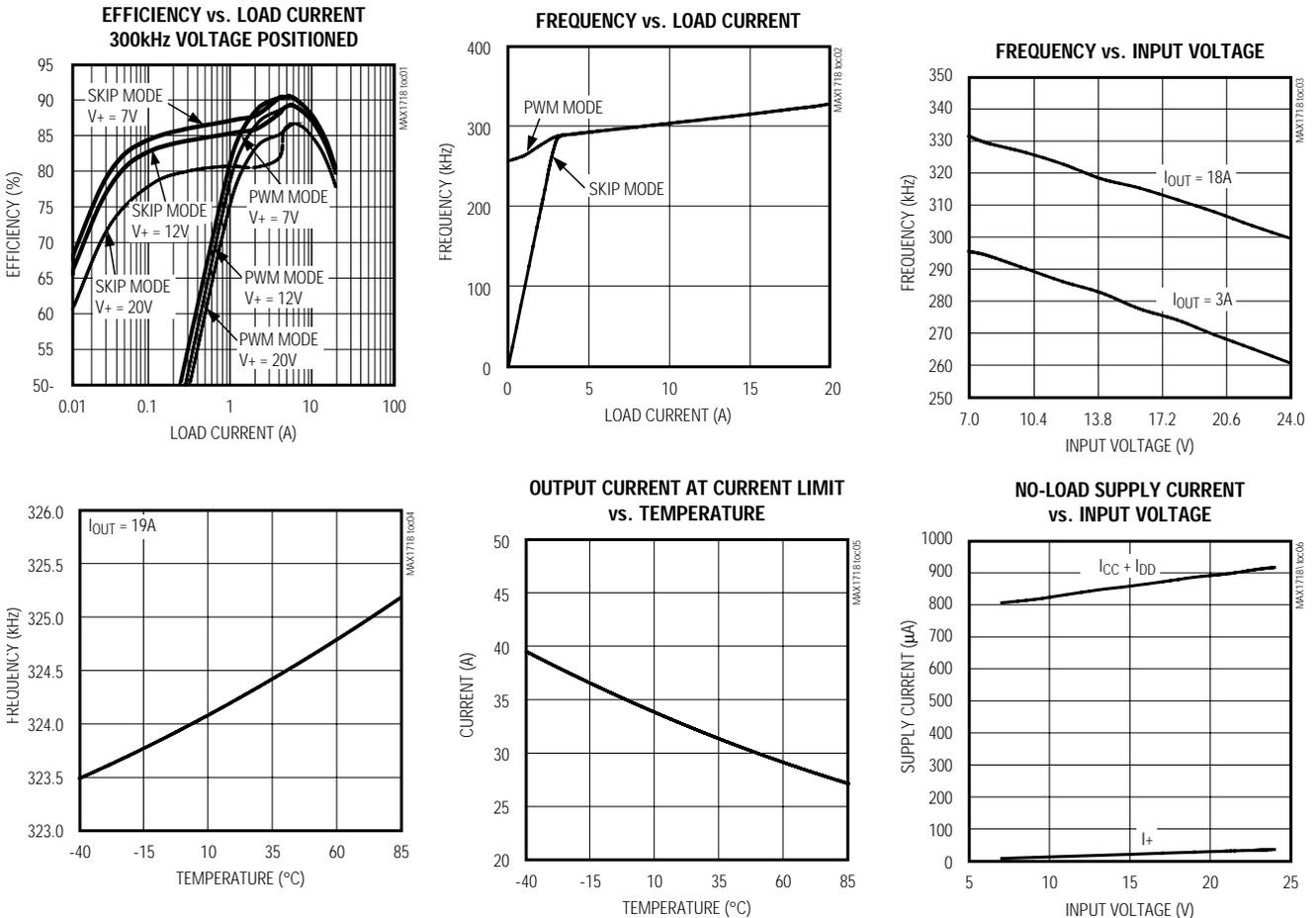
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC AND I/O					
Logic Input High Voltage	D0-D4, ZMODE, SUS, \overline{OVP}	2.4			V
Logic Input Low Voltage	D0-D4, ZMODE, SUS, \overline{OVP}			0.8	V
DAC B-Mode Programming Resistor, Low	D0-D4, 0 to 0.4V or 2.6V to 5.5V applied through resistor, ZMODE = V_{CC}			1.05	$k\Omega$
DAC B-Mode Programming Resistor, High	D0-D4, 0 to 0.4V or 2.6V to 5.5V applied through resistor, ZMODE = V_{CC}	95			$k\Omega$

Note 1: On-Time specifications are measured from 50% to 50% at the DH pin, with LX forced to 0V, BST forced to 5V, and a 500pF capacitor from DH to LX to simulate external MOSFET gate capacitance. Actual in-circuit times may be different due to MOSFET switching speeds.

Note 2: Specifications to $T_A = -40^\circ\text{C}$ are guaranteed by design and not production tested.

標準動作特性

(Circuit of Figure 1, $V_+ = +12V$, $V_{DD} = V_{CC} = \overline{SKP}/\overline{SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)

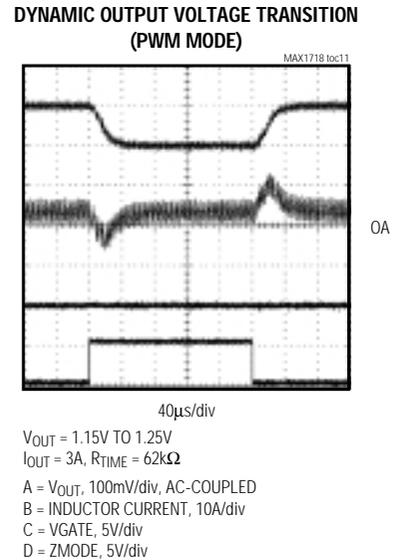
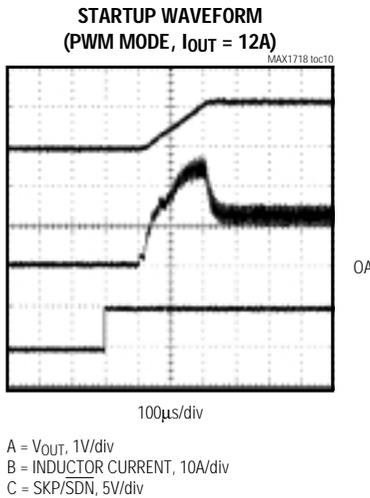
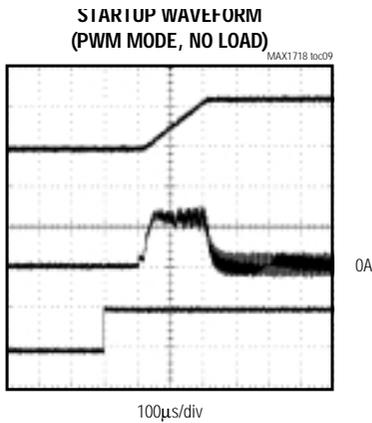
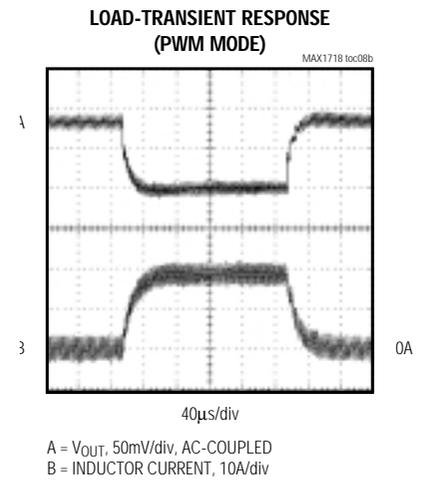
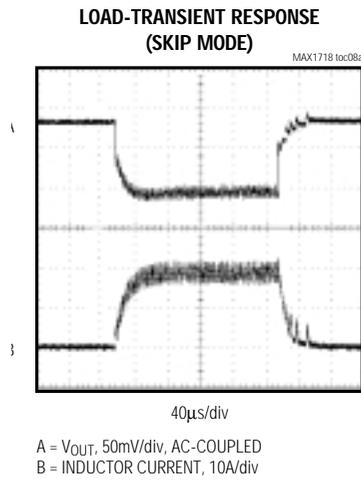
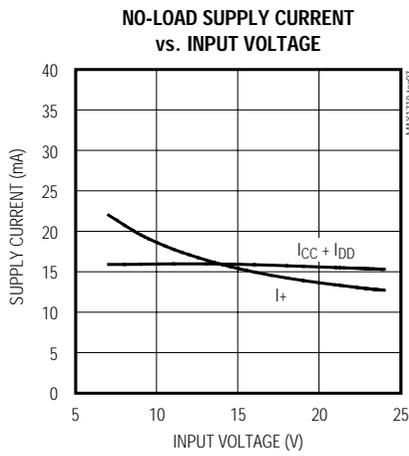


インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

標準動作特性(続き)

(Circuit of Figure 1, $V_{+} = +12V$, $V_{DD} = V_{CC} = \overline{SKP/SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



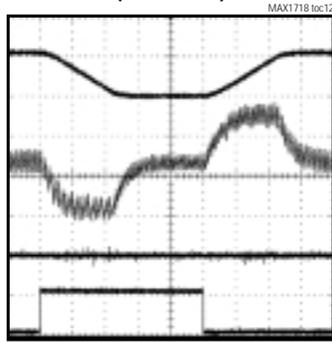
インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

標準動作特性(続き)

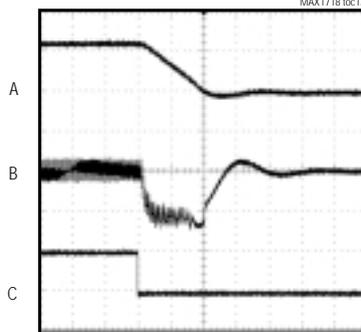
(Circuit of Figure 1, $V_+ = +12V$, $V_{DD} = V_{CC} = SKP/\overline{SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = +25^\circ C$, unless otherwise noted.)

**DYNAMIC OUTPUT VOLTAGE TRANSITION
(PWM MODE)**



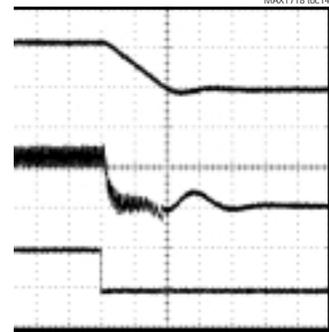
$V_{OUT} = 0.7V$ TO $1.25V$
 $I_{OUT} = 3A$, $R_{TIME} = 62k\Omega$
 A = V_{OUT} , 500mV/div, AC-COUPLED
 B = INDUCTOR CURRENT, 10A/div
 C = VGATE, 5V/div
 D = SUS, 5V/div

**SHUTDOWN WAVEFORM
(PWM MODE, NO LOAD)**



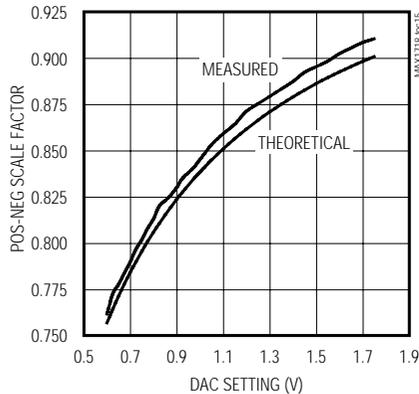
A = V_{OUT} , 1V/div
 B = INDUCTOR CURRENT, 10A/div
 C = SKP/ \overline{SDN} , 5V/div

**SHUTDOWN WAVEFORM
(PWM MODE, $I_{OUT} = 12A$)**

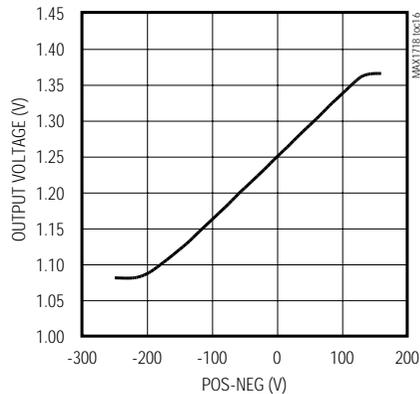


A = V_{OUT} , 1V/div
 B = INDUCTOR CURRENT, 10A/div
 C = SKP/ \overline{SDN} , 5V/div

**OFFSET FUNCTION SCALE FACTOR
vs. DAC SETTING**



**OUTPUT VOLTAGE
vs. POS-NEG DIFFERENTIAL**

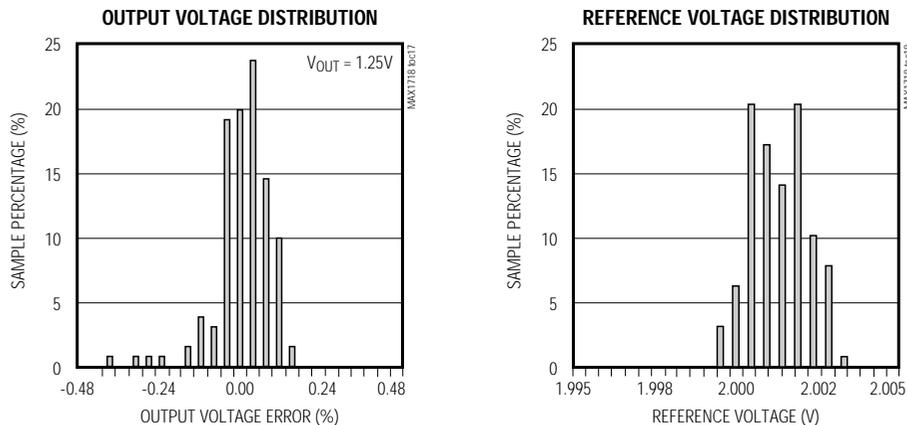


インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

標準動作特性(続き)

(Circuit of Figure 1, $V_+ = +12V$, $V_{DD} = V_{CC} = \overline{SKP/SDN} = +5V$, $V_{OUT} = 1.25V$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	V+	バッテリー電圧検出接続。V+は入力電源に接続して下さい。V+は、PWM単安定マルチバイブレータのタイミング設定専用です。DHのオン時間は2V~28Vの範囲にわたって入力電圧に反比例します。
2	SKP/SDN	シャットダウン兼スキップモード制御。SKP/SDNをGNDに駆動するとシャットダウンします。SKP/SDNをオープンのままにすると低ノイズ強制PWMモードになります。V _{CC} に駆動するとパルススキップ動作になります。低ノイズ強制PWMモードにおいては、軽負荷でインダクタ電流が再循環し、パルススキップ動作が抑圧されます。SKP/SDNを強制的に12V~15Vにすると、過電圧及び低電圧保護回路の両方がディセーブルされ、フォルトラッチがクリアされます(その他の点では通常のパルススキップ動作です)。SKP/SDNを15Vより高い電圧に接続しないで下さい。
3	TIME	スルーレート調整ピン。TIMEとGNDの間に抵抗を接続することにより、内部スルーレートクロックを設定することができます。470kΩ~47kΩの抵抗により、クロックが38kHz~380kHzの範囲に設定されます。 $f_{SLEW} = 150kHz \times 120k\Omega / R_{TIME}$
4	FB	フィードバック入力。FBは外部インダクタとポジショニング抵抗の接合部に接続して下さい(図1)。
5	NEG	フィードバックオフセット調整の負入力。POSとNEGの間の差にDACコードに依存する係数をかけた値だけ出力がシフトします(「積分アンプ/出力電圧オフセット」を参照)。オフセット機能を使用しない場合はPOSとNEGの両方をREFに接続して下さい。
6	CC	積分器コンデンサ接続。CCとGNDの間に47pF~1000pF(47pF typ)のコンデンサを接続することにより、積分時間定数を設定して下さい(「積分アンプ/出力電圧オフセット」を参照)。
7, 8	S0, S1	サスペンドモード電圧選択入力。S0とS1はサスペンドモードVIDコードを選択するための4レベルデジタル入力です。VIDコードは、サスペンドモードマルチプレクサの入力になります。SUSがハイの時、サスペンドモードVIDコードがDACに供給されます(「内部マルチプレクサ(ZMODE、SUS)」を参照)。
9	V _{CC}	PWMコア用のアナログ電源電圧入力。V _{CC} は直列の20Ω抵抗を通じてシステム電源電圧(4.5V~5.5V)に接続して下さい。0.22μF(min)コンデンサでGNDにバイパスして下さい。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

端子説明(続き)

端子	名称	機能
10	TON	オン時間選択入力。これは、DHオン時間を決めるKファクタ(表2)を設定する4レベル入力です。TONを以下のピンに接続することで該当する動作に設定できます。 GND = 1000kHz REF = 550kHz オープン = 300kHz V _{CC} = 200kHz
11	REF	2.0Vリファレンス出力。0.22μF(min)コンデンサでGNDにバイパスして下さい。外部負荷に対して50μAのソースになります。REFに負荷がかかると、REF負荷レギュレーションエラーのためにFB精度が劣化します。
12	ILIM	電流リミット調整。ILIMがV _{CC} に接続されている場合、GND-LXリミットスレッシュホールドはデフォルトで100mVになります。可変モードにおいては、電流リミットスレッシュホールド電圧はILIMの電圧(0.5V~3.0V)の10分の1になります。100mVのデフォルト値への切換えのロジックスレッシュホールドは約V _{CC} - 1Vです。ILIMをREFに接続すると、200mVの固定スレッシュホールドになります。
13	POS	フィードバックオフセット調整の正入力。POSとNEGの間の差にDACコードに依存する係数をかけた値だけ出力がシフトします(「積分アンプ/出力電圧オフセット」を参照)。オフセット機能を使用しない場合はPOSとNEGの両方をREFに接続して下さい。
14	VGATE	オープンドレインパワーグッド出力。VGATEは出力が安定化状態の時通常値のハイになります。V _{FB} がDAC設定の±10%以内に収まっていない場合、VGATEはローになります。DACコードの遷移中、スルーレートコントローラが遷移を完了した後、VGATEは1クロック周期だけ強制的にハイになります。シャットダウン中、VGATEはローになります。
15	GND	アナログ及び電源グランド。電流リミットコンパレータにも接続しています。
16	DL	ローサイドゲートドライバ出力。DLはGNDとV _{DD} の間でスイングします。
17	V _{DD}	DLゲートドライバの電源電圧入力(4.5V~5.5V)。1μFコンデンサでGNDにバイパスして下さい。
18	SUS	サスペンドモード制御入力。SUSがハイの時、S0とS1によって設定されるサスペンドモードVIDコードがDACに供給されます。サスペンドモードマルチプレクサを使用しない場合はSUSをGNDに接続して下さい(「内部マルチプレクサ(ZMODE、SUS)」を参照)。
19	ZMODE	パフォーマンスモードMUX制御入力。SUSがローの場合、ZMODEによって2つの異なるVID DACコードのどちらかが選択されます。ZMODEがローの時、VID DACコードはD0~D4のロジックレベル電圧によって設定されます。ZMODEの立上がりエッジ、ZMODEがハイ状態でのパワーアップ時、またはZMODEがハイ状態でのSUSの立上がりエッジでは、VID DACコードはD0~D4におけるインピーダンスによって設定されます(「内部マルチプレクサ(ZMODE、SUS)」を参照)。
20	OVP	過電圧保護制御入力。OVPをローに接続すると過電圧保護機能がイネーブルされます。OVPをハイに接続すると過電圧保護機能がディセーブルされます。過電圧トリップスレッシュホールドは約2Vです。OVPの状態は低電圧フォルト保護やサーマルシャットダウンには影響しません。
21-25	D4-D0	VID DACコード入力。D0は内部5ビットVID DACのLSB、D4はMSBです(表3)。ZMODEがローの時、D0~D4はハイインピーダンスデジタル入力となり、VID DACコードはD0~D4のロジックレベル電圧によって設定されます。ZMODEの立上がりエッジ、ZMODEがハイ状態でのパワーアップ時、またはZMODEがハイ状態でのSUSの立上がりエッジでは、VID DACコードはD0~D4におけるインピーダンスによって設定されます(「内部マルチプレクサ」を参照)： ロジックロー：ソースインピーダンスは1kΩ + 5%以下 ロジックハイ：ソースインピーダンスは100kΩ - 5%以上
26	BST	ブーストフライングコンデンサの接続。図1に示すように、BSTを外部ブーストダイオードとコンデンサに接続して下さい。オプションの抵抗をBSTと直列に接続することにより、DHプルアップ電流を調整することができます(図8)。
27	LX	インダクタ接続。LXは、DHハイサイドゲートドライバの低い方の内部電源電圧として使用します。また、LXは電流リミットコンパレータとスキップモードゼロクロスコンパレータにも接続されています。
28	DH	ハイサイドゲートドライバ出力。DHIはLXとBSTの間でスイングします。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

表1. 部品メーカー

MANUFACTURER	USA PHONE	FACTORY FAX
Central Semiconductor	516-435-1110	516-435-1824
Dale-Vishay	402-564-3131	402-563-6418
Fairchild	408-721-2181	408-721-1635
International Rectifier	310-322-3331	310-322-3332
Kemet	408-986-0424	408-986-1442
Motorola	602-303-5454	602-994-6430
Nihon	847-843-7500	847-843-2798
Panasonic	714-373-7939	714-373-7183
Taiyo Yuden	408-573-4150	408-573-4159
TDK	847-390-4373	847-390-4428
Toko	800-745-8656	408-943-9790
Sanyo	619-661-6835	619-661-1055
SGS-Thomson	617-259-0300	617-259-9442
Sumida	708-956-0666	708-956-0702

詳細

5Vバイアス電源(V_{CC}及びV_{DD})

MAX1718は、バッテリーの他に5Vの外部バイアス電源を必要とします。通常、この5Vバイアス電源は、ノートブックコンピュータの95%効率5Vシステム電源になります。バイアス電源をICの外部に配置すると効率を向上させるだけでなく、PWM回路及びゲートドライバで必要となる5Vリニアレギュレータのコストを除去することもできます。スタンドアロン機能が必要な場合は、外部リニアレギュレータで5V電源を発生できます。

この5Vバイアス電源は、V_{CC}(PWMコントローラ)及びV_{DD}(ゲート駆動パワー)を供給しなければならないため、最大消費電流は次のようになります。

$$I_{BIAS} = I_{CC} + f(QG_1 + QG_2) = 10\text{mA to } 40\text{mA (typ)}$$

ここで、I_{CC}は800µA(typ)、fはスイッチング周波数、Q_{G1}及びQ_{G2}はMOSFETデータシートのV_{GS} = 5Vにおける合計ゲートチャージ仕様リミットです。

入力が4.5V ~ 5.5Vの固定電源である場合は、V₊とV_{DD}をまとめて接続できます。5Vバイアス電源をバッテリー電源の前にパワーアップする場合は、バッテリー電圧が得られるまでイネーブル信号(SKP/SDN)のローからハイ又はオープンへの遷移)を遅延し、スタートアップを保証する必要があります。

入力フィードフォワードを備えたフリーランニング、一定オン時間PWMコントローラ

Quick-PWM制御構造は、電圧フィードフォワードを備えた疑似固定周波数一定オン時間電流モードタイプです(図2)。この構造においては出力フィルタコンデンサのESRが電流検出抵抗の役目を果たします。ですから、

PWMランプ信号は出力リップル電圧から得ています。制御アルゴリズムは簡単です。すなわち、ハイサイドスイッチのオン時間は、周期が入力電圧に反比例し、出力電圧に正比例する単安定マルチバイブレータのみによって決まります。もう一つの単安定マルチバイブレータは、最小オフ時間(400ns typ)を設定します。オン時間単安定マルチバイブレータは、誤差コンパレータがローで、ローサイドスイッチ電流が電流リミットスレッシュホールド以下であり、さらに最小オフ時間単安定マルチバイブレータでタイムアウトが発生した場合にトリガされます。

オン時間単安定マルチバイブレータ(TON)

PWMの心臓部は、ハイサイドスイッチのオン時間を設定する単安定マルチバイブレータです。この高速、低ジッタ、可変単安定マルチバイブレータには、バッテリー及び出力電圧に応じてオン時間を変えるための回路が含まれています。ハイサイドスイッチのオン時間は、V₊入力で測定されるバッテリー電圧に反比例し、出力電圧に正比例します。このアルゴリズムは、固定周波数クロックジェネレータが無いにもかかわらず、ほぼ一定のスイッチング周波数を提供します。一定スイッチング周波数の利点は2つありますが、その1つは、455kHz IF帯域などのノイズに敏感な領域を避けて周波数を選択できることです。もう1つは、インダクタリップル電流動作点が比較的一定に保たれるため、設計が容易になるだけでなく、出力電圧リップルを予測できることです。

$$\text{オン時間} = K(V_{OUT} + 0.075V) / V_{IN}$$

ここで、KはTONピンストラップ接続で設定される値で、予想されるローサイドMOSFETスイッチの両端の電圧降下に対応する概算値は0.075Vです(表2)。

オン時間単安定マルチバイブレータは「Electrical Characteristics」で指定されている動作点において良好な精度を保持します(200kHz及び300kHzで±10%、550kHz及び1000kHzで±12%)。「Electrical Characteristics」で指定されている条件からかけはなれた動作点におけるオン時間は広範囲に変動します。例えば、1000kHz設定は入力が+5Vを大幅に上回る時に10%ほど遅く動作します。これは非常に短いオン時間が要求されるためです。

スイッチング周波数は主にオン時間で決まります。「Electrical Characteristics」で保証しているオン時間には、外部ハイサイドパワーMOSFETのスイッチング遅延が影響しています。出力電流が大きくなると、抵抗性損失(インダクタ、両方のMOSFET、出力コンデンサのESR及び出力及びグラウンドのプリント基板の銅の損失など)が原因となり、スイッチング周波数が高くなる傾向があります。スイッチデッドタイムにより実効オン時間が増加するため、スイッチング周波数が減少します。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

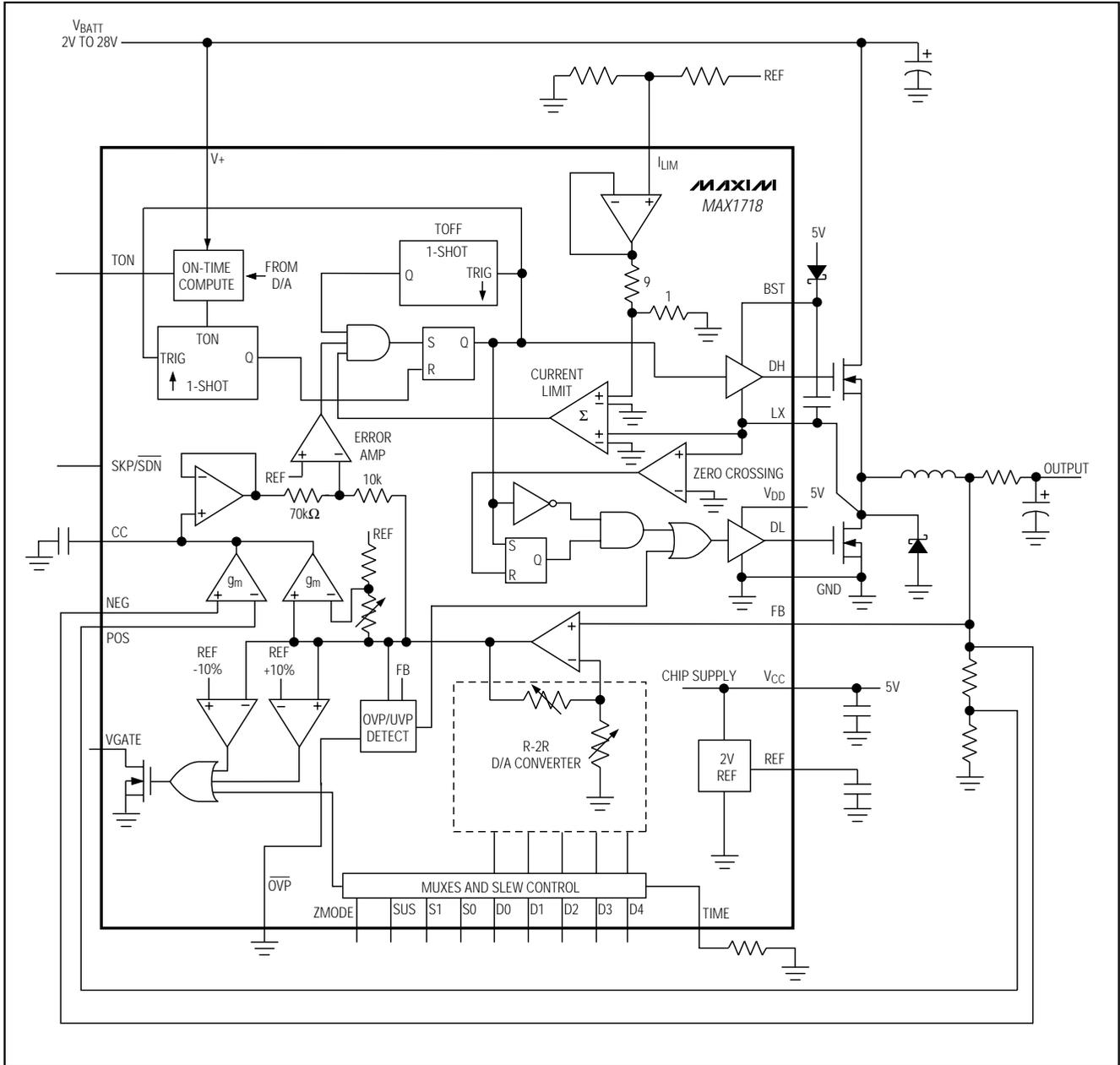


図2. ファンクションダイアグラム

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

表2. ファクタ誤差の近似値

TON SETTING	TON FREQUENCY (KHZ)	K-FACTOR (μs)	APPROXIMATE K-FACTOR ERROR (%)	MIN RECOMMENDED V _{BATT} AT	
				V _{OUT} = 1.25V (V)	V _{OUT} = 1.75V (V)
V _{CC}	200	5	±10	1.7	2.3
OPEN	300	3.3	±10	1.8	2.5
REF	550	1.8	±12.5	2.6	3.5
GND	1000	1.0	±12.5	3.6	4.9

これは、PWMモード (SKP/ $\overline{\text{SDN}}$ = オープン)の時及び動的出力電圧遷移の間、軽負荷電流、あるいは負の負荷電流になり、インダクタ電流が反転する場合にのみ発生します。インダクタ電流が反転すると、インダクタのEMFによって、通常よりも早くLXがハイになり、DHの立上がりでのデッドタイムだけオン時間が長くなります。

臨界導通点よりも高い負荷の場合はデッドタイムの影響はなくなり、実際のスイッチング周波数は次式で表されます。

$$f = \frac{(V_{\text{OUT}} + V_{\text{DROP1}})}{t_{\text{ON}}(V_{\text{IN}} + V_{\text{DROP1}} - V_{\text{DROP2}})}$$

ここで、 V_{DROP1} は、インダクタ放電経路内の寄生電圧降下の合計値(同期整流器、インダクタ、及びプリント基板の抵抗など)、 V_{DROP2} はインダクタ充電経路内の寄生電圧降下の合計値(ハイサイドスイッチ、インダクタ及びプリント基板の抵抗など)、 t_{ON} はMAX1718で計算したオン時間を示します。

積分アンプ/出力電圧オフセット

2つのトランスコンダクタンス積分アンプにより、出力レギュレーション点の微調整が可能です。第1のアンプはフィードバック電圧のDC平均を強制的にVID DAC設定と等しくなるようにします。第2のアンプは、POS及びNEGピンを使用して、VID DAC設定からの小さな正又は負のオフセットを作り出します。

積分器ブロックは出力電圧を8%下げる能力、及び8%上げる能力を備えています。各アンプについて、差動入力電圧は少なくとも合計±80mVです(DCオフセットとACリップルを含む)。2つのアンプの出力はチップ内で直接加算されるため、積分時間定数はCCピンに接続した1つのコンデンサで簡単に設定することができます。コンデンサ値は 47pF ~ 1000pF (47pF typ)を使用して下さい。各アンプの g_m は160μmho(typ)です。

POS/NEG アンプは、VID DAC設定に小さなオフセットを付加するため、電圧降下の補正のために使用されます。出力オフセットを作り出すには、POSとNEGを同相範囲内の電圧(通常は V_{OUT} 又はREF)にバイアスし、

抵抗分圧器によって互いのオフセットを設定して下さい(図3及び図4)。 V_{POS} が V_{NEG} よりも高い場合、出力は正方向にシフトします。 V_{NEG} が V_{POS} よりも高い場合、出力は負方向にシフトします。出力オフセットの量はPOSとNEGの差よりも小さくなりますが、その係数は図3に示すようにVID DACの設定によって変わります。POSとNEGの同相範囲は0.4V ~ 2.5Vです。

複数のオフセットを必要とするアプリケーションの場合、外部マルチプレクサを使用して様々な抵抗値を選択することができます(図5)。

NEGを V_{CC} に接続することにより、両方の積分アンプをディセーブルすることができます。

強制PWMモード (SKP/ $\overline{\text{SDN}}$ オープン)

低ノイズ、強制PWMモード (SKP/ $\overline{\text{SDN}}$ オープン)においては、ゼロクロスコンパレータがディセーブルされるため、インダクタ電流は軽負荷で逆転します。このため、ローサイドゲート駆動波形がハイサイドゲート駆動波形と相補的になります。強制PWMモードの利点は、スイッチング周波数をほぼ一定に保つことですが、この場合、無負荷時のバッテリー電流が10mA ~ 40mA(外部MOSFETに依存)になりうるという問題が生じます。

強制PWMモードは、下向きの出力電圧遷移の時に必要です。MAX1718は全ての遷移においてPWMモードを使用します(スルーレートコントローラがアクティブな時のみ)。大きな負のインダクタ電流を使用する遷移の場合、出力電圧はスルーレートコントローラが終了してからしばらくの間は最終的な予定値にセトリングしません。これは電圧ポジショニングに起因するものです。このため、負のスルー電流が非常に大きい場合は出力が極めて高くなり、VGATEがローになる可能性があります。

したがって、負の遷移においては、常に強制PWMモードを使用する必要があります。低電力サスペンド状態においてはスキップモードの方が適している場合がありますが、殆どのアプリケーションにおいてはPWMモードのみを使用して下さい(「サスペンド中のスキップモードの使い方 (SKP/ $\overline{\text{SDN}} = V_{\text{CC}}$)」を参照)。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

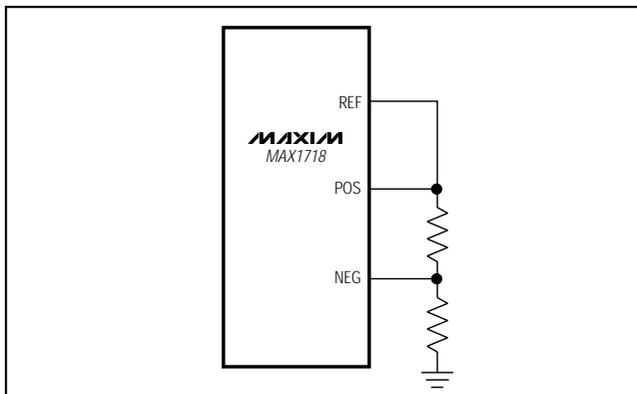


図3. REFからの抵抗分圧器

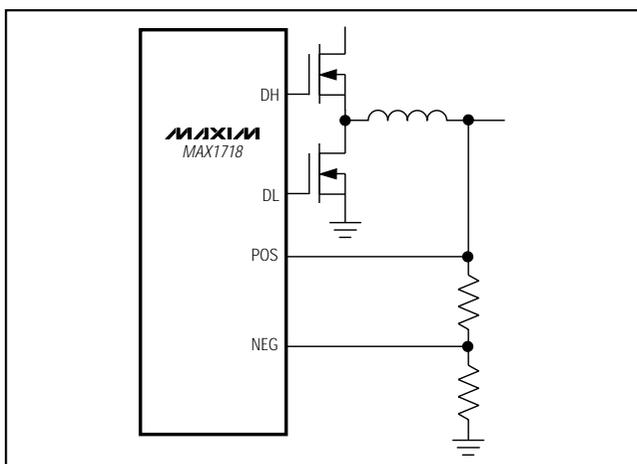


図4. OUTPUTからの抵抗分圧器

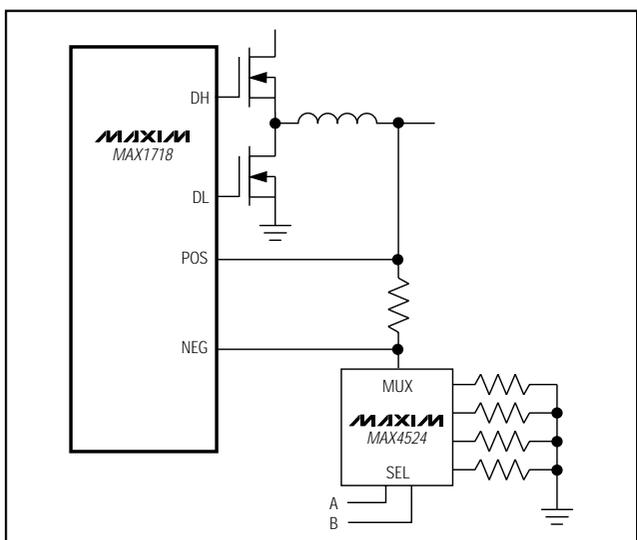


図5. 設定可能なオフセット電圧

自動パルススキップ切換え

スキップモード(SKP/ $\overline{\text{SDN}}$ ハイ)では、軽負荷においてPFMへの自動切換えが発生します(図6)。この切換えには、インダクタ電流のゼロクロスでローサイドスイッチのオン時間を検出するコンパレータが影響します。このメカニズムによって、パルススキップPFMと非スキップPWM動作間のスレッシュホールドが、連続及び断続インダクタ電流動作間の境界と一致します。PFM/PWMクロスオーバーが起こる負荷電流レベル($I_{\text{LOAD(SKIP)}}$)はピーク間リップル電流(インダクタ値の関数)の1/2です(図6)。7V~24Vのバッテリー範囲においては、このスレッシュホールドは入力電圧に多少依存しますが比較的一定しています。

$$I_{\text{LOAD(SKIP)}} \approx \frac{K \times V_{\text{OUT}}}{2 \times L} \times \frac{V_{\text{BATT}} - V_{\text{OUT}}}{V_{\text{BATT}}}$$

ここで、Kはオン時間係数を示します(表2)。例えば、標準アプリケーション回路においては次式で表されます。

$$\frac{3.3\mu\text{s} \times 1.25\text{V}}{2 \times 0.68\mu\text{H}} \times \frac{12\text{V} - 1.25\text{V}}{12\text{V}} = 2.7\text{A}$$

シング(ソフト飽和)インダクタを使用した場合は、クロスオーバー点がより低い値で発生します。

軽負荷によってパルススキップ動作が発生すると、スイッチング波形はノイズが多く非同期のように見えることもあります。これは軽負荷効率が高くなる正常な動作です。PFMノイズと軽負荷効率間の妥協点は、インダクタ値を変えることによって調整できます。一般に、インダクタ値が低い場合は効率対負荷曲線がより広くなり、インダクタ値が高い場合は全負荷効率が高く(コイル抵抗が一定の場合)、出力電圧リップルが小さくなります。但し、インダクタ値を高くすると物理的なサイズが増し、(特に低入力電圧レベルにおいて)負荷過渡応答が劣化するという欠点があります。

電流リミット回路

電流リミット回路には、ローサイドMOSFETのオン抵抗を電流検出素子として使ったユニークな「谷間」電流検出アルゴリズムを採用しています。電流検出信号が電流リミットスレッシュホールドよりも大きい時は、PWMの新しいサイクルを開始できません(図7)。実際のピーク電流は、電流リミットスレッシュホールドよりもインダクタリップル電流の量だけ大きくなります。従って、正確な電流リミット特性と最大負荷性能は、MOSFETのオン抵抗、インダクタ値及びバッテリー電圧の関数になります。この不確実性という対価を支払うことにより、

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

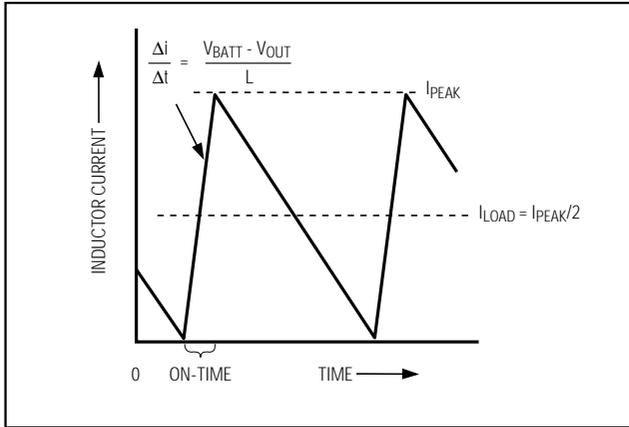


図6. パルススキップ/断続クロスオーバー点

損失のない過電流検出が達成できます。低電圧保護回路と組み合わせることにより、殆どすべての状況で、この電流リミット技術を活用することができます。

又、 V_{OUT} が電流のシンクとなっている時に過剰な逆インダクタ電流を防止する負の電流リミットも存在します。負の電流リミットスレッショルドは、正の電流リミットの約120%に設定されるため、 I_{LIM} の調整時に正の電流リミットに追従します。

電流リミットスレッショルドは I_{LIM} の外部抵抗分圧器によって調整します。電流リミットスレッショルド電圧調整範囲は50mV~300mVです。可変モードにおいて、電流リミットスレッショルド電圧は I_{LIM} における電圧のちょうど1/10です。 I_{LIM} が V_{CC} に接続されている時は、スレッショルドがデフォルトで100mVになります。デフォルト値の100mVに切り替わるロジックスレッショルドは約 $(V_{CC} - 1V)$ です。

この可変電流リミットにより、広範囲のオン抵抗特性を備えたMOSFETを使用することができます(「設計手順」を参照)。高精度電流リミットアプリケーションについては図16を参照して下さい。

プリント基板レイアウトのガイドラインを厳守し、LX及びGNDから見た電流検出信号が、ノイズ及びDC誤差によって劣化しないようにして下さい。ICをローサイドMOSFETの近くに取り付け、ケルビン検出抵抗を短く直線のトレースでソース及びドレイン端子に接続して下さい。

MOSFETゲートドライバ(DH、DL)

DH及びDLドライバは、中間サイズのハイサイドMOSFET及びより大型のローサイドパワーMOSFETの駆動用に最適化されています。これは、 $V_{BATT} - V_{OUT}$ の差が大きいノートブックCPU環境に見られる低デューティ係数に適合しています。アダプティブデッドタイム回路はDL出力を監視し、DLが完全にオフになる前にハイ

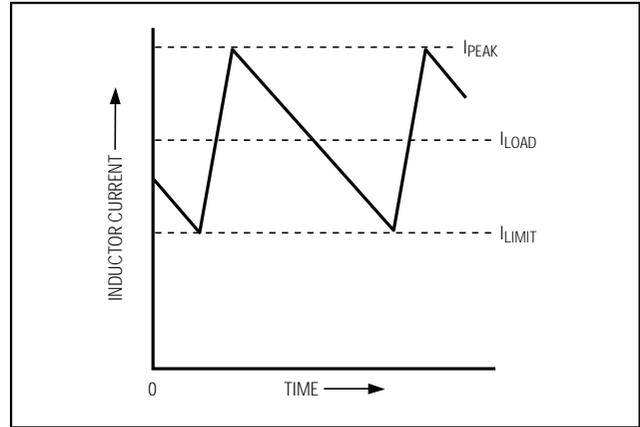


図7. 「谷間」電流リミットスレッショルド点

サイドFETがオンになるのを防ぎます。このアダプティブデッドタイム回路を正しく動作させるには、DLドライバからMOSFETゲートへの低抵抗、低インダクタンス経路が必要です。本経路がない場合、MAX1718内の検出回路は、MOSFETゲートに現実にはまだ電荷が残っている時に、オフであるものと解釈してしまいます。経路には、10~20平方までの非常に短く太いトレースを使用して下さい(MOSFETが素子から1インチの場合は、50~100ミル)。

反対側のデッドタイム(DHターンオフ)は、固定の35ns(typ)内部遅延によって決まります。

DLをローに駆動する内部プルダウントランジスタは、0.4Ω(typ)のオン抵抗を持つ堅牢性のあるものです。これは、大きなローサイド同期整流器MOSFETのドレインからゲートへの容量カップリングによって、インダクタノードの高速立上がり時間にDLがプルアップされるのを防ぎます。但し、大電流アプリケーションにおいては、ハイサイドFET及びローサイドFETの組合せによって過剰なゲートドレインカップリングが起こり、効率を低下させ、EMIを発生する貫通電流の原因になります。この問題は、多くの場合BSTと直列に抵抗を追加することで解決することが可能です。この場合ターンオフ時間に影響を及ぼすことなくハイサイドFETのターンオン時間を改善することができます(図8)。

POR

V_{CC} が約2Vを超えると、パワーオンリセット(POR)が発生し、フォルトラッチがリセットされ、PWMが準備されます。 V_{CC} 低電圧ロックアウト(UVLO)回路がスイッチングを阻止し、VGATEを強制的にローにして、DLゲートドライバを強制的にハイにします(これにより出力過電圧保護が作動します)。 V_{CC} が4.2Vより高くなると、DAC入力サンプルリングされ、出力電圧がDAC設定値の方にスルーし始めます。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

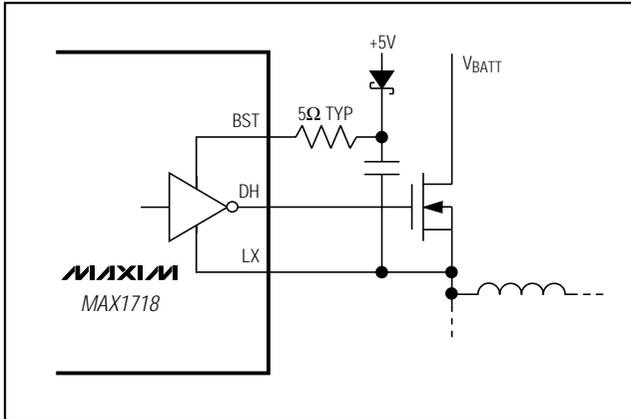


図8. スwitchングノードの立上がり時間の低減

自動スタートアップを行うには、 V_{CC} の前にバッテリー電圧が存在していなければなりません。MAX1718がバッテリー電圧不在の状態では出力を安定化状態にしようとする、フォルトラッチがトリップします。SKP/ \overline{SDN} ピンをトグルすることによってフォルトラッチをリセットすることができます。

シャットダウン

SKP/ \overline{SDN} がローになると、MAX1718は低電力シャットダウンモードになります。VGATEはただちにローになり、出力電圧は R_{TIME} で設定されたクロックレートで25mVずつ0Vまで減少していきます。DACが0V設定に達すると、DLがハイ、DHがローになり、リファレンスはターンオフされ、消費電流は約2 μ Aに低下します。

SKP/ \overline{SDN} がハイ又はフローティングになると、リファレンスがパワーアップして、リファレンスのUVLOを過ぎるとDAC目標が評価され、スイッチングが始まります。スルーレートコントローラは0Vからその時(ZMODEとSUSに基づいて)選択されているコード値まで25mVずつ上昇していきます。従来のようなソフトスタート(可変電流リミット)回路がないため、全出力電流がただちに得られます。VGATEは、スルーレートコントローラが終了して出力電圧が安定化状態になった後でハイになります。

UVLO

V_{CC} 電圧が低下してUVLOコンパレータがトリップすると、電源電圧が不十分なため、有効な判定をすることができないとみなされます。出力を過電圧障害から保護するため、このモードにおいてはDLが強制的にハイになります。これにより、出力が強制的にGNDになりますが、スルーレートコントローラは使用しません。これにより、大きな負のインダクタ電流が生じます。なお、小さな負の出力電圧が生じる場合もあります。 V_{CC} がこのように低下する可能性がある場合、ショットキダイオードで出力をGNDにクランプすることによって負の振幅を低減することができます。

DAC入力D0~D4

デジタルアナログコンバータ(DAC)は出力電圧を設定します。通常このDACは予め決められたデジタルコードをCPUピン(GNDにハード配線又はオープン回路のまま)から受け取ります。CPUピンはデジタルロジック、汎用I/O又は外部マルチプレクサによって駆動することも可能です。D0~D4をフローティングのままにしないで下さい。入力がフローティングになる可能性がある時は1M Ω 以下のプルアップ抵抗を使用して下さい。D0~D4はSMPSがアクティブの時に変更することができ、これによって新しい出力電圧レベルへの遷移が始まります。このDAC制御モードを使用する時は、ZMODE及びSUSをローに接続して下さい。D0~D4はまとめて変更し、ビット間に1 μ sを超えるスキューが生じないようにして下さい。このようなスキューが生じると、誤ったDAC値を読み取り、間違った電圧レベルへの遷移が部分的に発生します。その後、正しい電圧レベルへ遷移するため、全体的な遷移時間が長くなります。利用可能なDACコード及び対応する出力電圧(表3)はIMVP-II規格とコンパチブルです。

内部マルチプレクサ(ZMODE、SUS)

MAX1718は、プロセッサの状態に合わせて3つの異なるVID DACコードを選択できる2つのユニークな内部VID入力マルチプレクサを備えています。サスペンド(SUS)モードマルチプレクサは、SUSのロジックレベルに従って、ZMODEマルチプレクサあるいはS0/S1入力ディコーダからVID DACコード設定を選択します。ZMODEマルチプレクサは、D0~D4ピンから2つのVID DACコード設定のうちの1つを選択します(選択の基準はピンの電圧又はインピーダンスディコーダの出力です)(図9)。

SUSがハイの時、サスペンドモードマルチプレクサはS0/S1入力ディコーダからVID DACコード設定を選択します。ディコーダの出力は入力S0とS1によって決まります(表4)。

SUSがローの時、サスペンドモードマルチプレクサはZMODEマルチプレクサの出力を選択します。ZMODEマルチプレクサはZMODEのロジックレベルに従ってD0~D4の電圧又はインピーダンスディコーダの電圧を使ってVID DACコードを選択します(表5)。

ZMODEがローの時、D0~D4のロジックレベル電圧がVID DAC設定を決定します。これはロジックモードと呼ばれます。このモードにおいては、入力は常にアクティブで、外部ロジックによって動的に変更することが可能です。ロジックモードのVID DACコード設定はバッテリーモード状態用に使用されるのが普通です。このコードのソースはCPUのVIDピンに適切なプルアップ抵抗を付けたものである場合があります。

ZMODEの立上がりエッジ、ZMODEがハイの時のパワーアップ、又はZMODEがハイの時のSUSの立下がりエッジにおいて、D0~D4におけるインピーダンスがインピーダンスディコーダによってサンプリングされ、ピンと直列に大きな抵抗があるかどうかチェックされます。これはインピーダンスモードと呼ばれます。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

表3. 出力電圧対DACコード

D4	D3	D2	D1	D0	OUTPUT VOLTAGE (V)	POS/NEG SCALE FACTOR
0	0	0	0	0	1.75	0.90
0	0	0	0	1	1.70	0.90
0	0	0	1	0	1.65	0.90
0	0	0	1	1	1.60	0.89
0	0	1	0	0	1.55	0.89
0	0	1	0	1	1.50	0.89
0	0	1	1	0	1.45	0.88
0	0	1	1	1	1.40	0.88
0	1	0	0	0	1.35	0.88
0	1	0	0	1	1.30	0.87
0	1	0	1	0	1.25	0.87
0	1	0	1	1	1.20	0.86
0	1	1	0	0	1.15	0.86
0	1	1	0	1	1.10	0.85
0	1	1	1	0	1.05	0.85
0	1	1	1	1	1.00	0.84
1	0	0	0	0	0.975	0.84
1	0	0	0	1	0.950	0.83
1	0	0	1	0	0.925	0.83
1	0	0	1	1	0.900	0.82
1	0	1	0	0	0.875	0.82
1	0	1	0	1	0.850	0.82
1	0	1	1	0	0.825	0.81
1	0	1	1	1	0.800	0.81
1	1	0	0	0	0.775	0.80
1	1	0	0	1	0.750	0.80
1	1	0	1	0	0.725	0.79
1	1	0	1	1	0.700	0.78
1	1	1	0	0	0.675	0.78
1	1	1	0	1	0.650	0.77
1	1	1	1	0	0.625	0.76
1	1	1	1	1	0.600	0.76

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

このピンの電圧レベルがロジックローの場合、内部スイッチがピンを内部26kΩプルアップ抵抗に4μs間接続し、ピン電圧を強制的にハイにできるかどうかを確認します(図10)。ピン電圧がロジックハイにプルアップできる時は、インピーダンスがハイであるとみなされ、インピーダンスモードのロジック状態もハイであるとみなされます。同様に、このピンの電圧レベルがハイの場合、内部スイッチがピンを内部8kΩプルダウン抵抗に接続し、ピン電圧を強制的にローにできるかどうかを確認します。ローにできる場合、このピンはハイインピーダンスで、インピーダンスモードのロジック状態もハイです。どちらかのサンプリング条件でピンのロジックレベルが変化しない場合は、ピンはローインピーダンスであると判断され、インピーダンスモードのロジック状態はローです。

ピンインピーダンスがハイ(ロジックもハイ)であるとは、100kΩ以上を意味します。ピンインピーダンスがロー(ロジックもロー)であるとは、1kΩ以下を意味します。「Electrical Characteristics」の表においては、公差5%の標準100kΩ及び1kΩ抵抗を使用できるように、これらのインピーダンスの保証レベルを95kΩ及び1.05kΩとしています。

ZMODEマルチプレクサの使い方

汎用のZMODEマルチプレクサの使い方は様々です。どのような使い方をするかは、VID DACコードが決定されるタイミングと方法に依存します。出力電圧コードがプリント基板設計時に固定される場合は、ピンストラップ接続と直列抵抗のシンプルな組合わせを使用して設定して下さい(図11)。出力電圧コードがプリント基板の組立て時に選択される場合は、抵抗を使用して独立に設定することができます(図12)。この10種類の抵抗のマトリクスは、僅か5つの抵抗を使用して、すべてのロジックモード及びインピーダンスモードの組合わせを設定することができます。

表4. サスペンドモードのDACコード

S1	S0	OUTPUT VOLTAGE (V)
GND	GND	0.975
GND	REF	0.950
GND	OPEN	0.925
GND	V _{CC}	0.900
REF	GND	0.875
REF	REF	0.850
REF	OPEN	0.825
REF	V _{CC}	0.800
OPEN	GND	0.775
OPEN	REF	0.750
OPEN	OPEN	0.725
OPEN	V _{CC}	0.700
V _{CC}	GND	0.675
V _{CC}	REF	0.650
V _{CC}	OPEN	0.625
V _{CC}	V _{CC}	0.600

良くある例として、CPUピンとプルアップ抵抗で作られたコードのセットがロジックモードVIDコードを提供し、D0~D4と直列な抵抗がインピーダンスモードコードを設定するものがあります。CPUのVIDピンの一部はフローティングである場合もあるため、オープン回路ピンがZMODEマルチプレクサのインピーダンスモードに問題を生じることがあります。インピーダンスモードが動作するには、インピーダンスモード中にローであるべきピンは(少なくとも4μsのサンプリング期間中)ローインピーダンスにみえる必要があります。

これを実現する方法は複数ありますが、そのうちの2つを以下に示します(図13)。CPUのVIDピンとローインピーダンスプルアップ抵抗を使用することにより、ローインピーダンスを提供することができます。これにより、各ピンはインピーダンスモードの設定を正しく解釈

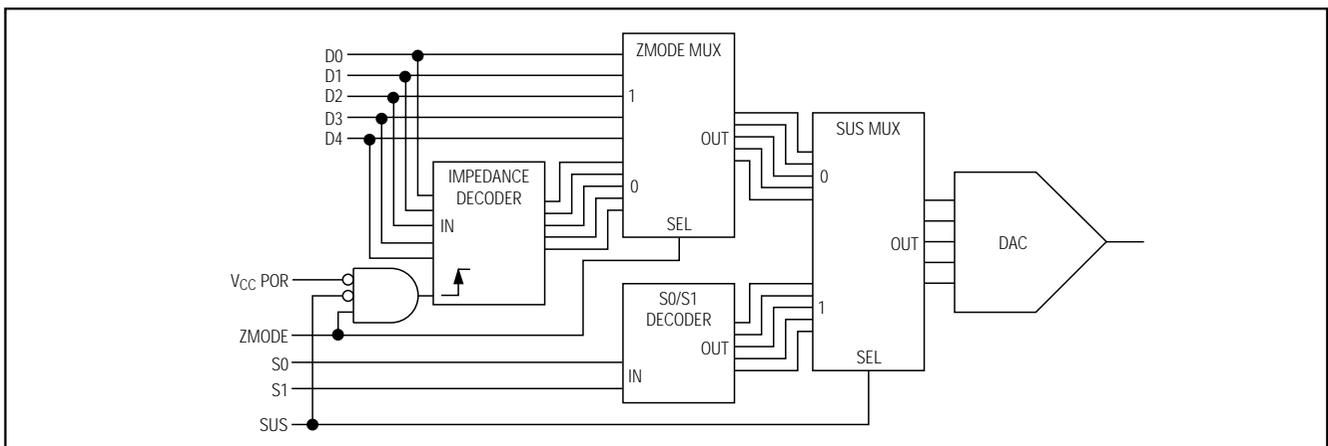


図9. 内部マルチプレクサのブロック図

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

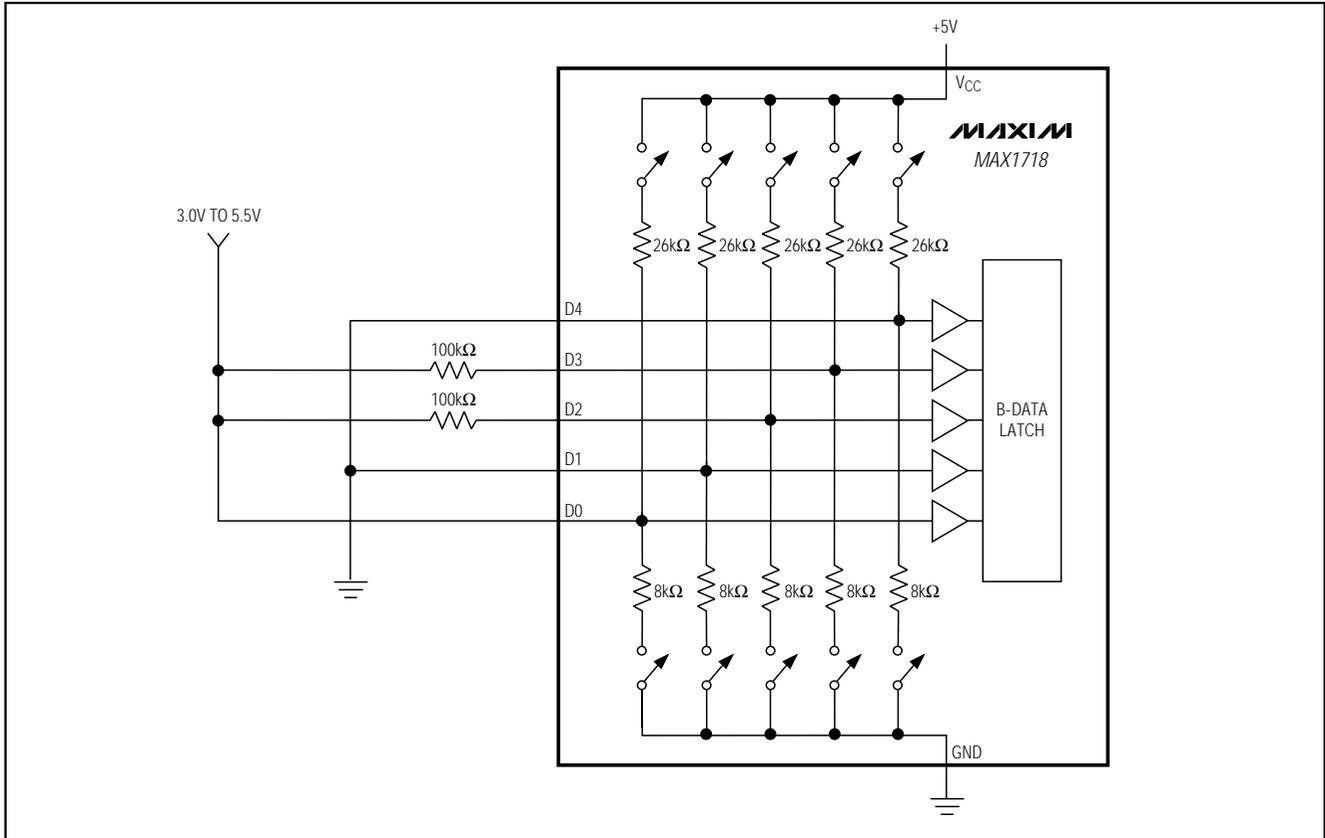


図10. 内部マルチプレクサのインピーダンスモードデータテスト及びラッチ

することができます。抵抗が小さい場合、CPUの接地VIDピンの各々から数mAの自己消費電流が流れてしまいます。ただし、D0～D4は短時間だけローインピーダンスと解釈できればよく、連続してローインピーダンスである必要はないということを利用すれば、この自己消費電流を避けることができます。4 μ sのサンプリング期間の間だけローインピーダンスに見せるのに十分なだけの容量を持ったコンデンサでバイパスすれば、ハイインピーダンスのプルアップを使用することができます。図13に示すように、4.7nFのコンデンサを使うことで、値の大きな抵抗でプルアップされている入力を十分にローインピーダンスに見せることができます。各サンプリングで4.7nFコンデンサから電荷が消費されます。ZMODEサンプリングの合間の間隔としては、最小2 x R_{PULLUP} x 4.7nFを推奨します。

ハードウェアを修正せずに複数のタイプのプロセッサを使えるようにするため、システムブート中にインピーダンスモードコードを決定することが望ましい場合があります。図14にこの機能を実現する方法を示します。望ましいコードはシステムのBIOSで決まり、SMBus™シリアルインタフェースを使用してMAX1609の片方のレジスタに設定されます。MAX1609の他方のレジスタはパワーアップ状態(全ての出力がハイインピーダンス)

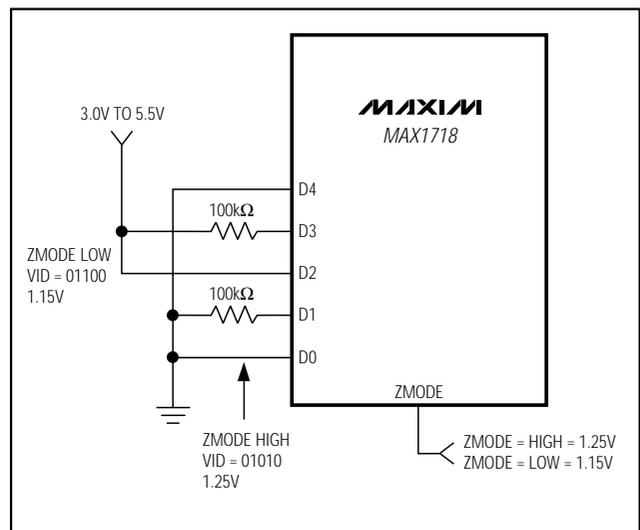


図11. ハード配線のロジックモードとインピーダンスモードDACコードで内部マルチプレクサを使用

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

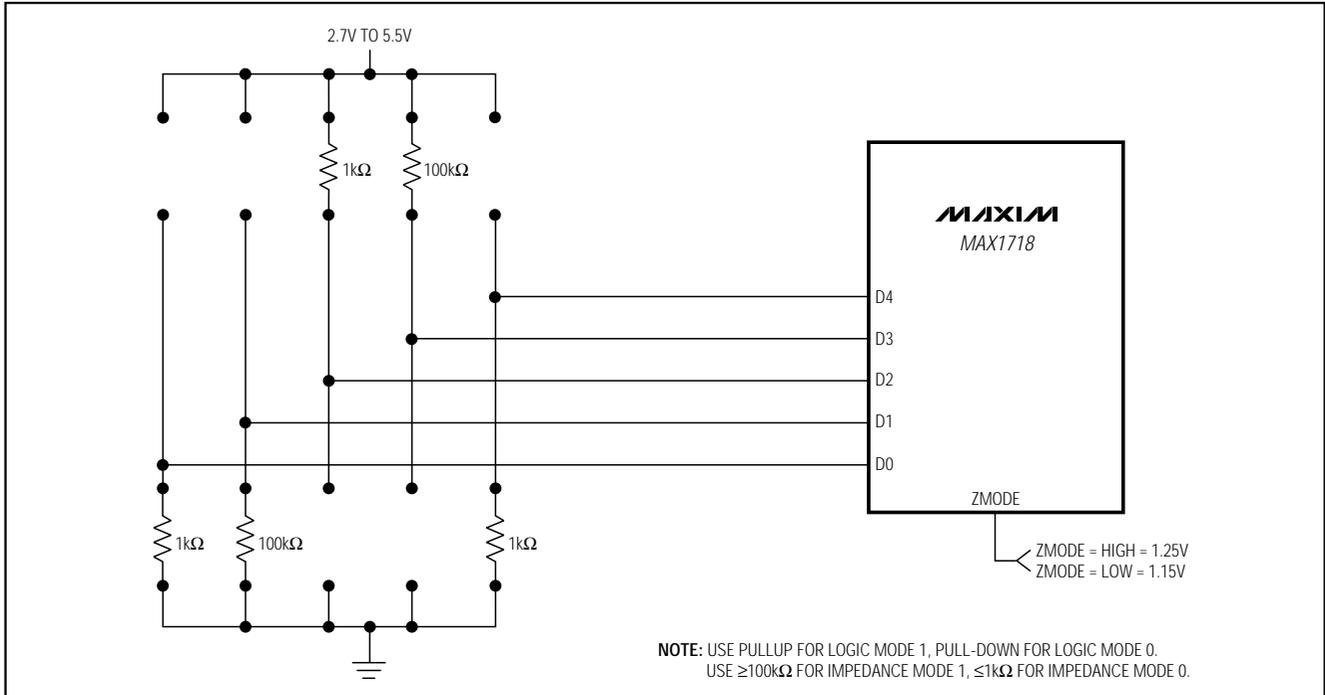


図12. 両方のVIDコードを抵抗設定した状態で内部マルチプレクサを使用

のままに残されます。 $\overline{\text{SMBSUS}}$ がローの時、出力はハイインピーダンスとなり、ロジックモードVIDコード設定に影響を与えません。 $\overline{\text{SMBSUS}}$ がハイの時、設定されたレジスタが選択され、MAX1609は該当するVID入力ピンを強制的にローインピーダンスにします。ZMODE信号はSMBSUSピンに比べて遅れますが、これはMAX1609によってローに引き下げられたVIDピンがリリースされてから上昇するまでにかなりの時間を要するためです。このアプリケーションにMAX1609を使用するもう1つの利点は、このアプリケーションがMAX1609の高電圧オープンドレイン出力のうちの5つしか使用しないことです。残りの3つの出力はその他の目的に使用することができます。

出力電圧の遷移タイミング

MAX1718は出力電圧遷移を自動的に制御して入力サージ電流を最小限に抑えるように設計されています。この特長により、理想的な遷移を設計することが可能となり、新しい出力電圧レベルにジャストインタイムで到達することが保証されます。しかも、ピーク電流はいずれの出力容量に対しても最小限に抑えられます。このため、本ICはIMVP-II CPUに最適となっています。

表5. DACマルチプレクサの動作

ZMODE	SUS	OUTPUT VOLTAGE DETERMINED BY:
GND	GND	Logic Level of D0-D4
V _{CC}	GND	Impedance of D0-D4
X	V _{CC}	Logic Levels of S0, S1

IMVP-II CPUは2つの異なるクロック周波数で動作し、3つの異なるVID設定を必要とします。1つのクロック周波数から他の周波数に遷移する時、CPUはまず始めに低電力状態になり、それから出力電圧とクロック周波数が変化します。この変化は100 μ s以内に完了する必要があります(完了しない場合はシステムが停止します)。

MAX1718は、出力電圧遷移の始めにVGATE出力をブランクにすることにより、出力がローになるのを防ぎます。VGATEは遷移中ブランク状態に留まり、スルーレートコントローラが内部DACを設定してから、追加のスルーレートクロック周期が経過した後で再びイネーブルされます。スルーレートクロック周波数(抵抗R_{TIME}で設定)は、100 μ sという制限時間内に必要な最長の遷移を必ず終わられるような速さに設定する必要があります。

SMBus™はIntel Corp.の商標です。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

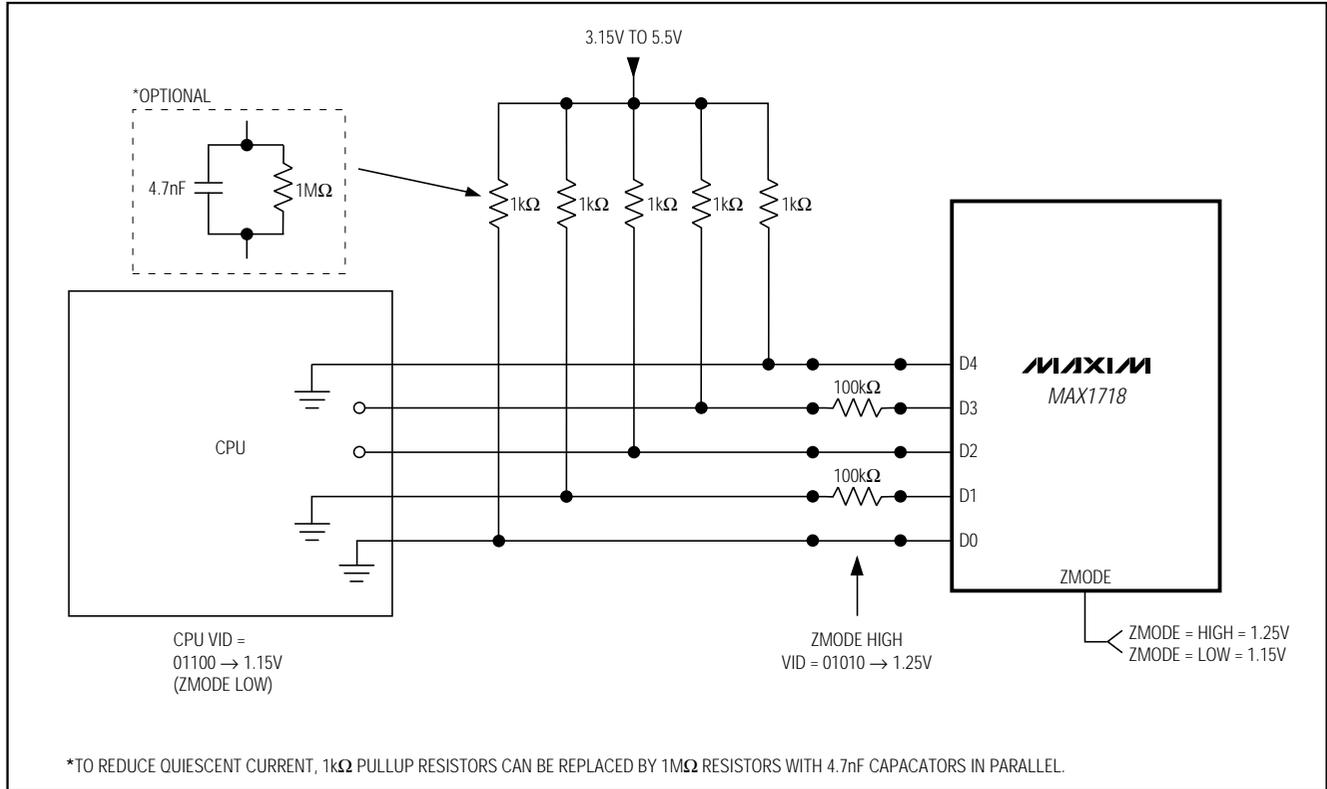


図13. CPUがロジックモードVIDコードを駆動している状態で内部マルチプレクサを使用

まず4 μ sの遅延があり、出力電圧遷移が25mVステップで行われます。その後1クロック周期が続きます。遷移に要する全時間は R_{TIME} 、電圧差及びMAX1718のスルーレートクロックの精度によって変化しますが、全出力容量には影響されません。出力容量が大きいほど、遷移に要するサージ電流が大きくなります。サージ電流が I_{LIM} によって設定される電流リミットよりも小さい場合、MAX1718は計算された時間内に遷移を完了するため、必要最小レベルに電流を自動制御します。遷移時間は次式で与えられます。

$$\leq 4\mu s + \left[\frac{1}{f_{SLEW}} \left(\frac{V_{OLD} - V_{NEW}}{25mV} \right) \right]$$

ここで、 $f_{SLEW} = 150kHz \times 120k$ / R_{TIME} 、 V_{OLD} は元のDAC設定、 V_{NEW} は新しいDAC設定です。

f_{SLEW} の精度については「Electrical Characteristics」の「Time Frequency Accuracy」を参照して下さい。

R_{TIME} の実用的な範囲は47k Ω ~ 470k Ω です。これは25mVステップ当たり2.6 μ s ~ 26 μ sに対応します。DACは25mVずつ不連続に変化しますが、出力フィルタによって遷移は比較的なめらかになります。出力電圧遷移を行うために必要な平均インダクタ電流は次式で表されます。

$$I_L \cong C_{OUT} \times 25mV \times f_{SLEW}$$

出力過電圧保護

過電圧保護(OVP)回路は、大電流を流してバッテリーヒューズを熔断することにより、短絡状態のハイサイドMOSFETからCPUを保護します。出力電圧は過電圧になっていないかどうか常に監視されます。出力が2Vを超えると、OVPがトリガされて回路はシャットダウンします。DLローサイドゲートドライバ出力がハイにラッチされ、この状態はSKP/ \overline{SDN} が切り換わるか、あるいは V_{CC} 電源が1Vを下回るまで続きます。この動作によって同期整流器MOSFETがデューティ100%でターンオンされ、出力フィルタコンデンサを急速に放電して出力を強制的にグランドにします。過電圧の原因となった条件(例えばハイサイドMOSFETの短絡)が引き続き存在する場合、バッテリーヒューズが熔断します。DLは、 V_{CC} UVLOがアクティブの時及びシャットダウンモード中にも常にハイに維持されます(表6)。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

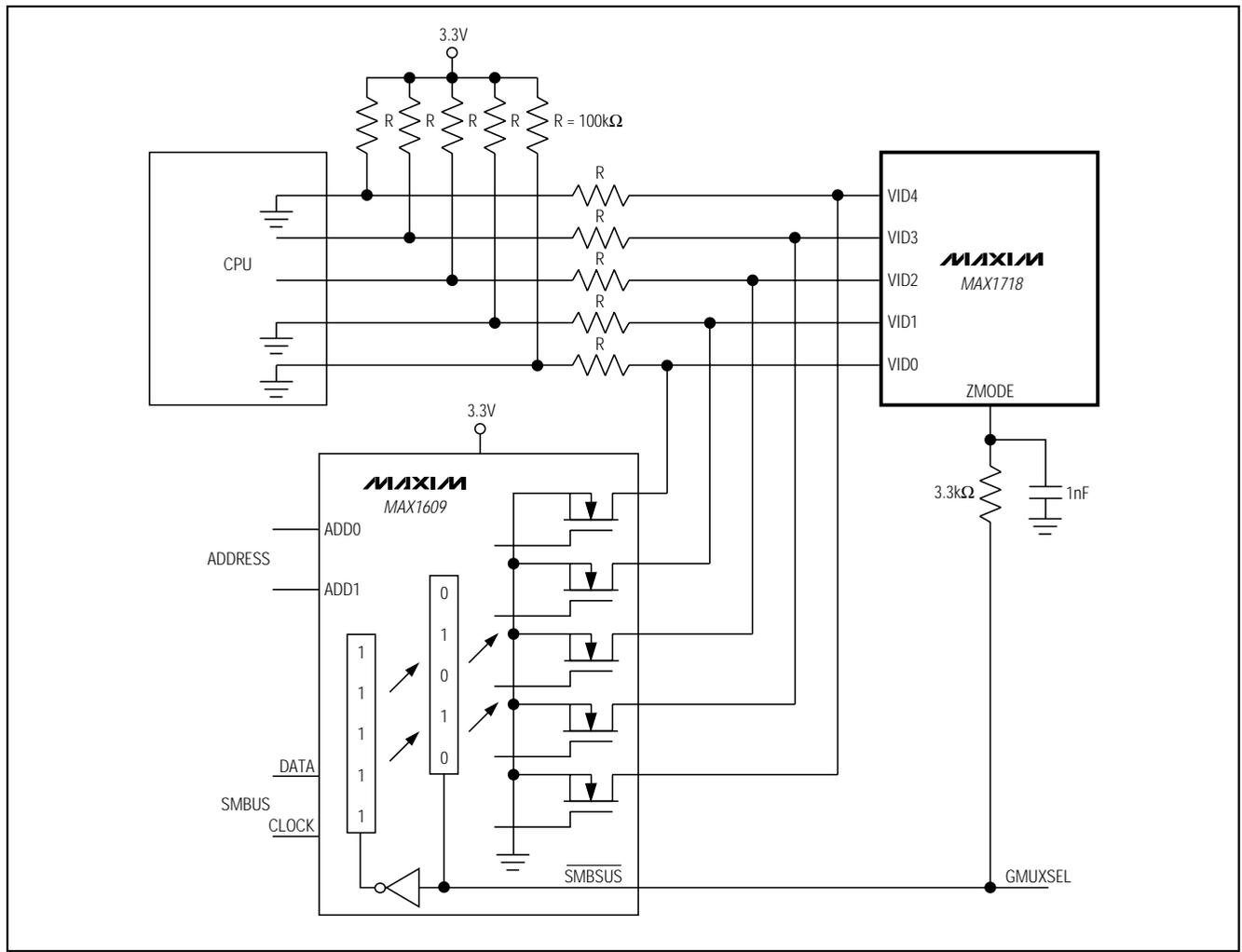


Figure 14. Using the ZMODE Multiplexer

\overline{OVP} をロジックハイにするか、あるいはノーフォルトテストモードによって過電圧保護を解除することができます(「ノーフォルトテストモード」を参照)。

出力低電圧保護

出力UVP機能はフの字電流リミットに似ていますが、可変電流リミットの代わりにタイマを使用します。MAX1718の出力電圧が公称値の70%以下になると、PWMがラッチオフして、 V_{CC} 電源がサイクルされるか、あるいはSKP/ \overline{SDN} が切り換わるまでリスタートしません。スタートアップを可能にするため、低電圧障害ブランク時間中(スタートアップ後の最初の256サイクルのスループレート)、UVPは無視されます。

UVPはノーフォルトテストモードで解除できます(「ノーフォルトモード」を参照)。

ノーフォルトテストモード

過電圧/低電圧保護機能が作動していると、障害を突き止めるための時間が最長で数ミリ秒しかないため、プロトタイプブレッドボードのデバッグ処理が難しくなります。従って、OVP、UVP及びサーマルシャットダウン機能を完全にディセーブルし、すでに設定してある場合は障害ラッチをクリアするためのテストモードが提供されています。PWMは、SKP/ \overline{SDN} がハイ(SKIPモード)であるかのように動作します。SKP/ \overline{SDN} を強制的に12V~15Vにすると、ノーフォルトテストモードに入ります。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

表6. 動作モードの真理値表

SKP/SDN	DL	MODE	COMMENT
GND	High	Shutdown	Low-power shutdown state. DL is forced to V_{DD} , enforcing OVP. $I_{CC} + I_{DD} = 2\mu A$ typ.
12V to 15V	Switching	No Fault	Test mode with faults disabled and fault latches cleared, including thermal shutdown. Otherwise, normal operation, with automatic PWM/PFM switchover for pulse-skipping at light loads.
Open	Switching	Run (PWM, low noise)	Low-noise operation with no automatic switchover. Fixed-frequency PWM action is forced regardless of load. Inductor current reverses at light load levels.
V_{CC}	Switching	Run (PFM/PWM)	Operation with automatic PWM/PFM switchover for pulse-skipping at light loads.
V_{CC} or Open	High	Fault	Fault latch has been set by OVP, UVP, or thermal shutdown. Device will remain in FAULT mode until V_{CC} power is cycled or SKP/SDN is forced low.

設計手順

スイッチング周波数とインダクタ動作点(リップル電流比)を選ぶ前に、まず入力電圧範囲と最大負荷電流を決定して下さい。設計上の主な考慮点は、スイッチング周波数とインダクタ動作点の妥協点を決定することにあります。次の4つの要因によって設計が決まります。

- 1) 入力電圧範囲：最大値($V_{IN(MAX)}$)は、ACアダプタのワーストケースの高電圧に対応させる必要があります。最小値($V_{IN(MIN)}$)は、コネクタ、ヒューズ、及びバッテリーセレクトスイッチによる電圧降下後の最低入力電圧に対応させる必要があります。選択できる場合は、より低い入力電圧の方が効率は高くなります。
- 2) 最大負荷電流：考慮すべき値は2つあります。ピーク負荷電流($I_{LOAD(MAX)}$)は、瞬時的な素子のストレス及びフィルタリング条件を決定するため、出力コンデンサの選択、インダクタ飽和定格、及び電流リミット回路の設計を左右します。連続負荷電流(I_{LOAD})は、熱ストレスを決定するため、入力コンデンサ、MOSFET及びその他の重要な発熱部品の選択を左右します。最新のノートブックCPUでは、 $I_{LOAD} = I_{LOAD(MAX)} \times 80\%$ が一般的です。
- 3) スwitchング周波数：サイズと効率間の基本的な妥協点は、スイッチング周波数によって決まります。MOSFETスイッチング損失は周波数及び V_{IN2} に比例するため、最適周波数は主に最大入力電圧の関数になります。又、MOSFET技術の急速な進歩によって

より高い周波数が実用的になっていることから、最適周波数は変わりつつあります。

- 4) インダクタ動作点：サイズと効率間の妥協点は、インダクタ動作点によって決まります。インダクタ値が低い程リップル電流が大きくなり、サイズが小さくなりますが、効率は劣化し出力ノイズは大きくなります。実用的な最小のインダクタ値は、臨界導通点(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)で回路が動作する値です。インダクタ値をこれ以上小さくしても、サイズ低減の利点はありません。

MAX1718のパルススキップアルゴリズムは、臨界導通点でスキップモードを開始します。従って、PFM/PWM切換えが発生する負荷電流値も、インダクタ動作点で決まります。最適点は通常リップル電流の20%~50%です。

- 5) インダクタのリップル電流は過渡応答性能に影響します。特に $V_{IN} - V_{OUT}$ の差が小さい時は大きな影響があります。インダクタ値が小さい場合、インダクタ電流のスルーレートが速くなり、急激な負荷ステップによって出力フィルタコンデンサから奪われた電荷を迅速に補給します。出力降下量は、最大デューティ係数(オン時間と最小オフ時間から計算可能)の関数でもあります。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

$$V_{SAG} = \frac{(I_{LOAD1} - I_{LOAD2})^2 \times L \left(K \frac{V_{OUT}}{V_{IN}} + t_{OFF(MIN)} \right)}{2 \times C_{OUT} \times V_{OUT} \left[K \left(\frac{V_{IN} - V_{OUT}}{V_{IN}} \right) - t_{OFF(MIN)} \right]}$$

ここで、 $t_{OFF(MIN)}$ は最小オフ時間(「Electrical Characteristics」を参照)、 K は表2から得られます。

インダクタの選択

インダクタ値は、次に示すようにスイッチング周波数及び動作点(LIRで表されるリップル電流)によって決まります。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} \times f_{SW} \times LIR \times I_{LOAD(MAX)}}$$

例： $I_{LOAD(MAX)} = 19A$ 、 $V_{IN} = 7V$ 、 $V_{OUT} = 1.25V$ 、 $f_{SW} = 300kHz$ 、リップル電流30%($LIR = 0.30$)の場合。

$$L = \frac{1.25V(7V - 1.25V)}{7V \times 300kHz \times 0.30 \times 19A} = 0.60\mu H$$

割当てたスペースに収まる最小のDC抵抗を持つ低損失インダクタを使用して下さい。鉄粉コアは安価で200kHzにおいて良好に動作しますが、通常はフェライトコアが最適です。コアインダクタ値は、ピークインダクタ電流(I_{PEAK})で飽和しないだけの大きさでなければなりません。

$$I_{PEAK} = I_{LOAD(MAX)} + (LIR / 2) I_{LOAD(MAX)}$$

電流リミットの設定

最小電流リミットスレッシュホールドは、電流リミットが最小許容値の時に最大負荷電流に対応できる大きさでなければなりません。インダクタ電流の谷間は、 $I_{LOAD(MAX)}$ からリップル電流の半分を差し引いた時点で発生するため、次のようになります。

$$I_{LIMIT(LOW)} > I_{LOAD(MAX)} - (LIR / 2) I_{LOAD(MAX)}$$

ここで、 $I_{LIMIT(LOW)}$ は、最小電流リミットスレッシュホールド電圧をQ2の $R_{DS(ON)}$ で割った値です。MAX1718の図1の回路の場合、 $V_{ILIM} = 105mV$ の時の最小電流リミットスレッシュホールドは約95mVです。MOSFET Q2のデータシートから $R_{DS(ON)}$ のワーストケースの最大値を選択し、温度上昇と共に $R_{DS(ON)}$ が増えることを計算に入れて、ある程度のマージンを追加して下さい。目安としては、1 温度が上昇する毎に抵抗が0.5%増加すると考えて下さい。

図1の例で、Q2の最大 $R_{DS(ON)} = 3.8m\Omega$ ($T_J = +25$)及び $5.7m\Omega$ ($T_J = +125$)とすると、次式が得られます。

$$I_{LIMIT(LOW)} = 95mV / 5.7m\Omega = 16.7A$$

必要な谷間電流リミットは次式で与えられます。

$$I_{LIMIT(LOW)} > 19A - (0.30 / 2) 19A = 16.2A$$

16.7Aは必要とされる16.2Aよりも大きいため、この回路は完全定格の19Aを供給することができます。

19Aの出力電流を供給している時、Q2のワーストケース電力消費は1.95Wです。熱抵抗を60 /W、各MOSFETの電力消費を0.98Wとすると、MOSFETの温度上昇は60 /W x 0.98W = 58、そして最高室温は+125 - 58 = +67です。これより高い室温で動作させる場合は、 $R_{DS(ON)}$ の低いMOSFETを選ぶか、あるいは熱抵抗を減少させて下さい。電流リミットスレッシュホールドを高くすることにより、MOSFETの接合部温度が高くても動作させることができます。

I_{LIM} を V_{CC} に接続すると、電流リミットスレッシュホールドがデフォルトの100mVになります。スレッシュホールドを可変にするには、REFとGNDの間に抵抗分圧器を接続し、 I_{LIM} をセンタータップに接続して下さい。外部調整範囲0.5V ~ 3.0Vが電流リミットスレッシュホールド50mV ~ 300mVに対応します。電流リミットを調整する時は、電流リミット許容差の誤差が増大するのを防ぐため、公差1%の抵抗を使用し、分圧器の電流は10 μA にして下さい。

出力コンデンサの選択

出力フィルタコンデンサの実効直列抵抗(ESR)は、出力リップル及び負荷過渡条件を満足できる低さでなければなりません。それと同時に安定性の条件を満足できる大きさにする必要があります。又容量値は、OVP回路をトリップすることなく、全負荷から無負荷状態に向かうインダクタエネルギーを吸収できる大きさでなければなりません。

出力が急激な負荷変動にさらされるCPU V_{CORE} コンバータや他のアプリケーションでは、出力コンデンサのサイズは負荷変動による過剰な出力低下を防止するために必要なESRの量に依存します。有限容量による電圧降下を無視すると、次のようになります。

$$RESR \leq V_{STEP} / I_{LOAD(MAX)}$$

実際に必要な容量値(マイクロファラッド)は、低ESRを達成するのに必要な物理サイズ及びコンデンサの種類によって決まります。従って、通常コンデンサは容量値ではなく、ESR仕様及び電圧定格によって選択します(これに該当するのはタンタル、OS-CON、及びその他の電解コンデンサです)。

セラミックやポリマーなどの低容量フィルタコンデンサを使用する場合は、通常、全負荷から無負荷状態に遷移する時に V_{SAG} 及び V_{SOAR} が問題を起こすのを防ぐ

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

のに必要な容量を基にしてコンデンサのサイズを決定します。一般に、オーバシュート条件を満足する容量を一旦追加すれば、負荷の立上がりエッジでのアンダーシュートが問題になることはありません(「設計手順」の V_{SAG} の式を参照)。蓄積されたインダクタエネルギーに起因するオーバシュートの量は次式で表されます。

$$V_{SOAR} \approx \frac{L \times I_{PEAK}^2}{2 \times C \times V_{OUT}}$$

ここで、 I_{PEAK} はピークインダクタ電流です。

出力コンデンサの安定性

安定性は、スイッチング周波数に対するESRゼロの値によって決まります。本データシートの電圧ポジショニング回路は出力コンデンサのESRと直列な外付抵抗によってESRゼロ周波数を低く抑えているため、安定性が保証されます。電圧ポジショニング回路の場合、出力コンデンサの最小ESRの必要条件は電圧ポジショニング抵抗の分だけ低減されます。

不安定性の境界条件は、次式から求めることができます。

$$(R_{ESR} + R_{DROOP}) \times C_{OUT} \geq 1 / (2 \times f_{SW})$$

ここで、 R_{DROOP} は電圧ポジショニング抵抗(図1のR8)の実効値です。良好な位相マージンを得るには、等価RC時間定数を2倍にすることを推奨します。300kHz、 $C_{OUT} = 1320\mu F$ 、 $R_{ESR} = 2.5m\Omega$ 及び $R_{DROOP} = 5m\Omega$ で動作する標準アプリケーション回路(図1)は、この必要条件を十分満たしています。一部のアプリケーションにおいては、 $R_{ESR} = 0$ であっても C_{OUT} と R_{DROOP} の値のみで安定性を保証できます。

安定性を確認する最も簡単な方法は、ゼロから最大への負荷過渡を急速に上げ、出力電圧リップルエンベロープのオーバシュート及びリングングを観察する方法です。最初のステップ応答アンダーシュート又はオーバシュート後は、リングングを1サイクルより多く発生させないで下さい。

入力コンデンサの選択

入力コンデンサは、スイッチング電流に必要なリップル電流条件(次式の I_{RMS})を満足させる必要があります。

$$I_{RMS} = I_{LOAD} \sqrt{\frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}}}$$

バッテリーと直列にスイッチ又はコネクタを備えたシステムにみられる突入サージ電流を防ぐため、殆どのアプリケーションにおいては、非タンタル(セラミック

又はOS-CON)が適切です。MAX1718が2段電力変換機器の第2段として使用されている場合は、タンタルを入力コンデンサとして使用することができます。いずれの場合も、回路の寿命を拡張するため、ピークリップル電流における温度上昇が+10 以下の入力コンデンサを選んで下さい。

パワー-MOSFETの選択

ここで示すMOSFETガイドラインは、高電圧(20V以上)ACアダプタを使用した時に高負荷電流能力(12A以上)を得ることを目的としています。低電流アプリケーションでは、通常これ程厳密ではありません。

ハイサイドMOSFETは、 $V_{IN(MIN)}$ と $V_{IN(MAX)}$ の両方において抵抗性損失とスイッチング損失を放熱できる能力を持っていなければなりません。これらの総和を両方とも計算して下さい。 $V_{IN(MIN)}$ における損失と $V_{IN(MAX)}$ における損失がだいたい等しく、これよりも中間の損失の方が小さい状態が理想的です。 $V_{IN(MIN)}$ における損失が $V_{IN(MAX)}$ における損失よりも大幅に大きい時は、Q1のサイズを大きくすることを考慮して下さい。逆に、 $V_{IN(MIN)}$ における損失が $V_{IN(MAX)}$ における損失よりも大幅に小さい時は、Q1のサイズを小さくすることを考慮して下さい。 V_{IN} が広い範囲で変化しない時は、抵抗性損失とスイッチング損失が等しい時に電力消費が最小になります。

ローサイドMOSFET(Q2)には、 $R_{DS(ON)}$ が最小で、中型パッケージ(2つ以上のSO-8、DPAK、D²PAK等)で提供され妥当な価格のものを選択します。MAX1718のDLゲートドライバがQ2を駆動できることを確認して下さい。つまり、Q1のターンオンに起因する dv/dt ドレイン・ゲート間容量を通じてQ2のゲートをプルアップするクロスコンダクションを引き起こさないことを確認して下さい。バックトポロジーにおいてはゼロ電圧でスイッチングされるため、MOSFETの方にはスイッチング損失の問題はありません。

MOSFETの電力消費

抵抗に起因するハイサイドMOSFETの電力消費は次式で表されます。

$$PD(Q1抵抗性) = \frac{V_{OUT}}{V_{IN}} \times I_{LOAD}^2 \times R_{DS(ON)}$$

一般に、高い入力電圧でスイッチング損失を低減するには、小さなハイサイドMOSFETが最適です。但し、多くの場合はパッケージ電力消費リミットによって $R_{DS(ON)}$ が決まり、それがMOSFETの小型化を制限してしまいます。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

ハイサイドMOSFETのスイッチング損失は、最大ACアダプタ電圧が印加された時に深刻な熱の問題を起すことがあります。これは $C \times V^2 \times f_{SW}$ スイッチング損失の式の二乗項が原因です。低バッテリー電圧で十分な $R_{DS(ON)}$ が得られるように選択したハイサイドMOSFETが、 $V_{IN(MAX)}$ によって極端に熱くなる場合は、MOSFETの選択を再考して下さい。

ターンオン時間とターンオフ時間を左右する要因は数量化が難しいため、スイッチング損失によるハイサイドMOSFET(Q1)の電力消費を計算するのは困難です。これらの要因としては、内部ゲート抵抗、ゲートチャージ、スレッシュホールド電圧、ソースインダクタンス、及びプリント基板のレイアウト特性があります。次に示すスイッチング損失の計算式は概算であって、ブレッドボード評価及び温度測定に代わるものではありません。

$$PD(Q1 \text{ スwitching}) = \frac{C_{RSS} \times V_{IN(MAX)}^2 \times f_{SW} \times I_{LOAD}}{I_{GATE}}$$

ここで、 C_{RSS} はQ1の逆伝達容量、 I_{GATE} はピークゲート駆動ソース/シンク電流(2A typ)です。

ローサイドMOSFET(Q2)に関しては、次に示すように常に最大入力電圧で電力消費が最悪になります。

$$PD(Q2) = \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right) I_{LOAD}^2 \times R_{DS(ON)}$$

Q1とQ2の両方について、素子のパッケージと熱環境から見て現実的に達成できる熱抵抗とMOSFETの最大ジャンクション温度を考慮することにより、過熱を防いで下さい。

最悪のMOSFET電力消費が発生するのは、 $I_{LOAD(MAX)}$ を超えている一方で、電流リミットを超えてフォルトラッチをトリップする程大きくはない重負荷がかかっている場合です。これに対する保護対策として、次式の I_{LOAD} に耐えるように回路を設計して下さい。

$$I_{LOAD} = I_{LIMIT(HIGH)} + (LIR / 2) \times I_{LOAD(MAX)}$$

ここで、 $I_{LIMIT(HIGH)}$ はスレッシュホールド公差及びオン抵抗変動を含め、電流リミット回路に許される最大谷間電流を示します。これは、MOSFETのヒートシンクの性能が極めて重要であることを意味します。過負荷保護なしの短絡保護だけで十分な場合は、部品ストレスの計算に通常の I_{LOAD} を用いることができます。

デッドタイム中にQ2のMOSFETボディダイオードがオンになるのを防止するには、順方向電圧が十分低いショットキダイオードD1を選択して下さい。原則として、DC電流定格が負荷電流の1/3に等しいダイオードで十分です。このダイオードはオプションです。効率が重要でない場合は省略して構いません。

アプリケーション情報

電圧ポジショニング

最新のモバイルプロセッサの電源において、コスト、サイズ及び電力消費を低減するには、新しい技術が必要とします。電圧ポジショニングにより、過渡応答必要条件を満たすために必要な出力コンデンサの総数を減らすことができます。無負荷出力電圧を高めに設定することにより、出力電流が突然増加した時に許容されるステップダウンが大きくなります。また、負荷がある時に低めの出力電圧で安定化することにより、出力電流が突然減少した時に許容されるステップアップが大きくなります。大きいステップサイズが許容されるということは、出力容量の減少、コンデンサのESR値の増加が可能であることを表します。

直列の出力抵抗を付加すると、完全負荷時の出力電圧が実際のDAC設定電圧よりも低くなります。FBを、電圧ポジショニング抵抗のインダクタ側に直接接続して下さい(R8、4mΩ)。電圧ポジショニング抵抗のもう一方の端は、短く広い基板トレースで出力フィルタコンデンサに直接接続して下さい。完全負荷電流が20Aの時、R8による電圧降下は80mVです。この80mVは-6.4%の落ち込みになります。

電圧ポジショニングのもう一つの利点は負荷電流が大きい時の消費電力が減少することです。負荷がある時に出力電圧が小さくなるため、CPUの消費電流が小さくなります。このため、ある程度余分の電力がR8で消費されますが、CPUの電力消費は小さくなります。

公称1.25V、20A出力の時、出力電圧を6.4%減少させると、出力電圧が1.17V、出力電流が18.7Aになります。これらの値から計算すると、CPUの消費電力は25Wから21.9Wに減少します。R8による消費電力の増加分は、

$$4m\Omega \times 18.7A^2 = 1.4W$$

全体的な電力節約量は次のようになります。

$$25 - (21.9 + 1.4) = 1.7W$$

実際にはCPU電力消費が3W節約され、節約分の一部が電源で消費されます。しかし、正味の節約分があること及び発熱場所をCPUから遠ざけるという両方の意味で利点となります。

低電力消費電圧ポジショニング

電圧ポジショニングの主な利点は、特に重負荷時の電力消費が低下することです。標準アプリケーション回路(図1)においては、ドループ抵抗(R8)を使用することによって電圧ポジショニングを達成しています(この抵抗の電力消費は1W以上になることがあります)。プロセッサにおける電力節約量に比べると、抵抗における電力消費は少なくなっていますが、1Wという電力消費は理想的とは言えません。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

この抵抗が必要な理由は、抵抗全体にわたって全ポジショニング電圧を下げるためではありません。正確な電圧ポジショニングには正確な電流検出素子が必要なためです。図15の回路は外部オペアンプを使ってR8の電圧信号に利得を追加することで、抵抗値及び電力消費を利得で割ることができます。

推奨される利得範囲は約4までです。実際には1.5~3が好適です。利得の増加にはマイナス面も伴います。利得を高くすると、検出抵抗の値が非常に小さくなります(1mΩ以下)。検出信号も小さくなるため、ノイズと安定性の問題が生じます。出力電圧とポジショニングの精度も重要です。検出信号が小さい場合は精度が下がり、オペアンプの入力電圧オフセットは利得が増えるとともに増加します。

オペアンプの出力がFBを直接駆動します。安定性を保証するため、出力電圧リップルとR8の両端のリップル信号が高い忠実度で供給されなければなりません。リップル信号の高次の高調波を保つため、回路の帯域幅はスイッチング周波数のほぼ10倍にして下さい。

電力消費を低減する他にも、利得段にはもう1つの利点があります。それは、様々な値のR8値を使用することで、必要なポジショニングスローブを容易に提供することができるということです。値の小さな抵抗を使って利得を調整することにより、希望のスローブを得ることができます。最終的なプリント基板が評価されるまで最適なスローブ値がわからない場合もあります。従って、プロセッサピンで正しい電圧スローブが得られるように(電源及びグランド経路の実際の銅損失に応じて)最終的な利得を調整して下さい。銅損失は温度によって変動し、プリント基板の生産ロットによっても異なるため、上記の方法でも銅損失を最小限に抑えることはできません。但し実際には、この利得調整により予想される標準的な電圧降下に十分対応することができます。

ドループ抵抗を値の小さな抵抗と利得段に置き換えても、MAX1718の安定性の基準には影響しません。必要な正確な信号が保持される限り、MAX1718にはこれらの区別がつきません。R8の実効値を使用することで、ESRが極めて小さな(セラミック)出力コンデンサを使用した場合の安定性を保証することができます(「出力コンデンサの安定性の考慮」を参照)。実効値とは、MAX1718のFBピンに同じ信号を供給する抵抗値、すなわちR8にオペアンプ回路の利得をかけた値です。

入力ノイズを減らすため、オペアンプをR8の近くに配置して下さい。他のノイズを減らすため、オペアンプの電源はMAX1718のV_{CC}電源とアナロググランドから供給して下さい。

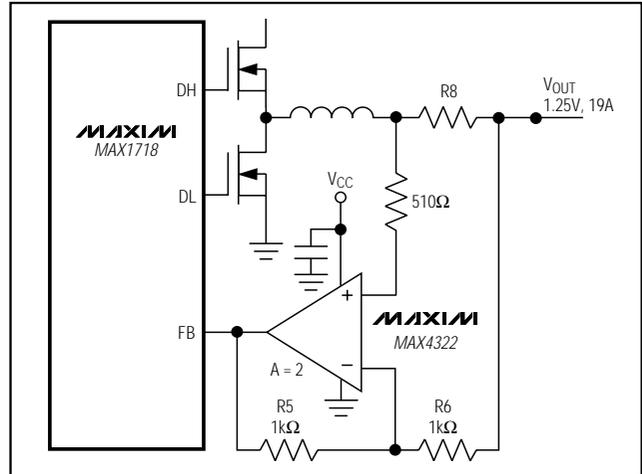


図15. 電圧ポジショニングの電力消費の低減

高精度電流リミット

MAX1718の高精度電流リミットは、同期整流器のR_{DS(ON)}を電流検出素子として使用します。このように温度変化の大きな、仕様がよく定まっていない抵抗に依存するという事は、この高精度電流リミットは主に大きな過負荷又は短絡用に使用されるということの意味します。中程度の過負荷であれば、無制限に許容されます。この方法が許容されるのは、過負荷を検出して適切な対策を講じる手段が外にもあるためです。例えば、CPUに過剰な電流が流れている場合(しかし電流リミットが作動するほど大きくはない場合)、CPUの温度が上がり、やがてはシステムがそれを検出してシャットダウンします。

この方法は通常は許容されますが、最適とはいえません。電流リミットが不正確であれば、インダクタ飽和定格、MOSFETピーク電流条件及び電力消費条件など、部品の仕様が決めにくくなります。電流リミットが正確であれば、こうした問題に対応しやすくなります。図16の回路は電圧ポジショニング抵抗(R8)と外部オペアンプを使用して正確なインダクタ電流リミットを実現しています。

R8の正側からの分圧器により、出力よりも数mV低いスレッシュホールドが設定されます。R8の両端の電圧降下がこのスレッシュホールドを超えると、電流制限が起こります。オペアンプは、ILIMピンの電圧を低くすることによって電流を制限します。これにより、ICの内部電流リミット回路(MOSFETのR_{DS(ON)}を使用)の電流リミットスレッシュホールドが低くなります。このオペアンプの出力スイングにより、ICの内部谷間電流リミットを(MOSFETのR_{DS(ON)}からみて)必要な大きさよりもずっと大きなレベルから、公称負荷をサポートするために必要な電流よりもずっと小さなレベルまで調整することができます。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

ILIMピンの帯域幅はあまり高くないため、オペアンプの速度はそれほど重要ではありません。入力オフセットによって電流リミット精度がひどく悪化せず、入力同相範囲がグラウンドまで届いていて、レイルトゥレイル®出力スイングを備えているという条件さえ満たせば、任意のオペアンプ又はコンパレータが使用できます。帯域幅が低いため、この回路はピークや谷間電流ではなく平均インダクタ電流にตอบสนองします。このため、電流リミットはインダクタのリプル電流に依存しません。

フの字電流リミットと同様、スタートアップを保証するためには回路設計に注意が必要です。オペアンプが電流リミットをゼロに設定することのないようにし、電源がスタートできないという問題が発生しないようにする必要があります。REF、グラウンド、及びオペアンプの出力の間の3方向分圧器により、MAX1718の内部電流リミットスレッシュホールドは21mV(電流を極端に制限)から182mV(最大必要出力電流を保証するのに十分なレベルより上)まで変化させることができます。これらの分圧器抵抗には必要な電流と同期整流器の $R_{RD(ON)}$ を計算に入れ、オペアンプの調整範囲が必要な出力電流を保証するのに十分な大きさのものを選択して下さい。ILIMピンにおける電圧は次式で与えられます。

$$V_{ILIM} = \frac{[(R12 \times R13 \times V_{REF}) + (R13 \times R14 \times V_{COMP})]}{[(R12 \times R14) + (R12 \times R13) + (R13 \times R14)]}$$

ここで、 V_{COMP} はコンパレータの出力における電圧です。 V_{COMP} がコンパレータの V_{OL} である時に V_{ILIM} が最小になります。最小 V_{CC} において $V_{COMP} = V_{OH}$ の時に V_{ILIM} が最大になります。谷間電流リミットスレッシュホールドは電圧 V_{ILIM} の10%に設定されます。C13は、ILIM入力における時間定数が約10 μ sになるように選んで下さい。

オペアンプが実際に電流を制限し始めるスレッシュホールドはR8及びR10/R11分圧器の値で決まり、簡単に設定することができます。理想的には $I_{OUT(MAX)} \times R8 = V_{FB} \times R10 / (R10 + R11)$ となりますが、実際は抵抗の精度、オペアンプの入力オフセット及び一般的な安全性を考慮して、ある程度のマージンを追加する必要があります。図のオペアンプと $\pm 1\%$ 抵抗を使用した場合は10%のマージンがあれば十分です。

この回路のもう1つの利点は、電流リミット値が出力電圧設定(V_{FB})に比例するという事です。出力電圧設定が低くなると、電流リミットが自動的に適切なレベルに調整され、性能を犠牲にせずに保護を強化することができます。これは、必要な負荷電流の減少が出力電圧設定の減少よりも大きいからです。場合によっては、出力コンデンサをスルーするために必要な電流が大きいため、負荷をサポートするのに必要なレベルを超えて電流リミットを増やさなければならないことがあります。

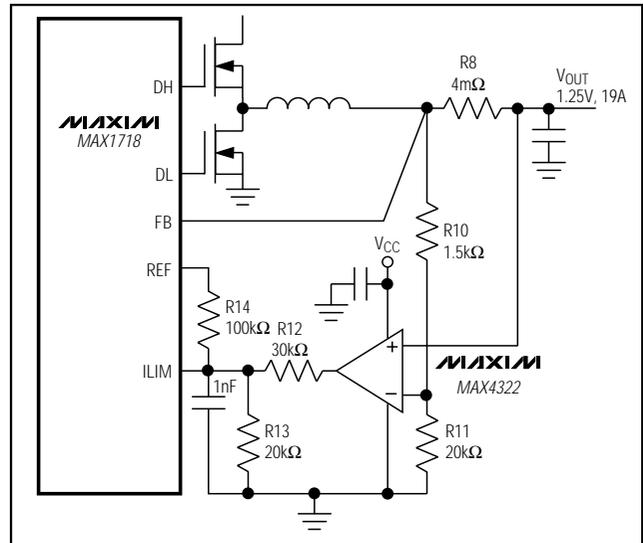


図16. 改善された電流リミットの精度

この回路は図15の回路と完全にコンパチブルです。これら2つの回路を一緒に使用する場合は、 μ MAXパッケージのMAX4326デュアルオペアンプで2つの単一の素子を置き換えることによりスペースとコストを削減することができます。両方を使用する場合、R8の値が減少するため、オペアンプの入力オフセットがさらに重要になります。R8が大幅に減少する場合は、マージンを追加する必要があります。

入力ノイズを減らすため、オペアンプをR8の近くに配置して下さい。他のノイズを減らすため、オペアンプの電源はMAX1718の V_{CC} 電源とアナロググラウンドから供給して下さい。

サスペンド中のスキップモードの使用($SKP/\overline{SDN} = V_{CC}$)

MAX1718の使用を想定したアプリケーションでは、どのアクティブCPUモードでも最小出力電流が大きすぎるため、パルススキップモードにする利点がありません。さらに、スキップモードは出力電圧を下方に遷移する時に邪魔になることがあります(「強制PWMモード」を参照)。但し、プロセッサのサスペンド電流は小さいため、スキップモードによる利益が十分得られる場合があります。

図17の回路において、 SKP/\overline{SDN} はサスペンド及びシャットダウンを除く全ての状態において2Vにバイアスされます。さらに、サスペンド(SUSがハイ)に入る時も、このピンは約200 μ sの間2Vに維持されてからハイになります。

図17の回路において、 SKP/\overline{SDN} はサスペンド及びシャットダウンを除く全ての状態において2Vにバイアスされます。さらに、サスペンド(SUSがハイ)に入る時も、

レイルトゥレイルは日本モトローラの登録商標です。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

このピンは約200 μ sの間2Vに維持されてからハイになります。これにより、MAX1718はサスペンド状態電圧への負方向の出力電圧遷移を適正に完了するのに十分な時間PWMモードに留まります。SKP/SDNがハイになると、MAX1718は低自己消費電流のスキップモードになります。

ドロップアウト性能

連続導通動作の出力電圧調整範囲は固定500ns(max)の最小オフ時間単安定マルチバイブレータ(1000kHzにおいて375ns max)によって制限されています。最良のドロップアウト性能を得るためには、オン時間設定の遅いもの(200kHz)を使って下さい。低入力電圧における動作時は、オン時間及びオフ時間として最悪の値を使ってデューティ係数リミットを計算する必要があります。製造公差及び内部伝播遅延は、TON Kファクタに誤差を発生させます。この誤差は、周波数が高い程大きくなります(表2)。又、ドロップアウト付近で動作させた時のバックレギュレータの過渡応答性能は低く、一般的にはバルク出力容量の追加が必要になります(「設計手順」の項のV_{SAG}式を参照)。

絶対的なドロップアウト点は、インダクタ電流がオン時間に直線的に増加する(I_{UP})のと同じだけ最小オフ時間の間に直線的に減少する(I_{DOWN})時です。比h = I_{UP}/I_{DOWN}は、負荷の増加にตอบสนองしてインダクタ電流を増加させる能力の指標です。この値は常に1を超えていなければなりません。hが1(絶対最小ドロップアウト点)に近づくにつれて、インダクタ電流が各スイッチングサイクルで増加しにくくなり、出力容量を追加しない限りV_{SAG}が著しく増加します。

hの最小値として妥当なのは1.5ですが、これを上下に調整することにより、V_{SAG}、出力容量及び最小動作電圧の間の妥協点を求めることができます。hの値が与えられている時の最小動作電圧は次式で表されます。

$$V_{IN(MIN)} = \frac{(V_{OUT} + V_{DROP1})}{1 - \left(\frac{T_{OFF(MIN)} \times h}{K} \right)} + V_{DROP2} - V_{DROP1}$$

ここで、V_{DROP1}及びV_{DROP2}はそれぞれ放電及び充電経路における寄生電圧降下(「オン時間単安定マルチバイブレータ(TON)」を参照)、T_{OFF(MIN)}は「Electrical Characteristics」の表から、Kは表2から得ています。絶対最小入力電圧はh = 1で計算されています。

V_{IN(MIN)}の計算値が、必要な最小入力電圧よりも大きい場合は、動作周波数を低減するか、あるいは許容されるV_{SAG}を得るために出力容量を追加して下さい。ドロップアウト付近の動作が予想される場合は、適切な過渡応答を保証できるV_{SAG}値を選択して下さい。

ドロップアウト設計例：

$$V_{OUT} = 1.6V$$

$$f_{sw} = 550kHz$$

$$K = 1.8\mu s, \text{ worst-case } K = 1.58\mu s$$

$$T_{OFF(MIN)} = 500ns$$

$$V_{DROP1} = V_{DROP2} = 100mV$$

$$h = 1.5$$

$$V_{IN(MIN)} = (1.6V + 0.1V) / (1 - 0.5\mu s \cdot 1.5 / 1.58\mu s) + 0.1V - 0.1V = 3.2V$$

h = 1で計算すると、ドロップアウトの絶対リミットが得られます。

$$V_{IN(MIN)} = (1.6V + 0.1V) / (1 - 1.0 \times 0.5\mu s / 1.58\mu s) - 0.1V + 0.1V = 2.5V$$

従って、極めて大きな出力容量を使用した場合でもV_{IN}は2.5Vより大きくなければなりません。適切な出力容量を使用した場合の実用的な入力電圧は3.2Vです。

抵抗分圧器によるV_{OUT}の調整

出力電圧は、DACではなく、抵抗分圧器を使用して調整することも可能です(図18)。この方法の欠点は、出力電圧レベルが変化する時にオン時間が自動的に適正な補償を受けられないということです。このため、抵抗比が変更される度にスイッチング周波数が変化する、スイッチング周波数が過剰になるなどの現象が発生します。出力電圧は次式に従って調整されます。

$$V_{OUT} = V_{FB} \left(1 + \frac{R_1}{R_2} \right)$$

ここで、V_{FB}はその時選択されているDAC値です。抵抗調整式の回路においては、スイッチング周波数のシフトを最小限に抑えるため、DACコードをできるだけ実際の出力電圧に近づけて設定して下さい。

1段(バッテリー入力)対 2段(5V入力)アプリケーション

MAX1718は直接バッテリー接続で使用すること(1段)もできますし、あるいは安定化5V電源で駆動すること(2段)もできます。それぞれに利点がありますので、最終的な設計を選ぶ時には注意深い考慮が必要です。

1段法は5V電源への要求条件が軽減されるため、全インダクタサイズが小さくなり、コンデンサの数が少なくなります。また、1段法はインダクタ電流を速く増加させることができるため、過渡応答が改善されます。1段法の全効率は2段法よりも優れています。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

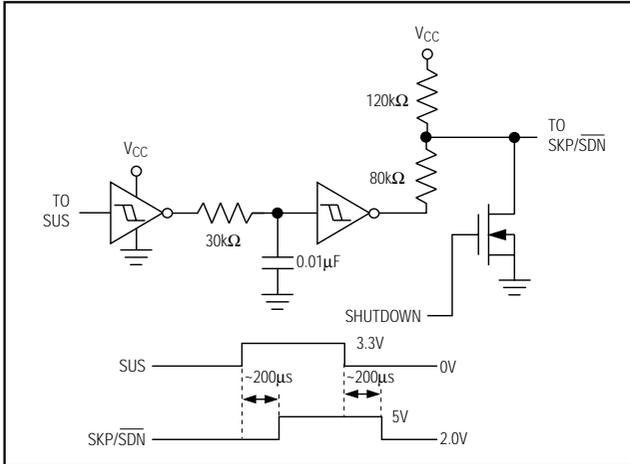


図17. サスペンド中(SKP/SDN = V_{CC})にスキップモードを使用

2段法は、回路サイズが小さく、局所的な電力消費が小さいため、柔軟な配置が可能です。すなわち、電源をCPUの近くに配置することによりレギュレーションを改善すると共にプリント基板トレースによるI²R損失を低減することができます。2段設計は1段設計よりも過渡応答が遅くなりますが、電圧ポジショニングコンバータの使用によってこれを相殺することが可能です。

セラミック出力コンデンサアプリケーション

セラミックコンデンサには長所と短所があります。これらはESRが非常に低く、非燃焼性で、比較的小型であるうえ無極性です。この反面、高価でもろく、超低ESR特性によってESRゼロ周波数が異常に高くなる場合があります(これにより、非電圧ポジショニング回路の安定性に悪影響が出ます)。さらに、容量が比較的小さいため、小さなインダクタ値を使用するか(高スイッチング周波数)あるいはバルクのタンタル又は電解コンデンサを並列に接続してインダクタに溜まったエネルギーを吸収させなければ、急に全負荷から無負荷状態に遷移した時に出力オーバershootが発生することもあります。場合によっては、電解コンデンサ用のスペースがないこともあり、セラミックのみを使用するDC-DC設計が必要になります。

MAX1718は電圧ポジショニング回路においてセラミック出力コンデンサのサイズと低ESR性をフルに活かすことができます。ポジショニング抵抗の付加によってFBにおけるリップルが増加するため、セラミック出力コンデンサの実効ESRゼロ周波数が低くなります。

最小出力容量条件は出力オーバershoot(V_{SOAR})によって決まります(「出力コンデンサの選択」を参照)。負荷ステップの回復時にインダクタからコンデンサに伝送されるエネルギーを最小にするため、スイッチング

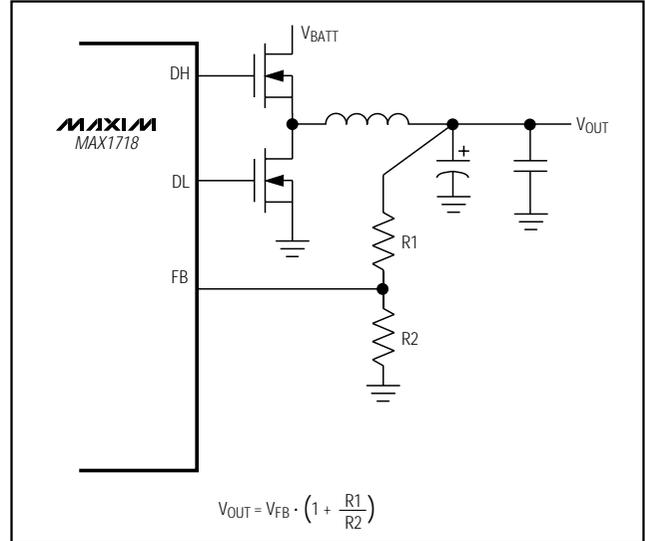


図18. V_{OUT}を抵抗分圧器で調整

周波数を550kHz又は1000kHzに増加させ、インダクタ値を下げる場合がよくあります。300kHz電圧ポジショニング回路と比較した時、550kHz動作の場合の効率低下は2~3%、1000kHz動作の場合は5%程度です。この効率低下の主な原因はハイサイドMOSFETのスイッチング損失です。

プリント基板レイアウトのガイドライン

低スイッチング損失及びクリーンで安定した動作を達成するには、プリント基板のレイアウトに注意が必要です。特に、スイッチング電力段には細心の注意が必要です(図19)。できるだけ全ての電力部品をボードの上面に実装し、グランド端子が互いにぴったり接触するようにします。良好なプリント基板レイアウトを達成するには、次のガイドラインに従って下さい。

- 1) 大電流経路は短くします(特にグランド端子部)。これは、ジッタのない安定した動作を得る上で重要です。
- 2) 全てのアナロググランドを隙間のない銅面に接続し、その銅面をMAX1718のGNDピンに接続して下さい。これにはV_{CC}、REF及びCCコンデンサ、TIME抵抗及び他の抵抗分圧器が含まれます。
- 3) 電源トレース及び負荷接続は短くして下さい。これは、高効率を達成する上で重要です。厚い銅のプリント基板(2オンス対1オンス)を使用すると、全負荷時の効率が1%以上向上します。プリント基板のトレースの配線はミリメートル単位の違いを考慮しなければならないため、容易な作業ではありません。トレース抵抗が1ミリオーム大きくなると、効率の低下が測定値に現れます。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

- 4) 電流リミットの精度を保証するため、電流リミット用のLX及びGNDからQ2への接続にはケルビン検出接続を使用する必要があります。SO-8 MOSFETの場合、これを実現する最良の方法は上面の銅層を使用して外側からMOSFETに電源を供給し、GNDとLXをSO-8パッケージの内側(下側)から接続することです。
- 5) トレース長に妥協が必要な場合は、インダクタ放電経路よりも充電経路の方を長くします。例えば、インダクタとローサイドMOSFETの間又はインダクタと出力フィルタコンデンサの間よりも、入力コンデンサとハイサイドMOSFETの間の経路を長くして下さい。
- 6) 出力からFBへは、短い直線で接続して下さい。電圧ポジショニング回路においては、FB接続はインダクタとポジショニング抵抗の接合部にあります。
- 7) 高速スイッチングノードは敏感なアナログ領域(CC、REF、ILIM)から遠ざけて下さい。全てのピンストラップ制御入力(SKP/SDN、ILIMなど)は、パワーグラウンドか V_{DD} ではなく、アナロググラウンドか V_{CC} に接続して下さい。
- 5) 出力パワープレーン(V_{CORE} 及びシステムグラウンドプレーン)を、複数ビアで出力フィルタコンデンサの正及び負端子に直接接続します。DC-DCコンバータ回路全体を、可能な限りCPUの近くに配置して下さい。

チップ情報

TRANSISTOR COUNT: 7190

レイアウト手順

- 1) グラウンド端子(Q2ソース、CIN-、COUT-、D1アノード)を隣接させ、電力部品を先に配置します。これらの接続はできるだけ最上層の隙間のない広い銅領域で行います。
- 2) コントローラICをMOSFET Q2の隣りに配置します(LX-GND電流検出ラインとDL駆動ラインを短く、広くするため、裏面のQ2の反対側が好適)。DLゲートトレースは、短く太く(10~20)する必要があります(MOSFETがコントローラICから2.5cm離れている場合は、幅50~100ミル)。
- 3) ゲート駆動部品(BSTダイオード及びコンデンサ、 V_{DD} バイパスコンデンサ)は、コントローラICの近くでひとまとめにします。
- 4) DC-DCコントローラのグラウンド接続は図19のようにします。この図には、全ての大電力部品が集まる出力グラウンド、GNDピン及び V_{DD} バイパスコンデンサ用のGNDプレーン、及び敏感なアナログ部品用のアナロググラウンドプレーンの3つのグラウンドプレーンが存在します。アナロググラウンドプレーン及びGNDプレーンは、ICの真下の一点においてだけ接続するようにして下さい。その後、これら2つのプレーンは、GNDからローサイドMOSFETのQ2(星型グラウンドの中央)への短い接続で、大電力出力グラウンドに接続します。又、この点は、出力コンデンサのグラウンド端子にできるだけ近づけて下さい。

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

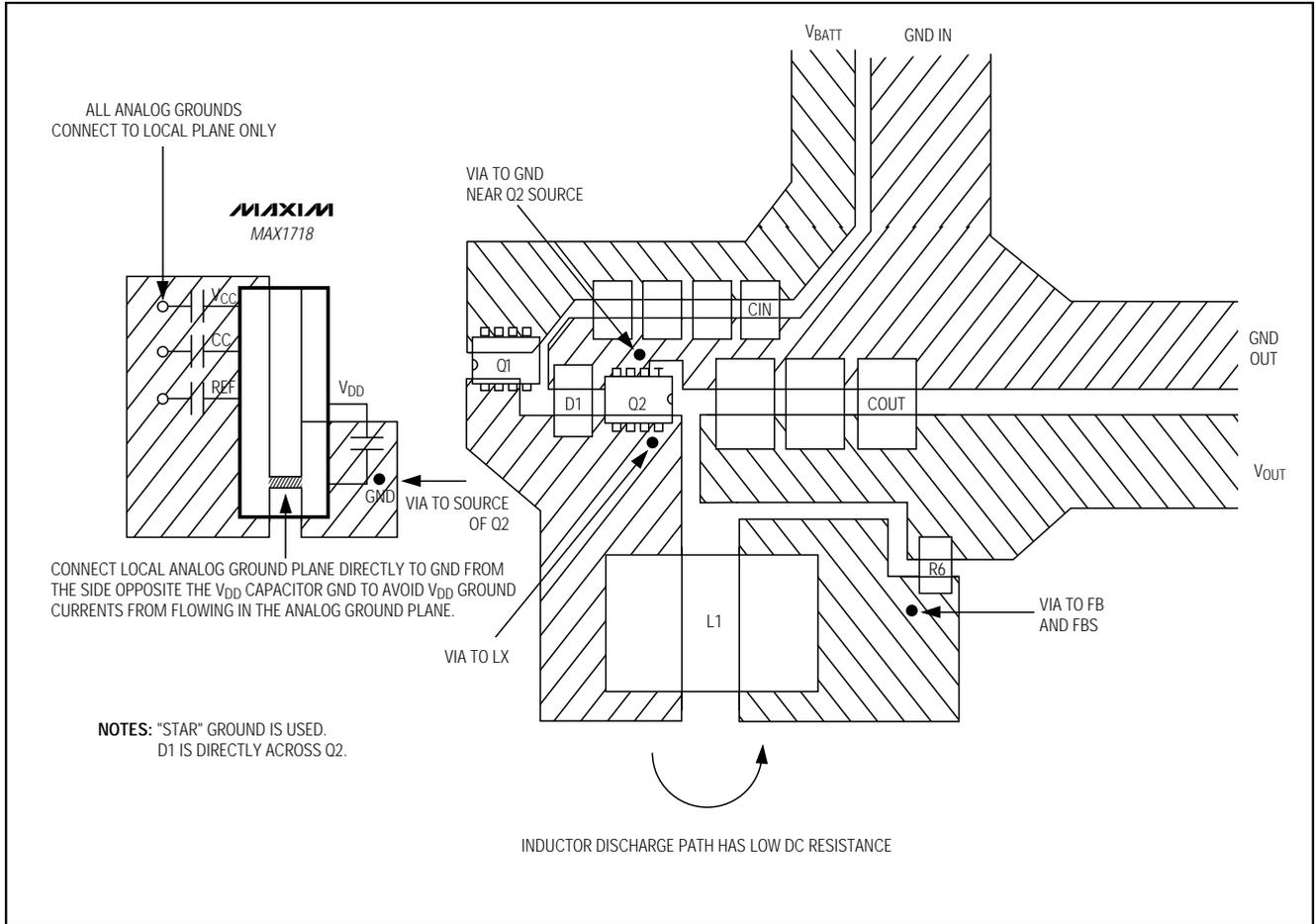
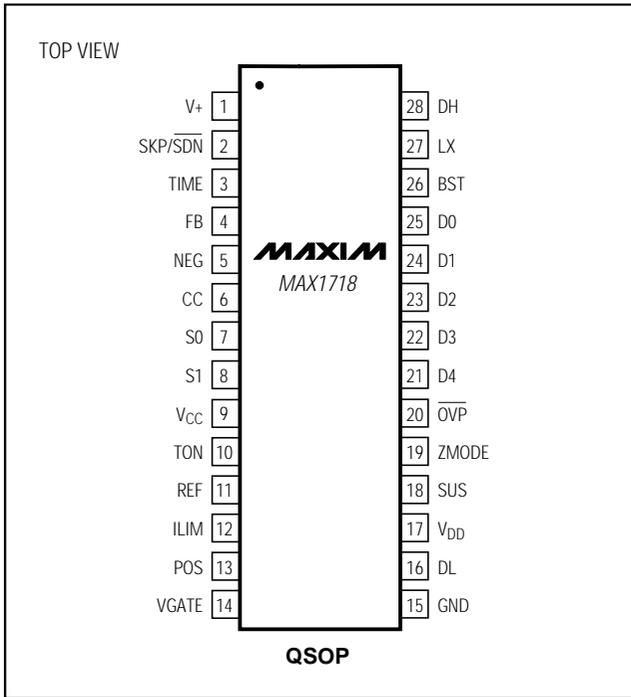


図19. 電源段のプリント基板レイアウト例

インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

MAX1718

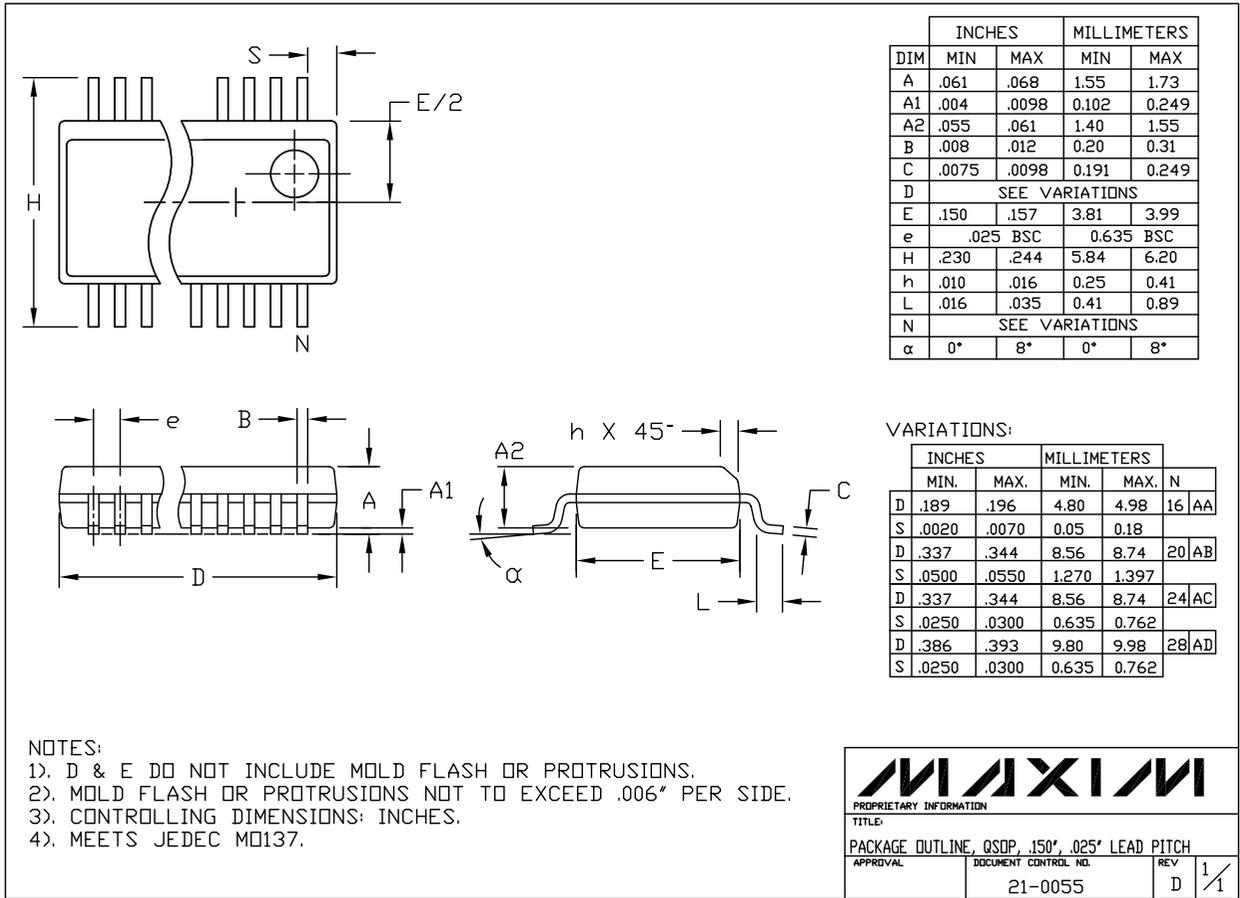
ピン配置



インテルモバイル電圧ポジショニング(IMVP-II)用 ノートブックCPUステップダウンコントローラ

パッケージ

MAX1718



Note: The MAX1718 does not have a heat slug.

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

35 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600