

10ビット、105Msps、 シングル+3.3V、低電力ADC、内部リファレンス付

概要

MAX1449は、+3.3V、10ビットのアナログデジタルコンバータ(ADC)です。この製品は、完全差動入力、広帯域トラックアンドホールド(T/H)付パイプライン10段ADC構造、及び完全差動信号経路を取り入れたデジタルエラー補正を特長としています。このADCは、画像処理やデジタル通信アプリケーションにおいて低電力、高ダイナミック性能を発揮するよう最適化されています。+2.7V~+3.6Vの単一電源で動作し、消費電力は僅か186mWですが、20MHzの入力周波数で58.5dB(typ)の信号対ノイズ比(SNR)を実現しています。完全差動入力段は-3dB帯域幅が400MHzで、シングルエンド入力でも動作させることもできます。低消費電力に加えて、MAX1449はアイドル期間用の5 μ Aパワーダウンモードも備えています。

ADCのフルスケール範囲の設定には、内部の+2.048V高精度バンドギャップリファレンスを使用します。リファレンス構造がフレキシブルであるため、高精度又は異なる入力電圧範囲を必要とするアプリケーションに対して、バッファ付、直接又は外部リファレンスを選ぶことができます。

MAX1449には、低速のピンコンパチブルバージョンも用意されています。40Mspsバージョンに関してはMAX1444のデータシート、60Mspsバージョンに関してはMAX1446のデータシート、80Mspsバージョンに関してはMAX1448のデータシートを参照して下さい。

MAX1449はパラレル、オフセットバイナリ、CMOSコンパチブルのスリーステート出力を備えています。これらは+1.7V~+3.6Vで動作が可能のため、インタフェースがフレキシブルになっています。本デバイスは5mm \times 5mmの32ピンTQFPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)のものが用意されています。

アプリケーション

- 超音波画像処理
- CCD画像処理
- ベースバンド及びIF数値化
- デジタルセットトップボックス
- ビデオ数値化アプリケーション

ピン配置はデータシートの最後に記載されています。

特長

- ◆ 単一電源動作：+3.3V
- ◆ 優れたダイナミック性能:
 - SNR：58.5dB(fIN = 20MHz)
 - SFDR：72dBc(fIN = 20MHz)
- ◆ 低電力:
 - 62mA(通常動作)
 - 5 μ A(シャットダウンモード)
- ◆ 完全差動アナログ入力
- ◆ 広差動入力電圧範囲：2VP-P
- ◆ -3dB入力帯域幅：400MHz
- ◆ 内蔵+2.048V高精度バンドギャップリファレンス
- ◆ CMOSコンパチブルなスリーステート出力
- ◆ パッケージ：32ピンTQFP
- ◆ 評価キットあり

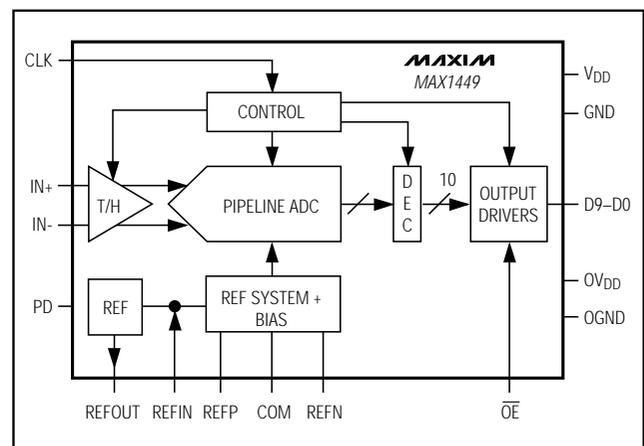
型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1449EHJ	-40°C to +85°C	32 TQFP

ピンコンパチブル、 低速選択表

PART NUMBER	SAMPLING SPEED
MAX1444	40Msps
MAX1446	60Msps
MAX1448	80Msps

ファンクションダイアグラム



10ビット、105Msps、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

ABSOLUTE MAXIMUM RATINGS

V _{DD} , OV _{DD} to GND	-0.3V to +3.6V
OGND to GND	-0.3V to +0.3V
IN+, IN- to GND	-0.3V to V _{DD}
REFIN, REFOUT, REFP, REFN, and COM to GND	-0.3V to (V _{DD} + 0.3V)
OE, PD, CLK to GND	-0.3V to (V _{DD} + 0.3V)
D9-D0 to GND	-0.3V to (OV _{DD} + 0.3V)

Continuous Power Dissipation (T _A = +70°C)	
32-Pin TQFP (derate 11.1mW/°C above +70°C)	889mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +3.3V, OV_{DD} = +2.0V; 0.1μF and 1.0μF capacitors from REFP, REFN, and COM to GND; V_{REFIN} = +2.048V, REFOUT connected to REFIN through a 10kΩ resistor, V_{IN} = 2Vp-p (differential with respect to COM), C_L ≈ 10pF at digital outputs, f_{CLK} = 105MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DC ACCURACY						
Resolution			10			Bits
Integral Nonlinearity	INL	f _{IN} = 7.5MHz		±0.75	±2.4	LSB
Differential Nonlinearity	DNL	f _{IN} = 7.5MHz, no missing codes guaranteed		±0.5	±1.0	LSB
Offset Error				< ±1	±1.7	% FS
Gain Error				0	±2	% FS
ANALOG INPUT						
Input Differential Range	V _{DIFF}	Differential or single-ended inputs		±1.0		V
Common-Mode Voltage Range	V _{COM}			V _{DD} /2 ±0.5		V
Input Resistance	R _{IN}	Switched capacitor load		20		kΩ
Input Capacitance	C _{IN}			5		pF
CONVERSION RATE						
Maximum Clock Frequency	f _{CLK}		105			MHz
Data Latency				5.5		Cycles
DYNAMIC CHARACTERISTICS (f _{CLK} = 105.26MHz, 4096-point FFT)						
Signal-To-Noise Ratio (Note 1)	SNR	f _{IN} = 7.5MHz	56.3	58.5		dB
		f _{IN} = 20MHz	55.8	58.5		
		f _{IN} = 50MHz		58		
Signal-To-Noise And Distortion (Up to 5 th Harmonic) (Note 1)	SINAD	f _{IN} = 7.5MHz	55.3	58.2		dB
		f _{IN} = 20MHz	55.1	58.1		
		f _{IN} = 50MHz		57.6		
Spurious-Free Dynamic Range (Note 1)	SFDR	f _{IN} = 7.5MHz	61	72		dBc
		f _{IN} = 20MHz, T _A = +25°C	63	72		
		f _{IN} = 50MHz		70		

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$; 0.1 μ F and 1.0 μ F capacitors from REFP, REFN, and COM to GND; $V_{REFIN} = +2.048V$, REFOUT connected to REFIN through a 10k Ω resistor, $V_{IN} = 2Vp-p$ (differential with respect to COM), $C_L \approx 10pF$ at digital outputs, $f_{CLK} = 105MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Third-Harmonic Distortion (Note 1)	HD3	$f_{IN} = 7.5MHz$		-72		dBc
		$f_{IN} = 20MHz$		-72		
		$f_{IN} = 50MHz$		-70		
Intermodulation Distortion (First 5 Odd-Order IMDs) (Note 2)	IMD	$f_1 = 38MHz$ at -6.5dB FS $f_2 = 42MHz$ at -6.5dB FS		-76		dBc
Third-Order Intermodulation Distortion (Note 2)	IM3	$f_1 = 38MHz$ at -6.5dB FS $f_2 = 42MHz$ at -6.5dB FS		-76		dBc
Total Harmonic Distortion (First 5 Harmonics) (Note 1)	THD	$f_{IN} = 7.5MHz$, $T_A = +25^\circ C$		-70	-61.5	dBc
		$f_{IN} = 20MHz$, $T_A = +25^\circ C$		-70	-61.5	
		$f_{IN} = 50MHz$		-70		
Small-Signal Bandwidth		Input at -20dB FS, differential inputs		500		MHz
Full-Power Bandwidth	FPBW	Input at -0.5dB FS, differential inputs		400		MHz
Aperture Delay	t_{AD}			1		ns
Aperture Jitter	t_{AJ}			2		psRMS
Overdrive Recovery Time		For 1.5 x full-scale input		2		ns
Differential Gain				± 1		%
Differential Phase				± 0.25		degree
Output Noise		$IN+ = IN- = COM$		0.2		LSBRMS
INTERNAL REFERENCE						
Reference Output Voltage	REFOUT			2.048 $\pm 1\%$		V
Reference Temperature Coefficient	T_{CREF}			60		ppm/ $^\circ C$
Load Regulation				1.25		mV/mA
EXTERNAL REFERENCE						
Positive Reference	REFP	$V_{REFIN} = +2.048V$		2.162		V
Negative Reference	REFN	$V_{REFIN} = +2.048V$		1.138		V
Differential Reference Voltage	ΔV_{REF}	$V_{REFP} - V_{REFN}$, $V_{REFIN} = +2.048V$	0.98	1.024	1.07	V
REFIN Resistance	R_{REFIN}			>50		M Ω
DIGITAL INPUTS (CLK, PD, \overline{OE})						
Input High Threshold	V_{IH}	CLK		0.8 x V_{DD}		V
		PD, \overline{OE}		0.8 x V_{DD}		
Input Low Threshold	V_{IL}	CLK			0.2 x V_{DD}	V
		PD, \overline{OE}			0.2 x V_{DD}	

10ビット、105Msps、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$; 0.1 μF and 1.0 μF capacitors from REFP, REFN, and COM to GND; $V_{REFIN} = +2.048V$, REFOUT connected to REFIN through a 10k Ω resistor, $V_{IN} = 2V_{p-p}$ (differential with respect to COM), $C_L \approx 10pF$ at digital outputs, $f_{CLK} = 105MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Hysteresis	V_{HYST}			0.1		V
Input Leakage	I_{IH}	$V_{IH} = V_{DD} = OV_{DD}$			± 5	μA
	I_{IL}	$V_{IL} = 0$			± 5	
Input Capacitance	C_{IN}			5		pF
DIGITAL OUTPUTS (D9–D0)						
Output Voltage Low	V_{OL}	$I_{SINK} = 200\mu A$			0.2	V
Output Voltage High	V_{OH}	$I_{SOURCE} = 200\mu A$	OV_{DD} - 0.2			V
Three-State Leakage Current	I_{LEAK}	$\overline{OE} = OV_{DD}$			± 10	μA
Three-State Output Capacitance	C_{OUT}	$\overline{OE} = OV_{DD}$		5		pF
POWER REQUIREMENTS						
Analog Supply Voltage	V_{DD}		2.7	3.3	3.6	V
Output Supply Voltage	OV_{DD}		1.7	3.3	3.6	V
Analog Supply Current	I_{VDD}	Operating, $f_{IN} = 20MHz$ at -0.5dB FS		58	74	mA
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		4	15	μA
Output Supply Current	I_{OVDD}	Operating, $C_L = 15pF$, $f_{IN} = 20MHz$ at -0.5dB FS		10		mA
		Shutdown, clock idle, $PD = \overline{OE} = OV_{DD}$		1	10	μA
Power Supply Rejection	PSRR	Offset		± 0.1		mV/V
		Gain		± 0.1		%/V
TIMING CHARACTERISTICS						
CLK Rise-to-Output Data Valid	t_{DO}	Figure 6 (Note 3)		5	8	ns
\overline{OE} Fall-to-Output Enable	t_{ENABLE}	Figure 5		10		ns
\overline{OE} Rise-to-Output Disable	$t_{DISABLE}$	Figure 5		15		ns
CLK Pulse Width High	t_{CH}	Figure 6, clock period 9.52ns		4.76 ± 0.47		ns
CLK Pulse Width Low	t_{CL}	Figure 6, clock period 9.52ns		4.76 ± 0.47		ns
Wake-Up Time	t_{WAKE}	(Note 4)		1.5		μs

Note 1: SNR, SINAD, THD, SFDR and HD3 are based on an analog input voltage of -0.5dB FS referenced to a +1.024V full-scale input voltage range.

Note 2: Intermodulation distortion is the total power of the intermodulation products relative to the individual carrier. This number is 6dB better if referenced to the two-tone envelope.

Note 3: Digital outputs settle to V_{IH}, V_{IL} .

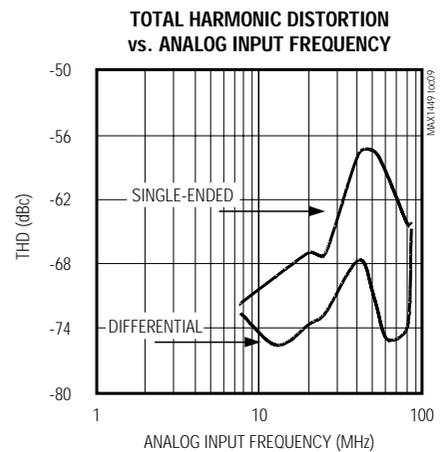
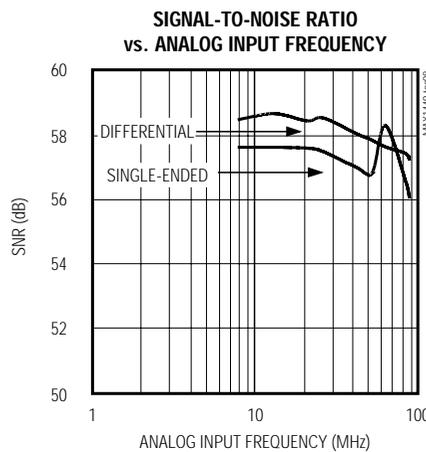
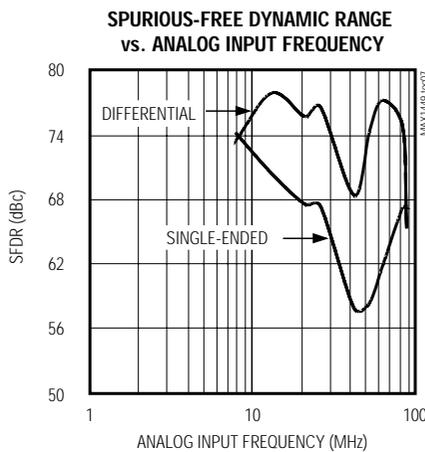
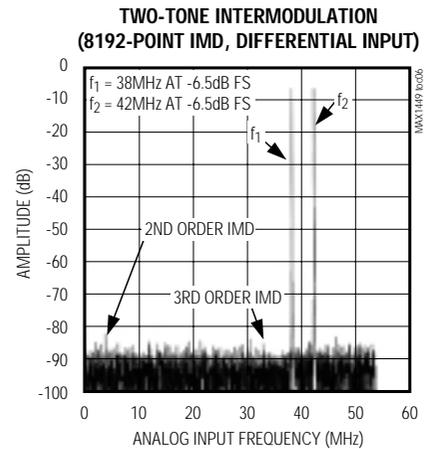
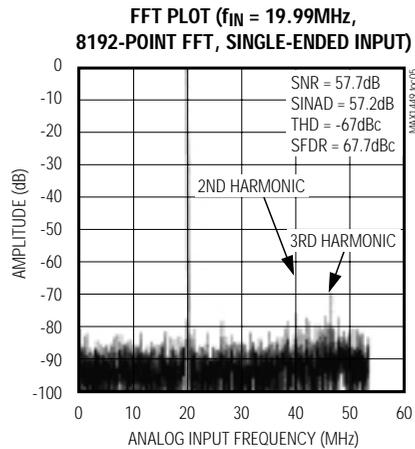
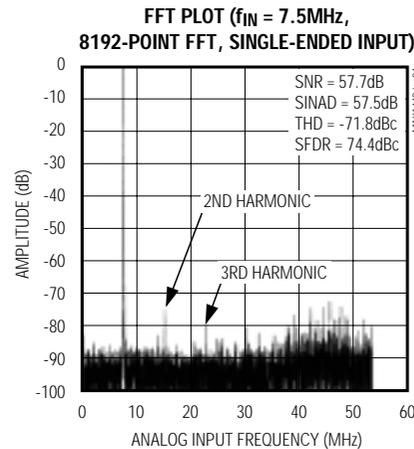
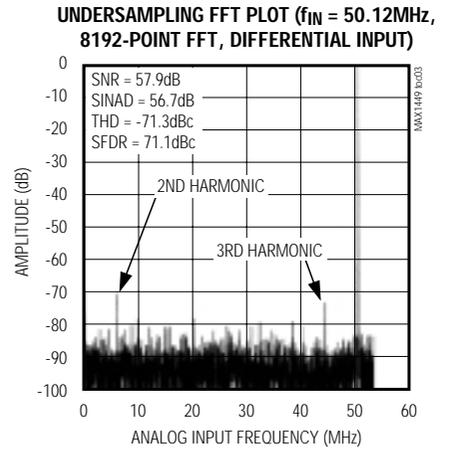
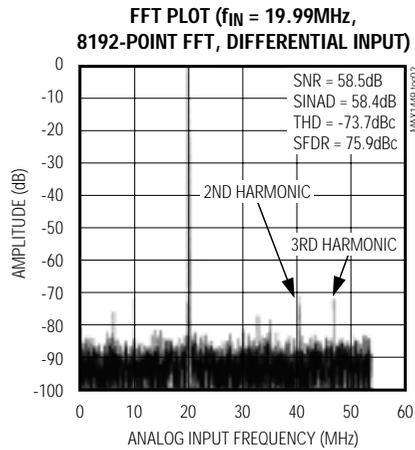
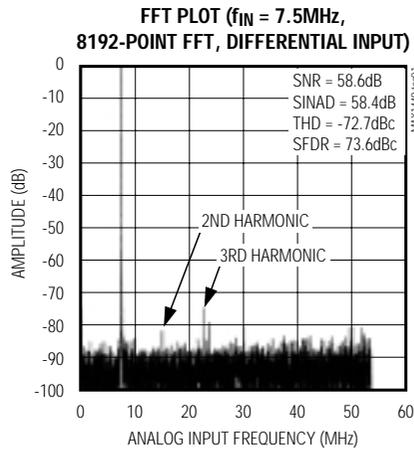
Note 4: With REFIN driven externally, REFP, COM, and REFN are left floating while powered down.

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

標準動作特性

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$, internal reference, differential input at $-0.5dB$ FS, $f_{CLK} = 106.2345MHz$, $C_L \approx 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

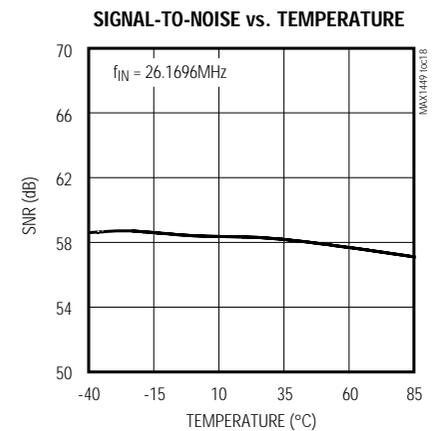
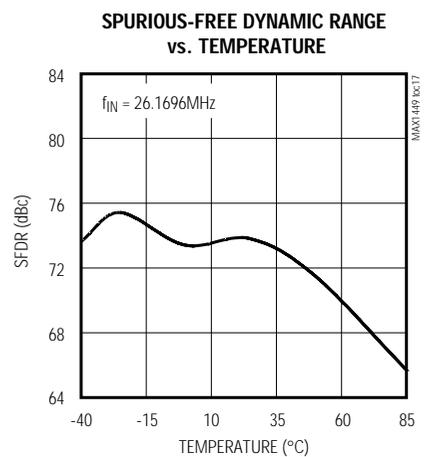
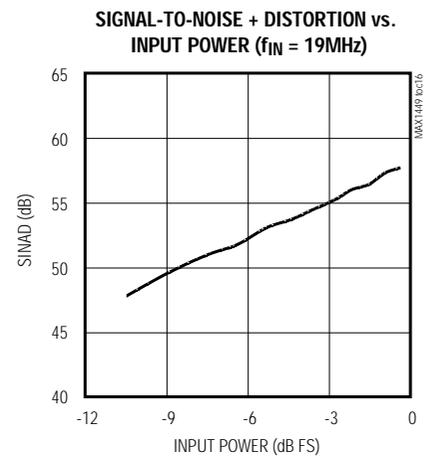
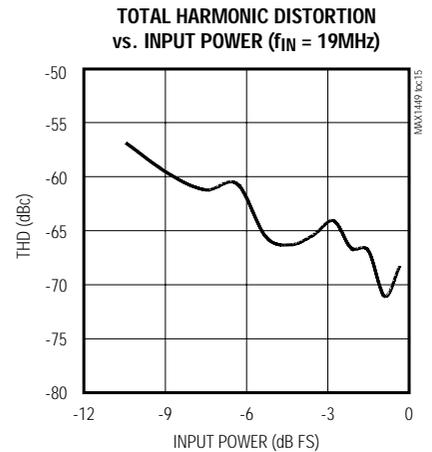
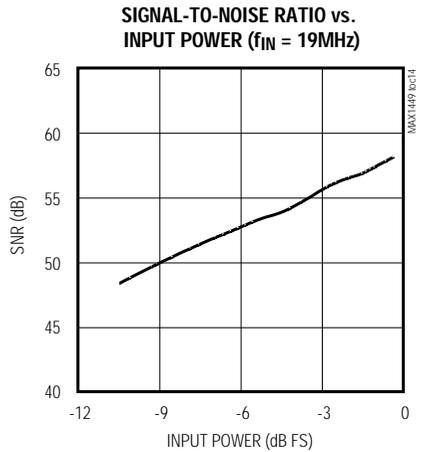
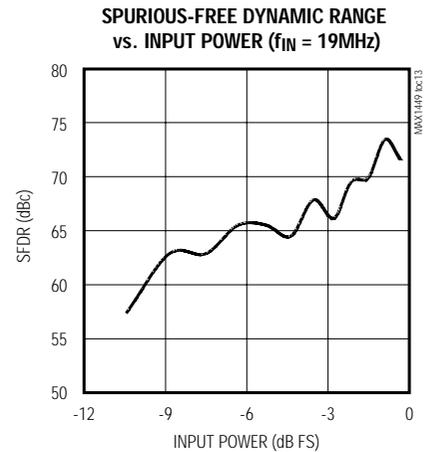
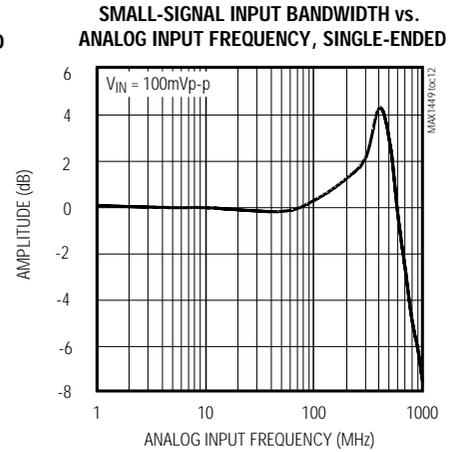
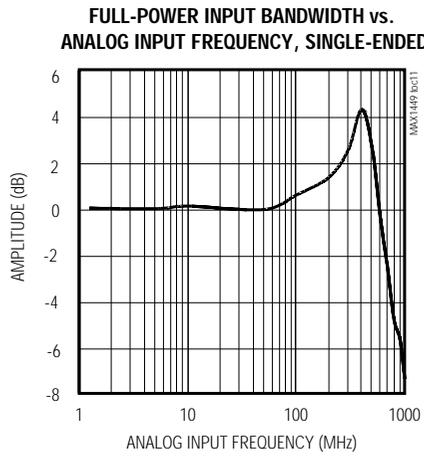
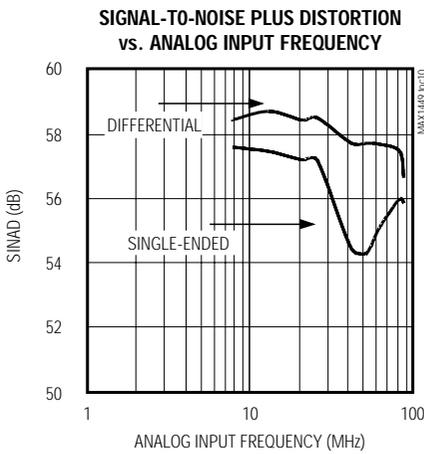


10ビット、105Mpsps、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

標準動作特性(続き)

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$, internal reference, differential input at $-0.5dB$ FS, $f_{CLK} = 106.2345MHz$, $C_L \approx 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

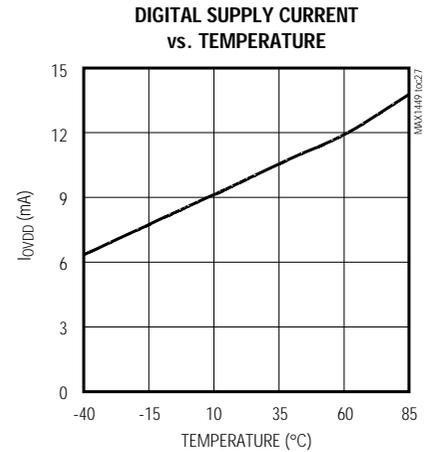
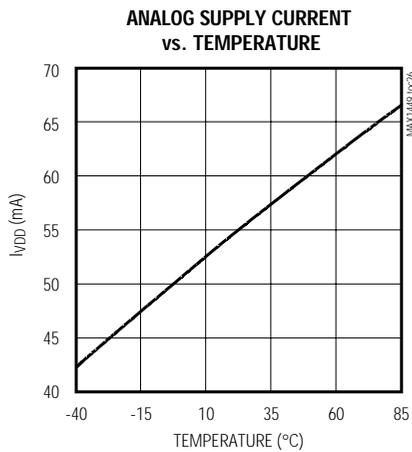
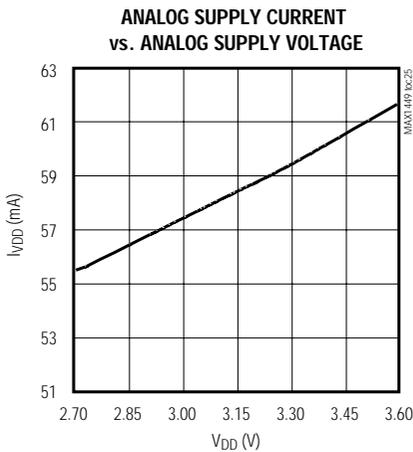
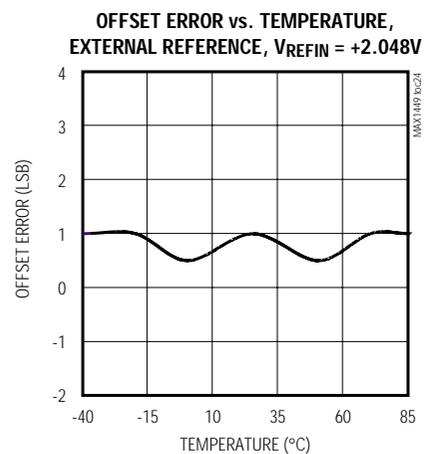
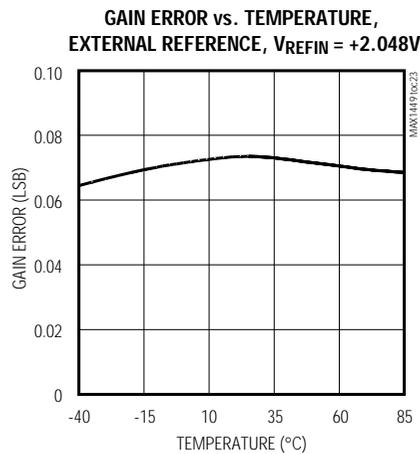
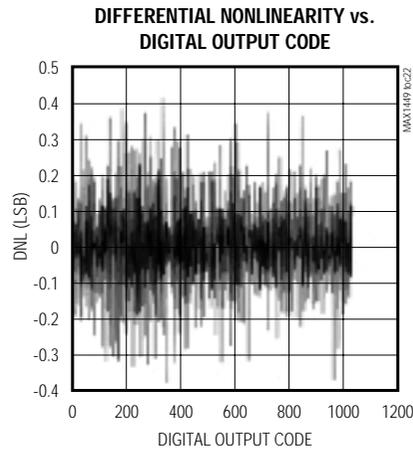
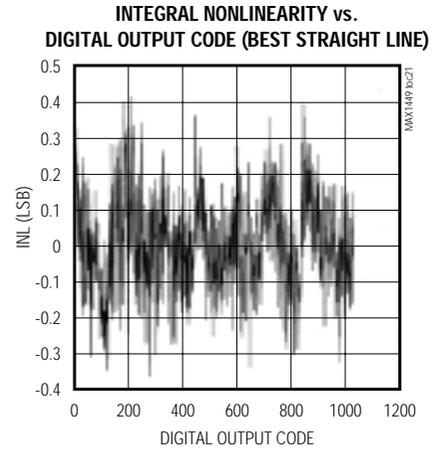
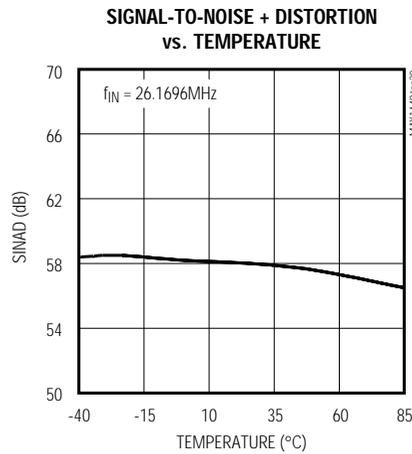
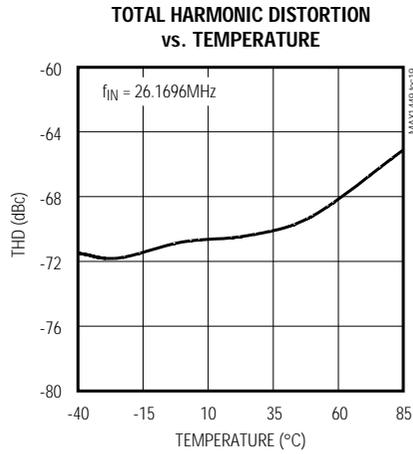


10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

標準動作特性(続き)

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$, internal reference, differential input at $-0.5dB$ FS, $f_{CLK} = 106.2345MHz$, $C_L \approx 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)

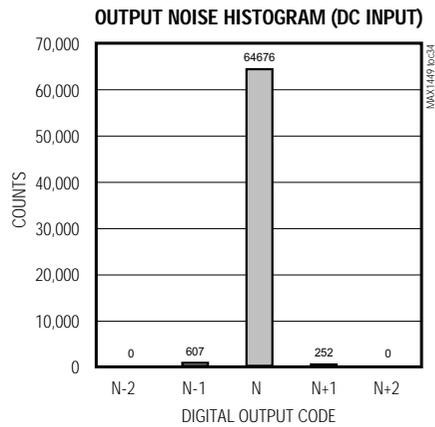
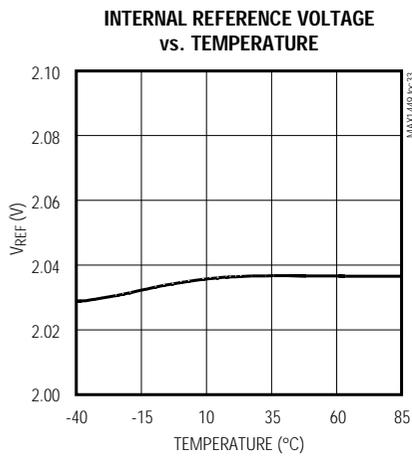
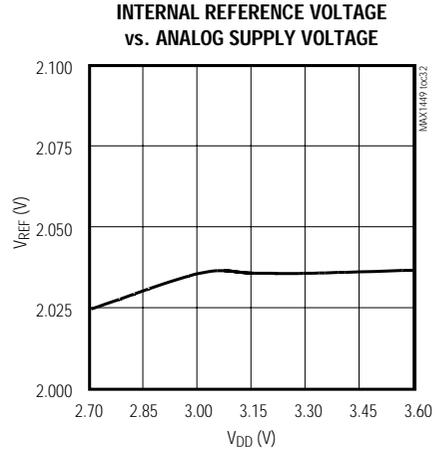
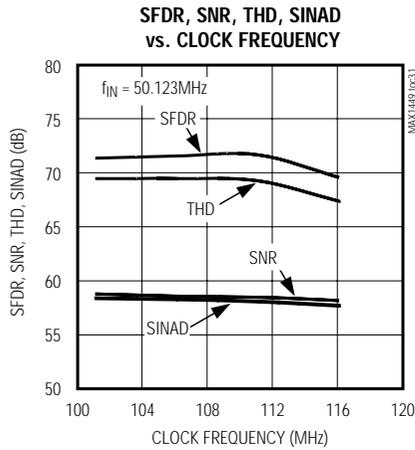
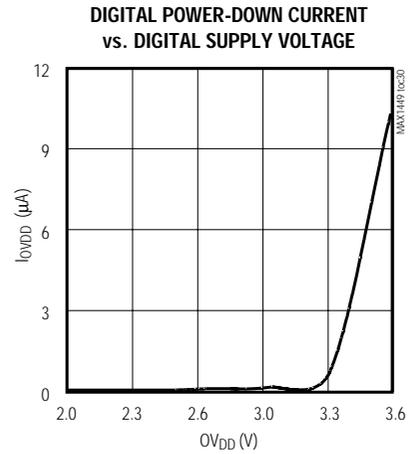
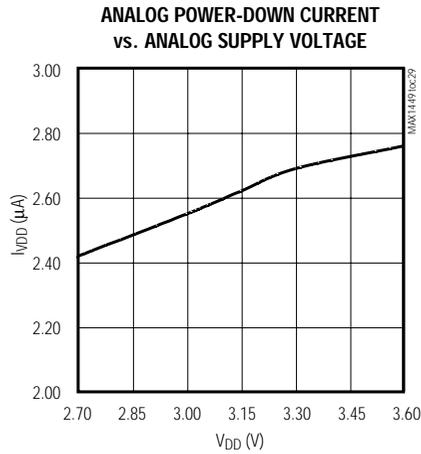
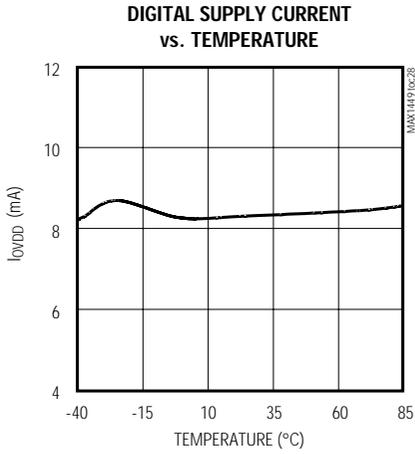


10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

標準動作特性(続き)

($V_{DD} = +3.3V$, $OV_{DD} = +2.0V$, internal reference, differential input at $-0.5dB$ FS, $f_{CLK} = 106.2345MHz$, $C_L \approx 10pF$, $T_A = +25^\circ C$, unless otherwise noted.)



10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

端子説明

端子	名称	機能
1	REFN	低リファレンス。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。 0.1 μ F以上のコンデンサでGNDにバイパスします。
2	COM	同相電圧出力。0.1 μ F以上のコンデンサでGNDにバイパスします。
3, 9, 10	V _{DD}	アナログ電源電圧。2.2 μ Fと0.1 μ Fの並列コンデンサでGNDにバイパスします。
4, 5, 8, 11, 14, 30	GND	アナロググランド
6	IN+	正アナログ入力。シングルエンド動作の場合は、信号ソースをIN+に接続します。
7	IN-	負アナログ入力。シングルエンド動作の場合は、IN-をCOMに接続します。
12	CLK	変換クロック入力
13	PD	パワーダウン入力 ハイ：パワーダウンモード ロー：通常動作
15	\overline{OE}	出力イネーブル入力 ハイ：デジタル出力をディセーブル ロー：デジタル出力をイネーブル
16-20	D9-D5	スリーステートデジタル出力D9～D5。D9はMSBです。
21	OV _{DD}	出力ドライバ電源電圧。2.2 μ Fと0.1 μ Fの並列コンデンサでGNDにバイパスします。
22	T.P.	テストポイント。接続しないで下さい。
23	OGND	出力ドライバグランド。
24-28	D4-D0	スリーステートデジタル出力D4～D0。D0はLSBです。
29	REFOUT	内部リファレンス電圧出力。 抵抗又は抵抗分圧器を介してREFINに接続できます。
31	REFIN	リファレンス入力。 $V_{REFIN} = 2 \times (V_{REFP} - V_{REFN})$ 。0.1 μ F以上のコンデンサでGNDにバイパスします。
32	REFP	高リファレンス。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。0.1 μ F以上のコンデンサでGNDにバイパスします。

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

詳細

MAX1449は、10段完全差動パイプライン構造(図1)を採用して高速変換を行う一方、消費電力を最小限に抑えます。各サンプルは半クロックサイクル毎にパイプライン段を1つ通過します。出力ラッチにおける遅延を考慮すると、5.5クロックサイクルの待ち時間となります。

1.5ビット(2コンパレータ)フラッシュADCは、保持されている入力電圧をデジタルコードに変換します。次のデジタルアナログコンバータ(DAC)が数値化された結果をアナログ電圧に変換し、この電圧が元の保持されている入力信号から差し引かれます。この結果得られるエラー信号に2を掛けた積が次のパイプライン段に送られ、そこで同様の処理が繰り返されます。信号が10段全てにおいて処理されるまでこれが続きます。各段が1ビットの分解能を提供します。デジタルエラー補正機能が各パイプライン段におけるADCコンパレータのオフセットを補償し、コードが欠如しないようにします。

入力トラックアンドホールド(T/H)回路

図2に、トラックモードとホールドモードにおける入力トラックアンドホールド(T/H)回路の簡略化ファンクションダイアグラムを示します。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、及びS5bが閉じています。完全差動回路はS4a及びS4bを介して、入力信号を2つのコンデンサC2a及びC2bにサンプリングします。S2a及びS2bがアンプ入力の同相を設定し、

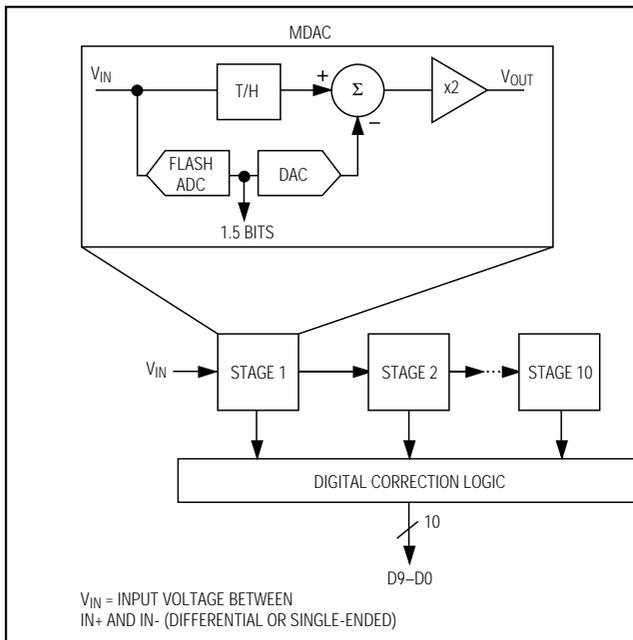


図1. パイプライン構造(段ブロック)

S1と同時に開いて入力波形をサンプリングします。次に、スイッチS4a及びS4bが開き、その後S3a及びS3bがコンデンサC1a及びC1bをアンプ出力に接続し、S4cが閉じます。結果として得られる差動電圧はC2a及びC2bに保留されます。これによりコンデンサC1a及びC1bは、C2a及びC2bに元々保持されていた値まで充電されます。この値が初段のディジタル化に送られ、パイプラインは高速変化する入力から分離されます。広入力帯域幅のT/Hアンプにより、MAX1449はナイキストを超える高周波数のアナログ入力に追従し、サンプル/ホールドすることができます。アナログ入力IN+及びIN-の駆動は、差動又はシングルエンドのどちらでも可能です。最良の性能を得るためには、IN+及びIN-のインピーダンスをマッチングさせて、同相電圧をミッド電源電圧($V_{DD}/2$)に設定することを推奨します。

アナログ入力及びリファレンス構成

MAX1449のフルスケール範囲は、内部生成されるREFP($V_{DD}/2 + V_{REFIN}/4$)とREFN($V_{DD}/2 - V_{REFIN}/4$)間の電圧差によって決まります。ADCのフルスケール範囲は、ハイ入力インピーダンスを備えたREFINピンを使用して調整可能です。REFOUT、REFP、COM($V_{DD}/2$)、及びREFNは内部でバッファされた低インピーダンス出力です。

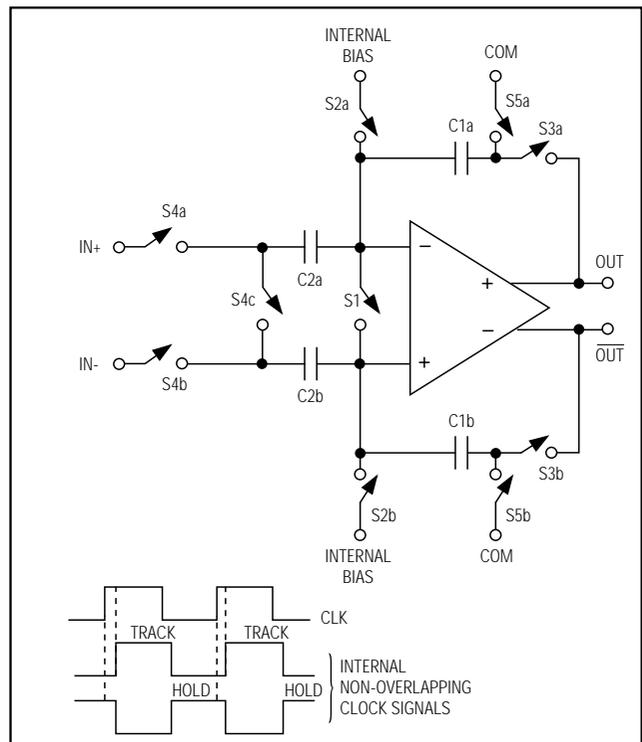


図2. 内部T/H回路

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449は、次の3つのリファレンス動作モードを備えています。

- 内部リファレンスモード
- バッファ付外部リファレンスモード
- バッファなしの外部リファレンスモード

内部リファレンスモードでは、抵抗(例えば10kΩ)、又は抵抗分圧器(アプリケーションがフルスケール範囲の縮小を必要とする場合)を介して、内部リファレンス出力REFOUTをREFINピンに接続できます。安定性の点から、10nF以上のコンデンサを使用してREFINをGNDにバイパスすることを推奨します。

バッファ付外部リファレンスモードでは、REFINに安定した高精度な電圧を印可することで、リファレンスの電圧レベルを外部調整できます。このモードでは、REFOUTはオープンのままにしておくことも、10kΩ以上の抵抗を介してREFINに接続することもできます。

バッファなしの外部リファレンスモードでは、REFINはGNDに接続されているため、REFP、COM、及びREFNの内蔵バッファがオフになります。これらのピンは、バッファがシャットダウンするとハイインピーダンスになり、外部リファレンスソースから駆動することができます。

クロック入力(CLK)

MAX1449のCLK入力はCMOSコンパチブルなクロック信号を受付けます。本デバイスの段間変換は外部クロックの立上り及び立下りエッジの再現性に依存するため、低ジッタで立上り及び立下り時間の速い(2ns以下)クロックを使用して下さい。特に、サンプリングはクロック信号の立下りエッジで発生するため、このエッジのジッタを最低限に抑える必要があります。アパーチャジッタが、ADCのSNR性能に与える影響は次式で計算されます。

$$SNR = 20 \times \log(0.5 \times \pi \times f_{IN} \times t_{AJ})$$

ここで、 f_{IN} はアナログ入力周波数、 t_{AJ} はアパーチャジッタの時間です。

クロックジッタは過小サンプリングアプリケーションにとって特に重要です。クロック入力は常にアナログ入力と見なして、アナログ入力やその他のデジタル信号ラインから遠ざけて配線して下さい。

MAX1449のクロック入力は、電圧スレッシュホールドを $V_{DD}/2$ に設定した状態で動作します。デューティサイクルが50%でないクロック入力は、「Electrical Characteristics」に記述されているハイとローの期間の規格に適合している必要があります(スプリアスフリーダイナミックレンジ(SFDR)、信号対ノイズ比(SNR)、全高調波歪み(THD)、又は信号対ノイズ+歪み(SINAD)対デューティサイクルの関係については、図3(3a、3b)及び図4(4a、4b)を参照して下さい)。

出力イネーブル(\overline{OE})、パワーダウン(PD)及び出力データ(D0~D9)

全データ出力D0(LSB)~D9(MSB)は、TTL/CMOSロジックコンパチブルです。特定のサンプルとその有効な出力データの間には、5.5クロックサイクルの待ち時間があります。出力コーディングはストレートオフセットバイナリ(表1)です。 \overline{OE} とPDがハイの時、デジタル出力はハイインピーダンス状態に入ります。PDがハイの状態では \overline{OE} がローに保持されると、出力はパワーダウン前の最後の値にラッチされます。

デジタル出力D0~D9の容量性負荷はできるだけ小さく(15pF以下)して下さい。これは、大きなデジタル電流がMAX1449のアナログ部分にフィードバックしてダイナミック性能を劣化させるのを防ぐためです。ADCのデジタル出力にバッファを使用すると、デジタル出力を大容量性負荷から分離することができます。MAX1449のダイナミック性能を更に改善するには、小型の直列抵抗(例えば100Ω)をデジタル出力経路のADCに近い部分に追加します。図5に、出力イネーブルとデータ出力有効、及びパワーダウン/ウェイクアップとデータ出力有効の間のタイミング関係を示します。

表1. 差動入力用のMAX1449出力コード

DIFFERENTIAL INPUT VOLTAGE*	DIFFERENTIAL INPUT	STRAIGHT OFFSET BINARY
$V_{REF} \times 511/512$	+Full Scale -1LSB	11 1111 1111
$V_{REF} \times 510/512$	+Full Scale -2LSB	11 1111 1110
$V_{REF} \times 1/512$	+1LSB	10 0000 0001
0	Bipolar Zero	10 0000 0000
$-V_{REF} \times 1/512$	-1LSB	01 1111 1111
$-V_{REF} \times 511/512$	Negative Full Scale + 1LSB	00 0000 0001
$-V_{REF} \times 512/512$	Negative Full Scale	00 0000 0000

* $V_{REF} = V_{REFP} = V_{REFN}$

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

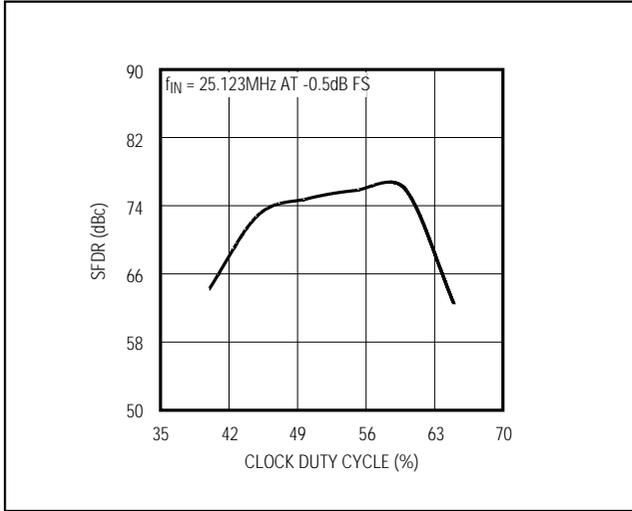


図3a. スプリアスフリーダイナミックレンジ対
クロックデューティサイクル(差動入力)

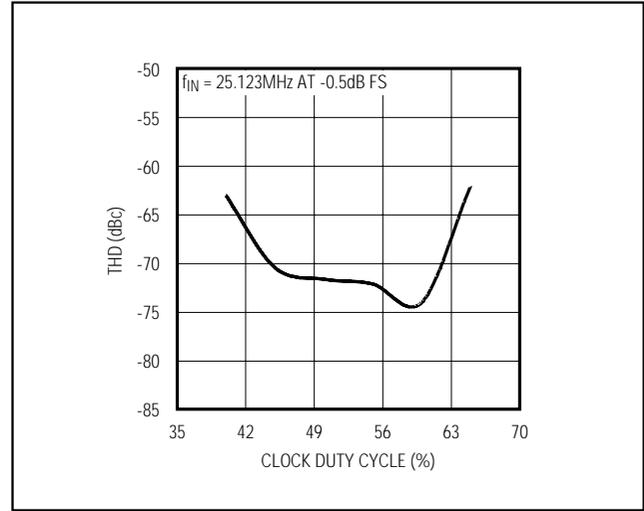


図4a. 全高調波歪み対クロックデューティサイクル
(差動入力)

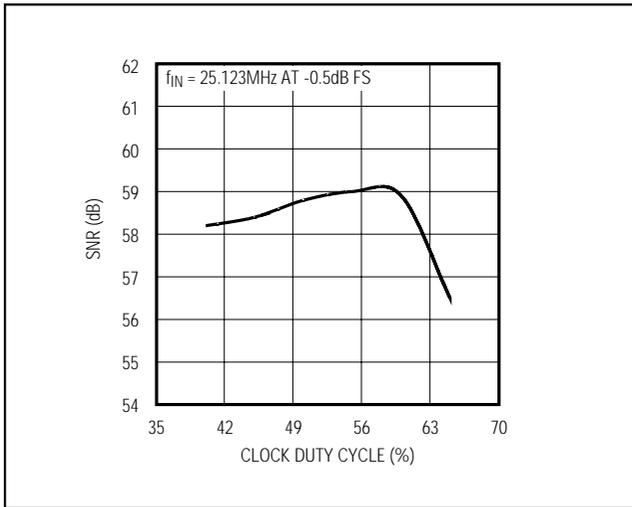


図3b. 信号対ノイズ比対クロックデューティサイクル
(差動入力)

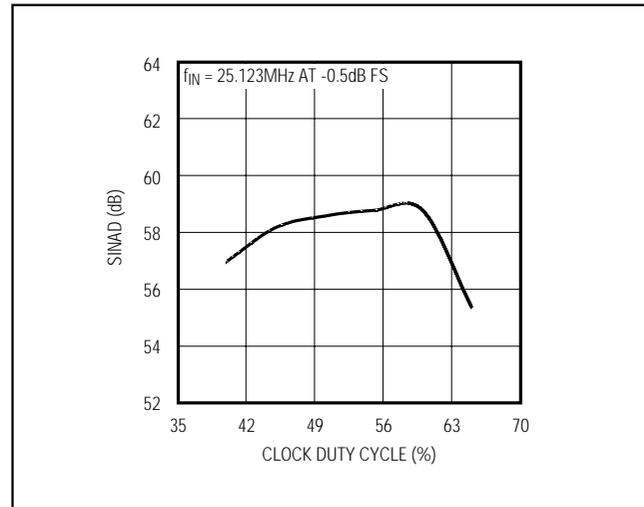


図4b. 信号対ノイズ+歪み対クロックデューティサイ
クル(差動入力)

システムタイミング条件

図6に、クロック入力、アナログ入力及びデータ出力間の関係を示します。MAX1449は入力クロックの立下りエッジでサンプリングを行います。

出力データは入力クロックの立上りエッジで有効になります。出力データの内部待ち時間は5.5クロックサイクルです。図6は、入力クロックパラメータと有効データ出力の関係も示しています。

アプリケーション情報

図7に、シングルエンドから差動へのコンバータを含む標準的なアプリケーション回路を示します。内部リファレンスはレベルシフト用の出力電圧 $V_{DD}/2$ を提供します。入力はバッファされてから電圧フォロワとインバータに分割されます。オペアンプの後で、ローパスフィルタが、高速オペアンプに伴う広帯域ノイズの一部を抑制します。 R_{ISO} 及び C_{IN} の値を選択することで、特定のアプリケーションに合わせたフィルタリング性能の最適化が可能です。図7のアプリケーションでは、 50Ω の R_{ISO} を容量性負荷の前に配置して、リングングと発振を防いでいます。 22pF の C_{IN} コンデンサは小型のバイパスコンデンサとして動作します。

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

トランスカップリングの使用

RFトランス(図8)は、シングルエンドソース信号を、MAX1449の最適動作に必要な完全差動信号に変換するための優れた解決法を提供します。トランスの中央タップをCOMに接続すると、入力が $V_{DD}/2$ だけDCレベルシフトします。ここでは1:1トランスが示されていますが、ステップアップトランスを選択して駆動条件を緩和することが可能です。オペアンプ等の入力ドライブからの信号スイングを低減することも、総合的な歪みの低減につながります。

一般に、MAX1449は、シングルエンド駆動よりも完全差動入力信号の場合の方が優れたSFDRとTHDを提供します。入力周波数が非常に高い場合はこの傾向が特に顕著です。差動入力モードでは両方の入力(IN+、IN-)のバランスが取れているため、偶数次の高調波が小さくなり、各入力シングルエンドモードと比較して僅か半分の信号スイングしか必要としません。

シングルエンドのACカップリング入力信号

図9に、ACカップリングのシングルエンドアプリケーションを示します。MAX4108オペアンプは高速、広帯域幅、低ノイズ、低歪みの特長を持ち、入力信号の完全性を維持します。

グラウンド、バイパス及び ボードレイアウト

MAX1449は高速ボードレイアウト設計技法を必要とします。全てのバイパスコンデンサをデバイスにできるだけ近づけて配置して下さい。可能であれば、ADCと同じ側に配置し、インダクタンスを最小限に抑えるために表面実装デバイスを使用して下さい。0.1 μ Fセラミックコンデンサと2.2 μ Fバイポーラコンデンサを並列に接続したものを使用して、 V_{DD} 、REFP、REFN、及びCOMをGNDにバイパスして下さい。デジタル電源(OV_{DD})をOGNDにバイパスする時も同じ規則に従って下さい。個別のグラウンドプレーンと電源プレーンを

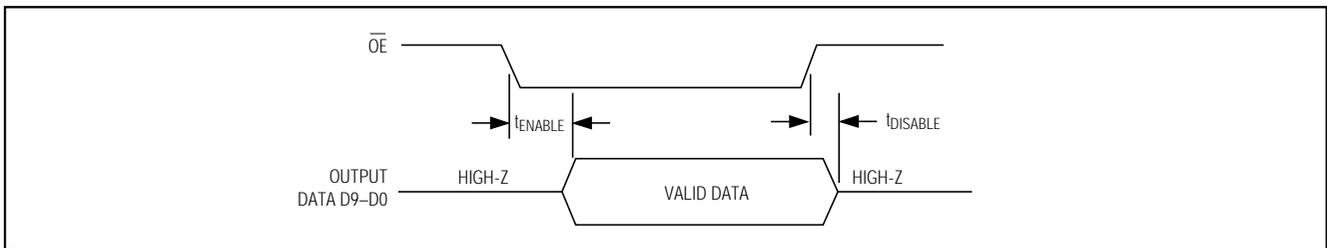


図5. 出力イネーブルタイミング

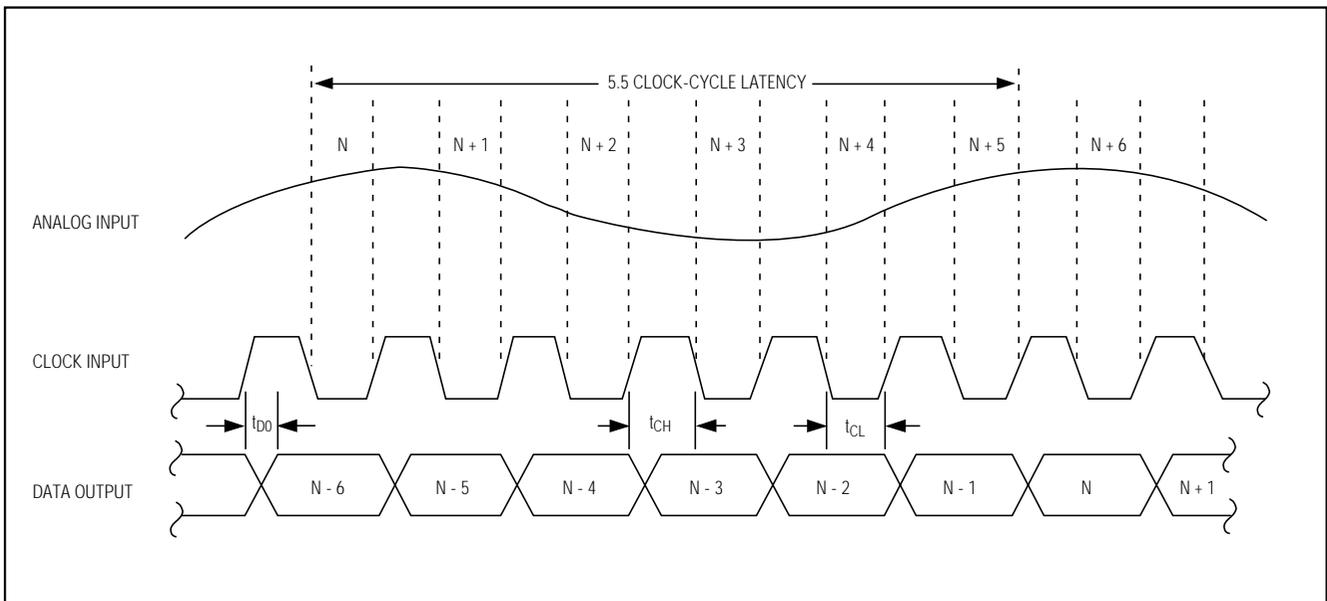


図6. システム及び出力タイミング図

10ビット、105Mpsps、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

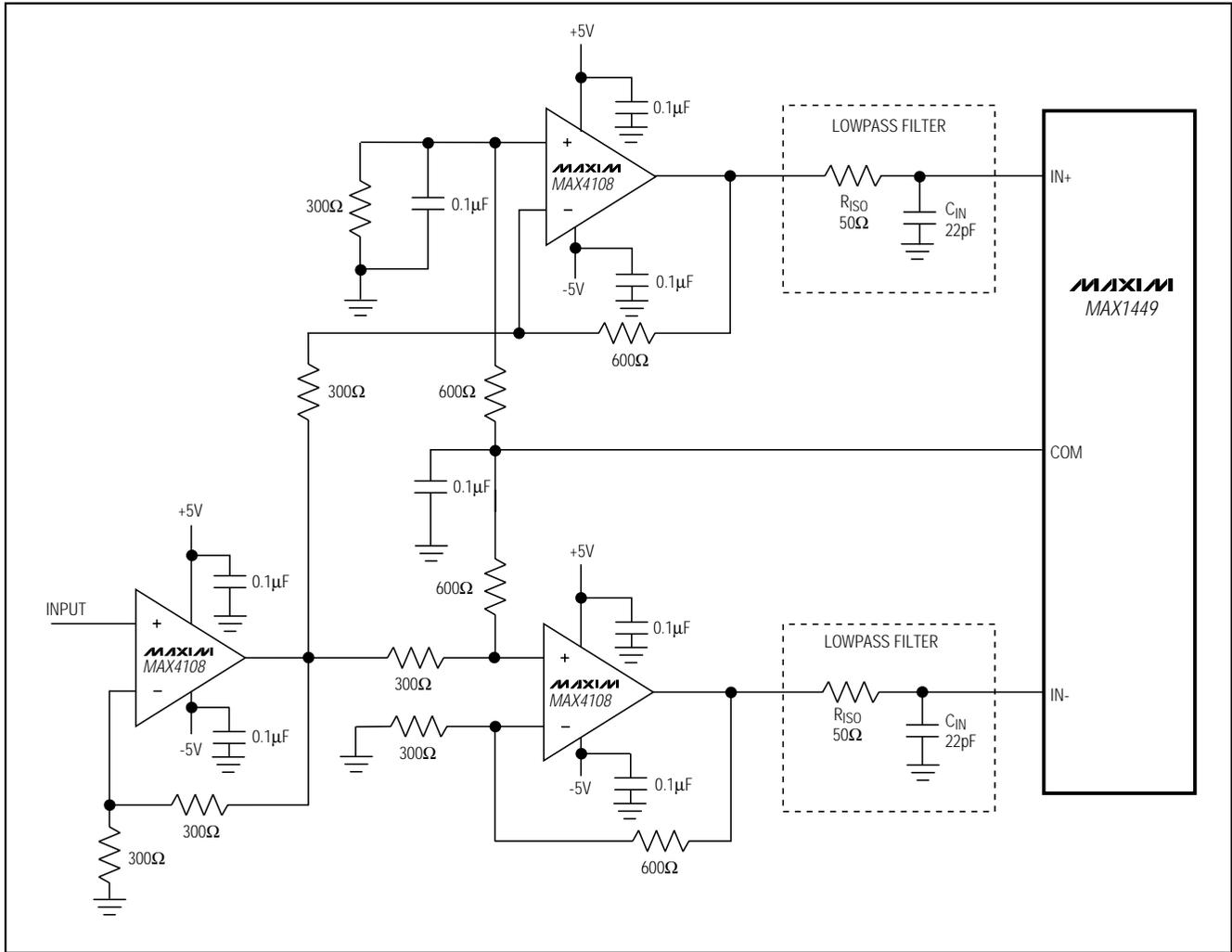


図7. 内部リファレンスを使用した標準アプリケーション回路

持つ複層ボードを使用すると、最高レベルの信号完全性が実現できます。アナロググランド(GND)とデジタル出力ドライバグランド(OGND)の物理的な位置に合わせて配置されたスプリットグランドプレーンを、ADCのパッケージに使用することを考慮して下さい。2つのグランドプレーンを一点のみで結合し、ノイズの多いデジタルグランド電流がアナロググランドプレーンを干渉しないようにして下さい。この接続の最適位置は、2つのグランドプレーン間のギャップに沿って実験的に試し、最適な結果を生み出すポイントに決めて下さい。この接続部は、低値の表面実装抵抗(1Ω~5Ω)、又はフェライトビードを介して、或いは直接接続として下さい。グランドプレーンがノイズの多いデジタルシステムグランドプレーン(下流出力バッファ又はDSPグランドプレーン等)から十分に分離されている場合には、全てのグランドピンが同じグランドプレーンを共有するよう

にすることもできます。高速デジタル信号トレースは敏感なアナログトレースから遠ざけて下さい。信号ラインは全て短く保ち、直角に曲げることは避けて下さい。

スタティックパラメータの定義

積分非直線性(INL)

積分非直線性は、実際の伝達関数値の直線からの偏差です。この直線は、最近似直線フィット、又はオフセット及び利得誤差をヌル(ゼロ)にした後、伝達関数の終点間を結んだ線です。MAX1449のスタティック直線性パラメータは最近似直線フィット法により測定されています。

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

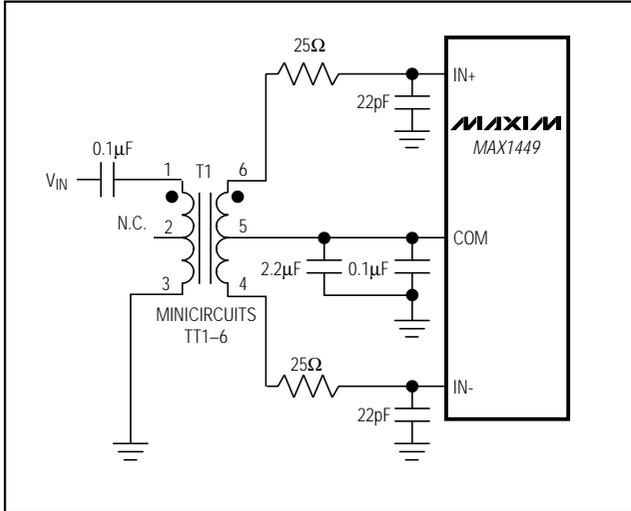


図8. トランスを使用したACカップリング

微分非線形性(DNL)

微分非直線性は、実際のステップ幅と1LSBの理想値との差です。DNL誤差仕様が1LSB未満であれば、コードの欠如がないことと、伝達関数が単調性であることが保証されます。

ダイナミックパラメータの定義

アパーチャジッタ

図10に示すアパーチャジッタ(t_{AJ})は、サンプル同士のアパーチャ遅延のばらつきです。

アパーチャ遅延

アパーチャ遅延(t_{AD})は、サンプリングクロックの立下りエッジから、サンプルが実際に取られた時点までの時間です(図10)。

信号対ノイズ比(SNR)

デジタルサンプルから完璧に再構築された波形の場合、理論的な最大SNRは、フルスケールアナログ入力(RMS値)のRMS数値化エラー(残留エラー)に対する比です。理想的な最小アナログデジタルノイズは数値化エラーのみに起因し、ADCの分解能(Nビット)によって決まります。

$$SNR(MAX) = (6.02 \times N + 1.76)dB$$

実際には数量化ノイズの他にも、サーマルノイズ、リファレンスノイズ、クロックジッタ等のノイズソースが存在します。このため、SNRの計算にはRMS信号とRMSノイズの比を採ります。RMSノイズは、全スペクトル成分から基本波、最初の5つの高調波、及びDCオフセットを差し引いたものです。

信号対ノイズ+歪み(SINAD)

SINADは、RMS信号と、全スペクトル成分から基本波とDCオフセットを差し引いたものの比率を使用して計算されます。

実行ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度におけるADCのダイナミック性能を示します。理想的には、ADCのエラーは、数値化エラーのみに起因します。ENOBは次式で計算されます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

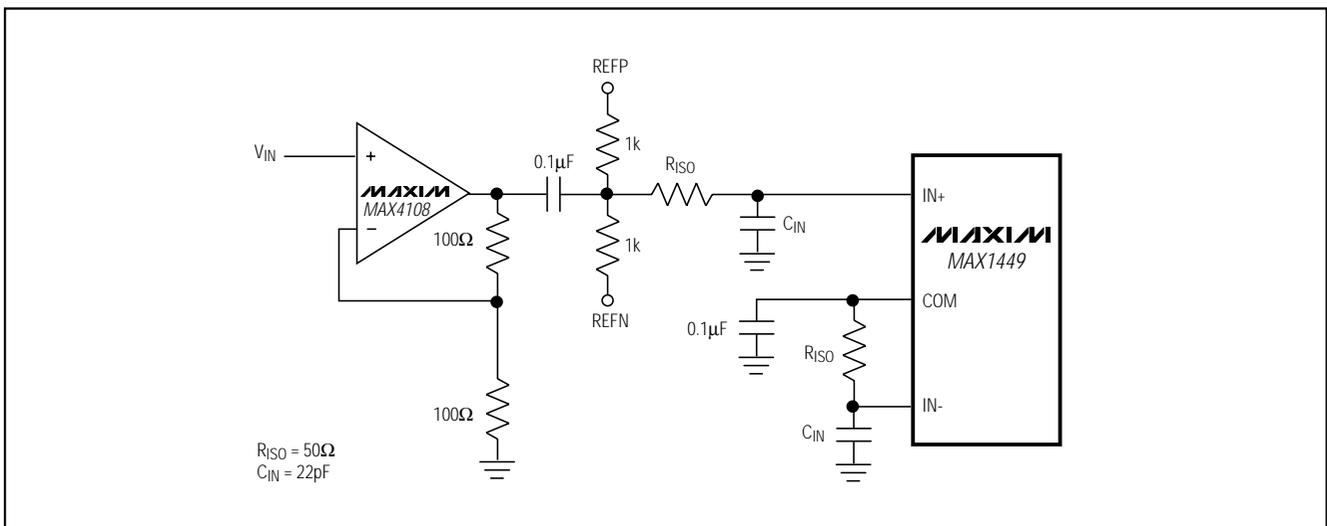


図9. シングルエンドのACカップリング入力

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

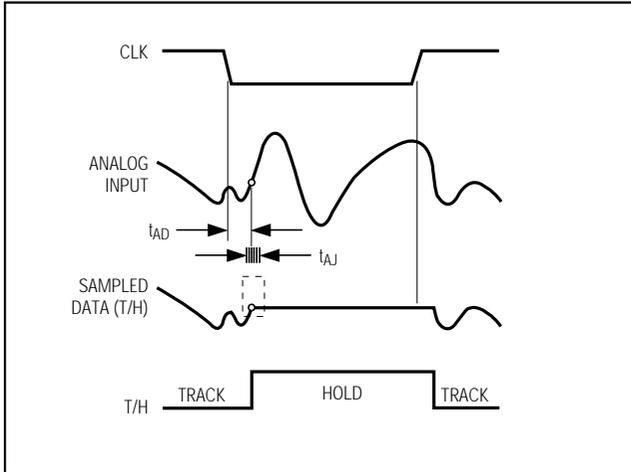


図10. T/Hアパーチャのタイミング

全高調波歪み (THD)

THDは通常、入力信号の最初の5つの高調波RMS合計と、基本波そのものの比です。これは次式で表されます。

$$THD = 20 \times \log \left(\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 V_1 は基本波の振幅、 $V_2 \sim V_5$ は2次～5次の高調波の振幅です。

スプリアスフリーダイナミックレンジ (SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分のRMS値(DCオフセットを除く)の比率をデシベル単位で表したものです。

相互変調歪み (IMD)

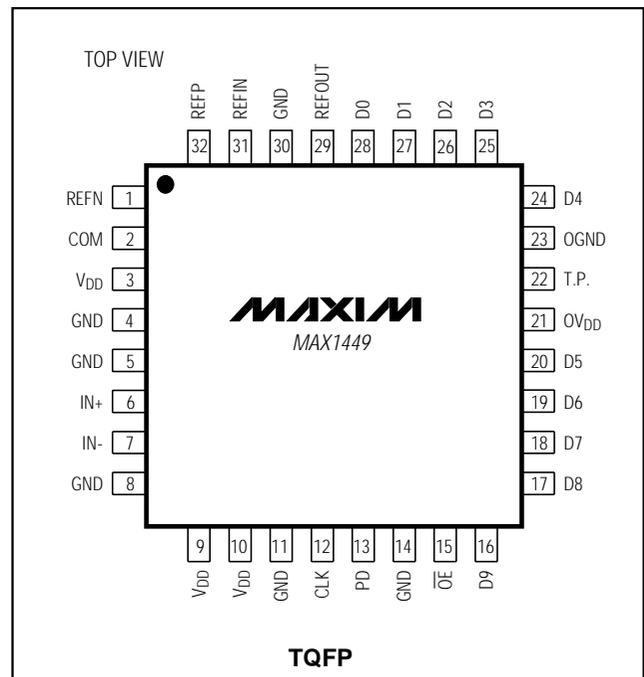
ツートーンIMDは、入力トーンと最悪の3次(またはそれ以上)の相互変調積の比をデシベル単位で表したものです。個別の入力トーンレベルは-6.5dBフルスケール、そのエンベロープは-0.5dBフルスケールに位置しています。

チップ情報

TRANSISTOR COUNT: 5684

PROCESS: CMOS

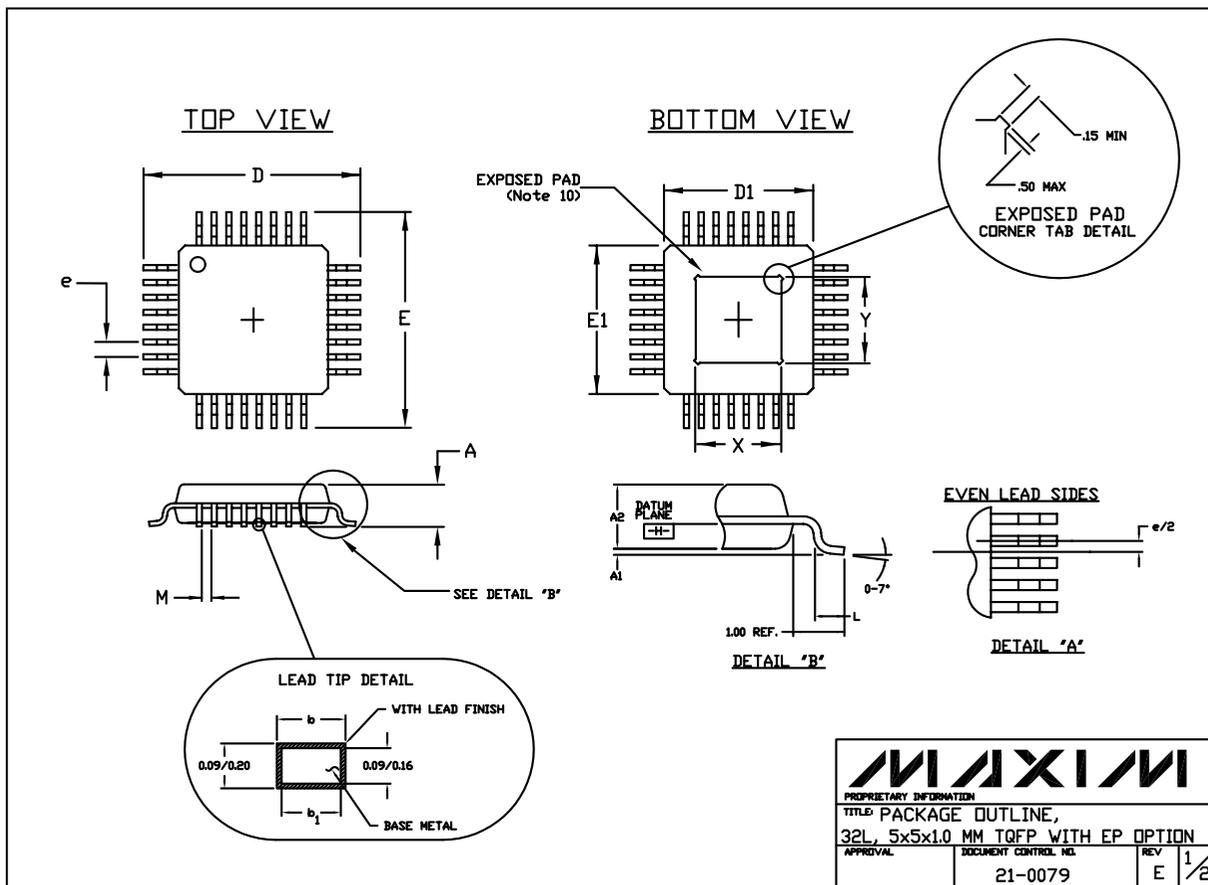
ピン配置



10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

パッケージ(続き)

MAX1449



32L TQFP-EP

10ビット、105MSPS、 シングル+3.3V、低電力ADC、内部リファレンス付

MAX1449

パッケージ(続き)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE \square IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION: MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MD-136.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. DIMENSIONS X AND Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

JEDEC VARIATIONS				
DIMENSIONS IN MILLIMETERS				
AA		AA-EP*		
5x5x1.0 MM		5x5x1.0 MM		
	MIN.	MAX.	MIN.	MAX.
A	\approx	1.20	\approx	1.20
A1	0.05	0.15	0.05	0.15
Ae	0.95	1.05	0.95	1.05
D	7.00 BSC.		7.00 BSC.	
D1	5.00 BSC.		5.00 BSC.	
E	7.00 BSC.		7.00 BSC.	
E1	5.00 BSC.		5.00 BSC.	
L	0.45	0.75	0.45	0.75
M	0.15	\approx	0.15	\approx
N	32		32	
e	0.50 BSC.		0.50 BSC.	
b	0.17	0.27	0.17	0.27
b1	0.17	0.23	0.17	0.23
*X	N/A	N/A	2.70	3.30
*Y	N/A	N/A	2.70	3.30

* EXPOSED PAD (Note 10)



PROPRIETARY INFORMATION

TITLE PACKAGE OUTLINE,
32L, 5x5x1.0 MM TQFP WITH EP OPTION

APPROVAL	DOCUMENT CONTROL NO.	REV	2/2
	21-0079	E	

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

18 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600