

# 10ビット、10Msps ADC

MAX1426

## 概要

MAX1426は、10Mspsのサンプリングレートが可能な10ビットのモノリシックアナログデジタルコンバータ(ADC)です。本デバイスは、内部トラックアンドホールド(T/H)アンプによって優れたダイナミック性能を実現すると共に、外付部品点数を削減しています。入力容量が僅か8pFと小さいため、必要な電流を最小限に抑えています。入力帯域幅が広い(最大150MHz)、本デバイスはアンダーサンプリング技術を使用するRF/IFダウンコンバータアプリケーションに最適です。

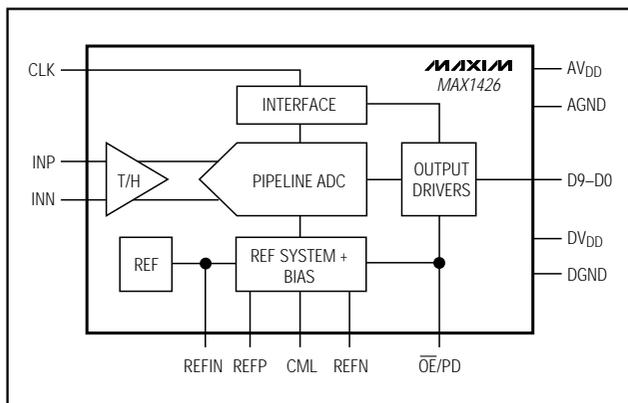
MAX1426は広帯域T/Hアンプ付の差動パイプライン構造により、消費電力を僅か156mWに抑えつつ、最大限のスループットを実現しています。MAX1426は3つの予備リファレンス電圧(+3.25V、+2.25V及び+1.25V)を供給する内部+2.5Vリファレンスを備えています。これらのリファレンス電圧は差動入力範囲+2V~-2Vを提供しています。アナログ入力を内部でバイアスしてDCレベルを補正しているため、ACカップリングアプリケーションにおいて外部バイアスの必要がありません。

独立した+3Vデジタルロジック電源入力により、デジタルとアナログ回路の分離が可能です。出力データは2の補数形式になっています。MAX1426は省スペースの28ピンSSOPパッケージで提供されています。ピンコンパチブルの高速データレート製品については、MAX1424又はMAX1425を参照して下さい。

## アプリケーション

医療用超音波画像処理      IRフォーカルプレーンアレイ  
 CCD画素処理                IF及びベースバンド数値化  
 レーダー                      セットトップボックス

## ファンクションダイアグラム



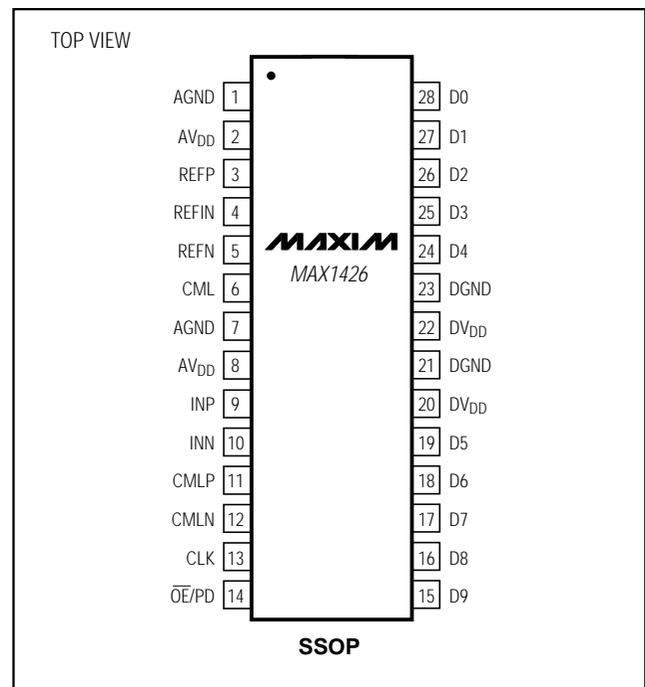
## 特長

- ◆ 差動入力により高い同相ノイズ除去比を実現
- ◆ 信号雑音比：61dB( $f_{IN} = 2\text{MHz}$ )
- ◆ 内部+2.5Vリファレンス
- ◆ 入力帯域幅：150MHz
- ◆ 広入力範囲：±2V
- ◆ 低消費電力：156mW
- ◆ 独立したデジタル電源により3Vロジックとコンパチブル
- ◆ 単一+5V動作が可能

## 型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1426CAI	0°C to +70°C	28 SSOP
MAX1426EAI	-40°C to +85°C	28 SSOP

## ピン配置



# 10ビット、10Msps ADC

MAX1426

## ABSOLUTE MAXIMUM RATINGS

AVDD to AGND .....	-0.3V to +6V	Continuous Power Dissipation (TA = +70°C)	
DVDD to DGND .....	-0.3V to +6V	28-Pin SSOP (derated 9.5mW/°C above +70°C) .....	762mW
AVDD to DGND .....	-0.3V to +6V	Operating Temperature Ranges	
DGND to AGND .....	±0.3V	MAX1426CAI .....	0°C to +70°C
REFP, REFIN, REFN, CMLN, CMLP,		MAX1426EAI .....	-40°C to +85°C
CML, INP, INN .....	(VAGND - 0.3V) to (VAVDD + 0.3V)	Maximum Junction Temperature .....	+150°C
CLK, OE/PD, D0-D9 .....	(VDGND - 0.3V) to (VDVDD + 0.3V)	Storage Temperature Range .....	-65°C to +150°C
		Lead Temperature (soldering, 10s) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VAVDD = VCMLP = +5V, VDVDD = +3.3V, VCMLN = VAGND = VDGND = 0, internal reference, digital output loading 35pF, fCLK = 10MHz (50% duty cycle), TA = TMIN to TMAX, unless otherwise noted. Typical values are at TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ACCURACY</b>						
Resolution	RES			10		Bits
Differential Nonlinearity	DNL		-1		1	LSB
Integral Nonlinearity	INL		-1.5	±0.3	1.5	LSB
No Missing Codes		Guaranteed monotonic				
Midscale Offset	MSO	(Note 1)	-3	±1.0	3	%FSR
Gain Error	GE	Internal reference (Note 1)	-10	±5	10	%FSR
		External reference (REFIN) (Note 2)	-5	±2	5	
		External reference (REFP, CML, REFN) (Note 3)	-5	±3	5	
Power-Supply Rejection Ratio	PSRR	(Note 4)	-5	±2	+5	mV/V
<b>DYNAMIC PERFORMANCE</b> (VINP - VINN = +2V to -2V)						
Signal-to-Noise Ratio	SNR	f = 2MHz	60	61		dB
Spurious-Free Dynamic Range	SFDR	f = 2MHz	69	72		dB
Total Harmonic Distortion (first five harmonics)	THD	f = 2MHz		-70	-67	dB
Signal-to-Noise and Distortion	SINAD	f = 2MHz	58	60		dB

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{CMVP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = V_{DGND} = 0$ , internal reference, digital output loading 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Effective Number of Bits	ENOB	$f = 2MHz$	9.3	9.7		Bits
Intermodulation Distortion	IMD	$f_1 = 1.98MHz$ , $f_2 = 2.00MHz$ (-7dB FS, each tone) (Note 5)		-70		dBc
<b>ANALOG INPUT</b> (INP, INN, CML)						
Input Resistance	$R_{IN}$	Either input to ground	3.5			k $\Omega$
Input Capacitance	$C_{IN}$	Either input to ground		8		pF
Input Common-Mode Voltage Range	$V_{CMVR}$	CML (Note 6)		2.25 $\pm 10\%$		V
Differential Input Range	DR	$V_{INP} - V_{INN}$		$\pm 2$		V
Small-Signal Bandwidth	SSBW	(Note 7)		400		MHz
Large-Signal Bandwidth	LSBW	(Note 7)		150		MHz
<b>REFERENCE</b> ( $V_{REFIN} = 0$ ; REFP, REFN, CML applied externally)						
Input Resistance	$R_{IN}$	REFIN (Note 8)	6.5			k $\Omega$
Input Capacitance	$C_{IN}$	REFIN		10		pF
Differential Reference		$V_{REFP} - V_{REFN}$		2.0		V
Input Current	$I_{IN}$	REFP, CML, REFN	-325		+325	$\mu A$
Input Capacitance	$C_{IN}$	REFP, CML, REFN		15		pF
REFP Input Range				3.25 $\pm 10\%$		V
CML Input Range				2.25 $\pm 10\%$		V
REFN Input Range				1.25 $\pm 10\%$		V
<b>REFERENCE OUTPUTS</b> (REFP, CML, REFN; external +2.5V reference)						
Positive Reference Voltage	$V_{REFP}$			3.25		V
Common-Mode Reference Voltage	$V_{CML}$			2.25		V
Negative Reference Input Voltage	$V_{REFN}$			1.25		V
Differential Reference		$V_{REFP} - V_{REFN}$ , $T_A = +25^\circ C$	1.9	2.0	2.1	V
Differential Reference Temperature Coefficient				$\pm 50$		ppm/ $^\circ C$

# 10ビット、10MSPS ADC

MAX1426

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{AVDD} = V_{CMLP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = V_{DGND} = 0$ , internal reference, digital output loading 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>REFERENCE OUTPUT</b> (REFP, CML, REFN; internal +2.5V reference)						
Positive Reference	$V_{REFP}$	(Note 1)		3.25		V
Common-Mode Reference Voltage	$V_{CML}$	(Note 1)		2.25		V
Negative Reference	$V_{REFN}$	(Note 1)		1.25		V
Differential Reference		$V_{REFP} - V_{REFN}$ , $T_A = +25^\circ C$	1.8	2	2.2	V
Differential Reference Temperature Coefficient				$\pm 150$		ppm/ $^\circ C$
<b>POWER SUPPLY</b>						
Analog Supply Voltage	$V_{AVDD}$		4.75	5.00	5.25	V
Digital Supply Voltage	$V_{DVDD}$		2.7	3.3	5.5	V
Analog Supply Current	$I_{AVDD}$			29	38	mA
Analog Supply Current with Internal Reference in Shutdown		REFIN = AGND		25	35	mA
Analog Shutdown Current		$\overline{OE}/PD = DVDD$		0.6	1	mA
Digital Supply Current	$I_{DVDD}$	$V_{DVDD} = 3.3V$ $V_{DVDD} = 5.0V$		3.3 5.3	6 8	mA
Digital Shutdown Current		$\overline{OE}/PD = DVDD$		40	150	$\mu A$
Power Dissipation	PD			156	210	mW
<b>DIGITAL INPUTS</b> (CLK, $\overline{OE}/PD$ )						
Input Logic High	$V_{IH}$	$V_{DVDD} > 4.75V$	2.4			V
		$V_{DVDD} < 4.75V$	$0.7 \times V_{DVDD}$			
Input Logic Low	$V_{IL}$	$V_{DVDD} > 4.75V$	0.8			V
		$V_{DVDD} < 4.75V$	$0.3 \times V_{DVDD}$			
Input Current Leakage		$V_{DVDD} = 5.25V$	$I_{CLK}$	-10	10	$\mu A$
			$\overline{OE}/PD$	-20	20	$\mu A$
Input Capacitance				10		pF
<b>DIGITAL OUTPUTS</b> (D0–D9)						
Output Logic High	$V_{OH}$	$I_{OH} = -200\mu A$ , $V_{DVDD} = 2.7V$	$V_{DVDD} - 0.5$	$V_{DVDD}$		V
Output Logic Low	$V_{OL}$	$I_{OL} = 200\mu A$ , $V_{DVDD} = 2.7V$		0.5		V
Three-State Leakage		$V_{DVDD} = 5.25V$ , $\overline{OE}/PD = DVDD$	-10	10		$\mu A$
Three-State Capacitance		$\overline{OE}/PD = DVDD$		10		pF

**ELECTRICAL CHARACTERISTICS (continued)**

( $V_{AVDD} = V_{CMLP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = V_{DGND} = 0$ , internal reference, digital output loading 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle),  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS</b>						
Conversion Rate	CONV		0.1		10	MHz
Clock Frequency	$f_{CLK}$				10	MHz
Clock High	$t_{CH}$	Figure 4	40	50	60	ns
Clock Low	$t_{CL}$	Figure 4	40	50	60	ns
Pipeline Delay (Latency)				5.5		cycles
Aperture Delay	$t_{AD}$			5		ns
Aperture Jitter	$t_{AJ}$			7		ps
Data Output Delay	$t_{OD}$		5	20	25	ns
Bus Enable				10	20	ns
Bus Disable				10	20	ns

**Note 1:** Internal reference, REFIN bypassed to AGND with a 0.1 $\mu$ F capacitor.

**Note 2:** External +2.5V reference applied to REFIN.

**Note 3:** Internal reference disabled.  $V_{REFIN} = 0$ ,  $V_{REFP} = 3.25V$ ,  $V_{CML} = 2.25V$ , and  $V_{REFN} = 1.25V$ .

**Note 4:** Measured as the ratio of the change in midscale offset voltage for a  $\pm 5\%$  change in  $V_{AVDD}$  using the internal reference.

**Note 5:** IMD is measured with respect to either of the fundamental tones.

**Note 6:** Specifies the common-mode range of the differential input signal supplied to the MAX1426.

**Note 7:** Defined as the input frequency at which the fundamental component of the output spectrum is attenuated by 3dB.

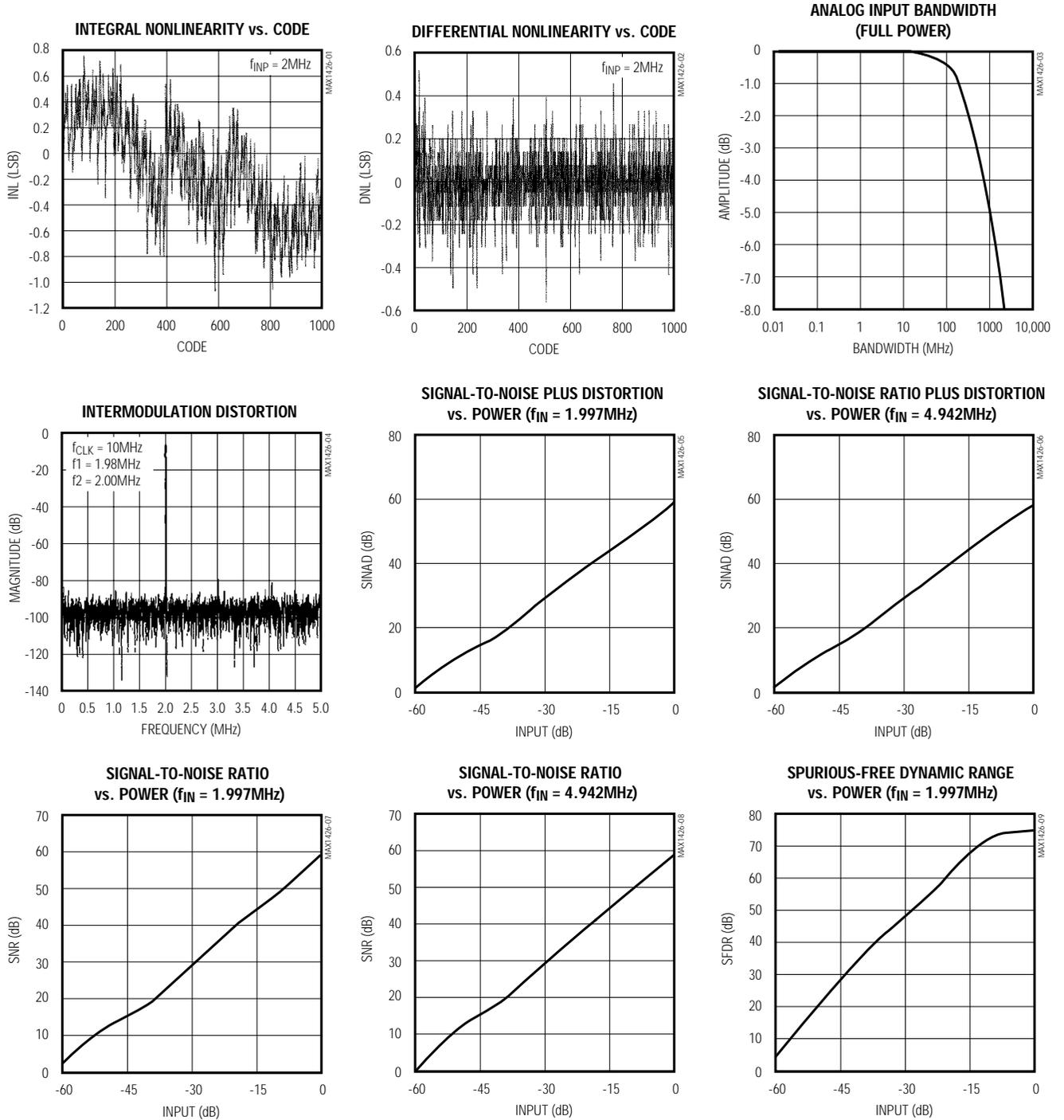
**Note 8:**  $V_{REFIN}$  is internally biased to +2.5V through a 5k $\Omega$  resistor.

# 10ビット、10MSPS ADC

MAX1426

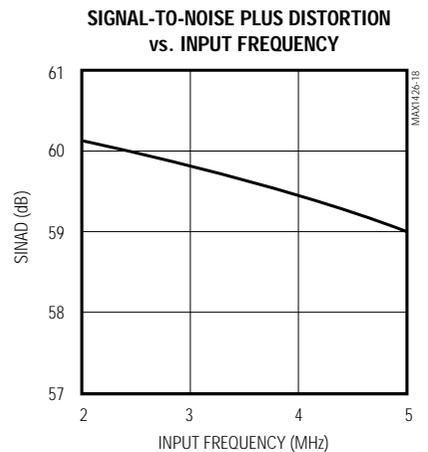
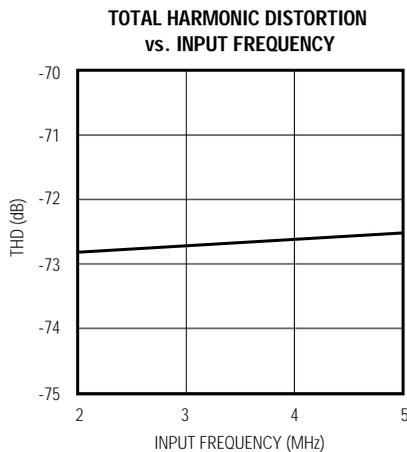
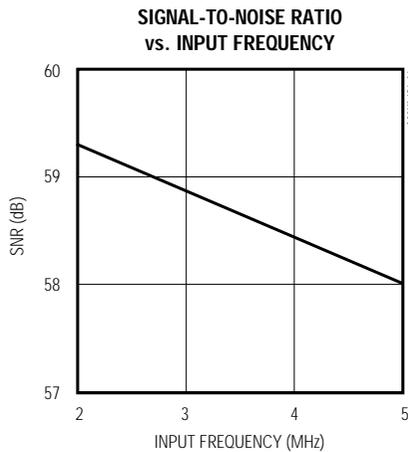
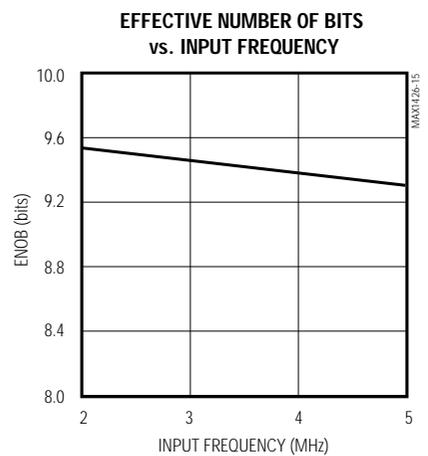
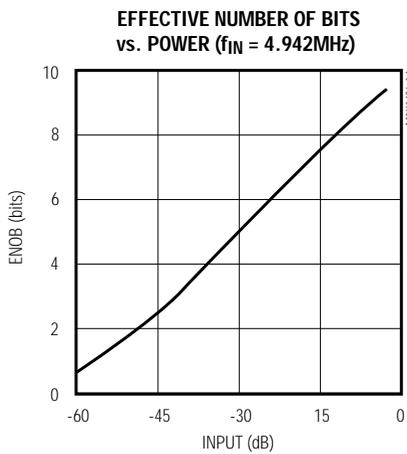
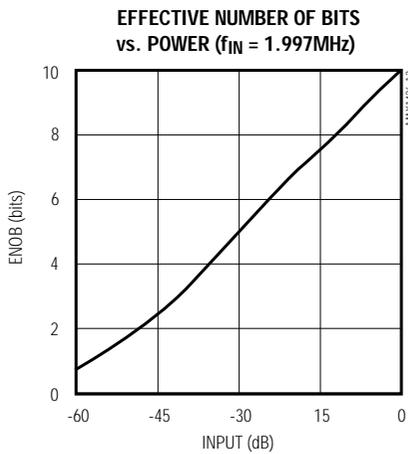
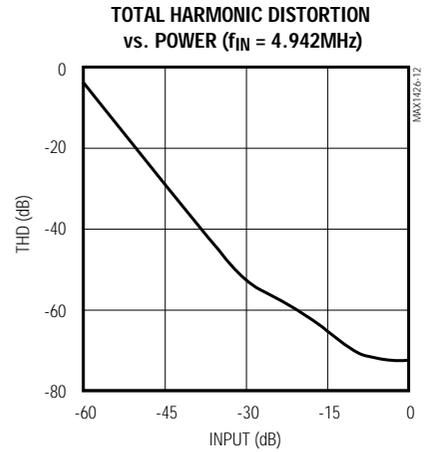
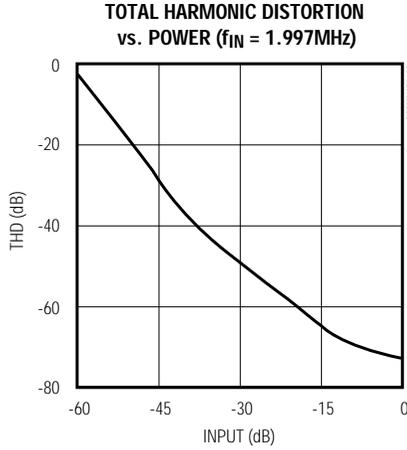
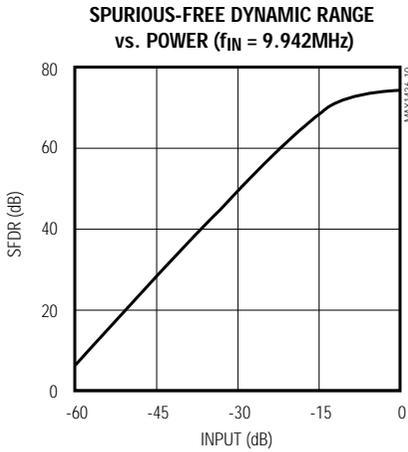
## 標準動作特性

( $V_{AVDD} = V_{CMLP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = 0$ , internal reference, digital output load = 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle), for dynamic performance 0dB is full scale,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 標準動作特性(続き)

( $V_{AVDD} = V_{CMLP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = 0$ , internal reference, digital output load = 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle), for dynamic performance 0dB is full scale,  $T_A = +25^\circ C$ , unless otherwise noted.)

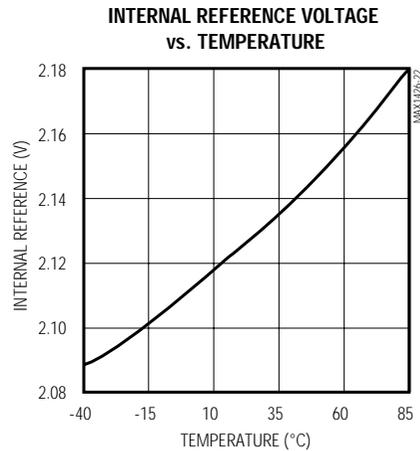
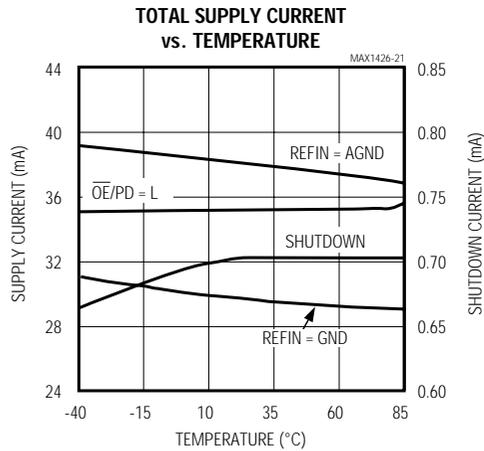
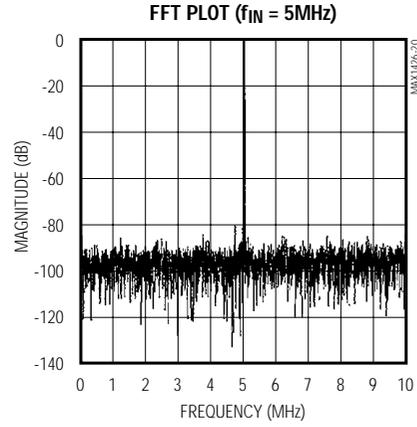
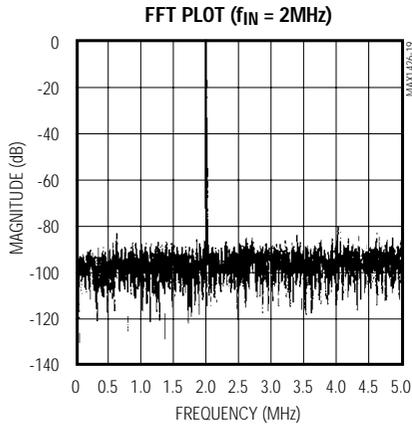


# 10ビット、10MSPS ADC

MAX1426

## 標準動作特性(続き)

( $V_{AVDD} = V_{CMLP} = +5V$ ,  $V_{DVDD} = +3.3V$ ,  $V_{CMLN} = V_{AGND} = 0$ , internal reference, digital output load = 35pF,  $f_{CLK} = 10MHz$  (50% duty cycle), for dynamic performance 0dB is full scale,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1, 7	AGND	アナロググランド。アナログ信号の全てのリターン経路をこれらのピンに接続して下さい。
2, 8	AV <sub>DD</sub>	アナログ電源電圧入力。2.2μF、0.1μF及び100pFのコンデンサを並列にしたものでAGNDにバイパスして下さい。各電源入力を一番近いAGNDにバイパスして下さい(例えばピン1と2の間のコンデンサ)。
3	REFP	正リファレンス出力。0.1μFコンデンサでAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合、REFPは外部電圧を受け付けます。
4	REFIN	外部リファレンス入力。0.1μFコンデンサでAGNDにバイパスして下さい。REFINを外部からバイアスすることにより、リファレンスレベルの調節とフルスケール誤差のキャリブレーションが可能です。内部リファレンスをディセーブルするには、REFINをAGNDに接続して下さい。
5	REFN	負リファレンス出力。0.1μFコンデンサでAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合(REFN = AGND)、REFNは外部電圧を受け付けます。
6	CML	同相レベル入力。0.1μFコンデンサでAGNDにバイパスして下さい。内部リファレンスがディセーブルされている場合(REFN = AGND)、CMLは外部電圧を受け付けます。
9	INP	正アナログ信号入力
10	INN	負アナログ信号入力
11	CMLP	同相モードレベル正入力。ACアプリケーションの場合は、AV <sub>DD</sub> に接続して入力DCバイアスレベルを内部設定して下さい。DCカップリングのアプリケーションの場合は、AGNDに接続して下さい。
12	CMLN	同相モードレベル負入力。AC及びDCカップリングのアプリケーションのいずれの場合も、AGNDに接続して入力DCバイアスレベルを内部設定して下さい。
13	CLK	クロック入力。クロック周波数は0.1MHz ~ 10MHzの範囲です。
14	$\overline{OE}/PD$	アクティブロー出力イネーブル及びパワーダウン入力。このピンがハイの時に、デジタル出力がハイインピーダンスになり、デバイスは低電力モードになります。
15	D9	デジタルデータ出力(MSB)
16-19	D8-D5	デジタルデータ出力8 ~ 5
20, 22	DV <sub>DD</sub>	デジタル電源電圧入力。2.2μFと0.1μFコンデンサを並列にしたものでバイパスして下さい。デジタル電源は最低+2.7Vで動作します。
21, 23	DGND	デジタルグランド
24-27	D4-D1	デジタルデータ出力4 ~ 1
28	D0	デジタルデータ出力(LSB)

# 10ビット、10MSPS ADC

MAX1426

## 詳細

MAX1426は10段の完全差動パイプライン構造(図1)を採用しているため、最小限の消費電力で高速変換が可能です。各サンプルはハーフクロックサイクル毎にパイプライン段を通過します。出力ラッチの遅延を計算に入れると、5.5クロックサイクルの待ち時間があることとなります。

2ビットフラッシュADCが入力電圧をデジタルコードに変換します。DACがADCの結果をアナログ電圧に変換し戻して、その分が保持されている入力信号から差し引きされます。この結果得られた誤差信号が2倍され、その結果が次のパイプライン構造に送られて、同様のプロセスが繰り返されます。デジタル誤差補正により、各パイプライン段のオフセットとミスマッチが補償され、ミッシングコードが防止されます。

## 内部トラック/ホールド回路

図2に、内部トラック/ホールド(T/H)回路のトラックモード及びホールドモードの簡略化ファンクションダイアグラムを示します。完全差動回路が入力信号を4つのコンデンサC1a、C1b、C2a、及びC2bにサンプリングします。スイッチS2aとS2bがアンプ入力と同相モードを設定し、S1より先に開きます。S1が開くと、入力がサンプリングされます。そしてスイッチS3aとS3bがコンデンサC2aとC2bをアンプの出力に接続します。コンデンサC2aとC2bは、フラッシュADCの結果に依存して、REFN、REFPあるいは互いに接続されます。アンプが残りを2倍に増幅し、パイプラインの次の段が同様の動作を行います。

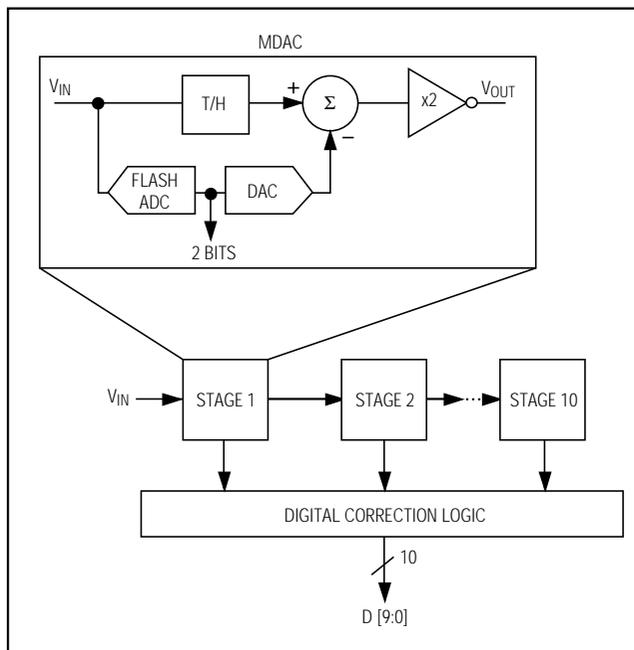


図1. パイプラインA/D構造(ブロック)

## システムタイミング条件

図3にクロック入力、アナログ入力及びデータ出力の関係を示します。MAX1426は入力クロックの立下がりエッジでサンプリングします。出力データは入力クロックの上上がりエッジで有効になります。出力データは、図に示すように5.5クロックサイクルの待ち時間を持っています。図4に、入力クロックパラメータと有効な出力データの間の関係を示す出力タイミング図を示します。

## アナログ入力及び内部リファレンス

MAX1426は、3つのリファレンスレベル+3.25V、+2.25V及び+1.25V( $V_{REFP}$ 、 $V_{CML}$ 及び $V_{REFN}$ に対応)を生成するために使用される内部+2.5Vリファレンスを持っています。これらのリファレンス電圧により、入力範囲が $\pm 2V$ となります。全てのリファレンス電圧は0.1 $\mu$ Fコンデンサでバイパスして下さい。

MAX1426は3つのリファレンス動作モードを許容します。すなわち、内部リファレンス(デフォルト)モード、外部調節リファレンスモード及び完全外部リファレンスモードです。REFIN、REFP、CML及びREFNに電圧が印加されない時は、内部リファレンスモードになります。

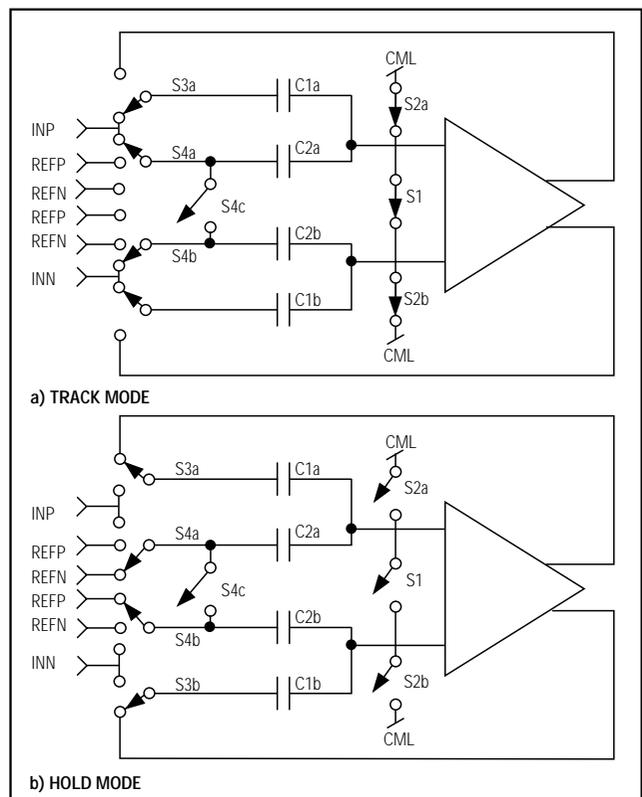


図2. 内部トラック/ホールド回路

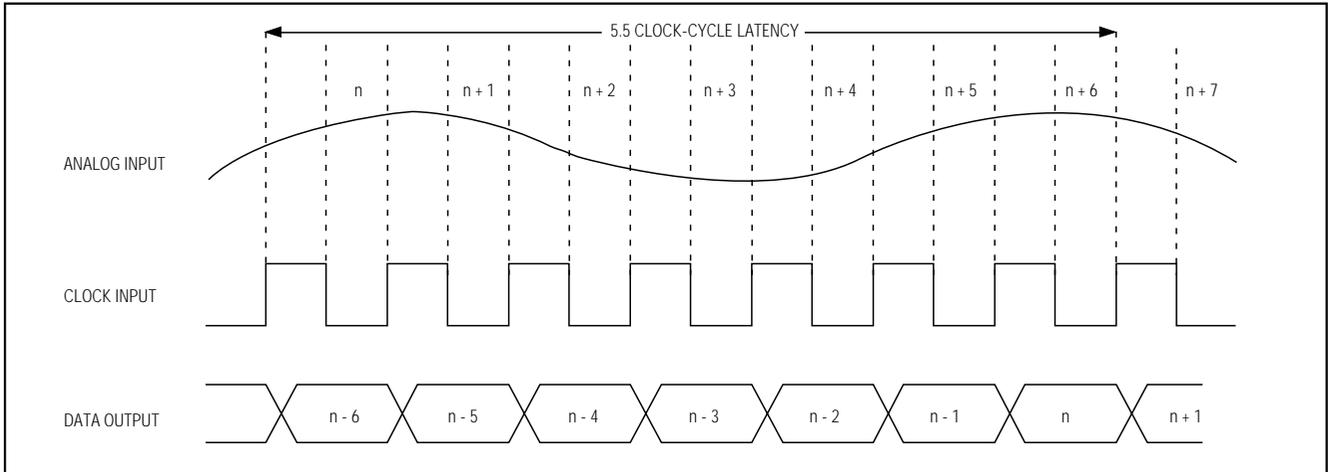


図3. システムタイミング図

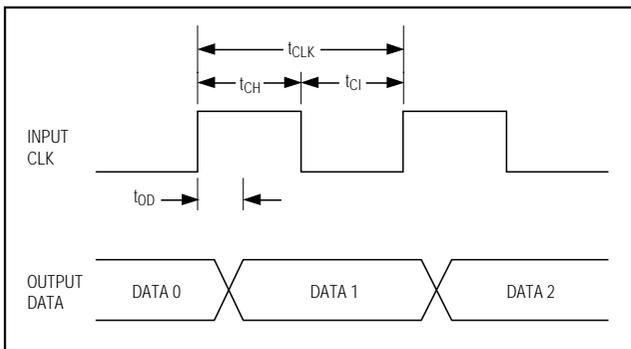


図4. 出力タイミング図

このモードにおいては、これらのピンの電圧はそれぞれの公称値に設定されます(「Electrical Characteristics」を参照)。リファレンス電圧レベルは、REFINに電圧を印加することによって外部から調節できます。これにより、他の入力レベルの使用が可能になります。REFIN = AGNDの時は、完全外部リファレンスモードになり、REFP、CML及びREFIN)に外部電圧を印加できます。このモードにおいては、内部電圧はシャットダウンして、全体の消費電力が減少します。

### クロック入力(CLK)

CLKはTTL/CMOSコンパチブルです。段間変換は外部クロックの立上がり及び立下がりエッジに依存するため、低ジッタで立上がりと立下がりの速い(<2ns)クロックを使用して下さい。MAX1426は50%のデューティサイクルで動作します。クロックのデューティサイクルが50%以外の場合は、クロックのハイ及びロー期間が「Electrical Characteristics」で指定されている仕様を満たす必要があります。

表1. MAX1426の出力コード

DIFFERENTIAL INPUT	OUTPUT CODE (TWO'S COMPLEMENT)
+Full Scale	0 1 1 1 1 1 1 1 1 1
+Full Scale 1LSB	0 1 1 1 1 1 1 1 1 0
+Full Scale 2LSB	0 1 1 1 1 1 1 1 0 1
+3/4 Full Scale	0 1 1 0 0 0 0 0 0 0
+1/2 Full Scale	0 1 0 0 0 0 0 0 0 0
+1/4 Full Scale	0 0 1 0 0 0 0 0 0 0
+1 LSB	0 0 0 0 0 0 0 0 0 1
Bipolar Zero	0 0 0 0 0 0 0 0 0 0
-1 LSB	1 1 1 1 1 1 1 1 1 1
-1/4 Full Scale	1 1 1 0 0 0 0 0 0 0
-1/2 Full Scale	1 1 0 0 0 0 0 0 0 0
-3/4 Full Scale	1 0 1 0 0 0 0 0 0 0
-Full Scale + 1LSB	1 0 0 0 0 0 0 0 0 1
-Full Scale	1 0 0 0 0 0 0 0 0 0

### 出カインーブル/パワーダウン機能( $\overline{OE}/PD$ )及び出力データ

全てのデータ出力(D0~D9)は、TTL/CMOSロジックコンパチブルです。変換開始信号と有効な出力データの間には5.5クロックサイクルの待ち時間があります。MAX1426の出力コーディングはバイナリの2の補数形式で、MSBが反転されています(表1)。 $\overline{OE}/PD$ がハイになると、デジタル出力がハイインピーダンス状態になり、デバイスは低電力モードになります。通常動作では $\overline{OE}$ をローにして下さい。出力の仕様はTTLコンパチブルのため僅か200 $\mu$ Aとなっており、大容量や重負荷を駆動するように設計されていません。アプリケーションに出力バッファが必要な場合は、74LS74又は74ALS541を使用して下さい。

# 10ビット、10MSPS ADC

MAX1426

## アプリケーション情報

図5に、シングルエンドから差動へのコンバータを含む標準アプリケーションを示します。内部リファレンスはレベルシフト用の+2.25V出力を提供します。入力はバッファされてから電圧フォロワとインバータに分割されます。オペアンプの後には、高速オペアンプの広帯域ノイズの一部を除去するためのローパスフィルタがあります。このアプリケーションにおいては、アンプ出力が直接入力にカップリングされています。この構成を修正してACカップリングアプリケーションに使用することも

できます。MAX1426はDCレベルシフト回路を内蔵しているため、ACカップリングのアプリケーションが可能です。レベルシフト回路は図6に示されています。

図6の回路は最大1Vp-pの入力電圧を受け入れます。最大クロック周波数は10MHzです。50Ωの終端処理で反射を最小限に抑えて下さい。デジタル出力を低コスト、高速オクタールラッチ付フリップフロップ(74ALS374)でバッファするか、あるいは74ALS541等のオクタールバッファを使用して下さい。

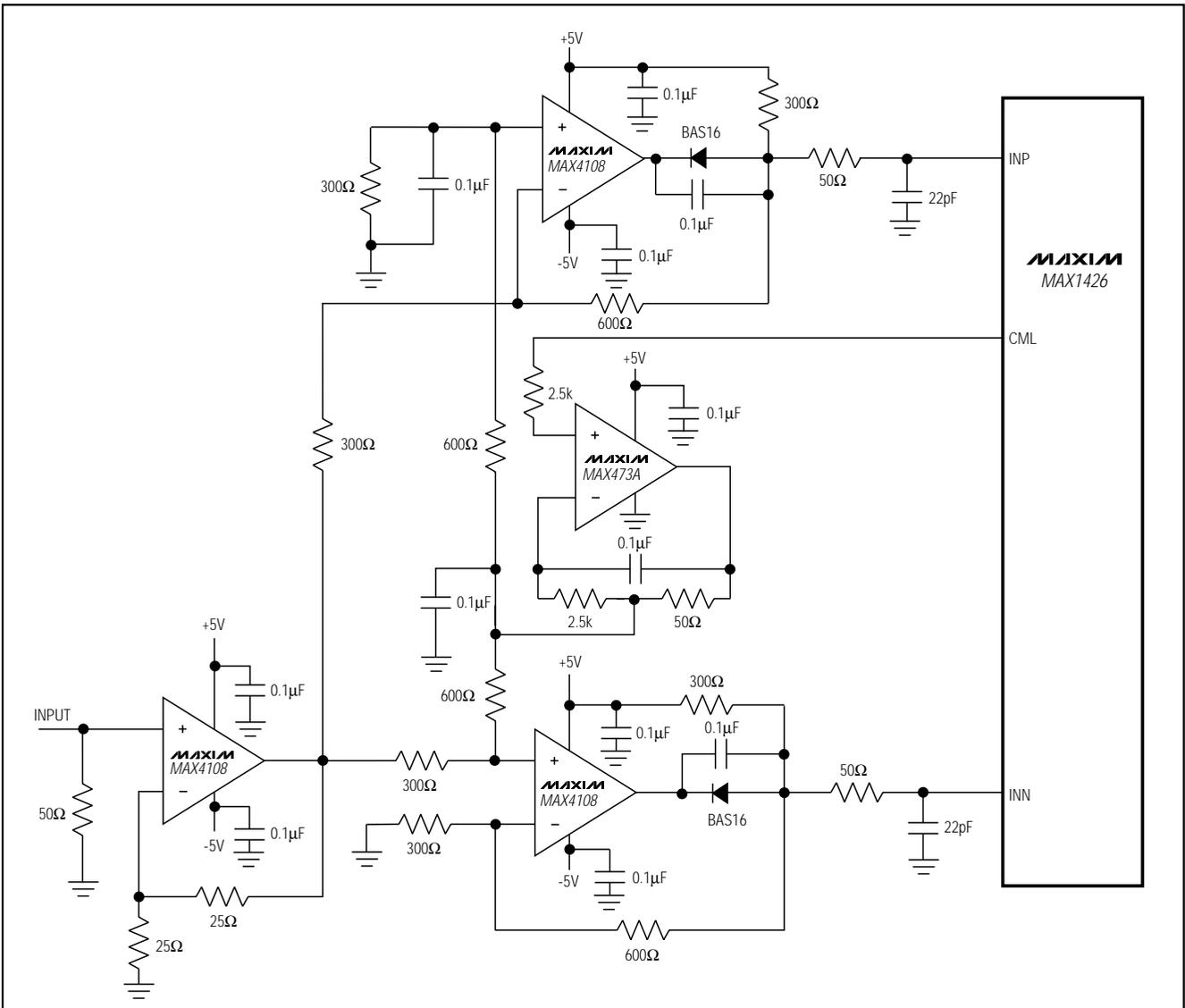


図5. 内部リファレンスを使用した標準アプリケーション

## 外部リファレンスを使用した標準アプリケーション

図7に、内部リファレンスをシャットダウンするアプリケーション回路を示します。これにより、外部リファレンスを使って異なる同相電圧を選択できます。このため、柔軟性が増して、レシオメトリック変換やキャリブレーションが可能になります。

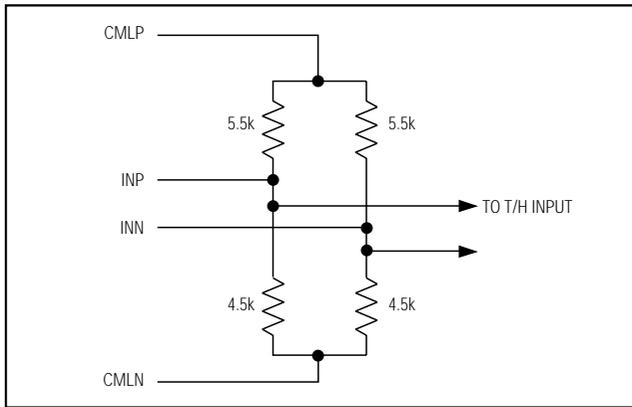


図6. アナログ入力のDCバイアス回路

## トランスカップリングの使用

小さなトランス(図8)により、絶縁とADC入力へのACカップリングを提供できます。トランスのセンタータップをCMLに接続すると、入力に+2.25VのDCレベルシフトが与えられます。トランスカップリングを使うと高速オペアンプが不要になるため、コストが低減します。ここでは1:1トランスが示されていますが、ステップアップトランスを使用すると駆動条件を軽減できます。

## シングルエンドDCカップリング入力信号

図9に、ACカップリングのシングルエンドアプリケーションを示します。MAX4108クワッドオペアンプは、高速、高帯域幅、低ノイズ及び低歪み特性によって入力信号の完全性を維持します。

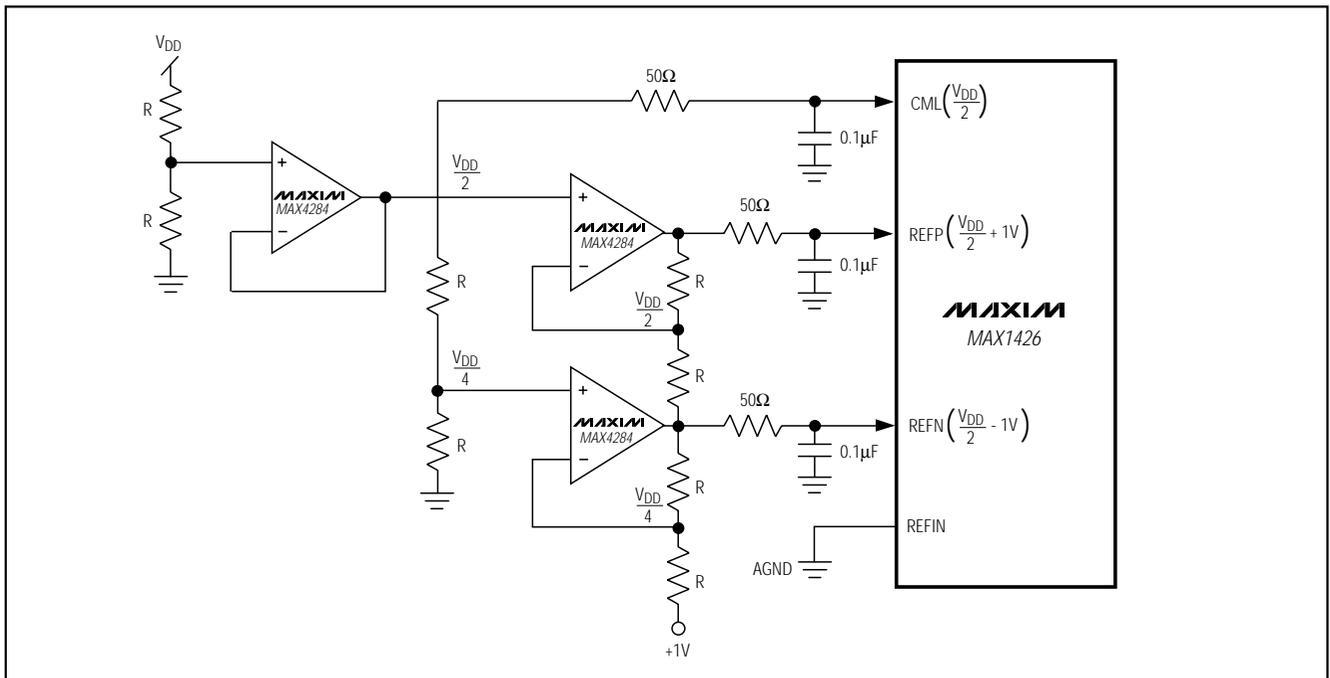


図7. REFP、REFN及びCMLに外部リファレンスを使用(内部リファレンスはシャットダウン)

# 10ビット、10MSPS ADC

MAX1426

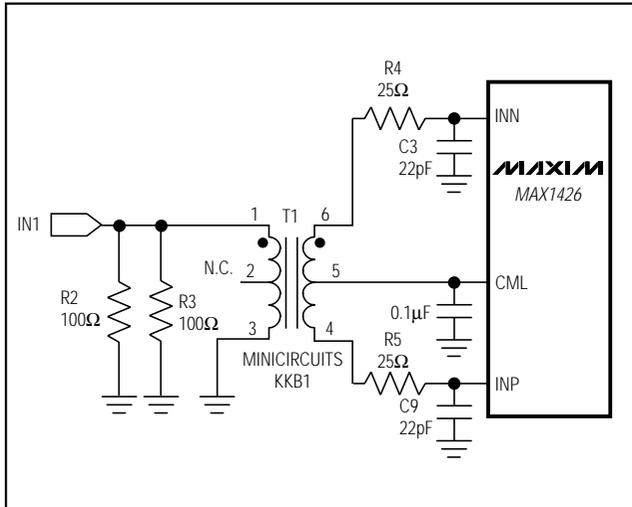


図8. ACカップリング用にトランスを使用

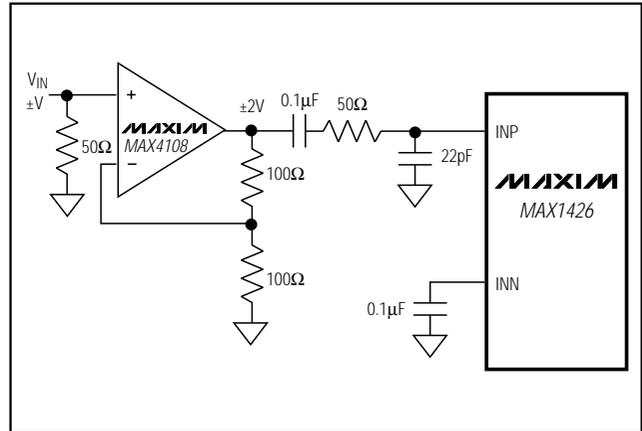


図9. シングルエンドACカップリングの入力信号

## バイパス及び基板レイアウト

MAX1426は高速基板レイアウト技法を必要とします。全てのバイパスコンデンサをデバイスのできるだけ近くに配置し、表面実装部品を使用してインダクタンスを最小限に抑えて下さい。全てのアナログ電圧( $AV_{DD}$ 、REFIN、REFP、REFN及びCML)をAGNDにバイパスして下さい。デジタル電源( $DV_{DD}$ )をDGNDにバイパスして下さい。グラウンドプレーンと電源プレーンが別々になった複層基板が最高の信号完全性を提供します。高速デジタル信号トレースは敏感なアナログトレースから離して下さい。(特に入力クロック発生器の)インピーダンスをマッチングさせると、反射が減少してシステムのジッタが減ります。最適の結果を得るためには、MAX4108等の低歪みコンプリメンタリ部品を使用して下さい。

## チップ情報

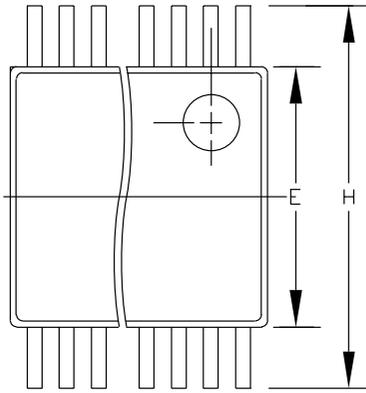
TRANSISTOR COUNT: 5305

# 10ビット、10Msps ADC

パッケージ

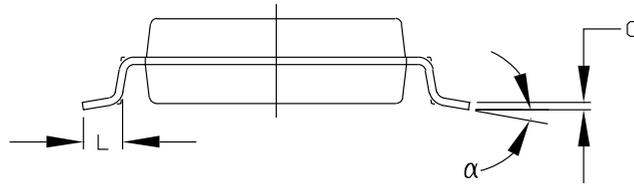
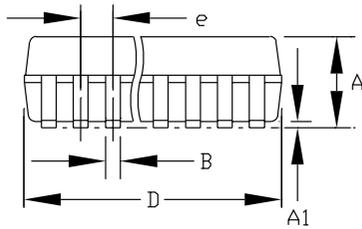
MAX1426

SSOPs



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.068	0.078	1.73	1.99
A1	0.002	0.008	0.05	0.21
B	0.010	0.015	0.25	0.38
C	0.004	0.008	0.09	0.20
D	SEE VARIATIONS			
E	0.205	0.209	5.20	5.38
e	0.0256	BSC	0.65	BSC
H	0.301	0.311	7.65	7.90
L	0.025	0.037	0.63	0.95
$\alpha$	0°	8°	0°	8°

D	INCHES		MILLIMETERS		
	MIN	MAX	MIN	MAX	
D	0.239	0.249	6.07	6.33	14L
D	0.239	0.249	6.07	6.33	16L
D	0.278	0.289	7.07	7.33	20L
D	0.317	0.328	8.07	8.33	24L
D	0.397	0.407	10.07	10.33	28L



NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm (.006")
3. CONTROLLING DIMENSION: MILLIMETER



PROPRIETARY INFORMATION

TITLE:

PACKAGE OUTLINE, SSOP, 5.3X.65mm

APPROVAL	DOCUMENT CONTROL NO.	REV	1/1
	21-0056	A	

# 10ビット、10Msps ADC

---

MAX1426

## NOTES

販売代理店

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

**MAXIM** is a registered trademark of Maxim Integrated Products.