

μDFNパッケージの2/4/6/8チャンネル、 ±30kV、ESDプロテクタ

概要

MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、低容量、±30kVのESD保護ダイオードアレイで、通信ラインに接続する敏感な電子回路の保護用に設計されています。各チャンネルは、ESD電流パルスをV_{CC}またはGNDに流す1対のダイオードで構成されています。

MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、最高±15kVのヒューマンボディモデル(HBM)およびIEC 61000-4-2規格で規定された最高±30kVのエアギャップ放電に対して保護します。これらのデバイスは、チャンネル当たり6pFのオン容量を持つため、高速データI/Oインタフェースでの使用に最適です。

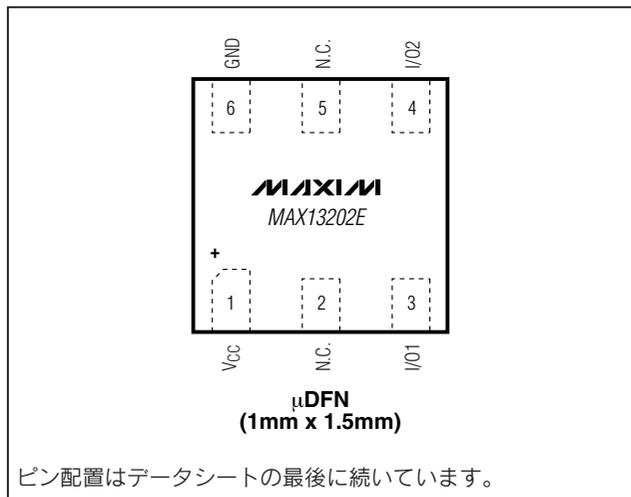
MAX13204Eは、イーサネットおよびFireWire®アプリケーション用に設計されたクワッドESD構造です。MAX13202E/MAX13206E/MAX13208Eは、2チャンネル、6チャンネル、および8チャンネルの製品で、携帯電話コネクタおよびSVGAビデオ接続用に設計されています。

これらのデバイスは、6、8、および10ピンμDFNパッケージで提供され、-40℃～+125℃の車載用動作温度範囲での動作が保証されています。

アプリケーション

USB	イーサネット
USB2.0	ビデオ
PDA	携帯電話
FireWire	

ピン配置



FireWireはApple Computer, Inc.の登録商標です。

特長

- ◆ 高速データラインのESD保護
 - ±15kV-ヒューマンボディモデル
 - ±30kV-ICE 61000-4-2、エアギャップ放電
- ◆ 小型μDFNパッケージ
 - MAX13202E (1mm x 1.5mm)
 - MAX13204E (2mm x 2mm)
 - MAX13206E (2mm x 2mm)
 - MAX13208E (2mm x 2mm)
- ◆ 低入力容量：6pF
- ◆ 低リーク電流：1nA (max)
- ◆ 電源電圧範囲：+0.9V～+16V

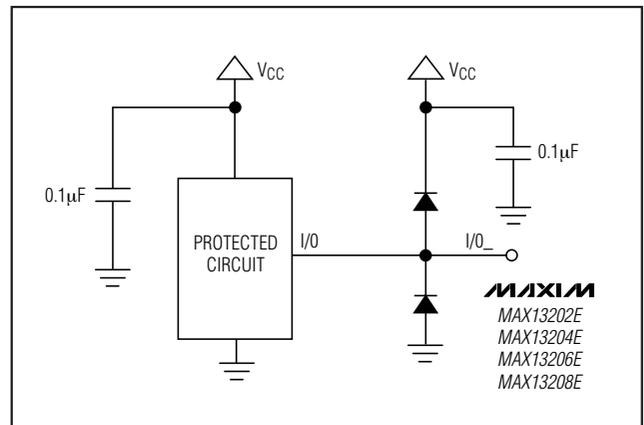
型番

PART	PIN-PKG	PROTECTED I/O PORTS	TOP MARK	PKG CODE
MAX13202EALT+	6 μDFN	2	BV	L611-1
MAX13204EALT+	6 μDFN	4	AAO	L622-1
MAX13206EALA+	8 μDFN	6	AAL	L822-1
MAX13208EALB+	10 μDFN	8	AAD	L1022-1

注：すべてのデバイスは、-40℃～+125℃の車載用動作温度範囲での動作が保証されています。

+は鉛フリーパッケージを示します。

標準動作回路



μDFNパッケージの2/4/6/8チャンネル、 ±30kV、ESDプロテクタ

MAX13202E/MAX13204E/MAX13206E/MAX13208E

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +18V
I/O ₋ to GND	-0.3V to (V _{CC} + 0.3V)
Continuous Power Dissipation (T _A = +70°C)	
6-Pin, 1mm x 1.5mm μDFN (derate 2.1mW/°C above +70°C).....	168mW
6-Pin, 2mm x 2mm μDFN (derate 4.5mW/°C above +70°C).....	358mW
8-Pin, 2mm x 2mm μDFN (derate 4.8mW/°C above +70°C).....	381mW
10-Pin, 2mm x 2mm μDFN (derate 5.0mW/°C above +70°C).....	403mW

Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V ±5%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{CC} = +5V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}		0.9		16.0	V
Supply Current	I _{CC}			1	100	nA
Diode Forward Voltage	V _F	I _F = 10mA	0.65		0.95	V
Channel Clamp Voltage (Note 2)	V _C	T _A = +25°C, ±15kV, Human Body Model, I _F = 10A	Positive transients		V _{CC} + 25	V
			Negative transients		-25	
		T _A = +25°C, ±14kV, Contact Discharge (IEC 61000-4-2), I _F = 42A	Positive transients		V _{CC} + 80	
			Negative transients		-80	
		T _A = +25°C, ±30kV, Air-Gap Discharge (IEC 61000-4-2), I _F = 90A	Positive transients		V _{CC} + 120	
			Negative transients		-120	
Channel Leakage Current (Note 3)		T _A = -40°C to +50°C	-1		+1	nA
		T _A = -40°C to +125°C	-1		+1	μA
Channel Input Capacitance		V _{CC} = 5V, bias of V _{CC} /2, f = 1MHz (Note 3)		6	7	pF
ESD PROTECTION						
Human Body Model				±15		kV
IEC 61000-4-2 Contact Discharge		MAX13204E/MAX13206E/MAX13208E		±14		kV
		MAX13202E		±12		
IEC 61000-4-2 Air-Gap Discharge				±30		kV

Note 1: Limits over temperature are guaranteed by design, not production tested.

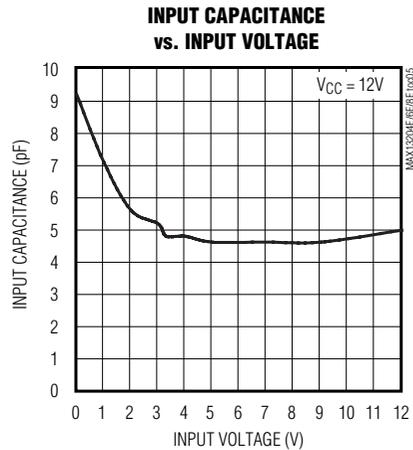
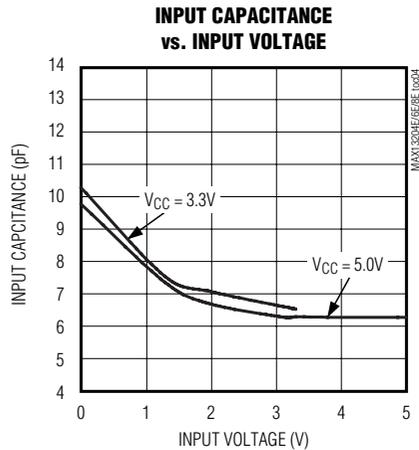
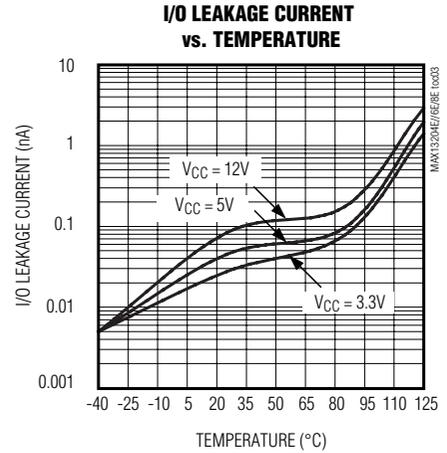
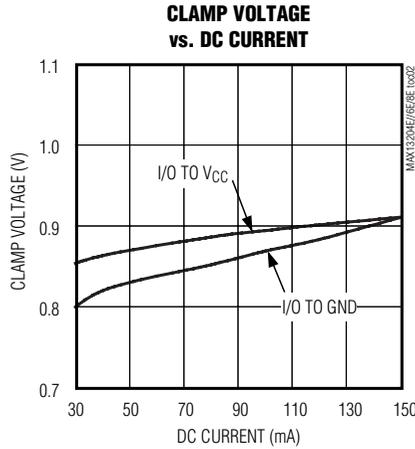
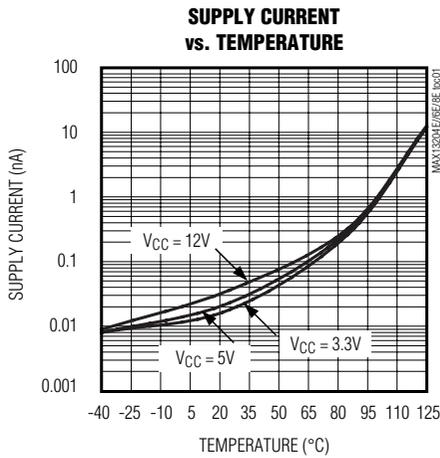
Note 2: Idealized clamp voltages (L1 = L2 = L3 = 0) (Figure 1); see the *Applications Information* section for more information.

Note 3: Guaranteed by design. Not production tested.

μDFNパッケージの2/4/6/8チャネル、 ±30kV、ESDプロテクタ

標準動作特性

($V_{CC} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子				名称	機能
MAX13202E	MAX13204E	MAX13206E	MAX13208E		
1	1	1	1	V_{CC}	電源入力。 V_{CC} を0.1 μF のセラミックコンデンサでGNDにバイパスしてください。コンデンサをデバイスのできる限り近くに配置してください。
2, 5	—	—	—	N.C.	接続なし。内部で接続されていません。
3, 4	2-5	2-7	2-9	I/O ₋	ESD保護チャネル
6	6	8	10	GND	グラウンド

MAX13202E/MAX13204E/MAX13206E/MAX13208E

μDFNパッケージの2/4/6/8チャンネル、 ±30kV、ESDプロテクタ

MAX13202E/MAX13204E/MAX13206E/MAX13208E

詳細

MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、敏感な電子回路をESD状態または過渡電圧に起因する損傷から保護するために設計されたダイオードアレイです。これらのデバイスは、入力容量が小さいため、高速データラインに最適です。MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、それぞれ2、4、6、および8チャンネルを保護します。

MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、デバイスに備わっているESD保護と連携して動作するように設計されています。MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、ヒューマンボディモデル波形が加えられたときのESD事象の暴走を、±25V未満のピーク電圧に制限します。IEC 61000-4-2波形を加えた場合、ピーク電圧を±80V（接触放電）または±120V（エアギャップ放電）に制限します。MAX13202E/MAX13204E/MAX13206E/MAX13208Eによって保護されるデバイスは、これらのピーク電圧および基板の寄生成分によって発生する電圧にも耐えなければなりません。

アプリケーション情報

設計に関して

ESD損傷に対する最も効果的な保護は、基板の適切なレイアウトによって実現します（「推奨レイアウト」の項と図2参照）。適切なレイアウトにすると、グラウンドライン、電源ライン、および保護される信号ライン上の寄生直列インダクタンスが減少します。

MAX13202E/MAX13204E/MAX13206E/MAX13208EのESDダイオードは、ESD事象の発生時に保護されるラインの電圧をクランプし、電流をGNDまたはV_{CC}に流します。理想的な回路では、クランプ電圧V_Cは、保護ダイオードの順電圧降下V_Fとカソードに存在する電源電圧との和として定義されます。

正のESDパルスの場合、

$$V_C = V_{CC} + V_F$$

負のESDパルスの場合、

$$V_C = -V_F$$

実際には、ライン上の直列寄生インダクタンスの影響も考慮する必要があります（図1）。

正のESDパルスの場合、

$$V_C = V_{CC} + V_F(D1) + \left(L1 \times \frac{d(I_{ESD})}{dt} \right) + \left(L2 \times \frac{d(I_{ESD})}{dt} \right)$$

負のESDパルスの場合、

$$V_C = - \left(V_F(D2) + \left(L1 \times \frac{d(I_{ESD})}{dt} \right) + \left(L3 \times \frac{d(I_{ESD})}{dt} \right) \right)$$

ここで、I_{ESD}はESD電流パルスです。

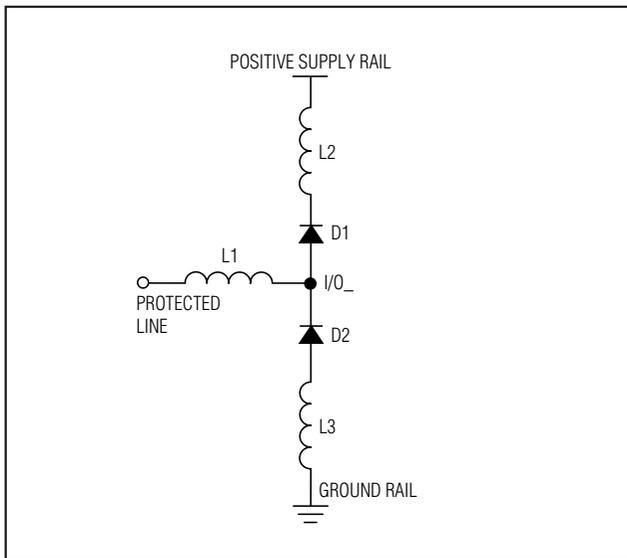


図1. 寄生直列インダクタンス

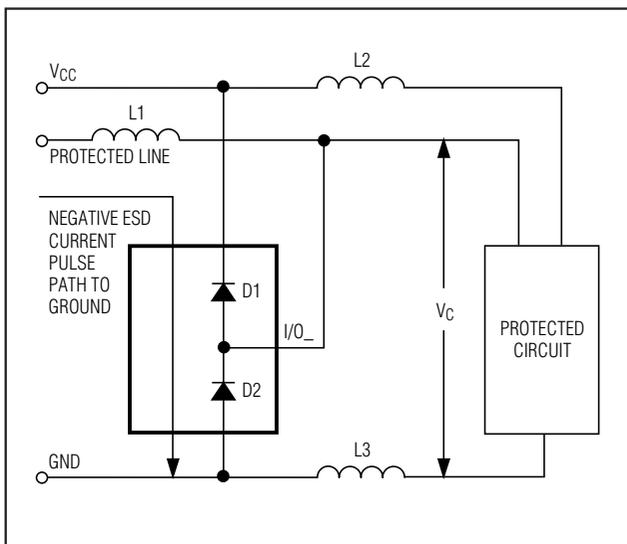


図2. レイアウトについて

μDFNパッケージの2/4/6/8チャネル、 ±30kV、ESDプロテクタ

MAX13202E/MAX13204E/MAX13206E/MAX13208E

ESD事象発生の際、電流パルスはゼロからピーク値までnsオーダで立ち上がります(図3)。たとえば、±15kVのIEC 61000-4-2エアギャップ放電ESD事象では、パルス電流が約45Aまで1nsで立ち上がります($di/dt = 45 \times 10^9$)。わずか10nHのインダクタンスによって、クランプ電圧がさらに450V増加し、このインダクタンスは約0.5インチ(1.3cm)の基板トレースに相当します。寄生インダクタンスを有する不適切なレイアウトでは、デバイスの規定ダイオードクランプ電圧と関係なく、保護される信号ラインでの実効クランプ電圧が著しく増大します。

V_{CC} とGND間には低ESRの0.1μFのコンデンサを使用する必要があります。このバイパスコンデンサは、+14kV (MAX13204E/MAX13206E/MAX13208E) および±12kV (MAX13202E) IEC 61000-4-2の接触放電ESD事象によって移送される電荷を吸収します。

理想的には、電源レール(V_{CC})がその安定化された電圧値を変えることなく、正のESD放電によって生じる電荷を吸収することが望まれます。実際には、すべての電源がその正レールに実効出力インピーダンスを持っています。電源の実効出力インピーダンスを1Ωとして $V = I \times R$ を使うと、 V_C のクランプ電圧が $V_C = I_{ESD} \times R_{OUT}$ だけ増加します。±8kV IEC 61000-4-2 ESD事象は、24Aの電流スパイクを発生します。この場合、クランプ電圧は $V_C = 24A \times 1\Omega$ 、すなわち $V_C = 24V$ だけ増加します。また、適切なバイパスのない不十分なレイアウトでも、クランプ電圧が増加します。このアプリケーションでは、セラミックチップコンデンサをMAX13202E/MAX13204E/MAX13206E/MAX13208Eの V_{CC} 端子のできる限り近くに取り付けることが最善の方法です。また、バイパスコンデンサは、保護されるデバイスのできる限り近くに配置する必要があります。

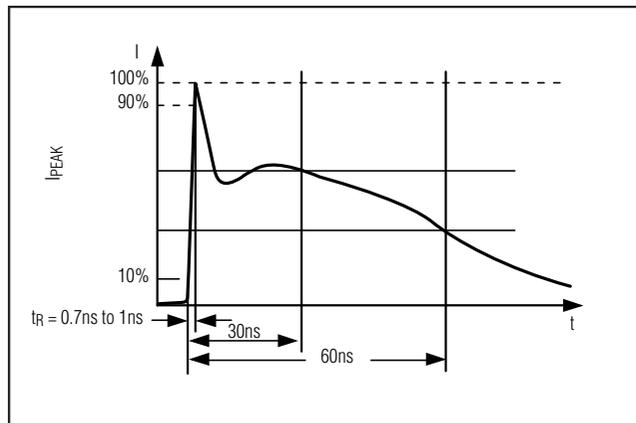


図3. IEC 61000-4-2 ESD発生器の電流波形

±30kVのESD保護

ESD保護はさまざまな方法で試験することができます。MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、下記の上限値までの保護特性が規定されています。

- ヒューマンボディモデルを採用した±15kV
- IEC 61000-4-2に規定された接触放電法を採用した±14kV (MAX13204E/MAX13206E/MAX13208E) と±12kV (MAX13202E)
- IEC 61000-4-2に規定されたエアギャップ放電法を採用した±30kV

ESD試験条件

ESD性能は複数の条件によって決まります。試験構成、方法、および結果を記載した信頼性レポートについてはマキシムにお問い合わせください。

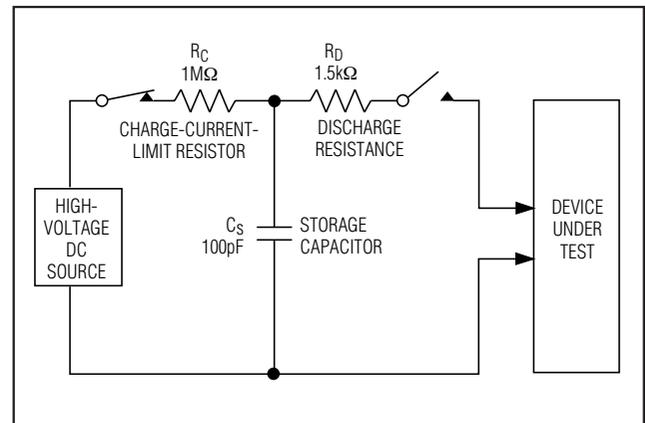


図4. ヒューマンボディESD試験モデル

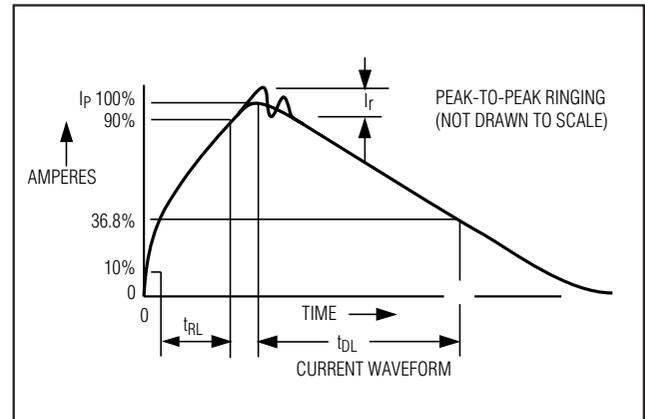


図5. ヒューマンボディモデルの電流波形

μDFNパッケージの2/4/6/8チャンネル、 ±30kV、ESDプロテクタ

MAX13202E/MAX13204E/MAX13206E/MAX13208E

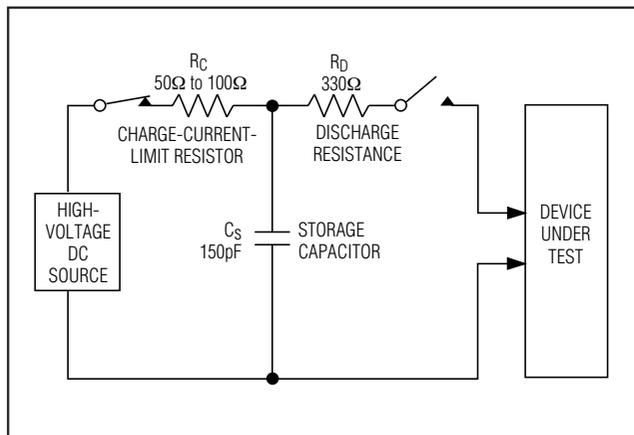


図6. IEC 61000-4-2 ESD試験モデル

ヒューマンボディモデル

図4はヒューマンボディモデルを示し、図5はこのモデルがローインピーダンスに対して放電する際に発生する電流波形を示しています。このモデルは、目標とするESD電圧まで充電された後、1.5kΩの抵抗器を通じてデバイスに放電される100pFのコンデンサで構成されます。

IEC 61000-4-2

IEC 61000-4-2規格は、ESD試験と完成された機器の性能に適用されます。MAX13202E/MAX13204E/MAX13206E/MAX13208Eは、IEC 61000-4-2のレベル4に適合する機器をユーザーが設計する際に役立ちます。

ヒューマンボディモデルとIEC 61000-4-2を使用して実施される試験の主な相違点は、ピーク電流がIEC 61000-4-2の方が大きいことです。直列抵抗はIEC 61000-4-2のESD試験モデルの方が小さいため(図6)、この規格に従って測定したESD耐電圧は一般にヒューマンボディモデルを使用して測定したESD耐電圧よりも低くなります。図3は、±8kVのIEC 61000-4-2レベル4、ESD接触放電試験に対する電流波形を示しています。

エアギャップ放電試験では、充電されたプローブをデバイスに近づける必要があります。接触放電法では、プローブに電圧を与える前にプローブをデバイスに接続します。

推奨レイアウト

ESDの誘導によるライントランジェントを抑制するためには、回路基板の適切なレイアウトがきわめて重要です。MAX13202E/MAX13204E/MAX13206E/MAX13208Eは±120Vにクランプされますが、レイアウトが不適切な場合は、デバイスに加わる電圧スパイクが±120Vよりもはるかに大きくなります。1nsの間に45Aの電流スパイク(di/dt)が10nHのリードインダクタンスに流れると、保護されるラインに450Vのスパイクが加わります。プリント基板のレイアウトは、必ず下記の指針に従うことが重要です：

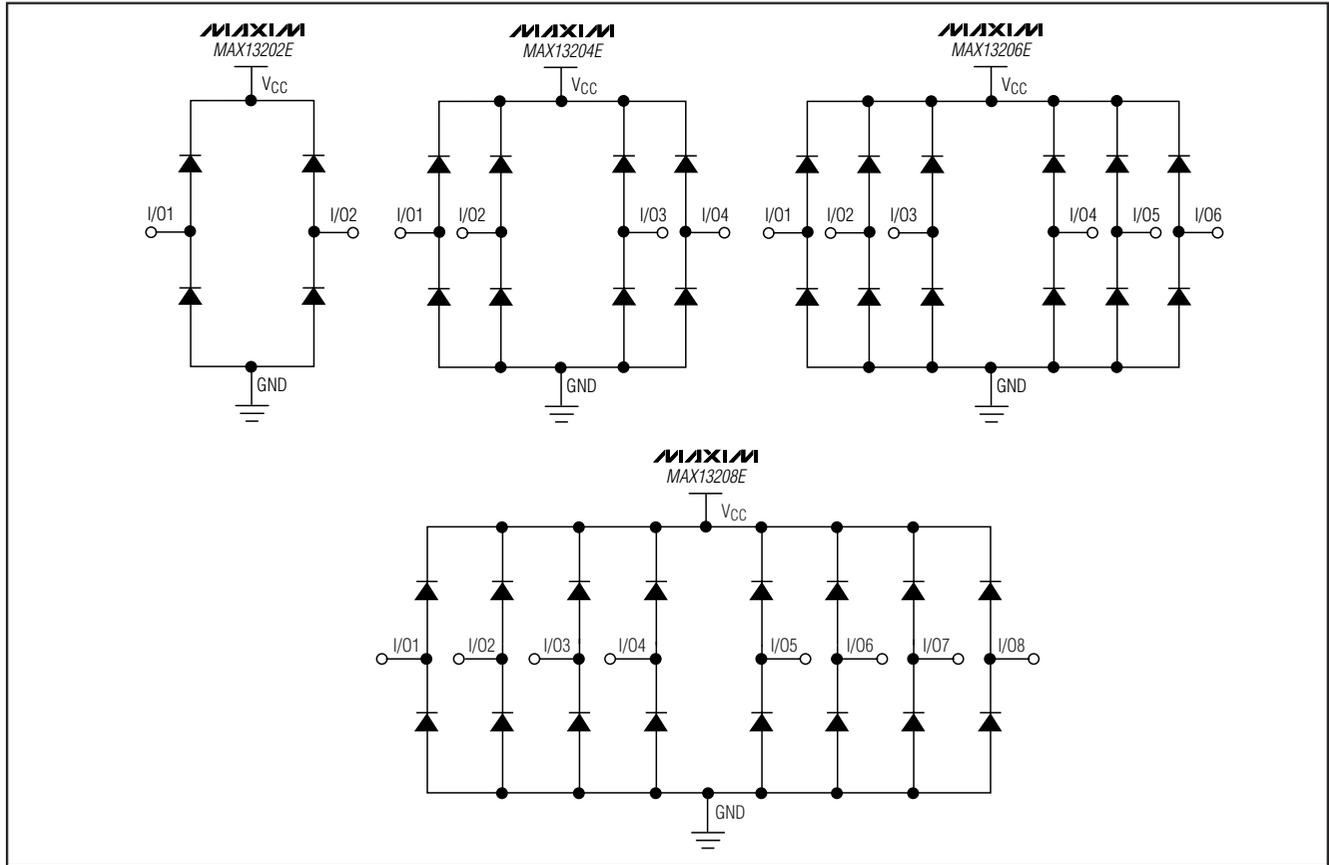
- 1) コネクタまたは入力端子、I/O₋、および保護される信号ラインの間のトレース長を最短にしてください。
- 2) 電源プレーンとグランドプレーンを分離して、寄生インダクタンスを減らすとともに、ESDの分流電流に対する電源レールのインピーダンスを小さくしてください。
- 3) GNDとV_{CC}までのESDトランジェントリターン経路を短くしてください。
- 4) 電流が流れる電源ループとグランドループをできる限り小さくしてください。
- 5) 重要な信号をプリント基板の端部の近くに配置しないでください。
- 6) V_{CC}およびグランド端子のできる限り近くで、V_{CC}を低ESRのセラミックコンデンサでGNDにバイパスしてください。
- 7) 保護されるデバイスの電源端子のできる限り近くで、この電源を低ESRのセラミックコンデンサでGNDにバイパスしてください。

チップ情報

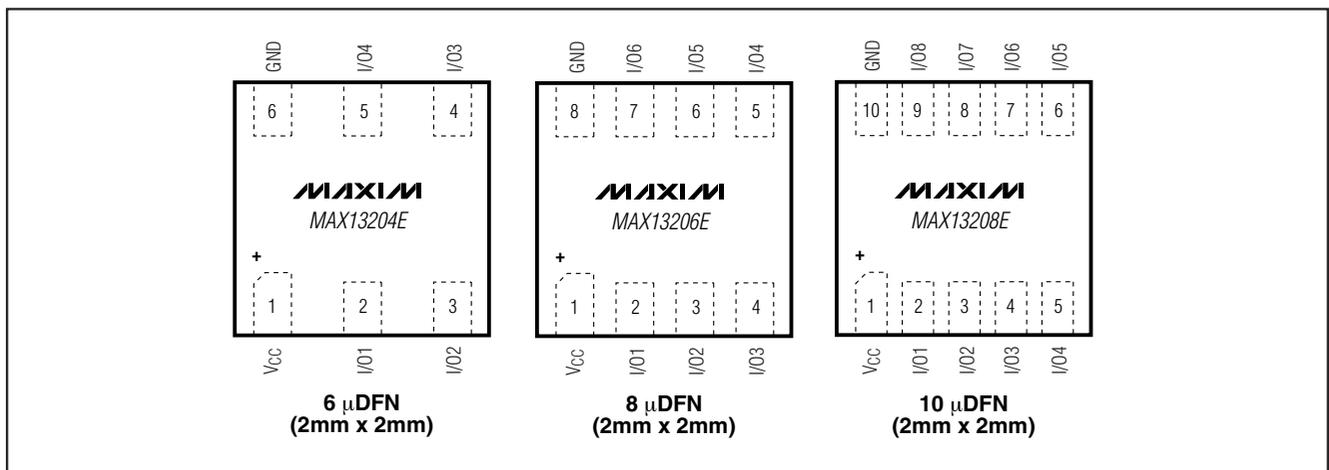
PROCESS: BiCMOS

μDFNパッケージの2/4/6/8チャネル、 ±30kV、ESDプロテクタ

ファンクションダイアグラム



ピン配置(続き)



MAX13202E/MAX13204E/MAX13206E/MAX13208E

μDFNパッケージの2/4/6/8チャンネル、 ±30kV、ESDプロテクタ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

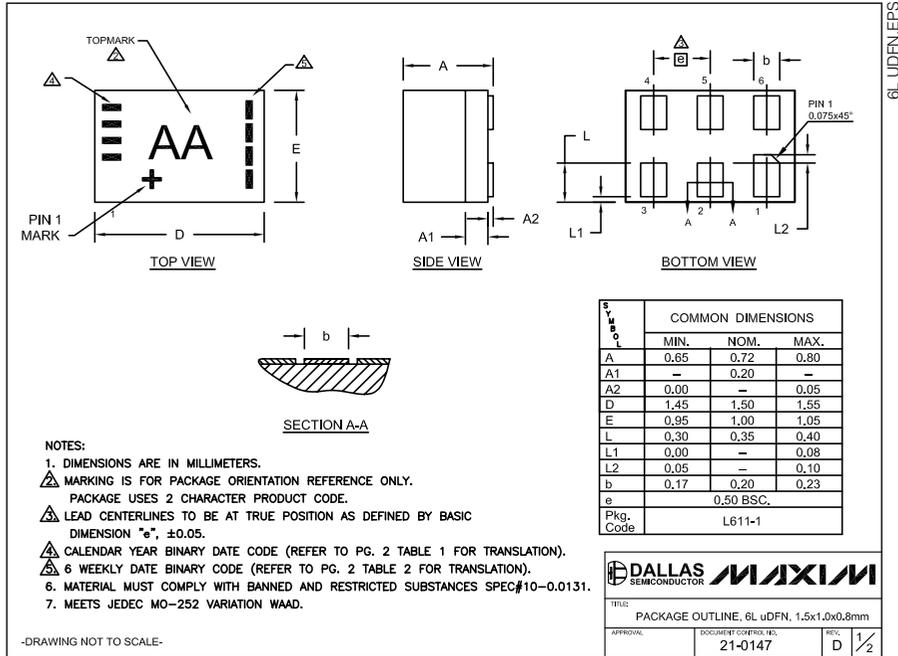


TABLE 1 Translation Table for Calendar Year Code

Calendar Year	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014
0	Blank									
1	Blank									
2	Blank									
3	Blank									
4	Blank									
5	Blank									
6	Blank									
7	Blank									
8	Blank									
9	Blank									

Legend: Marked with bar Blank space - no bar required

TABLE 2 Translation Table for Payweek Binary Coding

Payweek	06-11	12-17	18-23	24-29	30-35	36-41	42-47	48-51	52-05
0	Blank								
1	Blank								
2	Blank								
3	Blank								
4	Blank								
5	Blank								
6	Blank								
7	Blank								
8	Blank								
9	Blank								

Legend: Marked with bar Blank space - no bar required

DALLAS SEMICONDUCTOR MAXIM
 TITLE: PACKAGE OUTLINE, 6L uDFN, 1.5x1.0x0.8mm
 APPROVAL: DOCUMENT CONTROL NO: 21-0147 REV: D 2/2

—DRAWING NOT TO SCALE—

