

## デュアル、65Msps、12ビット、IF/ベースバンドADC

## 概要

MAX12527は、完全差動広帯域トラック/ホールド(T/H)入力を備え、内蔵の量子化器を駆動するデュアル、3.3V、12ビットアナログ-デジタルコンバータ(ADC)です。MAX12527は、中間周波数(IF)およびベースバンドサンプリングアプリケーションにおいて低電力、小型サイズ、および高ダイナミック性能等を最適化しています。このデュアルADCは、3.3Vの単一電源から動作し、消費電力がわずか620mWで、175MHzの入力周波数において標準で69.8dBの信号対ノイズ比(SNR)性能を実現します。T/H入力段は、最高400MHzのシングルエンド入力または差動入力を受け付けます。MAX12527は低動作電力に加えて、アイドル期間に節電の為、166μWのパワーダウンモードを備えています。

MAX12527はフレキシブルなリファレンス構造のため、2.048Vの内蔵バンドギャップリファレンスを使用したり、外部から印加されるリファレンスを受け入れたりすることが可能で、リファレンスを2つのADC間で共用することも可能です。このリファレンス構造は、フルスケールのアナログ入力を±0.35V〜±1.15Vの範囲で調整することができます。MAX12527は、差動アナログ入力回路の設計を簡素化し、外付け部品点数を削減するコモンモードリファレンスを備えています。

MAX12527は、シングルエンドまたは差動入力クロックをサポートしています。ユーザが選択可能な2分割(DIV2)および4分割(DIV4)モードによって、設計がフレキシブルになり、クロックジッタによる悪影響がなくなります。クロックデューティサイクルの広範囲な変動は、ADC内蔵のデューティサイクルイコライザ(DCE)によって補償されます。

MAX12527は2つのパラレルで、12ビット幅のCMOSコンパチブル出力を備えています。デジタル出力形式として、2の補数またはグレイコードのいずれかがピン選択可能です。デジタル出力用の独立した電源入力は、1.7V〜3.6Vの電圧を受け付け、各種ロジックレベルとフレキシブルにインタフェースすることができます。MAX12527は10mm×10mm×0.8mm、エクスポーズドパッド(EP)付きの68ピン薄型QFNパッケージで提供され、拡張温度範囲(-40°C〜+85°C)で動作が保証されています。このADCの14ビットのピンコンパチブルバージョンについては、MAX12557のデータシートを参照してください。

## アプリケーション

IFおよびベースバンド通信レシーバセルラ、LMDS、ポイント間マイクロ波、MMDS、HFC、WLAN  
I/Qレシーバ  
超音波および医療用画像  
ポータブル計測機器  
デジタルセットトップボックス  
低電力データ収集

## 特長

- ◆ 最高400MHzまでの直接IFサンプリング
- ◆ 優れたダイナミック性能
  - SNR : 70.4dB/69.8dB  
( $f_{IN} = 70\text{MHz}/175\text{MHz}$ の場合)
  - SFDR : 84.4dBc/80.2dBc  
( $f_{IN} = 70\text{MHz}/175\text{MHz}$ の場合)
- ◆ 3.3V低電力動作
  - 647mW(差動クロックモード時)
  - 620mW(シングルエンドクロックモード時)
- ◆ 完全差動またはシングルエンドアナログ入力
- ◆ 調整可能な差動アナログ入力電圧
- ◆ 入力帯域幅 : 750MHz
- ◆ 調整可能な内部または外部共用リファレンス
- ◆ 差動またはシングルエンドクロック
- ◆ 25%~75%のクロックデューティサイクルに対応
- ◆ ユーザ選択可能なDIV2およびDIV4クロックモード
- ◆ パワーダウンモード
- ◆ 2の補数またはグレイコードのCMOS出力
- ◆ 範囲外およびデータ有効インジケータ
- ◆ 小型68ピンThin QFNパッケージ
- ◆ 14ビット対応バージョンを提供(MAX12557)
- ◆ 評価キットを提供(MAX12557 EVキットを注文してください)

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX12527ETK	-40°C to +85°C	68 Thin QFN-EP* (10mm x 10mm x 0.8mm)

\* EP = エクスポーズドパッド。

## 選択ガイド

PART	SAMPLING RATE (Msps)	RESOLUTION (Bits)
MAX12557	65	14
MAX12527	65	12

ピン配置はデータシートの最後に記載されています。

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND .....	-0.3V to +3.6V	DIFFCLK/ $\overline{\text{SECLK}}$ , G/ $\overline{\text{T}}$ , PD, SHREF, DIV2,
OV <sub>DD</sub> to GND .....	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	DIV4 to GND .....
INAP, INAN to GND ...	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	DOA–D11A, D0B–D11B, DAV,
INBP, INBN to GND ...	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	DORA, DORB to GND .....
CLKP, CLKN to		Continuous Power Dissipation (T <sub>A</sub> = +70°C)
GND .....	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	68-Pin Thin QFN 10mm x 10mm x 0.8mm
REFIN, REFOUT		(derate 70mW/°C above +70°C) .....
to GND .....	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	Operating Temperature Range .....
REFAP, REFAN,		Junction Temperature .....
COMA to GND .....	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	Storage Temperature Range .....
REFBP, REFBN,		Lead Temperature (soldering 10s) .....
COMB to GND .....	-0.3V to the lower of (V <sub>DD</sub> + 0.3V) and +3.6V	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 3.3V, OV<sub>DD</sub> = 2.0V, GND = 0, REFIN = REFOUT (internal reference), C<sub>L</sub> ≈ 10pF at digital outputs, V<sub>IN</sub> = -0.5dBFS (differential), DIFFCLK/ $\overline{\text{SECLK}}$  = OV<sub>DD</sub>, PD = GND, SHREF = GND, DIV2 = GND, DIV4 = GND, G/ $\overline{\text{T}}$  = GND, f<sub>CLK</sub> = 65MHz, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			12			Bits
Integral Nonlinearity	INL	f <sub>IN</sub> = 3MHz		±0.3	±1.1	LSB
Differential Nonlinearity	DNL	f <sub>IN</sub> = 3MHz, no missing codes		±0.3	±0.65	LSB
Offset Error				±0.1	±0.7	%FSR
Gain Error		(Note 2)		±0.5	±5.7	%FSR
				±0.5	±3.4	
<b>ANALOG INPUT (INAP, INAN, INBP, INBN)</b>						
Differential Input Voltage Range	V <sub>DIFF</sub>	Differential or single-ended inputs		±1.024		V
Common-Mode Input Voltage				V <sub>DD</sub> / 2		V
Analog Input Resistance	R <sub>IN</sub>	Each input (Figure 3)		3.4		kΩ
Analog Input Capacitance	C <sub>PAR</sub>	Fixed capacitance to ground, each input (Figure 3)		2		pF
	C <sub>SAMPLE</sub>	Switched capacitance, each input (Figure 3)		4.5		
<b>CONVERSION RATE</b>						
Maximum Clock Frequency	f <sub>CLK</sub>		65			MHz
Minimum Clock Frequency					5	MHz
Data Latency		Figure 5		8		Clock Cycles
<b>DYNAMIC CHARACTERISTICS (differential inputs)</b>						
Small-Signal Noise Floor	SSNF	Input at -35dBFS (Note 2)	67.0	71.1		dBFS
Signal-to-Noise Ratio	SNR	f <sub>IN</sub> = 3MHz at -0.5dBFS	68.2	70.8		dB
		f <sub>IN</sub> = 32.5MHz at -0.5dBFS		70.6		
		f <sub>IN</sub> = 70MHz at -0.5dBFS		70.4		
		f <sub>IN</sub> = 175MHz at -0.5dBFS	67.2	69.8		

# デュアル、65Msps、12ビット、IF/ベースバンドADC

MAX12527

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_L \approx 10pF$  at digital outputs,  $V_{IN} = -0.5dBFS$  (differential),  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $SHREF = GND$ ,  $DIV2 = GND$ ,  $DIV4 = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Signal-to-Noise Plus Distortion	SINAD	$f_{IN} = 3MHz$ at $-0.5dBFS$	68.1	70.7		dB
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		70.4		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		70.2		
		$f_{IN} = 175MHz$ at $-0.5dBFS$	65.9	69.3		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 2)	81.9	91		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		86.3		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		84.4		
		$f_{IN} = 175MHz$ at $-0.5dBFS$	71.1	80.2		
Total Harmonic Distortion	THD	$f_{IN} = 3MHz$ at $-0.5dBFS$ (Note 2)		-92.6	-82.9	dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-84.3		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-83.7		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-78.9	-69.8	
Second Harmonic	HD2	$f_{IN} = 3MHz$ at $-0.5dBFS$		-98		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-91.7		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-94.5		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-80.2		
Third Harmonic	HD3	$f_{IN} = 3MHz$ at $-0.5dBFS$		-97		dBc
		$f_{IN} = 32.5MHz$ at $-0.5dBFS$		-86.3		
		$f_{IN} = 70MHz$ at $-0.5dBFS$		-84.4		
		$f_{IN} = 175MHz$ at $-0.5dBFS$		-85.6		
Two-Tone Intermodulation Distortion (Note 3)	TTIMD	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-89		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-82.2		
3rd-Order Intermodulation Distortion	IM3	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		-92.2		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		-88.9		
Two-Tone Spurious-Free Dynamic Range	SFDR <sub>TT</sub>	$f_{IN1} = 68.5MHz$ at $-7dBFS$ $f_{IN2} = 71.5MHz$ at $-7dBFS$		90.6		dBc
		$f_{IN1} = 172.5MHz$ at $-7dBFS$ $f_{IN2} = 177.5MHz$ at $-7dBFS$		82.9		
Full-Power Bandwidth	FPBW	Input at $-0.2dBFS$ , $-3dB$ rolloff		750		MHz
Aperture Delay	$t_{AD}$	Figure 5		1.2		ns
Aperture Jitter	$t_{AJ}$			<0.15		psRMS
Output Noise	$n_{OUT}$	INAP = INAN = COMA INBP = INBN = COMB		0.3		LSBRMS

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_L \approx 10pF$  at digital outputs,  $V_{IN} = -0.5dBFS$  (differential),  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $SHREF = GND$ ,  $DIV2 = GND$ ,  $DIV4 = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Overdrive Recovery Time		$\pm 10\%$ beyond full-scale		1		Clock cycle
<b>INTERCHANNEL CHARACTERISTICS</b>						
Crosstalk Rejection		$f_{INA}$ or $f_{INB} = 70MHz$ at $-0.5dBFS$		90		dB
		$f_{INA}$ or $f_{INB} = 175MHz$ at $-0.5dBFS$		85		
Gain Matching				$\pm 0.01$	$\pm 0.1$	dB
Offset Matching				$\pm 0.01$		%FSR
<b>INTERNAL REFERENCE (REFOUT)</b>						
REFOUT Output Voltage	$V_{REFOUT}$		2.000	2.048	2.080	V
REFOUT Load Regulation		$-1mA < I_{REFOUT} < +1mA$		35		mV/mA
REFOUT Temperature Coefficient	$TC_{REF}$			$\pm 50$		ppm/ $^\circ C$
REFOUT Short-Circuit Current		Short to $V_{DD}$ —sinking		0.24		mA
		Short to $GND$ —sourcing		2.1		
<b>BUFFERED REFERENCE MODE (REFIN is driven by REFOUT or an external 2.048V single-ended reference source; <math>V_{REFAP}/V_{REFAN}/V_{COMA}</math> and <math>V_{REFBP}/V_{REFBN}/V_{COMB}</math> are generated internally)</b>						
REFIN Input Voltage	$V_{REFIN}$			2.048		V
REFIN Input Resistance	$R_{REFIN}$			$> 50$		$M\Omega$
COM_ Output Voltage	$V_{COMA}$ $V_{COMB}$	$V_{DD} / 2$	1.60	1.65	1.70	V
REF_P Output Voltage	$V_{REFAP}$ $V_{REFBP}$	$V_{DD} / 2 + (V_{REFIN} \times 3/8)$		2.418		V
REF_N Output Voltage	$V_{REFAN}$ $V_{REFBN}$	$V_{DD} / 2 - (V_{REFIN} \times 3/8)$		0.882		V
Differential Reference Voltage	$V_{REFA}$ $V_{REFB}$	$V_{REFA} = V_{REFAP} - V_{REFAN}$ $V_{REFB} = V_{REFBP} - V_{REFBN}$	1.440	1.536	1.590	V
Differential Reference Temperature Coefficient	$TC_{REF}$			$\pm 25$		ppm/ $^\circ C$
<b>UNBUFFERED EXTERNAL REFERENCE (REFIN = GND, <math>V_{REFAP}/V_{REFAN}/V_{COMA}</math> and <math>V_{REFBP}/V_{REFBN}/V_{COMB}</math> are applied externally, <math>V_{COMA} = V_{COMB} = V_{DD} / 2</math>)</b>						
REF_P Input Voltage	$V_{REFAP}$ $V_{REFBP}$	$V_{REF\_P} - V_{COM}$		+0.768		V
REF_N Input Voltage	$V_{REFAN}$ $V_{REFBN}$	$V_{REF\_N} - V_{COM}$		-0.768		V
COM_ Input Voltage	$V_{COM}$	$V_{DD} / 2$		1.65		V
Differential Reference Voltage	$V_{REFA}$ $V_{REFB}$	$V_{REF\_} = V_{REF\_P} - V_{REF\_N} = V_{REFIN} \times 3/4$		1.536		V

# デュアル、65Msps、12ビット、IF/ベースバンドADC

MAX12527

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference),  $C_L \approx 10pF$  at digital outputs,  $V_{IN} = -0.5dBFS$  (differential),  $DIFFCLK/\overline{SECLK} = OV_{DD}$ ,  $PD = GND$ ,  $SHREF = GND$ ,  $DIV2 = GND$ ,  $DIV4 = GND$ ,  $G/\overline{T} = GND$ ,  $f_{CLK} = 65MHz$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REF_P Sink Current	$I_{REFAP}$ $I_{REFBP}$	$V_{REF\_P} = 2.418V$		1.2		mA
REF_N Source Current	$I_{REFAN}$ $I_{REFBN}$	$V_{REF\_N} = 0.882V$		0.85		mA
COM_ Sink Current	$I_{COMA}$ $I_{COMB}$	$V_{COM\_} = 1.65V$		0.85		mA
REF_P, REF_N Capacitance	$C_{REF\_P}$ , $C_{REF\_N}$			13		pF
COM_ Capacitance	$C_{COM\_}$			6		pF
<b>CLOCK INPUTS (CLKP, CLKN)</b>						
Single-Ended Input High Threshold	$V_{IH}$	$DIFFCLK/\overline{SECLK} = GND$ , $CLKN = GND$	$0.8 \times V_{DD}$			V
Single-Ended Input Low Threshold	$V_{IL}$	$DIFFCLK/\overline{SECLK} = GND$ , $CLKN = GND$			$0.2 \times V_{DD}$	V
Minimum Differential Clock Input Voltage Swing		$DIFFCLK/\overline{SECLK} = OV_{DD}$		0.2		$V_{P-P}$
Differential Input Common-Mode Voltage		$DIFFCLK/\overline{SECLK} = OV_{DD}$		$V_{DD} / 2$		V
CLK_ Input Resistance	$R_{CLK}$	Each input (Figure 4)		5		$k\Omega$
CLK_ Input Capacitance	$C_{CLK}$	Each input		2		pF
<b>DIGITAL INPUTS (DIFFCLK/SECLK, G/T, PD, DIV2, DIV4)</b>						
Input High Threshold	$V_{IH}$		$0.8 \times OV_{DD}$			V
Input Low Threshold	$V_{IL}$				$0.2 \times OV_{DD}$	V
Input Leakage Current		$OV_{DD}$ applied to input			$\pm 5$	$\mu A$
		Input connected to ground			$\pm 5$	
Digital Input Capacitance	$C_{DIN}$			5		pF
<b>DIGITAL OUTPUTS (D0A–D11A, D0B–D11B, DORA, DORB, DAV)</b>						
Output-Voltage Low	$V_{OL}$	D0A–D11A, D0B–D11B, DORA, DORB: $I_{SINK} = 200\mu A$			0.2	V
		DAV: $I_{SINK} = 600\mu A$			0.2	
Output-Voltage High	$V_{OH}$	D0A–D11A, D0B–D11B, DORA, DORB: $I_{SOURCE} = 200\mu A$	$OV_{DD} - 0.2$			V
		DAV: $I_{SOURCE} = 600\mu A$	$OV_{DD} - 0.2$			
Tri-State Leakage Current (Note 4)	$I_{LEAK}$	$OV_{DD}$ applied to input			$\pm 5$	$\mu A$
		Input connected to ground			$\pm 5$	

# デュアル、65MSPS、12ビット、IF/ベースバンドADC

MAX12527

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_L \approx 10pF$  at digital outputs,  $V_{IN} = -0.5dBFS$  (differential),  $DIFFCLK/\overline{SECLK} = OV_{DD}$ ,  $PD = GND$ ,  $SHREF = GND$ ,  $DIV2 = GND$ ,  $DIV4 = GND$ ,  $G/\overline{T} = GND$ ,  $f_{CLK} = 65MHz$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
D0A–D11A, DORA, D0B–D11B and DORB Tri-State Output Capacitance (Note 4)	$C_{OUT}$			3		pF
DAV Tri-State Output Capacitance (Note 4)	$C_{DAV}$			6		pF
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage	$V_{DD}$		3.15	3.30	3.60	V
Digital Output Supply Voltage	$OV_{DD}$		1.70	2.0	$V_{DD}$	V
Analog Supply Current	$I_{VDD}$	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ , single-ended clock ( $DIFFCLK/\overline{SECLK} = GND$ )		188		mA
		Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ differential clock ( $DIFFCLK/\overline{SECLK} = OV_{DD}$ )		196	215	
		Power-down mode ( $PD = OV_{DD}$ ) clock idle		0.05		
Analog Power Dissipation	$P_{VDD}$	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ single-ended clock ( $DIFFCLK/\overline{SECLK} = GND$ )		620		mW
		Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$ differential clock ( $DIFFCLK/\overline{SECLK} = OV_{DD}$ )		647	710	
		Power-down mode ( $PD = OV_{DD}$ ) clock idle		0.165		
Digital Output Supply Current	$I_{OVDD}$	Normal operating mode $f_{IN} = 175MHz$ at $-0.5dBFS$		19.7		mA
		Power-down mode ( $PD = OV_{DD}$ ) clock idle		0.001		

# デュアル、65Msps、12ビット、IF/ベースバンドADC

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference),  $C_L \approx 10pF$  at digital outputs,  $V_{IN} = -0.5dBFS$  (differential),  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $SHREF = GND$ ,  $DIV2 = GND$ ,  $DIV4 = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>TIMING CHARACTERISTICS (Figure 5)</b>						
Clock Pulse-Width High	$t_{CH}$			7.7		ns
Clock Pulse-Width Low	$t_{CL}$			7.7		ns
Data-Valid Delay	$t_{DAV}$			5.4		ns
Data Setup Time Before Rising Edge of DAV	$t_{SETUP}$	(Note 5)	7.0			ns
Data Hold Time After Rising Edge of DAV	$t_{HOLD}$	(Note 5)	7.0			ns
Wake-Up Time from Power-Down	$t_{WAKE}$	$V_{REFIN} = 2.048V$		10		ms

**Note 1:** Specifications  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization.

**Note 2:** Specifications guaranteed by production test for  $\geq +25^\circ C$ .

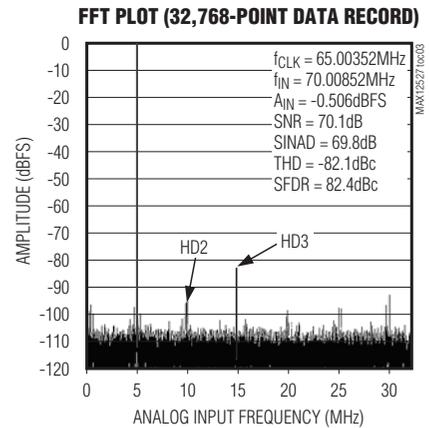
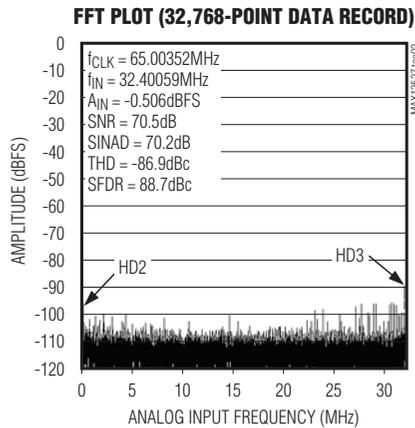
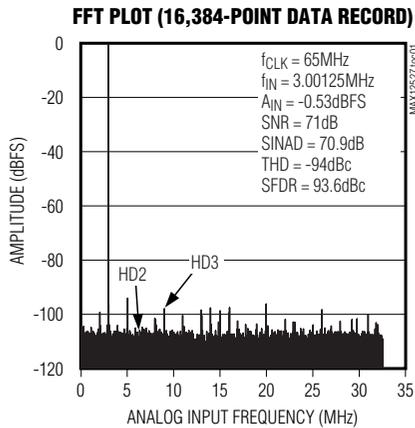
**Note 3:** Two-tone intermodulation distortion measured with respect to a single-carrier amplitude, and not the peak-to-average input power of both input tones.

**Note 4:** During power-down, D0A–D11A, D0B–D11B, DORA, DORB, and DAV are high impedance.

**Note 5:** Guaranteed by design and characterization.

## 標準動作特性

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference mode),  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.5dBFS$ ,  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)

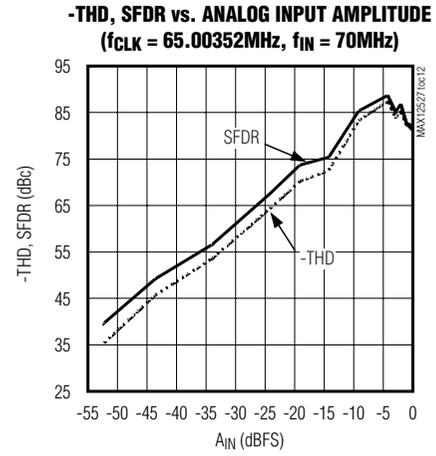
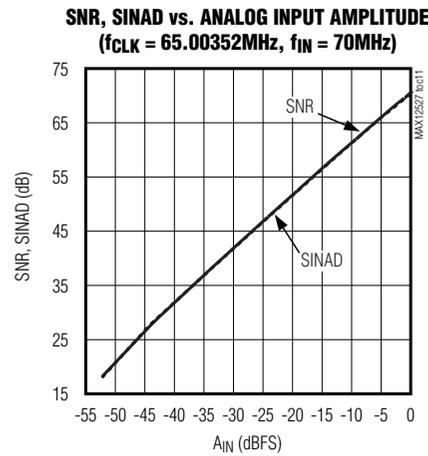
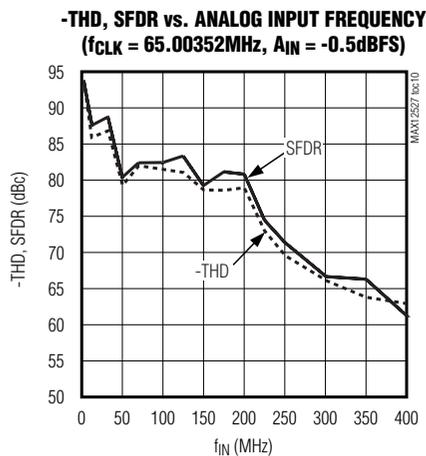
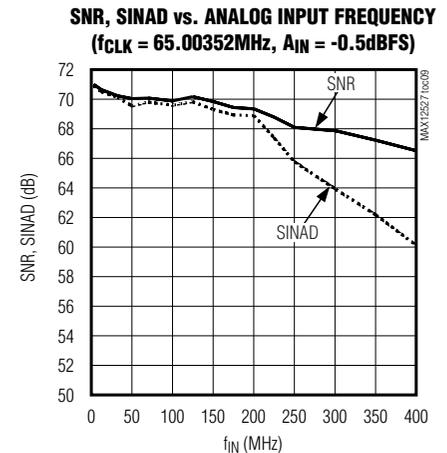
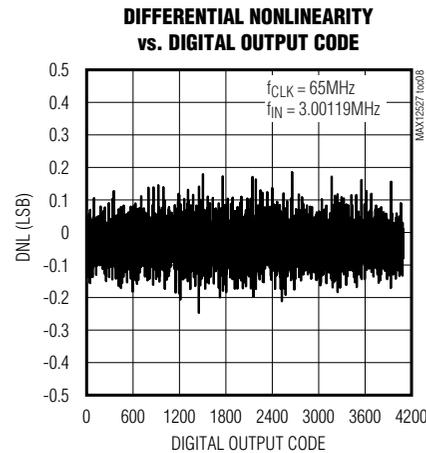
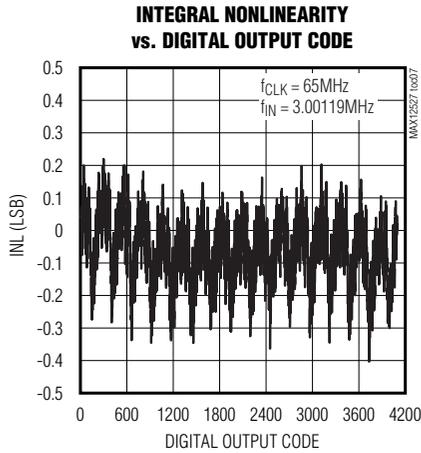
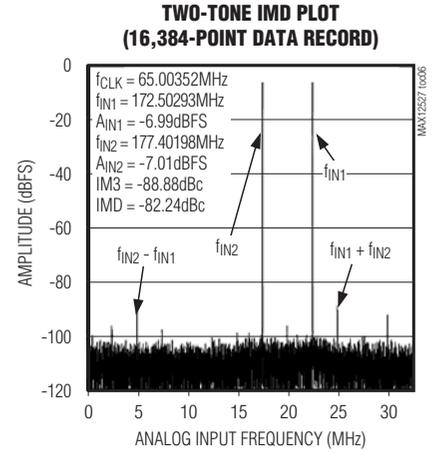
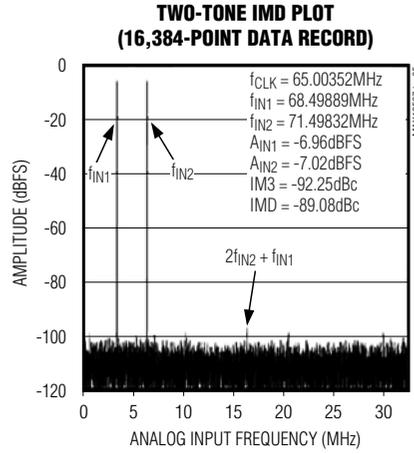
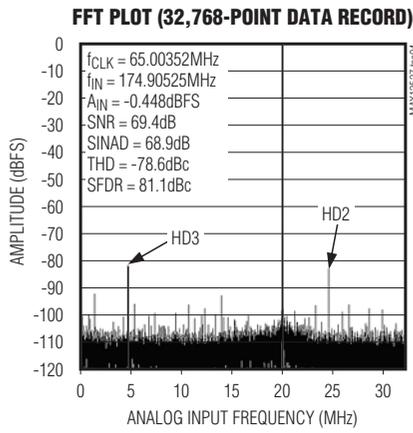


# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference mode),  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.5dBFS$ ,  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)



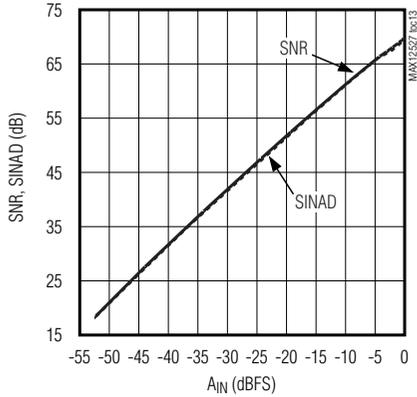
# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

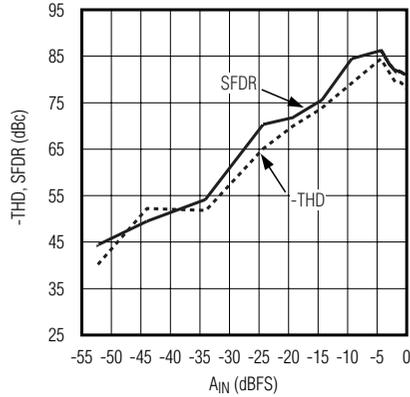
## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference mode),  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.5dBFS$ ,  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $G/T = GND$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)

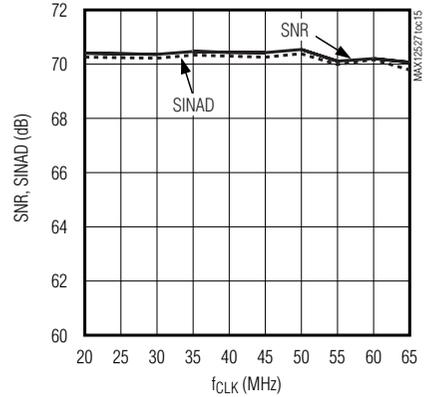
**SNR, SINAD vs. ANALOG INPUT AMPLITUDE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



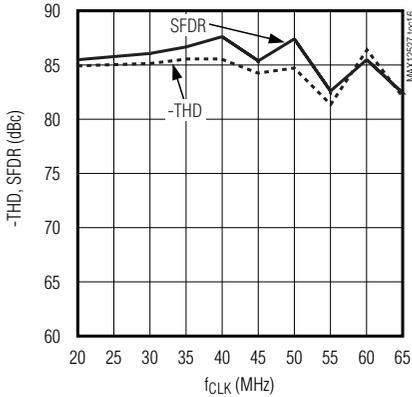
**-THD, SFDR vs. ANALOG INPUT AMPLITUDE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



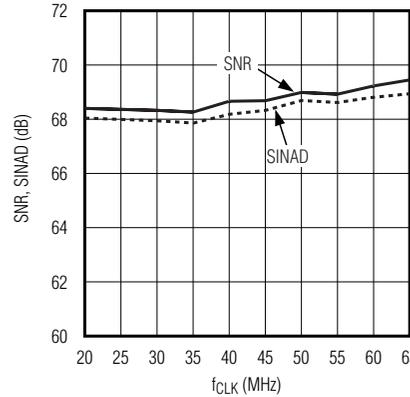
**SNR, SINAD vs. CLOCK SPEED**  
( $f_{IN} = 70MHz$ ,  $A_{IN} = -0.5dBFS$ )



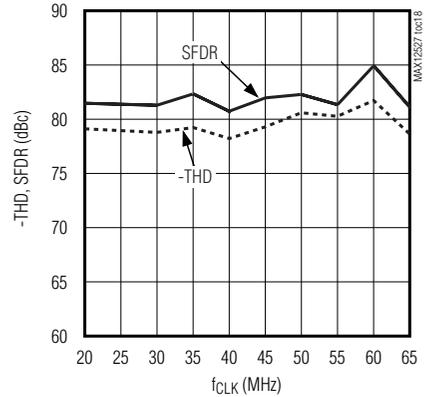
**-THD, SFDR vs. CLOCK SPEED**  
( $f_{IN} = 70MHz$ ,  $A_{IN} = -0.5dBFS$ )



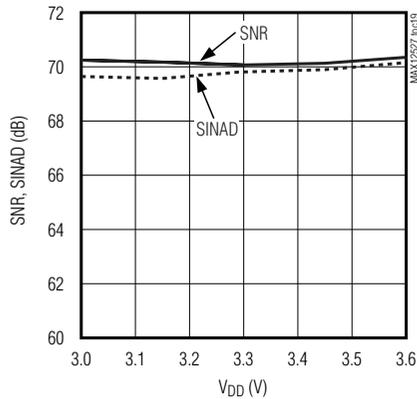
**SNR, SINAD vs. CLOCK SPEED**  
( $f_{IN} = 175MHz$ ,  $A_{IN} = -0.5dBFS$ )



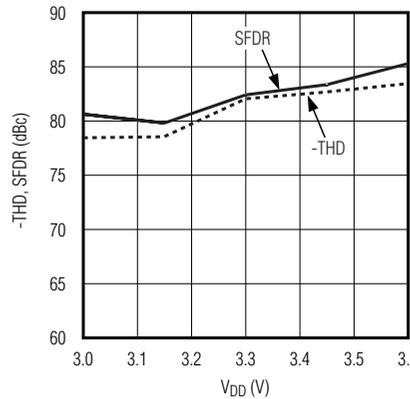
**-THD, SFDR vs. CLOCK SPEED**  
( $f_{IN} = 175MHz$ ,  $A_{IN} = -0.5dBFS$ )



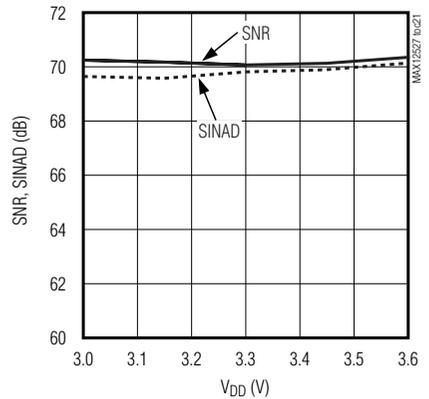
**SNR, SINAD vs. ANALOG SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 70MHz$ )



**-THD, SFDR vs. ANALOG SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 70MHz$ )



**SNR, SINAD vs. ANALOG SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



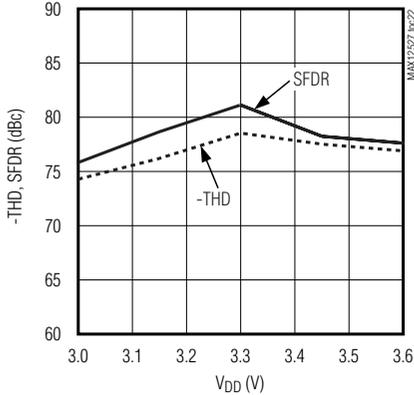
# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

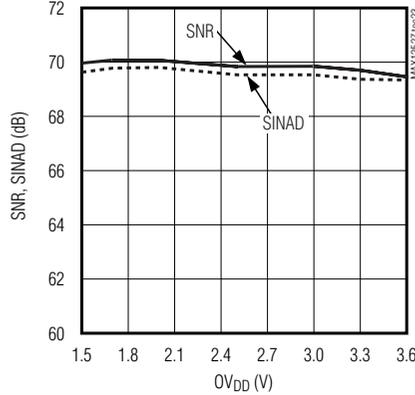
## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REFIN = REFOUT$  (internal reference mode),  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.5dBFS$ ,  $DIFFCLK/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $G/\bar{T} = GND$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)

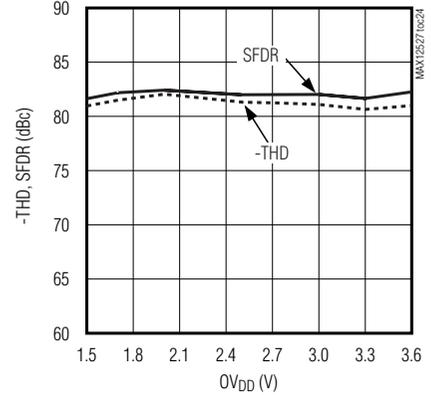
**-THD, SFDR vs. ANALOG SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



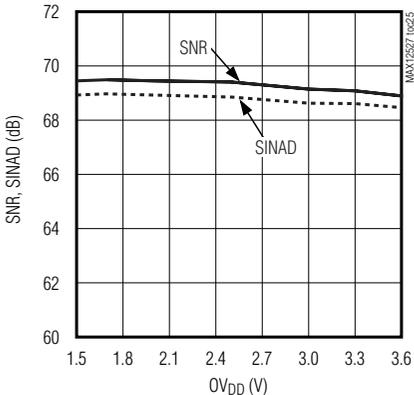
**SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 70MHz$ )



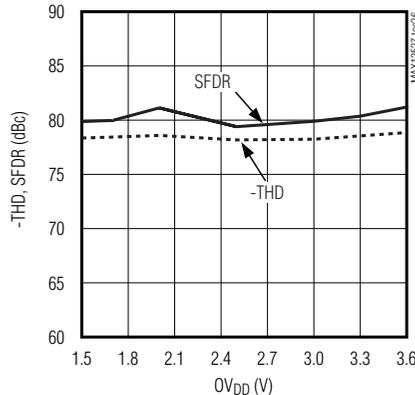
**-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 70MHz$ )



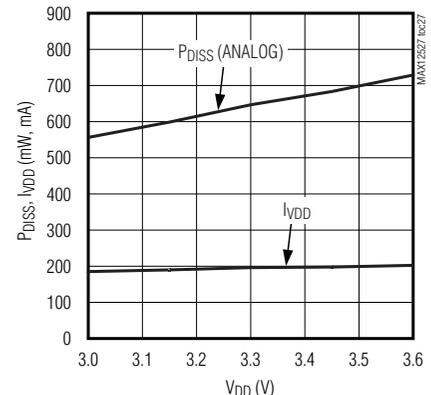
**SNR, SINAD vs. DIGITAL SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



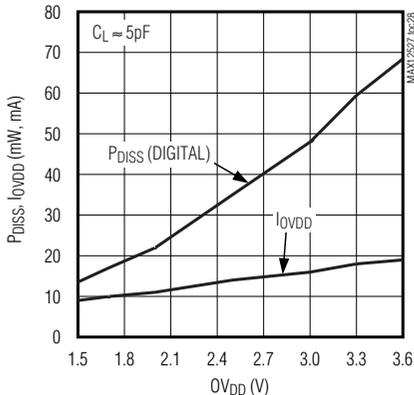
**-THD, SFDR vs. DIGITAL SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



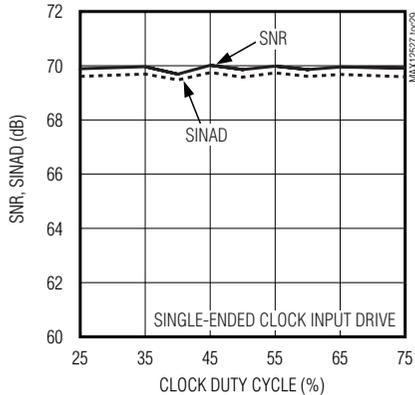
**$P_{DISS}$ ,  $I_{VDD}$  (ANALOG) vs. ANALOG SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



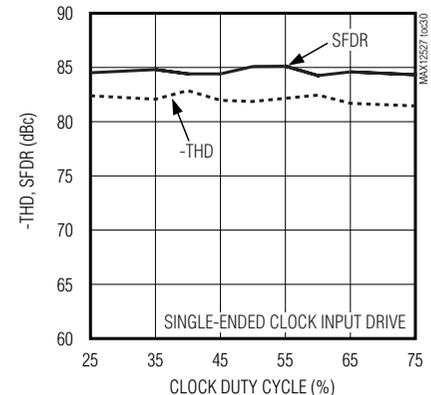
**$P_{DISS}$ ,  $I_{VDD}$  (DIGITAL) vs. DIGITAL SUPPLY VOLTAGE**  
( $f_{CLK} = 65.00352MHz$ ,  $f_{IN} = 175MHz$ )



**SNR, SINAD vs. CLOCK DUTY CYCLE**  
( $f_{IN} = 70MHz$ ,  $A_{IN} = -0.5dBFS$ )



**-THD, SFDR vs. CLOCK DUTY CYCLE**  
( $f_{IN} = 70MHz$ ,  $A_{IN} = -0.5dBFS$ )

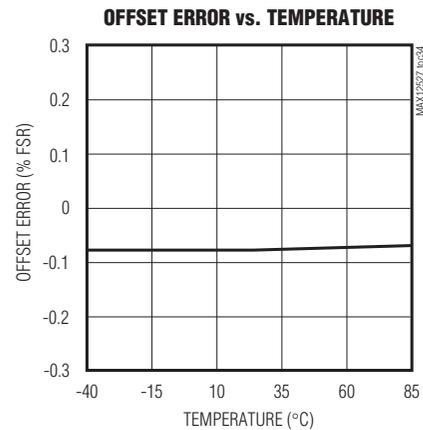
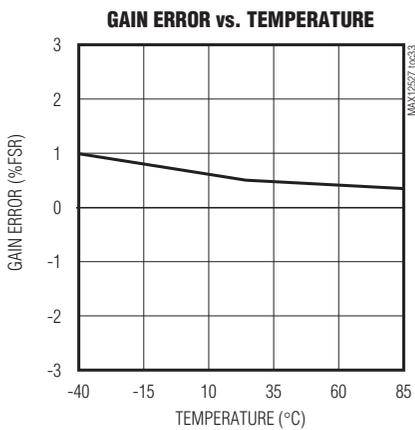
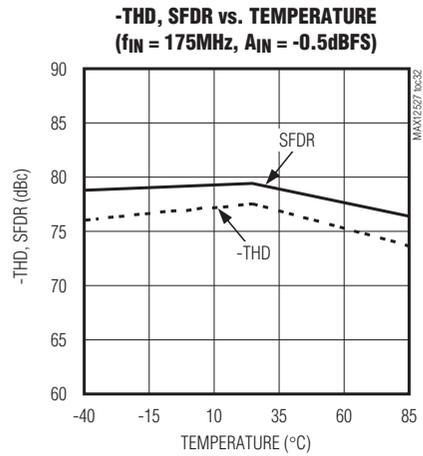
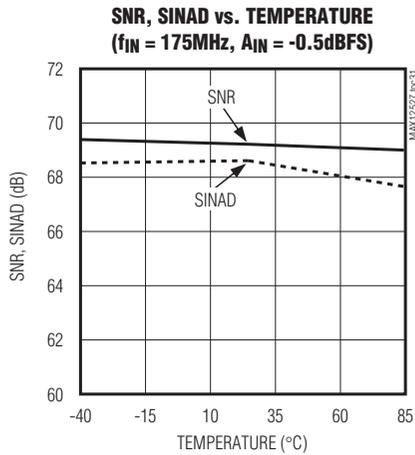


# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

## 標準動作特性(続き)

( $V_{DD} = 3.3V$ ,  $OV_{DD} = 2.0V$ ,  $GND = 0$ ,  $REF_{IN} = REF_{OUT}$  (internal reference mode),  $C_L \approx 5pF$  at digital outputs,  $V_{IN} = -0.5dBFS$ ,  $DIFF_{CLK}/SECLK = OV_{DD}$ ,  $PD = GND$ ,  $G/T = GND$ ,  $f_{CLK} = 65MHz$  (50% duty cycle),  $T_A = +25^\circ C$ , unless otherwise noted.)



# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

## 端子説明

端子	名称	機能
1, 4, 5, 9, 13, 14, 17	GND	コンバータグランド。すべてのグランド端子とエクスポーズドパッド(EP)と一緒に接続してください。
2	INAP	チャンネルA正アナログ入力
3	INAN	チャンネルA負アナログ入力
6	COMA	チャンネルAコモンモード電圧I/O。COMAを0.1μFのコンデンサでGNDにバイパスしてください。
7	REFAP	チャンネルA正リファレンスI/O。チャンネルA変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。REFAPを0.1μFのコンデンサでGNDにバイパスしてください。10μFと1μFのバイパスコンデンサをREFAPとREFANの間に接続してください。1μFのREFAP-REFAN間コンデンサは、プリント基板の同じ側でデバイスのできる限り近くに配置してください。
8	REFAN	チャンネルA負リファレンスI/O。チャンネルA変換範囲は $\pm 2/3 \times (V_{REFAP} - V_{REFAN})$ です。REFANを0.1μFのコンデンサでGNDにバイパスしてください。10μFと1μFのバイパスコンデンサをREFAPとREFANの間に接続してください。1μFのREFAP-REFAN間コンデンサは、プリント基板の同じ側でデバイスのできる限り近くに配置してください。
10	REFBN	チャンネルB負リファレンスI/O。チャンネルB変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。REFBNを0.1μFのコンデンサでGNDにバイパスしてください。10μFと1μFのバイパスコンデンサをREFBPとREFBNの間に接続してください。1μFのREFBP-REFBN間コンデンサは、プリント基板の同じ側でデバイスのできる限り近くに配置してください。
11	REFBP	チャンネルB正リファレンスI/O。チャンネルB変換範囲は $\pm 2/3 \times (V_{REFBP} - V_{REFBN})$ です。REFBPを0.1μFのコンデンサでGNDにバイパスしてください。10μFと1μFのバイパスコンデンサをREFBPとREFBNの間に接続してください。1μFのREFBP-REFBN間コンデンサは、プリント基板の同じ側でデバイスのできる限り近くに配置してください。
12	COMB	チャンネルBコモンモード電圧I/O。COMBを0.1μFのコンデンサでGNDにバイパスしてください。
15	INBN	チャンネルB負アナログ入力
16	INBP	チャンネルB正アナログ入力
18	DIFFCLK/ SECLK	差動/シングルエンド入力クロック駆動。この入力で、シングルエンドまたは差動のクロック入力駆動を選択します。 DIFFCLK/SECLK = GND : シングルエンドクロック入力駆動を選択します。 DIFFCLK/SECLK = OV <sub>DD</sub> : 差動クロック入力駆動を選択します。
19	CLKN	負クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV <sub>DD</sub> )では、差動クロック信号をCLKPとCLKNの間に接続してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、クロック信号をCLKPに印加してCLKNをGNDに接続してください。
20	CLKP	正クロック入力。差動クロック入力モード(DIFFCLK/SECLK = OV <sub>DD</sub> )では、差動クロック信号をCLKPとCLKNの間に接続してください。シングルエンドクロックモード(DIFFCLK/SECLK = GND)では、シングルエンドクロック信号をCLKPに印加してCLKNをGNDに接続してください。
21	DIV2	2分割分周器のデジタル制御入力。詳細は、表2をご覧ください。
22	DIV4	4分割分周器のデジタル制御入力。詳細は、表2をご覧ください。
23-26, 61, 62, 63	V <sub>DD</sub>	アナログ電源入力。V <sub>DD</sub> を3.15V~3.60V電源に接続してください。V <sub>DD</sub> を10μF以上と0.1μFの並列コンデンサでGNDにバイパスしてください。すべてのV <sub>DD</sub> 端子を同じ電位に接続してください。
27, 43, 60	OV <sub>DD</sub>	出力ドライバ電源入力。OV <sub>DD</sub> を1.7V~V <sub>DD</sub> 電源に接続してください。OV <sub>DD</sub> を10μF以上と0.1μFの並列コンデンサでGNDにバイパスしてください。
28, 29, 45, 46	N.C.	接続なし

# デュアル、65Msps、12ビット、1F/ベースバンドADC

MAX12527

## 端子説明(続き)

端子	名称	機能
30	D0B	チャンネルB CMOSデジタル出力、ビット0(LSB)
31	D1B	チャンネルB CMOSデジタル出力、ビット1
32	D2B	チャンネルB CMOSデジタル出力、ビット2
33	D3B	チャンネルB CMOSデジタル出力、ビット3
34	D4B	チャンネルB CMOSデジタル出力、ビット4
35	D5B	チャンネルB CMOSデジタル出力、ビット5
36	D6B	チャンネルB CMOSデジタル出力、ビット6
37	D7B	チャンネルB CMOSデジタル出力、ビット7
38	D8B	チャンネルB CMOSデジタル出力、ビット8
39	D9B	チャンネルB CMOSデジタル出力、ビット9
40	D10B	チャンネルB CMOSデジタル出力、ビット10
41	D11B	チャンネルB CMOSデジタル出力、ビット11(MSB)
42	DORB	チャンネルBデータの範囲外インジケータ。DORBデジタル出力は、チャンネルBアナログ入力電圧が範囲外であることを示します。 DORB = 1 : デジタル出力がフルスケール範囲を超えている。 DORB = 0 : デジタル出力がフルスケール範囲内にある。
44	DAV	データ有効デジタル出力。DAVの立上りエッジは、データがデジタル出力に存在することを示します。MAX12527の評価キット(MAX12557のEVキット)は、DAVを利用してデータを後続する外部のデジタル回路にラッチします。
47	D0A	チャンネルA CMOSデジタル出力、ビット0(LSB)
48	D1A	チャンネルA CMOSデジタル出力、ビット1
49	D2A	チャンネルA CMOSデジタル出力、ビット2
50	D3A	チャンネルA CMOSデジタル出力、ビット3
51	D4A	チャンネルA CMOSデジタル出力、ビット4
52	D5A	チャンネルA CMOSデジタル出力、ビット5
53	D6A	チャンネルA CMOSデジタル出力、ビット6
54	D7A	チャンネルA CMOSデジタル出力、ビット7
55	D8A	チャンネルA CMOSデジタル出力、ビット8
56	D9A	チャンネルA CMOSデジタル出力、ビット9
57	D10A	チャンネルA CMOSデジタル出力、ビット10
58	D11A	チャンネルA CMOSデジタル出力、ビット11(MSB)
59	DORA	チャンネルAデータ範囲外インジケータ。DORAデジタル出力は、チャンネルAアナログ入力電圧が範囲外であることを示します。 DORA = 1 : デジタル出力がフルスケール範囲を超えている。 DORA = 0 : デジタル出力がフルスケール範囲内にある。
64	G/T	出力形式選択デジタル入力。 G/T = GND : 2の補数出力形式が選択される。 G/T = OV <sub>DD</sub> : グレイコード出力形式が選択される。
65	PD	パワーダウンデジタル入力。 PD = GND : ADCが完全に動作可能な状態にある。 PD = OV <sub>DD</sub> : ADCがパワーダウンされている。

# デュアル、65Mps、12ビット、1f/ベースバンドADC

MAX12527

## 端子説明(続き)

端子	名称	機能
66	SHREF	共用リファレンスデジタル入力。 SHREF = V <sub>DD</sub> : 共用リファレンスイネーブル。 SHREF = GND: 共用リファレンスディセーブル。 リファレンスを共用するときは、V <sub>REFAP</sub> がV <sub>REFBP</sub> に等しくなるようREFAPとREFBPを外で互いに接続してください。同様に、リファレンスを共用するときは、V <sub>REFAN</sub> = V <sub>REFBN</sub> となるようREFANとREFBNを外で互いに接続してください。
67	REFOUT	内部リファレンス電圧出力。REFOUT出力電圧は2.048Vで、REFOUTは1mAを供給することができます。内部リファレンス動作の場合は、REFOUTをREFINにじかに接続するか、または抵抗分圧器を使用してREFOUTからREFINの電圧を設定してください。REFOUTを0.1μF以上のコンデンサでGNDにバイパスしてください。外部リファレンス動作の場合は、REFOUTは不要で、0.1μF以上のコンデンサでGNDにバイパスする必要があります。
68	REFIN	シングルエンドリファレンスアナログ入力。 内部リファレンスおよびバッファ付き外部リファレンス動作の場合は、DC 0.7V~2.3Vのリファレンス電圧をREFINに印加してください。REFINを4.7μFのコンデンサでGNDにバイパスしてください。規定の動作電圧範囲では、REFINの入力インピーダンスが50MΩを超えると、差動リファレンス電圧(V <sub>REF_P</sub> - V <sub>REF_N</sub> )がREFINから発生します。バッファなしの外部リファレンス動作の場合は、REFINをGNDに接続してください。このモードでは、REF_P、REF_N、およびCOM_が外部リファレンス電圧を受け付けるハイインピーダンス入力となります。
—	EP	エクスポーズドパッド。EPは内部でGNDに接続されています。規定のダイナミック性能を実現するためには、EPを外でGNDに接続してください。

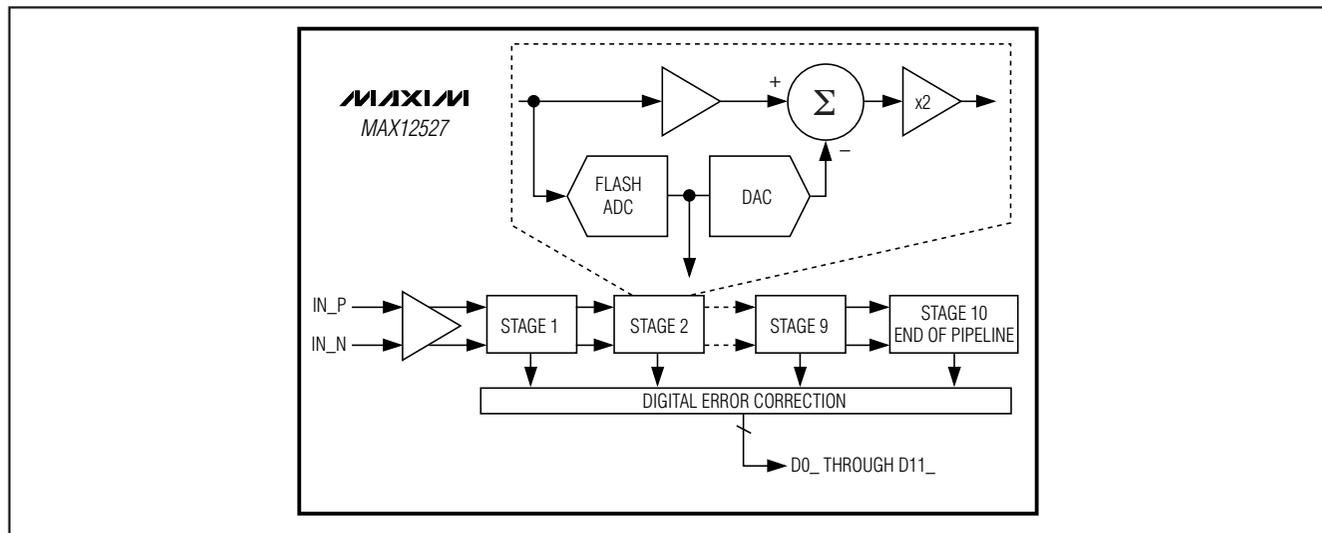


図1. パイプラインの構成 - ステージブロック

## 詳細

MAX12527は、10段の完全差動のパイプライン構成(図1)を使用して、消費電力を最小に抑制しながら高速変換を行うことができます。入力で取り込まれたサンプルは、1/2クロックサイクルごとにパイプラインの複数段を順次移動します。入力から出力までの全待ち時間は8クロックサイクルです。

パイプラインの各コンバータ段は、その入力電圧をデジタル出力コードに変換します。最終段を除くすべての段で、入力電圧とデジタル出力コードの間の誤差が増加して次のパイプライン段に入っていきます。デジタル誤差補正は、各パイプライン段においてADCコンパレータのオフセットを補正し、ミッシングコードがないことを保証します。図2は、MAX12527のファンクションダイアグラムを示します。

# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

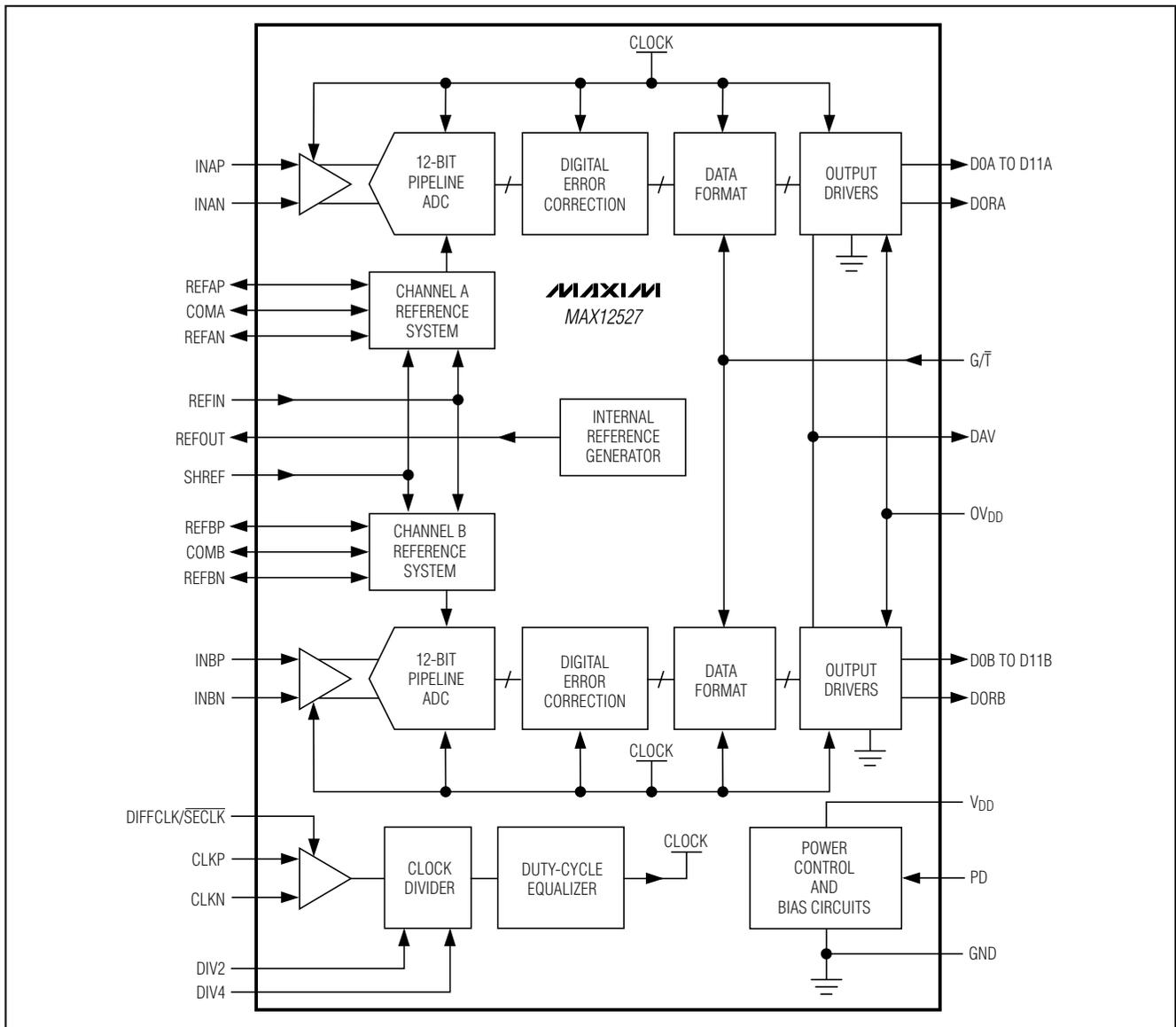


図2. ファンクションダイグラム

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

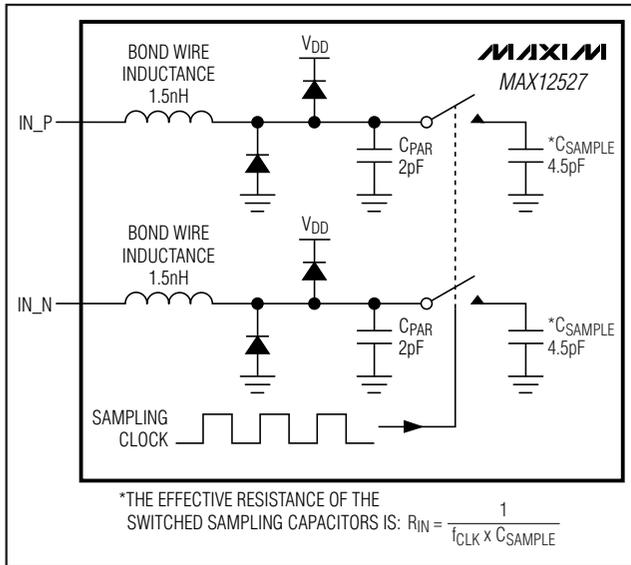


図3. 内蔵T/H回路

## アナログ入力および入力トラックホールド (T/H) アンプ

図3は、入力T/H回路の簡略化されたファンクションダイアグラムを示しています。この入力T/H回路では、175MHz以上の高いアナログ入力周波数による動作が可能で、 $V_{DD}/2$ のコモンモード入力電圧に対応することができます。

MAX12527のサンプリングクロックは、スイッチトキャパシタ入力T/H構成(図3)を制御して、アナログ入力信号をサンプリングコンデンサに電荷として蓄えることができます。これらのスイッチは、サンプリングクロックがハイのとき閉じ(トラックモード)、サンプリングクロックがローのとき開きます(ホールドモード)(図4)。アナログ入力信号源は、サンプリングコンデンサの充放電に必要なダイナミック電流を供給することができなければなりません。信号の劣化を防止するためには、これらのコンデンサがクロックの1/2サイクル以内に1/2 LSBの精度まで充電される必要があります。MAX12527のアナログ入力は、差動またはシングルエンド入力駆動をサポートします。差動入力の場合に最適な性能を得るためには、IN\_PとIN\_Nの入力インピーダンスを平衡させて、コモンモード電圧を中間の電源電圧( $V_{DD}/2$ )に設定してください。MAX12527は、内部リファレンスモードおよびバッファ付き外部リファレンスモードで動作するとき、COM出力から $V_{DD}/2$ の最適なコモンモード電圧を供給します。このCOM出力電圧は、図9、10、および11に示すように、入力ネットワークのバイアスに使用することができます。

## リファレンス出力

内部バンドギャップリファレンスは、MAX12527で使用されるすべての内部電圧およびバイアス電流の基準となります。パワーダウンロジック入力(PD)は、リファレンス回路をイネーブルおよびディセーブルします。

表1. リファレンスモード

VREFIN	REFERENCE MODE
35% VREFOUT to 100% VREFOUT	Internal Reference Mode. REFIN is driven by REFOUT either through a direct short or a resistive divider. $V_{COM\_} = V_{DD} / 2$ $V_{REF\_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF\_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
0.7V to 2.3V	Buffered External Reference Mode. An external 0.7V to 2.3V reference voltage is applied to REFIN. $V_{COM\_} = V_{DD} / 2$ $V_{REF\_P} = V_{DD} / 2 + 3/8 \times V_{REFIN}$ $V_{REF\_N} = V_{DD} / 2 - 3/8 \times V_{REFIN}$
<0.5V	Unbuffered External Reference Mode. REF_P, REF_N, and COM_ are driven by external reference sources. The full-scale analog input range is $\pm(V_{REF\_P} - V_{REF\_N}) \times 2/3$ .

REFOUTは、MAX12527がパワーダウンしているときGNDに対する抵抗値は約17kΩです。電源がMAX12527に印加されるときやPDがハイからローに遷移するとき、リファレンス回路がパワーアップしてその最終値に整定するまでに10msを要します。

内部バンドギャップリファレンスは、REFOUTピンに温度係数が $\pm 50\text{ppm}/^\circ\text{C}$ の $2.048\text{V} \pm 1\%$ のバッファ付きリファレンス電圧を出力します。安定な出力を得るためには、0.1μF以上のバイパスコンデンサをREFOUTからGNDに外付けしてください。REFOUTは、外部回路に対して最大ソース電流が1mA、最大シンク電流が0.1mAで、負荷レギュレーションが35mV/mAです。短絡保護は、GNDへの短絡時にソース電流 $I_{REFOUT}$ を2.1mAに制限し、 $V_{DD}$ への短絡時にシンク電流 $I_{REFOUT}$ を0.24mAに制限します。REFOUTと同様に、REFINも4.7μFのコンデンサでGNDにバイパスします。

## リファレンスの設定

MAX12527のフルスケールアナログ入力範囲は、コモンモード入力範囲が $V_{DD}/2 \pm 0.5\text{V}$ の場合、 $\pm 2/3 \times V_{REF}$ です。 $V_{REF}$ は、REFAP(REFBP)とREFAN(REFBN)の電圧差です。MAX12527には、3つのリファレンス動作モードがあります。REFINの電圧( $V_{REFIN}$ )によって、リファレンス動作モードが選択されます(表1)。

内部リファレンスモードにするには、REFOUTをREFINにじかにまたは抵抗分圧器を介して接続してください。このモードでは、 $V_{COM\_} = V_{DD}/2$ 、 $V_{REFP} = V_{DD}/2 + 3/8 \times V_{REFIN}$ 、および $V_{REFN} = V_{DD}/2 - 3/8 \times V_{REFIN}$ であり、COM\_、REF\_P、およびREF\_Nはローインピーダンス出力となります。REF\_P、REF\_N、およびCOM\_の各々を0.1μFのコンデンサでGNDにバイパスしてください。REF\_Pを10μFのコンデンサでREF\_Nにバイパスしてください。REFINとREFOUTを0.1μFのコンデンサでGNDにバイパスしてください。REFINの入力インピーダンスは非常に大きい値(50MΩを超える)

# デュアル、65Msps、12ビット、IF/ベースバンドADC

です。抵抗分圧器を介してREFINを駆動するときは、10kΩ以上の抵抗を使用してREFOUTの負荷が重くならないようにしてください。

バッファ付き外部リファレンスモードは、リファレンスソースがMAX12527の内部バンドギャップリファレンスではなく外部リファレンスから与えられることを除いて、内部リファレンスモードとほとんど同じです。バッファ付き外部リファレンスモードでは、0.7V~2.3Vの安定したリファレンス電圧源をREFINに印加してください。このモードでは、 $V_{COM\_} = V_{DD}/2$ 、 $V_{REF\_P} = V_{DD}/2 + 3/8 \times V_{REFIN}$ 、および $V_{REF\_N} = V_{DD}/2 - 3/8 \times V_{REFIN}$ であり、ピンCOM\_、REF\_P、およびREF\_Nはローインピーダンス出力となります。REF\_P、REF\_N、およびCOM\_の各々を0.1μFのコンデンサでGNDにバイパスしてください。REF\_Pを10μFのコンデンサでREF\_Nにバイパスしてください。

バッファなしの外部リファレンスモードにするためには、REFINをGNDに接続してください。REFINをGNDに接続すると、COM\_、REF\_P、およびREF\_Nに対する内蔵リファレンスバッファが非アクティブになります。これらのバッファが非アクティブになると、COM\_、REF\_P、およびREF\_Nはハイインピーダンス入力になり独立した外部リファレンスソースで駆動する必要があります。 $V_{COM\_}$ を $V_{DD}/2 \pm 5\%$ に駆動し、REF\_PとREF\_Nを $V_{COM\_} = (V_{REF\_P} + V_{REF\_N})/2$ となるように駆動してください。アナログ入力範囲は、 $\pm(V_{REF\_P} - V_{REF\_N}) \times 2/3$ です。REF\_P、REF\_N、およびCOM\_の各々を0.1μFのコンデンサでGNDにバイパスしてください。REF\_Pを10μFのコンデンサでREF\_Nにバイパスしてください。

すべてのリファレンスモードにおいて、REFOUTを0.1μFのコンデンサで、またREFINを4.7μFのコンデンサでGNDにバイパスしてください。

MAX12527は共用リファレンスモードも備えており、このモードでユーザはチャンネル間の良好なマッチングを実現することができます。リファレンスを共用するとき( $SHREF = V_{DD}$ )、 $V_{REFAP} = V_{REFBP}$ となるようにREFAPとREFBPを外部で互いに接続してください。同様に、リファレンスを共用するときは、 $V_{REFAN} = V_{REFBN}$ となるようにREFANとREFBNを外部で互いに接続してください。

MAX12527の共用リファレンスモードをディセーブルするためには、SHREFをGNDに接続してください。この独立リファレンスモードでは、良好なチャンネル間アイソレーションが実現します。

バッファ付き/バッファなしの外部リファレンスモードにおける詳しい回路例とADCの駆動方法については、「アプリケーション情報」の項をご覧ください。

## クロックデューティサイクルイコライザ

MAX12527は、CLKPとCLKNに印加される信号のデューティサイクルに対してコンバータの感度を下げるクロックデューティサイクルイコライザを内蔵してい

ます。コンバータは25%~75%のクロックデューティサイクル変動が許容され、これによってダイナミック性能が悪影響を受けることはありません。

クロックデューティサイクルイコライザには、デューティサイクルと無関係の内部タイミング信号を生成する遅延ロックループ(DLL)が使用されます。このDLLによって、MAX12527は新たなクロック周波数を獲得してこれにロックするために約100クロックサイクルを必要とします。

## クロック入力およびクロック制御ライン

MAX12527は、入力クロックデューティサイクルが広範な25%~75%の差動とシングルエンドの両クロック入力で作動します。シングルエンドクロック入力動作の場合は、DIFFCLK/SECLKとCLKNをGNDに接続してください。CLKPを外部のシングルエンドクロック信号で駆動してください。クロックジッタを抑制するためには、外部のシングルエンドクロックの立下りエッジを急峻にする必要があります。差動クロック入力動作の場合は、DIFFCLK/SECLKを $OV_{DD}$ に接続してください。CLKPとCLKNを外部の差動クロック信号で駆動してください。クロック入力をアナログ入力とみなして、その配線ルートを他のアナログ入力およびデジタル信号ラインから離してください。MAX12527がパワーダウンされると、CLKPとCLKNはハイインピーダンスになります(図4)。

MAX12527の規定されたSNR性能を得るためには、低クロックジッタが求められます。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされるため、このエッジのジッタは可能な限り小さくする必要があります。ジッタは、次式に従ってADCの最大SNR性能を制限します。

$$SNR = 20 \times \log \left( \frac{1}{2 \times \pi \times f_{IN} \times t_j} \right)$$

ここで、 $f_{IN}$ はアナログ入力周波数を表わし、 $t_j$ は全システムクロックジッタです。クロックジッタは、アンダサンプリングアプリケーションにとって特に重要です。たとえば、クロックジッタが唯一のノイズ源であると仮定すると、175MHzの入力周波数で69.8dBの規定SNRを得るためには、システムのクロックジッタが0.29ps未満でなければなりません。しかし、実際には、システムノイズに影響する熱雑音や量子化ノイズなどの他のノイズ源があるため、175MHzにおいて69.8dBの規定されたSNRを得るためにはクロックジッタを0.14ps未満にする必要があります。

## クロック分周器制御入力(DIV2、DIV4)

MAX12527には、3種類のサンプリング/クロック動作モードがあります(表2参照)。両方の制御ラインをローにプルダウンすると、クロック分周器の機能がディセーブルされ、コンバータは最大クロック速度でサンプリングを行います。DIV4をローに駆動し、DIV2をハイに駆動

# デュアル、65Mps、12ビット、1F/ベースバンドADC

MAX12527

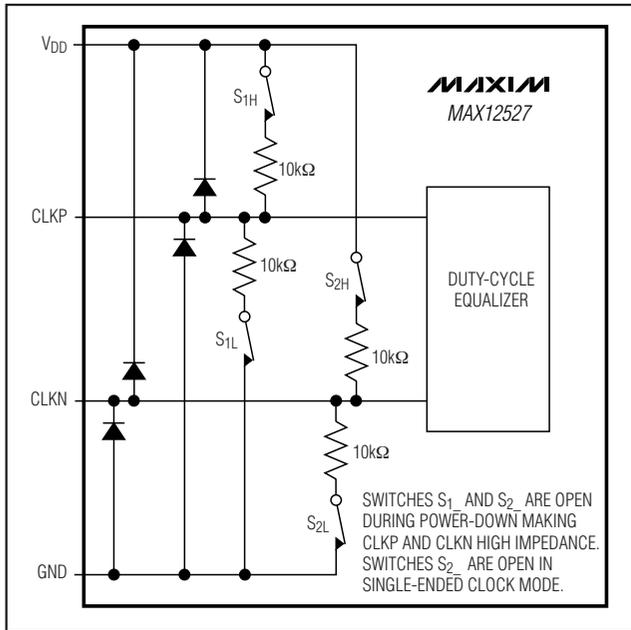


図4. 簡略化されたクロック入力回路

すると、2分割機能がイネーブルされ、これによってサンプリング速度が選択されたクロック周波数の1/2に設定されます。4分割モードでは、コンバータのサンプリング速度がMAX12527のクロック速度の1/4に設定されます。4分割モードは、ハイレベルをDIV4に、ローレベルをDIV2に印加することによって実現します。サンプリングに対してクロック速度の1/2または1/4のいずれかを選択するオプションによって、設計に柔軟性を与え、クロックの必要条件を緩和し、クロックジッタを最小限に抑えることができます。

## システムタイミング要件

図5は、クロック、アナログ入力、DAVインジケータ、DOR\_インジケータ、および読み出し出力データのタイミング関係を示します。アナログ入力はCLKP(CLKN)の立下り(立上り)エッジでサンプリングされ、得られたデータは8クロックサイクル後にデジタル出力に現われます。

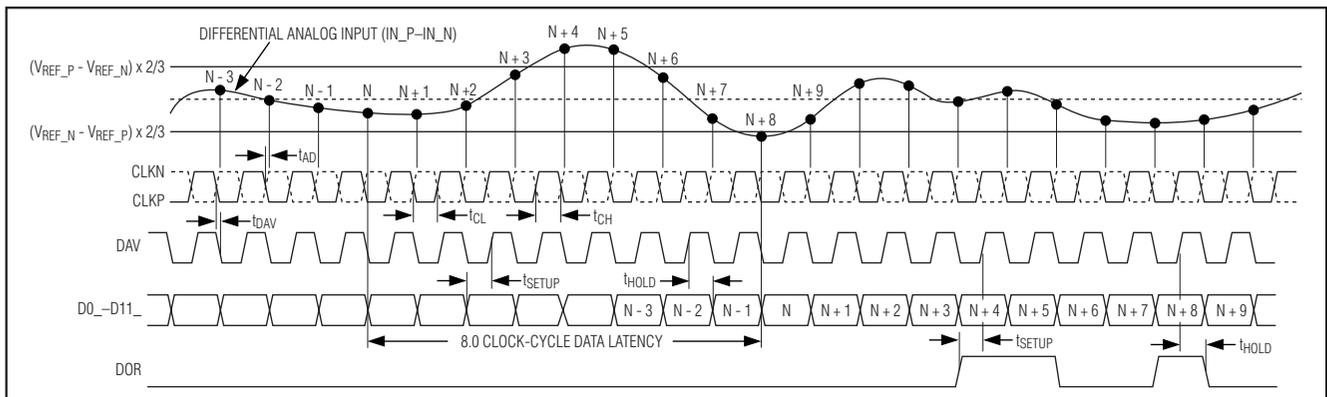


図5. システムのタイミング図

表2. クロック分周器の制御入力

DIV4	DIV2	FUNCTION
0	0	Clock Divider Disabled $f_{\text{SAMPLE}} = f_{\text{CLK}}$
0	1	Divide-by-Two Clock Divider $f_{\text{SAMPLE}} = f_{\text{CLK}} / 2$
1	0	Divide-by-Four Clock Divider $f_{\text{SAMPLE}} = f_{\text{CLK}} / 4$
1	1	Not Allowed

DAVインジケータは、デジタル出力に同期しており、データを後続のデジタル回路にラッチする際に使用するよう最適化されています。代わりに、後続のデジタル回路を、変換クロック(CLKP~CLKN)の立上りエッジでラッチすることもできます。

## データ有効出力

DAVは、入力クロックデューティサイクルの変動を補正するために補償されている入力クロックのシングルエンドバージョンです。MAX12527の出力データは、DAVの立下りエッジで変化し、出力データが有効になるとDAVが立ち上がります。DAVの立下りエッジは、入力クロックの立下りエッジから5.4ns遅れてこのクロックに同期しています。D0A/B~D11A/BとDORA/Bの出力データは、DAVの立上りエッジの7ns前からDAVの立上りエッジの7ns後まで有効です。

MAX12527がパワーダウンされると(PD = OV<sub>DD</sub>)、DAVはハイインピーダンスになります。DAVは、PDの立上りエッジの10ns後にハイインピーダンス状態になり、PDがローに遷移してから10ns後に再びアクティブになります。

DAVは、600μAのシンク電流とソース電流を流すことが可能で、D0A/B~D11A/BとDORA/Bの3倍の駆動能力を持っています。DAVは、通常、MAX12527の出力データを外部の後続デジタル回路にラッチするために使用されます。大きなデジタル電流がMAX12527のアナログ部に戻ることによってそのダイナミック性能が低下することのないよう、DAVの容量性負荷をできる限り低く(15pF未満)保ってください。DAVの外部に

# デュアル、65Msps、12ビット、IF/ベースバンドADC

バッファを設けると、DAVが容量性の重負荷から分離されます。外部バッファを介したDAV信号の推奨駆動方法に関しては、MAX12527のEVキットの回路図を参照してください。

## データ範囲外インジケータ

DORAおよびDORBデジタル出力は、アナログ入力電圧が範囲外であることを示します。DOR<sub>A</sub>がハイのとき、アナログ入力は範囲外です。DOR<sub>B</sub>がローのとき、アナログ入力は範囲内にあります。有効な差動入力範囲は、 $(V_{REF\_P} - V_{REF\_N}) \times 2/3 \sim (V_{REF\_N} - V_{REF\_P}) \times 2/3$ です。信号がこの有効差動範囲外にある場合は、表1に示すように、DOR<sub>A</sub>がハイを保証します。

DORは、DAVに同期しており、出力データD11~D0とともに遷移します。出力データの場合と同様に、DOR機能には8クロックサイクルの待ち時間があります(図5)。MAX12527がパワーダウン状態(PD=ハイ)にあるとき、DOR<sub>A</sub>はハイインピーダンスです。DOR<sub>B</sub>は、PDの立上りエッジ後10ns以内にハイインピーダンス状態になり、PDの立下りエッジから10ns後にアクティブになります。

## デジタル出力データと出力形式の選択

MAX12527は、2つの12ビット、パラレル、トライステート出力バスを持っています。D0A/B~D11A/Bと

DORA/Bは、DAVの立下りエッジで更新され、DAVの立上りエッジで有効になります。

MAX12527の出力データ形式は、ロジック入力G $\bar{T}$ に応じてグレイコードまたは2の補数のいずれかとなります。G $\bar{T}$ がハイの場合、出力データ形式はグレイコードです。G $\bar{T}$ がローの場合、出力データ形式は2の補数に設定されます。バイナリからグレイ、およびグレイからバイナリへのコード変換例については、図8をご覧ください。

次式、表3、図6、および図7は、デジタル出力とアナログ入力の間係を表わしています。

グレイコード(G $\bar{T}$ =1):

$$V_{IN\_P} - V_{IN\_N} = \frac{2}{3} \times (V_{REF\_P} - V_{REF\_N}) \times 2 \times \frac{(\text{CODE}_{10} - 2048)}{4096}$$

2の補数(G $\bar{T}$ =0):

$$V_{IN\_P} - V_{IN\_N} = \frac{2}{3} \times (V_{REF\_P} - V_{REF\_N}) \times 2 \times \frac{\text{CODE}_{10}}{4096}$$

ここで、CODE<sub>10</sub>は、表3に示すデジタル出力コードの対応する10進数です。

MAX12527がパワーダウン(PD=1)モードにあるとき、デジタル出力D0A/B~D11A/Bはハイインピーダンスです。D0A/B~D11A/Bは、PDの立上りエッジから10ns後にこの状態になり、PDがローに遷移してから10ns後に再びアクティブになります。

表3. 出力コードと入力電圧

GRAY-CODE OUTPUT CODE (G $\bar{T}$ = 1)				TWO'S COMPLEMENT OUTPUT CODE (G $\bar{T}$ = 0)				V <sub>IN_P</sub> - V <sub>IN_N</sub> V <sub>REF_P</sub> = 2.418V V <sub>REF_N</sub> = 0.882V
BINARY D11A-D0A D11B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D11A-D0A D11B-D0B	DECIMAL EQUIVALENT OF D11A-D0A D11B-D0B (CODE <sub>10</sub> )	BINARY D11A-D0A D11B-D0B	DOR	HEXADECIMAL EQUIVALENT OF D11A-D0A D11B-D0B	DECIMAL EQUIVALENT OF D11A-D0A D11B-D0B (CODE <sub>10</sub> )	
1000 0000 0000	1	0x800	+4095	0111 1111 1111	1	0x7FF	+2047	>+1.0235V (DATA OUT OF RANGE)
1000 0000 0000	0	0x800	+4095	0111 1111 1111	0	0x7FF	+2047	+1.0235V
1000 0000 0001	0	0x801	+4094	0111 1111 1110	0	0x7FE	+2046	+1.0230V
1100 0000 0011	0	0xC03	+2050	0000 0000 0010	0	0x002	+2	+0.0010V
1100 0000 0001	0	0xC01	+2049	0000 0000 0001	0	0x001	+1	+0.0005V
1100 0000 0000	0	0xC00	+2048	0000 0000 0000	0	0x000	0	+0.0000V
0100 0000 0000	0	0x400	+2047	1111 1111 1111	0	0xFFF	-1	-0.0005V
0100 0000 0001	0	0x401	+2046	1111 1111 1110	0	0xFFE	-2	-0.0010V
0000 0000 0001	0	0x001	+1	1000 0000 0001	0	0x801	-2047	-1.0235V
0000 0000 0000	0	0x000	0	1000 0000 0000	0	0x800	-2048	-1.0240V
0000 0000 0000	1	0x000	0	1000 0000 0000	1	0x800	-2048	<-1.0240V (DATA OUT OF RANGE)

# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

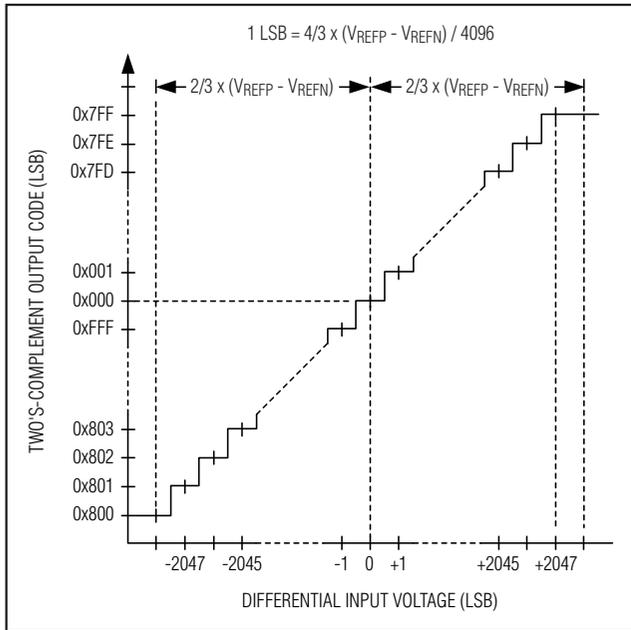


図6. 2の補数の伝達関数( $G/T = 0$ )

大きなデジタル電流がMAX12527のアナログ部に戻ることによってそのダイナミック性能が低下することのないよう、MAX12527のデジタル出力D0A/B~D11A/Bの容量性負荷をできる限り小さく(15pF未満)保ってください。デジタル出力にデジタルバッファを外付けすると、MAX12527が容量性の重負荷から分離されます。MAX12527のダイナミック性能を改善するためには、220Ωの抵抗器をMAX12527の近くでデジタル出力と直列に接続してください。220Ωの直列抵抗器と外付けデジタル出力バッファを介したデジタル出力の駆動方法の指針については、MAX12527のEVキットの回路図をご覧ください。

## パワーダウン入力

MAX12527は、パワーダウンデジタル入力(PD)によって制御される2つのパワーモードを備えています。PDがローの場合、MAX12527は通常動作モードです。PDがハイの場合、MAX12527はパワーダウンモードになります。

パワーダウンモードでは、MAX12527は変換が不要なときに低電力状態に移転することによって電力を効率的に利用することができます。さらに、MAX12527の平行出力バスはパワーダウンモードにおいてバス上の他のデバイスにアクセスすることを可能にしながら、ハイインピーダンスになります。

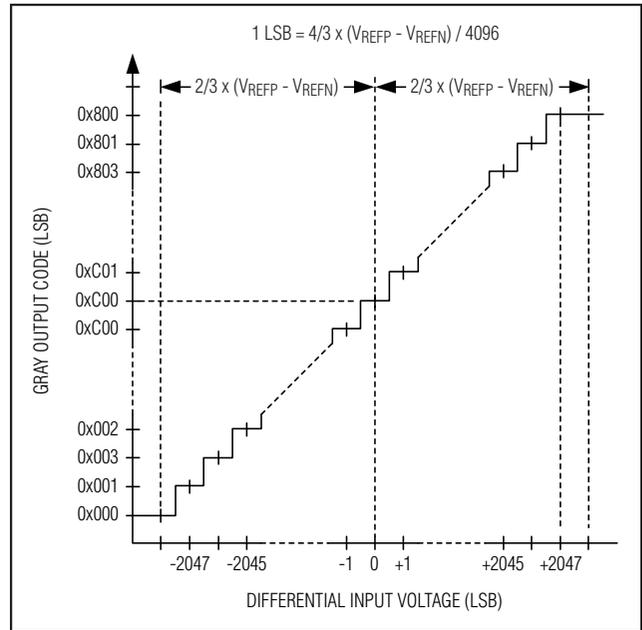


図7. グレイコードの伝達関数( $G/T = 1$ )

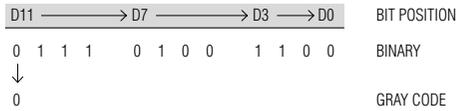
パワーダウンモードでは、すべての内部回路がオフになり、アナログ消費電流が50μA未満に減少し、デジタル消費電流が1μAに減少します。以下に、パワーダウンモードにおけるアナログ入力とデジタル出力の状態を示します。

- 1) INAP/B、INAN/Bアナログ入力は、内蔵入力アンプから切断されます(図3)。
- 2) REFOUTは、GNDに対して約17kΩです。
- 3) REFAP/B、COMA/B、REFAN/Bは、V<sub>DD</sub>とGNDに対してハイインピーダンス状態になりますが、REFAP/BとCOMA/Bの間に4kΩの内部抵抗器があり、REFAN/BとCOMA/Bの間にも4kΩの内部抵抗器があります。
- 4) D0A~D11A、D0B~D11B、DORA、およびDORBがハイインピーダンス状態になります。
- 5) DAVがハイインピーダンス状態になります。
- 6) CLKP、CLKNクロック入力が高インピーダンス状態になります(図4)。

パワーダウンモードからのウェイクアップ時間は、REF\_P、REF\_N、およびCOMにおけるコンデンサの充電に必要な時間によって左右されます。内部リファレンスモードおよびバッファ付き外部リファレンスモードでは、ウェイクアップ時間が通常は10msです。バッファなしの外部リファレンスモードで動作しているとき、ウェイクアップ時間は外付けリファレンスドライバに依存します。

### BINARY-TO-GRAY CODE CONVERSION

1) THE MOST SIGNIFICANT GRAY-CODE BIT IS THE SAME AS THE MOST SIGNIFICANT BINARY BIT.



2) SUBSEQUENT GRAY-CODE BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

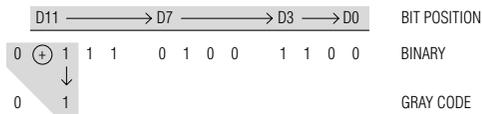
$$\text{GRAY}_X = \text{BINARY}_X \oplus \text{BINARY}_{X+1}$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{GRAY}_{10} = \text{BINARY}_{10} \oplus \text{BINARY}_{11}$$

$$\text{GRAY}_{10} = 1 \oplus 0$$

$$\text{GRAY}_{10} = 1$$

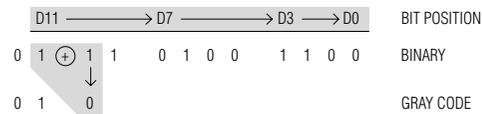


3) REPEAT STEP 2 UNTIL COMPLETE:

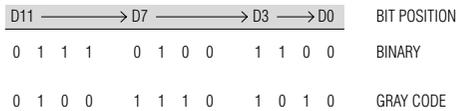
$$\text{GRAY}_9 = \text{BINARY}_9 \oplus \text{BINARY}_{10}$$

$$\text{GRAY}_9 = 1 \oplus 1$$

$$\text{GRAY}_9 = 0$$

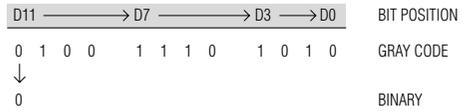


4) THE FINAL GRAY-CODE CONVERSION IS:



### GRAY-TO-BINARY CODE CONVERSION

1) THE MOST SIGNIFICANT BINARY BIT IS THE SAME AS THE MOST SIGNIFICANT GRAY-CODE BIT.



2) SUBSEQUENT BINARY BITS ARE FOUND ACCORDING TO THE FOLLOWING EQUATION:

$$\text{BINARY}_X = \text{BINARY}_{X+1} \oplus \text{GRAY}_X$$

WHERE  $\oplus$  IS THE EXCLUSIVE OR FUNCTION (SEE TRUTH TABLE BELOW) AND X IS THE BIT POSITION:

$$\text{BINARY}_{10} = \text{BINARY}_{11} \oplus \text{GRAY}_{10}$$

$$\text{BINARY}_{10} = 0 \oplus 1$$

$$\text{BINARY}_{10} = 1$$



3) REPEAT STEP 2 UNTIL COMPLETE:

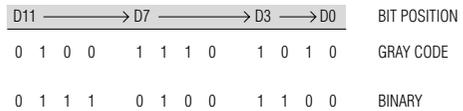
$$\text{BINARY}_9 = \text{BINARY}_{10} \oplus \text{GRAY}_9$$

$$\text{BINARY}_9 = 1 \oplus 0$$

$$\text{BINARY}_9 = 1$$



4) THE FINAL BINARY CONVERSION IS:



EXCLUSIVE OR TRUTH TABLE

A	B	Y = A $\oplus$ B
0	0	0
0	1	1
1	0	1
1	1	0

FIGURE 8 SHOWS THE GRAY-TO-BINARY AND BINARY-TO-GRAY CODE CONVERSION IN OFFSET BINARY FORMAT. THE OUTPUT FORMAT OF THE MAX12527 IS TWO'S-COMPLEMENT BINARY. HENCE EACH MSB OF THE TWO'S-COMPLEMENT OUTPUT CODE MUST BE INSERTED TO REFLECT TRUE OFFSET BINARY FORMAT.

図8. バイナリからグレイおよびグレイからバイナリへのコード変換

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

## アプリケーション情報

### トランス結合の利用

一般に、MAX12527は、特に125MHzを超える入力周波数では、シングルエンド入力駆動よりも完全な差動入力信号の場合の方がSFDRとTHDが優れています。差動入力モードでは、両入力が平衡しており、かつADC入力の各々がシングルエンド入力モードに比べて1/2の信号振幅で済むため、偶数次の高調波が少なくなります。

RFトランス(図9)は、シングルエンド入力源信号を、最適性能を得るためにMAX12527が必要とする完全な差動信号に変換するための卓越したソリューションを提供します。トランスのセンタータップをCOMに接続すると、入力に対して $V_{DD}/2$ のDCレベルシフトが生じます。1:1のトランスが示されていますが、駆動要件を減らすためにステップアップトランスを選択することができます。オペアンプなどの入力ドライバの信号振幅を小さくすると、全体の歪みを改善することもできます。図9の構成は、ナイキスト( $f_{CLK}/2$ )までの周波数に適しています。

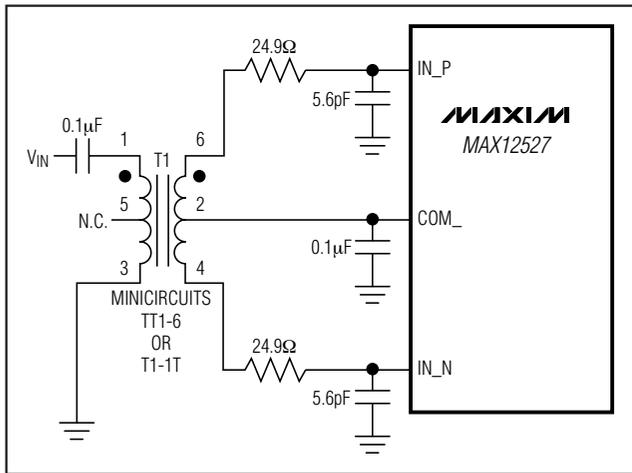


図9. ナイキストまでの入力周波数に対するトランス結合入力駆動

図10の回路は、シングルエンド入力信号を図9のような完全な差動信号に変換します。ただし、図10では、コモンモード除去を改善するために補助トランスを使用しているため、ナイキスト周波数を超える高周波信号を処理することができます。75Ωと113Ωの1組の終端抵抗器は、信号源に対して50Ωに等しい終端となります。2番目の組の終端抵抗器を接続することによって、COMに適切な入力コモンモード電圧を供給しています。アナログ入力に2個の0Ω抵抗器を直列に接続すると、IF入力周波数を高くすることができます。これらの0Ω抵抗器を低い値の抵抗器で置き換えると入力帯域幅を制限することができます。

### シングルエンドAC結合入力信号

図11は、AC結合、シングルエンド入力のアプリケーションを示します。MAX4108は、高速、広帯域幅、低ノイズ、および低歪みの長を備えており、入力信号の完全性を保ちます。

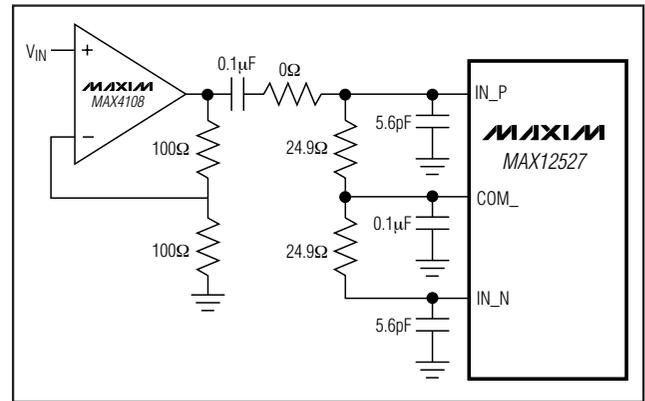


図11. シングルエンド、AC結合入力駆動

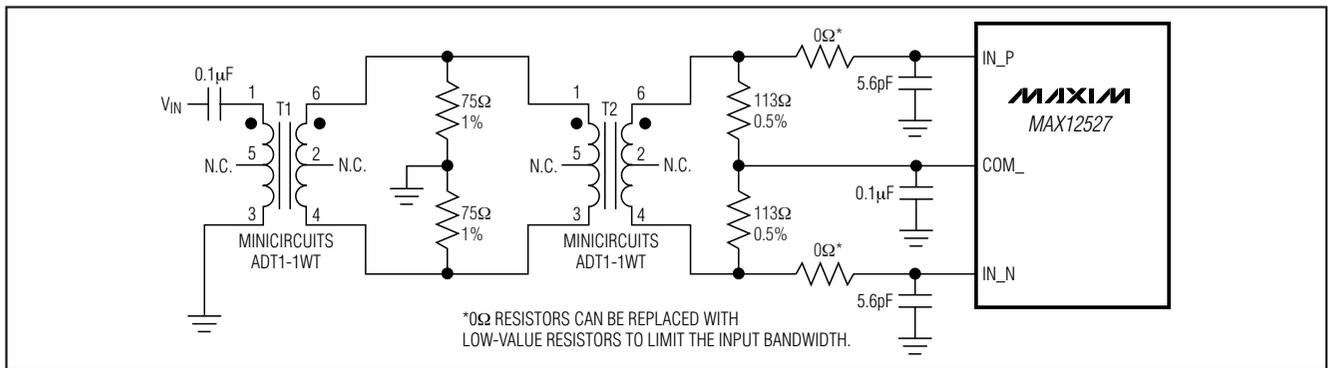


図10. ナイキストを超える入力周波数に対するトランス結合入力駆動

# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

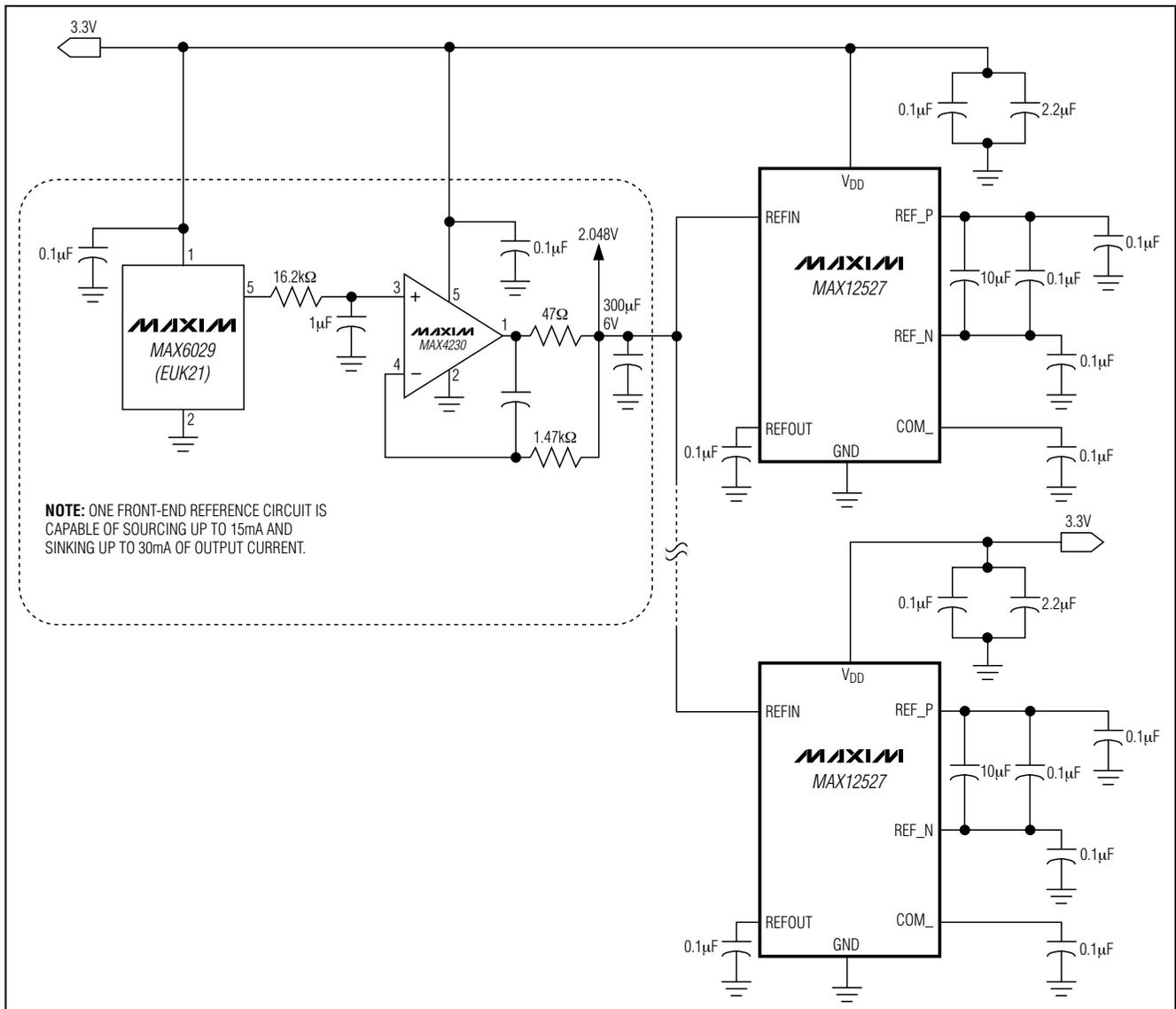


図12. MAX6029バンドギャップリファレンスを使用したバッファ付き外部(MAX4230)リファレンス駆動

## バッファ付き外部リファレンスが複数のADCを駆動

バッファ付き外部リファレンスモードは、MAX12527内蔵のリファレンス電圧全体にわたり、より多くの制御が可能になり、複数のコンバータが共通リファレンスを使用することができます。REFIN入力インピーダンスは50MΩを超えています。

図12は、複数のコンバータに共通リファレンスとして使用される高精度2.048VバンドギャップリファレンスのMAX6029を示します。MAX6029の2.048V出力は、シングルポールの10Hz LPフィルタを介してMAX4230に接続されています。

MAX4230は、2.048Vリファレンスのバッファとして働き、その出力をMAX12527のREFINに入力する前にさらに10HzのLPフィルタ処理を行っています。

## バッファなし外部リファレンスが複数のADCを駆動

バッファなし外部リファレンスモードを使用すると、MAX12527内蔵リファレンスに優る高精度の制御が可能になり、複数のコンバータに共通リファレンスを使用することができます。REFINをGNDに接続すると、内部リファレンスがディセーブルされて、REF\_P、REF\_N、およびCOM\_を1組の外部リファレンスソースによって直接駆動することができます。

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

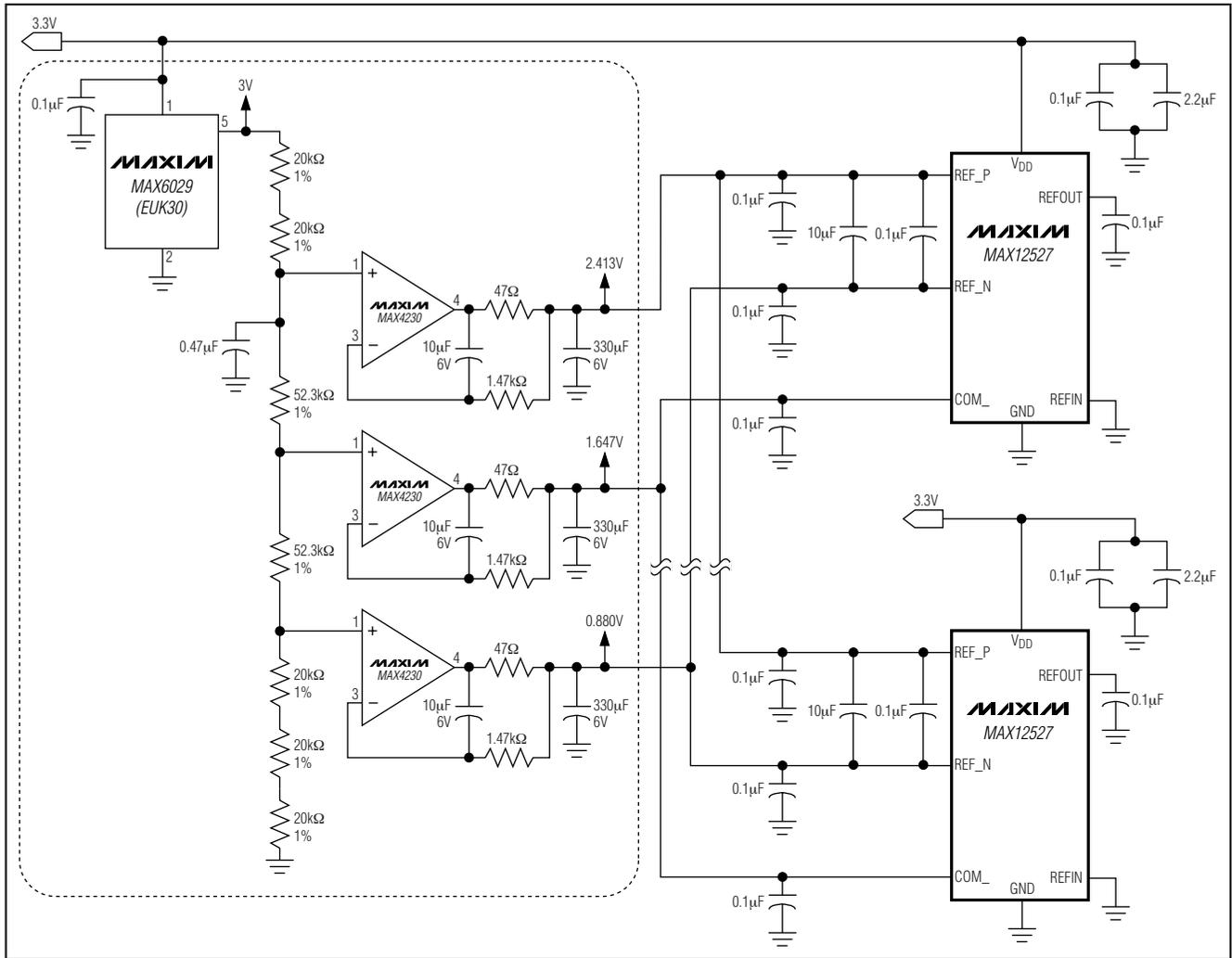


図13. 複数のADCを駆動するバッファなし外部リファレンス

図13では、複数のコンバータの共通リファレンスとして高精度3.000VバンドギャップリファレンスのMAX6029を使用しています。7個の部品から成る抵抗分圧器チェーンが、電圧リファレンスMAX6029の後に接続されています。このチェーンと0.47μFのコンデンサが、10HzのLPフィルタを形成しています。3個のMAX4230アンプは、この抵抗器チェーンにそったタップにバッファとして、2.413V、1.647V、および0.880VをMAX12527のREF\_P、REF\_N、およびCOM\_の各リファレンス入力に供給しています。MAX4230オペアンプにフィードバックをすることによって10Hz LPフィルタが新たに加わります。リファレンス電圧の2.413Vと0.880Vによって、コンバータのフルスケールアナログ入力範囲が $\pm 1.022V (\pm [V_{REF\_P} - V_{REF\_N}] \times 2/3)$ に設定されます。

全能動回路部品に対して1個の単一電源を使用することで、パワーアップやパワーダウンの際の電源シーケンスに関する関心を除去してくれます。

## グラウンド、バイパス、および基板のレイアウト

MAX12527には、高速の基板レイアウト設計技法が必要です。基板のレイアウト基準については、MAX12527のEVキットのデータシートを参照してください。バイパスコンデンサはすべて、インダクタンスを最小とする表面実装型デバイスを使用して、できればADCと基板の同じ側でデバイスのできる限り近くに配置してください。

少なくとも1個の10μF、1個の4.7μF、および1個の0.1μFのセラミックコンデンサと並列接続した220μF

# デュアル、65Msps、12ビット、IF/ベースバンドADC

のセラミックコンデンサで $V_{DD}$ をGNDにバイパスしてください。また、少なくとも1個の10 $\mu$ F、1個の4.7 $\mu$ F、および1個の0.1 $\mu$ Fのセラミックコンデンサと並列接続した220 $\mu$ Fのセラミックコンデンサで $OV_{DD}$ をGNDにバイパスしてください。高周波のバイパス/デカップリングコンデンサは、コンバータ電源ピンのできる限り近くに配置するものとします。

広いグランドプレーンと電源プレーンの多層基板を使用すると、最高レベルの信号の完全性が実現します。MAX12527のすべてのグランドと裏側のエクスポーズドパッドは、同じグランドプレーンに接続する必要があります。MAX12527では、低インダクタンスのグランド接続が得られるかどうか裏側のエクスポーズドパッドの接続で決まります。このグランドプレーンは、DSPや出力バッファグランドなどのノイズの多いデジタルシステムグランドプレーンから分離してください。

高速デジタル信号トレースは、高感度のアナログトレースから離して配置してください。すべての信号ラインは短くして90°の方向転換を避けてください。

差動アナログ入力ネットワークのレイアウトが対称になっていて、すべての寄生成分が均等にバランスされていることを確かめてください。対称な入力レイアウトの例については、MAX12527のEVキットのデータシートを参照してください。

## パラメータの定義

### 積分非直線性 (INL)

INLは、実際の伝達関数の値に対する直線からのずれです。MAX12527の場合、この直線は、オフセット誤差と利得誤差をゼロにした後の伝達関数の両端点を結んだ直線です。INLのずれは、伝達関数のすべてのステップで測定され、ワーストケースのずれが「Electrical Characteristics(電気的特性)」の表に記載されています。

### 微分非直線性 (DNL)

DNLは、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミスコードのない単調伝達関数を保証します。MAX12527の場合、DNLのずれは、伝達関数のすべてのステップで測定され、ワーストケースのずれは「Electrical Characteristics(電気的特性)」の表に記載されています。

### オフセット誤差

オフセット誤差は、実際の伝達関数が1点において理想的な伝達関数とどの程度一致しているかを示す性能指数です。理想的には、ミッドスケールのMAX12527の遷移がミッドスケールよりも0.5 LSBだけ上の点で

起ります。オフセット誤差は、測定されたミッドスケール遷移点と理想的なミッドスケール遷移点のずれの大きさです。

### 利得誤差

利得誤差は、実際の伝達関数のスロープが理想伝達関数のスロープとどの程度一致しているかを示す性能指数です。実際の伝達関数のスロープは、2つのデータ点間、すなわち正のフルスケールと負のフルスケールの間で測定されます。理想的には、MAX12527の正のフルスケール遷移は正のフルスケールよりも1.5 LSBだけ下で起り、負のフルスケール遷移は負のフルスケールよりも0.5 LSBだけ上で起ります。利得誤差は、測定された各遷移点の差から理想的な遷移点の差を差し引いた値です。

### 小信号ノイズフロア (SSNF)

SSNFは、小信号入力に対するナイキスト帯域の総合的なノイズと歪み電力です。DCオフセットは、このノイズ計算から除外されます。このコンバータの場合、小信号は振幅が-35dBFSのシングルトーンとして定義されます。このパラメータは、データコンバータの熱雑音と量子化ノイズの特性を取り入れて、デジタルレシーバ信号経路の総合ノイズ指数の計算に役立てることができ

### 信号対ノイズ比 (SNR)

デジタルサンプルから完全に再現される波形の場合、理論的な最大SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)の比です。理想的な理論的最小アナログ-デジタル変換ノイズは、量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$SNR_{[max]} = 6.02 \times N + 1.76$$

実際には、量子化ノイズ以外に、熱雑音、リファレンスノイズ、クロックジッタなどのノイズ源があります。したがって、SNRは、RMS信号とRMSノイズの比をとることによって求められます。RMSノイズには、基本波、最初の6つの高調波成分(HD2~HD7)、およびDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

$$SNR = 20 \times \log(SIGNAL_{RMS} / NOISE_{RMS})$$

### 信号対ノイズ + 歪み (SINAD)

SINADは、RMS信号とRMSノイズ + 歪みとの比をとることによって計算されます。RMSノイズ + 歪みには、基本波とDCオフセットを除く、ナイキスト周波数までの全スペクトル成分が含まれます。

# デュアル、65Mps、12ビット、IF/ベースバンドADC

MAX12527

## 全高調波歪み (THD)

THDは、入力信号に含まれる最初の6つの高調波のRMS合計と基本波そのものとの比です。これは、次式で表わされます。

$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2 + V_7^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅で、 $V_2 \sim V_7$ は2次～7次(HD2からHD7まで)の高調波の振幅です。

## スプリアスフリーダイナミックレンジ (SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅とDCオフセットを除く2番目に大きいスプリアス成分のRMS値との比で、デシベル単位で表わされます。

## 相互変調歪み (IMD)

IMDは、2つの入力トーン $f_{IN1}$ と $f_{IN2}$ の全入力パワーに対する、ナイキスト周波数までのIM2～IM5相互変調積の全パワーの比です。各入力トーンレベルは、-7dBFSにおける値です。相互変調積は、次の通りです。

2次の相互変調積(IM2) :

$$f_{IN1} = f_{IN2}, f_{IN2} - f_{IN1}$$

3次の相互変調積(IM3) :

$$2 \times f_{IN1} - f_{IN2}, 2 \times f_{IN2} - f_{IN1}, 2 \times f_{IN1} + f_{IN2}, 2 \times f_{IN2} + f_{IN1}$$

4次の相互変調積(IM4) :

$$3 \times f_{IN1} - f_{IN2}, 3 \times f_{IN2} - f_{IN1}, 3 \times f_{IN1} + f_{IN2}, 3 \times f_{IN2} + f_{IN1}, 2 \times f_{IN1} - 2 \times f_{IN2}, 2 \times f_{IN1} + 2 \times f_{IN2}, 2 \times f_{IN2} - 2 \times f_{IN1}$$

5次の相互変調積(IM5) :

$$3 \times f_{IN1} - 2 \times f_{IN2}, 3 \times f_{IN2} - 2 \times f_{IN1}, 3 \times f_{IN1} + 2 \times f_{IN2}, 3 \times f_{IN2} + 2 \times f_{IN1}, 4 \times f_{IN1} - f_{IN2}, 4 \times f_{IN2} - f_{IN1}, 4 \times f_{IN1} + f_{IN2}, 4 \times f_{IN2} + f_{IN1}$$

2トーン相互変調歪みは、両入力トーンのピーク対平均入力パワーでなくシングルキャリア振幅に関して測定されます。

## 3次相互変調 (IM3)

IM3は、2つの入力トーン $f_{IN1}$ と $f_{IN2}$ の全入力パワーに対するナイキスト周波数までの3次相互変調積の全パワーの比です。各入力トーンレベルは、-7dBFSにおける値です。3次相互変調積は、 $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$ です。

## アパーチャジッタ

図14は、アパーチャジッタ( $t_{AJ}$ )を示します。これは、アパーチャ遅延におけるサンプル間の変動です。

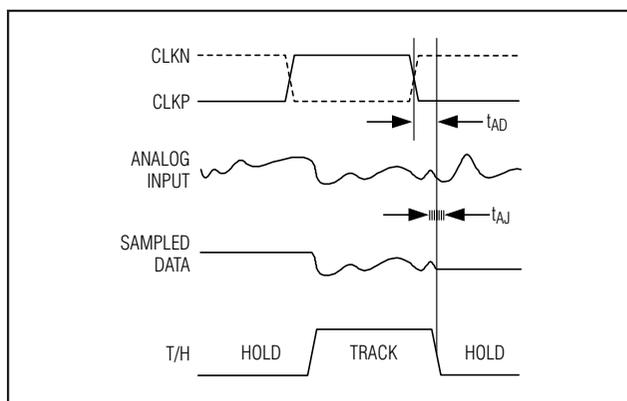


図14. T/Hアパーチャタイミング

## アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジから実際のサンプルが取り込まれる時点の時間として定義されます(図14)。

## フルパワー帯域幅

-0.2dBFSの大きいアナログ入力信号がADCに印加され、入力周波数はデジタル変換出力の振幅が-3dBだけ減少する点まで掃引されます。この点がフルパワー入力帯域幅周波数として定義されます。

## 出力ノイズ ( $n_{OUT}$ )

出力ノイズ( $n_{OUT}$ )パラメータは、熱雑音と量子化ノイズに似ており、コンバータの総合ノイズ性能を表わします。

基本波入力トーンは、 $n_{OUT}$ の試験に使用されません。IN\_P、IN\_N、およびCOM\_は互いに接続され、1024kのデータ点が収集されます。 $n_{OUT}$ は、平均値を除外した後、収集されたデータ点のRMS値を求めることによって計算されます。

## オーバドライブ回復時間

オーバドライブ回復時間は、フルスケール制限値を超える入力トランジェントからADCが回復するのに要する時間です。MAX12527では、フルスケール制限値を±10%だけ超える入力トランジェントを使用してオーバドライブ回復時間を規定しています。MAX12527は、オーバドライブ状態から回復するのに1クロックサイクルを必要とします。

## クロストーク

隣接する干渉チャンネルがフルスケール信号によって駆動される際に、1つの(-0.5dBFS)信号によって駆動されている1チャンネルに生じる結合。測定値には、直接結合成分と混合成分の両方に起因するすべての妨害波が含まれます。

# デュアル、65Msps、12ビット、IF/ベースバンドADC

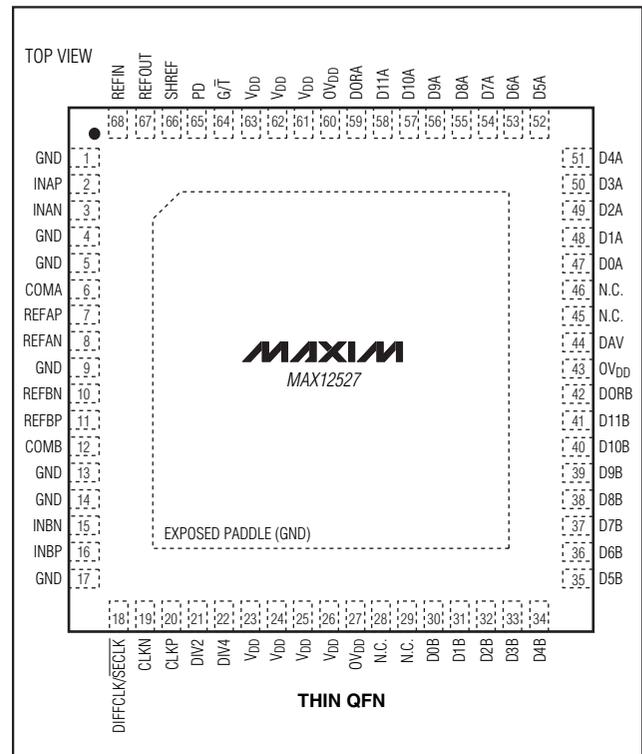
## 利得マッチング

利得マッチングは、2チャンネル間で利得が互いにどの程度一致しているかを示す性能指数です。同じ入力信号が両チャンネルに印加され、利得の最大のずれが利得マッチングとして(通常、dB単位で)記載されています。

## オフセットマッチング

利得マッチングと同様に、オフセットマッチングは2チャンネル間でオフセットが互いにどの程度一致しているかを示す性能指数です。同じ入力信号が両チャンネルに印加され、オフセットの最大のずれがオフセットマッチングとして(通常、%FSRで)記載されています。

## ピン配置



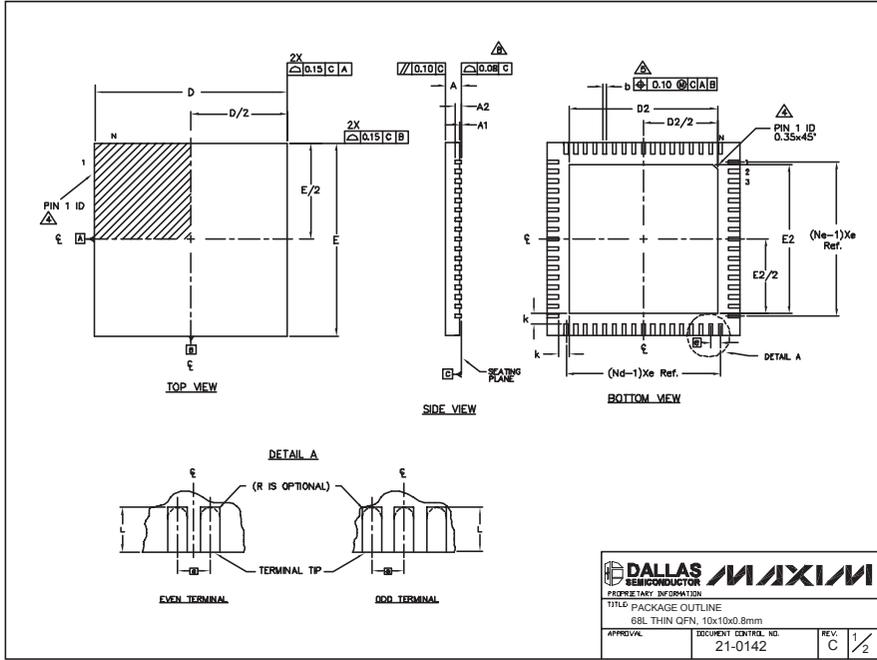
MAX12527

# デュアル、65MSPs、12ビット、IF/ベースバンドADC

MAX12527

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



PKG REF.	MIN.	NDM.	MAX.	N	D	E
A	0.70	0.75	0.80			
A1	0.00	0.01	0.05			
A2	0.20 REF.					
b	0.20	0.25	0.30			
D	9.90	10.00	10.10			
E	9.90	10.00	10.10			
e	0.50 BSC.					
k	0.25	-	-			
L	0.45	0.55	0.65			
N				68		
ND				17		
NE				17		
JEDEC	WAND-2					

PKG. CODE	D2			E2			DOWN BONDS ALLOWED
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	
T6800-1	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-2	7.60	7.70	7.80	7.60	7.70	7.80	YES
T6800-3	7.60	7.70	7.80	7.60	7.70	7.80	NO
T6800-4	7.60	7.70	7.80	7.60	7.70	7.80	YES

**NOTES:**

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO-220.
- WARPAGE SHALL NOT EXCEED 0.10mm.

**DALLAS SEMICONDUCTOR MAXIM**  
 PROPERTY INFORMATION  
 TITLE: PACKAGE OUTLINE  
 68L THIN QFN, 10x10x0.8mm  
 APPROVAL: DOCUMENT CONTROL NO. 21-0142 REV. C 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

28 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600