

+2.7V、低電力、8ピンSO、  
12ビットシリアルADC

## 概要

MAX1240/MAX1241は、8ピンパッケージに収められた低電力、12ビットアナログ-デジタルコンバータ(ADC)です。MAX1240は+2.7V~+3.6Vの単一電源で動作し、MAX1241は+2.7V~+5.25Vの単一電源で動作します。両デバイスも7.5 $\mu$ sの逐次比較ADC、高速トラック/ホールド(1.5 $\mu$ s)、内蔵クロックおよび高速3線シリアルインタフェースを特長としています。

電力消費は、73kspsの最大サンプリング速度時でわずか37mW ( $V_{DD} = 3V$ )です。2 $\mu$ Aシャットダウンモードによって、低スループットレート時の電力節減を実現しています。

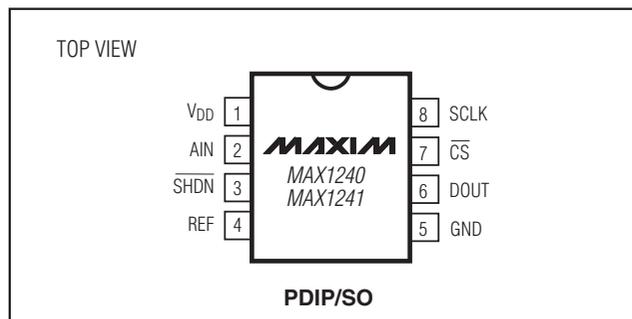
MAX1240は2.5Vリファレンスを内蔵し、MAX1241は外部リファレンスを必要とします。MAX1241は0V~ $V_{REF}$ の入力信号を許容し、リファレンス入力範囲は正電源電圧を含みます。マイクロコントローラ標準のI/Oポートに直接接続される3線インタフェースから供給される外部クロックによってデータにアクセスします。このインタフェースは、SPI™、QSPI™およびMICROWIRE™とコンパチブルです。

これらのコンバータは、優れたAC特性と超低電力特性に加えて、使いやすくパッケージが小型のため、リモートセンサおよびデータ収集アプリケーション、あるいはその他の省電力および小型化が必要な回路に最適です。MAX1240/MAX1241は、8ピンPDIPおよびSOパッケージで提供されています。

## アプリケーション

- バッテリー駆動機器
- ポータブルデータロギング
- 絶縁型データ収集
- プロセス制御
- 計測器

## ピン配置



## 特長

- ◆ 単一電源：
  - +2.7V~+3.6V (MAX1240)
  - +2.7V~+5.25V (MAX1241)
- ◆ 分解能：12ビット
- ◆ 2.5Vリファレンス内蔵(MAX1240)
- ◆ 小型パッケージ：8ピンPDIPおよびSO
- ◆ 低電力：3.7 $\mu$ W (73ksps、MAX1240)  
3mW (73ksps、MAX1241)  
66 $\mu$ W (1ksps、MAX1241)  
5 $\mu$ W (パワーダウンモード)
- ◆ 内蔵トラック/ホールド
- ◆ 3線シリアルインタフェース：SPI/QSPI/MICROWIRE
- ◆ 内蔵クロック

## 型番

PART*	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1240ACPA+	0°C to +70°C	8 PDIP	$\pm 1/2$
MAX1240BCPA+	0°C to +70°C	8 PDIP	$\pm 1$
MAX1240CCPA+	0°C to +70°C	8 PDIP	$\pm 1$
MAX1240ACSA+	0°C to +70°C	8 SO	$\pm 1$
MAX1240BCSA+	0°C to +70°C	8 SO	$\pm 1/2$
MAX1240CCSA+	0°C to +70°C	8 SO	$\pm 1$
MAX1240BC/DDD	0°C to +70°C	Dice*	$\pm 1$
MAX1240AESA/V+**	-40°C to +85°C	8 SO	$\pm 1/2$
MAX1240BESA/V+	-40°C to +85°C	8 SO	$\pm 1$

型番はデータシートの最後に続いています。

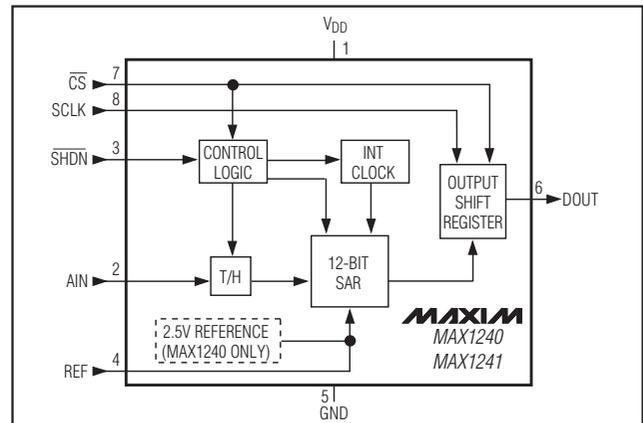
\*タイスは、 $T_A = +25^\circ\text{C}$ でDCパラメータのみで規定されています。

\*\*開発中。入手性についてはお問い合わせください。

/Vは車載認定部品を表します。

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

## ファンクションダイアグラム



SPIおよびQSPIはMotorola, Inc.の商標です。MICROWIREはNational Semiconductor Corp.の商標です。

本データシートは日本語翻訳であり、相違及び誤りのある可能性があります。設計の際は英語版データシートを参照してください。

価格、納期、発注情報についてはMaxim Direct (0120-551056)にお問い合わせいただくか、Maximのウェブサイト(japan.maxim-ic.com)をご覧ください。

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to GND	-0.3V to +6V
A <sub>IN</sub> to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
REF to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to GND	-0.3V to +6V
DOUT to GND	-0.3V to (V <sub>DD</sub> + 0.3V)
DOUT Current	±25mA
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Plastic DIP (derate 9.09mW/°C above +70°C)	727mW
SO (derate 5.88mW/°C above +70°C)	471mW
CERDIP (derate 8.00mW/°C above +70°C)	640mW

### Operating Temperature Ranges

MAX1240_C_A/MAX1241_C_A	0°C to +70°C
MAX1240_E_A/MAX1241_E_A	-40°C to +85°C
MAX1240_MJA/MAX1241_MJA	-55°C to +125°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	
PDIP, SO	+260°C
CDIP	+250°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +2.7V to +3.6V (MAX1240); V<sub>DD</sub> = +2.7V to +5.25V (MAX1241); 73ksps, f<sub>SCLK</sub> = 2.1MHz (50% duty cycle); MAX1240—4.7μF capacitor at REF pin, MAX1241—external reference; V<sub>REF</sub> = 2.500V applied to REF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL	MAX124_A			±0.5	LSB
		MAX124_B/C			±1.0	
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB
Offset Error		MAX124_A		±0.5	±3.0	LSB
		MAX124_B/C		±0.5	±4.0	
Gain Error (Note 3)				±0.5	±4.0	LSB
Gain Temperature Coefficient				±0.25		ppm/°C
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine-wave input, 0V to 2.500Vp-p, 73ksps, f <sub>SCLK</sub> = 2.1MHz)						
Signal-to-Noise Plus Distortion Ratio	SINAD	MAX124_A/B		70		dB
		MAX124_C		71.5		
Total Harmonic Distortion	THD	Up to the 5th harmonic	MAX124_A/B		-80	dB
			MAX124_C		-88	
Spurious-Free Dynamic Range	SFDR	MAX124_A/B		80		dB
		MAX124_C		88		
Small-Signal Bandwidth		-3dB rolloff		2.25		MHz
Full-Power Bandwidth				1.0		MHz
<b>CONVERSION RATE</b>						
Conversion Time	t <sub>CONV</sub>		5.5		7.5	μs
Track/Hold Acquisition Time	t <sub>ACQ</sub>				1.5	μs
Throughput Rate		f <sub>SCLK</sub> = 2.1MHz			73	ksps
Aperture Delay	t <sub>APR</sub>	Figure 8		30		ns
Aperture Jitter				<50		ps
<b>ANALOG INPUT</b>						
Input Voltage Range			0		V <sub>REF</sub>	V
Input Capacitance				16		pF

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX1240);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX1241); 73ksps,  $f_{SCLK} = 2.1MHz$  (50% duty cycle); MAX1240—4.7 $\mu F$  capacitor at REF pin, MAX1241—external reference;  $V_{REF} = 2.500V$  applied to REF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INTERNAL REFERENCE (MAX1240 only)</b>						
REF Output Voltage		$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current					30	mA
REF Temperature Coefficient		MAX1240AC/BC		$\pm 30$	$\pm 50$	ppm/ $^\circ C$
		MAX1240AE/BE		$\pm 30$	$\pm 60$	
		MAX1240AM/BM		$\pm 30$	$\pm 80$	
		MAX1240C		$\pm 30$		
Load Regulation (Note 4)		0mA to 0.2mA output load		0.35		
Capacitive Bypass at REF			4.7			$\mu F$
<b>EXTERNAL REFERENCE (<math>V_{REF} = 2.500V</math>)</b>						
Input Voltage Range			1.00		$V_{DD} + 50mV$	V
Input Current				100	150	$\mu A$
Input Resistance			18	25		k $\Omega$
REF Input Current in Shutdown		$V_{SHDN} = 0V$		$\pm 0.01$	10	$\mu A$
Capacitive Bypass at REF			0.1			$\mu F$
<b>DIGITAL INPUTS: SCLK, <math>\overline{CS}</math>, <math>\overline{SHDN}</math></b>						
SCLK, $\overline{CS}$ Input High Voltage	$V_{IH}$	$V_{DD} \leq 3.6V$	2.0			V
		$V_{DD} > 3.6V$ (MAX1241)	3.0			
SCLK, $\overline{CS}$ Input Low Voltage	$V_{IL}$				0.8	V
SCLK, $\overline{CS}$ Input Hysteresis	$V_{HYST}$			0.2		V
SCLK, $\overline{CS}$ Input Leakage	$I_{IN}$	$V_{IN} = 0V$ or $V_{DD}$		$\pm 0.01$	$\pm 1$	$\mu A$
SCLK, $\overline{CS}$ Input Capacitance	$C_{IN}$	(Note 5)			15	pF
$\overline{SHDN}$ Input High Voltage	$V_{SH}$		$V_{DD} - 0.4$			V
$\overline{SHDN}$ Input Low Voltage	$V_{SL}$				0.4	V
$\overline{SHDN}$ Input Current		$V_{SHDN} = 0V$ or $V_{DD}$			$\pm 4.0$	$\mu A$
$\overline{SHDN}$ Input Mid Voltage	$V_{SM}$		1.1		$V_{DD} - 1.1$	V
$\overline{SHDN}$ Voltage, Unconnected	$V_{FLT}$	$\overline{SHDN} =$ unconnected		$V_{DD}/2$		V
$\overline{SHDN}$ Max Allowed Leakage, Mid Input		$\overline{SHDN} =$ unconnected			$\pm 100$	nA
<b>DIGITAL OUTPUT: DOUT</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
		$I_{SINK} = 16mA$			0.8	
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD} - 0.5$			V
Three-State Leakage Current	$I_L$	$\overline{CS} = V_{DD}$		$\pm 0.01$	$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = V_{DD}$ (Note 5)			15	pF

MAX1240/MAX1241

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX1240);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX1241); 73ksps,  $f_{SCLK} = 2.1MHz$  (50% duty cycle); MAX1240— $4.7\mu F$  capacitor at REF pin, MAX1241—external reference;  $V_{REF} = 2.500V$  applied to REF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>							
Supply Voltage	$V_{DD}$	MAX1240		2.7		3.6	V
		MAX1241		2.7		5.25	
Supply Current	$I_{DD}$	Operating mode	MAX1240A/B	$V_{DD} = 3.6V$	1.4	2.0	mA
			MAX1240C		1.4	3.5	
			MAX1241A/B	$V_{DD} = 3.6V$	0.9	1.5	
				$V_{DD} = 5.25V$	1.6	2.5	
		MAX1241C	$V_{DD} = 3.6V$	0.9	2.8		
			$V_{DD} = 5.25V$	1.6	3.8		
Power-down, digital inputs at 0V or $V_{DD}$		$V_{DD} = 3.6V$	1.9	10		$\mu A$	
		$V_{DD} = 5.25V$	3.5	15			
Supply Rejection	PSR	(Note 5)		$\pm 0.3$			mV

## TIMING CHARACTERISTICS (Figure 8)

( $V_{DD} = +2.7V$  to  $+3.6V$  (MAX1240);  $V_{DD} = +2.7V$  to  $+5.25V$  (MAX1241);  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETERS	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Acquisition Time	$t_{ACQ}$	$\overline{CS} = V_{DD}$ (Note 6)		1.5			$\mu s$
SCLK Fall to Output Data Valid	$t_{DO}$	Figure 1, $C_{LOAD} = 50pF$	MAX124__C/E	20		200	ns
			MAX124__M	20		240	
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	Figure 1, $C_{LOAD} = 50pF$				240	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	Figure 2, $C_{LOAD} = 50pF$				240	ns
SCLK Clock Frequency	$f_{SCLK}$			0		2.1	MHz
SCLK Pulse Width High	$t_{CH}$			200			ns
SCLK Pulse Width Low	$t_{CL}$			200			ns
SCLK Low to $\overline{CS}$ Fall Setup Time	$t_{CS0}$			50			ns
DOUT Rise to SCLK Rise (Note 5)	$t_{STR}$			0			ns
$\overline{CS}$ Pulse Width	$t_{CS}$			240			ns

**Note 1:** Tested at  $V_{DD} = +2.7V$ .

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range and offset have been calibrated.

**Note 3:** MAX1240—internal reference, offset nulled; MAX1241—external reference ( $V_{REF} = +2.500V$ ), offset nulled.

**Note 4:** External load should not change during conversion for specified accuracy.

**Note 5:** Guaranteed by design. Not subject to production testing.

**Note 6:** Measured as  $[V_{FS}(2.7V) - V_{FS}(V_{DD}(MAX))]$ .

**Note 7:** To guarantee acquisition time,  $t_{ACQ}$  is the maximum time the device takes to acquire the signal, and is also the minimum time needed for the signal to be acquired.

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

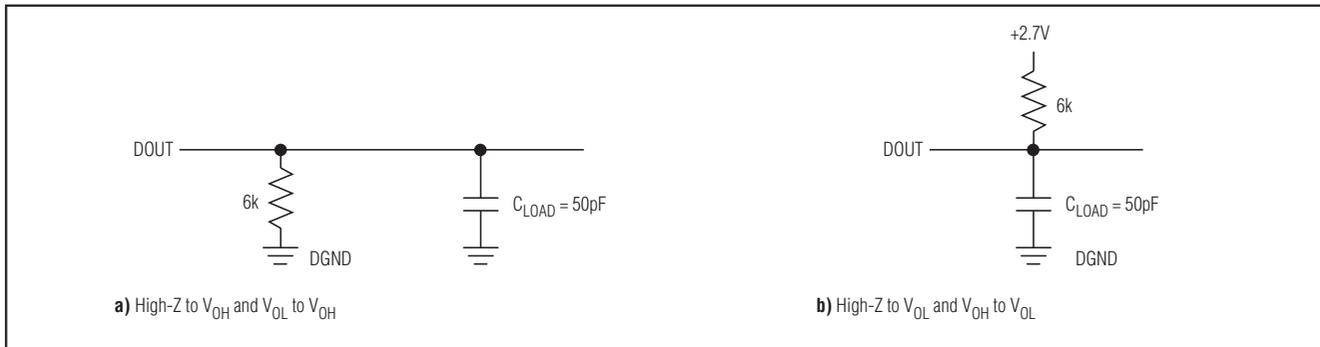


図1. DOUTイネーブル時間測定用の負荷回路

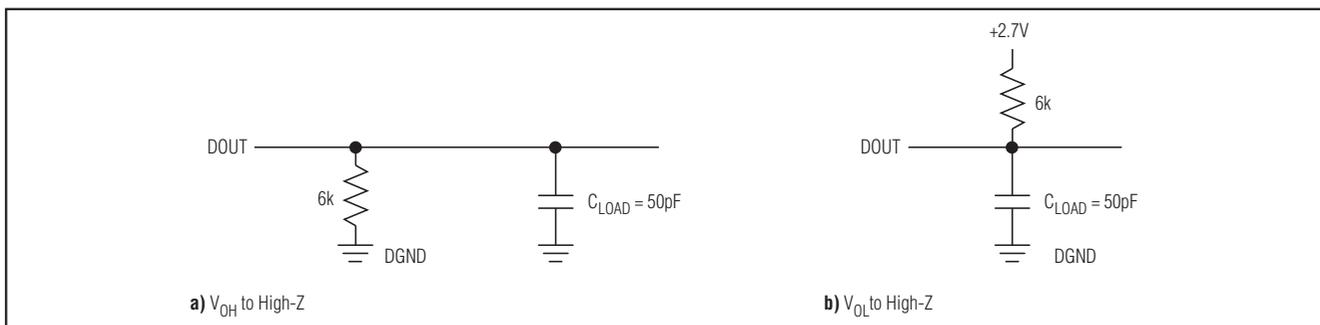
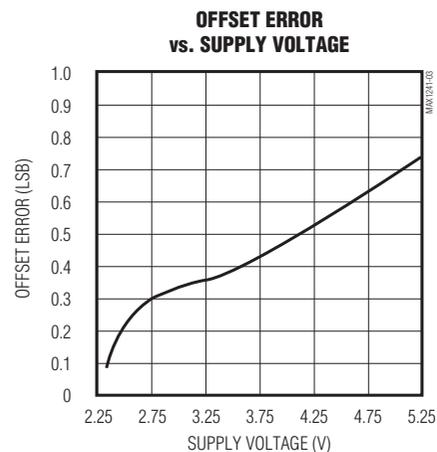
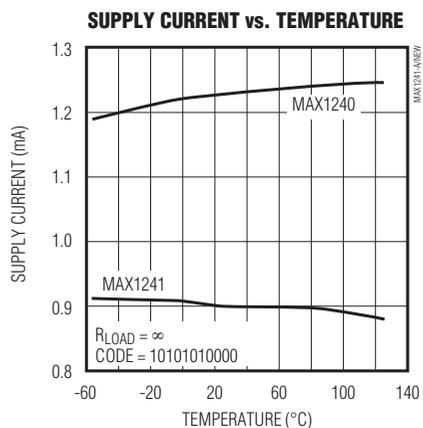
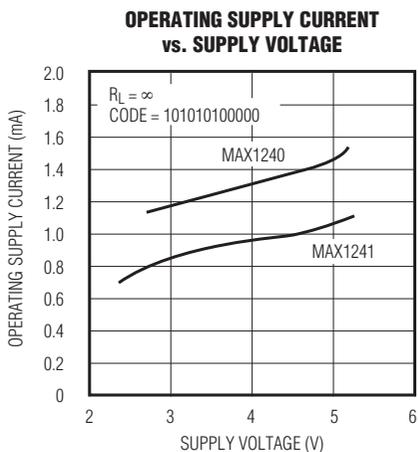


図2. DOUTディセーブル時間測定用の負荷回路

## 標準動作特性

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

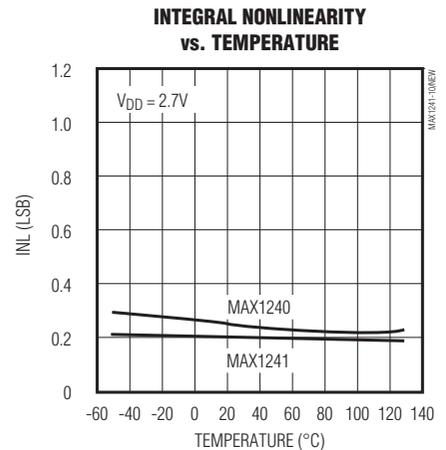
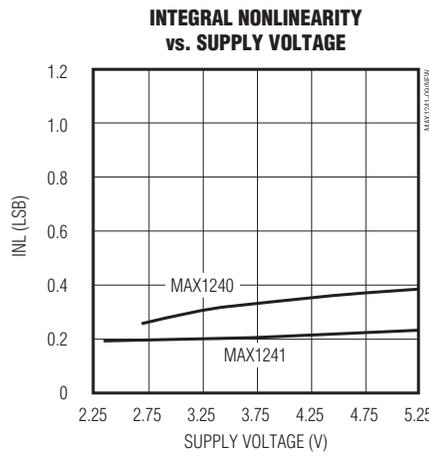
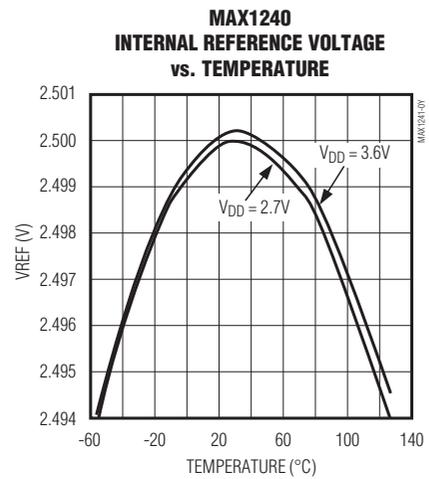
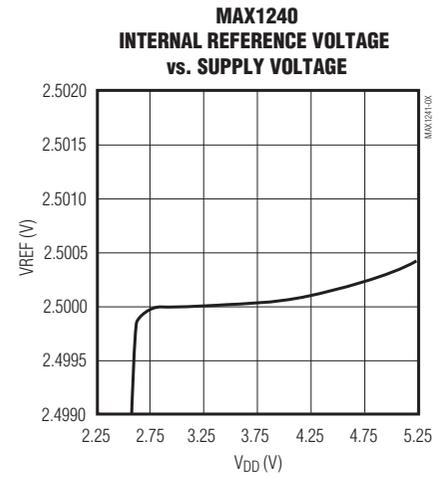
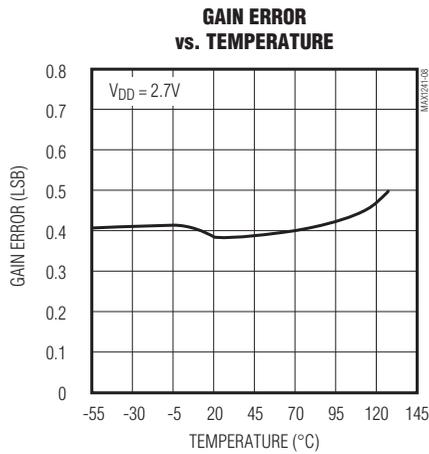
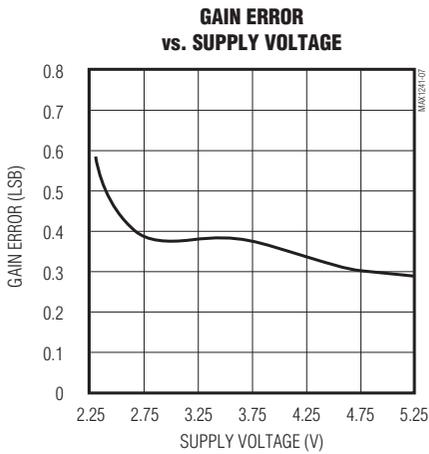
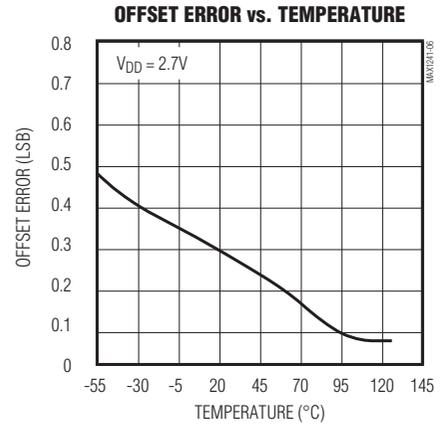
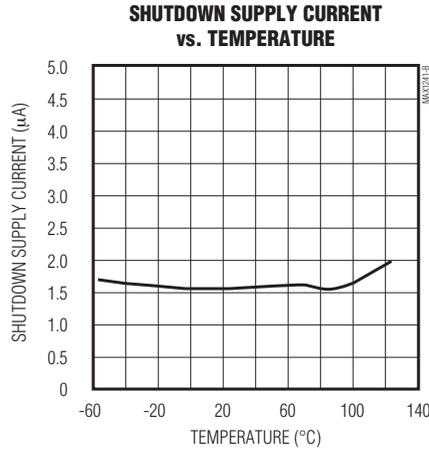
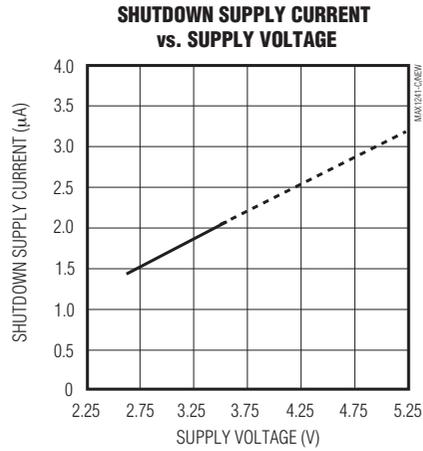


# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $V_{REF} = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

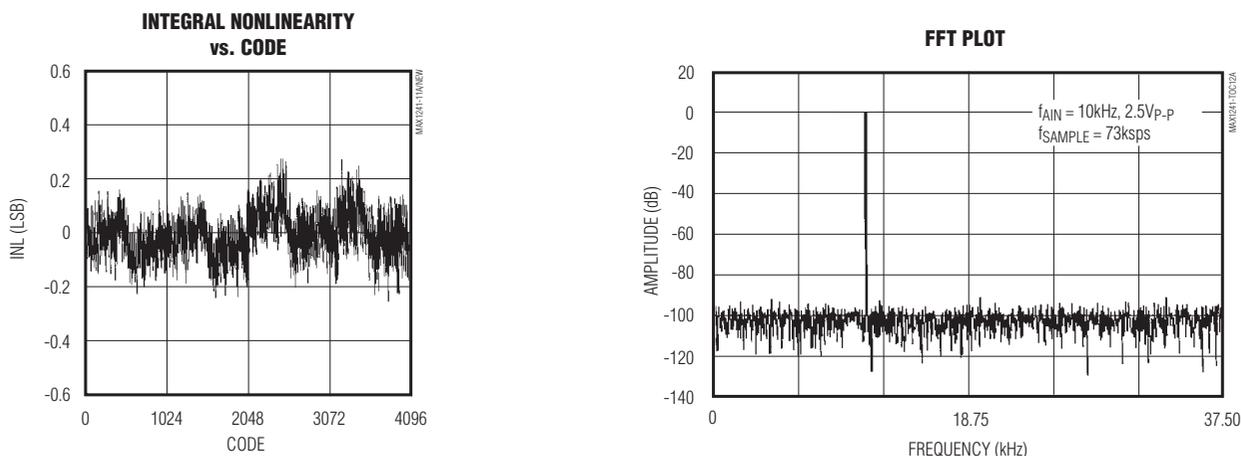


# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

## 標準動作特性(続き)

( $V_{DD} = 3.0V$ ,  $REF = 2.5V$ ,  $f_{SCLK} = 2.1MHz$ ,  $C_L = 20pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



## 端子説明

端子	名称	機能
1	$V_{DD}$	正電源電圧：2.7V~3.6V (MAX1240)、2.7V~5.25V (MAX1241)
2	AIN	サンプリングアナログ入力。範囲は0V~ $V_{REF}$ 。
3	$\overline{SHDN}$	3レベルシャットダウン入力。 $\overline{SHDN}$ をローにすると、MAX1240/MAX1241はシャットダウンされ、消費電流は15 $\mu A$ (max)になります。 $\overline{SHDN}$ がハイまたは無接続の時は、MAX1240とMAX1241は完全な動作状態になります。MAX1240の場合、 $\overline{SHDN}$ をハイにすると内部リファレンスはイネーブルになり、また $\overline{SHDN}$ をオープンにすると内部リファレンスはディセーブルされ、外部電圧リファレンスの使用が可能になります。
4	REF	A/D変換用のリファレンス電圧。MAX1240では内部2.5V電圧リファレンス出力となり、4.7 $\mu F$ のコンデンサでバイパスします。MAX1241および内部リファレンスがディセーブルされた時のMAX1240での外部リファレンス電圧入力です。外部リファレンスを使用する際には、少なくとも0.1 $\mu F$ のコンデンサでREFをバイパスします。
5	GND	アナログおよびデジタルグランド
6	DOUT	シリアルデータ出力。データの状態は、SCLKの立下りエッジで変化します。DOUTは $\overline{CS}$ がハイの時、ハイインピーダンスになります。
7	$\overline{CS}$	アクティブローのチップセレクトの立下りエッジで変換が開始されます。 $\overline{CS}$ がハイの時、DOUTはハイインピーダンスになります。
8	SCLK	シリアルクロック入力。SCLKによって、最大2.1MHzのレートでデータをクロックアウトします。

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

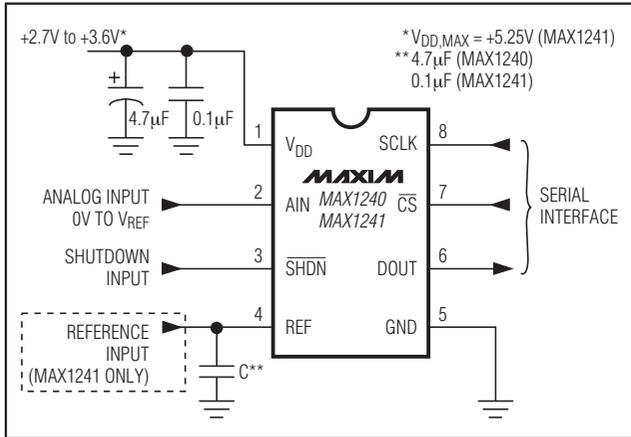


図3. 動作ダイアグラム

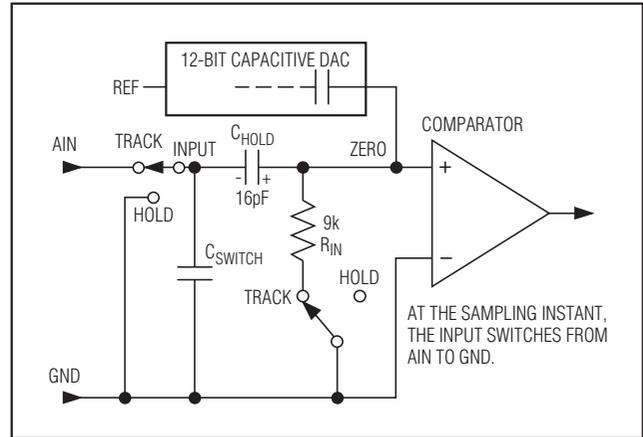


図4. 等価入力回路

## 詳細

### コンバータの動作

MAX1240/MAX1241は、入力トラック/ホールド(T/H)および逐次比較レジスタ(SAR)回路を使用してアナログ入力信号をデジタル12ビット出力に変換します。T/Hは外部ホールドコンデンサは必要ありません。図3に、MAX1240/MAX1241の最もシンプルな構成を示します。MAX1240/MAX1241は、0V~VREFの範囲の入力信号をT/Hのアクイジション時間も含めて9µsで変換します。MAX1240の内部リファレンスは2.5Vに調整され、MAX1241は外部リファレンスを必要とします。両デバイスとも1.0V~VDDの入力電圧を許容します。シリアルインタフェースはわずか3本(SCLK、CSおよびDOUT)のデジタルラインを必要とし、マイクロプロセッサ(µP)への簡単なインタフェースを提供します。

MAX1240/MAX1241には、通常およびシャットダウンの2つのモードがあります。SHDNをローに下げるとデバイスはシャットダウンし消費電流が10µA以下に低減します(VDD ≤ 3.6V)。SHDNをハイ、またはオープンにすると、デバイスは動作モードになります。CSをローにすると変換が開始されます。変換結果は、ユニポーラシリアルフォーマットでDOUTに出力されます。シリアルデータストリームは、変換完了(EOC)を示すハイビットの後にデータビット(MSB先頭)が続きます。

### アナログ入力

図4に、アナログ-デジタルコンバータ(ADC)のコンパレータのサンプリング構造を示します。フルスケール入力電圧は、REFの電圧で設定されます。

### トラック/ホールド

トラックモードでは、アナログ信号は取り込まれて内部ホールドコンデンサに蓄積されます。ホールドモードではT/Hスイッチが開き、ADCのSAR部分への入力を一定に維持します。

アクイジション中は、アナログ入力(AIN)がコンデンサCHOLDを充電します。CSをローにするとアクイジション期間が終了します。この瞬間に、T/HスイッチがCHOLDの入力側をGNDに切り換えます。CHOLDに保持されている電荷が入力のサンプルを表し、コンパレータの入力のノードZEROを不平衡にします。

ホールドモードでは、容量性デジタル-アナログコンバータ(DAC)が、変換サイクルの残余時間内に、ノードZEROを12ビット分解能の限界内で0Vに調節します。この動作は、電荷をCHOLDからバイナリ重み付の容量性DACに移すのと等価であり、この結果、アナログ入力信号のデジタル表現が生成されます。変換の最後ではCHOLDの入力側がAINに再び切り換えられ、CHOLDは再び入力信号まで充電されます。

T/Hが入力信号を取り込むのに要する時間は、入力容量が充電される速さの関数です。入力信号のソースインピーダンスが高いと、アクイジション時間が長くなるため、変換と変換の間隔を長くする必要があります。アクイジション時間(tACQ)はデバイスが信号を取込むのに要する最大時間であり、信号の取込みに必要な最小時間です。アクイジション時間は、次式で計算されます。

$$t_{ACQ} = 9(R_S + R_{IN}) \times 16\text{pF}$$

ここで、RIN = 9kΩ、RS = 入力信号のソースインピーダンス、そしてtACQは必ず1.5µs以上とします。ソースインピーダンスが1kΩ以下であれば、ADCのAC性能に大きな影響はありません。

## +2.7V、低電力、8ピンSO、 12ビットシリアルADC

アナログ入力に0.01 $\mu$ Fのコンデンサを接続すると、これより高いソースインピーダンスも可能になります。入力コンデンサと入力ソースインピーダンスによってRCフィルタが形成されるため、ADCの入力信号帯域幅が制限されることに注意してください。

### 入力帯域幅

ADCの入力トラッキング回路の小信号帯域幅は2.25MHzであるため、アンダーサンプリング技法を使用することによって帯域幅がADCのサンプリングレートを超える周期性の信号を測定し、高速トランジェント現象を数値化することが可能です。不要な高周波信号のエイリアシングが、目的の周波数帯域に入るのを防ぐため、アンチエイリアシングフィルタリングをお勧めします。

### アナログ入力保護

内部保護ダイオードによってアナログ入力は $V_{DD}$ およびGNDにクランプされているため、チャネル入力は(GND - 0.3V)~( $V_{DD}$  + 0.3V)の範囲で、損傷を起こすことなくスイングすることができます。しかし、フルスケール付近で正確な変換を行うためには、入力が $V_{DD}$ を50mV以上超えず、またGNDを50mV以上下回らないようにしてください。

アナログ入力が電源電圧を50mV以上超える場合には、入力電流を2mA以下に制限してください。

### 内部電圧リファレンス(MAX1240)

MAX1240には2.5Vに調整された電圧リファレンスを内蔵しています。内部リファレンス出力はREFピンに接続され、また内部容量性DACも駆動します。この出力を他の部品用のリファレンス電圧源として使用することが可能で、最大400 $\mu$ Aまでソースすることができます。REFピンを4.7 $\mu$ Fのコンデンサでバイパスしてください。より容量の大きいコンデンサを使用すると、

シャットダウンモードから抜け出す時のウェイクアップ時間が長くなります(「SHDNの使用による消費電流の低減」の項を参照ください)。SHDNピンをハイにすると、内部リファレンスがイネーブルされます。このSHDNピンをオープンにすると、内部リファレンスをディセーブルし、「外部リファレンス」の項で説明するように、外部リファレンスを使用することが可能になります。

### 外部リファレンス

MAX1240/MAX1241は、REFピンでの外部リファレンスで動作します。MAX1240を外部リファレンスで使用する場合は、SHDNをオープンにして内部リファレンスをディセーブルして下さい。仕様の精度を得るために、+1.0V~ $V_{DD}$ の電圧範囲を超えないようにして下さい。最小入力インピーダンスは、DC電流に対して18k $\Omega$ です。変換中、外部リファレンスは最大250 $\mu$ AのDC負荷電流を供給することができ、出力インピーダンスは10 $\Omega$ 以下でなければなりません。バイパスコンデンサの推奨最小値は0.1 $\mu$ Fです。リファレンスの出力インピーダンスがより高い場合やノイズが多い場合には、4.7 $\mu$ FのコンデンサでREFピンの近くでバイパスしてください。

### シリアルインタフェース

#### パワーアップ後の初期化および変換開始

電源を最初に投入するとき、そしてSHDN入力がローでない場合には、完全に放電状態の4.7 $\mu$ Fのリファレンスバイパス用コンデンサを規定精度が保証されるまで十分に充電させるために、最高で20msの時間が必要です。外部リファレンスでは、電源が安定化した後の内部リセット時間は10 $\mu$ sです。これらの期間は変換を実行しないでください。

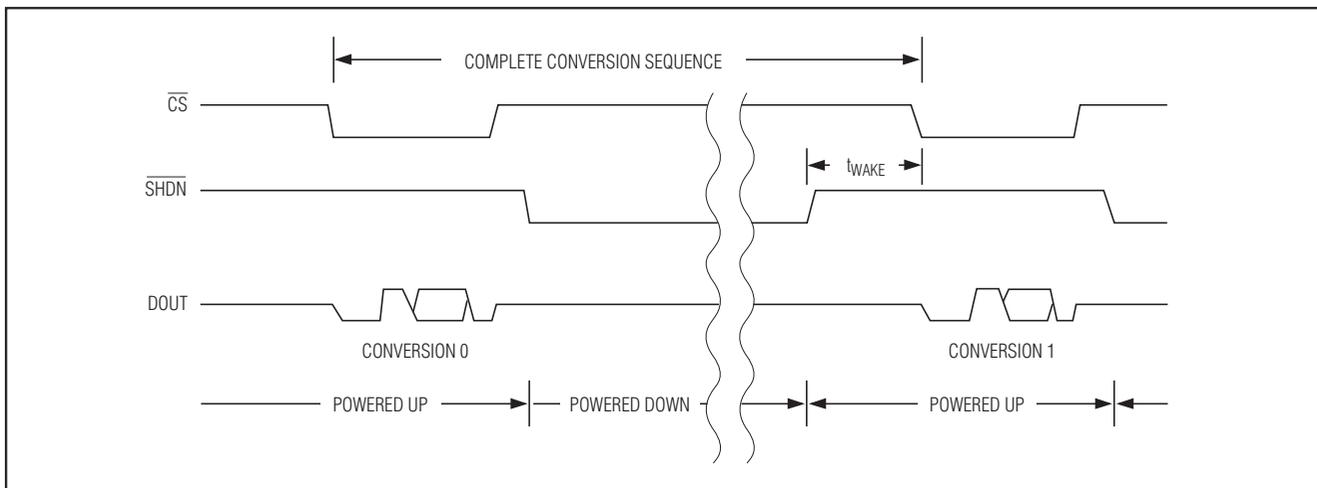


図5. シャットダウンシーケンス

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

変換は、 $\overline{CS}$ をローにすることによって開始します。 $\overline{CS}$ の立下りエッジでT/Hはホールドモードに入り、変換が開始されます。内部で決められた変換期間が過ぎると、DOUTがハイになることによって変換の完了が表示されます。その後、データは外部クロックによってシリアルにシフトアウトされます。

## SHDNの使用による消費電流の低減

MAX1240/MAX1241を変換と変換の間でシャットダウンすることによって、消費電力を大幅に低減することができます。図6は、平均消費電流対変換レートのグラフを示しています。MAX1241では外部リファレンス電圧(継続的に印加されると仮定)を使用するため、シャットダウンから短時間(4 $\mu$ s)で「ウェイクアップ」し、結果として平均消費電流がより低く抑えられます。ウェイクアップ時間( $t_{WAKE}$ )は、 $\overline{SHDN}$ が解除されてから変換が開始されるまでの時間です(図5)。MAX1240では、シャットダウン中、外部4.7 $\mu$ Fリファレンスバイパスコンデンサは徐々に電荷を失うため、ウェイクアップ時間はシャットダウン時間に依存します(図7)。

## 外部クロック

実際の変換には外部クロックは必要ありません。このため、変換結果は $\mu$ Pに合わせて最大2.1MHzの任意のクロックレートで読み取ることができます。クロックの各相が200ns以上有れば、クロックのデューティサイクルには制限がありません。変換中には、クロックを動作させないでください。

## タイミングと制御

変換開始およびデータ読み取り動作は、 $\overline{CS}$ およびSCLKのデジタル入力によって制御されます。図8および図9のタイミングダイアグラムにシリアルインタフェースの動作がまとめられています。

$\overline{CS}$ の立下りエッジによって変換シーケンスが開始され、T/H段によって入力電圧が保持され、ADCが変換を開

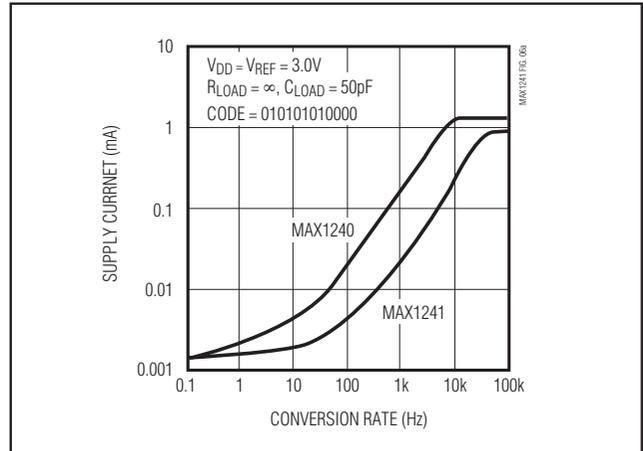


図6. 平均消費電流 対 変換レート

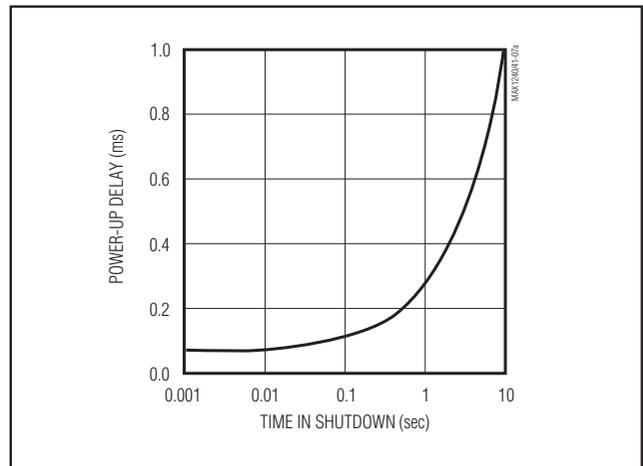


図7. 標準的なリファレンスパワーアップ遅延 対 シャットダウン時間

始し、そしてDOUTがハイインピーダンスからロジックローに変わります。変換中は、SCLKをローに維持して下さい。変換の進行中は、内部レジスタによってデータが保存されます。

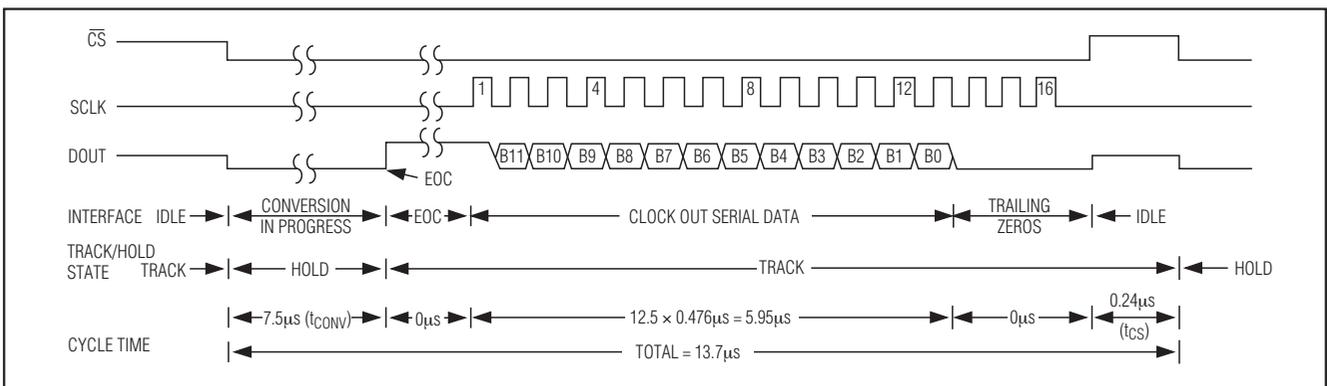


図8. インタフェースのタイミングシーケンス

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

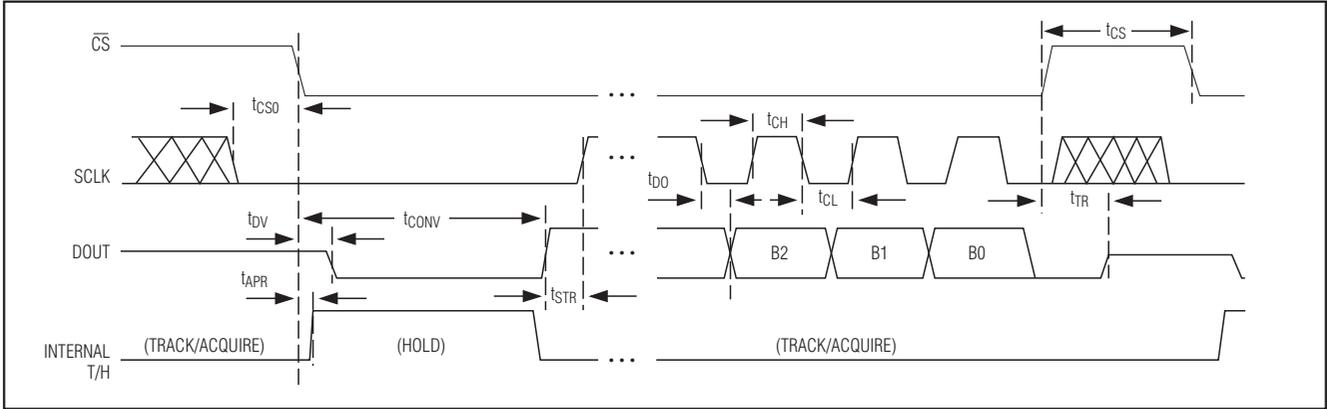


図9. シリアルインタフェースタイミングの詳細図

変換の完了(EOC)は、DOUTがハイになる事で示されます。DOUTの立上りエッジをフレーミング信号として使用することができます。変換完了後、任意の時間にSCLKによって、データをこのレジスタからシフトアウトします。DOUTは、SCLKの立下りエッジで遷移します。変換終了の次のクロックの立下りエッジでその変換のMSBがDOUTに出力され、残りのビットがそれに続きます。データビットが12個、先頭のハイビットが1個存在するため、これらのビットをシフトアウトするには、少なくとも13個のクロック立下りエッジが必要です。変換結果がクロックアウトされた後およびCSの立上りエッジの前における余分のクロックパルスは、DOUTにゼロの列を生成するだけで、コンバータの動作には影響しません。

サイクル時間を最小にするためには、DOUTの立上りエッジをEOC信号として使用します。データをフルスピードの12.5クロックサイクルでクロックアウトします。変換のLSB読み込み後に、CSをハイにします。規定

された最小時間( $t_{CS}$ )後、CSを再びローにして次の変換を開始することができます。

## 出力コーディングおよび伝達関数

MAX1240/MAX1241のデータ出力は、バイナリです。図10は、公称伝達関数を示しています。コード遷移は、隣接する整数のLSB値の間の中間点で起こります。 $V_{REF} = +2.500V$ である場合、 $1 \text{ LSB} = 610\mu V$ または $2.500V/4096$ です。

## アプリケーション情報

### 標準インタフェースへの接続

MAX1240/MAX1241は、SPI/QSPIおよびMICROWIRE標準シリアルインタフェースと完全にコンパチブルです(図11)。

シリアルインタフェースが使用できる場合は、CPUのシリアルインタフェースをマスターモードに設定し、CPUがシリアルクロックを発生できるようにして下さい。クロック周波数を最大2.1MHzの範囲で選択して下さい。

- 1) CPUの汎用I/Oラインを使用して、CSをローにします。SCLKは、ローに維持します。
- 2) SCLKを作動させる前に、規定された最大変換時間待ちます。あるいは、DOUTの立上りエッジを監視し、変換の完了を判定することもできます。
- 3) SCLKを少なくとも13クロックサイクル作動させます。最初の立下りエッジでDOUT変換のMSBが生成されます。DOUTの出力データは、SCLKの立下りエッジで遷移し、MSBを先頭にしたフォーマットで出力されます。SCLKからDOUTが有効になるまでのタイミング特性を守ってください。データはSCLKの立上りエッジでμPにクロックインすることができます。
- 4) 13番目の立下りクロックエッジ、またはそれ以後にCSをハイにします。CSがローに留まると、LSBの後にゼロの列がクロックアウトされます。

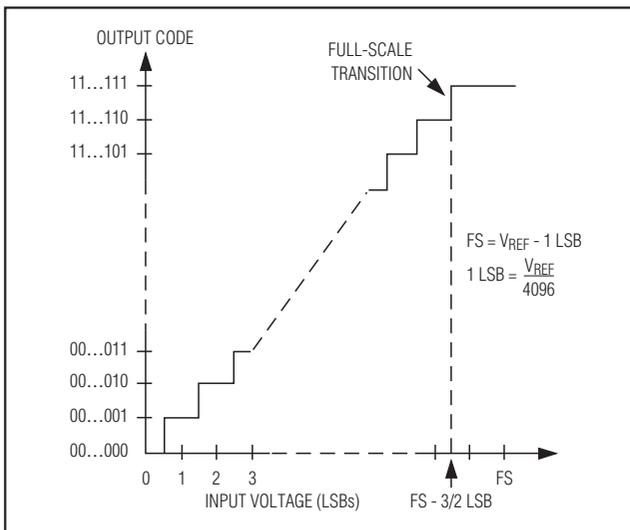


図10. ユニポーラ伝達関数(フルスケール(FS) =  $V_{REF} - 1 \text{ LSB}$ 、ゼロスケール(ZS) = GND)

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

5)  $\overline{CS}$  = ハイの状態、規定された最小時間 $t_{CS}$ 待った後で $\overline{CS}$ をローにし、新しい変換を開始します。変換が完了する前に $\overline{CS}$ をハイにして変換を中断した場合は、新しい変換を開始する前に最小アキュイジション時間 $t_{ACQ}$ 待ちます。

$\overline{CS}$ は全てのデータビットがクロックアウトするまでローにして下さい。図8に示すように、データは2バイトずつ、または連続的に出力することができます。これらのバイトは、1の先頭ビットと末尾の0列を含む変換結果となります。

## SPIおよびMICROWIRE

SPIまたはMICROWIREを使用する場合は、 $CPOL = 0$  および $CPHA = 0$ に設定してください。変換は、 $\overline{CS}$ の立下りエッジで開始されます。DOUTがローになって変換が進行中であることを知らせます。DOUTがハイになるか、あるいは規定された $7.5\mu s$ の最大変換時間が経過するまで待ってください。ADCから完全な12ビットを取り出すには、2つの連続した1バイト読取り動作が必要です。DOUTの出力データは、SCLKの立下りエッジで遷移し、SCLKの立上りエッジで $\mu P$ にクロックインされます。

最初のバイトには、先頭ビットの1および7ビットの変換結果が含まれます。2番目のバイトには、残りの5ビットおよび後に続く3つのゼロが含まれます。接続については図11、タイミングについては図12を参照してください。

## QSPI

$CPOL = CPHA = 0$ に設定してください。SPIではADCから12ビットのデータを取り込むために2つの1バイト読取り動作を必要としましたが、QSPIではデータをクロックインするために必要なクロックサイクル数を最小限に抑えられます。MAX1240/MAX1241は、12ビットのデータ(後に続くゼロはなし)をクロックアウトするために $\mu P$ からのクロックを13サイクル分必要とします(図13)。QSPIとのコンパチビリティが保証される最大クロック周波数は、2.097MHzです。

## レイアウト、グランドおよびバイパス

最高の性能を得るには、プリント基板を使用してください。ワイヤラップボードは推奨されません。基板レイアウトは、デジタル信号ラインとアナログ信号ラインが確実に分離されるようにして下さい。アナログとデジタル(特にクロック)ラインを互いに並行に走らせないように、またデジタルラインがADCパッケージの下に来ないようにして下さい。

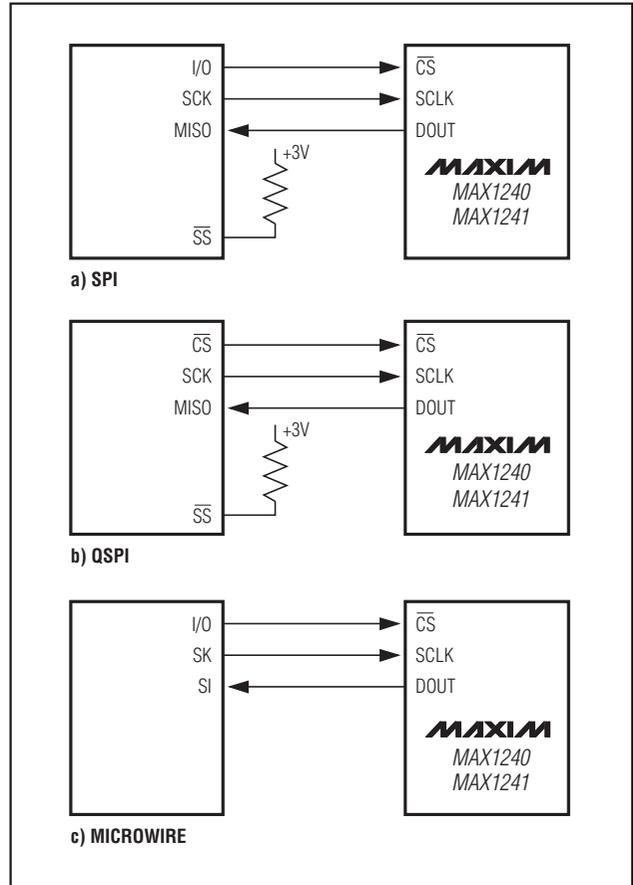


図 11. MAX1241 への一般的なシリアルインタフェース接続

図14に、推奨されるシステムグランド接続法を示します。一点アナロググランド(「スター」グランドポイント)をGNDの所で設定し、ロジックグランドとは分離します。ノイズを更に減らすために、その他全てのアナロググランドおよびDGNDをスターグランドポイントに接続してください。このアナロググランドの一点に他のデジタルシステムグランドを接続しないで下さい。ノイズを排除するために、このグランドでの電源へのグランドリターンはできるだけ短くし、また低インピーダンスにしてください。

$V_{DD}$ 電源内の高周波ノイズはADC内の高速コンパレータに影響を与える可能性があります。この電源は、 $0.1\mu F$  および $4.7\mu F$ のコンデンサで一点アナロググランドにバイパスして下さい。最高の電源ノイズ除去比を得るには、コンデンサのリード線をできるだけ短くして下さい。電源のノイズが特に大きい場合は、電源ノイズを減衰させるために $10\Omega$ の抵抗をローパスフィルタとして接続してください(図14)。

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

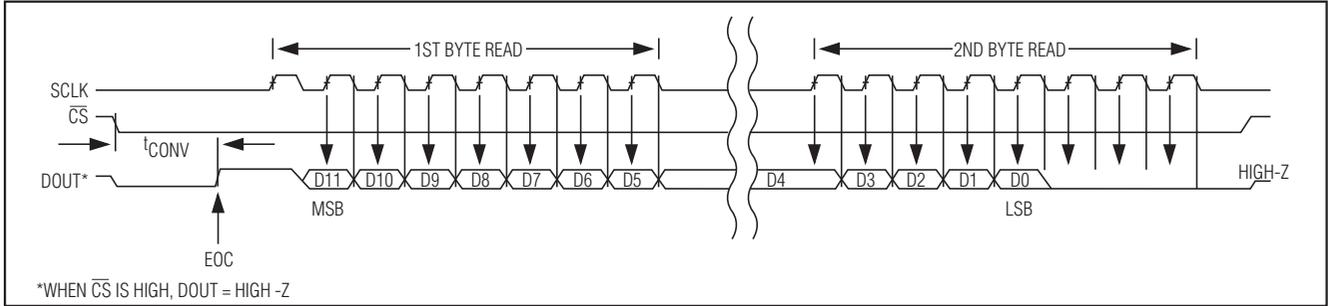


図 12. SPI/MICROWIRE シリアルインタフェースタイミング(CPOL = CPHA = 0)

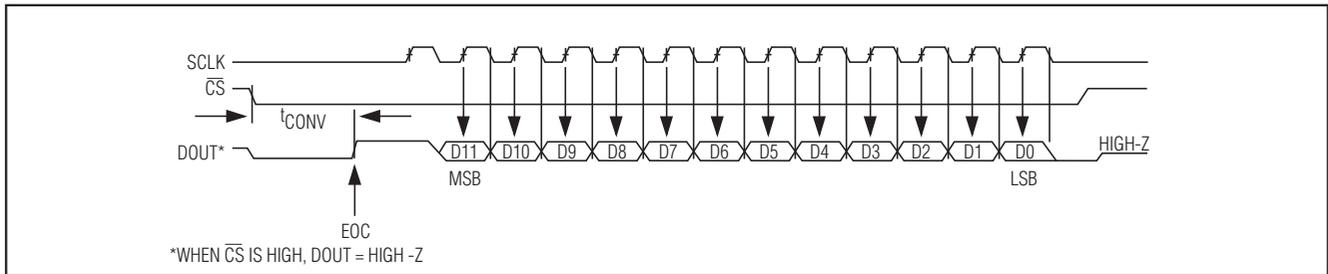


図 13. QSPI シリアルインタフェースタイミング(CPOL = CPHA = 0)

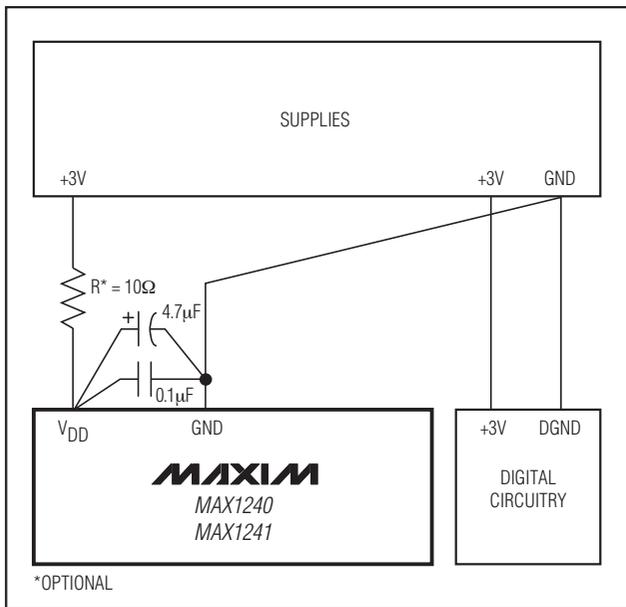


図 14. 電源接地条件

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

## 型番(続き)

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1240AEPA+	-40°C to +85°C	8 PDIP	±1/2
MAX1240BEPA+	-40°C to +85°C	8 PDIP	±1
MAX1240CEPA+	-40°C to +85°C	8 PDIP	±1
MAX1240AESA+	-40°C to +85°C	8 SO	±1/2
MAX1240BESA+	-40°C to +85°C	8 SO	±1
MAX1240CESA+	-40°C to +85°C	8 SO	±1
MAX1240AMJA+	-55°C to +125°C	8 CERDIP†	±1/2
MAX1240BMJA+	-55°C to +125°C	8 CERDIP†	±1
MAX1240CMJA+	-55°C to +125°C	8 CERDIP†	±1
<b>MAX1241</b> ACPA+	0°C to +70°C	8 PDIP	±1/2
MAX1241BCPA+	0°C to +70°C	8 PDIP	±1
MAX1241CCPA+	0°C to +70°C	8 PDIP	±1
MAX1241ACSA+	0°C to +70°C	8 SO	±1/2
MAX1241BCSA+	0°C to +70°C	8 SO	±1
MAX1241CCSA+	0°C to +70°C	8 SO	±1
MAX1241BC/D	0°C to +70°C	Dice*	±1
MAX1241AEPA+	-40°C to +85°C	8 PDIP	±1/2
MAX1241BEPA+	-40°C to +85°C	8 PDIP	±1
MAX1241CEPA+	-40°C to +85°C	8 PDIP	±1
MAX1241AESA+	-40°C to +85°C	8 SO	±1/2
MAX1241BESA+	-40°C to +85°C	8 SO	±1
MAX1241CESA+	-40°C to +85°C	8 SO	±1
MAX1241AMJA+	-55°C to +125°C	8 CERDIP†	±1/2
MAX1241BMJA+	-55°C to +125°C	8 CERDIP†	±1
MAX1241CMJA+	-55°C to +125°C	8 CERDIP†	±1

+は鉛(Pb)フリー/RoHS準拠パッケージを表します。

\*ダイスは、 $T_A = +25^\circ\text{C}$ でDCパラメータのみで規定されています。

†MIL-STD-883の入手性および対応につきましては、お問い合わせください。

## パッケージ

パッケージタイプ	パッケージコード	ドキュメントNo.
8 PDIP	P8+2	<b>21-0043</b>
8 SO	S8+5	<b>21-0041</b>
8 CERDIP	J8+2	<b>21-0045</b>

## チップ情報

PROCESS: BiCMOS

SUBSTRATE CONNECTED TO GND

# +2.7V、低電力、8ピンSO、 12ビットシリアルADC

MAX1240/MAX1241

## 改訂履歴

版数	改訂日	説明	改訂ページ
3	3/10	型番に車載認定品を追加。	1, 2, 3, 7, 9, 14, 15, 16
4	6/10	1 製品の開発中マークを「型番」から削除。	1

**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 15