

MAXIM

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

概要

MAX121は、完全、BiCMOS、シリアル出力サンプリング14ビットのA/Dコンバータで、トラック/ホールド(T/H)及び、低ドリフト、低ノイズ、埋め込み型電圧リファレンスを内蔵し、高速な変換速度と低消費電力性能を備えています。スループットレートは308kサンプリング/秒(ksps)、フルスケールのアナログ入力範囲は±5Vです。

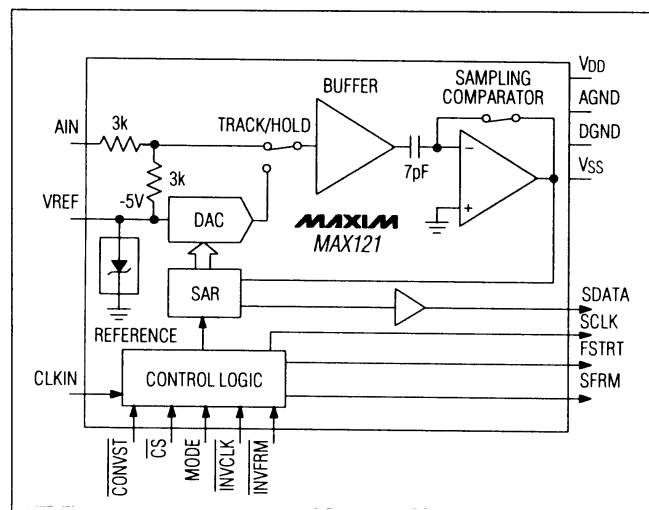
MAX121は高速DACと逐次比較型構成を採用しており、高速変換及び低消費電力動作が実現できます。+5Vと-12Vまたは-15V電源で動作し、消費電力は僅か210mWです。

MAX121は殆どの場合、一般に使用されているデジタル信号プロセッサのシリアルポートに直接インタフェースでき、パッケージは省スペースの16ピンDIP/SOP及びより小型の20ピンSSOPで供給されています。MAX121は0.1MHz~5.5MHzのTTL/CMOSコンパチブルのクロック周波数で動作し、また、全入出力TTL及びCMOSコンパチブルです。このデータシートには、モトローラ社のSPI及びQSPIインタフェース標準を使用したμPへのインタフェース、また、TMS320、μPD77230、ADSP2101のDSPへの、簡単なインタフェースの方法が書かれたアプリケーションノートが掲載されています。

アプリケーション

ディジタル信号処理
オーディオおよびテレコミュニケーション処理
音声認識および合成
DSPサーボ制御
スペクトラム分析

ファンクションダイアグラム



特長

- ◆ 14ビット分解能
- ◆ 変換時間: 2.9 μs、スループット: 308ksps
- ◆ アクイジション時間: 400ns
- ◆ 低ノイズ、低歪み:
 - 78dBのSINAD
 - 85dBのTHD
- ◆ ±5Vのバイポーラ入力範囲、±15Vの過電圧入力を許容
- ◆ 低消費電力: 210mW
- ◆ 連続変換モード可能
- ◆ 30ppm/℃の-5V内部リファレンス
- ◆ DSPプロセッサにインタフェース
- ◆ 16ピンDIP/SOP
20ピンSSOPパッケージ

型番

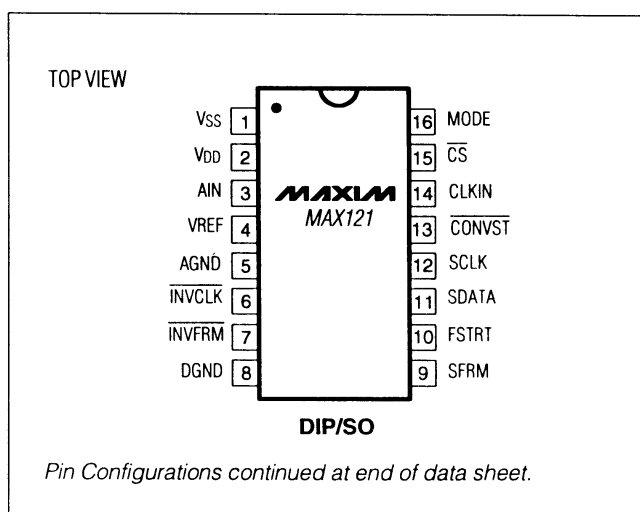
PART	TEMP. RANGE	PIN-PACKAGE
MAX121CPE	0°C to +70°C	16 Plastic DIP
MAX121CWE	0°C to +70°C	16 Wide SO
MAX121CAP	0°C to +70°C	20 SSOP**
MAX121C/D	0°C to +70°C	Dice*

Ordering Information continued at end of data sheet.

* Contact factory for dice specifications.

** 20-pin SSOP is 50% smaller than 16-pin SOIC.

ピン配置



DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

ABSOLUTE MAXIMUM RATINGS

V _{DD} to DGND	-0.3V to +6V
V _{SS} to DGND	+0.3V to -17V
A _{IN} to AGND	±15V
AGND to DGND	±0.3V
Digital Inputs to DGND	-0.3V, (V _{DD} + 0.3V) (CS, CONVST, MODE, CLKIN, INVCLK, INVFRM)
Digital Outputs to DGND	+0.3V, (V _{DD} + 0.3V) (SFRM, FSTRT, SCLK, SDATA)

Continuous Power Dissipation (T _A = +70°C)	
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)	842mW
16-Pin Wide SO (derate 9.52mW/°C above +70°C)	762mW
20-Pin SSOP (derate 8.00mW/°C above +70°C)	640mW
16-Pin CERDIP (derate 10.00mW/°C above +70°C)	800mW
Operating Temperature Ranges:	
MAX121C	0°C to +70°C
MAX121E	-40°C to +85°C
MAX121MJE	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = 4.75V to 5.25V, V_{SS} = -10.8V to -15.75V, MAX121C/E f_{CLK} = 5.5MHz, MAX121M f_{CLK} = 5MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DYNAMIC PERFORMANCE (MAX121C/E: f _S = 308kHz, A _{IN} = 10Vp-p, 50kHz) (MAX121M: f _S 278kHz, A _{IN} = 10Vp-p, 50kHz)							
Signal-to-Noise Ratio	SINAD	Including distortion	MAX121C	75	78	dB	
			MAX121E/M	73	77		
Total Harmonic Distortion	THD	First five harmonics	MAX121C/E	-85	-77	dB	
			MAX121M	-83	-76		
Spurious-Free Dynamic Range	SFDR		MAX121C/E	77	86	dB	
			MAX121M	76	84		
ACCURACY							
Resolution	RES			14		Bits	
Differential Nonlinearity (Note 1)	DNL	12 bits no missing codes over temp. range		±1.5		LSB	
Integral Nonlinearity	INL			±2		LSB	
Bipolar Zero Error		Code 00.00 to 00.01 transition, near A _{IN} = 0V		±10		mV	
		Temperature drift		±1		ppm/°C	
Full-Scale Error (Notes 1, 2)		Including reference; adjusted for bipolar zero error; T _A = +25°C		±0.2		%	
Full-Scale Temperature Drift		Excluding reference		±1		ppm/°C	
Power-Supply Rejection		V _{DD} only, 5V ±5%		±1/2	±2	LSB	
		V _{SS} only, -12V ±10%		±1	±2		
		V _{SS} only, -15V ±5%		±1	±2		
ANALOG INPUT							
Input Range				-5	+5	V	
Input Current		A _{IN} = 5V (R _{IN} approximately 6kΩ to REF)		2.5		mA	
Input Capacitance (Note 3)				10		pF	
Full-Power Bandwidth				1.5		MHz	

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = 4.75V to 5.25V, V_{SS} = -10.8V to -15.75V, MAX121C/E f_{CLK} = 5.5MHz, MAX121M f_{CLK} = 5MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
REFERENCE							
Output Voltage		No external load, AIN = 5V, TA = +25°C		-5.02		-4.98	V
External Load Regulation		0mA < ISINK < 5mA, AIN = 0V				5	mV
Temperature Drift (Note 4)		MAX121C/E				±30	ppm/°C
		MAX121M				±35	
CONVERSION TIME							
Synchronous	tCONV	16 tCLK	MAX121C/E			2.91	μs
			MAX121M			3.20	
Clock Frequency	fCLK		MAX121C/E	0.1		5.5	MHz
			MAX121M	0.1		5.0	
DIGITAL INPUTS (CLKIN, CONVST, CS)							
Input High Voltage	VIH			2.4			V
Input Low Voltage	VIL					0.8	V
Input Capacitance (Note 3)						10	pF
Input Current		VDD = 0V or VDD				±5	μA
DIGITAL OUTPUTS (SCLK, SDATA, FSTRT, SFRM)							
Output Low Voltage	VOL	ISINK = 1.6mA				0.4	V
Output High Voltage	VOH	ISOURCE = 1mA		VDD-0.5			V
Leakage Current	ILKG	VOUT = 0V or VDD				±5	μA
Output Capacitance (Note 3)						10	pF
POWER REQUIREMENTS							
Positive Supply Voltage	VDD	By supply-rejection test		4.75		5.25	V
Negative Supply Voltage	VSS	By supply-rejection test		-10.8		-15.75	V
Positive Supply Current	IDD	VDD = 5.25V, VSS = -15.75V, AIN = 0V, CS = CONVST = MODE = 5V			9	15	mA
Negative Supply Current	ISS	VDD = 5.25V, VSS = -15.75V, AIN = 0V, CS = CONVST = MODE = 5V			14	20	mA
Power Dissipation		VDD = 5V, VSS = -12V, AIN = 0V, CS = CONVST = MODE = 5V			213	315	mW

Note 1: These tests are performed at V_{DD} = +5V, V_{SS} = -15V. Operation over supply is guaranteed by supply-rejection tests.

Note 2: Ideal full-scale transition is at +5V - 3/2LSB = +4.9991V, adjusted for offset error.

Note 3: Guaranteed, not tested.

Note 4: Temperature drift is defined as the change in output voltage from +25°C to T_{MIN} or T_{MAX}. It is calculated as TC = (ΔV_{REF}/V_{REF}) / ΔT.

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

TIMING CHARACTERISTICS

(V_{DD} = 5V, V_{SS} = -12V or -15V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	T _A = +25°C			MAX121C/E		MAX121M		UNITS
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
CONVST Pulse Width (Note 6)	tcw		20			30		35		ns
Data-Access Time	tDA	C _L = 50pF		25	50		65		80	ns
Data-Hold Time	tDH			25	50		65		80	ns
CLKIN to SCLK	tCD	C _L = 50pF		40	65		85		105	ns
SCLK to SDATA Skew	tSC	C _L = 50pF			±65		±80		±100	ns
SCLK to SFRM or FSTRT Skew	tSC	C _L = 50pF			±25		±35		±40	ns
Acquisition Time (Note 6)	tAQ		400			400		400		ns
Aperture Delay	tAP			10						ns
Aperture Jitter				30						ps
Clock Setup/Hold Time	tCK		10		50	10	50	10	50	ns

Note 5: Control inputs specified with t_r = t_f = 5ns (10% to 90% of +5V) and timed from a voltage level of 1.6V. Output delays are measured to +0.8V if going low, or +2.4V if going high. For a data-hold time, a change of 0.5V is measured. See Figures 4 and 5 for load circuits.

Note 6: Guaranteed, but not tested.

端子説明

ピン		名称	機能
DIP/SOP	SSOP		
1	1	V _{SS}	負電源ピン、-12Vまたは-15V
2	2	V _{DD}	正電源ピン、+5V
3	3	AIN	サンプルするアナログ入力、±5Vバイポーラ入力
4	4	VREF	-5Vリファレンス出力。22μFと0.1μFを並列に用いてAGNDにバイパス。
5	7	SGND	アナロググランド
6	8	INVCLK	シリアルクロックを反転。DGNDに接続することでSCLK出力(CLKINによって変化)が反転。
7	9	INVFRM	シリアルフレームを反転。この入力により次のようにSFRM出力の極性が設定されます。 INVFRM = DGNDの場合、変換の間SFRMはハイ INVFRM = V _{DD} の場合、変換の間SFRMはロー
8	10	DGND	デジタルグランド
9	11	SFRM	シリアルフレーム出力。通常ハイ (INVFRM = V _{DD}) で、変換開始時に立下がり、16ビットフレームの終りで (16t _{CLK} 後) 立上がります。
10	12	FSTRT	フレームスタート出力。ハイが1クロックサイクル続き、立下がりエッジにより有効なMSBが出力されたことが示されます。
11	13	SDATA	シリアルデータ出力。MSBが最初の、2の補数のバイナリ出力コード。
12	14	SCLK	シリアルクロック出力。INVCLK = V _{DD} の場合は、CLKINと同じ極性で、INVCLK = DGNDの場合は、CLKINの反転状態。CLKINがアクティブ状態の時、常にSCLKは動作。
13	17	CONVST	アクティブローの変換開始入力。変換は立下がりエッジで開始。
14	18	CLKIN	クロック入力。0.1MHz~5.5MHzの周波数、40%~60%のデューティサイクルのTTL/COMSコンパチのクロックを供給。
15	19	CS	アクティブローのチップセレクト入力。CS = DGNDでトリステート出力をイネーブル。また、CONVSTがローの場合、CSの立下がりエッジで変換が始まります。
16	20	MODE	動作モードをハード的に設定します。V _{DD} : シングル変換。DGND : 連続変換。
-	5, 6 15, 16	N.C.	無接続。内部接続されていません。

MAX121

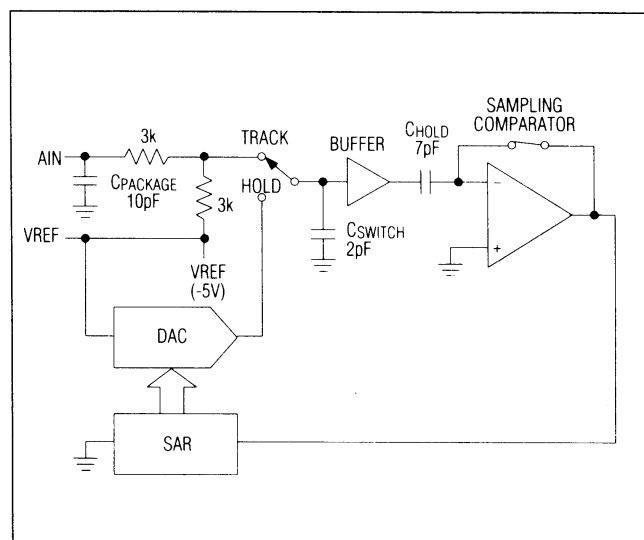


图2. 入力等価回路

ADCの動作

内部リファレンス

MAX121の-5.00Vの埋込み型ツェナーリファレンスは、内部DACをバイアスします。このリファレンスの出力はVREFピンから出力され、0.1 μ Fのセラミックコンデンサと22 μ F以上の電解コンデンサの並列構成によってAGNDピンにバイパスする必要があります。リファレンス出力バッファを正しく補償するために、電解コンデンサの等価直列抵抗(ESR)は100m Ω 以下にして下さい。Sanvoの有機半導体コンデンサをお奨めします。

Sanyo Video Components (USA)

Phone: (619)661-6835

FAX: (619)661-1055

Sanyo Electric Company, LTD. (Japan)

Phone: 0720-70-1005

FAX: 0720-70-1174

Sanyo Fisher Vertriebs GmbH (Germany)

Phone: 06102-27041, ext. 44

FAX: 06102-27045

正しいバイパス処理によってリファレンスノイズは最小となり、高周波においても低インピーダンスを維持します。内部リファレンスの出力バッファは、外部の負荷に対して5mAまでシンク可能です。

MAX121の内部リファレンスは、 $-5.05\text{V} \sim -5.10\text{V}$ の外部電圧リファレンスによって、オーバドライブできます。この外部リファレンスは最小でも5mAをシンクすることが可能でなければなりません。その場合でも外部VREF用バイパスコンデンサは必要です。

MAXIM

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

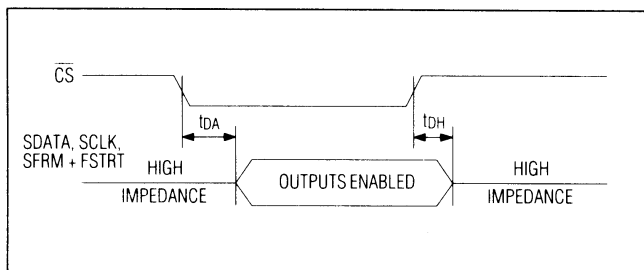


図3. データアクセス&データホールドタイミング

外部クロック

MAX121は正常動作のために、TTL/CMOSのコンパチブルのクロックを必要とし、動作モード1または2(「動作モード」の項を参照)において0.1MHz~5.5MHzの周波数クロックで動作します。2クロックサイクルで400nsのアクイジション時間条件を満足させるためには、モード3(連続変換モード)においては、最大クロック周波数5MHzに制限されます。最小クロック周波数については、内部T/Hのドループのため全モードにおいて0.1MHzに制限されています。

出力データフォーマット

変換結果は、16ビットのシリアルデータストリームとして出力され、まず14のデータビット(MSBが最初)から始まり、2個の末尾ゼロが続きます。出力データ形式は2の補数のバイナリです。データはCLKINの立上がりエッジでSDATA端子からクロック出力されます。

出力データはFSTRTまたはSFRM出力のどちらかを使ってフレーミングされます。FSTRT(ノーマリロー)はMSBより1サイクル前にハイになり、FSTRTの立下りエッジにより、MSBがSDATA出力上に現れたことが示されます。

SFRM出力($\overline{\text{INVFRM}} = V_{DD}$ の場合通常ハイ)がローになるとSDATA端子にMSBが現れ、SFRMは16クロックサイクル後にハイに戻ります。SFRMは $\overline{\text{INVFRM}}$ 入力をDGNDに接続することにより反転されます。有効なSFRM出力を得るためには、1変換につき最低限18クロックサイクルが必要です。

図3に複数の素子がシリアルバスを共用している場合のデータアクセスとデータホールドタイミング図が示されています。図4と図5にはデータアクセス及びデータホールドタイミングの等価負荷回路が示されています。

デジタルインタフェース

MAX121シリアルインタフェースはSPI及びQSPIシリアルインタフェースとコンパチです。さらに、2個の

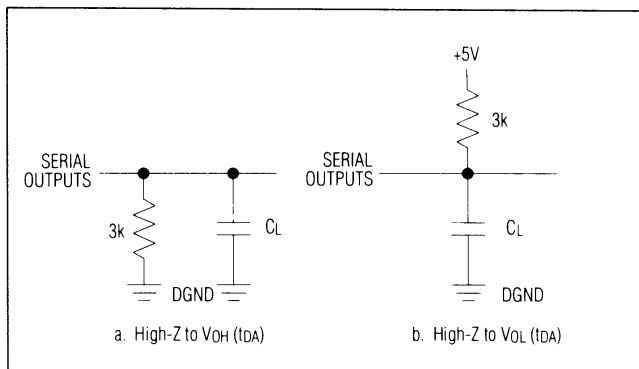


図4. データアクセス時間の負荷回路

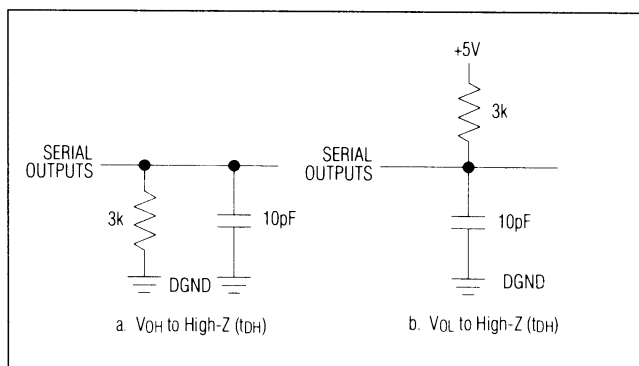


図5. データホールド時間の負荷回路

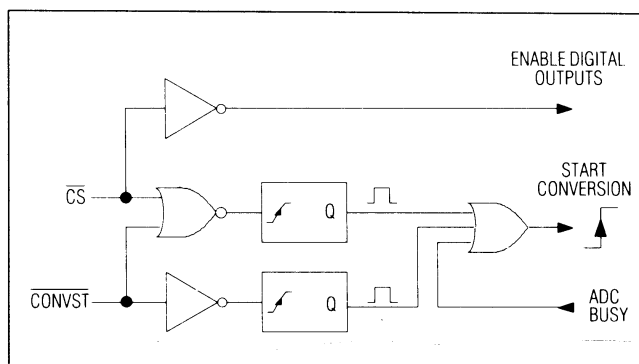


図6. 変換制御ロジック

フレーミング信号(FSTRTとSFRM)により、MAX121は煩わしい外部ロジック無しで、殆どのDSPと簡単にインタフェースできます。 $\overline{\text{INVCLK}}$ 入力はCLKINによって変化するSCLKの位相を反転し、 $\overline{\text{INVFRM}}$ 入力はSFRM出力の位相を反転します。これらの制御信号により、MAX121はシリアルインタフェース標準の素子に直接インタフェースできます。MAX121とSPI及びQSPI、そして各種のDSPとのインタフェースに関する詳細は「アプリケーション情報」の項に書かれています。

タイミングと制御

MAX121は3つの動作モードを備えており、そのタイミング図が図7～図9に書かれています。また「動作モード」の節にその解説がなされています。

モード1では、 $\overline{\text{CONVST}}$ 入力に変換開始の制御に使用されます。モード1は、DSPやその他、アナログ入力が必要な時間にサンプリングされる必要のあるアプリケーションに適しています。

モード2では $\overline{\text{CS}}$ 入力に変換のスタートを制御します。MAX121の出力は、 $\overline{\text{CS}}$ がハイになった時ハイインピーダンス状態になるため、同じシリアルデータバスで数個の素子が多重送信される場合、このモードが有効です。

モード3は連続変換モードです。このモードはデータロギング、及び、それに類似したアプリケーション、つまりMAX121がFIFOバッファまたはダイレクトメモリアクセス(DMA)ポートを通してメモリに直接リンクされたアプリケーションに適しています。

3種類の動作モード全ての場合に於いて、 $\overline{\text{CS}}$ または $\overline{\text{CONVST}}$ 入力のいずれかによって変換の開始が制御されます。この両入力は、変換が行なわれるためにはローでなければなりません。図6に、この変換回路の等価ロジックが示されています。変換を実行している間、再スタートはできません。

動作モード

モード1： $\overline{\text{CONVST}}$ による変換開始制御 (MODE = V_{DD} , $\overline{\text{CS}}$ = DGND)

図7にモード1のタイミング図を示します。このモードでは、変換開始動作は $\overline{\text{CONVST}}$ 入力によって制御されます。

$\overline{\text{CONVST}}$ 入力の立下りエッジで、T/Hはホールドモードに入り、逐次比較レジスタ(SAR)で変換を開始します。FSTRT(通常ロー)出力は次の立上がりクロックエッジでハイになり、1クロックサイクルの間ハイを維持します。また、その次の立上がりクロックエッジでFSTRTはローになり、SFRMもロー($\text{INVFRM} = V_{DD}$)になります。これにより、MSBがラッチできることを示します。SFRMは16クロックサイクルの間(14データビット+2個の末尾ゼロ)ハイを維持します。

T/Hアンプは14番目のビット(D0)がSDATA端子からクロック出力されると、トラックモードに戻ります。新しい変換は、400nsの最小アキュイジション時間が経過した後 $\overline{\text{CONVST}}$ 入力により開始されます。

変換を開始するには $\overline{\text{CS}}$ はローでなければなりません。MAX121が専用のシリアルポートとインタフェースするようなアプリケーションでは、 $\overline{\text{CS}}$ はDGNDに接続して下さい。MAX121をマルチプレクスシリアルバスにインタフェースするには、 $\overline{\text{CS}}$ を外部的にローにて変換可能状態にするか、ハイにしてシリアル出力をハイインピーダンス状態にして下さい。

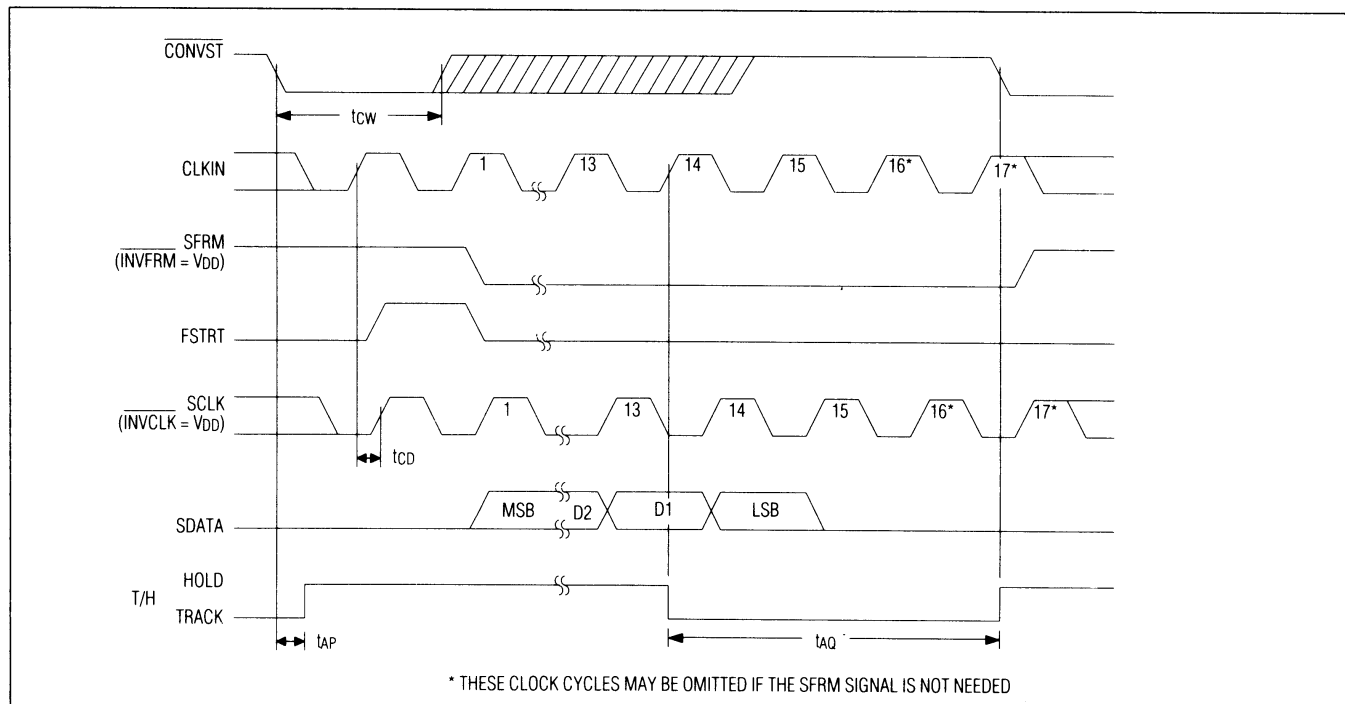


図7. $\overline{\text{CONVST}}$ による変換開始制御(モード1)

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

モード2： $\overline{\text{CS}}$ による変換開始制御 (MODE = V_{DD} 、CONVST = DGND)

図8に、モード2のタイミング図が示してあります。モード2では、 $\overline{\text{CS}}$ が変換開始を制御し、シリアル出力端子をイネーブルします。モード2はMAX121が他の素子と出力データバスを共有するようなアプリケーションに適しています。 $\overline{\text{CS}}$ がハイになると、MAX121はディセーブルされ、シリアル出力(SCLK、SDATA、SFRM、FSTRT)はハイインピーダンス状態になります。

$\overline{\text{CS}}$ の立下りエッジで、T/Hがホールドモードになり、SARで変換が開始します。FSTRTとSFRM出力モード1の項で説明したように出力データを構成するのに使用されます。 $\overline{\text{CS}}$ は変換が継続している間ローのままではなければなりません。

T/Hアンプは14番目のビット(D0)がSDATA端子よりクロック出力されると、トラックモードに戻ります。次の変換は400nsのアクイジション時間が経過した後、 $\overline{\text{CS}}$ 入力端子によって開始されます。

モード3：連続変換モード (CONVST = $\overline{\text{CS}}$ = MODE = DGND)

データロギング等、時間に対して正確なサンプリング制御が必要でないアプリケーションでは、MAX121は連続変換モードで動作でき、DMAポートあるいはFIFOバッファにより直接メモリに接続されます。

このモードでは、16クロックサイクル毎に(T/Hアクイジションタイムとしての2クロックサイクルを含む)1変換の速さで連続的に変換が実行されます。モード3で動作する際は、400nsの最小アクイジション時間が2クロックサイクル以内でおさまるように、MAX121の最大クロック周波数は5MHzに制限されます。

FSTRT出力は、モード1で説明したように、またモード3のタイミング図(図9)に示されているようにデータをフレーミングするのに使用されます。モード3ではSFRM出力は、状態が変化しないため何の意味もありません。

モード3の状態ですら正常にパワーアップするためには、このMODE入力はローでなければならないため、これはDGNDに接続しなければなりません。変換をディセーブルにするためには、CONVSTをハイにして下さい。シリアル出力をハイインピーダンス状態にするためには、 $\overline{\text{CS}}$ をハイにして下さい。

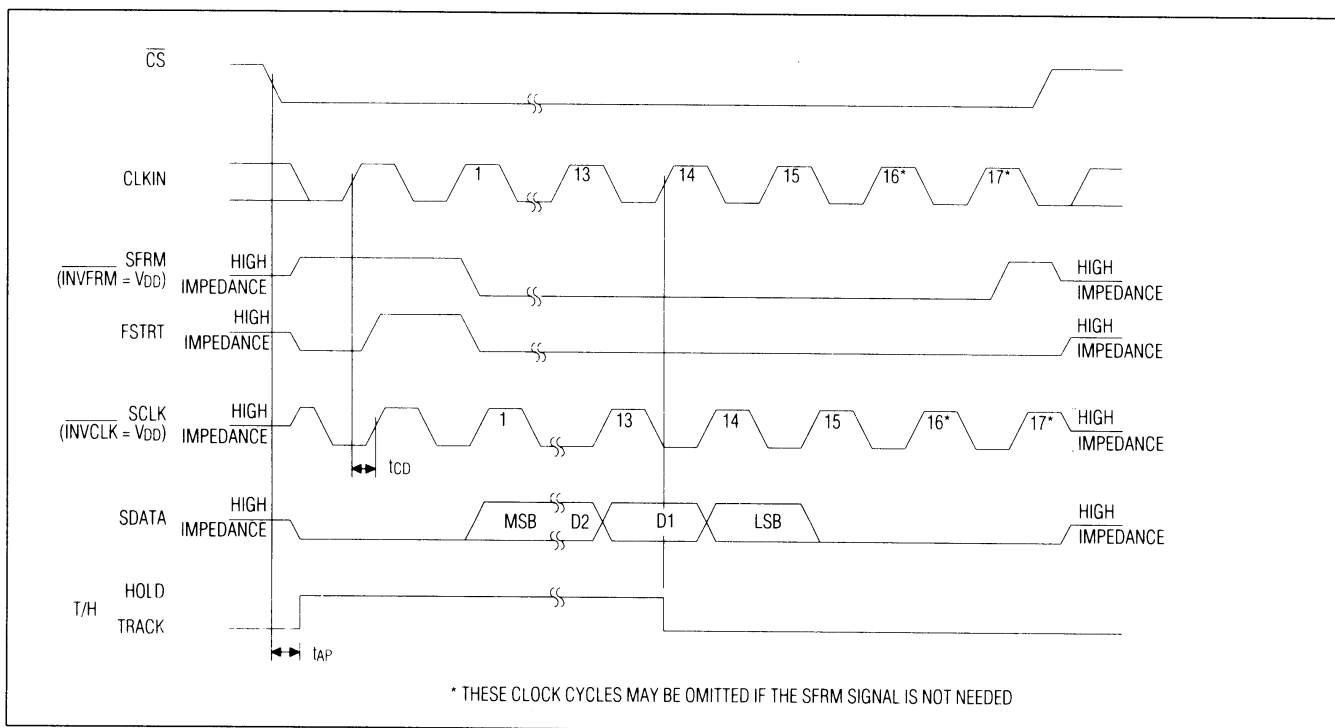


図8. $\overline{\text{CS}}$ による変換開始制御(モード2)

アプリケーション情報

パワーアップ後の初期条件

パワーアップ時、次の条件を満たしていれば、MAX121の最初の変換は有効です。

- 1) 内部T/Hトラックモードに入るのに16クロックサイクルが与えられ、さらにトラックモードで最低400nsデータアクイジション時間が与えられること。
- 2) リファレンス電圧が安定していること。そして1 μ Fのリファレンスパイパスコンデンサに対して0.5ms (22 μ Fコンデンサに対して11ms) が与えられること。

クロック及び同期制御

クロック及び変換開始入力 ($\overline{\text{CONVST}}$ または $\overline{\text{CS}}$: 「動作モード」の項参照) が同期していない場合、変換時間は15クロックサイクルか、あるいは、16クロックサイクルと異なります。SARはCLKIN入力の立上がりエッジで常に状態を変化させます。変換時間を固定するためには、図10と以下の説明を読んで下さい。

15クロックサイクルの変換時間の場合、変換開始入力をCLKINの次の立上がりエッジの少なくとも50ns前に

ローにして下さい。16クロックサイクルの変換時間の場合、変換開始入力をCLKINの次の立上がりエッジの前10ns以内でローにして下さい。CLKINの次の立上がりエッジの10ns前から50ns前の間に変換開始入力が高レベルになると、必要なクロックサイクル数は決定されず、15または16のどちらかになります。最良のアナログ動作を得るためには、変換開始入力はCLKINと同期されなければなりません。

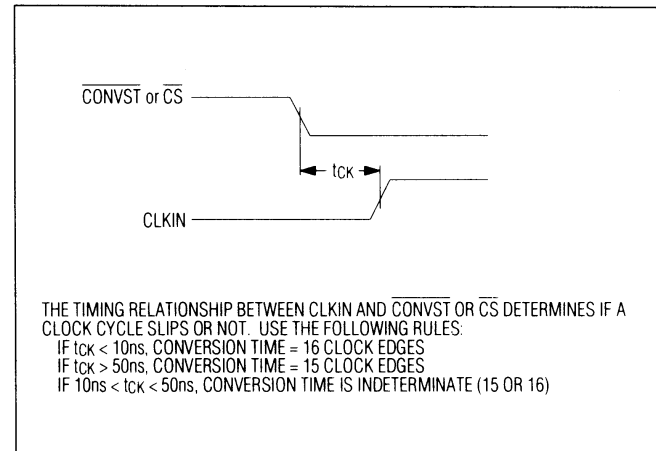


図10. クロック&同期制御

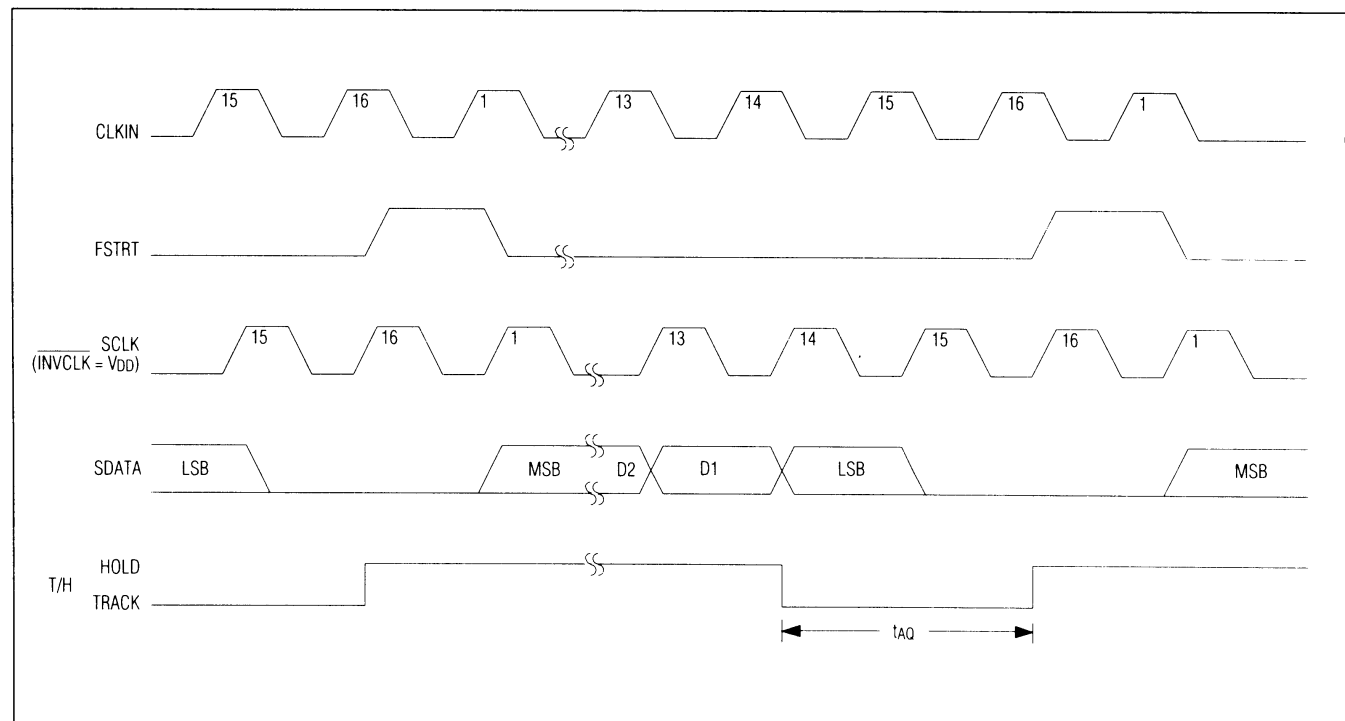


図9. 連続変換モード(モード3)

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

シリアルインタフェースの最大のクロックレート

最大シリアルクロックレートは、プロセッサのシリアルデータ入力を受け取るのに必要とされる最小セットアップ時間、及びADCのクロックデータ間の最大ディレイによって決まります。MAX121は、プロセッサにデータをクロッキングするのに基本的に2個の異なった方法をとっています。一つの方法においては、CLKINはMAX121の入力クロックであり、プロセッサに対するシリアルクロックです。もう一方の方法においては、CLKINはMAX121の入力クロックで、SCLKがプロセッサにデータをシフトするシリアルクロックです(図11参照)。

最初の方法は、プロセッサが非同期データトランファーをサポートしない単純なシリアルインタフェース標準(SPI等)で一般的に使用されます。クロック-データ間の最大ディレイは $t_{CD} + t_{SC}$ で、この場合、次の式で最大シリアルクロックレートが計算できます。

$$f_{CLKIN} = (1/2) \times 1/(t_{SU} + t_{CD} + t_{SC})$$

ここで t_{SU} はプロセッサのシリアルデータ入力が必要とされる最小データセットアップ時間で、 t_{CD} はMAX121のCLKIN-SCLK間の最大ディレイ、また、 t_{SC} はSCLK-SDATA間の最大ディレイです。

2番目のインタフェースの方法は、プロセッサが非同期のデータトランスファーをサポートするようなアプリケーションで使用できます。MAX121のSCLK出力は、プロセッサのシリアルクロックを駆動し、上記の式から t_{CD} を消去し、高速のクロックが使用できるようになります。この場合、以下のような式で最大シリアルクロックレートを計算して下さい。

$$f_{CLKIN} = (1/2) \times 1/(t_{SU} + t_{SC})$$

ここで変数は上記と同様に定義されます。

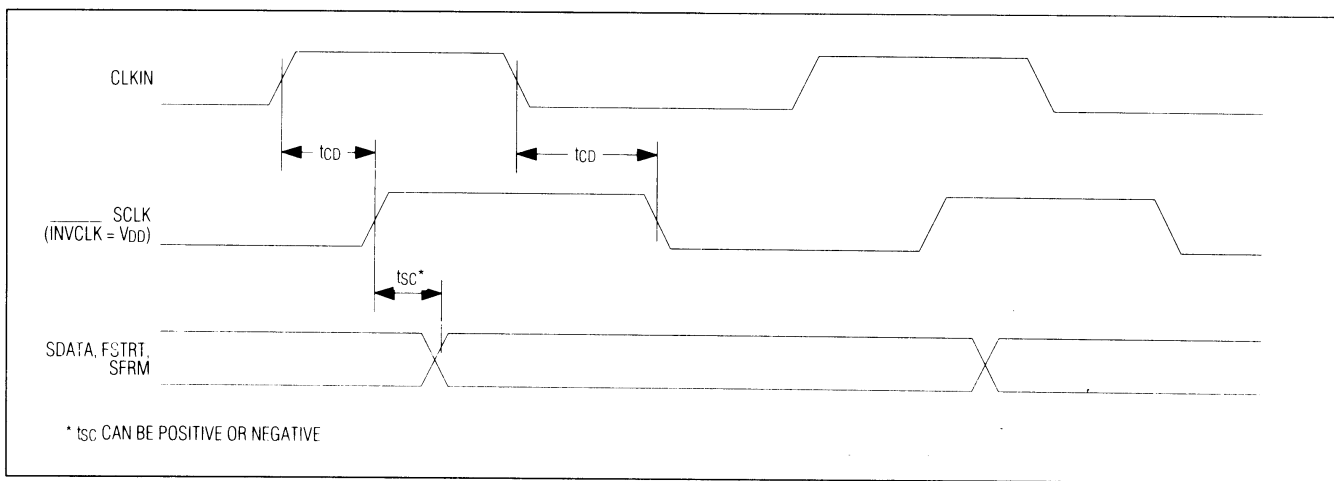


図11. シリアルデータのタイミング図

モトローラ社のSPIシリアルインタフェース (CPOL = 0、CPHA = 1)

図13にSPI標準をサポートするのに必要なMAX121とプロセッサのインタフェースを示します。図12にはSPIインタフェースタイミング図が示されています。SPIインタフェースでは、プロセッサの $\overline{SS}$ 入力は、マスタとしてプロセッサを構成するようハイにしなければなりません。プロセッサのI/Oポートは、変換開始を制御するのにMAX121の $\overline{CONVST}$ (モード1) または $\overline{CS}$ (モード2) をローにし、SCK出力はMAX121のCLKINを駆動します。プロセッサのMISO I/OはMAX121のSDATA出力によって駆動されます。

SPI標準では、全てのデータトランスファーが8ビットのブロックで行なわれることが要求されます。しかし、MAX121は16ビットブロックでデータを出力するため、MAX121から完全な14データビットを受け取るのに2回の1バイトの読み込み動作が必要です。

変換はプロセッサのI/Oポートをローにすることにより開始されます。次に、シリアルクロックを動作させるのに書込動作がプロセッサにより実行されなければなりません。そして、MAX121から最初の8ビットを読み込みます。

MAX121の出力データはクロックの立上がりエッジで変化し、プロセッサはクロックの立下りエッジでデータを読み込みます。(CPHA = 1)。これにより、最小セットアップ時間とプロセッサのデータ入力に必要なホールド時間に対しクロックサイクルの半分が与えられます。SPIインタフェースの最大のクロックレートは2MHzです。

プロセッサによって読まれる最初のバイトは始めがゼロで次に上位7桁が続きます。そして、2番目のバイトを読込むのに2回目の書込動作が開始されますが、これは下位7桁の次に末尾ゼロが続きます。MAX121の内部T/Hのドループによるエラーを最小限に抑えるため、変換開始と2回目の読み込み動作の間の最大時間遅れを160 μ s以下に抑えて下さい。

モトローラ社のQSPIシリアルインタフェース (CPOL = 0、CPHA = 1)

図14にMAX121とQSPIインタフェースを実現するための接続図を示します。このインタフェースのタイミング図が図15に示されています。QSPI標準はSPIと似ていますが、主な違いは以下のようになっています。

- 1) QSPIは8～16ビットの任意の長さでデータを転送できるため、僅か1回の読み込み動作でMAX121から14ビットの出力データを受け取ることができます。
- 2) SPIのクロックレートは2MHzですが、QSPIのクロックレートは4MHzです。

ADSP2101 シリアルインタフェース

図16に、MAX121をアナログデバイセズ社のADSP2101 DSPにインタフェースするための接続図を示します。図17にタイミングダイアグラムを示します。ADSP2101は最小シリアルデータセットアップ時間が10ns (t_{SCS})、最小データホールド時間が10nsの高速シリアルインタフェースを備えており、これにより最大クロックレート5.5MHzでMAX121を動作できます。

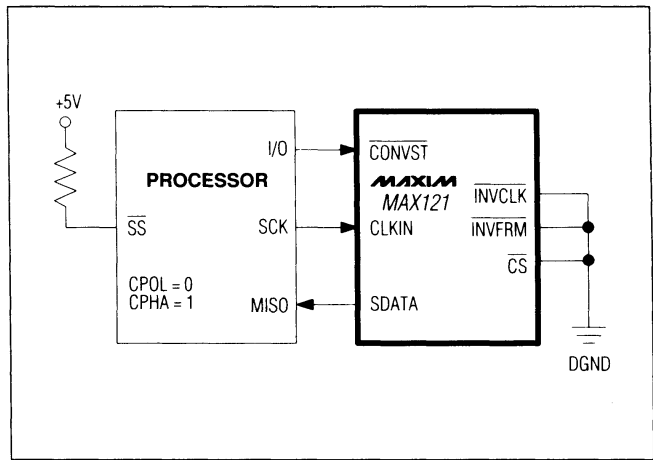


図13. SPIインタフェース回路

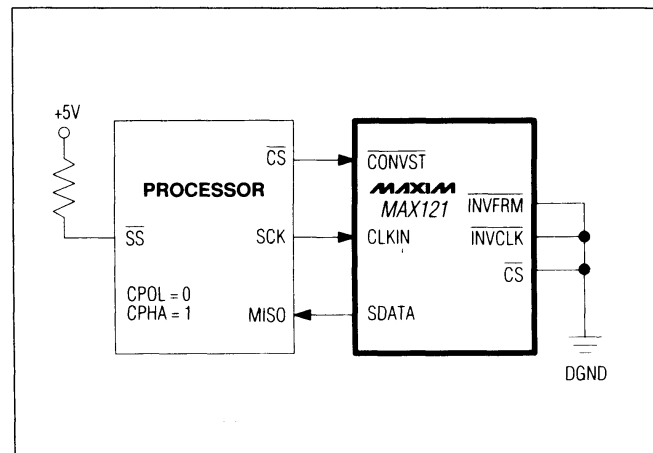


図14. QSPIインタフェース回路

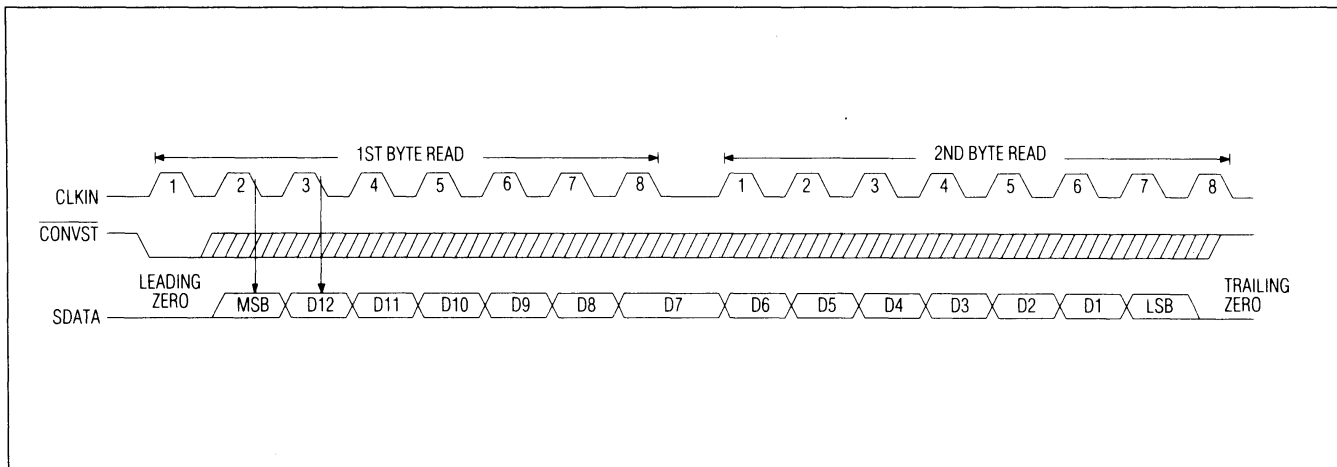


図12. SPIインタフェースタイミング図

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

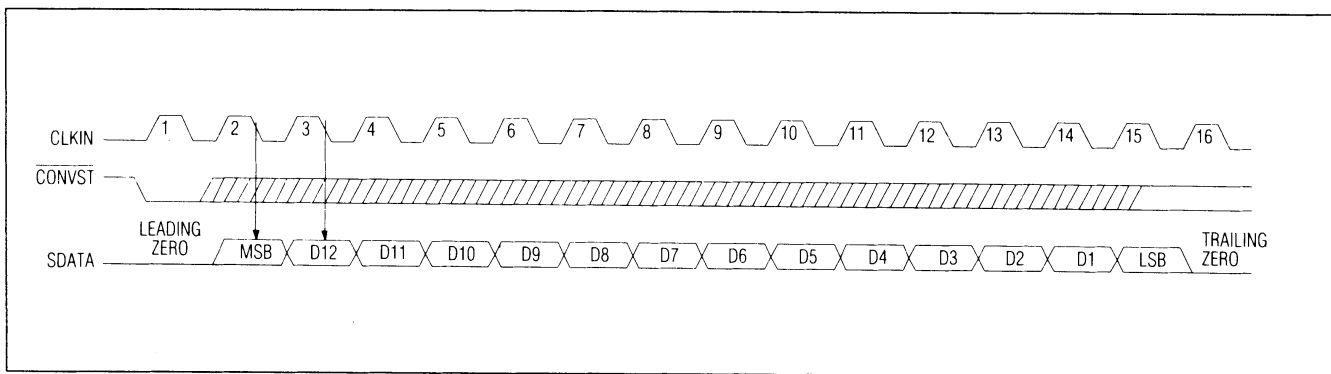


図 15. QSPI インタフェース タイミング図

ADSP2101 の出力ポートにより MAX121 の $\overline{\text{CONVST}}$ 入力が高レベルになり、変換が開始されます。MAX121 の SFRM 出力により DSP の RFS (レシーブフレーム同期) 入力が高レベルになり、MSB が MAX121 の SDATA 端子からシフト出力されたことを表します。SCLK の次の立下がりエッジで MSB が ADSP2101 シリアル入力にシフト入力されます。MAX121 の $\overline{\text{INVFRM}}$ 入力は、SFRM 出力が適切な位相を供給するために、グラウンドにおとして下さい。

ADSP2101 の SCLK 端子は、入力端子として構成され、DSP にデータをクロック入力するのに MAX121 の SCLK 出力により駆動されます。16 クロックサイクルの間 SFRM 出力はハイのままで、14 データビットに続き 2 個の末尾ゼロが ADSP2101 にシフト入力されます。

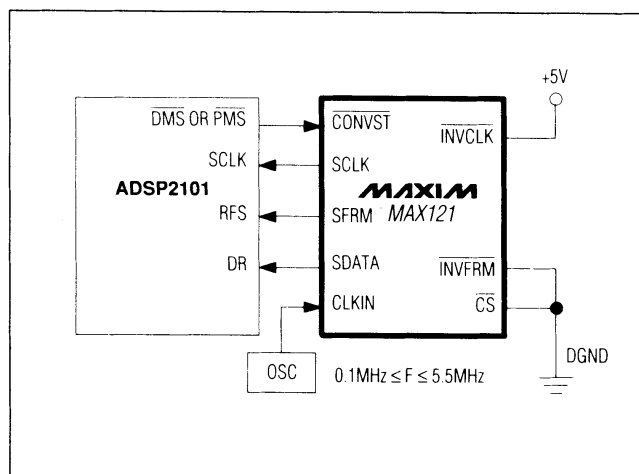


図 16. ADSP2101 と MAX121 のインタフェース

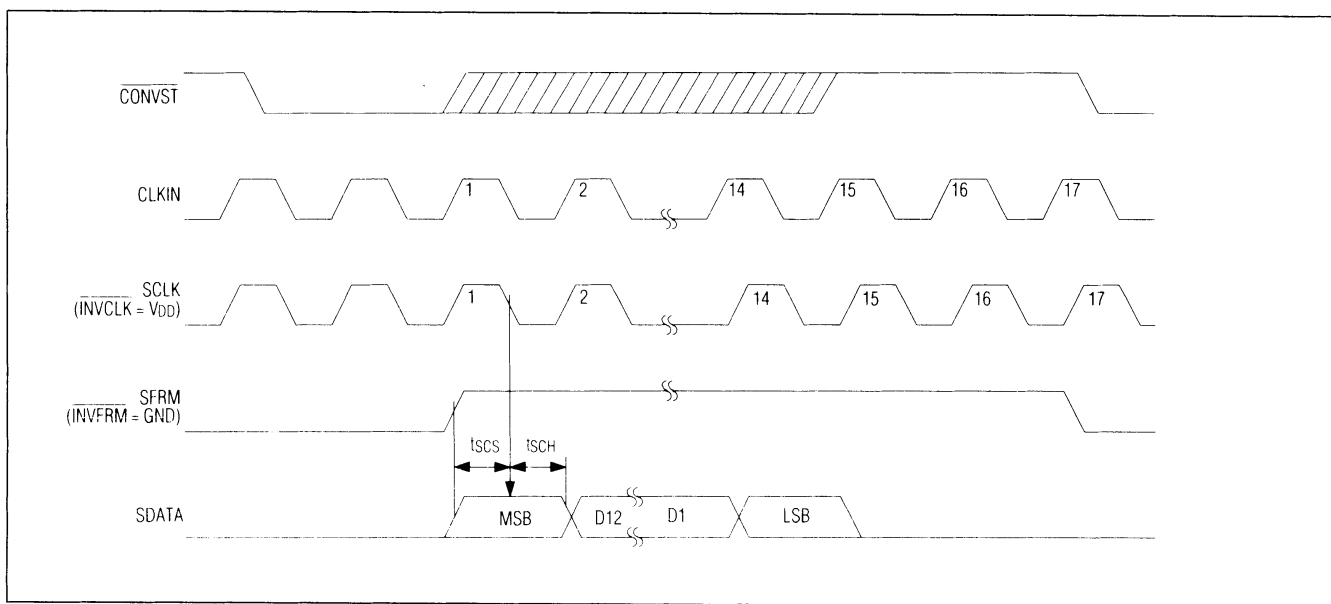


図 17. ADSP2101 のインタフェース タイミング図

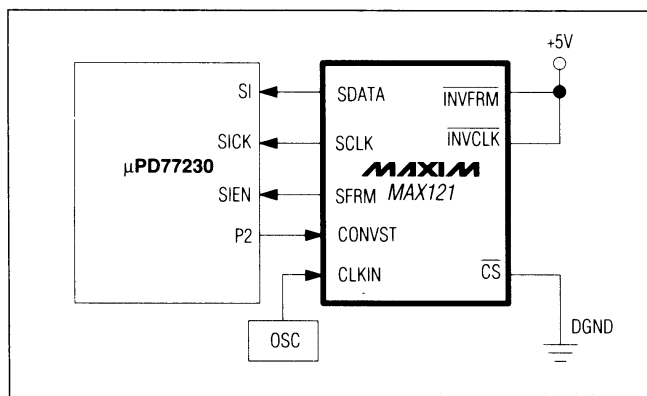


図18. NEC μ PD77230 シリアルインタフェース回路

NEC μ PD77230 シリアルインタフェース

外部ロジック無しで、MAX121をNEC μ PD77230 DSPにインタフェースするための接続図を図18に示します。このタイミング図を図19に示します。「シリアルインタフェースの最大クロックレート」の項を参照し、このインタフェースで使用する最大クロックレートを決めて下さい。式の中の t_{SU} は、代わりに t_{SISS} を使って下さい。タイミング図の t_{HSSI} は μ PD77230のシリアルデータ入力に対する最小のデータホールド時間です。

μ PD77230のI/OポートはMAX121の $\overline{CONVST}$ 端子をローにし、変換を開始します。MAX121のSFRM出力はDSPのSIEN（シリアル入力イネーブル）端子をローにしデータ出力をフレーミングします。SCLKの次の立下がりエッジでMSBは μ PD77230のSI（シリアル入力）端子にシフト入力されます。SDATAはDSPのSI端子を駆動します。MSBの次は他の13データビットと末尾ゼロが続き、その後次の変換が開始されるまでDSPシリアル入力をディセーブルにするためSFRM出力はハイに戻ります。

TMS320高速シリアルインタフェース

MAX121の使用法には柔軟性があるため、テキサスインスツルメンツ社のTMS320DSPと様々なインタフェースが可能です。このデータシートTMS320シンプルシリアルインタフェースの項ではMAX121とTMS320インタフェースの最も簡単な方法が述べてあり、これはシリアルクロックレート3.2MHzで動作します。

この項では、MAX121を最大クロックで動作させることにより、MAX121/TMS320のシステムから得られる最大スループットでのインタフェースについて説明しています。図20に、個のインタフェースを実現するための内部接続を示します。図21はこのインタフェースのタイミング図です。

MAX121のCLKIN端子は外部クロックオシレータによって駆動されます。TMS320のXFOのI/Oポートは、MAX121の $\overline{CONVST}$ 入力をローにし変換が開始されます。TMS320のCLKR（レシーブクロック）は、入力端子として構成され、MAX121のSCLK出力により駆動されます。MAX121のSDATA出力のデータはクロックの立ち上がりエッジで状態を変化させ、一方立下がりエッジでTMS320のDR入力にデータはラッチされます。これにより、TMS320のDR入力に必要なセットアップ、ホールド時間に対し、クロックサイクルの半分の時間が与えられます。MAX121のSCLKとSDATA間の最大キューは+25℃で $\pm 65\text{ns}$ のため、半分のクロックサイクルでセットアップ、ホールド時間条件を充分保証できます。

MAX121のFSTRT出力はデータをフレーミングするのにTMS320のFSR入力を駆動します。FSTRT出力の立下がりエッジによりMSBがラッチできることが表されます。次の立下がりクロックエッジで、MSBはTMS320にラッチされます。このインタフェースに対して、TMS320は16ビットワードを受け取るように構成されています。（TMS320のシリアルポートグローバル制御レジスタのRLEN=01）。従って14ビットのデータがDSPにロックされ、それに2個の末尾ゼロが続きます。

TMS320のシンプルシリアルインタフェース

図22にMAX121とTMS320の最も簡単なインタフェースのアプリケーション回路を示します。この回路のタイミング図は図23に示されています。

この回路ではTMS320のCLKRポートがクロック出力として構成され、MAX121のCLKINを駆動します。MAX121の出力はCLKINの立ち上がりエッジで状態を変化させ、一方このデータは立下がりエッジでTMS320のDRポートにラッチされます。TMS320のXFIのI/OポートはMAX121の $\overline{CONVST}$ 入力をローにし変換を開始します。MAX121のFSTRT出力はデータをフレーミングするのにTMS320のFSR入力を駆動します。FSTRT出力の立下がりエッジによりMSBがラッチできることが表されます。次の立下がりクロックエッジで、MSBはTMS320にラッチされます。このインタフェースでは、TMS320は16ビットワードを受け取るように構成されています（TMS320シリアルポートグローバル制御レジスタでRLEN=01）。従ってデータの14ビットはDSPにクロック入力され、次に2個の末尾ゼロが続きます。CLKIN-SDATA間の最大ディレーが130ns、TMS320が必要とするセットアップ時間及びホールド時間が25nsのため、 $T_A = +25^\circ\text{C}$ において、クロック周波数は約3.2MHzに制限されます。

DSPにインタフェース可能な 308kps、78dB SINADのADC

MAX121

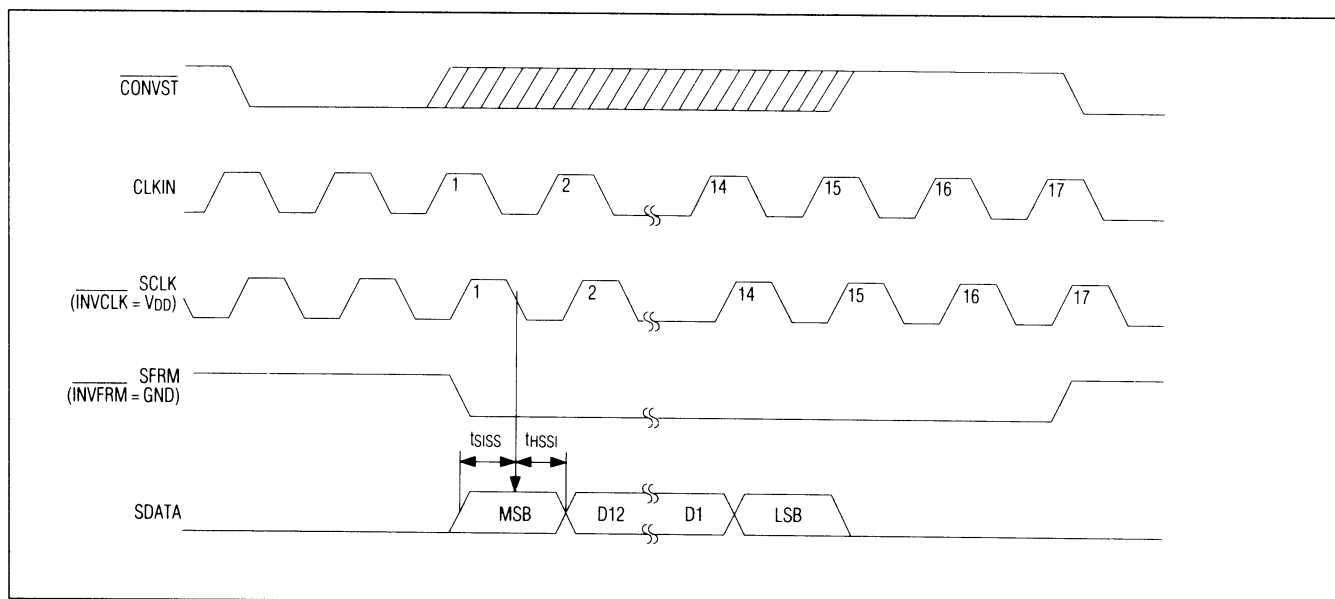


図19. NEC μ PD77230 シリアルインタフェースタイミング図

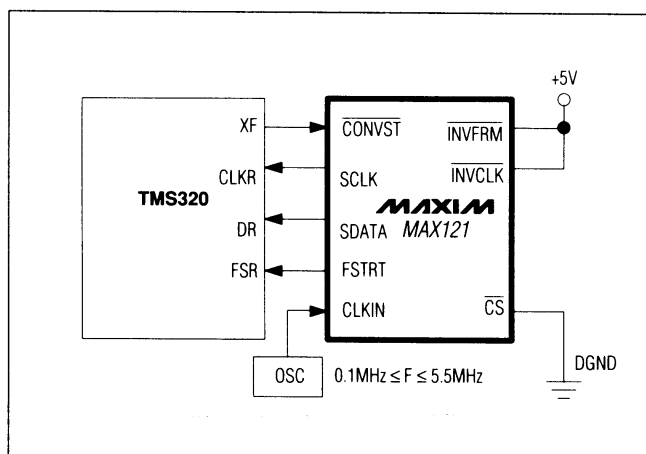


図20. TMS320 シリアルインタフェース回路

図24にTMS320の変換を開始させ、メインのPCに出力データを送り帰す、TMS320アセンブラ言語で書かれた短いプログラムリストを示します。図25のC言語で書かれたプログラムは、PCスクリーン上に30,000毎の変換結果と、1回の連続動作での全変換の最小値と最大値を示します。

デジタルバス/クロックノイズ

T/Hが入力信号をサンプリングしている時、クロックがアクティブならば、CLKIN端子からアナログ入力にカップリングすることによってエラーが起こることがあります。これが問題になる場合は、T/Hがホールドモードの間、クロックを1クロックサイクル期間ディセーブルにして下

い。モード1ではCONVSTがローの間の1サイクルの期間、クロックをディセーブルして下さい (CLKIN = DGND)。モード2ではCSがローの間、1サイクル期間クロックはディセーブルにして下さい (CLKIN = DGND)。変換が開始された後最初のサイクルでクロックは再びアクティブにして下さい。(CONVSTまたはCSはロー)。

レイアウト、グラウンドおよびバイパス処理

最良のシステム性能を得るためには、アナログとデジタルの独立したグラウンドプレーンをもつプリント基盤を用いてください。ワイヤラップボードはお勧めできません。図26に示すように、2つのグラウンドプレーンを低インピーダンスの電源端子において相互に結合してください。

基盤のレイアウトを行なう際には、デジタル信号とアナログ信号のラインはできるかぎり接近しないように配置してください。アナログラインとデジタルライン (特にクロック) が並列にならないように注意してください。

ADCの高速コンパレータはV_{DD}及びV_{SS}電源ライン内の高周波ノイズに対して敏感です。これらの電源は、0.1 μ Fと10 μ Fのバイパスコンデンサを用いてアナロググラウンドプレーンにバイパスしてください。最良のノイズ除去性能を得るため、コンデンサのリード線はできる限り短くします。+5V電源のノイズが非常に大きい場合、このノイズをフィルタするのに図26に示すように5 Ω の抵抗を接続してください。図27は負電源(V_{SS})除去比の周波数特性、図28は正電源(V_{DD})除去比の周波数特性を、それぞれ5 Ω 抵抗を接続した場合と接続していない場合について示しています。

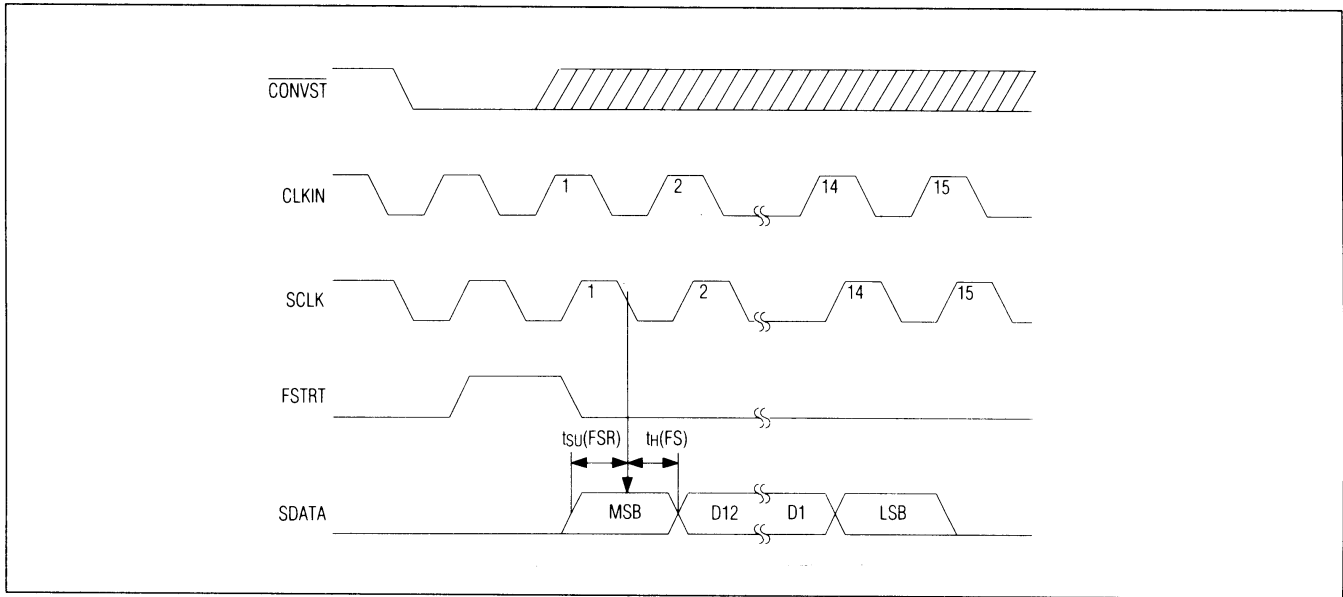


図21. TMS320高速シリアルインタフェースタイミング図

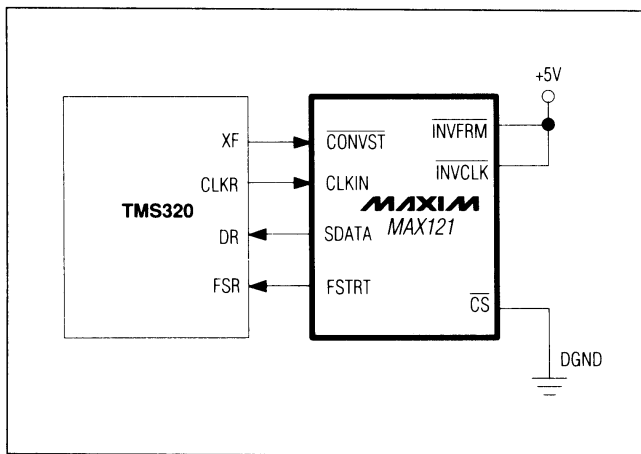


図22. TMS320 シンプルシリアルインタフェース回路

ダイナミック性能

高速サンプリング能力と308kHzのスループットをもつことから、MAX121は広帯域信号処理への応用に理想的です。信号処理やその他の関連する応用をサポートし、定格スループットにおけるADCのダイナミック周波数応答、歪みおよびノイズを保証するため、FFT（高速フーリエ変換）テスト技法を用いています。特に、低歪み正弦波をADC入力に与え、規定の時間にわたってデジタル変換結果を記録するテストが含まれています。そしてこのデータをFFTアルゴリズムを用いて解析し、周波数成分を決定しています。従って、変換エラーは基本入力周波数の外のスペクトル要素として現れます。

従来からADCの評価は、ゼロおよびフルスケール誤差、積分非直線性 (INL)、微分非直線性 (DNL) などの仕様によって行われてきました。これらのパラメータは、DCやゆるやかに変化する信号についての性能の規定には広く受け入れられていますが、ADCがシステムの伝達関数に与える影響が重要な信号処理用途においてはほとんど意味がありません。さまざまなDC誤差の大きさはダイナミック性能においてはあまり意味をもたず、異なるテストが必要となります。

信号-ノイズ比と有効ビット数

信号-ノイズ+歪み比 (SINAD) は基本入力周波数のRMS振幅と、その他すべてのADC出力信号のRMS振幅の比です。出力帯域はDC以上でADCサンプリングレートの1/2以下の周波数に制限されています。

理論上の最小ADCノイズは、量子化誤差に起因し、ADCの分解能から直接得ることができます。SINAD = $(6.02N + 1.76)$ dB、ここでNは分解能のビット数です。理想的な14ビットADCは最高で86dBになります。出力のFFTプロットは、さまざまな周波数帯域における出力レベルを示します。図29は、MAX121を用いて純粋な50kHz正弦波を300kHzレートでサンプルした際のFFTプロットです。

分解能とSINADの式を変形しSINADの実測値を与えることにより、ADCの有効分解能（あるいは、有効ビット数）: $N = (SINAD - 1.76) / 6.02$ を得ることができます。図30は、MAX121の有効ビット数を入力周波数の関数として示しています。

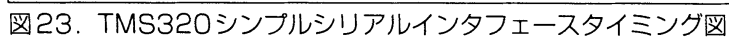


図24. TMS320シンプルシリアルインタフェースを使用した、変換制御のTMS320のアセンブラ言語のプログラム

```

;;;;;;;;;;;;;Publics;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

.global maxim
.global wait_sample
.global wait_loop
.global next_sample

.global IOF_MASK_AMASK
.global IOF_SET_XF1
.global IOR_RESET_XF1
.global CTRL
.global SERGLOB1
.global SERPRTX1
.global SERPRTR1
.global SERTIM1
.global SERTIM1VAL
.global HOST_DATA

;;;;;;;;;;;;;Data;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;;

.data

IOF_AMASK      .word    000000EH      ; Preserve XF0 settings
IOF_SET_XF1    .word    0000060H      ; Set XF1 as output high
IOF_RESET_XF1  .word    0000020H      ; Set XF1 as output low

CTRL           .word    0808000H      ; Pointer to peripheral-bus memory map

SERGLOB1       .word    8120280H      ; Setup serial 1 global control (80)
                                           ; Use internal receive clock
                                           ; FSR active during entire transfer
                                           ; 16-bit rcv data length
                                           ; FSR active low
                                           ; Take rcvr out of reset
SERPRTX1       .word    0000000H      ; Setup serial 1 xmt port control (82)
SERPRTR1       .word    0000111H      ; Setup serial 1 rcv port control (83)
                                           ; CLKR1 = serial port pin
                                           ; DR1  = serial port pin
                                           ; FSR1 = serial port pin
SERTIM1        .word    00003C0H      ; Setup serial 1 timer control (84)
                                           ; Start rcv timer, 50% duty cycle,
                                           ; internal clk src = 1/2 CLKOUT is
                                           ; used to increment rcvr timer.
SERTIM1VAL     .word    00020000H     ; Timer period values RX and TX
                                           ; Rcvr timer is high order 16-bits
                                           ; (CLKOUT/2)/2 =
                                           ; 1.875Mhz CLKR1->MAX121 CLKIN

HOST_DATA      .word    00804000H     ; Memory address of host data port

```

図24. TMS320 シンプルシリアルインタフェースを使用した、変換制御のTMS320のアセンブラ言語のプログラム
(続き)

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

```

;::::::::::::::::::::::::::::;Functions;::::::::::::::::::::::::::::;

        .text

maxim
;
; Initialization Code
;
        LDI        0,ST                ; Initialize status register
        LDIU       128,DP              ; Initialize data page register
        LDI        0985CH,SP          ; Initialize stack pointer

        LDI        IOF,R1             ; Read in I/O Flags register to R1
        AND        @IOF_AMASK,R1      ; Remove current XF1 bits, preserve XF0 settings
        OR         @IOF_SET_XF1,R1    ; Set XF1 (CONVST*) Inactive (high)
        LDI        R1,IOF             ; Make it so!

        LDI        @CTRL,AR0          ; Load AR0 w/ptr to control reg base
        LDI        @HOST_DATA,AR1     ; Load AR1 w/host interface address

        LDI        @SERTIM1VAL,R0     ;
        STI        R0,*+AR0(86)       ; Setup serial chl timer period value
        LDI        @SERGLOB1,R0      ;
        STI        R0,*+AR0(80)       ; Setup serial chl global register
        LDI        @SERPRTX1,R0      ;
        STI        R0,*+AR0(82)       ; Setup serial chl xmt control register
        LDI        @SERPRTR1,R0      ;
        STI        R0,*+AR0(83)       ; Setup serial chl rcv control register
        LDI        @SERTIM1,R0       ;
        STI        R0,*+AR0(84)       ; Setup serial chl timer register

next_sample:
;
; Start Conversion --> _____|_____|_____ (CONVST*)
;
        LDI        IOF,R1             ; Read in I/O Flags register to R1
        AND        @IOF_AMASK,R1      ; Remove current XF1 bits, preserve XF0 settings
        OR         @IOF_SET_XF1,R1    ; Set XF1 (CONVST*) Inactive (high)
        LDI        R1,IOF             ; Make it so!

        AND        @IOF_AMASK,R1      ; Remove current XF1 bits, preserve XF0
        OR         @IOF_RESET_XF1,R1  ; Set XF1 (CONVST*) Active (low)
        LDI        R1,IOF             ; Make it so!

```

図24. TMS320シンプルシリアルインタフェースを使用した、変換制御のTMS320のアセンブラ言語のプログラム (続き)

```

wait_sample:
;
; Wait for completion of conversion
; MAX121 SFRM Active Signals TMS320 FSR1 that data transfer
; is ready to start.
;
    LDI    *+AR0(80),R2    ; Read in Serial Ch 1 global register
    AND    01H,R2         ; Check for RRDY Active (1)
    BZ     wait_sample    ; RRDY goes active when 16-bits have been rcvd
                        ; Keep waiting if not ready

    LDI    *+AR0(92),R3    ; Ready, read value from Data Receive register
    STI    R3,*+AR1(0)    ; Send out value to host

;
; Arbitrary wait time until start of next convert.
;
    LDI    100,R0
wait_loop:
    SUBI    1,R0
    BNZ     wait_loop     ; Keep waiting until R0 decremented to zero

    BR      @next_sample  ; Go start next convert

;
; .end
;

```

図24. TMS320シンプルシリアルインタフェースを使用した、変換制御のTMS320のアセンブラ言語のプログラム
(続き)

```

/******
**
**
**
**
**   Project:  Maxim 121 to TI TMS320C30 Application Note
**
**   File:      readdata.c
**
**   Purpose:   This file contains a PC based program used to read data
**              from the TMS320C30 Evaluation Module (EVM) and display
**              the data on the PC screen.
**              This file may be compiled with either the Microsoft C
**              Compiler or Borland C++ Compiler.
**
**   Tabstops:  4
**
**
**
**   $Log:$
**
**   Edit History:
**
**       Date          By          Description
**       ----          --          -
**       09/24/92      KHB          Initial Creation
**
**
*****#*/

#include <stdio.h>          /* for printf() */
#include <conio.h>          /* for kbhit(), getch(), and inpw() */

#define VERSION_STAMP    1

void
main(void)
{
    int x;
    int value;
    int quit = 0;
    int min = 32767;
    int max = -32768;

    printf("\n");
    printf("TMS320 EVM Data Display Program - Version %d\n", VERSION_STAMP);

    printf("m = reset Max/Min values, ESC to quit\n\n");

```

図25. MAX121 での変換からのデータログのC言語プログラム

```

while(!quit)
{
    if(kbhit())
    {
        switch(getch())
        {
            case 'm':          /* Clear Max/Min Storage Variables */
                max = -32768;
                min = 32767;
                break;
            case 'q':          /* Quit Program */
            case 0x1B:
                quit = 1;
                break;
        }
    }
    for(x=0; x<30000; x++)
    {
        /* Gather samples as fast as possible and update Max/Min */
        /* Only output every 30,000th sample. The 30,000 has no */
        /* specific origin other than the display updated at a */
        /* comfortable rate. */
        value = inpw(0x0240+0x0808); /* EVM Data Port */
        value >>= 2; /* Shift from 16-bit back to 14-bit */

        /* Update Max/Min */
        if(value > max)
            max = value;
        else if(value < min)
            min = value;
    }
    /* Output the latest sample in decimal and hex along with Max/Min */
    printf(" %06d %04Xh min:%06d max:%06d \r", value, value, min, max);
}

/* Exit */
printf("\n\n");
return;
}

```

図25. MAX121 での変換からのデータログのC言語プログラム(続き)

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

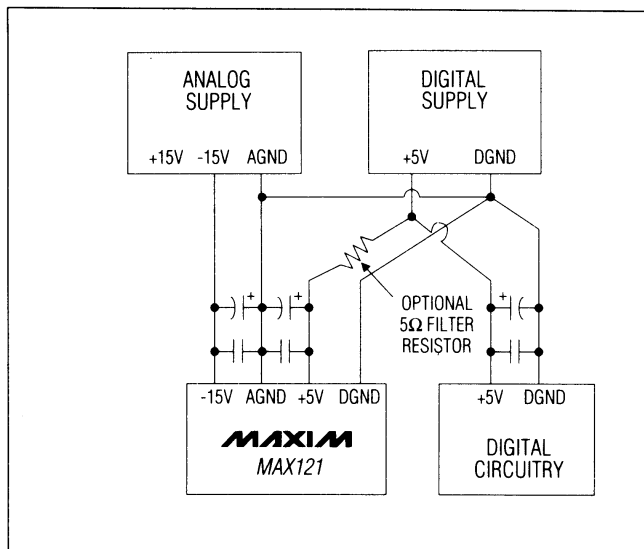


図26. 電源グランド

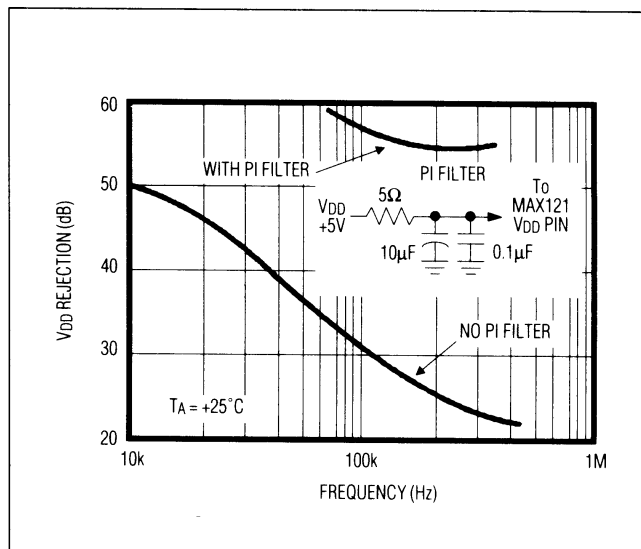


図28. V_{DD} 電源除去比 vs. 周波数

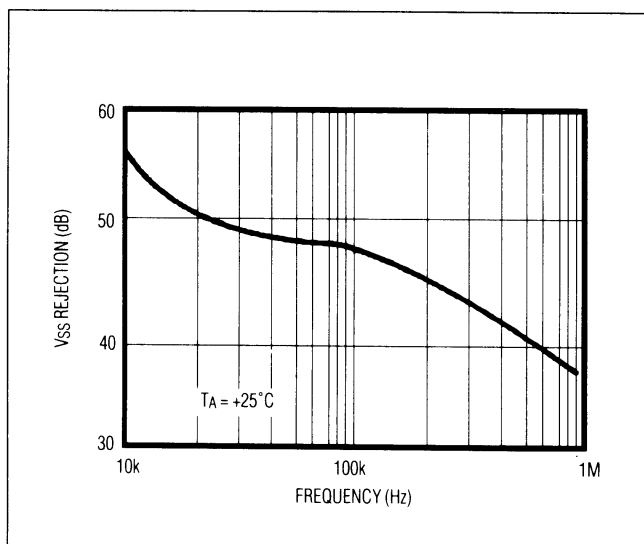


図27. V_{SS} 電源除去比 vs. 周波数

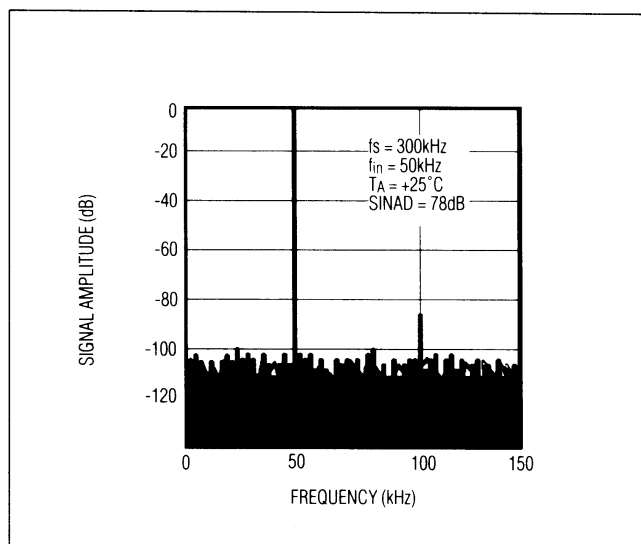


図29. MAX121のFFTプロット

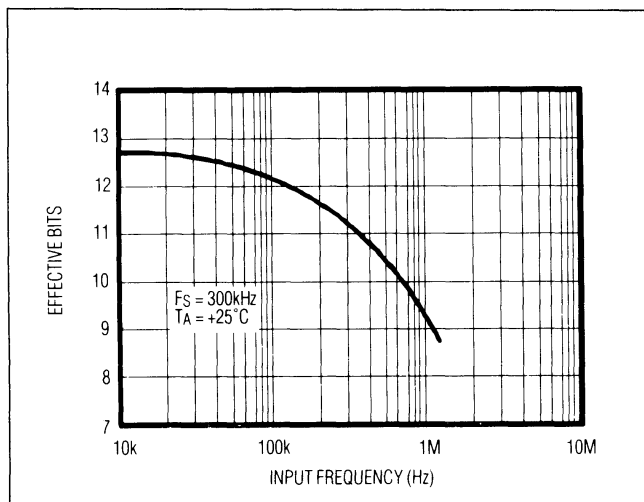


図30. 効率ビットvs. 入力周波数

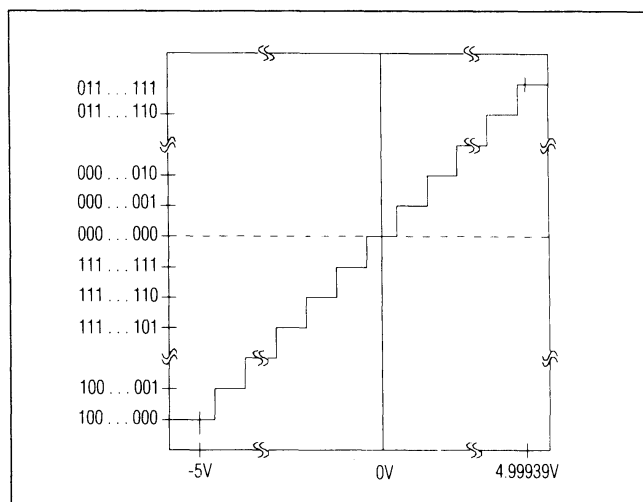


図31. バイポーラ伝達関数

全高調波歪み

ADCがナイキスト周波数以上において純粋な正弦波をサンプルした場合、ADCの伝達関数内の非直線性は、サンプルされた出力データ内に入力周波数の高調波を生成します。

全高調波歪み (THD) は、すべての高調波のRMS和 (DCを除くDCからサンプルレートの1/2までの周波数帯域) と、基本周波数のRMS振幅の比です。これは次の式で表現することができます。

$$THD = 20 \log \frac{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}{V_1^2}$$

ここで、 V_1 は基本波のRMS振幅、 $V_2 \sim V_N$ は第2次～第N次の高調波の振幅です。電気的特性に示したTHDの規格は、第2次から第5次の高調波を含んでいます。

スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジは、基本波のRMS振幅と次に大きな周波数成分 (DCからサンプルレートの1/2までの周波数帯域内) の比です。通常、次に大きな周波数成分は入力周波数の高調波として生じます。しかしながら、ADCが例外的に線形な場合にはADCのノイズフロア内にランダムピークとして生じます。

伝達関数

図31の図はMAX121のバイポーラ入出力伝達関数のグラフです。コード変換は逐次整数LSB値の真ん中で起こります。出力コードは、1LSB = $610 \mu V$ ($10V / 16384$) のコンプリメンタリバイナリです。

DSPにインタフェース可能な 308ksps、78dB SINADのADC

MAX121

型番(続き)

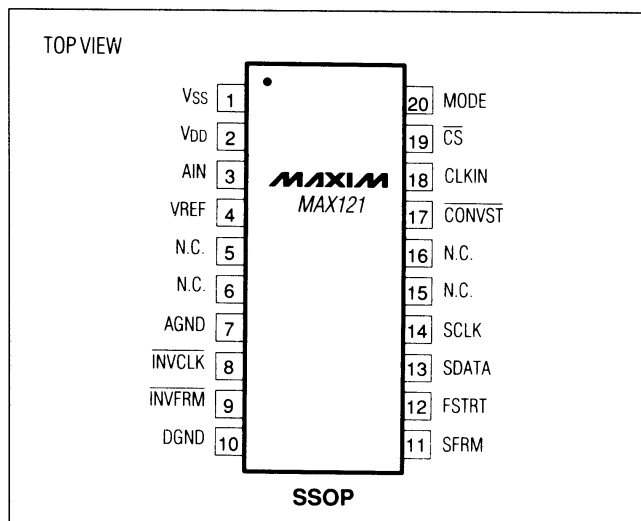
PART	TEMP. RANGE	PIN-PACKAGE
MAX121EPE	-40°C to +85°C	16 Plastic DIP
MAX121EWE	-40°C to +85°C	16 Wide SO
MAX121EAP	-40°C to +85°C	20 SSOP**
MAX121MJE	-55°C to +125°C	16 CERDIP***

PART	TEMP. RANGE	BOARD TYPE
MAX121EVKIT-DIP	0°C to +70°C	Through-Hole

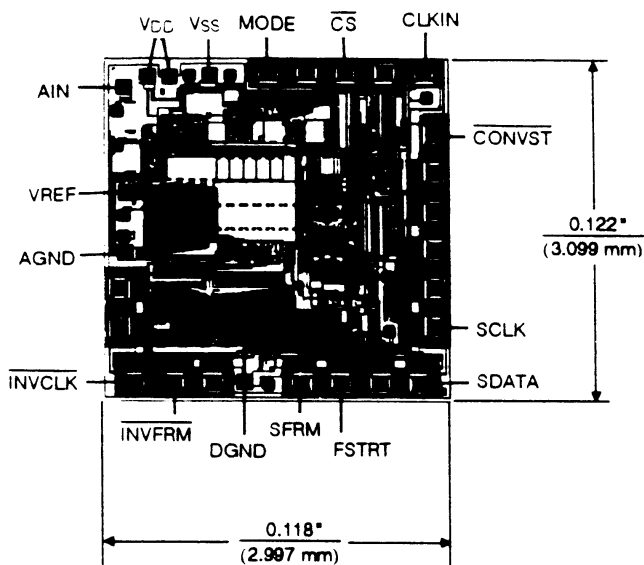
** 20-pin SSOP is 50% smaller than 16-pin SOIC.

*** Contact factory for availability and processing to MIL-STD-883.

ピン配置(続き)



チップ構造図



SUBSTRATE CONNECTED TO V_{DD};
TRANSISTOR COUNT: 1;920.