

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 概要

MAX1183は、+3Vのデュアル10ビットA/Dコンバータ(ADC)で、完全差動広帯域トラックアンドホールド(T/H)入力を特長とし、2つのパイプラインされた、9つのステージのADCを駆動します。MAX1183は、画像処理、計測器、およびデジタル通信など低電力、高ダイナミック性能のアプリケーションに最適化されています。ADCは+2.7V~+3.6Vの供給電源で動作し、20MHzの入力周波数及び40Mspsのサンプリングレートで59.6dBの標準信号対ノイズ比(SNR)を提供する一方、消費電力は僅か120mWとなっています。T/H駆動の入力ステージには400MHz(-3dB)の入力アンプが内蔵されています。又、このコンバータは、シングルエンド入力を使用した動作が可能です。低い動作電源電力の他に、MAX1183は、アイドル中の省エネ対策として、2.8mAのスリープモード並びに1 $\mu$ Aパワーダウンモードを特長としています。

内部+2.048V精度のバンドギャップリファレンスがADCのフルスケールを設定します。高精度又は異なった入力電圧範囲が必要なアプリケーションには、フレキシブルなリファレンス電圧構造のため内部又は外部駆動リファレンスを使用することができます。

MAX1183は、パラレル、CMOSコンパチブルのスリープモード出力を特長としています。このデジタル出力フォーマットは、1本の制御ピンを使って2の補数又はストレートオフセットバイナリに設定可能です。このデバイスは、フレキシブルなインターフェースのために、+1.7V~+3.6Vの別々の出力電源供給を提供します。MAX1183は、7mm x 7mm、48ピンTQFPパッケージで提供され、工業用拡張温度範囲(-40 $^{\circ}$ C~+85 $^{\circ}$ C)仕様になっています。

MAX1183のピンコンパチブルな低速及び高速バージョンも提供しています。105MspsについてはMAX1180のデータシート、80MspsはMAX1181のデータシート、65MspsについてはMAX1182のデータシート、並びに20MspsはMAX1184のデータシートを参照して下さい。これらの速度グレードに加え、このファミリにはデジタルデータがタイムインタリーブされ、単一の並列10ビット出力ポート上に示されるマルチプレックス化された出力バージョンが含まれています。

## アプリケーション

- 高分解能イメージング
- I/Oチャンネルデジタル化
- マルチチャンネルIFサンプリング
- 測定機器
- ビデオアプリケーション
- 超音波

ファンクションダイアグラムはデータシートの最後にあります。

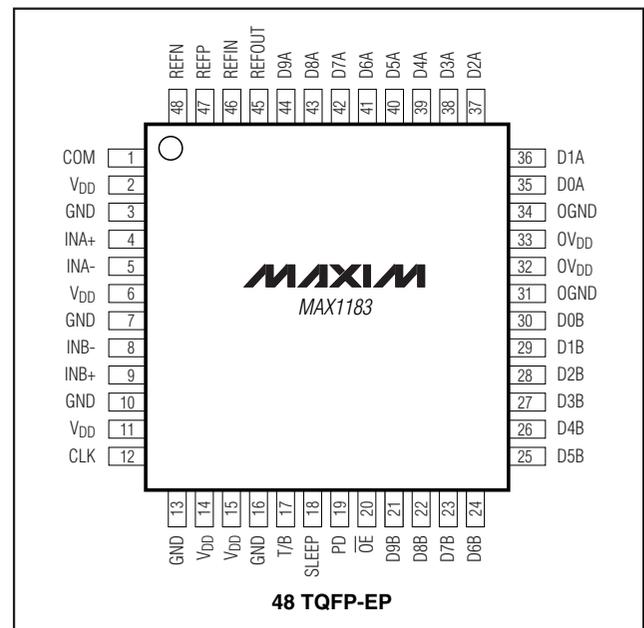
## 特長

- ◆ 動作：単一+3V
- ◆ 優れたダイナミック性能
  - 59.6dBのSNR@ $f_{IN} = 20\text{MHz}$
  - 73dBcのSFDR @ $f_{IN} = 20\text{MHz}$
- ◆ 低電力
  - 40mA(通常動作)
  - 2.8mA(スリープモード)
  - 1 $\mu$ A(シャットダウンモード)
- ◆ 0.02dB利得及び0.25 $^{\circ}$ 位相マッチング
- ◆ 広い差動アナログ入力電圧範囲： $\pm 1p_p$
- ◆ -3dB入力帯域幅：400MHz
- ◆ +2.048V精度バンドギャップリファレンス電圧内蔵
- ◆ ユーザ選択可能な出力フォーマット—2の補数又はオフセットバイナリ
- ◆ 放熱を良好にするエクスポーズドパッド付  
48ピンTQFPパッケージ

## 型番

| PART       | TEMP. RANGE                          | PIN-PACKAGE |
|------------|--------------------------------------|-------------|
| MAX1183ECM | -40 $^{\circ}$ C to +85 $^{\circ}$ C | 48 TQFP-EP  |

## ピン配置



# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

## ABSOLUTE MAXIMUM RATINGS

|  |                                    |
|--|------------------------------------|
| V <sub>DD</sub> , OV <sub>DD</sub> to GND .....      | -0.3V to +3.6V                     |
| OGND to GND .....                                    | -0.3V to +0.3V                     |
| INA+, INA-, INB+, INB- to GND .....                  | -0.3V to V <sub>DD</sub>           |
| REFIN, REFOUT, REFP, REFN,<br>COM, CLK to GND .....  | -0.3V to (V <sub>DD</sub> + 0.3V)  |
| OE, PD, SLEEP, T/B<br>D9A–D0A, D9B–D0B to OGND ..... | -0.3V to (OV <sub>DD</sub> + 0.3V) |

|  |                 |
|--|-----------------|
| Continuous Power Dissipation (T <sub>A</sub> = +70°C)<br>48-Pin TQFP (derate 12.5mW/°C above +70°C)..... | 1000mW          |
| Operating Temperature Range .....  | -40°C to +85°C  |
| Junction Temperature .....   | +150°C          |
| Storage Temperature Range .....  | -60°C to +150°C |
| Lead Temperature (soldering, 10s) .....  | +300°C          |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = +3V, OV<sub>DD</sub> = +2.5V, 0.1μF and 1.0μF capacitors from REFP, REFN, and COM to GND, REFOUT connected to REFIN through a 10kΩ resistor, V<sub>IN</sub> = 2Vp-p (differential with respect to COM), C<sub>L</sub> = 10pF at digital outputs (Note 5), f<sub>CLK</sub> = 40MHz, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

| PARAMETER   | SYMBOL            | CONDITIONS  | MIN  | TYP                        | MAX  | UNITS        |
|---|-------------------|---|------|----------------------------|------|--------------|
| <b>DC ACCURACY</b>  |                   |   |      |                            |      |              |
| Resolution  |                   |   | 10   |                            |      | Bits         |
| Integral Nonlinearity   | INL               | f <sub>IN</sub> = 7.51MHz   |      | ±0.5                       | ±1.5 | LSB          |
| Differential Nonlinearity   | DNL               | f <sub>IN</sub> = 7.51MHz, no missing codes guaranteed  |      | ±0.25                      | ±1.0 | LSB          |
| Offset Error  |                   |   |      | <±1                        | ±1.7 | % FS         |
| Gain Error  |                   |   |      | 0                          | ±2   | % FS         |
| <b>ANALOG INPUT</b>   |                   |   |      |                            |      |              |
| Differential Input Voltage Range  | V <sub>DIFF</sub> | Differential or single-ended inputs   |      | ±1.0                       |      | V            |
| Common-Mode Input Voltage Range   | V <sub>CM</sub>   |   |      | V <sub>DD</sub> /2<br>±0.5 |      | V            |
| Input Resistance  | R <sub>IN</sub>   | Switched capacitor load   |      | 50                         |      | kΩ           |
| Input Capacitance   | C <sub>IN</sub>   |   |      | 5                          |      | pF           |
| <b>CONVERSION RATE</b>  |                   |   |      |                            |      |              |
| Maximum Clock Frequency   | f <sub>CLK</sub>  |   | 40   |                            |      | MHz          |
| Data Latency  |                   |   |      | 5                          |      | Clock Cycles |
| <b>DYNAMIC CHARACTERISTICS</b> (f <sub>CLK</sub> = 40MHz, 4096-point FFT) |                   |   |      |                            |      |              |
| Signal-to-Noise Ratio   | SNR               | f <sub>INA or B</sub> = 7.51MHz, T <sub>A</sub> = +25°C   | 57.3 | 59.6                       |      | dB           |
|   |                   | f <sub>INA or B</sub> = 20MHz, T <sub>A</sub> = +25°C   | 56.8 | 59.6                       |      |              |
| Signal-to-Noise and Distortion  | SINAD             | f <sub>INA or B</sub> = 7.51MHz, T <sub>A</sub> = +25°C   | 57   | 59.4                       |      | dB           |
|   |                   | f <sub>INA or B</sub> = 20MHz, T <sub>A</sub> = +25°C   | 56.5 | 59                         |      |              |
| Spurious-Free Dynamic Range   | SFDR              | f <sub>INA or B</sub> = 7.51MHz, T <sub>A</sub> = +25°C   | 65   | 76                         |      | dBc          |
|   |                   | f <sub>INA or B</sub> = 20MHz, T <sub>A</sub> = +25°C   | 65   | 73                         |      |              |
| Third-Harmonic Distortion   | HD3               | f <sub>INA or B</sub> = 7.51MHz   |      | -76                        |      | dB           |
|   |                   | f <sub>INA or B</sub> = 20MHz   |      | -73                        |      |              |
| Intermodulation Distortion  | IMD               | f <sub>INA or B</sub> = 11.6066MHz at -6.5dB FS,<br>f <sub>INA or B</sub> = 13.3839MHz at -6.5dB FS<br>(Note 2) |      | -78                        |      | dBc          |
| Total Harmonic Distortion<br>(First 4 Harmonics)                          | THD               | f <sub>INA or B</sub> = 7.51MHz, T <sub>A</sub> = +25°C   |      | -73                        | -64  | dBc          |
|   |                   | f <sub>INA or B</sub> = 20MHz, T <sub>A</sub> = +25°C   |      | -73                        | -63  |              |

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $0.1\mu F$  and  $1.0\mu F$  capacitors from REFP, REFN, and COM to GND, REFOUT connected to REFIN through a  $10k\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 40MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

| PARAMETER   | SYMBOL                     | CONDITIONS                                     | MIN  | TYP                          | MAX  | UNITS              |
|---|----------------------------|--|------|------------------------------|------|--------------------|
| Small-Signal Bandwidth  |                            | Input at -20dB FS, differential inputs         |      | 500                          |      | MHz                |
| Full-Power Bandwidth  | FPBW                       | Input at -0.5dB FS, differential inputs        |      | 400                          |      | MHz                |
| Aperture Delay  | $t_{AD}$                   |  |      | 1                            |      | ns                 |
| Aperture Jitter   | $t_{AJ}$                   |  |      | 2                            |      | psRMS              |
| Overdrive Recovery Time   |                            | For 1.5 x full-scale input                     |      | 2                            |      | ns                 |
| Differential Gain   |                            |  |      | $\pm 1$                      |      | %                  |
| Differential Phase  |                            |  |      | $\pm 0.25$                   |      | Degrees            |
| Output Noise  |                            | INA+ = INA- = INB+ = INB- = COM                |      | 0.2                          |      | LSBRMS             |
| <b>INTERNAL REFERENCE</b>   |                            |  |      |                              |      |                    |
| Reference Output Voltage  | REFOUT                     |  |      | 2.048<br>$\pm 3\%$           |      | V                  |
| Reference Temperature Coefficient   | $T_{REF}$                  |  |      | 60                           |      | ppm/<br>$^\circ C$ |
| Load Regulation   |                            |  |      | 1.25                         |      | mV/mA              |
| <b>BUFFERED EXTERNAL REFERENCE</b> ( $V_{REFIN} = +2.048V$ )  |                            |  |      |                              |      |                    |
| REFIN Input Voltage   | $V_{REFIN}$                |  |      | 2.048                        |      | V                  |
| Positive Reference Output Voltage   | $V_{REFP}$                 |  |      | 2.012                        |      | V                  |
| Negative Reference Output Voltage   | $V_{REFN}$                 |  |      | 0.988                        |      | V                  |
| Differential Reference Output Voltage Range   | $\Delta V_{REF}$           | $\Delta V_{REF} = V_{REFP} - V_{REFN}$         | 0.98 | 1.024                        | 1.07 | V                  |
| REFIN Resistance  | $R_{REFIN}$                |  |      | >50                          |      | $M\Omega$          |
| Maximum REFP, COM Source Current  | $I_{SOURCE}$               |  |      | 5                            |      | mA                 |
| Maximum REFP, COM Sink Current  | $I_{SINK}$                 |  |      | -250                         |      | $\mu A$            |
| Maximum REFN Source Current   | $I_{SOURCE}$               |  |      | 250                          |      | $\mu A$            |
| Maximum REFN Sink Current   | $I_{SINK}$                 |  |      | -5                           |      | mA                 |
| <b>UNBUFFERED EXTERNAL REFERENCE</b> ( $V_{REFIN} = AGND$ , reference voltage applied to REFP, REFN, and COM) |                            |  |      |                              |      |                    |
| REFP, REFN Input Resistance   | $R_{REFP}$ ,<br>$R_{REFN}$ | Measured between REFP and COM and REFN and COM |      | 4                            |      | $k\Omega$          |
| Differential Reference Input Voltage Range  | $\Delta V_{REF}$           | $\Delta V_{REF} = V_{REFP} - V_{REFN}$         |      | 1.024<br>$\pm 10\%$          |      | V                  |
| COM Input Voltage Range   | $V_{COM}$                  |  |      | $V_{DD}/2$<br>$\pm 10\%$     |      | V                  |
| REFP Input Voltage  | $V_{REFP}$                 |  |      | $V_{COM} + \Delta V_{REF}/2$ |      | V                  |
| REFN Input Voltage  | $V_{REFN}$                 |  |      | $V_{COM} - \Delta V_{REF}/2$ |      | V                  |

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $0.1\mu F$  and  $1.0\mu F$  capacitors from REFP, REFN, and COM to GND, REFOUT connected to REFIN through a  $10k\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 40MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

| PARAMETER   | SYMBOL        | CONDITIONS  | MIN             | TYP | MAX      | UNITS   |
|---|---------------|---|-----------------|-----|----------|---------|
| <b>DIGITAL INPUTS (CLK, PD, <math>\overline{OE}</math>, SLEEP, T/B)</b> |               |   |                 |     |          |         |
| Input High Threshold  | $V_{IH}$      | CLK   | 0.8 x $V_{DD}$  |     |          | V       |
|   |               | PD, $\overline{OE}$ , SLEEP, T/B                                  | 0.8 x $OV_{DD}$ |     |          |         |
| Input Low Threshold   | $V_{IL}$      | CLK   | 0.2 x $V_{DD}$  |     |          | V       |
|   |               | PD, $\overline{OE}$ , SLEEP, T/B                                  | 0.2 x $OV_{DD}$ |     |          |         |
| Input Hysteresis  | $V_{HYST}$    |   | 0.1             |     |          | V       |
| Input Leakage   | $I_{IH}$      | $V_{IH} = OV_{DD}$ or $V_{DD}$ (CLK)                              |                 |     | $\pm 5$  | $\mu A$ |
|   | $I_{IL}$      | $V_{IL} = 0$  |                 |     | $\pm 5$  |         |
| Input Capacitance   | $C_{IN}$      |   | 5               |     |          | pF      |
| <b>DIGITAL OUTPUTS (D9A–D0A, D9B–D0B)</b>                               |               |   |                 |     |          |         |
| Output Voltage Low  | $V_{OL}$      | $I_{SINK} = -200\mu A$  |                 |     | 0.2      | V       |
| Output Voltage High   | $V_{OH}$      | $I_{SOURCE} = 200\mu A$   | $OV_{DD} - 0.2$ |     |          | V       |
| Three-State Leakage Current   | $I_{LEAK}$    | $\overline{OE} = OV_{DD}$   |                 |     | $\pm 10$ | $\mu A$ |
| Three-State Leakage Capacitance   | $C_{OUT}$     | $\overline{OE} = OV_{DD}$   | 5               |     |          | pF      |
| <b>POWER REQUIREMENTS</b>   |               |   |                 |     |          |         |
| Analog Supply Voltage Range   | $V_{DD}$      |   | 2.7             | 3   | 3.6      | V       |
| Output Supply Voltage Range   | $OV_{DD}$     |   | 1.7             | 2.5 | 3.6      | V       |
| Analog Supply Current   | $I_{VDD}$     | Operating, $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS                | 40              |     | 60       | mA      |
|   |               | Sleep mode  | 2.8             |     |          |         |
|   |               | Shutdown, clock idle, PD = $\overline{OE} = OV_{DD}$              | 1               |     | 15       | $\mu A$ |
| Output Supply Current   | $I_{OVDD}$    | Operating, $C_L = 15pF$ , $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS | 5.8             |     |          | mA      |
|   |               | Sleep mode  | 100             |     |          |         |
|   |               | Shutdown, clock idle, PD = $\overline{OE} = OV_{DD}$              | 2               |     | 10       | $\mu A$ |
| Power Dissipation   | PDISS         | Operating, $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS                | 120             |     | 180      | mW      |
|   |               | Sleep mode  | 8.4             |     |          |         |
|   |               | Shutdown, clock idle, PD = $\overline{OE} = OV_{DD}$              | 3               |     | 45       | $\mu W$ |
| Power-Supply Rejection  | PSRR          | Offset  | $\pm 0.2$       |     |          | mV/V    |
|   |               | Gain  | $\pm 0.1$       |     |          | %V      |
| <b>TIMING CHARACTERISTICS</b>   |               |   |                 |     |          |         |
| CLK Rise to Output Data Valid   | $t_{DO}$      | Figure 3 (Note 3)   | 5               |     | 8        | ns      |
| Output Enable Time  | $t_{ENABLE}$  | Figure 4  | 10              |     |          | ns      |
| Output Disable Time   | $t_{DISABLE}$ | Figure 4  | 1.5             |     |          | ns      |

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## ELECTRICAL CHARACTERISTICS (continued)

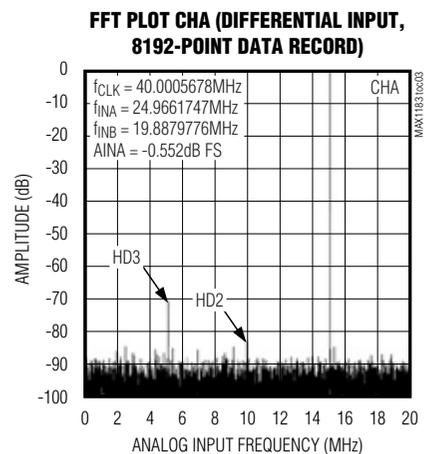
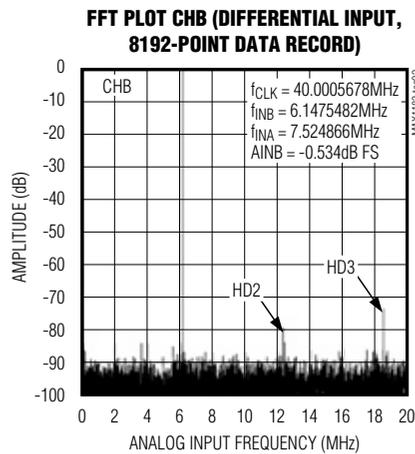
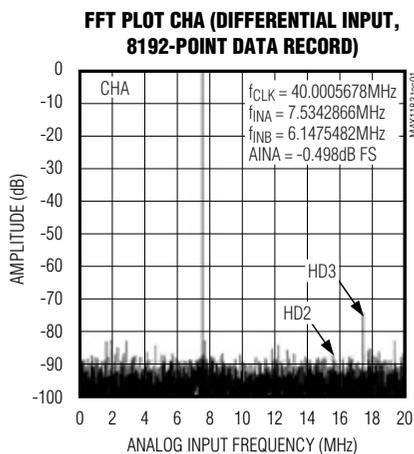
( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $0.1\mu F$  and  $1.0\mu F$  capacitors from REFP, REFN, and COM to GND, REFOUT connected to REFIN through a  $10k\Omega$  resistor,  $V_{IN} = 2V_{p-p}$  (differential with respect to COM),  $C_L = 10pF$  at digital outputs (Note 5),  $f_{CLK} = 40MHz$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

| PARAMETER                          | SYMBOL     | CONDITIONS                              | MIN | TYP               | MAX       | UNITS   |
|------------------------------------|------------|---|-----|-------------------|-----------|---------|
| CLK Pulse Width High               | $t_{CH}$   | Figure 3, clock period: 25ns            |     | 12.5<br>$\pm 3.8$ |           | ns      |
| CLK Pulse Width Low                | $t_{CL}$   | Figure 3, clock period: 25ns            |     | 12.5<br>$\pm 3.8$ |           | ns      |
| Wake-Up Time                       | $t_{WAKE}$ | Wake up from sleep mode (Note 4)        |     | 0.41              |           | $\mu s$ |
|                                    |            | Wake up from shutdown (Note 4)          |     | 1.5               |           |         |
| <b>CHANNEL-TO-CHANNEL MATCHING</b> |            |   |     |                   |           |         |
| Crosstalk                          |            | $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS |     | -70               |           | dB      |
| Gain Matching                      |            | $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS |     | 0.02              | $\pm 0.2$ | dB      |
| Phase Matching                     |            | $f_{INA}$ or $B = 20MHz$ at $-0.5dB$ FS |     | 0.25              |           | Degrees |

- Note 1:** SNR, SINAD, THD, SFDR, and HD3 are based on an analog input voltage of  $-0.5dB$  FS referenced to a  $+1.024V$  full-scale input voltage range.
- Note 2:** Intermodulation distortion is the total power of the intermodulation products relative to the individual carrier. This number is 6dB better, if referenced to the two-tone envelope.
- Note 3:** Digital outputs settle to  $V_{IH}$ ,  $V_{IL}$ . Parameter guaranteed by design.
- Note 4:** With REFIN driven externally, REFP, COM, and REFN are left floating while powered down.
- Note 5:** Equivalent dynamic performance is obtainable over full  $OV_{DD}$  range with reduced  $C_L$ .

## 標準動作特性

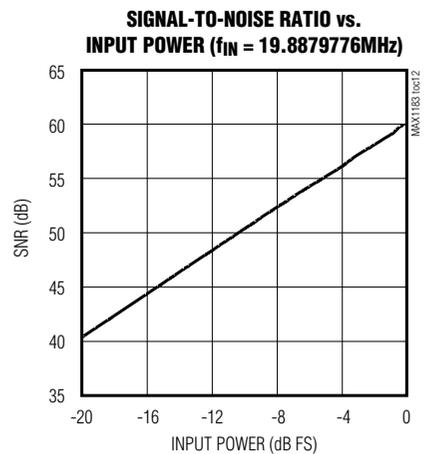
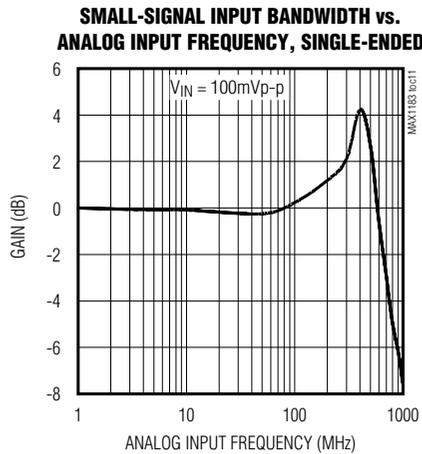
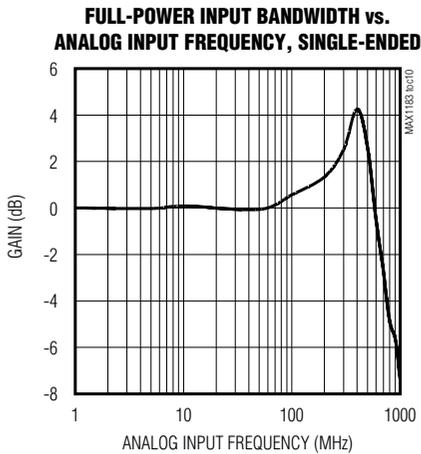
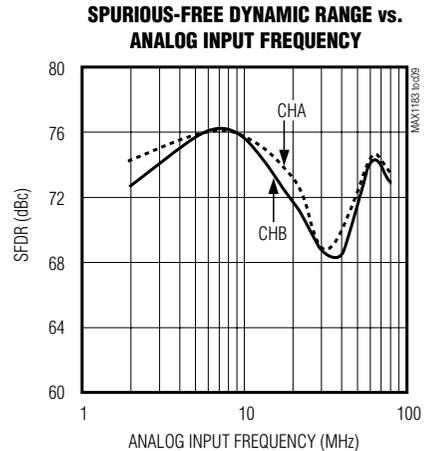
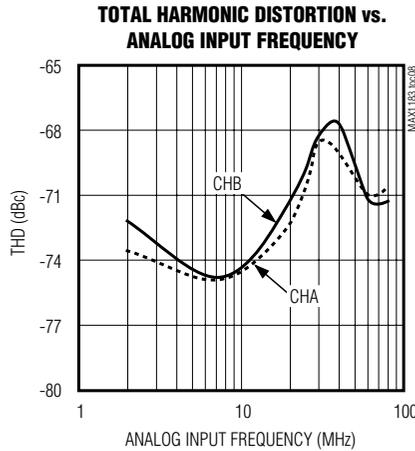
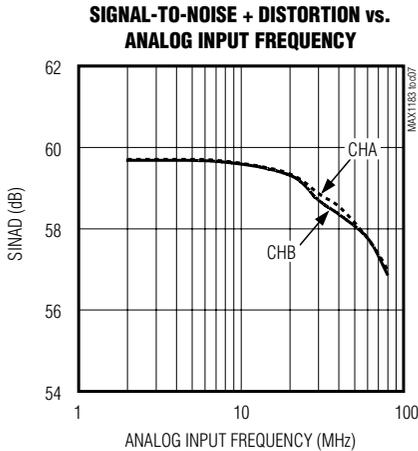
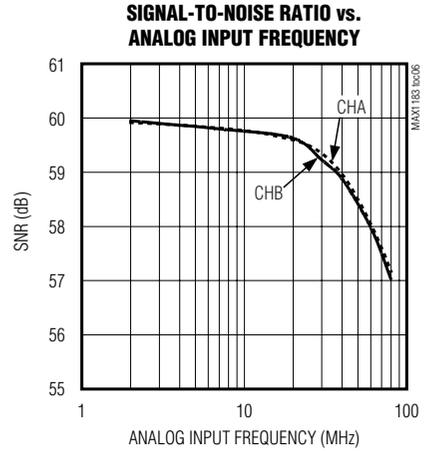
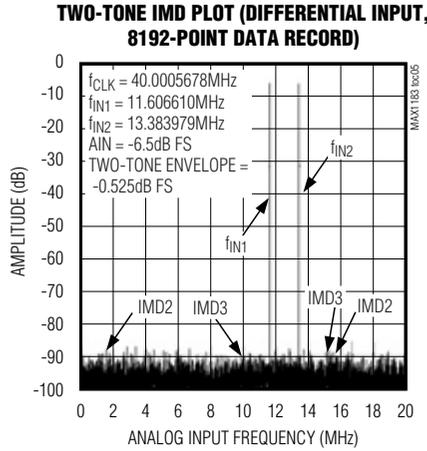
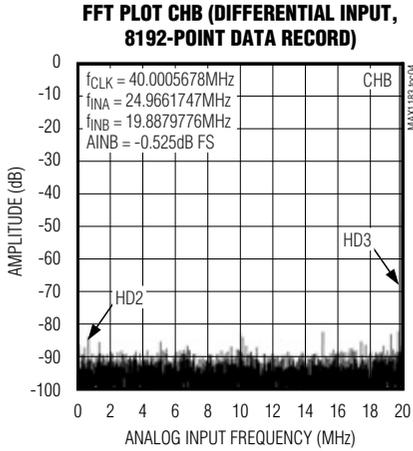
( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 40.0006MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 40.0006MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



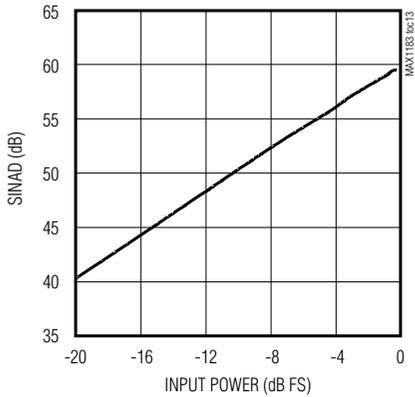
# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

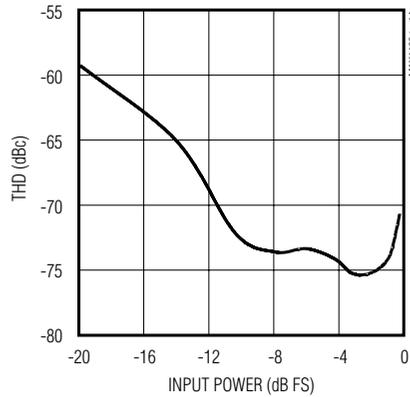
## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 40.0006MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

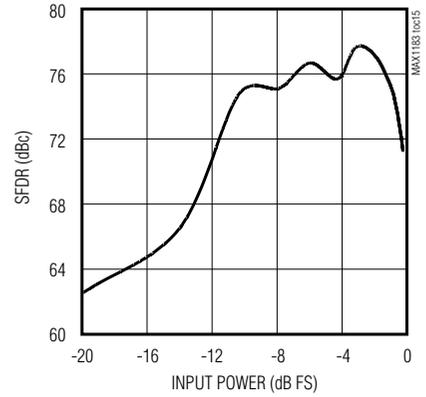
**SIGNAL-TO-NOISE + DISTORTION vs. INPUT POWER ( $f_{IN} = 19.8879776MHz$ )**



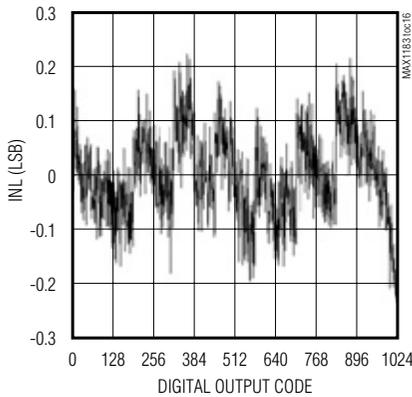
**TOTAL HARMONIC DISTORTION vs. INPUT POWER ( $f_{IN} = 19.8879776MHz$ )**



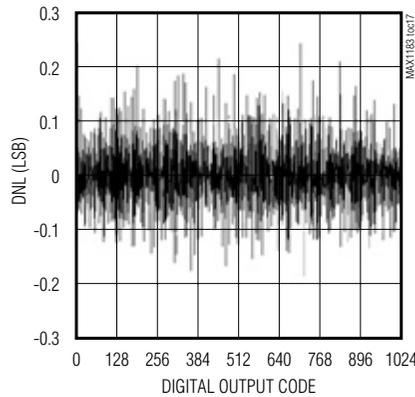
**SPURIOUS-FREE DYNAMIC RANGE vs. INPUT POWER ( $f_{IN} = 19.8879776MHz$ )**



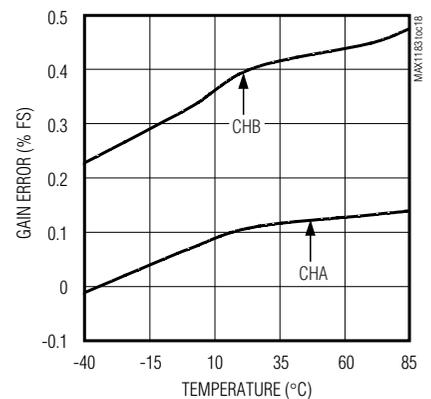
**INTEGRAL NONLINEARITY (BEST END-POINT FIT)**



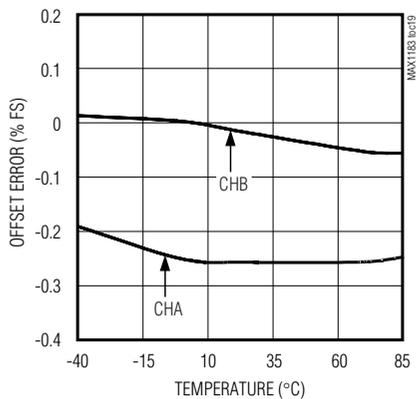
**DIFFERENTIAL NONLINEARITY**



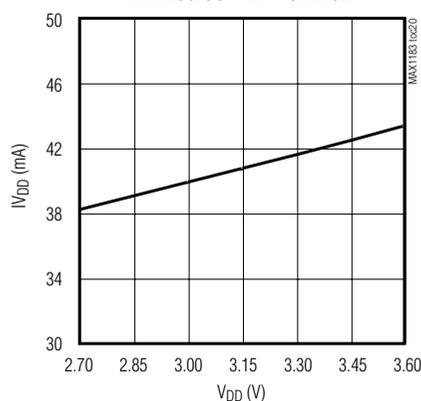
**GAIN ERROR vs. TEMPERATURE**



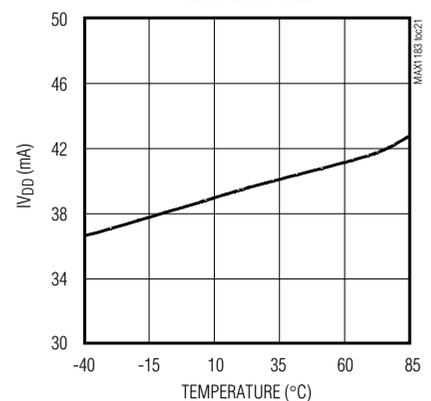
**OFFSET ERROR vs. TEMPERATURE**



**ANALOG SUPPLY CURRENT vs. ANALOG SUPPLY VOLTAGE**



**ANALOG SUPPLY CURRENT vs. TEMPERATURE**

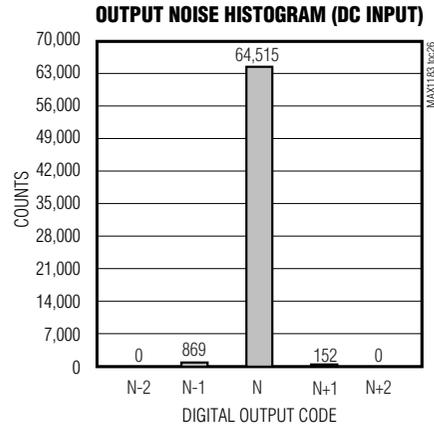
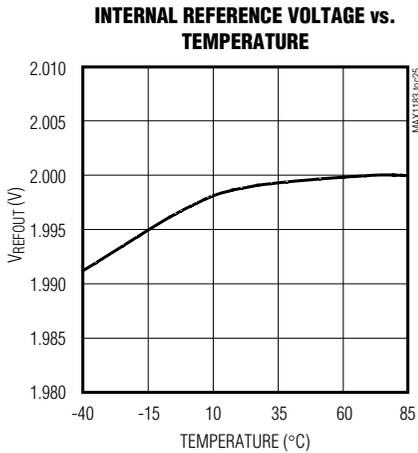
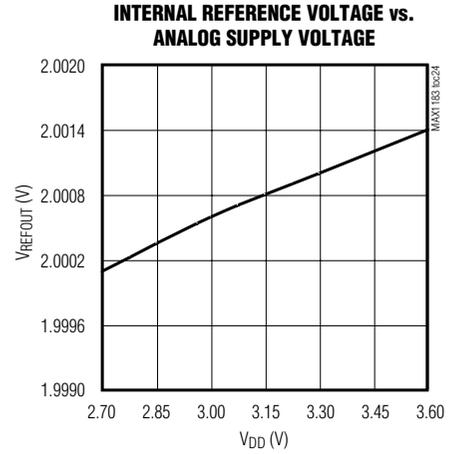
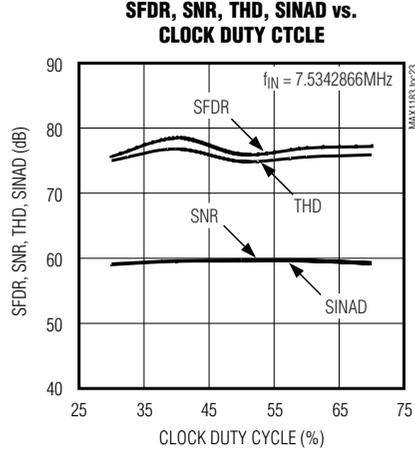
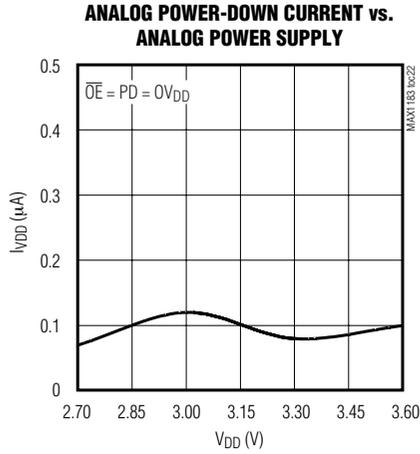


# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

## 標準動作特性(続き)

( $V_{DD} = +3V$ ,  $OV_{DD} = +2.5V$ ,  $V_{REFIN} = +2.048V$ , differential input at  $-0.5dB$  FS,  $f_{CLK} = 40.0006MHz$ ,  $C_L \approx 10pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

## 端子説明

| 端子               | 名称              | 機能   |
|------------------|-----------------|--|
| 1                | COM             | コモンモード電圧入力/出力。0.1 $\mu$ F以上のコンデンサをGNDにバイパスして下さい。                     |
| 2, 6, 11, 14, 15 | VDD             | アナログ供給電源電圧。0.1 $\mu$ Fと2.2 $\mu$ Fのコンデンサを並列に組み合わせて使ってGNDにバイパスして下さい。  |
| 3, 7, 10, 13, 16 | GND             | アナロググランド   |
| 4                | INA+            | チャンネルA正アナログ入力。シングルエンド動作のために、信号源をINA+に接続して下さい。                        |
| 5                | INA-            | チャンネルA負アナログ入力。シングルエンド動作のために、INA-をCOMに接続して下さい。                        |
| 8                | INB-            | チャンネルB負アナログ入力。シングルエンド動作のために、INB-をCOMに接続して下さい。                        |
| 9                | INB+            | チャンネルB正アナログ入力。シングルエンド動作のために、信号源をINB+に接続して下さい。                        |
| 12               | CLK             | コンバータクロック入力  |
| 17               | T/B             | T/BはADCデジタル出力フォーマットを選択します。<br>ハイ：2の補数<br>ロー：ストレートオフセットバイナリ           |
| 18               | SLEEP           | スリープモード入力<br>ハイ：2つのADCを停止にしますが、リファレンス電圧バイアス回路はアクティブのままです。<br>ロー：通常動作 |
| 19               | PD              | パワーダウン入力<br>ハイ：パワーダウンモード<br>ロー：通常動作                                  |
| 20               | $\overline{OE}$ | 出力イネーブル入力<br>ハイ：デジタル出力ディセーブル<br>ロー：デジタル出力イネーブル                       |
| 21               | D9B             | スリーステートデジタル出力、ビット9(MSB)、チャンネルB                                       |
| 22               | D8B             | スリーステートデジタル出力、ビット8、チャンネルB  |
| 23               | D7B             | スリーステートデジタル出力、ビット7、チャンネルB  |
| 24               | D6B             | スリーステートデジタル出力、ビット6、チャンネルB  |
| 25               | D5B             | スリーステートデジタル出力、ビット5、チャンネルB  |
| 26               | D4B             | スリーステートデジタル出力、ビット4、チャンネルB  |
| 27               | D3B             | スリーステートデジタル出力、ビット3、チャンネルB  |
| 28               | D2B             | スリーステートデジタル出力、ビット2、チャンネルB  |
| 29               | D1B             | スリーステートデジタル出力、ビット1、チャンネルB  |
| 30               | D0B             | スリーステートデジタル出力、ビット0(LSB)、チャンネルB                                       |
| 31, 34           | OGND            | 出力ドライバグラウンド  |
| 32, 33           | OVDD            | 出力ドライバ供給電源電圧、0.1 $\mu$ Fと2.2 $\mu$ Fのコンデンサを並列に組み合わせてOGNDへバイパスして下さい。  |
| 35               | D0A             | スリーステートデジタル出力、ビット0(LSB)、チャンネルA                                       |
| 36               | D1A             | スリーステートデジタル出力、ビット1、チャンネルA  |
| 37               | D2A             | スリーステートデジタル出力、ビット2、チャンネルA  |
| 38               | D3A             | スリーステートデジタル出力、ビット3、チャンネルA  |
| 39               | D4A             | スリーステートデジタル出力、ビット4、チャンネルA  |
| 40               | D5A             | スリーステートデジタル出力、ビット5、チャンネルA  |

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 端子説明(続き)

| 端子 | 名称     | 機能  |
|----|--------|---|
| 41 | D6A    | スリーステートデジタル出力、ビット6、チャンネルA   |
| 42 | D7A    | スリーステートデジタル出力、ビット7、チャンネルA   |
| 43 | D8A    | スリーステートデジタル出力、ビット8、チャンネルA   |
| 44 | D9A    | スリーステートデジタル出力、ビット9(MSB)、チャンネルA  |
| 45 | REFOUT | 内部リファレンス電圧出力。抵抗又は抵抗分圧を介して、REFINに接続可能。   |
| 46 | REFIN  | リファレンス電圧入力。 $V_{REFIN} = 2 \times (V_{REFP} - V_{REFN})$ 。1nF以上のコンデンサを使ってGNDにバイパスして下さい。 |
| 47 | REFP   | 正リファレンス電圧入力/出力。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。0.1 $\mu$ F以上のコンデンサを使ってGNDにバイパスして下さい。  |
| 48 | REFN   | 負リファレンス電圧入力/出力。変換範囲は $\pm(V_{REFP} - V_{REFN})$ 。0.1 $\mu$ F以上のコンデンサでGNDにバイパスして下さい。     |

## 詳細

MAX1183は、9ステージ、完全差動、パイプラインのアーキテクチャ(図1)によって、電力消費を最小に抑えながら、高速変換を可能にします。入力時にとられたサンプルは、パイプラインステージを通して、出力ラッチによる遅延を含むハーフクロックサイクル毎に前方に移動します。全クロックサイクル待ち時間は5クロックサイクルです。

1.5ビット(2コンパレータ)フラッシュADCは、ホールドされた入力電圧をデジタルコードに変換します。DA

コンバータ(DAC)は、デジタル化された結果をアナログ電圧に戻し、その後最初にホールドされていた入力信号から差し引かれます。結果的に生じた誤差信号は2倍に積算され、その残余は、次のパイプラインステージに渡され、信号が9つすべてのステージによって処理されるまで、そのプロセスが繰り返されます。デジタル誤差補正は、それぞれのパイプラインステージにおいてADCコンパレータオフセットに対して補償し、不在コードがないことを確認します。

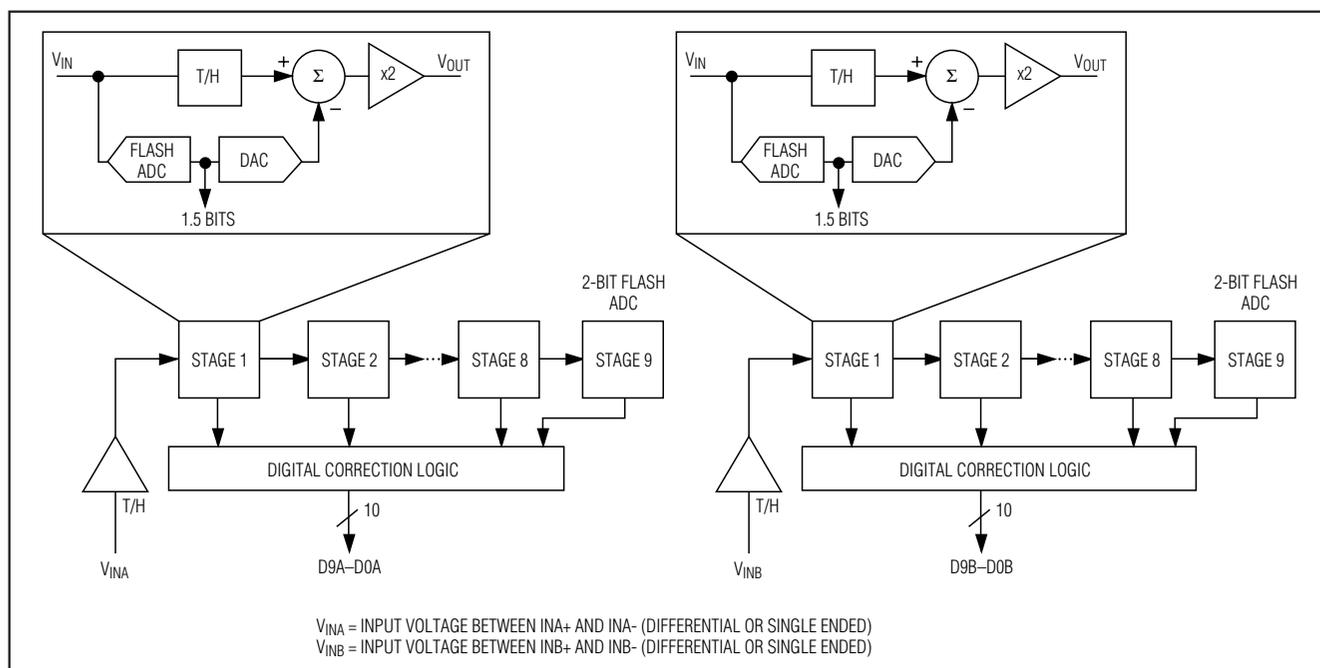


図1. パイプラインアーキテクチャステージブロック図

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 入トラックアンドホールド(T/H)回路

図2は、両トラックアンドホールドモードでの入力トラックアンドホールド(T/H)回路が簡素化されたファンクションダイアグラムです。トラックモードでは、スイッチS1、S2a、S2b、S4a、S4b、S5a、及びS5bが閉じています。完全な差動回路は、スイッチS4a及びS4bを介して、2つのコンデンサ(C2a及びC2b)上の入力信号をサンプリングします。スイッチS2a及びS2bは、アンプ入力を共通モードに設定すると同時にS1を使ってオープンにし、入力波形をサンプリングします。その後、スイッチS4a及びS4bが、スイッチS3a及びS3bがコンデンサC1a及びC1bをアンプ出力へ接続する前に、オープンになり、スイッチS4cは閉じられます。結果的に生じた差動電圧は、コンデンサC2a及びC2b上でホールドされます。このアンプは、C2a及びC2bにホールドされる本来の同一の値を、コンデンサC1a及びC1bに荷電するために使われます。これらの値は、第1ステージの量子化器に対して示され、高速変化する入力からパイプラインを隔離します。広域入力帯域T/Hアンプは、MAX1183が高周波数(ナイキスト以上)のアナログ入力を

トラックしサンプル/ホールドすることを可能にします。両方のADC入力(INA+、INB+、INA-及びINB-)は、差動又はシングルエンドで駆動できます。性能の最適にするため、INA+及びINA-並びにINB+及びINB-のインピーダンスをマッチさせ、共通モード電圧を中間電源( $V_{DD}/2$ )に設定して下さい。

## アナログ入力及びリファレンス電圧の コンフィギュレーション

MAX1183のフルスケール範囲は、内部で発生されるREFP( $V_{DD}/2 + V_{REFIN}/4$ )及びREFN( $V_{DD}/2 - V_{REFIN}/4$ )間の電圧差によって決定されます。両方のオンチップADCのフルスケール範囲は、調整を目的として備えられたREFINピンによって調整可能です。REFOUT、REFP、COM( $V_{DD}/2$ )及びREFNは内部でバッファされた低インピーダンス出力です。MAX1183は、リファレンス動作について以下の3つのモードを提供しています。

- 内部リファレンスモード
- バッファされた外部リファレンスモード
- バッファされていない外部リファレンスモード

内部リファレンスモードで、アプリケーションが縮小したフルスケール範囲を必要とする場合は、抵抗(例えば10k $\Omega$ )又は抵抗デバイダを使って内部リファレンス出力REFOUTをREFINに接続して下さい。安定性確保とノイズをフィルタするために、10nF以上のコンデンサを使って、REFINをGNDにバイパスして下さい。内部リファレンスモードでは、REFOUT、COM、REFP、及びREFNは低インピーダンス出力になります。

バッファされた外部リファレンスモードでは、安定した正確な電圧をREFINに加え、リファレンス電圧レベルを外部で調整して下さい。このモードではCOM、REFP、及びREFNが出力になります。REFOUTは、オープンにしておくか、又は10k $\Omega$ 以上の抵抗を使ってREFINへ接続することができます。

バッファされない外部リファレンスモードでは、REFINをGNDに接続して下さい。これは、オンチップリファレンスバッファをREFP、COM、及びREFNを停止します。バッファをシャットダウンした状態ではこれらのノードは高インピーダンスになり、別の外部リファレンス電圧源によって駆動することができます。

## クロック入力(CLK)

MAX1183のCLK入力は、CMOSコンパチブルクロック信号を受け入れます。デバイスのステージ間変換は、外部クロックの立上がりエッジと立下がりエッジの繰り返し精度に依存するので、低ジッタ、高速立上り及び立下り時間が2ns以下のクロックを使って下さい。特に、

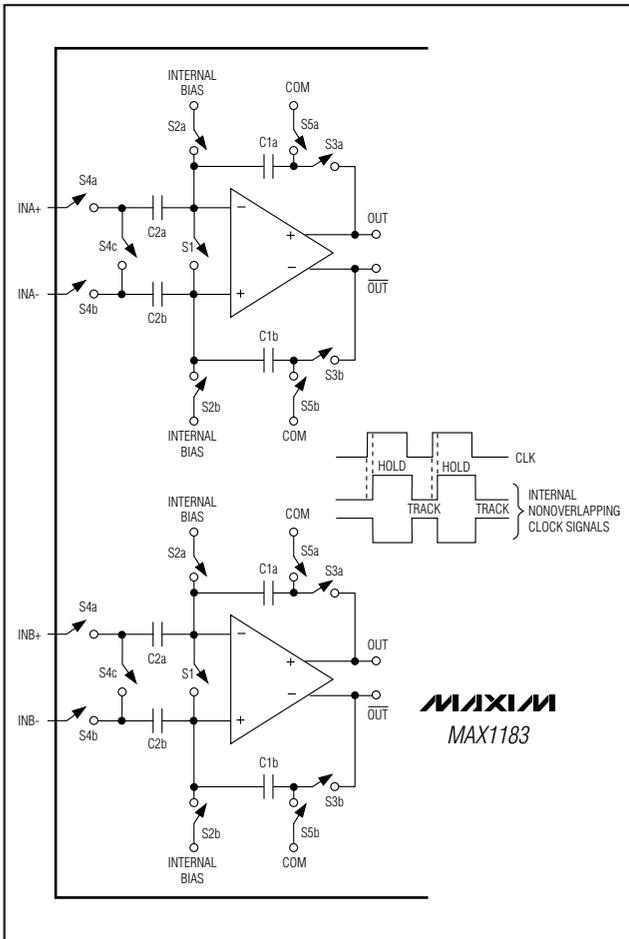


図2. MAX1183 T/Hアンプ

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

サンプリングはクロック信号の立上がりエッジで発生し、できる限り低いジッタを提供するためにこのエッジが必要になります。いかなる大きなアパーチャジッタも、以下のようにオンチップADCのSNR特性を制約してしまいます：

$$\text{SNR}_{\text{dB}} = 20 \times \log_{10} (1 / [2\pi \times f_{\text{IN}} \times t_{\text{AJ}}])$$

ここで、 $f_{\text{IN}}$ はアナログ入力周波数を $t_{\text{AJ}}$ はアパーチャジッタ時間を示しています。

クロックジッタは、サンプリング不足のアプリケーションで特に重要です。クロック入力は、常に、アナログ入力とみなされなければならない、アナログ入力又は他のデジタル信号ラインから離れたルートをとります。

MAX1183のクロック入力は電圧スレッショルドを $V_{\text{DD}}/2$ に設定して動作します。50%以外のデューティサイクルのクロック入力は、「Electrical Characteristics」で記載されているハイとローの時間仕様に適合しなればなりません。

## システムタイミング条件

図3には、クロック入力、アナログ入力、及びデータ出力間の関係が示されています。MAX1183は入力クロックの立上がりエッジでサンプルします。チャンネルAとBの出力データは、入力クロックの次の立上がりエッジで有効です。出力データは、クロックサイクル

5つ分の内部待ち時間があり、又、図4には、内部クロックパラメータとチャンネルA及びBの有効出力データ間の関係が表示されています。

## デジタル出力データ、出力データフォーマット 選択(T/B)、出力イネーブル( $\overline{\text{OE}}$ )

D0A-D9A(チャンネルA)及びD0B-D9B(チャンネルB)の全てのデジタル出力は、TTL/CMOSロジックコンパチブルです。どの特定サンプルとそれに対応する出力データ間にもクロックサイクル5つ分の待ち時間があります。出力コードは、ストレートオフセットバイナリ又は1つのピン(T/B)で制御されている2の補数(表1)のいずれかに選択できます。オフセットバイナリを選択するにはT/Bをローに、2の補数出力コードにするにはハイにしてください。D0A~D9A及びD0B~D9Bのデジタル出力への容量負荷は、MAX1183のダイナミック性能を低下させるアナログ部分にフィードバックされる大きなデジタル電流を避けるために、できるだけ低く(15pF以下に)しなければなりません。ADCのデジタル出力のバッファを使うことで、デジタル出力を重い容量負荷から更に隔離できます。MAX1183のダイナミック性能を更に改善するには、小型の直列抵抗(例えば100Ω)をMAX1183の近傍のデジタル出力経路に追加することが可能です。

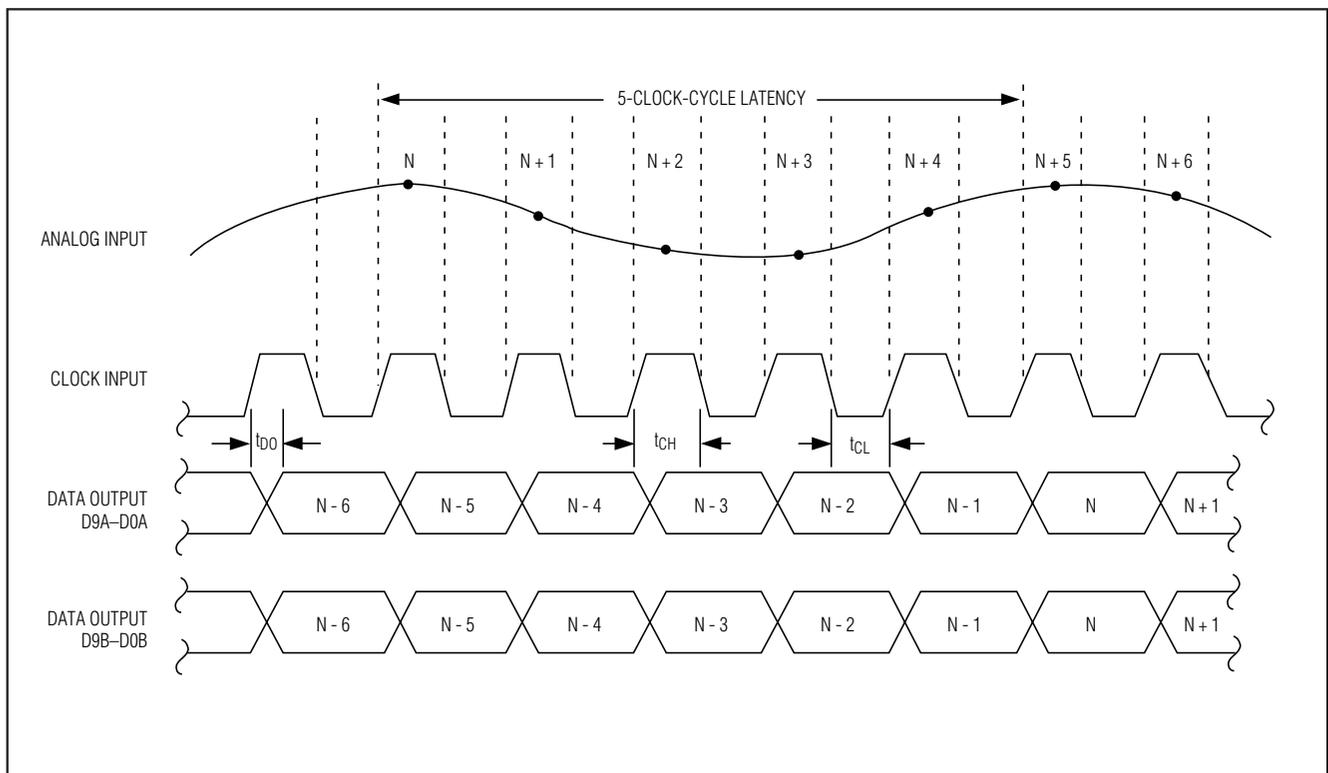


図3. システムタイミング図

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

図4は、出力イネーブルとデータ出力有効並びにパワーダウン/ウェイクアップとデータ出力有効間の関係を示しています。

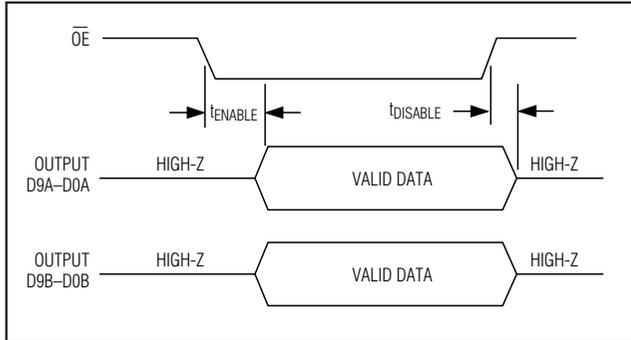


図4. 出力タイミング図

## パワーダウン(PD)及びスリープ(SLEEP)モード

MAX1183は、スリープモード及びフルパワーダウンモードの2つの節電モードを提供しています。スリープモード(SLEEP=1)では、リファレンスバイアス回路だけがアクティブ(両方のADCはディセーブル)で、電流消費が2.8mAに低減されています。フルパワーダウンモード入力は、PDをハイにして下さい。OEを同時にローにして、パワーダウン前の最後の値ですべての出力がラッチされます。OEをハイすると、強制的にデジタル出力を高インピーダンス状態にします。

## アプリケーション情報

図5は、差動コンバータへの2つのシングルエンドを含む標準アプリケーション回路を示します。内部リファレンスは、レベルシフトを目的とする $V_{DD}/2$ 出力電圧を提供しています。入力はバッファされ、その後電圧フォロワーとインバータに分離されます。ADC毎に1つのローパスフィルタが、アンプに続く高速動作アンプに関連する広域ノイズを抑制します。特殊なアプリケーションに

あったフィルタ性能を最適化するために、ユーザは、 $R_{ISO}$ 及び $C_{IN}$ 値を選択することができます。図5のアプリケーションには、リングング及び振動を防止するために50Ωの $R_{ISO}$ が容量負荷の前に置かれています。22pFの $C_{IN}$ コンデンサは小型バイパスコンデンサとして動作します。

## トランスカップリングの使用

RFトランス(図6)は、MAX1183の最適な特性を得るために必要とされる、シングルエンドソース信号を完全な差動信号に変換する、優れたソリューションを提供します。トランスの中央タップをCOMに接続することによって、 $V_{DD}/2$  DCレベルを入力にシフトします。1:1のトランスが示されていますが、駆動条件を削減するために、昇圧トランスを選択することができます。オペアンプなどの入力ドライバからの信号スイングの低減もまた、全体的な歪みを改善することができます。

通常、MAX1183は完全な差動入力信号を使って、特にとても高い入力周波数においては、シングルエンドドライブより優れたSFDR及びTHDを提供します。差動入力モードで、偶数位の高調波は、両方の入力(INA+、INA-及び/又はINB+、INB-)のバランスが取れている時より低くなり、各ADC入力はシングルエンドモードに比べて、半分の信号スイングを必要とします。

## シングルエンドACカップル入力信号

図7は、ACカップルのシングルエンドアプリケーションを示しています。MAX4108のようなアンプは、入力信号の完全性を維持するために、高速、高帯域幅、低ノイズ、及び低歪みを提供します。

## 標準QAM復調アプリケーション

デジタル通信のアプリケーションで最も頻繁に使用される変調技法は、おそらく直交振幅変調(QAM)です。スペクトラム拡散ベースのシステムによく見られるQAM

Table 1. MAX1183 Output Codes for Differential Inputs

| DIFFERENTIAL INPUT VOLTAGE* | DIFFERENTIAL INPUT | STRAIGHT OFFSET BINARY<br>T/B = 0 | TWO'S COMPLEMENT<br>T/B = 1 |
|-----------------------------|--------------------|-----------------------------------|-----------------------------|
| $V_{REF} \times 511/512$    | +FULL SCALE - 1LSB | 11 1111 1111                      | 01 1111 1111                |
| $V_{REF} \times 1/512$      | + 1LSB             | 10 0000 0001                      | 00 0000 0001                |
| 0                           | Bipolar Zero       | 10 0000 0000                      | 00 0000 0000                |
| $-V_{REF} \times 1/512$     | - 1LSB             | 01 1111 1111                      | 11 1111 1111                |
| $-V_{REF} \times 512/512$   | -FULL SCALE +1LSB  | 00 0000 0001                      | 10 0000 0001                |
| $-V_{REF} \times 512/512$   | -FULL SCALE        | 00 0000 0000                      | 10 0000 0000                |

\* $V_{REF} = V_{REFP} - V_{REFN}$

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

MAX1183

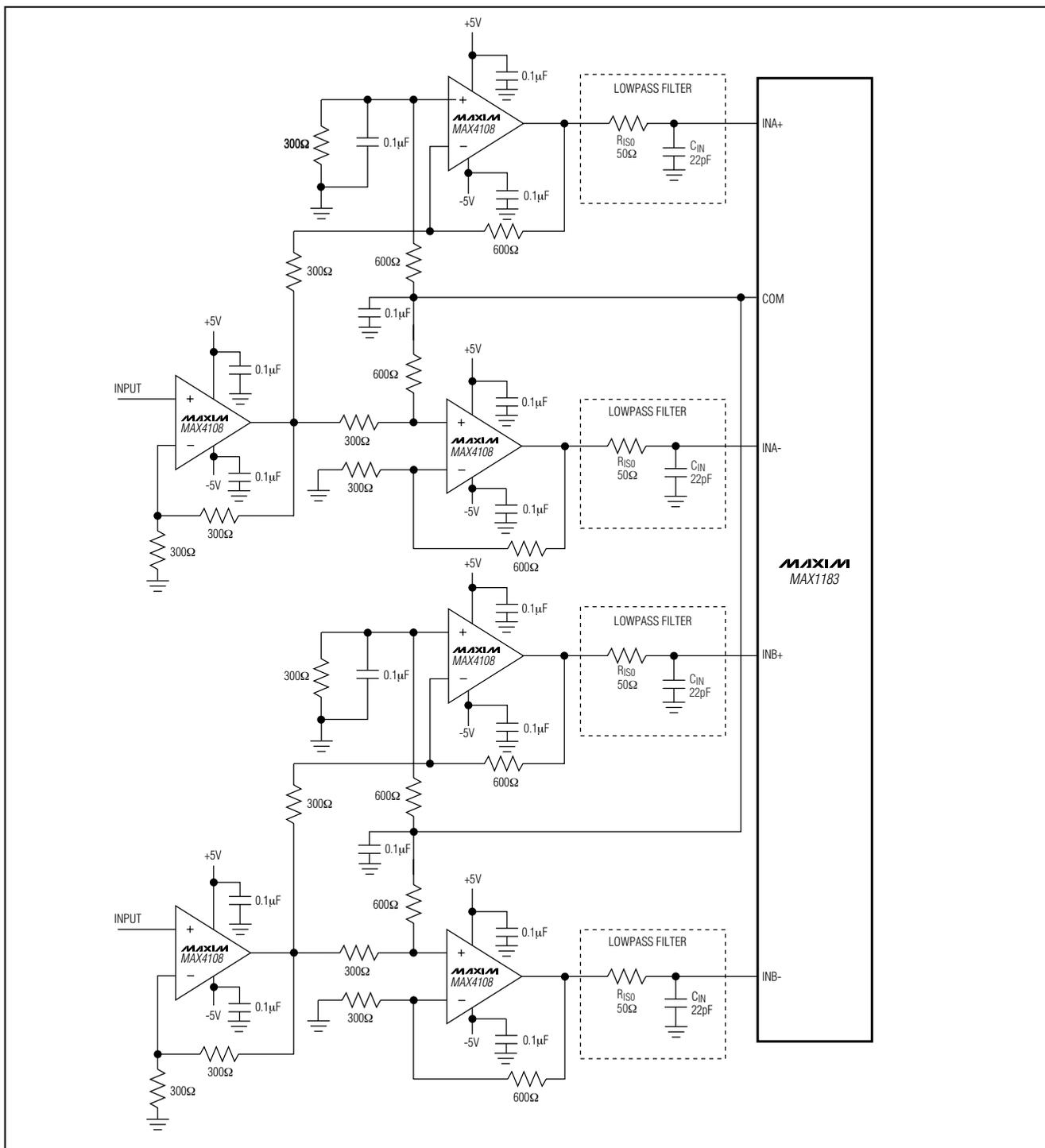


図5. 差動変換へのシングルエンドの標準アプリケーション

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

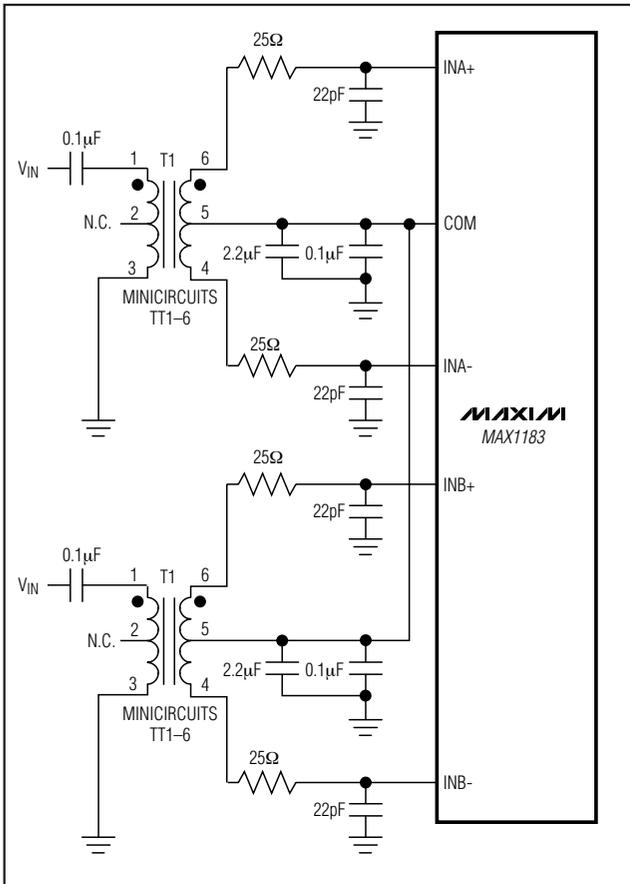


図6. トランス結合入力駆動

信号は、振幅と位相の両方で変調された搬送周波数を表しています。トランスミッタでは、ベースバンドと直交変調し、ローカル発振器とそれに続く昇圧コンバータによってQAM信号の発生が可能です。結果は、インフェーズ(I)及び直交(Q)搬送部となります。ここでQ構成部は、インフェーズに関して90度位相シフトしたものです。レシーバにおいて、QAM信号は、I及びQ構成部に分割され、実質的に逆の変調プロセスを表しています。図8は、マッチングされたデュアル、+3V、10ビットADCのMAX1182及びMAX2451直交復調器を使って、I及びQ基本帯域信号を復元しデジタル化するために、アナログ領域で実行される復調プロセスを示しています。MAX1183でデジタル化される前に、ミックスダウンされた信号構成部は、不必要なイメージをミキシングプロセスから取り除く、ナイキスト又はパルスシェーピングフィルタのようなマッチしたアナログフィルタでフィルタすることができます。それによって、全体のSNR性能が増強され、シンボル間の干渉が最小化されます。

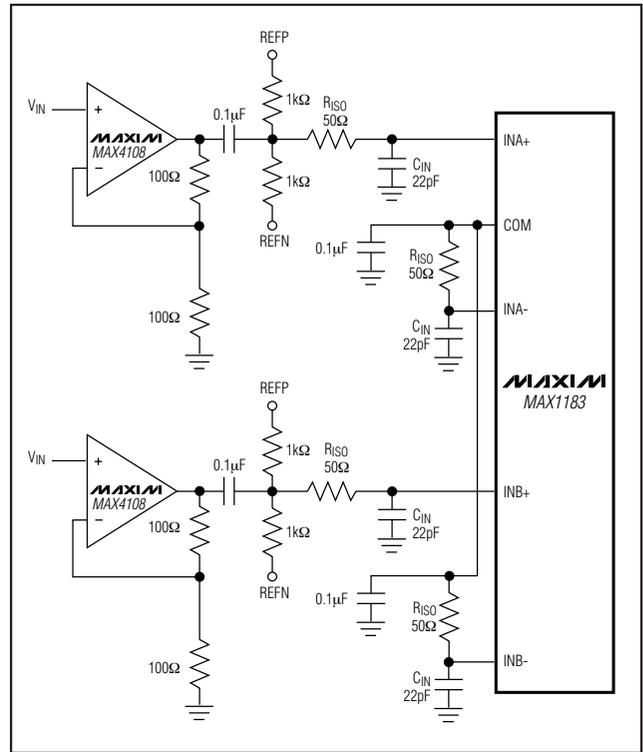


図7. オペアンプをシングルエンド、AC結合入力駆動に使用

## 接地、バイパス及び基板のレイアウト

MAX1183は、高速基板レイアウト設計の技術を必要とします。全てのバイパスコンデンサは、インダクタンスが最小となる表面実装品を使い、デバイスにできる限り近接して、又できればADCと同じ側に配置します。2つの並列0.1µFセラミックコンデンサ及び2.2µFバイポーラコンデンサを使って、 $V_{DD}$ 、REFP、REFN、及びCOMをGNDへバイパスして下さい。同じルールに従って、デジタル供給電源( $OV_{DD}$ )をOGNDへバイパスして下さい。グラウンドが分離した、又電源プレーン付多層基板は、信号の最高レベルの完全性を提供します。ADCのパッケージ上で、アナロググラウンド(GND)とデジタル出力駆動グラウンド(OGND)の物理的な位置を一致させるように配置されたスプリットグラウンドプレーンの使用を考慮して下さい。ノイズの多いグラウンド電流がアナロググラウンドプレーンを干渉しないように、2つのグラウンドプレーンは一点で接合されるべきです。この接続の理想的な位置は、実験的に、2つのグラウンドプレーン間のギャップに沿った最適な結果をうむ一点に決めることが可能です。この接続は、低い抵抗値の表面実装抵抗器(1Ωから5Ω)、フェライトビーズ又は直接短絡を使って行って下さい。代替として、グラウンドプレーンがノイズの多い、デジタルシステムグラウンドプレーン(例えば、

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

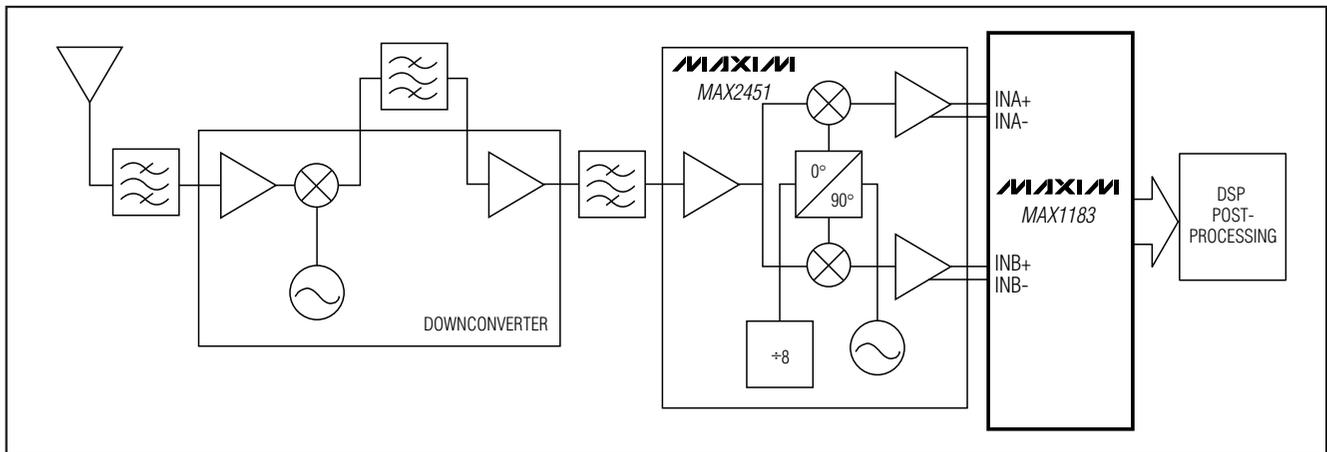


図8. 標準QAMアプリケーション、MAX1183使用

ダウンストリーム出力バッファ又はDSPグラウンドプレーン)から十分隔離されている場合、全てのグラウンドピンは、同じグラウンドプレーンを共有できます。高速デジタル信号トレースは、いずれかのチャンネルの敏感なアナログトレースから離して経路を定めて下さい。チャンネル間のクロストークを最小限に抑えるために、それぞれのコンバータへのアナログ入力ラインを必ず隔離して下さい。全ての信号ラインを短くし、90度回転しないようにして下さい。

## スタティックパラメータの定義

### 積分非直線性(INL)

積分非直線性は、直線からの実際の伝達関数上の偏差値です。この直線は、オフセットと利得誤差が調整された後の最もフィットするベスト・ストレートラインか、又は伝達関数のエンドポイントを結んだエンドポイントラインである可能性があります。MAX1183のためのスタティック直線性パラメータはベストストレートライン・フィット法を使って計測されます。

### 微分非直線性(DNL)

微分非直線性は実際のステップ幅と1LSBの理想値との差です。1LSB以下のDNL誤差規格は、ミッシングコード及び単調性伝達関数が無いことを保証します。

## ダイナミックパラメータの定義

### アパーチャジッタ

図9は、アパーチャ遅延におけるサンプル間変動であるアパーチャジッタ( $t_{AJ}$ )を示しています。

### アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立下り

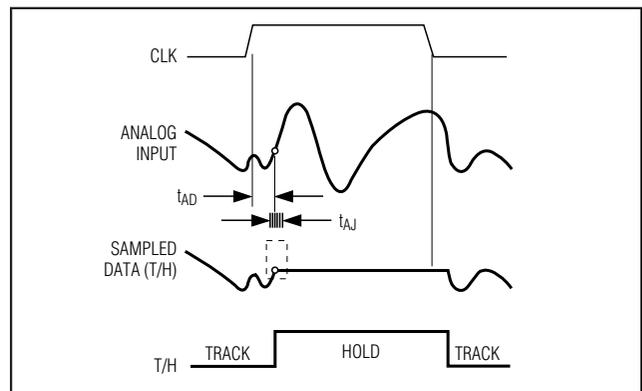


図9. T/Hアパーチャタイミング

エッジと実際のサンプルが取られる瞬間の時間を意味します(図9)。

### 信号対ノイズ比(SNR)

デジタルサンプルから完全に再構築された波形の場合、理論的な最高SNRはフルスケールのアナログ入力(RMS値)とRMS量子化誤差(残余誤差)の比率です。理想的には、理論的な最小アナログトゥデジタルノイズは、量子化誤差のみに起因し、ADC分解能(Nビット)によって直接決まります。

$$\text{SNR}_{\text{dB}[\text{max}]} = 6.02\text{dB} \times N + 1.76\text{dB}$$

実際には、量子化ノイズの他にもサーマルノイズ、リファレンス電圧ノイズ、クロックジッタなどのノイズ源があります。SNRを計算するにはRMS信号とRMSノイズに対する比率を取ります。これには、基本波、最初の5つの高調波、及びDCオフセットを差し引いた全てのスペクトラム成分が含まれています。

### 信号雑音プラス歪み(SINAD)

SINADは、基本周波数とDCオフセットを引いた全スペクトラム要素とRMS信号の比率で計算されます。

# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## 有効ビット数(ENOB)

ENOBは、特定の入力周波数及びサンプリング速度でのADCのダイナミック性能を規定します。理想的なADC誤差は、量子化ノイズのみからなっています。ENOBは次のように計算されます：

$$ENOB = \frac{(SINAD_{dB} - 1.76_{dB})}{6.02_{dB}}$$

## 全高調波歪み(THD)

THDは標準的に入力信号の最初の4つの高調波RMS和と基本波そのものの比率です。これは、次のように表されます：

$$THD = 20 \times \log_{10} \left( \frac{\sqrt{(V_2^2 + V_3^2 + V_4^2 + V_5^2)}}{V_1} \right)$$

この場合V1は基本波の振幅で、V2からV5は第2次から第5次の高調波の振幅です。

## スプリアスフリーダイナミックレンジ(SFDR)

SFDRは、基本波(最大信号成分)のRMS振幅と次に大きいスプリアス成分(DCオフセットを除く)のRMS値をデシ

ベルで表した比率です。

## 相互変調歪み(IMD)

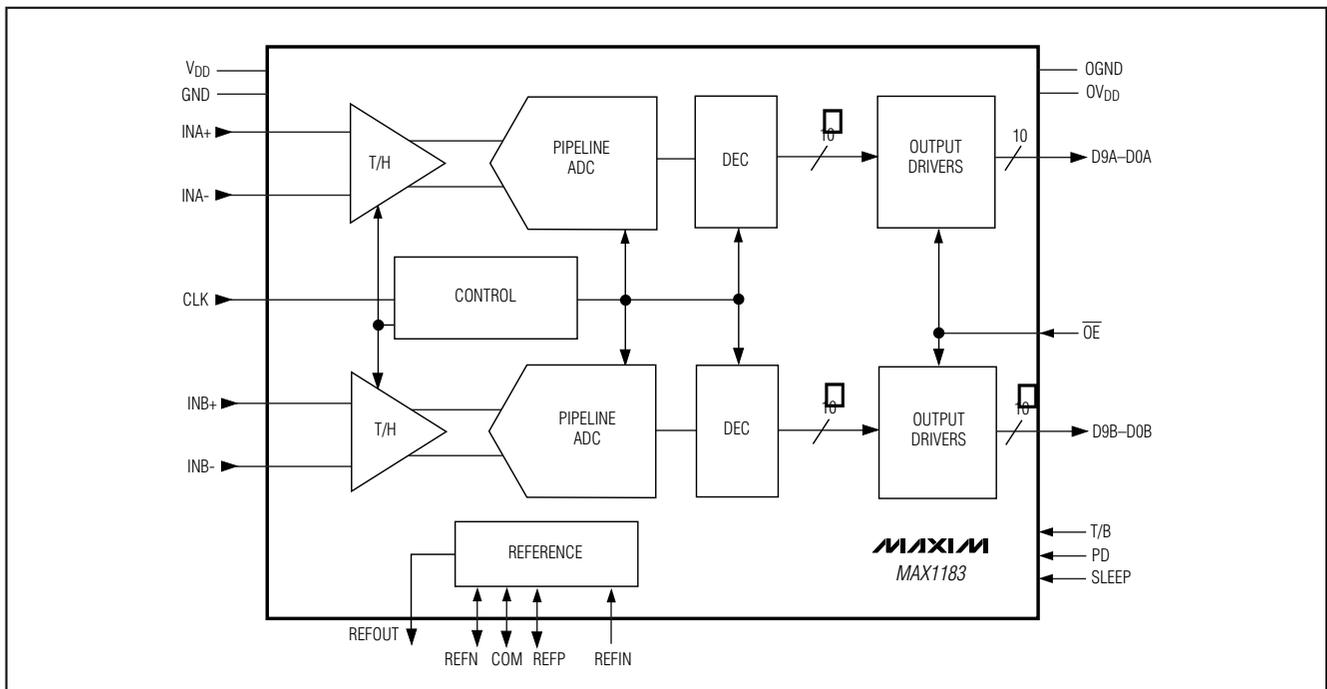
ツートーンIMDは、最悪の第3次(又はそれ以上)の相互変調歪みの積に対するいずれかの入力トーンをデシベルで表した比率です。個別の入力トーンレベルは、-6.5dBフルスケールで、外圍は-0.5dBフルスケールです。

## チップ情報

TRANSISTOR COUNT: 10,811

PROCESS: CMOS

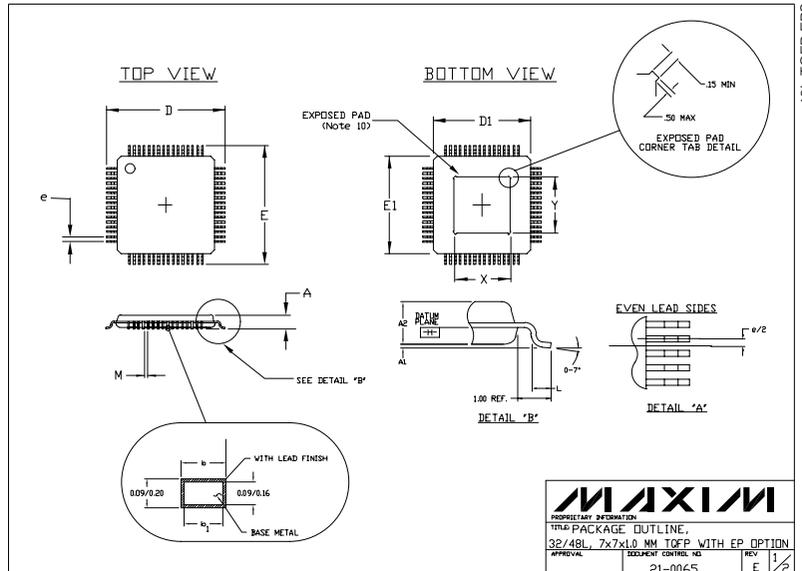
## ファンクションダイアグラム



# デュアル10ビット、40Msps、+3V、低電力ADC 内部リファレンス及びパラレル出力付

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



### NOTES:

1. ALL DIMENSIONS AND TOLERANCING CONFORM TO ANSI Y14.5-1992.
2. DATUM PLANE  $\square$  IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.254 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. CONTROLLING DIMENSION MILLIMETER.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS AC AND AE.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. EXPOSED DIE PAD SHALL BE COPLANAR WITH BOTTOM OF PACKAGE WITHIN 2 MILS (.05 MM).
10. DIMENSIONS X & Y APPLY TO EXPOSED PAD (EP) VERSIONS ONLY. SEE INDIVIDUAL PRODUCT DATASHEET TO DETERMINE IF A PRODUCT USES EXPOSED PAD PACKAGE.

| S<br>Y<br>M<br>B<br>O<br>L | JEDEC VARIATION<br>ALL DIMENSIONS IN MILLIMETERS |      |      |           |      |      |
|----------------------------|--|------|------|-----------|------|------|
|                            | AC   |      |      | AE        |      |      |
|                            | MIN.   | NDM. | MAX. | MIN.      | NDM. | MAX. |
| A                          | ~  | ~    | 1.20 | ~         | ~    | 1.20 |
| A <sub>1</sub>             | 0.05   | 0.10 | 0.15 | 0.05      | 0.10 | 0.15 |
| A <sub>2</sub>             | 0.95   | 1.00 | 1.05 | 0.95      | 1.00 | 1.05 |
| D                          | 9.00 BSC.  |      |      | 9.00 BSC. |      |      |
| D <sub>1</sub>             | 7.00 BSC.  |      |      | 7.00 BSC. |      |      |
| E                          | 9.00 BSC.  |      |      | 9.00 BSC. |      |      |
| E <sub>1</sub>             | 7.00 BSC.  |      |      | 7.00 BSC. |      |      |
| L                          | 0.45   | 0.60 | 0.75 | 0.45      | 0.60 | 0.75 |
| M                          | 0.15   | ~    | ~    | 0.14      | ~    | ~    |
| N                          | 32   |      |      | 48        |      |      |
| e                          | 0.80 BSC.  |      |      | 0.50 BSC. |      |      |
| b                          | 0.30   | 0.37 | 0.45 | 0.17      | 0.22 | 0.27 |
| b <sub>1</sub>             | 0.30   | 0.35 | 0.40 | 0.17      | 0.20 | 0.23 |
| MX                         | 3.20   | 3.50 | 3.80 | 3.70      | 4.00 | 4.30 |
| MY                         | 3.20   | 3.50 | 3.80 | 3.70      | 4.00 | 4.30 |

\* EXPOSED PAD  
(Note 10)



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600